RTAによるチャネル構造制御を利用した最先端CMOS技術

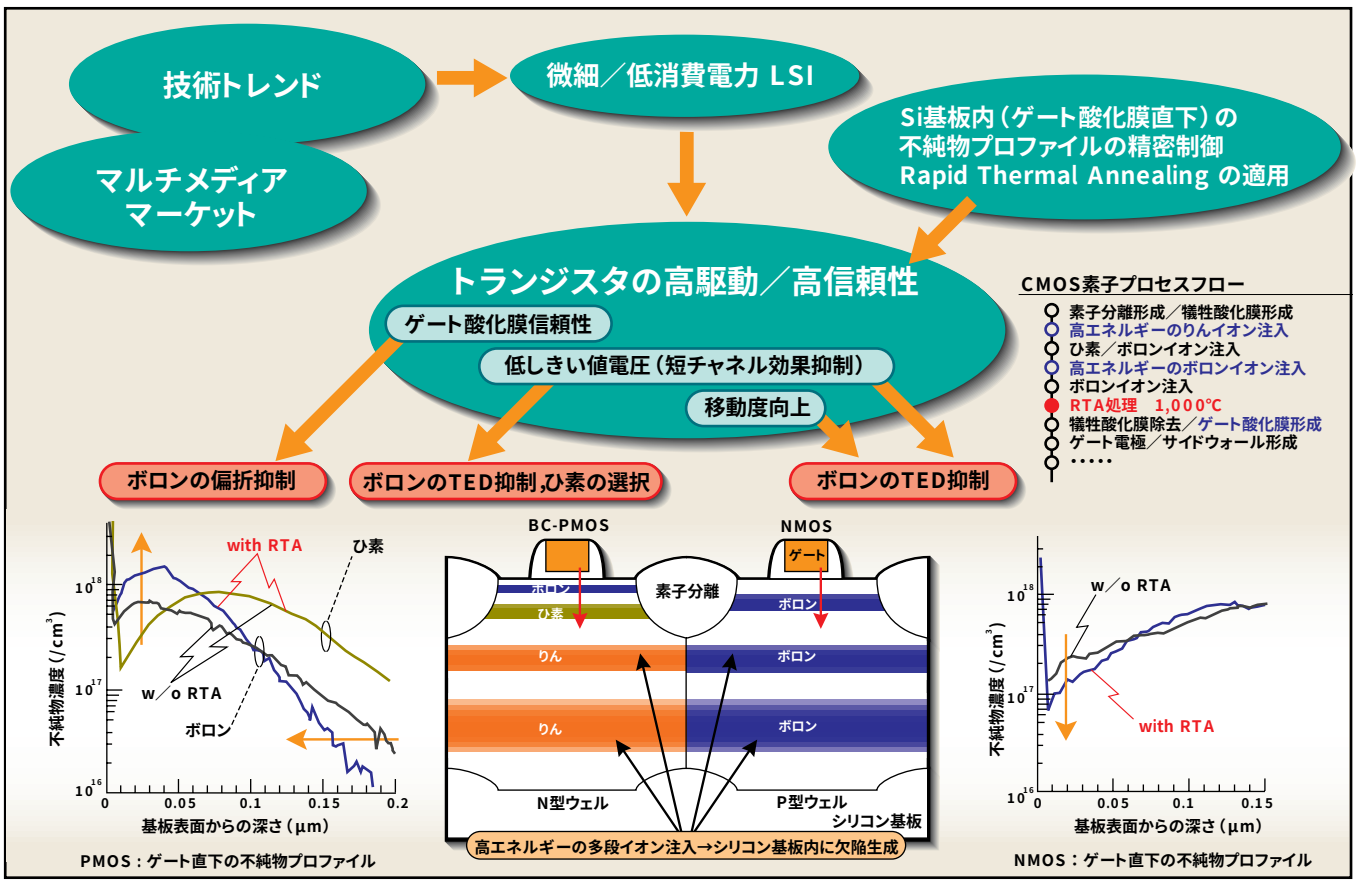
古川彰彦*　西田征男**
清水　悟**　阿部雄次+
佐山弘和***

要　旨

最先端LSI開発は，ギガビットスケールのDRAMが実現できる超微細化に加え，マーケットからの要求による低消費電力化の時代に入った。そのための超微細CMOS（Complementary Metal Oxide Semiconductor）の実現には，トランジスタのしきい値電圧の低減，信頼性の向上，高速動作が必す（須）である。

MOS型トランジスタのしきい値電圧はそのチャネル構造でおおむね決まり，低しきい値化のためにはゲート酸化膜直下の急しゅん（峻）な不純物プロファイルが必要とされる。一般に，このしきい値電圧を決定付ける不純物は，高エネルギーのイオン注入を用いてウェル層を形成した後に，低エネルギーのイオン注入によって導入される。しかし，このイオン注入法による不純物の導入は，シリコン基板内に多数の欠陥を発生させ，アニールの初期工程で，それらの欠陥を介した不純物の過渡的増速拡散（Transient Enhanced Diffusion：TED）を引き起こす。その結果，チャネル不純物のプロファイルはなだらかになる。特に，埋込みチャネル型PMOSを用いたシングルゲート構造によってCMOSを作製する場合，ボロンの拡散制御が最重要課題になる。

今回，通常のプロセスフローのゲート酸化膜形成の直前に1,000℃の高温ラピッドサーマルアニーリング（Rapid Thermal Annealing：RTA）処理を挿入することにより，ボロンのTED及びゲート酸化膜への偏析を大幅に抑制し，さらにPMOSのパンチスルーの抑制のためにひ素を用いることで，高い駆動能力を持ち，かつ信頼性の高い微細CMOSが実現できることを示した。



トランジスタの技術課題とRTA処理による不純物プロファイル制御の概要図

高エネルギー注入によってシリコン基板中に生成される欠陥を介した不純物の増速拡散，及びゲート酸化時の不純物の偏析を最小限に抑えるために，多段イオン注入によるウェル形成後に1,000℃のRTA処理を行うことにより，ゲート酸化膜直下の不純物プロファイルを精密に制御し，高駆動能力，高信頼性を持ったMOS型トランジスタが実現できることが確認された。

*先端技術総合研究所　+同研究所（工博）　**ULSI開発研究所　***同研究所（工博）