64Mビットシンクロナス DRAM

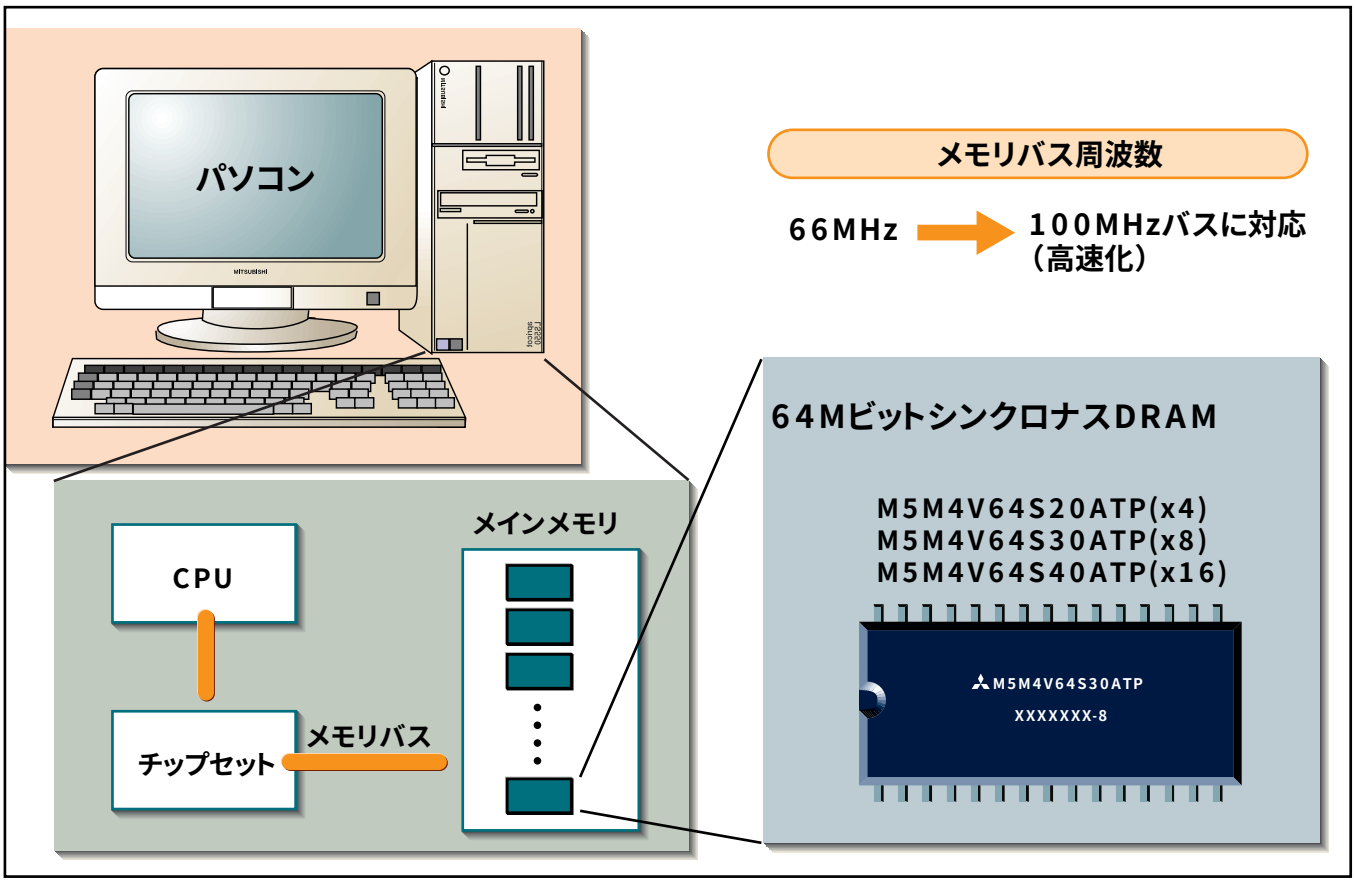
吹上貴彦*　安田憲一**
池田勇人*　野口武志***
桜井幹夫*

要　旨

DRAM(Dynamic Random Access Memory)は，テクノロジードライバとして，最先端の微細加工技術を用いて3年ごとに４倍の容量を持つように開発されてきた。しかしながら，パソコンは，近年目覚ましく進歩してきており，特にCPUの高速化により，DRAMの高速化が要求されてきている。現在パソコンでは，従来の66MHzメモリデータバスから100MHzメモリデータバスが提案されており，従来のDRAMでは対応できない。そこで三菱電機では，デザインルールとして64MビットDRAM第二世代プロセスである0.3μmの微細加工技術ルール及び最適回路設計技術を用いて，大容量，パソコン100MHz(以下“PC100MHz”という。)メモリデータバス対応の64Mビットシンクロナス DRAMを開発した。

64MビットシンクロナスDRAMは，パイプライン制御を用いて，最大動作周波数は125MHzまで対応している。バンクは４バンク構成であり，CAS(Column Address Strobe)レイテンシは２と３に対応している。語構成(×４／×８／×16)は，ボンディング切換えを用いて，１チップで対応でき，パッケージも54ピン400mil TSOP(Thin Small Outline Package)の１種類のみである。

今回開発した64MビットシンクロナスDRAMは，PC 100MHzを中心とした今後のメインメモリへの要求に十分対応できる。



64MビットシンクロナスDRAMとパソコン

0.3μmのデザインルールとパイプライン制御を用いて，PC100MHzバスに対応できる大容量64MビットシンクロナスDRAMを開発した。語構成は×４／×８／×16に対応し，54ピンTSOPの１種類のみのパッケージを用いている。

*メモリ事業統括部　**ULSI開発研究所　***半導体基盤技術統括部