256MビットDRAMチップ

藤野　毅*　有本和民*
谷崎哲志**
築出正樹***

要　旨

次世代の量産技術である0.25μmのCMOSプロセスを駆使して高速・低消費電力の256MビットDRAMを開発した。この256MビットDRAMで採用した回路設計技術を紹介する。

開発した256MビットDRAMは，大面積のチップ及びパッケージでも高速動作が実現できるODIC(Outer DQ Inner Clock)ピン配置を採用した。

ワード線の駆動方式としては，メイン／サブワード線を持つ，いわゆる分割ワード線(Divided Word Line：DWL)方式を採用した。DWL方式におけるサブワード線を制御するサブデコード信号線をローデコーダからセンスアンプ帯を経由してサブデコード帯に枝分かれして配置(フィッシュボーン配置)としたことにより，動作時のロー系駆動電流を低減した。

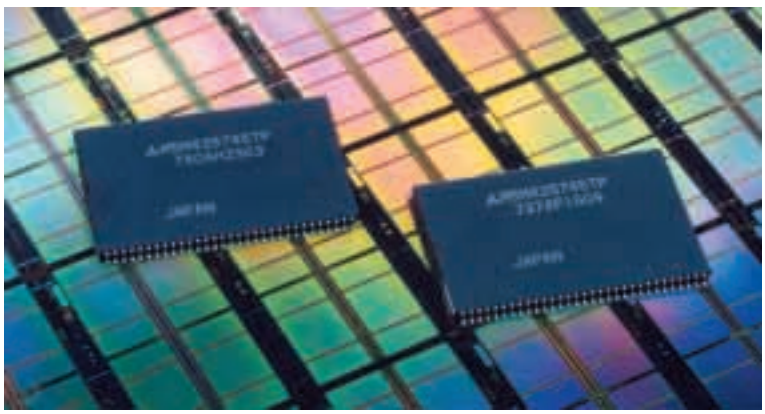
同時にリフレッシュ電流(I_{cc9})の低減のためリフレッシュ時にはワード線の活性化信号の制御を通常時と異なる方式とし，ロー系の充放電電流を従来方式に比べて約50%低減できた。

また，ワード線とビット線が接触してI_{cc2}不良となるチップを救済するため，ビット線プリチャージ(VBL)電源線を階層化してコラム選択線ごとに設け，コラム選択線に不良が発生した場合には，同時にVBL電源供給線も切断しI_{cc2}不良を救済する方式を採用した。

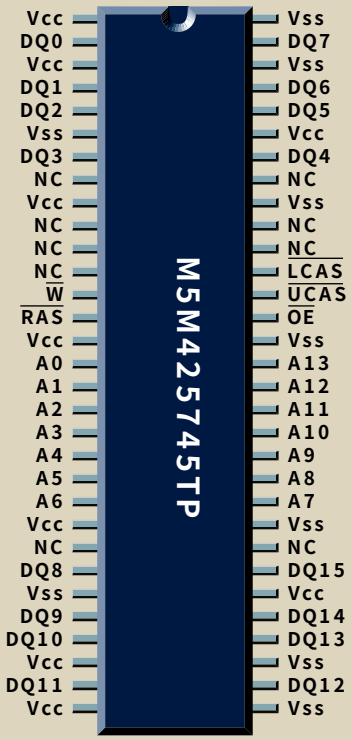
上記の設計技術を使用して開発した256MビットDRAMの特性についても概要を述べる。

256MビットDRAM

- 0.25μmCMOS Technology
- ODIC(Outer DQ Inner Clock)ピン配置
- 機能:EDO(Extended Data Output)
- 語構成16Mワード×16ビット
- 低消費電力回路技術
  - フィッシュボーン型分割ワード線回路
  - I_{cc2} 不良救済回路
  - セルフリフレッシュ電流低減回路



ピン配置(ODIC)



63P3X-C(16mm TSOP 62ピン)

256MビットDRAMのチップ概要

0.25μm技術によって256MビットDRAMを開発した。パッケージには，高速化のためODICピン配置を採用し，低消費電力化のための新規回路技術も搭載している。

*ULSI開発研究所(工博)　**同研究所　***メモリ事業統括部