eRAM／SIでのコデザイン手法　メモリのアーキテクチャを含めたシステムの最適化

坂下和広*　東田基樹*
安藤智子*
石川淳士*

要　旨

三菱電機では，大容量メモリとロジックを１チップに混載するeRAM(embedded RAM)技術をベースに，ASICへの展開を推進している。当社では，このASIC製品を“eRAM／SI”(System Integration)と呼ぶ。

メモリとロジックの混載には，高速化，低消費電力化，システムの小型化などのメリットがある。これに加えて，eRAM／SIのメリットとして，同一チップ上でバス構成を柔軟に構築できるため，メモリアーキテクチャを含めたシステム全体の最適化が可能であるという点を挙げることができる。このことは，ハードウェアとソフトウェアのコデザイン(Co-Design：協調設計)によって，実装上の問題に阻害されることのない最適な機能分割が可能であることを意味する。

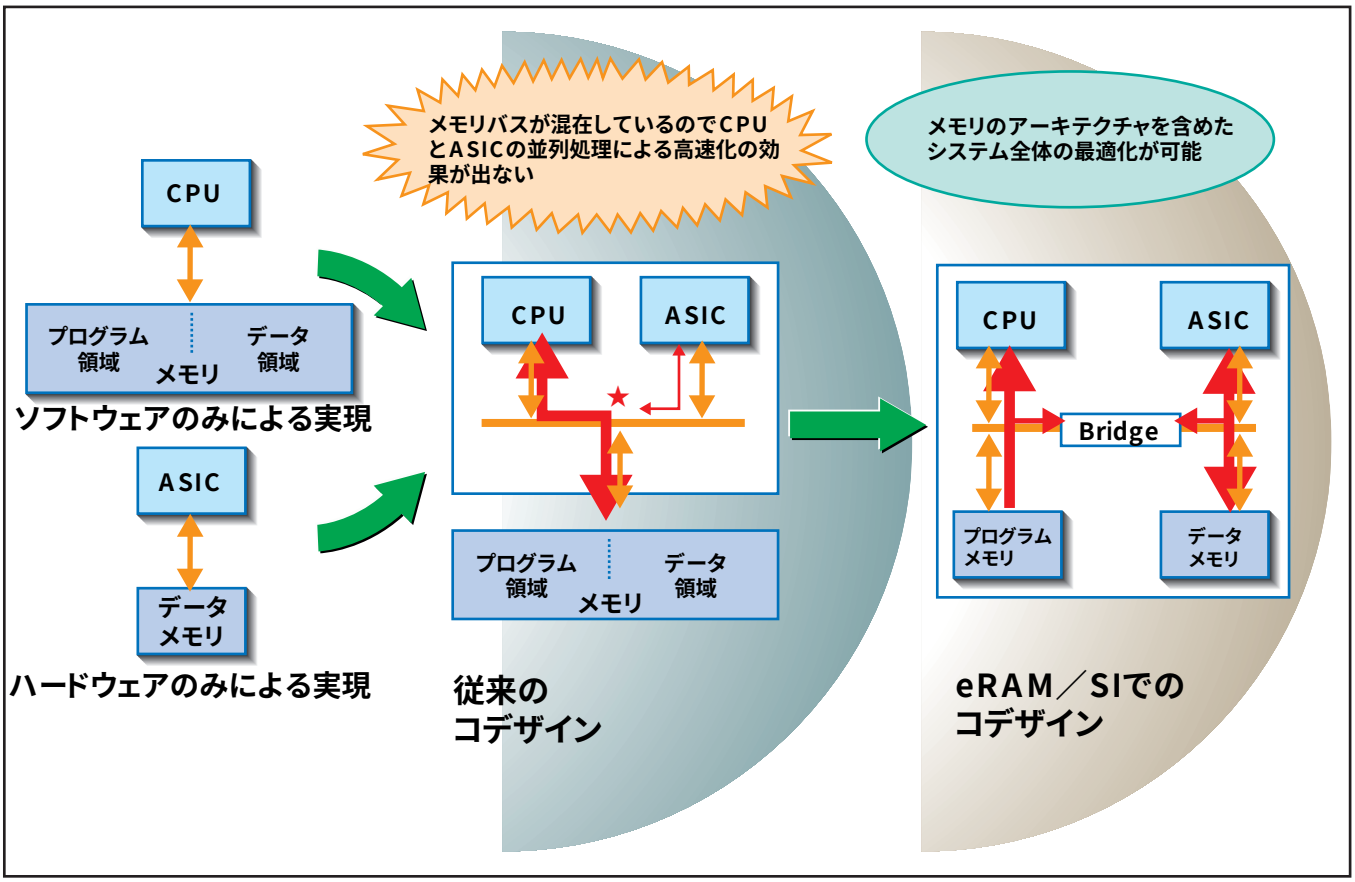
当社では，このメリットを生かすためにコデザイン環境の開発を進めており，今回，以下を実現した。

（1）　設計期間短縮

ハードウェア製造前段階でのハードウェアとソフトウェアの協調動作が検証できるコシミュレーション環境を構築した。これにより，ハードウェア製造前にシステム上の不具合の抽出が可能になり，設計期間が短縮できる。

（2）　システムの性能向上

ソフトウェア処理の負荷解析やバスアクセス頻度の解析により，システム上のボトルネックとなっている処理やその原因を突き止めることが可能になり，システムの性能向上を図ることができる。



コデザインにおけるeRAM／SIのメリット

コデザインでは，メモリとメモリバス構成も含めて，ハードウェアとソフトウェアの機能分割を検討する必要がある。従来，メモリとロジックが別のチップで構成されていたため，実装上の問題が最適化を阻害していた。eRAM／SIでは，メモリアーキテクチャを含めたシステム全体の最適化が可能になる。

*システムLSI事業統括部