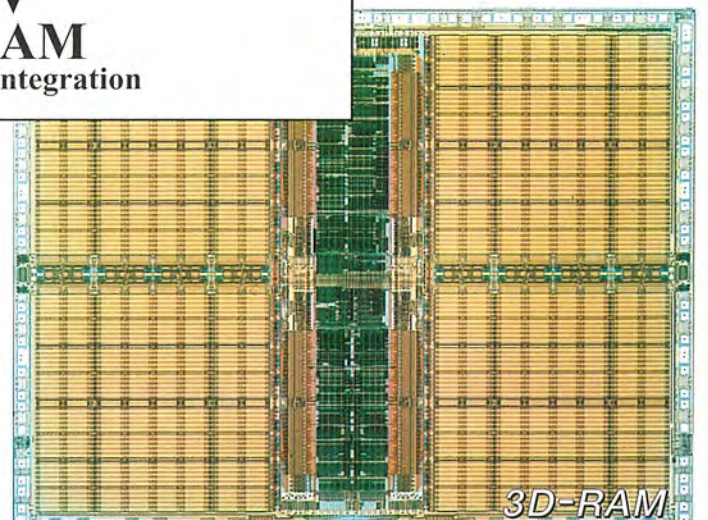
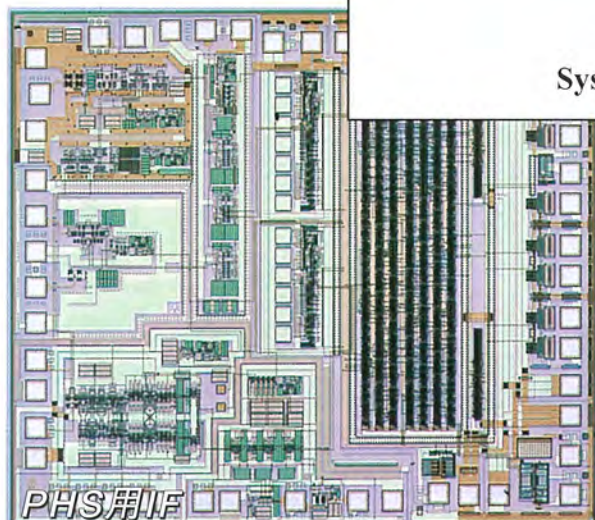
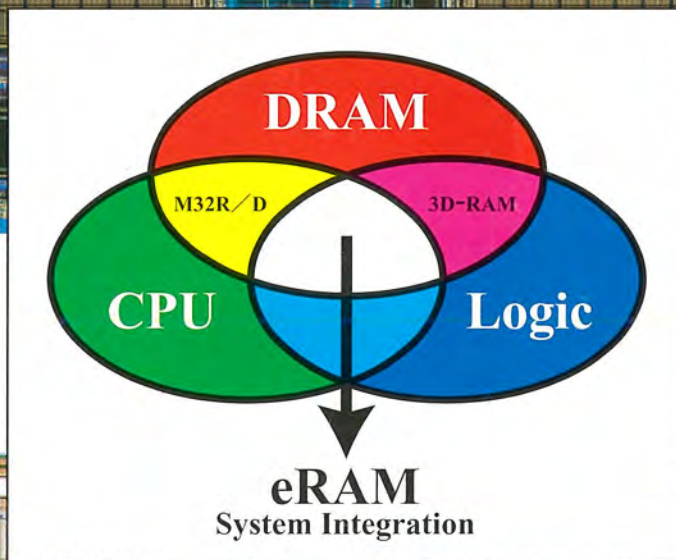
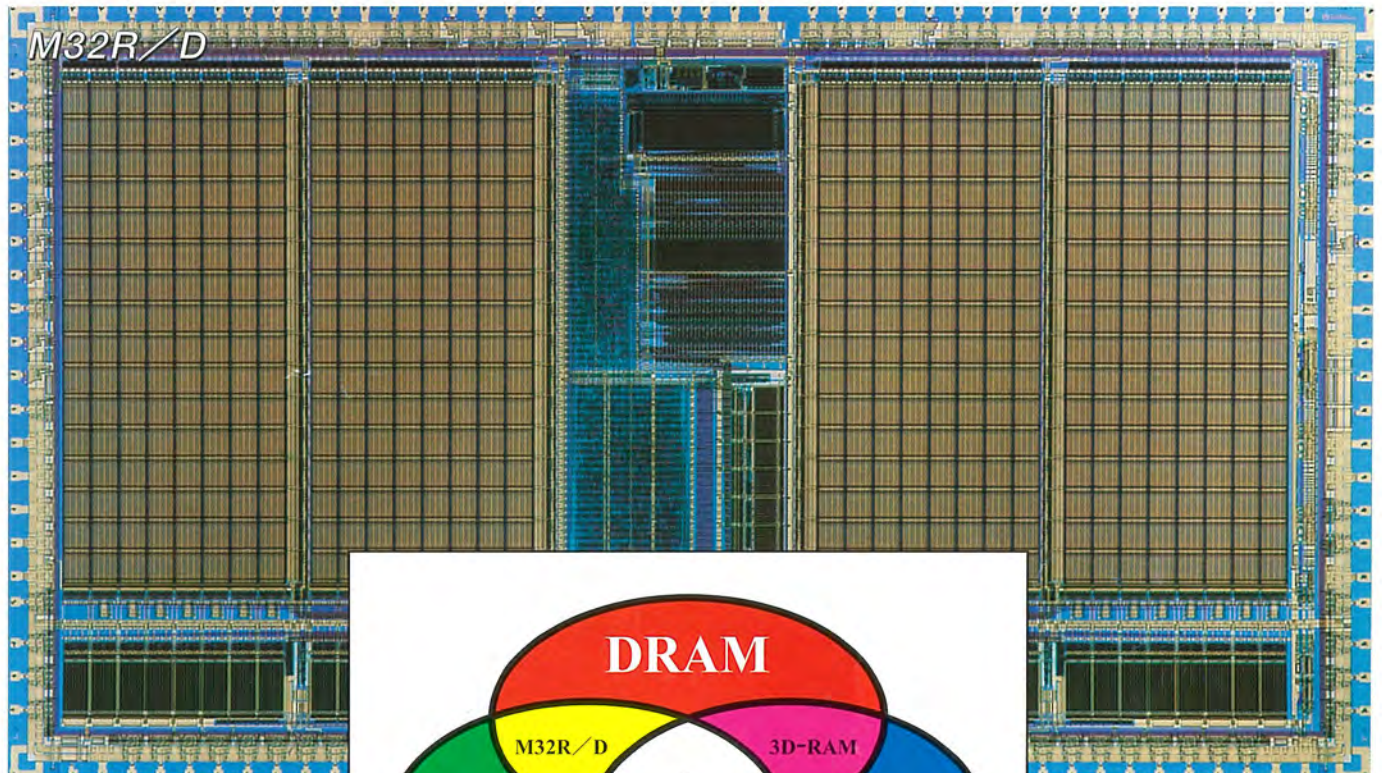


MITSUBISHI

三菱電機技報 Vol.72 No.3

特集 “LSI”

'98 **3**



特集 “LSI”

目 次

特集論文

LSI：部品からシステムへの飛躍	1
安浦寛人	
LSIの現状と展望	2
長澤敏一・松本平八	
eRAM	
eRAM/SIでのコデザイン手法	
——メモリのアーキテクチャを含めたシステムの最適化——	8
坂下和広・安藤智子・石川淳士・東田基樹	
大容量フラッシュROM内蔵32ビットRISCマイコンM32R/Eシリーズ	12
杉田 充・阿部信介・樋口光誠・佐藤由和・角南利郎	
DRAM内蔵32ビットRISCマイクロプロセッサ	
M32R/Dを用いたJPEGソフトウェアソリューション	16
坂本直史	
第二世代3Dグラフィックスチップセット	20
脇本欣吾・笹田達義・河合浩行・根岸博康・松岡秀人	
チップセット開発事例——PHS用チップセット——	24
安井都夫	
メモリ	
2.7V単一電源第二世代16MビットDINOR型フラッシュメモリ	28
宮脇好和・杠 幸二郎・帯刀恭彦・河井伸治・本間 剛	
256MビットDRAMチップ	32
藤野 毅・谷崎哲志・築出正樹・有本和民	
64MビットシンクロナスDRAM	36
吹上貴彦・池田勇人・桜井幹夫・安田憲一・野口武志	
第三世代64MビットDRAM	40
井上好永・羽倉 司・早川吾郎・蜂須賀敦司・白竹 茂	
マイコン	
I ² Cバス、IEバスインタフェース機能に対応した16ビットマイコンM16C/62	44
黒岩通明・久保輝訓・瀧ノ上 勲	
通信機能を強化した小型8ビットワンチップマイコン	48
久保憲司・前村浩之・桜木 敦・熊谷 泉・村上貴志・山内直樹	
ASIC	
1Hダイレイライン内蔵カラーテレビ用1チップLSI	54
出田 洋	
米国DTV用ディスプレイプロセッサ	58
細谷史郎・矢沢弥亘・須川 聡・林 直樹・篠原 隆	
マルチメディアプロセッサ“D30V”	64
山田 朗・佐藤尚和・吉田豊彦・島津之彦・東谷恵市・毛利篤史	
0.35μm56万ゲートSOI-ASIC	68
和田佳樹・廣田尊則・新居浩二・前田茂伸・上田公大	
基盤技術	
RTAによるチャネル構造制御を利用した最先端CMOS技術	72
古川彰彦・清水 悟・佐山弘和・西田征男・阿部雄次	
LSI対応I/Oバッファモデル開発システム	76
石田智男・中村旨生・Tam X. Cao・大崎秀史・三輪久晴	
ボールグリッドアレーパッケージの最新技術	80
竹本好孝・安永雅敏・馬場伸治・橋本知明	
特許と新案	
「指紋照合装置」「半導体集積回路装置」	87
「半導体集積回路装置」	88
スポットライト	
高輝度タイプ 対角31cm(12.1型)輝度150cd/m ² TFTカラー液晶ディスプレイ	86
薄型・高輝度 対角36cm(14.1型)TFTカラー液晶ディスプレイ	(表3)

表紙

eRAMのコンセプト図と

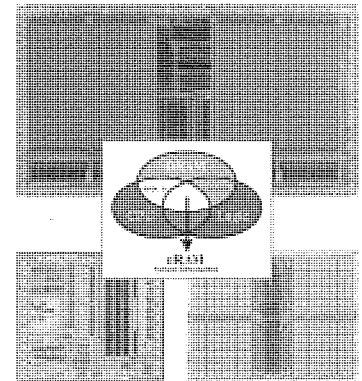
システムLSIのチップ写真

三菱電機の代表とするシステムLSI製品のチップ写真と、システムインテグレーションを実現するeRAMのコンセプト図である。

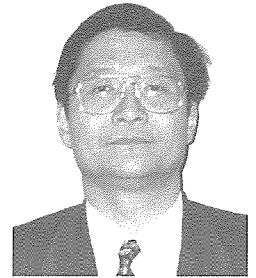
上のチップ写真はDRAMとマイコンを一体化したM32R/D、右下はDRAMとロジックを一体化した3D-RAMであり、いずれも個別チップではなし得なかった高速、低消費電力を実現している。また左下チップはPHS用中間周波数処理(IF)LSIであり、従来3チップで構成されていた機能を1チップで実現し、PHSの小型化に貢献している。

M32R/DとPHS用中間周波数処理LSIは、米国R&Dマガジン社が選定する1997年のR&D100賞を受賞した。

中央のeRAMのコンセプト図は光の3原色と対比して表したもので、赤、緑、青の光は、各々メモリ(DRAM)、マイコン(CPU)、ASIC(Logic)に対応しており、3原色が重なる中央は純白となる。顧客が望む色に染められる純白のシステムLSI(eRAM)を当社が提供できることを意味している。



LSI：部品からシステムへの飛躍



九州大学大学院
システム情報科学研究科
教授 安浦寛人

約3年ごとの微細化による集積回路製造技術更新によって、次世紀の初めには、1,000万素子以上を含むLSIが実現できるようになると予想されている。LSIは、従来の部品からシステムへと、その商品としての性格を大きく変えようとしている。現在の最高性能のマイクロプロセッサやメモリがすべて1チップに集積できるような状況を前提として、システムオンチップ(SOC)、システムオンシリコン(SOS)、サイバーギガチップなどと呼ばれる製品が主力となる時代の新しいシステムLSI設計法が議論されている。

システムLSIの開発においては、製品企画時から製造技術と設計技術を考慮した開発手法が求められる。設計においても、組込みソフトウェア、センサ、無線通信用回路、DRAMやROM、プロセッサ、アナログ回路など種々の構成要素を含むチップを、コスト・性能・消費電力・信頼性などの諸要求を満足し、かつ短時間で設計する設計技術が必要となる。これまで比較的手薄であった設計の上流段階での仕様作成技術や、ソフトウェア開発技術との融合等も重要となると考えられる。

このようにLSIが単なる部品からシステムへと移行すると、半導体技術を理解した上でソフトウェアも含んだシステムが設計できるシステムLSI設計者が必要になる。半導体のデバイスや製造に関する知識とともに、システムの市場におけるニーズやソフトウェアに関する知識を持ってシステムLSIを設計できる設計者の養成は緊急の課題である。従来の半導体技術とシステム系の技術の間の壁を取り去り、

両者を融合した新しいシステム設計技術を生み出せる人材が必要とされている。平成8年度に東京大学に設置された大規模集積システム設計教育センター(VDEC)は、このようなシステムLSI設計者を養成するために、その利用が大いに期待されている。全国の大学に最先端の高度なLSI設計用ソフトウェアを配布し、学生が設計した設計データを集めて安価にLSIを試作し、各大学へ戻すサービスにより、年間1,000人規模の学生が集積回路設計を実際に体験することが可能となった。新しいシステムLSI時代の設計者教育の環境はようやく整いつつある。

技術者の養成の問題だけでなく、利用者の啓蒙という問題もある。ただでさえ難解で複雑なシステムが、単一のシステムLSIとしてブラックボックスの形で供給され、社会システムの種々の部分に組み込まれていく。このような状況下では、設計のバグや故障による障害の発生が、人命にかかわる事故や経済の混乱につながる問題を引き起こす可能性も大いにある。システムの信頼性を向上させ維持する技術の開発と並行して、事故や障害に対する社会的な対応手段や責任の明確化を議論しておくべきであろう。技術だけの問題としてではなく、社会全体の安全性の問題として認識し、社会的なコンセンサスを作っておく必要がある。公害や薬害のような悲惨な事態が生じてからの対応では、半導体産業だけではなく、我が国の社会システム全体を危機に陥れる可能性がある。

LSIの現状と展望

長澤 紘一*
松本 平八**

1. ま え が き

近年のデジタルエレクトロニクスの技術革新に伴い、リアルタイムの画像処理技術、高性能な情報処理技術、世界的規模のネットワーク通信技術が統合され、様々なサービスや情報を利用できる本格的なマルチメディア(MM)時代の到来とともに、社会/生活様式が変わろうとしている。

このMM時代を実現する高性能電子機器は、半導体技術、ソフトウェア技術と人間の限りない欲望(=システム仕様要求)がうまくマッチングして発展してきた。今後も、人間の欲望を満足させる技術を開発し、適正な価格でタイムリーに製品化することで、新たなMM時代に最適な電子機器に適したLSIを供給し続けられると確信しており、その代表例がシステムLSIであると考えている。

本稿では、三菱電機が業界に先駆けてコンセプトを打ち出したeRAM(embedded RAM)を中心に、システムLSIに対する取組を紹介する。

2. 半導体市場の現状と動向

初めに、世界の主要半導体メーカーが加盟する世界的統計機関であるWSTS(World Semiconductor Trade Statistics)による半導体市場予測を、実績とともに図1に示す。1996年の半導体市場は急速に緩んだメモリ需給が価格急落を引き起こし、市況は急速に悪化してマイナス成長となった。'97年以降は回復に向かい、'96年~2000年の年平均成長率は15.2%が見込まれている。

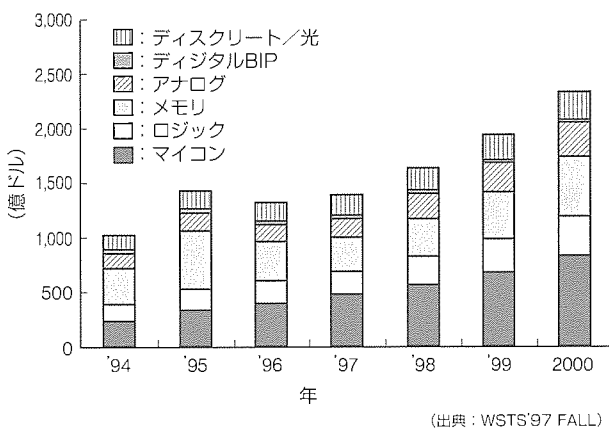


図1. 世界の半導体市場の伸び(実績・予測)

半導体製品は通例、構造・機能面から6種類に分類されるが、図2に示すように、MOS LSIであるメモリ、マイコン、ロジック(ASIC)の占める割合は2000年までは徐々に増加すると考えられるが、今後はこれらの機能を複合したシステムLSIが増加するとみられており、2000年には、半導体市場の中でシステムLSIの比率が50%を上回る見通しとの業界予測もある。図3に当社が予測したeRAMの市場予測を示す。eRAMの市場規模は2000年に40億ドル、2005年には360億ドルに達すると予測する。

以下に、各市場ごとに見た動向と特色に触れる。これらの市場では、ロジックLSI、RISC(Reduced Instruction Set Computer)プロセッサ、メディアプロセッサ、メモリ

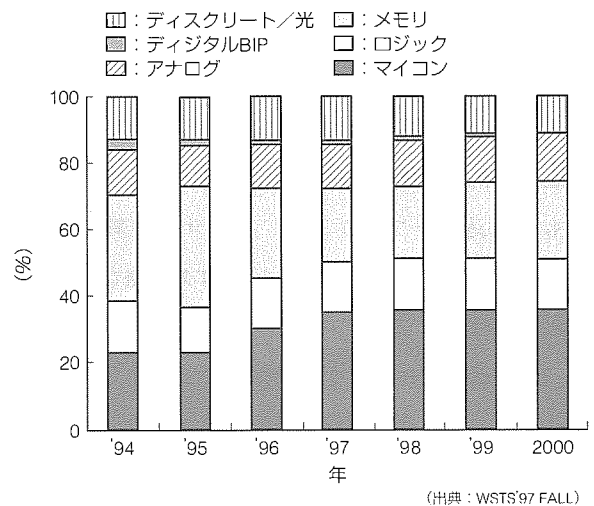


図2. 製品別 世界の半導体市場(実績・予測)

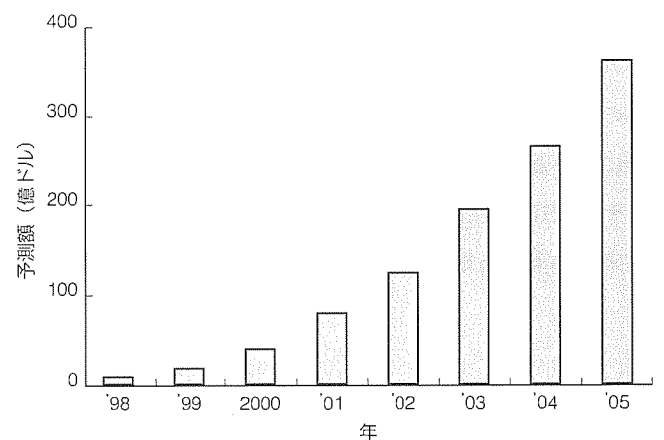


図3. eRAMの市場予測

等が大量に使用され、システムそのものが半導体で実現されるようになってきている。半導体へのコストダウン要求と同時に、製品化スピードの短縮化、高機能化・高性能化・低消費電力化への要求が強い市場でもあり、これら課題解決に向けたシステムトータルでの半導体ソリューションの提供、さらにはこれらを一つのチップ上に集積したシステムLSIが求められる傾向がますます強まっている。

2.1 コンピュータ

メインフレームやオフィスコンピュータのように閉じたシステムの市場が徐々に縮小する中で、オープンなパソコンやパソコンサーバ及びUNIXサーバが大きな伸びを示している。特にパソコンは2001年になっても年率10%を超える成長が見込まれており、'99年には1億台を超えるパソコンの出荷が予想されている。一層のパソコン市場拡大をねらって、一般家庭へのパソコン普及やワークステーションへの展開、マルチプロセッサシステムへの展開などの模索が活発に展開されている。

サーバ、ワークステーション、パソコンなどのハイエンドマイクロプロセッサ応用製品では、プロセッサ動作速度と主記憶用DRAMの動作速度とのアンバランスによるシステム性能限界のため、Synchronous DRAMが普及しつつある。さらに、より一層のシステム性能向上のために、2000年ごろの普及を目指して、より高速なDRAMの研究開発が活発に行われている。

一方、パソコンへの三次元グラフィックス導入の動きが活発である。パソコンの三次元グラフィックスでは、初歩的なものからワークステーションを超える性能のものまで幅広い製品が出現し、激しい性能競争が行われている。

当社では、eRAM技術の成果である3D-RAMを中核とし、ワークステーションに匹敵するパソコン用高性能三次元グラフィックスチップセットによってパソコン市場に着実な地盤を築きつつある。

2.2 通信

(1) 有線通信

Network系では、Ethernet、ATM(Asynchronous Transfer Mode)-LANが比較的市場拡大に期待が持てる。三菱半導体では、ATM-LAN用チップセットを既に開発している。Access系では、Modem製品の市場が大きい。インターネットの普及により、既存の電話線を使った高速伝送のためのxDSL(x Digital Subscriber Line)技術が脚光を浴びている。日本では日本電信電話(NTT)の方針とも絡んで普及は不透明であるが、米国では大きな市場が形成されると予測され、xDSL LSIチップセット開発を検討中である。

(2) 無線通信

デジタルコードレス電話ではDECT(Digital European Cordless Telecommunications)とPHS(Personal

Handyphone System)は共にアジア進出をねらっており、システムも似ていることから競合している。PHSは三菱のチップセットも既の実績があり、DECTについてもベースバンドICの開発実績はある。

携帯電話は国内ではPDC(Personal Digital Cellular)が普及しているが、世界的にはGSM(Global System for Mobile Communications)が圧倒的に浸透している。今後はデータ通信が普及し、より高速化が図られる。IMT-2000の候補としてW-CDMA方式が有力視されているが、現在、米国のIS-95ベースのものとNTTベースのものがある。欧州の幾つかの企業は後者を支持している。このどちらが選択されるか又は複合された規格になるかが、今後の無線市場のポイントである。三菱半導体としても具体的な取組を開始した。

2.3 AV

AV分野については、マルチメディア関連機器のデジタル化・ネットワーク化が今後ますます進展し、半導体需要も大きく伸びるものと予想される。AV分野の全世界半導体需要は'96年から2000年までの年平均成長率で16~20%が見込まれている。成長が期待される分野の代表的なものがデジタル放送受信機器である。既に世界規模でデジタル衛星放送の商用サービスが開始され、多チャンネルサービスが可能となったほか、双方向サービス、パソコン向けのデータサービスが可能となっている。今後、地上波、ケーブルによるデジタル放送も本格化するほか、TVとパソコンの融合製品などの情報家電市場も大きく伸びていくものと期待される。また、DVD(Digital Video Disc)プレーヤー、デジタルカメラ、デジタルビデオカメラなど、TVやパソコンと接続して使用する機器も2000年での世界需要は、データクエスト社によれば、それぞれ、1,500,600,600万台までに成長すると予測されている。当社ではこれらのシステムに対応したチップセットの開発を進めている。

2.4 自動車

21世紀に向かって、自動車は安全性やクリーン度向上のため電子制御が更に増加し、大きな半導体市場を形成している。一方で低価格化の要求が厳しく、最新技術を駆使した半導体開発が求められている。自動車エンジンは、燃費向上やクリーン化が必ず(須)であり、32ビット化が進んでいる。機器組込み用32ビットRISCマイコンとして開発した大容量フラッシュメモリ内蔵のM32R/Eシリーズは、きめ細かいエンジン制御と高精度の演算が必要な希薄燃焼エンジンの総合制御に最適である。安全性向上のため、エアバッグやABS(Anti-skid Brake System)向けには、高効率C言語対応、低消費電力・低電圧動作で低ノイズの16ビットマイコンM16Cが広く用いられている。

また、交通の安全・円滑・快適性向上を目指すITS(高

度道路交通システム)の開発と実用化が進み、車載用半導体は、情報通信機能を中心として需要の拡大が予測される。車内では、各制御ユニット間をネットワーク化し、ヒューマンインタフェースを向上したシステム構成となる。さらに、車外との通信として、VICS(Vehicle Information and Communication System)やFM多重通信が展開中である。このため、不要ふく(輻)射対策や取付場所を選ばない広温度対応に適し、車載LANプロトコルの欧州標準であるCAN対応の8ビット及び16ビットマイコンやLANマイコン、さらにVICS用ASIC等を用意している。

高速データ処理に適したDRAM内蔵32ビットRISCマイコンM32R/DシリーズやETC(Electronic Toll Collection System:自動料金収受システム)向け半導体、BiCMOS&DMOSプロセス適用のASIC、半導体センサ、音声認識等の開発にも取り組んでいる。

3. LSIコア技術の動向と当社の展開

3.1 メモリ

図4及び表1に、システムLSIの構成要素となるLSIコア技術の3本柱の一つである各種メモリ(DRAM, SRAM, Flash, eRAMなど)の2000年における技術動向比較及び当社の製品展開計画を示す。半導体技術の中のメモリコア技術は、2000年には0.15 μ mレベルの超微細化プロセス技術とギガビット級のメモリ設計手法・技術を開発しているとともに、市場要求価格を実現するためのコストダウン技術の一つとして300mm口径ウェーハプロセス技術を実用化している。

また、当社が提案するシステムLSIの一つとしてのeRAMを製品化するため、単体のメモリ開発と並行してeRAMコア技術開発も行う。システムの需要動向によってはeRAM製品の方が単体メモリ製品に比べて先行することも念頭に入れ、メモリコアの技術を開発している。

3.2 マイコン

図5に当社のマイコン展開図を示す。740, 7700ファミリーに代表される当社マイコンは、世界中で広く採用されており、開発環境やソフトウェア資産をベースとし、一層の高性能化とともに、ASSP(Application Specific Standard Products)やFlash内蔵の製品展開を進めている。

一方、新たなマルチメディア市場

を中心に高速演算性能, C言語化, 一層の低消費電力化, 低不要輻射化に対する要求が高まっており, このような要求に対応するために新たなコアの開発と展開を進めている。C言語との高い親和性, 高オブジェクト効率とともに低不要輻射, 低消費電力を特長としたM16Cは, 携帯電話, 自動車電装品, デジタルオーディオ等の分野で採用が進んでいる。1Mバイト, 2MバイトのDRAMを内蔵することによって高速処理と低消費電力を実現したM32R/Dは, インターネット端末, デジタルスチールカメラなど, 情

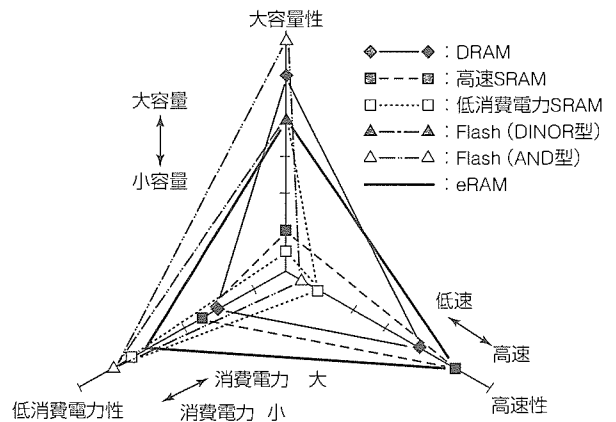


図4. 各種メモリの2000年における技術動向比較(概念図)

表1. 各種主要メモリの製品展開

		(単位:ビット)			
		'97	'98	'99	2000
DRAM		16M/64M		(128M)/256M	
SRAM	LP	2M	1M(1.8V)	4M/8M	
	F	256K~1M	4M		
Flash	DINOR	8M/16M		32M	64M
	AND		64M	256M	
eRAM	3D-RAM	(DRAM/SRAM/Flash各メモリコアの抽出によるコンカレントな展開)			
		3D-RAM		Hyper 3D-RAM	

(量産出荷レベル)

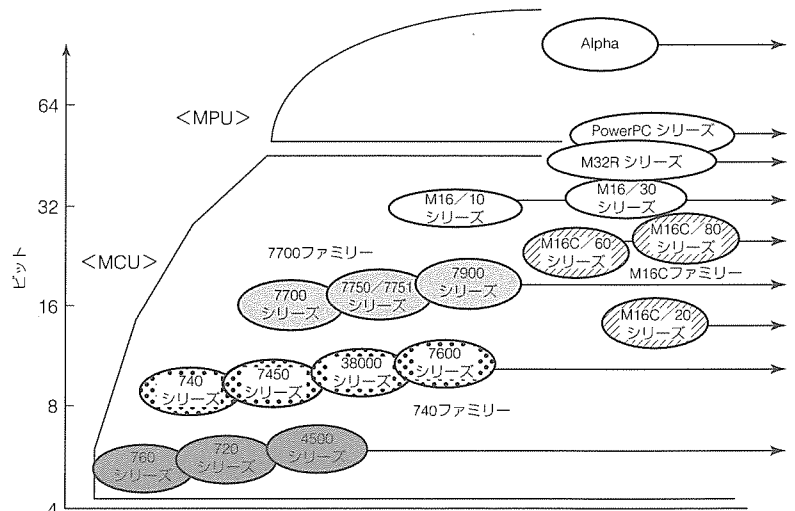


図5. 三菱マイコンの展開

報家電を中心とした市場での採用が進んでいる。IBMとの連携によって新たなデファクト化を推進するPowerPCは、豊富な3rdパーティサポートをベースに、LBP(Laser Beam Printer)、STB(Set Top Box)等、北米を技術発信起点とする市場を対象として展開している。

これらのマイコンコアは単独で製品化を図るとともに、システムLSIの要素回路として当社のeRAMに内蔵するコアとしても展開する方向で進めている。

また、VLIW(Very Long Instruction Word)アーキテクチャを採用し、DSP(Digital Signal Processor)機能を強化したメディアプロセッサコアD10V、D30Vも開発中である。音声及び画像情報処理用システムLSIのコアとして実製品応用を図りつつある。

3.3 ASIC

ASICについても高速化・低消費電力化・高機能化などの要求は年々高度になっている。これらの要求に対応するために、①プロセス、②設計手法、③ライブラリそれぞれを目的に合った形で開発し、構築している。

(1) プロセスは、高速/低消費電力/高集積をねらい、微細化と新構造の開発を進めている。その一例として、最先端の0.25 μ m CMOSプロセスでは10mm角のチップに300万ゲート以上を集積することができるようになり、そのゲートスピードも30psまで高速化され、さらに0.2 μ W/ゲート以下の低消費電力も実現できた。

ICの構造としては、従来のバルクCMOS構造だけでなく、シリコン酸化膜上に単結晶シリコンを成長させて、この単結晶シリコンにトランジスタを形成したSOI(Silicon On Insulator)技術も開発した。このプロセスにより、同じデザインルールのバルクCMOS構造に比べて高速動作、低消費電力で、ラッチアップ耐量の向上が実現できた。

一方、モータやプラズマディスプレイなどを直接駆動するために必要となる高電流(1~1.5A)や高耐圧(120~170V)ドライバを備えるBiCMOSやDMOSプロセスも高性能化を進めている。

(2) 設計手法では、ECA(Embedded Cell Array)方式が多用されている。これは、最適設計された機能ブロックを搭載し、ランダムロジック部はSOG(Sea Of Gate)としたユーザー(品種)専用のASICであり、高機能化と併せてゲートアレー並みの短工期開発ができるようにしたものである。

(3) 1チップに集積できる素子数の増大により、ライブラリも、単にランダムロジック回路だけではなくモジュール生成方式によって必要なビットサイズを作るメモリ回路や、CMOS/TTLのみではなくGTL(Gunning Transceiver Logic)やLVDS(Low-Voltage Differential

Signals)等の各種高速I/O回路、ランダムロジック回路とアナログ回路のインタフェースをつかさどるA/Dコンバータ、D/Aコンバータ、オペアンプ、コンパレータ等を用意し、ASICの高機能化・高性能化に対応している。

4. システムインテグレーション

前章で述べたように、デバイスの微細化、集積度の向上に伴い、今まで多数のチップで構成していたシステム(装置)、サブシステム(ボード等)を1個のチップ上に集積した、いわゆるシステムオンチップが現実のものとなりつつある。また、MM時代を実現する高性能電子機器では、人間の限りない欲望を満たすため、より高度なデータ処理と小型化・低消費電力化という、これまでの半導体製品では達成が困難な仕様が要求され、新しい技術に基づく製品の登場が望まれている。このような要求を実現する新たなシステムソリューションの道を示すのが、高性能なCPUコア、ロジック回路とともに大容量のDRAMを1チップ上に搭載するeRAM技術である。

4.1 eRAM技術

DRAMメモリセルの保持特性を確保しながらロジック部の速度向上を図り、さらに集積度を向上するため、リークが少なく高性能なトランジスタと微細化した多層配線を実現するハイパーDRAMという専用プロセスを開発した。

図6にプロセス技術のロードマップを示す。当社では各DRAM、ロジックの最新のプロセスとほぼ同時期に最新のハイパーDRAMプロセスをリリースしていく計画である。したがって、64MDRAMの時代には64Mビットのメモリが、256MDRAMの時代には256MビットのDRAMがeRAMのチップ上に搭載可能となる。

4.2 eRAMの例

eRAM技術は①DRAMとロジックを融合したもの、②CPUとDRAMを融合したもの、及び③CPU、ロジックとDRAMを融合したものに大別される(表紙のeRAMコンセプト図参照)。製品展開としては、標準品ビジネスである

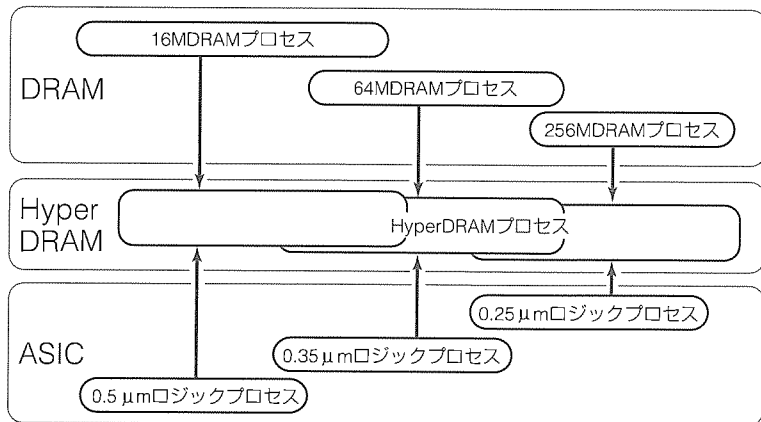


図6. プロセス技術のロードマップ

ASSPとカスタム品ビジネスのASCP(Application Specific Custom Products)に大別される。

ASSPとして、DRAMとロジックを融合した3D-RAMがある。演算コア、キャッシュメモリ、画像用メモリのVRAM(Video RAM)をeRAM技術で1チップ化することで、高性能三次元(3D)画像処理用メモリである3D-RAMを実現した。3D-RAMでは、隠面消去のためのZバッファリング、半透明表示のためのブレンディング等、ワークステーションクラスの3Dグラフィックス描画に必要な基本機能をすべてサポートしている。

また別のASSPとして、CPUとDRAMを融合したM32R/Dがある。M32R/Dは32ビットRISC CPUと大容量のDRAMを1チップに内蔵し、幅の広いメモリバスを形成することで、メモリとCPU間のデータ転送速度によってシステムの性能が律則されるいわゆるフォンノイマンボトルネックを解消し、高性能化と低消費電力化を実現した。

これらのASSP製品展開と並行して、当社のeRAM技術を用いて、お客様とともに様々なカスタムLSI(ASCP製品群)を開発していく所存である。

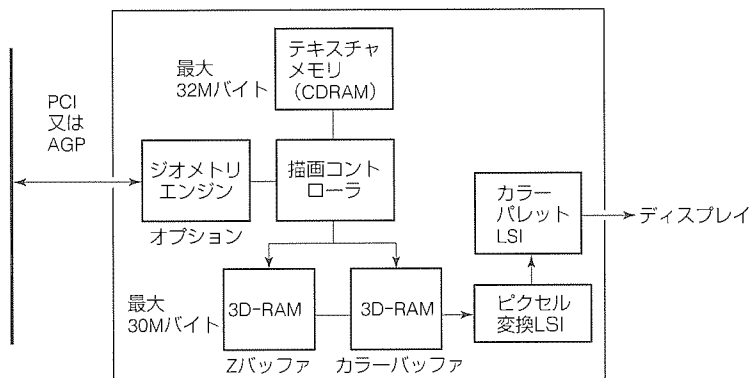


図7. 3Dグラフィックスチップセット

4.3 チップセット開発取組

システム全体を対象としたチップセットの開発事例を次に紹介する。これらのチップセットは、将来的には1チップ上に集積化されるだろう。

4.3.1 3Dグラフィックスチップセット

eRAMの代表製品である3D-RAMをコアにした、ワークステーションクラスの性能を持つパソコン用3Dグラフィックスチップセットを米国Evans & Sutherland社と共同開発した。200万ポリゴン/秒の3D描画性能を誇るPCIバス対応の第一世代チップセットは、大手ボードベンダー、パソコンメーカーに採用されている。さらに描画性能を50%以上向上させたAGP(Accelerated Graphics Port)バス仕様の第二世代チップセット(図7)の量産を開始した。

4.3.2 DVD用チップセット

ポストCD-ROMとして期待の大きいDVD-ROMは、家庭用パソコンでは必須のアイテムである。当社は、DVD用レーザダイオード、モータアクチュエータドライバIC、RF信号処理LSI、DVD信号処理LSI、ピックアップサーボLSI、フラッシュメモリ内蔵16ビットマイコンなど、DVD-ROMに必要なICのトータルソリューションを提供

している(図8)。さらに、DVDプレーヤー用には、必要な復号機能をすべて搭載したシングルチップAVデコーダがある。メディアプロセッサコアを用いて、システムデコード、オーディオデコード処理をファームウェアで、ビデオデコード処理をハードウェアで構成するアーキテクチャにより、性能/価格比を最適化した。0.35 μ m技術によって200万トランジスタを集積している。

また、書込み可能なディスクであるDVD-RAMやDVD-Rへの対応や倍速化など、高性能化を進めている。さらに、DRAM等を内蔵化

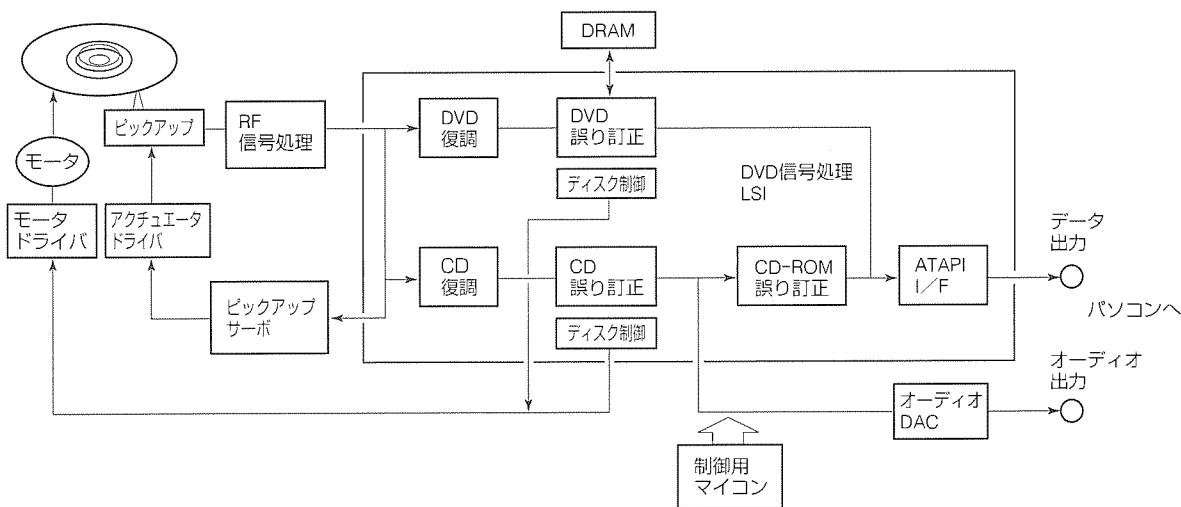


図8. DVD-ROMのブロック図

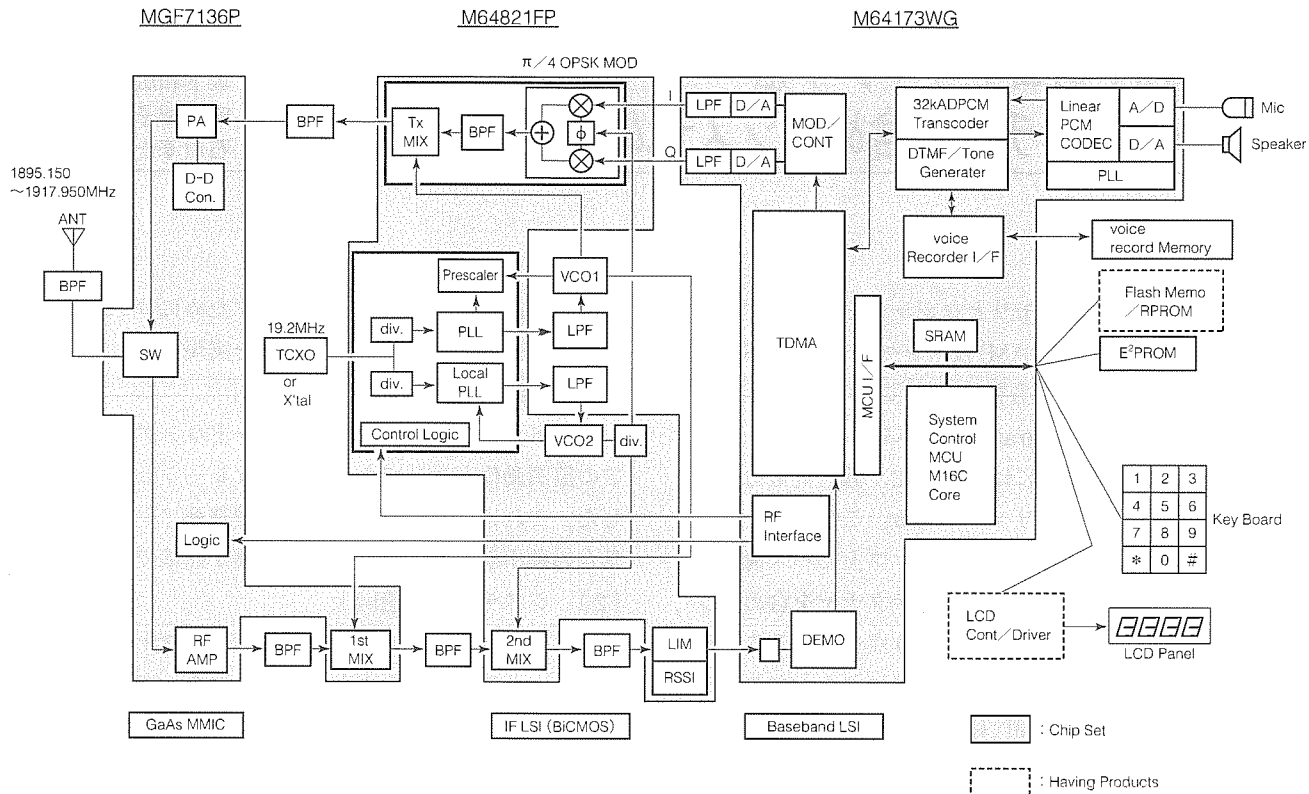


図9. 第二世代PHS用チップセットの構成

し、更なる高集積化・高性能化を図ったDVD用のeRAMについても開発を検討中である。

4.3.3 PHS用チップセット

PHSは、サービスが開始されて2年間で700万台以上の普及を得た。当社は第一世代のチップセットを製品化し、業界トップのシェアを確保している。RFの高感度化、PLL(Phase Lock Loop)の送信、受信スロットのみの動作による通話時消費電流削減、チップ数削減等の顧客からの要求に対応するため、機能分割を第一世代よりも更に最適化した第二世代PHSチップセット(図9)を開発した。これにより、PHSの小型化・高性能化・多機能化に一層貢献でき

るものと考えている。

5. むすび

半導体の市場動向と、eRAM技術を中心とした三菱電機のシステムLSIの開発と製品化状況を紹介した。システムオンチップを実現するシステムLSIに対する要求は今後ますます増大すると考えられ、メモリ、マイコン、ロジックといった個々のコア技術のブラッシュアップを図るとともに、eRAM技術に代表されるようなコア集積化のための技術の向上を絶え間なく進め、今後も市場ニーズに対応した製品群をタイムリーに提供していく所存である。

eRAM/SIでのコデザイン手法 —メモリのアーキテクチャを含めたシステムの最適化—

坂下和広* 東田基樹*
安藤智子*
石川淳士*

要旨

三菱電機では、大容量メモリとロジックを1チップに混載するeRAM(embedded RAM)技術をベースに、ASICへの展開を推進している。当社では、このASIC製品を“eRAM/SI”(System Integration)と呼ぶ。

メモリとロジックの混載には、高速化、低消費電力化、システムの小型化などのメリットがある。これに加えて、eRAM/SIのメリットとして、同一チップ上でバス構成を柔軟に構築できるため、メモリアーキテクチャを含めたシステム全体の最適化が可能であるという点を挙げることができる。このことは、ハードウェアとソフトウェアのコデザイン(Co-Design: 協調設計)によって、実装上の問題に阻害されることのない最適な機能分割が可能であることを意味する。

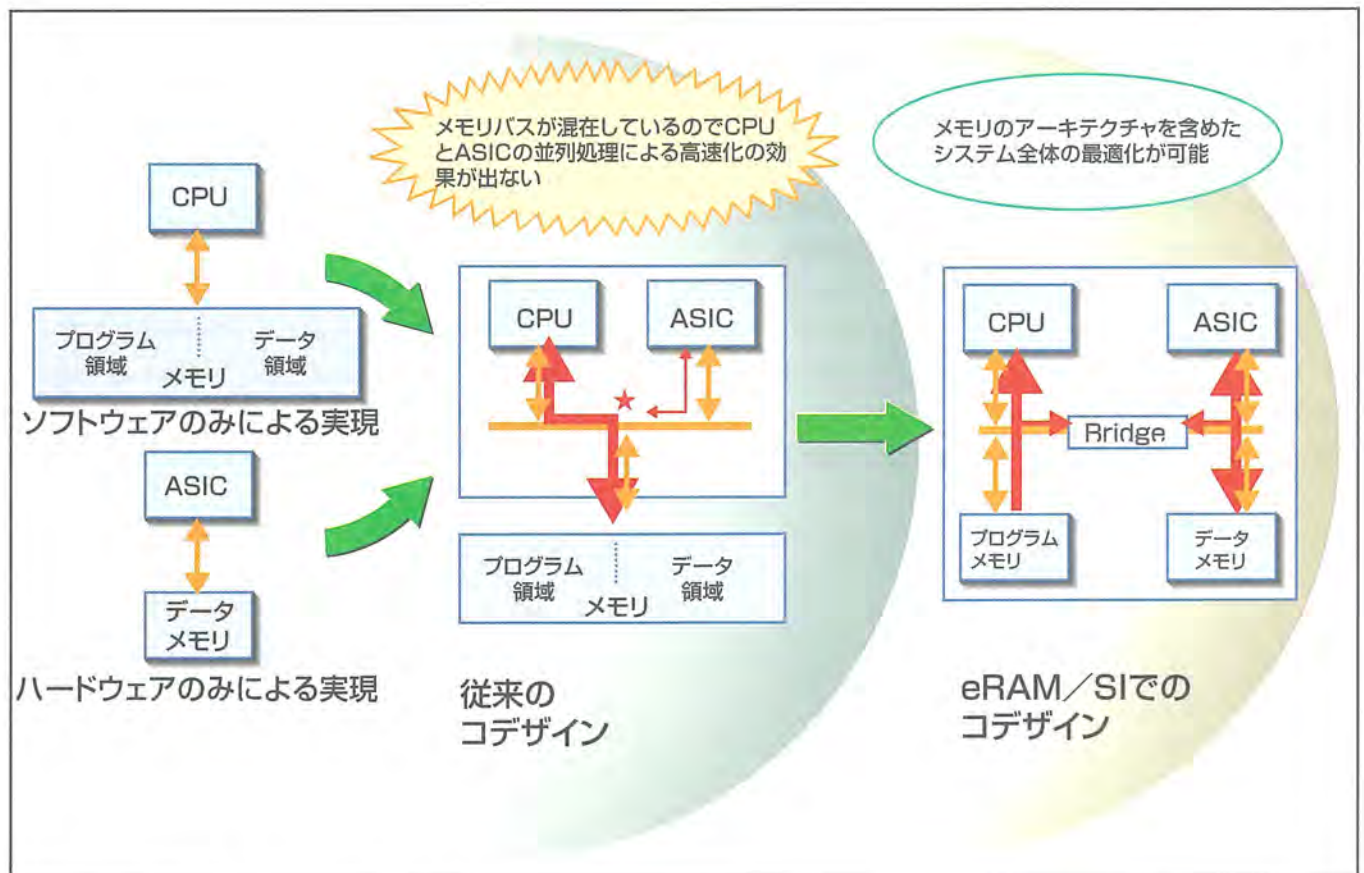
当社では、このメリットを生かすためにコデザイン環境の開発を進めており、今回、以下を実現した。

(1) 設計期間短縮

ハードウェア製造前段階でのハードウェアとソフトウェアの協調動作が検証できるコシミュレーション環境を構築した。これにより、ハードウェア製造前にシステム上の不具合の抽出が可能になり、設計期間が短縮できる。

(2) システムの性能向上

ソフトウェア処理の負荷解析やバスアクセス頻度の解析により、システム上のボトルネックとなっている処理やその原因を突き止めることが可能になり、システムの性能向上を図ることができる。



コデザインにおけるeRAM/SIのメリット

コデザインでは、メモリとメモリバス構成も含めて、ハードウェアとソフトウェアの機能分割を検討する必要がある。従来、メモリとロジックが別のチップで構成されていたため、実装上の問題が最適化を阻害していた。eRAM/SIでは、メモリアーキテクチャを含めたシステム全体の最適化が可能になる。

1. ま え が き

当社では、大容量メモリとロジックを1チップに混載したデバイスをeRAMと呼び、半導体の新しい主力事業に位置付けて開発を推進し、いち早く量産を開始している。高速動作、低消費電力、低ノイズを特長とするeRAMにより、従来には実現できなかった性能のシステムが生み出されている。

eRAM製品の中で多様化する市場の要求にこたえることをねらったカスタムLSIを、当社ではeRAM/LSIと呼ぶ。メモリとロジックの混載によるメリットである高速化、低消費電力化、システムの小型化は既によく知られている。これに加えて、eRAM/LSIのメリットとして、ハードウェアとソフトウェアのコデザインに対する有効性が挙げられる。eRAM/LSIでは、同一チップ上でバス構成を柔軟に構築できるため、メモリアーキテクチャを含めたシステム全体の最適化が可能になる。このことは、コデザインによって実装上の問題に阻害されることなく最適な機能分割が可能になることを意味する。

本稿では、こうしたeRAM/LSIのメリットと、当社で開発を進めているコデザイン環境、さらにシステム最適化の検討例について述べる。

2. eRAM/LSIの応用

当社では、最先端のDRAMプロセスをベースに、最先端のロジックデバイスと同等の高速動作と集積密度を達成するeRAM専用のプロセスを開発している。このプロセスで実現できる集積規模をチップサイズ一定(200mm²)の条件で算出し、その世代ごとの推移とeRAM/LSIの応用を図1に示す。0.25μm世代では、100MビットのDRAMと1Mゲートのロジック回路が集積可能となるので、プリンタ、HDD(Hard Disc Drive)、PDA(Personal Digital Assis-

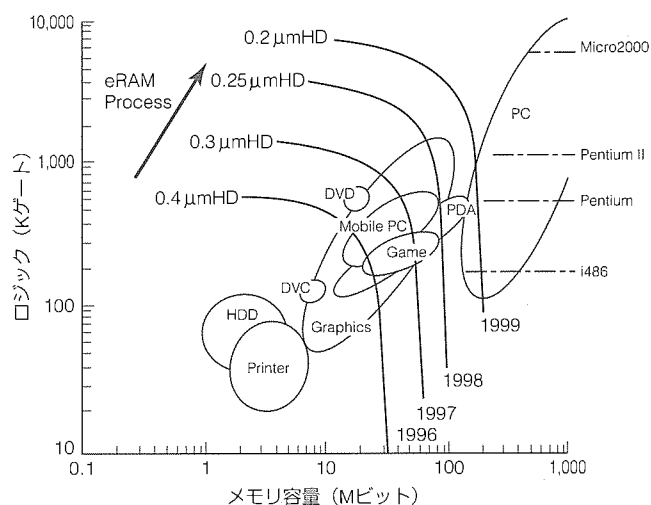


図1. 集積規模の推移とeRAM/LSIの応用

tant), DVD(Digital Video Disc)、デジタルビデオカメラといったパソコン周辺機器や情報家電分野のほとんどのシステムを1チップに搭載することが可能になる。

3. ハードウェアとソフトウェアの機能分割の最適化

ハードウェアとソフトウェアの機能分割によるシステムの最適化は、ハードウェア又はソフトウェア単独でのアプローチと比較して、飛躍的に性能に対する改善効果が高いことが知られている。さらに、この機能分割は、コスト、開発期間、互換性、拡張性にも大きく影響する。

コデザインでは、システム性能に大きく影響を及ぼすメモリとメモリバスの構成を含めて検討する必要がある。しかし、メモリとCPUと周辺回路が別のチップで構成されている場合には、実装上の問題が最適化を妨げていた。

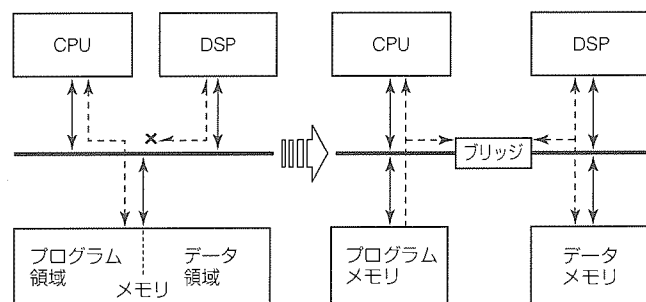
簡単な例を図2に示す。図(a)に示す構成では、CPUとメモリ間、ASICとメモリ間の両方のアクセスが同一バス上で混在している。バスはCPUからの命令フェッチで常に混雑しているため、CPUとASICの並列処理による高速化の効果が出ない。解決策の一例として、メモリとバスを各々二つに分離し、バス間をブリッジで接続する(図(b))。この構成であれば、バスネックが解消され、CPUとASICは効率良く並列処理できる。しかし、この構成をボード上で実現しようとする、部品点数の増加を招き、必ずしも現実的な解になるとは限らない。

しかし、1チップ化した場合には、これらの制約がなくなり、メモリアーキテクチャを含めたシステム全体の最適化が実現できる。つまり、eRAM/LSIでは、コデザインにおける最適化の可能性が拡大される。

このようなeRAM/LSIの真の効果を引き出すためには、コデザインを支援する設計環境の整備が必要である。

4. コデザイン環境

従来、ハードウェアとソフトウェアの機能分割は、適当な支援ツールがないために設計者の経験と“勘”によって決定されることが多く、それをシステム設計段階で定量的に評価することができなかった。今回、コデザインツールを



(a) 1バス構成 (b) バス分離構成

図2. バスネック解消例

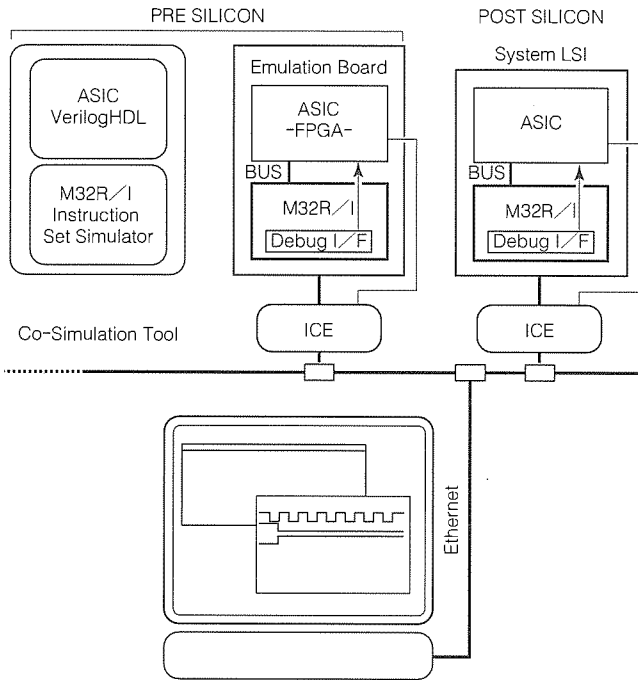
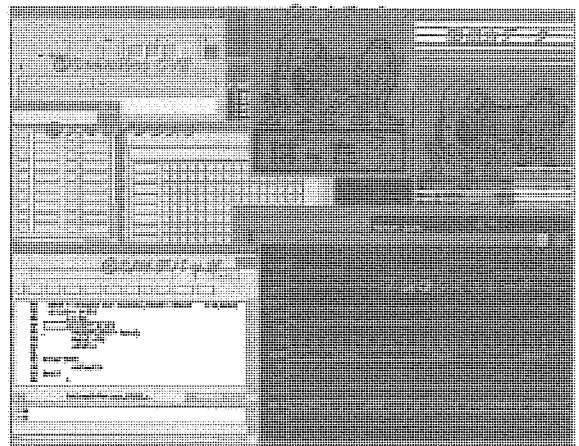


図3. M32R/I用デバッグ環境



- 図4におけるホストパソコンからシステムへの入力データをウィンドウ①に、システムからの出力データをウィンドウ②に表示する。
- ハードウェア部のデバッグは、論理シミュレータのウィンドウ③で信号値の変化をチェックすることによって行う。
- ソフトウェア部のデバッグはウィンドウ④で行う。C言語のソースコード上及びアセンブリコード上でのデバッグが可能で、ブレークポイントの設定やステップ実行といった機能が利用できる。
- ウィンドウ⑤でメモリ/レジスタ内容が確認できる。さらに、そのデータをダイナミックに変更してコシミュレーションを継続することもできる。

図5. ハードウェアとソフトウェアのコシミュレーション実行例

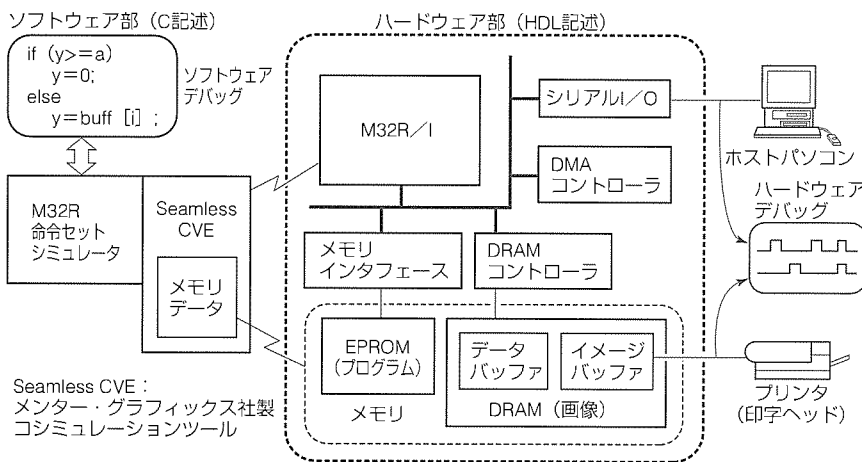


図4. ハードウェアとソフトウェアのコシミュレーション環境例 (プリンタシステム)

れ以上の高速動作の場合でもICEの使用が可能となる。

今後は、シミュレーション段階から、プロトタイプ評価段階、実機評価段階までの一連のGUI(Graphical User Interface)を統一し、操作性を向上する予定である。

4.2 協調検証

従来、ハードウェアと相互にコミュニケーションをとりながら行うソフトウェアの検証は、ハードウェアの製造が完了した後でないと取り掛かることができなかった。今回、ハードウェアとソフトウェアの協調動作を検証できるコシミュレーション環境を開発した。これにより、ハードウェア製造前段階でのシステム上の不具合抽出が可能となり、設計期間を短縮することができる。

開発し、機能分割を支援する環境を構築した。

この章では、まずeRAM/SI用ソフトウェア開発環境の全容について説明し、この環境で実現できる協調検証とボトルネック解析について述べる。

4.1 eRAM/SI用ソフトウェア開発環境

現在、当社製32ビットRISCプロセッサコア(M32R/I)用のソフトウェア開発を支援するデバッグ環境を開発中である(図3)。この環境では、システム検証及びハードウェアとソフトウェアのデバッグができる。

M32R/Iは、オンチップデバッグインタフェースを持っている。これにより、チップに内蔵されたCPUコアのリアルタイムでのデバッグが可能になる。また、一般的にICE(Incircuit Emulator)を用いたデバッグにおけるCPUのクロック周波数の限界は現状では30MHz程度だが、こ

コシミュレーション環境のプリンタシステム用LSIへの適用例を図4に、この環境を利用した協調検証の実行例を図5に示す。この環境は、M32R/Iとその周辺ブロック、及び幾つかのメモリで構成される。設計者は、ハードウェア部はHDL(Hardware Description Language)で、ソフトウェア部はC言語かアセンブリ言語のどちらかで記述する。コシミュレーションの実行中、ハードウェア部は論理シミュレータにより、一方、ソフトウェア部は命令セットシミュレータによってシミュレートされる。これらの制御は、コシミュレーションツールが行い、論理シミュレータ

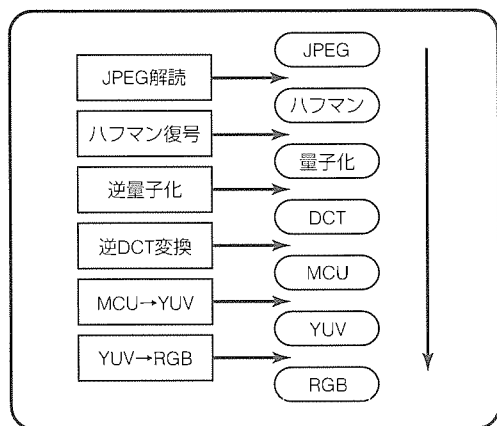


図 6. JPEGデコード処理フロー

と命令セットシミュレータとの同期をとりながらコシミュレーションを進める。

この環境は、実システム開発に既に適用されている。設計の早期段階にシステム上の不具合点が検出され、設計期間短縮への有効性が実証された。

4.3 ボトルネック解析

このコシミュレーション環境を用いることによって、処理ごとに要するクロック数とバスの混雑度を観測することができる。設計者は、ハードウェア製造前に、これらのデータを用いてボトルネックとなっている処理やその原因を突き止めることができる。

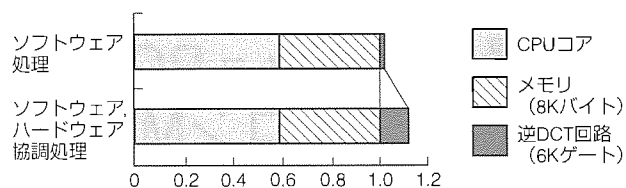
ソフトウェア処理の負荷解析により、負荷の大きなソフトウェア処理のハードウェア化、又はアクセス頻度の高いメモリの分散といったボトルネック解消による最適化が可能である。

5. 応用例：JPEGデコード処理における機能分割の検討

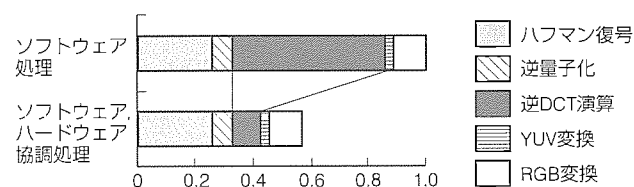
eRAM/SIの重要な利点として、ハードウェアとソフトウェアの最適な機能分割が可能であることを述べてきた。その事例として、JPEGデコード処理への適用を紹介する。

図 6 に JPEG デコード処理の流れを示す。JPEG フォーマットで圧縮された画像データを変換し、最終的に RGB フォーマットの画像データを出力する。この中で、逆 DCT (Discrete Cosine Transform) 変換とハフマンの復号が、処理時間の点で支配的なプロセスである。

今回は、逆 DCT 演算に注目して、ハードウェア化の効



(a) 面積



(b) 処理クロック数

図 7. 面積と処理速度の比較

果を検討した。図 7(a)に、すべてをソフトウェア処理した場合と一部(逆DCT演算処理)を専用回路で実現した場合のチップ面積の比較を示す。CPUとメモリの面積の和に対して、逆DCT演算回路の面積増加率は1割にも満たない。それに対して処理時間の方は、逆DCT演算の実行時間が約1/6に短縮されたことにより、全体の処理時間が半減している(図 7(b))。また、逆DCT演算の処理時間を更に改善することは可能と考えられるが、全体の処理時間に占める割合から、これ以上の改善の効果は少ないことも分かる。

この事例では、メモリアクセスがボトルネックとならないと仮定した。eRAM/SIではメモリアーキテクチャを柔軟に構成できるので、このような仮定が成り立つ。

従来からハードウェアとソフトウェアの機能分割の重要性は唱えられてきたが、実装上の問題によって特別なハードウェアの追加は困難であった。eRAM/SIにより、初めて機能分割の最適化を図ることが可能になった。

6. む す び

現在、eRAM/SIの真のメリットを生かしたシステムLSIを実現する道具立てはそろいつつある。また、高速化・低消費電力化・小型化を達成するためにシステムLSIを必要とする市場も形成されてきた。

今後は、このeRAM/SI技術をどう適用するか、新しい市場へのソリューション提案を中心に展開していきたい。

大容量フラッシュROM内蔵32ビット RISCマイコンM32R/Eシリーズ

杉田 充* 佐藤由和**
 阿部信介* 角南利郎**
 樋口光誠*

要 旨

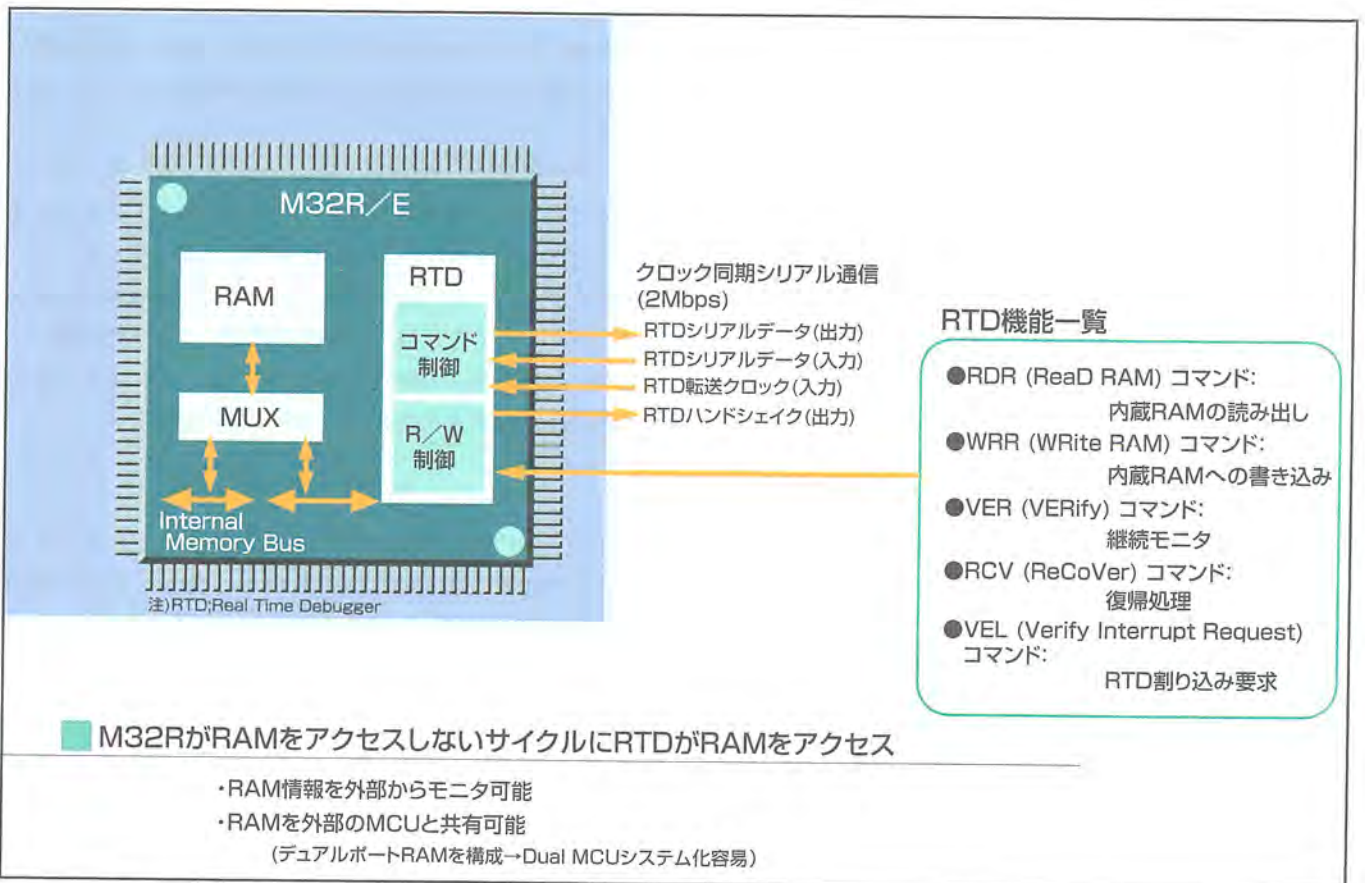
近年、開発／量産／メンテナンスの各段階において、“書き込み／消去可能な不揮発性メモリ”という基本的特性が故に、フラッシュメモリの様々なメリットが市場に知られてきている。それに伴い、マイコンに内蔵されるメモリがマスクROM→OTP(One Time Programmable)→フラッシュメモリへと急速に移行している。

また、システムの統合化、制御方式の複雑化、及び高級言語の採用等から、CPUコアの高性能化、内蔵メモリの大容量化の市場要求も高まってきている。

これらの背景から、三菱オリジナル32ビットRISC(Reduced Instruction Set Computer) (M32Rコア)に大容量フラッシュメモリを内蔵したM32R/E(E: Embedded)シリーズを開発した。

ここでは、高性能RISCコアに大容量フラッシュメモリを内蔵する際の幾つかの課題解決手段について述べる。

- 高速フラッシュメモリアクセス
 32ビットRISCコアの性能を十分に引き出すため、広温度範囲にわたり25MHz(0 wait)アクセス
- フラッシュメモリの高信頼性
 自動車応用などの過酷な使用環境にも耐え得る信頼性の維持と迅速な故障解析によって、プロセスにフィードバックさせる解析技術
- 最終量産基板上でのデバッグ環境
 従来のマスクROM／OTPではできなかった、マイコンを実装した最終基板上でのデバッグ環境の提供



M32R/EのRAMモニタ機能

CPUがRAMをアクセスしないサイクルに、外部からクロック同期SIO経由で内蔵RAMの読み出し／書き込みが可能である。RAM上の変数の経時変化観測(RAMモニタ)ができ、また、シリアル結合されたデュアルポートRAMとしても機能する(フラッシュメモリと組み合わせた応用については本文参照)。

1. ま え が き

三菱オリジナル32ビットRISCに大容量フラッシュメモリを内蔵し、様々な産業応用分野に適応可能な周辺機能を豊富に内蔵したM32R/Eシリーズを開発した。

ROMを内蔵した組込み型MCU(Microprocessing Unit)の性能ネックは、一般に、ROMアクセス時間と言われている。データ処理型MPUで使用されているキャッシュ技術等を採用しても、組込み型MCUでは頻繁に分岐が発生するため、期待する性能向上が望めないからである。また、自動車応用のような過酷な使用環境に耐え得るフラッシュメモリの信頼性維持も重要な課題である。

一方、応用面では、フラッシュメモリのオンボード書き込み機能により、従来のメモリでは不可能であった最終量産基板上でのデバッグが可能となった。ただ、組込み型MCUではほとんどがシングルチップ応用であるため、マイコン自身に何らかのデバッグリソースが内蔵されていなければこのメリットを生かすことはできない。

本稿では、高性能RISCコアに大容量フラッシュを内蔵する際の、これらの課題解決手段について述べる。

2. M32R/Eシリーズの製品概要

M32R/Eシリーズの仕様一覧を表1に、ブロック図を図1に示す。

表1. M32R/Eシリーズの仕様一覧

項 目	M32150F4TFP	M32151F8TFP	M32160F4UFP
内蔵フラッシュメモリ	128Kバイト	256Kバイト	512Kバイト
内蔵RAM	6 Kバイト	10Kバイト	16Kバイト
M32R CPUコア	M32RファミリーCPUコア/内部32ビット構成、積和演算器内蔵 基本実行サイクル：40ns(内部動作25MHz時) 論理アドレス空間：4Gバイトリニア 汎用レジスタ：32ビット×16、制御レジスタ：32ビット×5、56ビットアキュムレータ		
命令セット	16ビット/32ビット長命令形式(83命令/9アドレッシングモード)		
D M A C	5チャンネル		10チャンネル
マルチジャンクションタイマ	33チャンネル		42チャンネル
10ビットA/D変換器	16チャンネル		16チャンネル
S I O	2チャンネル		4チャンネル
動作周波数	25MHz	20MHz	25MHz
電源電圧	5V(±10%)		内部：3.3V(±10%)、I/O：5V(±10%)
動作周囲温度	-40~85℃		-40~110℃
パッケージ	160ピンQFP(0.65mmピッチ)		176ピンLQFP(0.5mmピッチ)

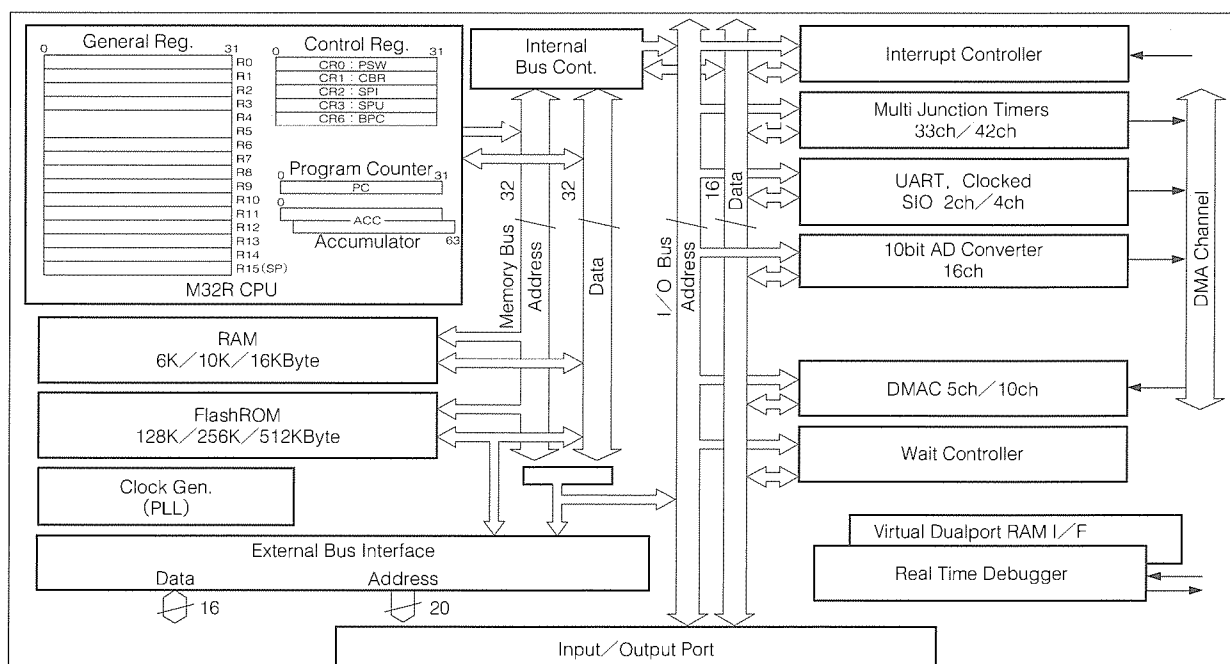


図1. 内部ブロック図

2.1 高性能32ビットRISC(M32Rコア)

M32Rファミリー共通のRISCコアを採用し、M32Rファミリー共通の命令セットを持っている。

- 5段パイプライン方式
- 32ビット汎用レジスタ16本
- 16ビット/32ビット長命令
- DSP機能用命令

(56ビットアキュムレータによる積和演算命令)

2.2 内蔵周辺機能

様々な応用システム開発を容易にし、また、RISCコア性能を引き出すために、インテリジェントで柔軟な周辺機能を内蔵している。ここでは、特長的な周辺機能について述べる。

(1) MJT(Multi Junction Timer)

MJTは内部にクロックバス、入力イベントバス、出力イベントバスを持ち、複数のタイマを内部で組み合わせて利用できる。これにより、柔軟なタイマ機能の活用が可能となる。また、出力タイマには補正機能を備えており、この機能によってカウント中のタイマのカウント値を自由に

増減させることができ、リアルタイムな出力制御が実現できる。

(2) RTD(Real Time Debugger)

RTDは、内蔵RAMを外部から直接アクセスする機能を持ち、外部との通信は専用のクロック同期SIO(Serial Input Output)で行う。

RTDを使用することで、CPUの動作とは独立して外部から内蔵RAMの内容を読み出したり、データを書き換えたりすることが可能となる。

(3) DMA(Direct Memory Access)

内蔵資源間(周辺I/O、内蔵RAM)のデータ転送をサポートする。DMA転送要求はユーザーが記述するソフトウェアのほか、周辺I/O(A/D, MJT, SIO)の発生する信号をトリガとすることもできる。

DMA間のカスケード接続もサポートしており、CPUに負荷を掛けることなく、高度な転送処理が可能である。

(4) 16チャンネルの10ビット精度A/D

10ビット分解能のA/Dを16チャンネル持ち、各チャンネル単独のA/D変換のほか、4、8又は16チャンネルを一つのグループとした連続的なA/D変換も可能である。

また、MJTからのトリガ信号によってA/D変換を開始し、A/D変換終了のトリガ信号でDMA転送要求を発生することもでき、効率的に周期的なアナログデータサンプリングシステムが構築できる。

表2. M32R/Eシリーズのフラッシュメモリ

	M32150F4T/M32151F8T	M32160F4U
メモリ構造	NOR	DINOR
メモリ容量	128Kバイト/256Kバイト	512Kバイト
アクセススピード	25MHz@~85°C	25MHz@~110°C
書き込み単位	16ビット	256バイト
書き込み時間(全領域)	標準4s/8s	標準16s(目標)
消去単位	128Kバイト一括、64Kバイトブロック	512Kバイト一括、8~32Kバイトブロック
消去時間(全領域)	標準4s/8s	標準1s(目標)
書き込み/消去電圧	5V、12V 2電源	3.3V単一電源
書き込み/消去方法	汎用ライク書き込み、又はオンボード(CPU)書き込み 自動書き込み/消去コマンドあり	
パラメータチューニング	あり(4Kバイト)	あり(8Kバイト)
セルサイズ	約2.4μm角	約1.5μm角
プロセス	0.6μmCMOS	0.5μmCMOS

3. 内蔵フラッシュメモリの機能

M32R/Eシリーズに内蔵したフラッシュメモリについて表2に示す。

3.1 機能・性能

M32150F4T/M32151F8TではNORタイプとして128Kバイト/256Kバイトを、

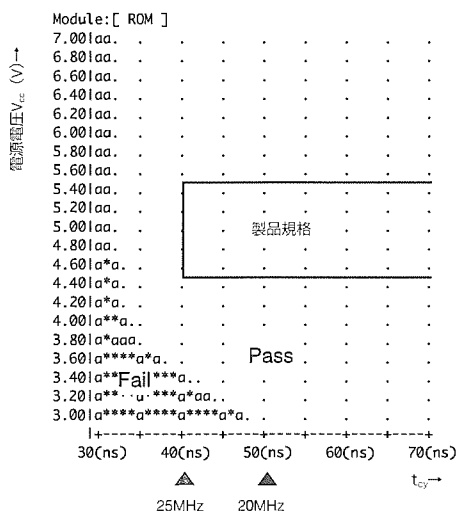


図2. フラッシュメモリ読み出しマージン評価結果

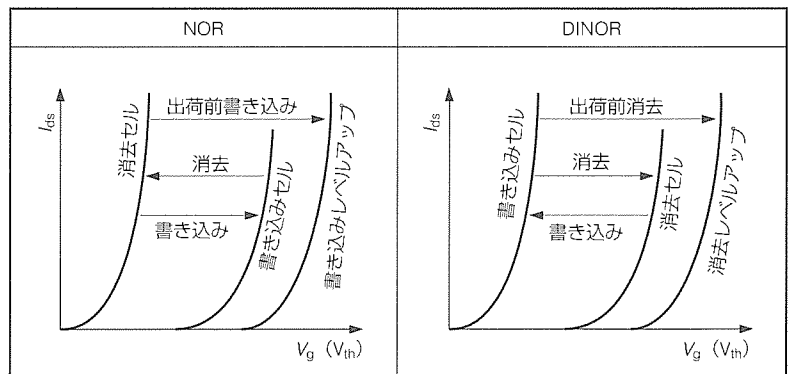


図3. フラッシュメモリのVm制御機能

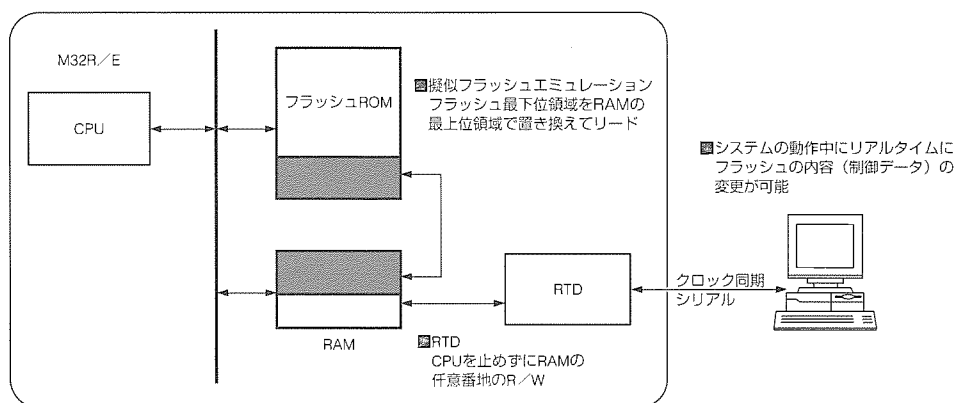


図4. パラメータチューニング機能

M32160F4Uでは新たに開発したDI NOR構造(Divided Bit Line NOR)のフラッシュメモリ内蔵マイコンプロセスを採用し、セルサイズが小さいことを生かして、512Kバイトの大容量フラッシュメモリを内蔵した。

これらのフラッシュメモリは、組込み用途として、以下に示す共通の特長を持っている。

- 高温環境下での高速動作(25MHz 0 waitアクセス) (図2に動作マージン評価結果を示す。25MHz動作に対し十分なマージンがある。)
- メカマッピング評価のためのパラメータチューニング機能の内蔵
- 過酷な環境にも耐えるためのメモリの信頼性向上機能
- ユーザープログラムによるオンボード書き込み/消去と汎用メモリとコンパチブルのライタ書き込み/消去

また、DINORフラッシュメモリを採用したM32160F4Uでは、書き込み/消去時にトンネル現象を使用するので消費電流が少なくでき、昇圧回路を内蔵し単一電源での書き込み/消去を可能にした。これにより、オンボード書き込みでの用途が拡大できる。

さらに、ホットエレクトロン注入にトンネル現象を用いた注入では、書き込みでの電子注入効率の差によって書き込み時間が増加するが、書き込み単位の拡大(256バイト同時書き込み)と回路的・プロセス的工夫によってNORタイプと変わらない書き込みスピード(4s/128Kバイト)を実現した。

オンボード書き込みによる生産ライン内での書き込みでは同時に書き込み数を増やすことは難しく、大容量メモリを内蔵することで書き込み時間を増加させることはTAT(Turn Around Time)の低下やラインコストの増加につながるため、特に配慮した。

3.2 信頼性向上

自動車などの過酷な環境での使用にも耐えるため、プロ

セスやスクリーニング工程での信頼性の作り込みに加えて、機能的な信頼性向上策を取り込んだ。

これはフラッシュメモリの信頼性を決定付けるメモリセルの V_{th} 制御をプログラマブルにするものである。書換え回数が比較的多い用途やプログラムデバッグ時には通常のレベルとし、工場出荷前の最終書換えではレベルをより深くすることで、信頼性をより向上させることができるようにした。

図3に示すように、NORでは書き込みレベル、DINORでは消去レベルをより深く(いずれも高 V_{th} 化)することで実現している。この機能は、オンボードでのCPUを使用した書換えで選択可能である。

3.3 パラメータチューニング機能

組込み応用分野の最終評価段階では、ROM領域に格納された制御パラメータを頻繁に変更するメカマッピング評価が重要であり、この評価効率が開発工期全体に与える影響は大きい。この評価環境をサポートするために、M32R/Eシリーズは図4のような機能を内蔵している。

- RTD: マイコン動作に影響を与えず、外部からRAMの内容を読み出し/書き込みできる機能
- 擬似フラッシュエミュレーション: フラッシュメモリの一部領域をRAM領域に置き換える機能

これらの機能を組み合わせることによって最終量産基板上で外部からRAMの内容を変更することができ、その結果、擬似的にフラッシュメモリ上に格納された制御パラメータをリアルタイムに変更することが可能となる。

4. む す び

以上述べてきたように、M32R/Eシリーズとしては128~512Kバイトまでの大容量フラッシュメモリ内蔵機種について製品化してきた。特に今後、DINORフラッシュメモリの特性を生かした高速・大容量化とバリエーション拡充に注力し、様々な応用分野に適応した製品を展開する予定である。

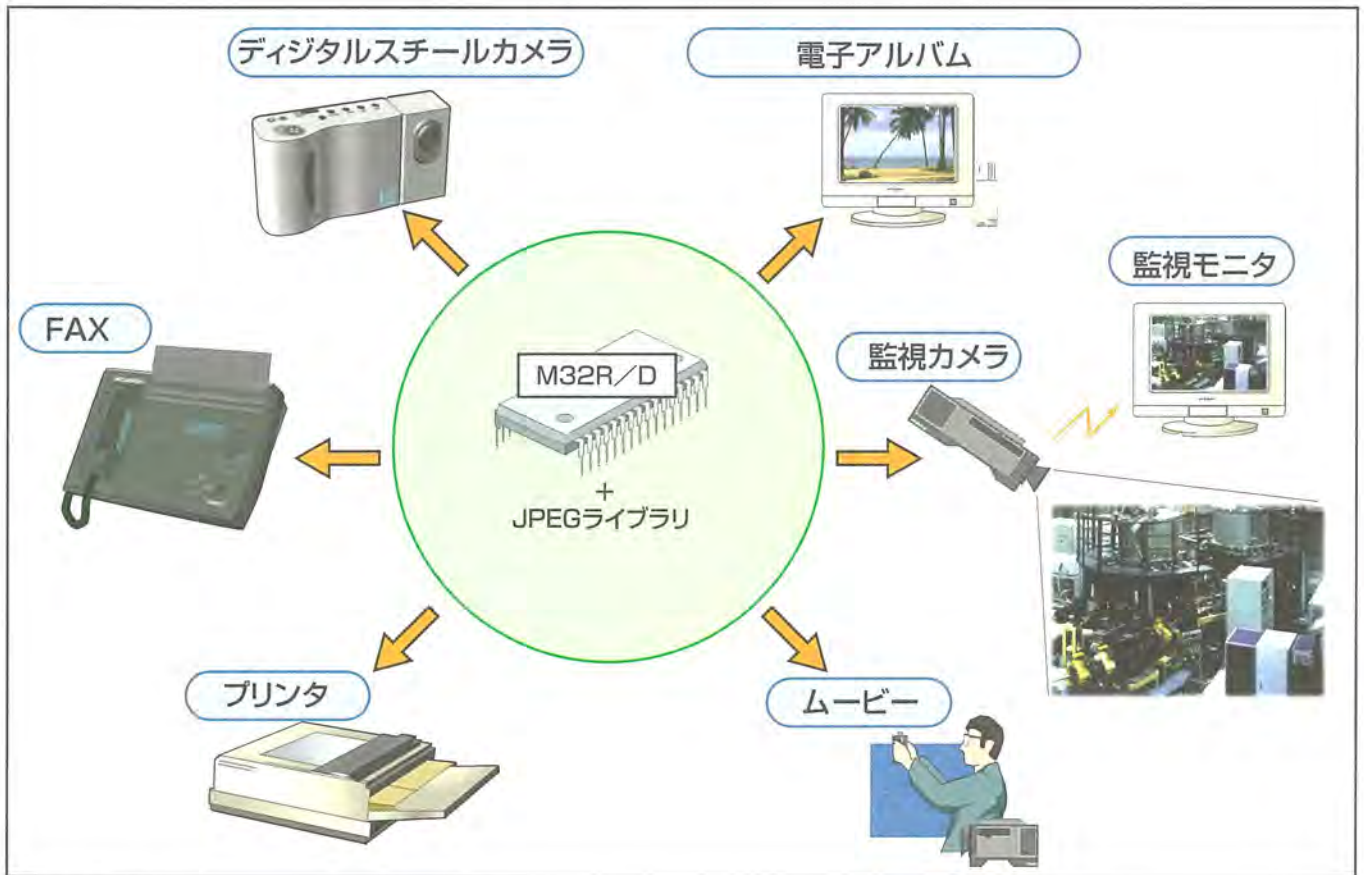
DRAM内蔵32ビットRISCマイクロプロセッサ M32R/Dを用いたJPEGソフトウェアソリューション

坂本直史*

要旨

カラー静止画像の圧縮・伸長には、JPEG (Joint Photographic Experts Group) 方式が用いられることが多い。JPEG方式でカラー静止画像を圧縮・伸長する情報家電製品では、従来、専用LSIが使用されてきた。今回、世界で初めて、大容量DRAMを内蔵した三菱電機オリジナル32ビットマイクロプロセッサM32R/D用JPEGソフトウェアライブラリを開発した。このソフトウェアライブラリを用いれば、JPEG方式による画像の圧縮・伸長のソフトウェア処理が実用的な時間でできる。JPEGをソフトウェアで実現することによって専用LSIは不要になり、M32R/Dの高性能・低消費電力という特長とあいまって、システムの小型化・低コスト化・省電力化が図れる。

今回開発したM32R/D用JPEGライブラリでは、JPEG方式の画像符号化のうち、デジタルスチールカメラを始めとする多様な用途に使用されているベータスライププロセスの規格を実現した。このライブラリを使用すると、VGA (Video Graphics Array: 640×480画素) サイズの画像(表色系YCbCr, サンプルング比4:2:2)を約1/10の圧縮率で圧縮するのに要する処理時間は約0.4秒である(M32R/Dの動作周波数は66.7MHz)。また、JPEGファイルの伸長は圧縮よりも更に約2割高速に処理できる。これらから、M32R/D用JPEGライブラリは、32ビットマイクロプロセッサM32R/Dと組み合わせて使用することで、種々のJPEG応用製品に適用できることが分かる。



JPEG応用事例

カラー静止画像符号化の国際標準であるJPEG方式は、デジタルスチールカメラを始め多様な情報家電製品で使用されている。DRAM内蔵32ビットマイクロプロセッサM32R/DとM32R/D用JPEGライブラリの組合せは、小型化・低コスト化・省電力化を要求されるこれらのシステムに対する一つの最適解を提供する。

1. ま え が き

デジタルスチールカメラ等のカラー静止画像をJPEG方式で圧縮・伸長する情報家電製品では、従来、専用LSIが使用されてきた。しかし、近年、マイコンの高性能化に伴い、JPEG方式を用いた画像の圧縮・伸長をソフトウェアで行うことが実用レベルになってきた。

本稿では、当社オリジナル32ビットマイクロプロセッサM32R/D用に開発したJPEGライブラリの仕様と性能について述べる。

2. J P E G

JPEGは、カラー静止画像符号化の国際標準で、フルカラー又はモノクロームのグレースケールの自然画像を符号化する方式である。JPEGは、国際的な規格の協議機構であるISO/IEC JTC1^(注1)とCCITT^(注2)(現在のITU-T^(注3))との共同委員会(Joint Photographic Experts Group)の名称で、最近では符号化アルゴリズムの勧告自体の名称としても使われている。勧告では、図1に示すようなカテゴリーに分けて符号化方式が提案された。

JPEGは、デジタルスチールカメラや画像データベースのような蓄積系、静止画伝送装置やテレビ会議などの伝送系、さらにカラープリンタなどの印刷系など、広範囲に利用されている。つまり、名実ともに国際標準方式として使用されているわけである。

3. JPEG符号化アルゴリズム

3.1 JPEG符号化アルゴリズムの分類

データの符号化方式には、データの圧縮・伸長の過程を経て復元したデータが元のデータと完全に一致する可逆符号化方式と、完全に元に戻らない非可逆符号化方式がある。

JPEGの可逆符号化方式である空間的予測方式の圧縮率

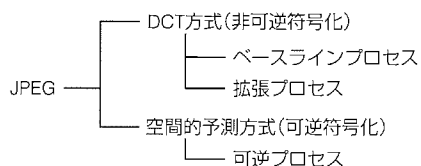


図1. JPEGアルゴリズムの分類

(注1) ISO/IEC JTC1は、ISO(International Organization for Standardization)とIEC(International Electrotechnical Commission)のJoint Technical Committee 1の略称

(注2) CCITTは、International Telegraph and Telephone Consultative Committeeの略称

(注3) ITU-Tは、International Telecommunications Union-Telecommunication Standardization Sectorの略称

は、非可逆符号化方式に比べて小さいが、元の画像が再現できるため、画質の劣化が許されない用途に有効である。

一方、JPEGの非可逆符号化方式は、高い圧縮率で圧縮しても十分に実用的な画質を再現できる点に特長がある。可逆符号化方式の圧縮率は高くても1/2程度だが、非可逆符号化方式の場合は、視覚的な劣化を抑えて1/10から1/20程度に圧縮できる。

JPEGの非可逆符号化方式は、さらにベースラインプロセス(必要機能)と拡張プロセス(拡張機能)に分けられる。一般にJPEGと言うとベースラインプロセスを指すことが多く、本稿で取り扱うのもベースラインプロセスである。

3.2 ベースラインプロセスの符号化

ベースラインプロセスでは、図2に示すダイアグラムで圧縮・伸長が実現される。

人間の視覚特性により、大きな絵柄には多くの階調を、細かな絵柄には荒い階調を割り当てると実験的に画質劣化が少ないということが分かっている。この特性を利用してデータ量を圧縮するため、画像に二次元DCT(Discrete Cosine Transform: 離散コサイン変換)と呼ばれる変換を適用することで大きな絵柄と細かな絵柄に分ける。その後、大きな絵柄には多くの階調を、細かな絵柄には荒い階調を割り当てるように、絵柄の大きさを考慮した値で割る。これを量子化と呼ぶ。この量子化により、画像の持つ情報量は低下し、完全に元の画像を再現できなくなる。

量子化された結果は、次に、データ長を短くするためにエントロピー符号化される。エントロピー符号化とは、符号化するデータの発生確率によって、発生頻度の高いデータには短い符号を、発生頻度の低いデータには長い符号を割り当てることで、全体としてデータ長を短くしようとする符号化方式である。

以上が圧縮処理の過程である。伸長は圧縮のほぼ逆の過程で処理される。

4. M32R/D

近年のマイクロプロセッサは、機器組込み分野への応用がますます増えてきている。携帯情報端末、デジタルス

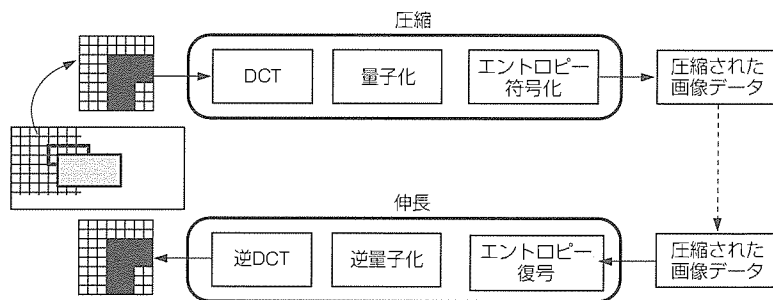


図2. JPEGベースラインプロセスによる画像データの圧縮・伸長ダイアグラム

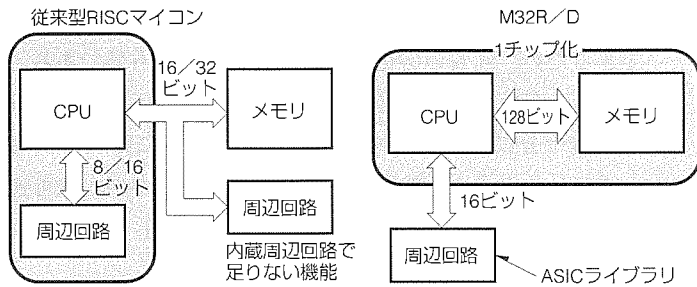


図3. コンセプトの変革(周辺内蔵からメモリ内蔵へ)

チールカメラやカーナビゲーションを始めとするマルチメディア機器におけるマイクロプロセッサでは、高い処理性能・低消費電力・低価格が要求される。このような市場の要求にこたえるために、当社は世界で初めて2Mバイトという大容量のDRAMと32ビットマイクロプロセッサを1チップに内蔵したM32R/Dを開発した。

M32R/Dでは、図3に示すように、応用分野に特有な周辺回路を外部に出し、システムを構築するために必要なメインメモリを内蔵した。これにより、従来システムの高性能化でボトルネックとなっていたCPUとメモリ間のバンド幅を、メモリを内蔵することで、128ビットに広げることになった(図4)。その結果、M32R/Dでは、入力クロック周波数16.7MHz、内部66.7MHz(内部で4通倍)動作時に52.4VAX MIPSという高性能が達成できた。また、外部メモリへの頻繁なアクセスをなくすことで外部ピンのドライブ電力が削減され、低消費電力も可能となった。

M32R/D 2Mバイト版の諸元を表1に示す。

5. M32R/D用JPEGライブラリ

5.1 仕様

JPEGライブラリでは、一般に広く用いられているベースラインプロセスによる圧縮・伸長を実現した。JPEGライブラリは、JPEGベースラインプロセスの主要処理であるDCT/逆DCTやエントロピー符号化/復号など、表2に示す関数群で構成される。これらの関数を組み合わせることで、ユーザーのシステムに応じたJPEGプログラムを作成することができる。

5.2 処理性能

M32R/D用JPEGライブラリは、CPUの性能を最大限に

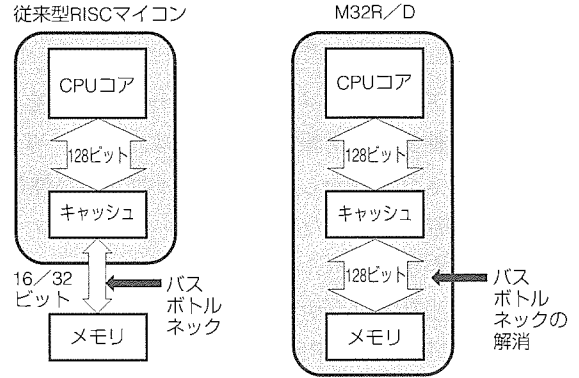


図4. DRAM内蔵の効果(バスボトルネックの解消)

表1. M32R/Dの諸元

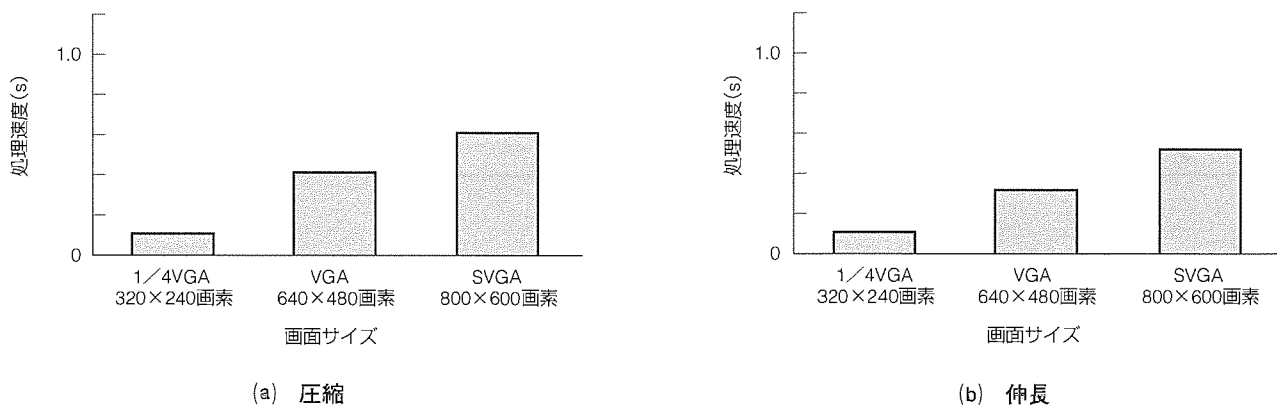
C P U	32ビットRISCアーキテクチャ
性 能	52.4MIPS(66.7MHz動作時) Dhrystone V2.1
命 令 数	83種類(16ビット/32ビット長命令)
汎用レジスタ	32ビット×16本
パイプライン段数	5段
ク ロ ッ ク	内部: 66.7MHz 外部: 16.7MHz
メ モ リ	16MビットDRAM, 4Kバイトキャッシュ ^(注)
CPU-メモリバス	128ビットバス(66.7MHz動作)
周 辺 回 路	32ビット×16ビット積和演算器, メモリコントローラ
外 部 バ ス	24ビットアドレス, 16ビットデータ
電 源 電 圧	3.3V
トランジスタ数	343Kトランジスタ+DRAM
プロセス技術	0.4μm CMOS, 4層ポリシリコン2層メタル
パッケージ	100ピン プラスチックQFP

(注) 命令又はデータを迅速にアクセスできるようにメモリとプロセッサの間に置く高速のメモリ

表2. ライブラリ関数一覧

	関 数 名	概 要
圧縮ライブラリ	_jpeg_add_Quant_table	量子化テーブルの登録
	_jpeg_DCT	DCTと量子化の実行
	_jpeg_encode_one_block	ハフマン符号化
	_jpeg_scan_one_block	ハフマン符号化した場合の必要ビット数の計算
	_jpeg_flush_bits	未出力のハフマン符号化したデータ強制出力
	_jpeg_write_end_of_image	EOIの出力
	_jpeg_add_DCTquant_table	関数_jpeg_QUANT用の量子化テーブルの登録
	_jpeg_execDCT	DCTの実行
	_jpeg_QUANT	量子化の実行
伸長ライブラリ	_jpeg_decode_init	JPEG伸長ライブラリの初期化
	_jpeg_make_huff_table	DHTセグメントに定義されたハフマンテーブルの伸長用内部テーブルへの登録
	_jpeg_add_iquant_table	DQTセグメントに定義された量子化テーブルの伸長用内部テーブルへの登録
	_jpeg_decode_one_block	ハフマン復号
	_jpeg_IDCT	逆DCTの実行

引き出すようにM32R/Dのアーキテクチャに最適化している。具体的には、M32Rの128ビット内部バスと2Kバイトのキャッシュを生かしたプログラミング、積和演算機能



処理条件：Y：Cb：Cr=4：2：2，圧縮率 約1/10
M32R : 66.7MHz動作時，内部メモリ使用

図5. JPEGライブラリの処理性能

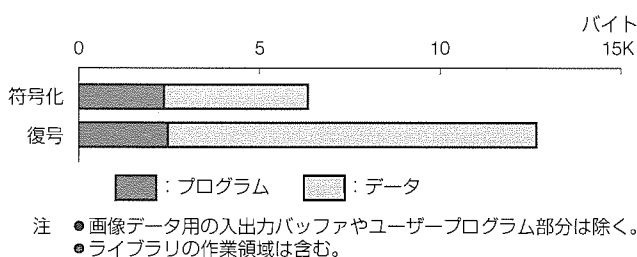


図6. コードサイズ

を活用したDCTの実現等を行った。図5にM32R/D用JPEGライブラリの処理性能を示す。

例えば、デジタルスチールカメラで標準的に用いられるVGAサイズ(640×480画素)の画像(表色系YCbCr，サンプリング比4：2：2)をこのJPEGライブラリで約1/10の圧縮率で圧縮すると，約0.4秒で処理できる。

5.3 コードサイズ

ライブラリの必要とするコードサイズを図6に示す。符号化で6.3Kバイト，復号で12.5Kバイト程度の小さなコードサイズでライブラリが実現されていることが図から分かる。

6. むすび

今回開発したM32R/D用JPEGライブラリは，JPEG方式の画像符号化のうち広く使用されているベースラインプ

ロセスの規格を実現している。このライブラリを使用すると，VGAサイズ(640×480画素)の画像(表色系YCbCr，サンプリング比4：2：2)を約1/10の圧縮率で圧縮するのに要する処理時間は約0.4秒である。さらに，JPEGファイルの伸長は，圧縮よりも更に約2割高速に処理できる。これらより，M32R/D用JPEGライブラリは，画像データの圧縮・伸長を実用的な処理速度で実現できることが分かる。

今後は，可逆符号化方式を実現する等の高機能化と，32ビットマイクロプロセッサM32Rのファミリ展開に沿ったライブラリ提供を実施する予定である。

参考文献

- (1) Joint Photographic Experts Group, ISO/IEC JTC 1/SC 29/WG 10: Digital Compression and Coding of Continuous-tone Still Images-part 1, Requirements and Guidelines (1994)
- (2) 是松次郎, 清水 徹, 坪田秀夫, 布村泰浩: 32ビット高性能RISCマイクロプロセッサ M32R, 三菱電機技報, 70, No. 3, 264~268 (1996)
- (3) Sakamoto, T., Hase, T.: JPEG Software Solution for a 32-bit MCU, IEEE Trans. on Consumer Electronics, 43, No. 3, 410~417 (1997)

第二世代 3Dグラフィックス チップセット

脇本欣吾* 根岸博康**
 笹田達義* 松岡秀人***
 河合浩行*

要旨

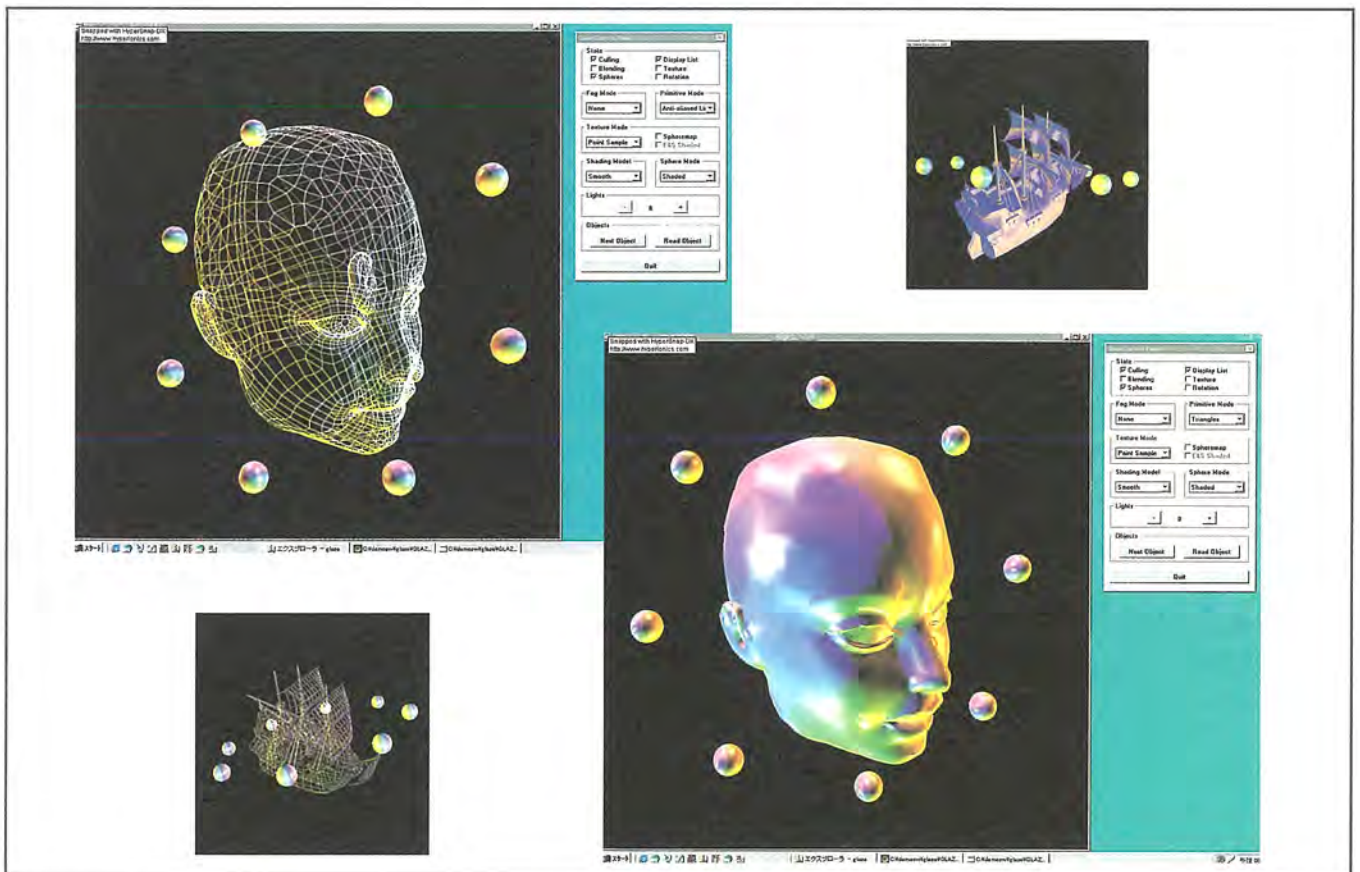
今までUNIXワークステーションの独壇場であった三次元グラフィックスが、パソコンにおいて本格化してきた。これは、Pentium IIに代表されるCPUの高性能化とPCI (Peripheral Component Interconnect)やAGP (Accelerated Graphics Port)という高速バスの普及、及び最先端のLSI技術によって、パソコン上で大量の3Dグラフィックスデータを高速に処理できるようになったことが背景となっている。

今回開発した第二世代3Dグラフィックスチップセットは、三菱電機独自のeRAM(embedded DRAM)である3D-RAMと、米国Evans & Sutherland Computer Corp. (E&S社)と共同開発した第二世代のレンダリングコントローラとの構成により、4Mバーテックス/秒、90Mピクセル/秒という業界最高クラスの三次元描画性能を実現し

ている。レンダリングコントローラには、PCI/AGPインタフェース、DMAエンジン及びVGAコアを内蔵し、バスのボトルネックを解消してシステムの性能を最大限に引き出すようにした。また、オプションとして、4並列の浮動小数点ユニットを持つジオメトリエンジンを付加することにより、高度な幾何学演算を必要とするタスクをCPU処理から分離できるので、更に高性能化を図ることが可能な構成になっている。

3Dグラフィックスシステムとして必要なAPI(Application Programming Interface)については、Windows98/NT5.0に標準搭載されるOpenGLとDirectXに対応した。

今後、CPUやOSの進化に追従して、ハイエンドパソコン用を主体とした製品展開を進めていく予定である。



3Dグラフィックスチップセットによる三次元画像の例 (出典：Evans & Sutherland Computer Corp.)

三次元処理がどのように表現されるかを示すデモ用ソフトの画像例である。シミュレーション画面では、峡谷(左下)や山上(右下)を自由に高速移動ができる。パソコンでもこのような3Dグラフィックス処理が十分実用に耐えるようになってきた。

1. まえがき

3D(三次元)グラフィックスとは、三次元空間にある物体を立体として表現するためのモデリング処理と、ディスプレイ上に二次元データとして可視化するレンダリング処理とで構成される技術である。この分野では、ハードウェアに高度な処理能力が要求されるため、これまではUNIXワークステーションの独壇場であったが、LSI技術及びCPUやソフトウェアの急速な進歩とあいまって、パソコンレベルでの使用環境が飛躍的に充実してきた。

三菱電機では既にパソコンをターゲットとした第一世代の3Dグラフィックチップセットを量産中であるが、ここでは、AGP⁽¹⁾ インタフェースに対応して性能向上を図った第二世代チップセットの機能について述べる。

2. 3Dグラフィックス処理

図1に一般的な3Dグラフィックスの処理フローを示す。まず、モデリングを行う物体の構成形態(ポリゴン)や位置(座標変換の値)、光源、視野、物体の表面等の情報を規定し、ここから必要なデータを選択してグラフィックス処理部に送る。次に、ジオメトリ処理として、これらのモデル情報に対して、座標変換、光源計算、視野からはみ出す部分の除去(クリッピング)、頂点の法線ベクトルの変換、ポリゴンのエッジの生成、及びポリゴン内部のピクセルデータの生成を行う。その後、レンダリングのプロセスでは、Zバッファ法に代表される隠面消去とシェーディングが行われる。最終的に、アンチエイリアシング処理や透明感を表現するためのアルファブレンディング等が施され、フレームバッファに格納された後、パレットLSIによって変換されたアナログRGBデータとしてディスプレイに表示される。

一般に、前述のジオメトリ処理はCPUで行われる場合が多いが、浮動小数点精度での複雑な幾何学演算が必要であり、マルチタスク処理のCPU負荷を軽減してシステム性能を向上するためには専用のハードウェアが必要となる。

GEは座標変換からクリッピングまでの処理を行う浮動小数点プロセッサで、今回125MHzの内部動作によって1 G FLOPSの演算性能を実現した。GEのブロック図を図3

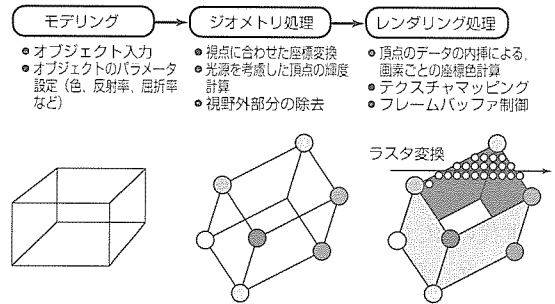


図1. 3Dグラフィックス処理フロー

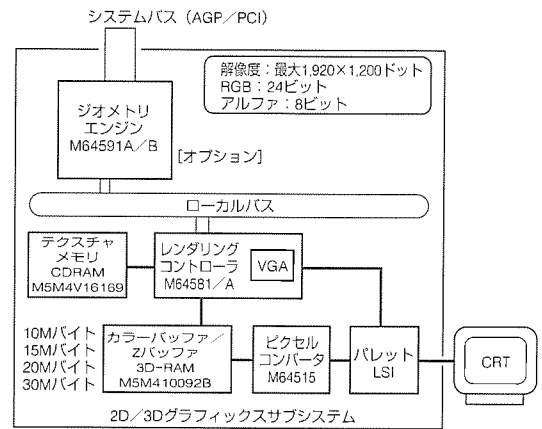


図2. 三菱チップセットを用いたハイエンドグラフィックスサブシステムの構成例

3. 第二世代チップセットの構成と機能

3.1 ハードウェアの構成

図2に三菱チップセットを用いたハイエンドグラフィックスサブシステムの構成例を示す。このチップセットは、OpenGLの完全サポートと第一世代の2倍の性能向上を目指し、システムバスのAGP化への対応と動作速度の100MHz化を図った。また、フレームバッファ容量を最大30Mバイトまでサポートすることにより、1,920×1,200ドット及び1,024×768ドットのデュアルスクリーン等の高解像度表示を可能とした。さらに、表示データの増加に伴ってテキストチャメモリ容量を32Mバイトまで拡張できるようにした。

3.1.1 ジオメトリエンジン(GE)

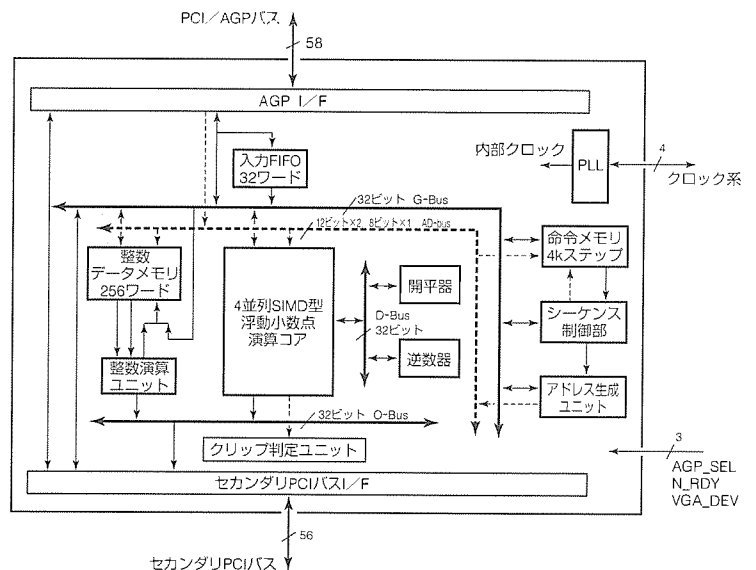


図3. ジオメトリエンジンのブロック図

に示す。効率の良い4並列パイプライン浮動小数点ユニットを持ち、PCI⁽²⁾/AGPブリッジを内蔵している。GEはオプションとして構成されるが、ハイエンド機には必ず(須)の要素である。

3.1.2 レンダリングコントローラ(RC)

図4に、E&S社のREALimage技術によるレンダリング処理を、フレームバッファである3D-RAM⁽³⁾の処理フローと併せて示している。また、図5にRCのブロック図を示す。GE又はCPUからの頂点と色の情報は、図5中のセットアップ部でピクセル生成のための計算が行われ、その後、3Dレンダパイプ及びテクスチャエンジン部で図4に示されるレンダリング処理がなされて、3D-RAMヘデータを受け渡す。

第二世代のRCは100MHz動作で業界最高クラスの4Mバーテックス/秒、90Mピクセル/秒の最大描画性能を誇っている。PCI/AGPインタフェースと双方向動作のDMA機能を内蔵してシステムバスからのデータ転送の高速化を図ったことにより、その最大性能が有効に使えるようになった。また、ブート時に必要なVGA機能を内蔵してシンプルなボード構成を可能とした。

3.1.3 3D-RAM/CDRAM

3D-RAMは三次元機能を内蔵したフレームバッファメモリであり、RC内での処理以外のレンダリング処理を受け持つ。一般に、三次元描画ではフレームバッファのリードモディファイライト動作が頻繁に発生する。3D-RAMでは隠面除去のためのZ比較機能、アルファブレンドやラスタ演算等のレンダリング機能の一部を内蔵してライト動作だけで処理を完結するようにしたため、他のメモリでは困難な高速な三次元描画性能を実現して

いる。また、OpenGL⁽⁴⁾のサポートや16ビットRGBモードを追加し、パソコン用に最適化を図った。

CDRAMは、キャッシュメモリをDRAMにオンチップ化しており、その高いランダムアクセス性能からテクスチャ

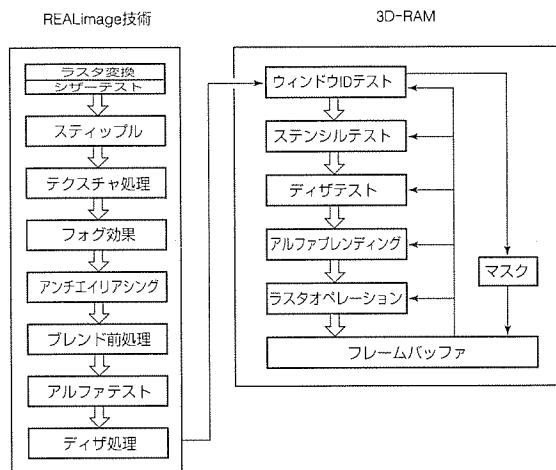


図4. レンダリングフロー

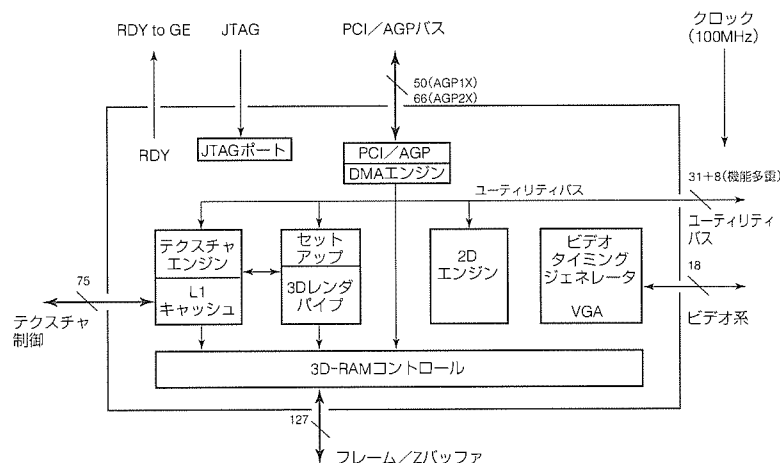


図5. レンダリングコントローラのブロック図

表1. 各チップの諸元

項目	3D-RAM	CDRAM	レンダリングコントローラ	ジオメトリエンジン
プロセス	0.4μm16M(Ⅲ) 4層ポリシリコン 2層アルミ配線	0.45μm16M(Ⅱ) 4層ポリシリコン 2層アルミ配線	0.35μmCMOS 1層ポリシリコン 3層アルミ配線	0.35μmCMOS 1層ポリシリコン 3層アルミ配線
パッケージ	128ピンPQFP	70ピンTSOP	447ピン Cavity BGA	240ピンPQFP
ゲート数	30K+ 10MビットDRAM +2KビットSRAM	16MビットDRAM +16KビットSRAM	525K +4KビットRAM	170K +177KビットRAM
電源電圧	3.3V	3.3V	コア3.3V, I/O5.0Vと 単一電源3.3Vの2種類	コア3.3V, I/O5.0Vと 単一電源3.3Vの2種類
動作周波数	システム: 100MHz ビデオ: 83MHz max.	内部バス: 50MHz SRAM: 100MHz	外部I/F: 66MHz 内部: 100MHz	外部I/F: 66MHz 内部: 125MHz
機能	デュアルポートDRAM +ピクセルバッファ +ALU	DRAM+ ピクセルバッファ	DMA, PCI/AGPコア VGA内蔵	1 GFLOPS(コア) +PCIブリッジ

表2. 性能比較

	第一世代チップセット	第二世代チップセット
ポリゴンレート (バーテックス/秒)	2 M	4 M
ピクセルフィル レート (ピクセル/秒)	60M	90M
2D性能 (ピクセル/秒)	60M	200M
最大解像度 (ドット)	1,600×1,200	1,920×1,200 Single 1,024×768 Dual
システムバス	PCI33	PCI33/ AGP1X/AGP2X
DMA	外付け	内蔵
VGA	外付け	内蔵

メモリとして使われている。テクスチャとは岩肌や木目の質感などのリアルなイメージを表現するための二次元画像であり、従来は主にゲーム用途で使われていたが、最近ではCAD、DCC(Digital Contents Creation)等の3Dアプリケーションにも必要な技術になってきている。

表1に、各チップの諸元を示す。

3.2 ソフトウェアの構成

アプリケーションソフトとハードウェアの間には、3Dグラフィックスのプログラミングを行う上で各種の描画処理を提供するAPIと呼ばれるグラフィックスライブラリが存在する。主なAPIにはOpenGLとDirectXがある。OpenGLはシリコングラフィックス社が仕様を一般に公開したAPIでプロフェッショナル用途に、DirectXは描画性能重視のゲーム用途にそれぞれ使われる。いずれもMicrosoft社がWindows NT/95に搭載するようになったため、パソコンでのDCCやVRML (Virtual Reality Modeling Language)等、CAD以外の用途にも広く使われ始めている。

三菱3DチップセットではOpenGL ICD(Installable Client Driver)を追加してアプリケーションからの要求を直接RCへのアクセスに変換したり、HAL(Hardware Acceleration Layer)と呼ばれる32ビットの専用ドライバを追加するなど処理の高速化を図っている。

4. 性能比較

表2に第一世代と第二世代チップセットの性能比較を示す。動作周波数の100MHz化及び266~533Mバイト/秒というバンド幅を持つAGPやDMA機能のサポートにより、ポリゴンレートとピクセルフィルレートについては第一世

(注) "OpenGL"は米国Silicon Graphics, Inc., "Pentium II" "MMX 2" は米国Intel Corp., "Windows NT" "Windows95" "DirectX" "DirectDraw" "Direct 3D" は米国Microsoft Corp., "REAL image"は米国Evans & Sutherland Computer Corp.,の商標である。

代の約2倍の実効性能を実現した。また、二次元性能については、内部にブロック転送機能を持たせるため、200Mピクセル/秒のフィルレートで画面スクロールにおいて第一世代の約8倍の性能向上を達成している。

5. 今後の展開

現在のパソコン用グラフィックスボードの多くは、CPUがジオメトリ処理を担当しているが、マルチタスク処理のため、CPUの性能が低下する。そこで、今年後半に登場する予定のPentium IIの後継機種(Katmai)ではMMX(Multimedia Extension)2と呼ばれる単精度(32ビット)浮動小数点処理機能が追加され、ジオメトリ処理性能の向上が図られようとしている。したがって、次世代のチップセットでは、GEを含めたより一層高度なアーキテクチャ設計が重要な課題となる。

また、ピクセルコンバータを内蔵したパレットLSIも開発中であり、最終的にはグラフィックスサブシステム全体を供給できるように計画している。

今後、フレームバッファの大容量化・高速化のために次世代3D-RAMの開発を行い、さらにRCのeRAM化や、RCへのパレットLSIの内蔵等の検討を行い、より高性能化・低価格化を目指したコストパフォーマンスの良い製品展開を図っていく予定である。

6. むすび

第二世代3Dグラフィックスチップセットの仕様と機能について述べた。第一世代チップセットではE&S社のREALimage技術と三菱電機の3D-RAM技術を融合させ、ワークステーションクラスの3D性能をハイエンド分野のパソコンへ展開することに成功した。そして今回、E&S社とのより密接な協力関係によって第二世代チップセットを開発し、第一世代の2倍の性能向上と機能向上を達成し、パソコンでの更に高度な3Dグラフィックスの応用に貢献することができた。

参考文献

- (1) Intel Corporation : Accelerated Graphics Port Interface Specification Revision 1.0 (1996)
- (2) PCI Special Interest Group : PCI Local Bus Specification Revision 2.1 (1995)
- (3) 中村 尚, 井上一成, 河合浩行 : 三次元グラフィックス用フレームバッファメモリ(3D-RAM), 三菱電機技報, 69, No. 3, 292~296 (1995)
- (4) Segal, M., Akeley, K. : The OpenGL Graphics System : A Specification (Version 1.1), Silicon Graphics, Inc. (1995)

チップセット開発事例 — PHS用チップセット —

安井郁夫*

要旨

システム全体を対象としたチップセットの三菱電機での開発事例を紹介する。

PHS(Personal Handyphone System)の小型軽量化、低価格化に対応するため、機能分割をより最適化することにより、RFフロントエンド用LSI(MGF7136P)、中間周波数処理LSI(M64821FP)、ベースバンド処理LSI(M64173WG)の第二世代PHSチップセットを開発した。

第一世代のチップセットを販売する中で、RFの高感度化、PLL(Phase Lock Loop)の送信/受信スロットのみの動作などの通話時消費電流削減、チップ数削減の顧客からの要求が強まり、それらにこたえることがポイントとなった。

チップセットはRFフロントエンド、中間周波数処理、ベースバンド処理、それぞれの特長を十分に発揮するための最適なプロセス分割とし、各回路技術を持った設計部門に分かれて設計を行った。これらの各設計部門及びソフトウェア開発の部門など、多岐にわたる部門をプロジェクト体制として次世代携帯電話プロジェクトで取りまとめることによって開発をスムーズに行った。また、顧客要求のヒヤリングにより、LSIの仕様設計に顧客ニーズを反映することができた。

今後、PIAFS(PHS Internet Access Forum Standard)、64kbpsなどのデータ通信を用いるワイヤレスマルチメディアに対応したPHSチップセットの展開を図っていく。



PHSチップセットと電話機

当社のPHSチップセットを用いた当社製PHS電話機で、第一世代のチップセットを用いたものである。機能の最適な分割により、第一世代のチップセットでPHS無線カードも実現できた。第二世代では、更に小型化に貢献できる。

1. ま え が き

1995年7月からサービスが始まったPHSは、'97年末には加入者累計が700万人台という飛躍的な普及となった。さらに'97年4月からの32kbpsのPIAFSデータ通信開始により、電話としての用途のみではなく、携帯型情報端末PDA(Personal Digital Assistance)の無線通信インフラとしても期待されている。その中で、PHSの差別化競争が激化してきており、より一層の小型軽量化、通話時間や待ち受け時間の長時間化、低価格化に対応した半導体デバイスが求められた。顧客からのこれらの要求に対応するため、新しいチップセットの開発に取り組み、RFフロントエンド用LSI(MGF7136P)、中間周波数処理LSI(M64821FP)、ベースバンド処理LSI(M64173WG)の第二世代PHSチップセットを開発した。

第一世代のチップセットは、顧客のニーズと当社のGaAs, BiCMOS, CMOSプロセスを考慮しながらPHSシステムの機能分割と集積化を最適に行うことで、PHSシステムの小型化、低消費電流化に貢献する製品を開発することができた。第一世代のチップセットを販売する中で、RFの高感度化、PLLの送信/受信スロットのみの動作などの通話時消費電流削減、チップ数削減の顧客からの要求が強まり、それらにこたえることがポイントとなった。

2. チップセットの特長

図1に第一世代と第二世代のチップセット構成の比較を示す。また、図2に第二世代チップセット機能のブロック図を示す。以下、ブロック図に基づく各ブロックの特長を述べる。

2.1 小型パッケージRFフロントエンドLSI

RF系の高感度化の要求にこたえるため、受信1stミキサをRFフロントエンドLSIに内蔵した。これにより、第一世代に比べて最小受信感度(又はRCR規格に対するマージン)を約3dB改善することが望める。HPA(High Power Amplifier)も3段とし、ゲインは38dB(標準)であるが、消費電流は140mA(標準)という低消費電流をねらった。

また、接地を強化したピン間0.5mmピッチ26ピンSSOP(Shrink Small Outline Package)パッケージを採用しており、周辺レイアウトを含めるとRF基板スペースは第一世代に比べて約1/2となり、小型化にも更に貢献する。プロセスは、高周波動作に適した高集積GaAsである。第一世代の特長の一つであった負電圧回路内蔵による単一電源動作、及びRFスイッチ内蔵は継承した。第一世代では送信及び受信に減衰回路を内蔵していたが、顧客での使用状況を調査したところほとんど使用されておらず、第二世代では削除した。

2.2 RSSI, リミッタ内蔵中間周波数処理LSI

中間周波数処理LSIは、2nd受信ミキサ, RSSI(Received Signal Strength Indicator), リミッタアンプを内蔵することでチップ数の削減に貢献できる。第一世代の中間周波数処理LSIを使用した場合、2nd受信ミキサ, RSSI, リミッタアンプは汎用IFICを外付けにする必要があった。第二世代ではこれらを内蔵したが、パッケージは第一世代と同じ48ピンQFP(Quad Flat Package)に収め、実装面積の拡大を抑えることができた。

また、PLLのロックアップ時間を高速化し、受信及び送信スロットのみのバースト動作が可能となり、さらに回路定数の最適化を図ることで、一段と低電流化をねらった。プロセスは、中間周波数域を低消費電力に扱うことができるBiCMOSである。

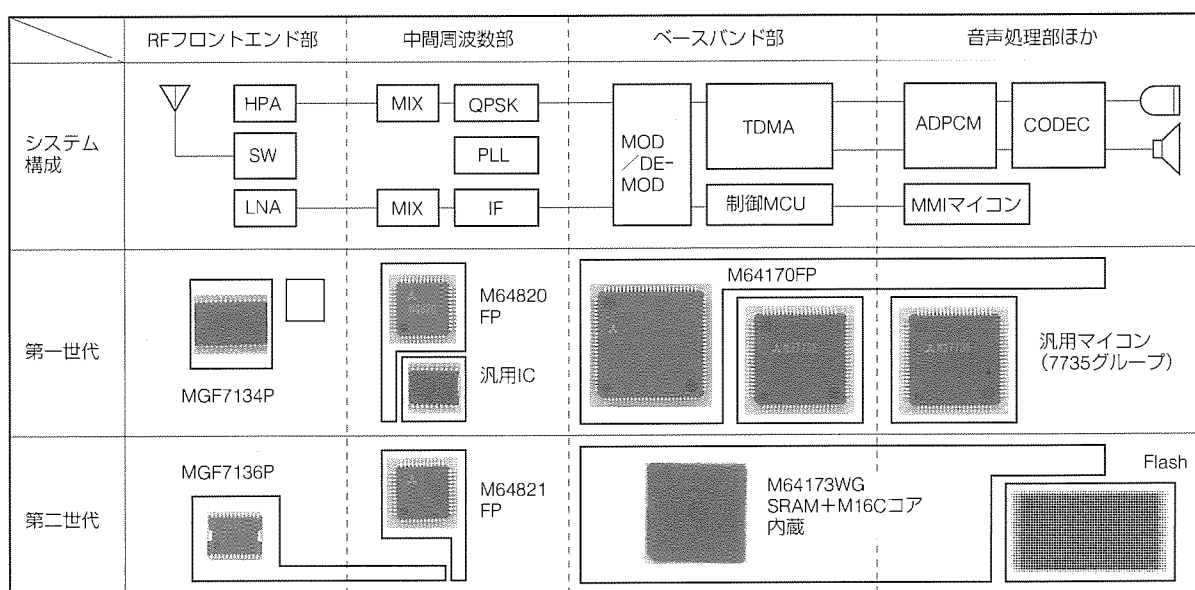


図1. 第一世代と第二世代のチップセット構成比較

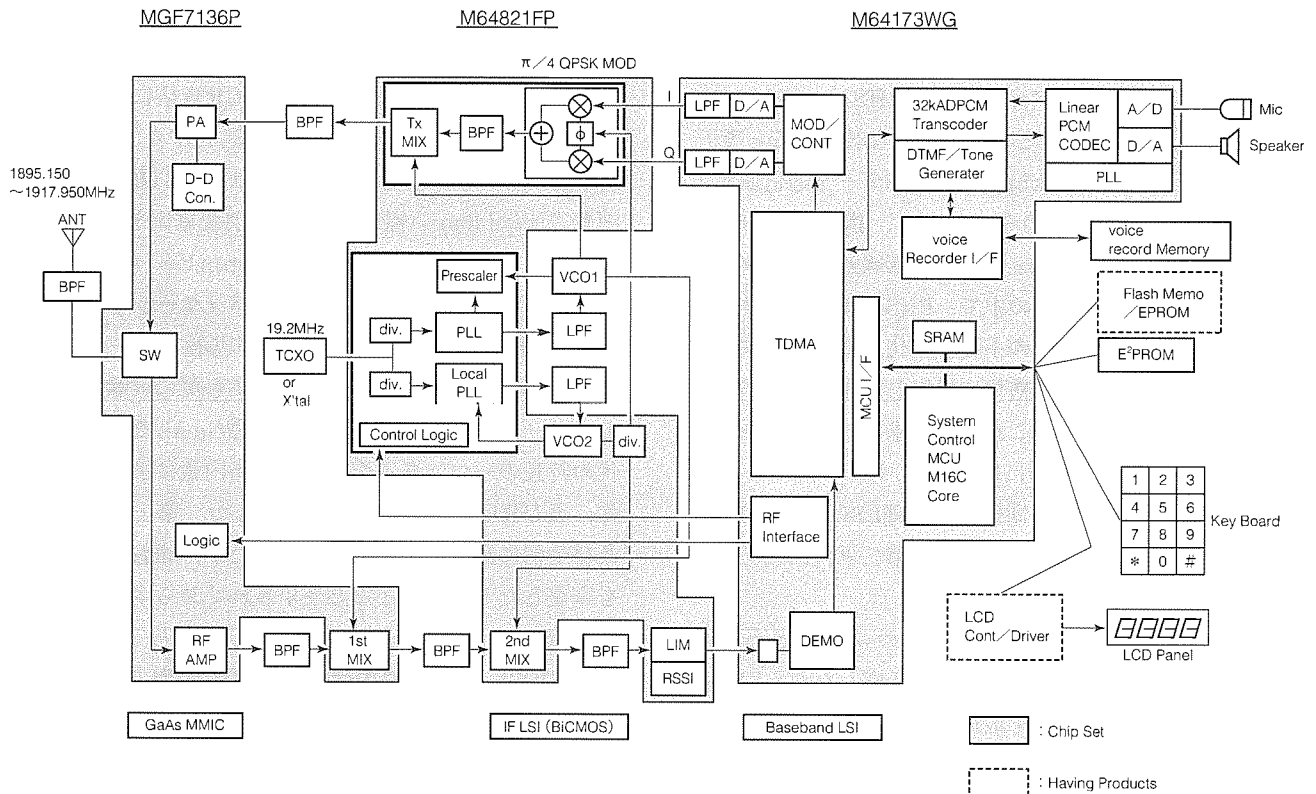


図2. 第二世代PHS用チップセット機能のブロック図

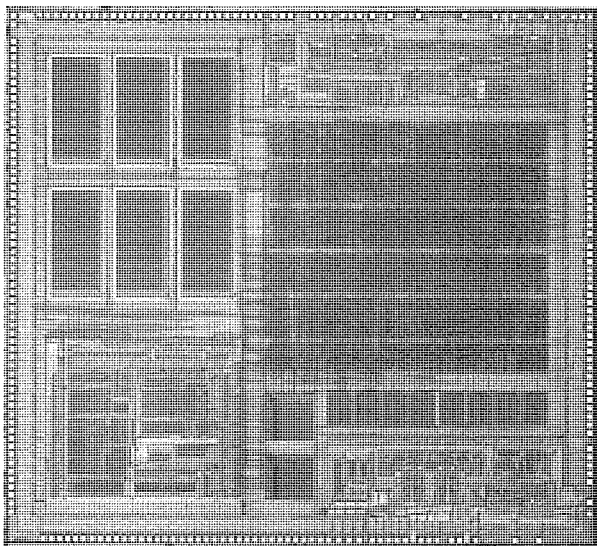


図3. ベースバンドLSI(M64173WG)のチップ写真

2.3 CPU, SRAM内蔵ベースバンド処理LSI

図3にベースバンドLSI(M64173WG)のチップ写真を示す。

ベースバンドLSIは、SRAM 15kバイトと高性能なマンマシンインタフェースに対応可能なCPUのM16C/60グループを内蔵した、マイコン内蔵1チップベースバンドLSIである。さらに、32kbps ADPCM(Adaptive Differential PCM)音声データをシリアルフラッシュメモリに対して書き込み/読み出しを行う録音再生インタフェース機能も内

蔵することで、第一世代では外付けであった録再ICを削除することが可能となり、これによってもチップ数の削減に貢献する。プログラムメモリは、外付けフラッシュメモリとすることで、デバック結果をすぐに反映できる。

マイコン内蔵ベースバンド処理LSIのソフトウェア開発環境を考慮し、外付けCPUモードを設けた。これにより、評価ボードの対応のみで、特に専用のツールを考へることなしにM16C用ツールをそのまま使用できるようにした。

ベースバンド処理LSIは、マイコンを内蔵してマンマシンインタフェースに対応するため175ピンという多ピンとなるが、FBGA(Fine Pitch Ball Grid Array)パッケージを採用することで実装面積の縮小に貢献できる。プロセスは、高集積化とデジタル/アナログ混載が実現できるCMOSである。

3. ソフトウェア

システムLSIにおいて、システムを動作させるソフトウェアも必要不可欠となる。ソフトウェアの開発に当たっては、LSIが用いられるシステムについて理解する必要がある。実際に、PHS用チップセットの場合、社電産業会が規格化した第二世代コードレス電話システム標準規格であるRCR STD-28で規定されている標準通信プロトコル下での動作、また規格で規定された無線タイミングなど、実用状態における無線通信についても理解する必要がある。これらを理解しながらソフトウェア開発部門(当社関連会

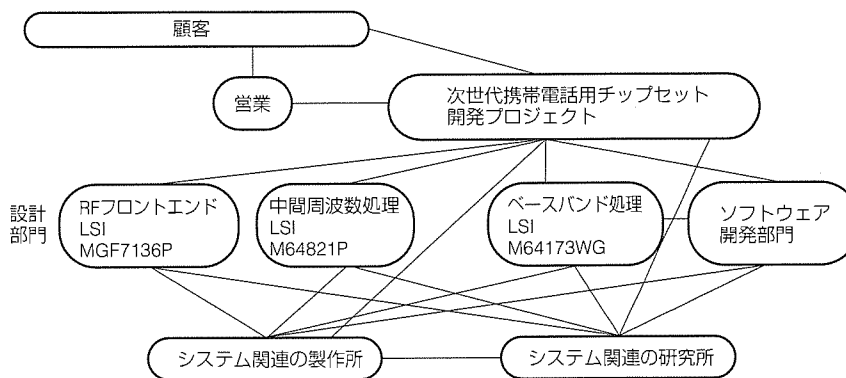


図 4. 開発体制

社である三菱電機システムLSIデザイン(株)でソフトウェア開発を行った。ソフトウェアの開発に当たっては、当社のシステム関連の製作所及びシステム関連の研究所のサポートを受けることで、理解を確実なものとした。

4. 開発体制

LSIの特長でも述べたが、チップセットはRFフロントエンド、中間周波数処理、ベースバンド処理、それぞれの特長を十分に発揮するための最適なプロセス分割となっている。また、それぞれの回路技術を持った設計部門に分かれて設計を行った。これらの各設計部門、ソフトウェア開発の関連会社、システム関連の製作所、及びシステム関連の研究所など、これら多岐にわたる部門でプロジェクト体制を組み、次世代携帯電話プロジェクトとして取りまとめることで開発をスムーズに行った。また、マーケティング部門との連携により、顧客要求のヒヤリングを行うことで、

LSIの仕様設計に顧客ニーズを反映することができた(図4)。

5. むすび

今後、この種のチップセットは、半導体事業のみならず、機器事業にとってもますます重要になってくると考える。PHSに関して、将来的には、PIAFSや64kbpsなどのデータ通信に対応したPHS通信機能を内蔵した携帯情報端末(PDA)や、デジタルカメラとPHSを一体化した画像送信端末など発展形態は無限に考えられ、そういったワイヤレスマルチメディア対応のチップセットの展開も必要になると考えている。

このようなPHSの発展形態をセットメーカーと一緒に考えて、エンドユーザーのニーズを取り込むことで、次期PHS用チップセットの展開に反映させたい。

2.7V単一電源第二世代16Mビット DINOR型フラッシュメモリ

宮脇好和* 河井伸治***
 杠 幸二郎** 本間 剛***
 帯刀恭彦*

要旨

携帯電話は、急速なインフラ整備によるサービスエリア拡大とハンドセット及び使用料金の低価格化を背景に、空前のブームとなっている。この携帯電話市場の拡大に伴い大きく需要を伸ばしているのが、フラッシュメモリである。フラッシュメモリは、電氣的にデータの書換えが可能で、かつ電源を切ってもそのデータを不揮発に記憶している半導体メモリであり、携帯電話のシステムプログラム格納用などとして用いられている。

今回、このような携帯機器市場を踏まえ、2.7V単一電源で書換え可能で、かつ高速アクセスを実現した第二世代16MビットDINOR(Divided Bit Line NOR)型フラッシュメモリを開発した。

DINOR型メモリセルは、三菱電機が独自に開発したメ

モリセルで、低電圧・高速アクセス、単一電源動作が可能、データ保持、書換え回数について高信頼性である特長がある。高速アクセスは、ビット線をメインビット線とサブビット線の階層構造を採用したこととプログラム方法の工夫により、各メモリセルに流せる電流が多くできるため可能となり、単一電源動作はデータの書換えにトンネル現象を用いるため消費電力が少なく、デバイス内部の昇圧回路を利用できるため可能となった。今後は、DINOR型フラッシュメモリの特長を生かし、更なる低電圧化、広温度範囲動作可能なものの製品化を図っていく。

なお、この製品は㈱日立製作所と共同で開発したものである。

アプリケーション

携帯機器

携帯電話

パソコン

BIOS
ゲーム

パッケージ

48ピン TSOP(I)

82ピン TSOP(MCP)
(Multi Chip Package)
Flash Memory+SRAM

第二世代16Mビット DINOR型フラッシュメモリ

チップ写真

特長

- ・2.7V単一電源動作
- ・80ns@V_{cc}=3.3V高速アクセス
- ・5ms/ページ高速プログラム
- ・サスペンド/レジューム機能搭載

低電圧動作・高信頼性DINOR型フラッシュメモリ

低電圧動作、高速アクセス、高信頼性を特長としたDINOR型フラッシュメモリである。コンパクトなTSOP、実装面積削減に有利なフラッシュメモリとSRAMを搭載したMCP(Multi Chip Package)にパッケージングし、携帯機器、パソコンなどの用途に最適である。

1. ま え が き

近年、フラッシュメモリは、携帯電話を始めとして様々な携帯機器や情報処理端末において需要が高まってきており、中でも、低電圧動作かつ高速アクセスへの要求が強くなってきている。当社ではこれらの要求にこたえるため、DINOR型フラッシュメモリを提案し、既に8M/16Mビット容量の製品を市場に供給しているが、今回、更なる低電圧動作を実現した第二世代16MビットDINOR型フラッシュメモリを開発した。DINOR型フラッシュメモリは、消去/プログラムともトンネル現象を用いて行うため、デバイス内部で発生した高電圧で効率的に書換えができ、3.3V以下の低電圧(2.7V)でも動作可能である。また、DINOR型フラッシュメモリの特長を生かし、低電源電圧(2.7V)において100nsの高速アクセスを実現している。

本稿では、DINOR型フラッシュメモリセルの基本動作、構造、及び今回開発した第二世代16MビットDINOR型フラッシュメモリの製品仕様と電気的特性について述べる。

2. 単一電源、高速アクセスが可能なDINOR型フラッシュメモリの基本動作・構成

フラッシュメモリのセル構造は、各社から様々なタイプが発表されている。現在、最も一般的なセル構造はNOR型メモリセルと呼ばれているものであり、特徴としてアクセスは早いプログラム動作に比較的大電流が必要なCHE(Channel Hot Electron)現象を用いているためデバイスの多くは電源(V_{cc})以外にプログラム電圧(V_{pp})が必要な2電源タイプになっている。また、NAND型メモリセルは、その特徴として単一電源動作可能であり、メモリセルサイズを小さくできるが、アーキテクチャ上、高速ランダムアクセスには不向きである。

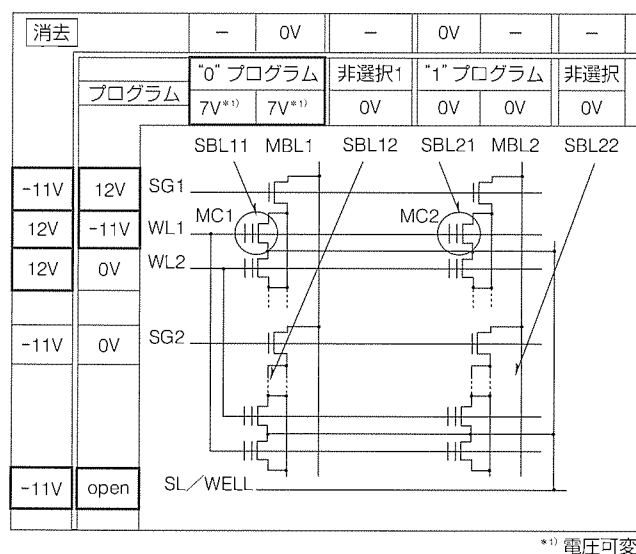


図1. メモリアレー概略とその動作

DINOR型メモリセルは、上述したNOR型、NAND型メモリセルの長所を併せ持った構造であり、高速アクセスが可能(アレー構造がNOR型に近い)で、かつ、単一電源動作が可能(トンネル現象を利用)なメモリセルである。

2.1 低電圧に適したDINOR型フラッシュメモリの基本動作

図1にメモリアレーの概略を示し、プログラム/消去の動作条件を示す。

メモリセル(MC1)に対して"0"をプログラムする場合、ワード線(WL1)に-11Vを印加し、セレクトゲート(SG1)に12V印加することで、メインビット線(MBL1)の電位をサブビット線(SBL11)に伝え、フローティングゲートに蓄積された電子を引き抜くことによって行われる。図2にプログラム動作時のメモリセルのしきい値の変化の様子を模式的に示す。横軸に時間、縦軸にメモリセルのしきい値を示す。トンネル現象を用いたしきい値シフトは、ある電圧条件(電界)について対数時間に比例し、電界が大きいほどシフトが速いことが一般的に知られている。またメモリセルの特性は均一ではなく、あるばらつきを持っている(図中、エラーバーで表示)。そこで、MBL電位を V_a に設定し、一定時間(t_{pulse})の間、電圧印加を行う((i)点)。ここでいったんベリファイを行い、所定しきい値以下にシフトしたメモリセルへはこれ以上電圧を印加しないようにする。次にMBL電位を V_b に上昇させて、更に一定時間電圧を印加し((ii)点)、ベリファイを行う(図3のフロー)。このようにすることで、各メモリセルに対して最適な電圧印加を行い、最終的に図に示すように極めて狭いプログラム分布幅が実現できる(メモリセルの V_g-I_d 特性は図4の(i))。

また、メモリセル(MC2)に"1"をプログラムする場合は、MBL2へ電圧を印加せず、電子の移動が行われないようにする。

消去は、WL1, WL2(消去するブロック内のWLすべ

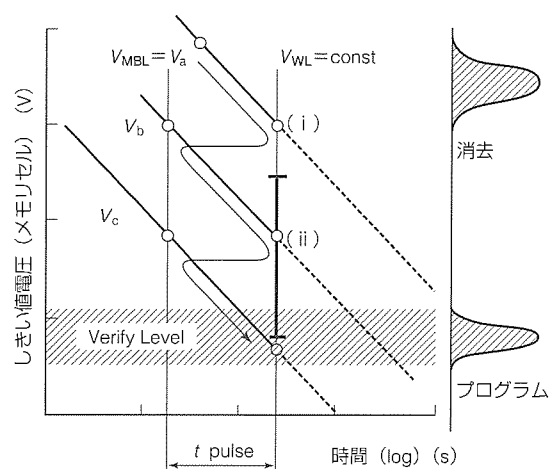


図2. プログラム動作

て)に12Vを印加し、ソース線(SL)及びウェル(WELL)に-11Vを印加し、トンネル現象を利用して、消去するブロック内の全メモリセルへ電子を注入することによって行われる。図5に、消去動作時のメモリセルのしきい値の変化の様子を模式的に示す。横軸に時間、縦軸にしきい値を示す。しきい値変化が一定になるように電圧印加時間を順次

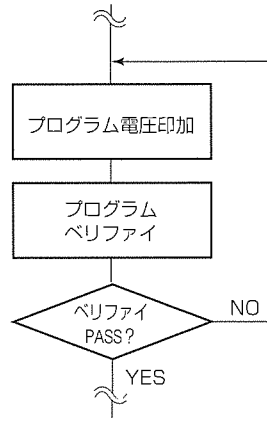


図3. 電圧印加フロー

延ばし、効率的に消去動作が行われるようにしている(メモリセルの V_g-I_d 特性は図4の(ii))。

読み出しは、選択メモリセルを介して電流が流れるか否かをセンスアンプによって検出することで行う。図4にメモリセルの V_g-I_d 特性を示す。横軸に V_g (デバイス内では電源電圧 V_{cc} に相当する。), 縦軸に I_d を示す。上述したようにプログラム状態のセルの特性は(i), 消去状態のセルの特性は(ii)のようになり, V_g として V_{cc} が与えられた場合, プログラム状態のセルでは I_p が流れ, 消去状態のセルでは I_e が流れる。それぞれの電流が基準電流 (I_t) より多いか少ないかを検出して“0”又は“1”を読み出す。この図から明らかのように, 特性(i), (ii)がそれぞれ誤動作なく読み出されるためには V_g が動作領域で示す範囲でなければいけない。動作保証範囲は更にその内側に設定されなければいけない。ここで, 特性(i)をより左側へ設定できると低電圧動作が可能となる。NOR型フラッシュメモリでは消去が特性(i)に相当するので, 消去完了時のしきい値分布が広い場合特性(i)を余り左側へ設定できないが, DINOR型フラッシュメモリの場合, しきい値をビットごとにコントロールするプログラム動作に相当するため, より左側へ設定可能で低電圧動作に有利になる。

2.2 高信頼性を実現したプロセス技術

プロセス技術, 特に信頼性という観点から考えると, フラッシュメモリは物理的な限界に挑戦したデバイスと言える。電子を蓄えるフローティングゲートへの電子のやり取りは, 上述したようにトンネル現象を用いており, それは, 厚さ10nm程度のトンネル酸化膜に10MV/cm以上の高電界をかけて行う。また, 10^5 回の書換えを行うと $1C/cm^2$ もの電荷がこの薄い酸化膜を通過することになる。しかも, 書き込んだデータを10年以上保持しなければならず, $10fA/cm^2$ レベルの微少リークさえ許されない。第二世代16MビットDINOR型フラッシュメモリは, これまで開発した洗浄技術, 酸化膜形成技術, ゲートエッジ処理技術, プロセスダメージ対策技術を応用し, 更に最適化すること

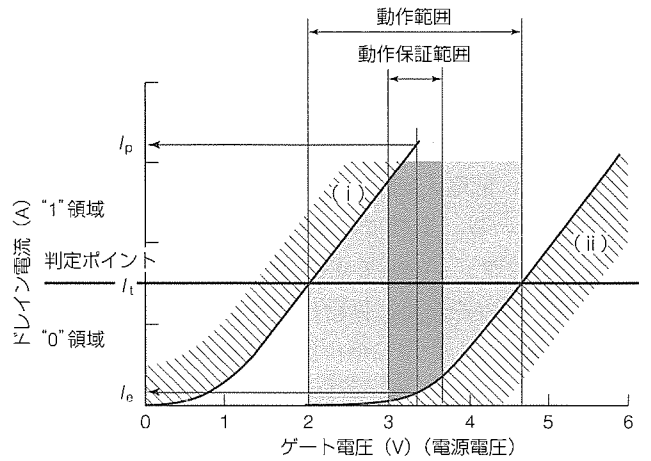


図4. リード動作

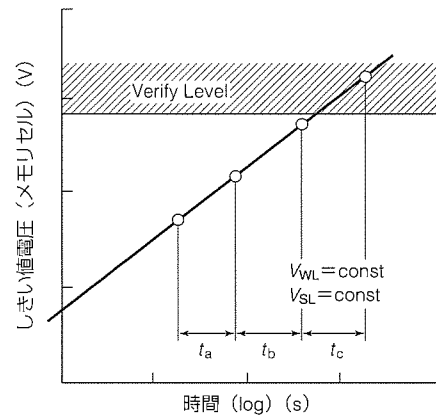


図5. 消去動作

により, 業界トップレベルの高信頼性を可能にしたデバイスである。

3. デバイス構成

図6に16M第二世代フラッシュメモリのチップ写真を示す。デバイス内部にCPUを内蔵し, 前述した電圧印加コントロールを始め内部動作のすべてをコントロールしている。今回, ほぼすべてのロジック部についてHDL記述を用いて設計・検証を行い, 論理合成技術を用いてゲートを生成し, さらに, デバイス構築に自動配置配線ツールを用いることで設計効率の向上を図った。

4. 第二世代16MビットDINOR型フラッシュメモリの製品仕様

表1に製品仕様, 表2にプロセス概要を示す。2.7V単一電源で動作し, 消去ブロックサイズは64Kバイト(不均等消去ブロック群は除く。)である。それぞれのブロックには誤書き込み/誤消去防止のための選択的ブロックロック機能を持っている。これは, それぞれのブロックに不揮発性フラグビットを設けて, フラグビットが立っているブロッ

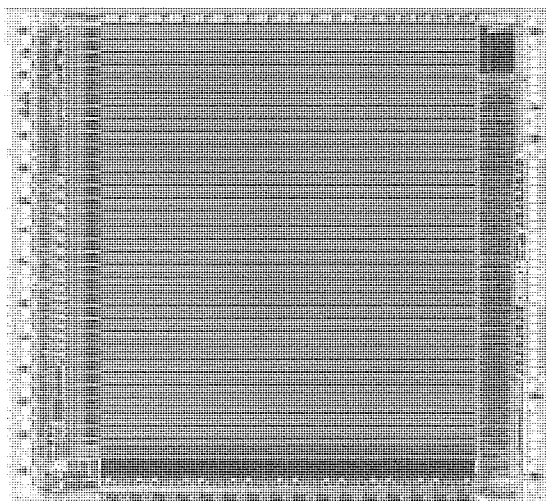


図 6. 第二世代16MビットDINORのチップ写真

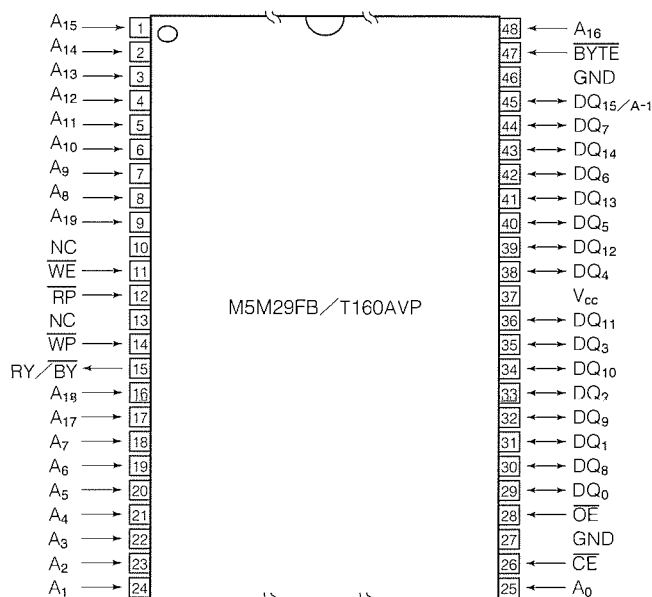


図 7. ピン配置：48ピンTSOP

表 1. 製品仕様

語 構 成	1,048,576語×16ビット 2,097,152語×8ビット
電 源 電 圧	2.7V~3.6V 2.5V~3.6V(リードモード)
消 費 電 力	リード 108mW プログラム 108mW 消去 144mW スタンバイ 18μW ディーブパワーダウン 3.3μW (typ.)
プログラム時間	5 ms (typ.)
プログラム単位	128ワード
消 去 時 間	50ms (typ.)
消 去 単 位	ブートブロック 16Kバイト×1 パラメータブロック 8Kバイト×2 メインブロック 32Kバイト×1 64Kバイト×31
ブートブロック	ボトムブート M5M29FB160A トップブート M5M29FT160A
その他の機能	ソフトウェアコマンド制御 選択ブロックロック機能 消去サスペンドレジューム機能 プログラムサスペンドレジューム機能 ステータスレジスタリード機能
パッケージ	48ピン12mm×20mmTSOP(I)

表 2. プロセス概要

プロセス	0.40μmルール 3層ポリシリコン 2層メタル P-sub Triple Well CMOS
メモリセル	1.30μm×1.40μm

クに対してプログラム/消去を禁止するものである。デバイス内部の情報はReady/#Busyピンやステータスレジスタを読み出すことによって把握できる。パッケージは48ピンTSOP(I)である(図7)。

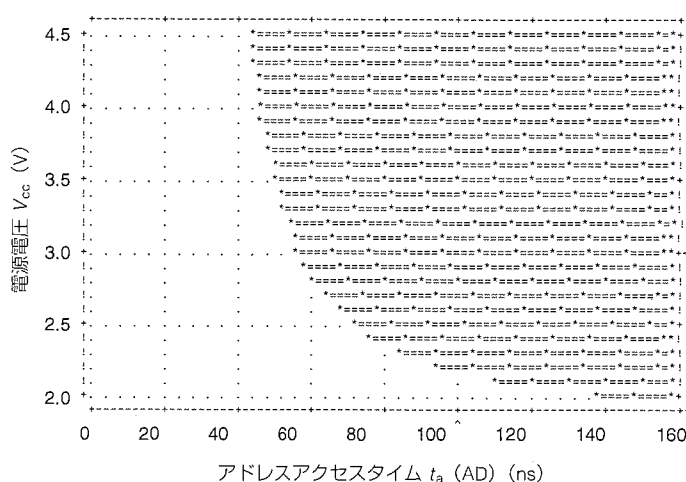


図 8. アクセスシミュレーションプロット

5. 電気的特性

図8にアドレスアクセスシミュレーションプロットを示す。V_{cc}=3.3Vにおいて58ns、V_{cc}=2.7Vにおいて62nsを達成しており、高速アクセスタイムが実現されている。ページプログラム時間はティピカル4.2ms、ブロック消去時間はティピカル27msであり、V_{cc}電圧下限(2.4V)でも十分動作している。

6. む す び

0.40μmルールのプロセスを用いて第二世代16MビットDINOR型フラッシュメモリを開発した。2.7Vまでの単一電源動作、80ns(V_{cc}=3.3V時)の高速アクセスを実現した。

なお、この製品は(株)日立製作所との共同開発によるものである。

256MビットDRAMチップ

藤野 毅* 有本和民*
 谷崎哲志**
 築出正樹***

要 旨

次世代の量産技術である0.25 μ mのCMOSプロセスを駆使して高速・低消費電力の256MビットDRAMを開発した。この256MビットDRAMで採用した回路設計技術を紹介する。

開発した256MビットDRAMは、大面積のチップ及びパッケージでも高速動作が実現できるODIC(Outer DQ Inner Clock)ピン配置を採用した。

ワード線の駆動方式としては、メイン/サブワード線を持つ、いわゆる分割ワード線(Divided Word Line:DWL)方式を採用した。DWL方式におけるサブワード線を制御するサブデコード信号線をローデコーダからセンスアンプ帯を経由してサブデコード帯に枝分かれして配置(フィッシュボーン配置)としたことにより、動作時のロー系駆動

電流を低減した。

同時にリフレッシュ電流(I_{cc9})の低減のためリフレッシュ時にはワード線の活性化信号の制御を通常時と異なる方式とし、ロー系の充放電電流を従来方式に比べて約50%低減できた。

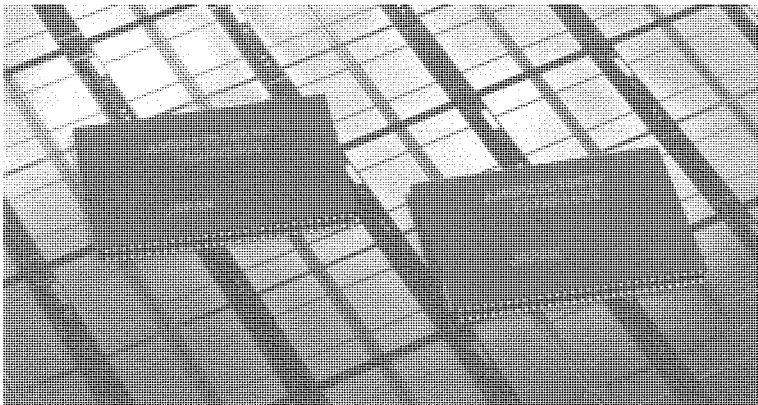
また、ワード線とビット線が接触して I_{cc2} 不良となるチップを救済するため、ビット線プリチャージ(VBL)電源線を階層化してコラム選択線ごとに設け、コラム選択線に不良が発生した場合には、同時にVBL電源供給線も切断し I_{cc2} 不良を救済する方式を採用した。

上記の設計技術を使用して開発した256MビットDRAMの特性についても概要を述べる。

256MビットDRAM

- ・0.25 μ m CMOS Technology
- ・ODIC(Outer DQ Inner Clock)ピン配置
- ・機能:EDO(Extended Data Output)
- ・語構成16Mワード×16ビット
- ・低消費電力回路技術

フィッシュボーン型分割ワード線回路
 I_{cc2} 不良救済回路
 セルフリフレッシュ電流低減回路



ピン配置(ODIC)

Vcc	—	Vss
DQ0	—	DQ7
Vcc	—	Vss
DQ1	—	DQ6
DQ2	—	DQ5
Vss	—	Vcc
DQ3	—	DQ4
NC	—	NC
Vcc	—	Vss
NC	—	NC
NC	—	NC
NC	—	NC
W	—	LCAS
RAS	—	UCAS
Vcc	—	OE
A0	—	Vss
A1	—	A13
A2	—	A12
A3	—	A11
A4	—	A10
A5	—	A9
A6	—	A8
Vcc	—	A7
NC	—	Vss
NC	—	NC
DQ8	—	DQ15
Vss	—	Vcc
DQ9	—	DQ14
DQ10	—	DQ13
Vcc	—	Vss
DQ11	—	DQ12
Vcc	—	Vss

63P3X-C(16mm TSOP 62ピン)

256MビットDRAMのチップ概要

0.25 μ m技術によって256MビットDRAMを開発した。パッケージには、高速化のためODICピン配置を採用し、低消費電力化のための新規回路技術も搭載している。

1. ま え が き

次世代の量産DRAMに展開される0.25 μm の微細デバイス生産技術の確立と高速・低消費電力DRAM設計技術の開発を目的として、256MビットDRAMを開発した。

パソコンの今後の普及のためには、安価なDRAMを供給していくことが従来以上に重要となっている。DRAMのコスト低減のためには、チップサイズを小さくして1ウェーハ当たりで生産できるDRAM数を増加させることが最も効果的である。このためには、歩留りの高い最先端の微細デバイス技術を早期に確立し、DRAM量産に展開していくことが重要である。

一方、電池で駆動されるPDA(Personal Digital Assistant)や小型ノートパソコン等の携帯用情報機器の開発のためには、大容量・低消費電力のDRAMを供給することが重要となってきた。

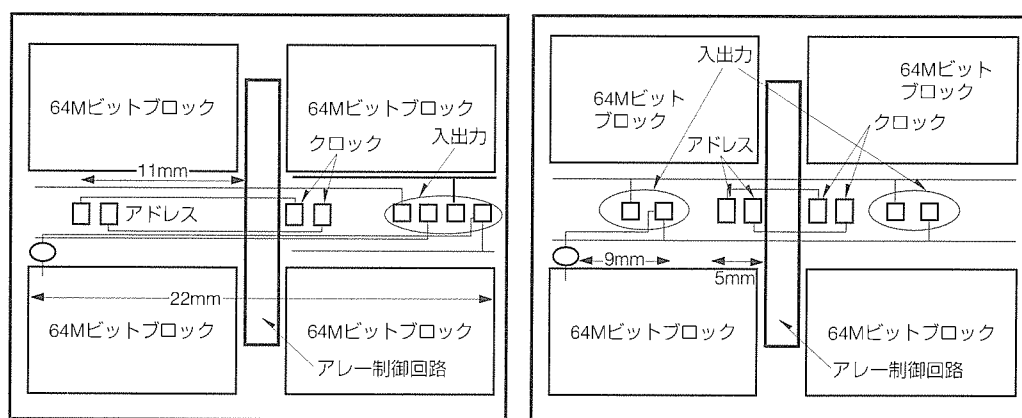
本稿では、開発した256MビットDRAMの低消費電力設計技術の特長を述べた後、チップの特性についても概要を述べる。

2. 設 計 技 術

2.1 チップレイアウト及びピン配置

開発した256MビットDRAMは、大面積のチップ及びパッケージでも高速動作が実現できるODICピン配置を採用した(前ページの図)。ODICピン配置とは、パッケージの中央部にクロックピン(RAS, CAS, W, OE)及びアドレスピン(A0~A13)を配置し、外側にデータ入出力ピン(DQ0~DQ15)をそれぞれ8ピンずつ振り分けて配置した構造である。

従来のパッケージのピン配置と256MビットDRAMで採用したODICピン配置の比較を図1に示す。ODICピン配置では、チップ中央にクロックピンとアドレスピンを配置することにより、チップ中央部に配置されたアレー制御回路までの信号遅延時間を短くできる。また、メモリアレーはチップ中央を境界として大きく2分割されており、それぞれのアレーのデータは、振り分けられた入出力ピンの近い側からデータを入出力する。これらの効果により、従来のパッケージよりも高速動作を実現している。



(a) 従来のピン配置

(b) ODICピン配置

2.2 分割ワードライン回路

大容量のDRAMでは、ロー系信号であるワード線の長さが非常に長くなり、ワード線でのデータの伝搬遅延がメモリの高速動作の阻害要因となる。従来、これを解決するためには、ワード線の配置間隔と同じピッチで第1層メタル配線を配置し、長いワード線の途中でワード線と金属配線を短絡(シャント)しておく方式が採られてきた。

しかしながら、上記の方式では、ワード線と第1層メタル配線と同じピッチで加工しなければならず、0.25 μm ルールを採用するこのチップでは微細加工が困難となった。このため、従来のローデコーダを、メモリアレーの端に配置されるメインローデコーダ(Main Row Decoder: MRD)とメモリアレー内に分散配置するサブローデコーダ(Sub Row Decoder: SRD)に分割するDWL方式を採用した。

図2にこのチップで採用したDWL方式の配置を示す。MRDからの信号を伝達するメインワード線(Main Word Line: MWL)とサブデコード(SD)信号によってアレー内に分散配置されたSRDが制御され、サブワード線(Sub

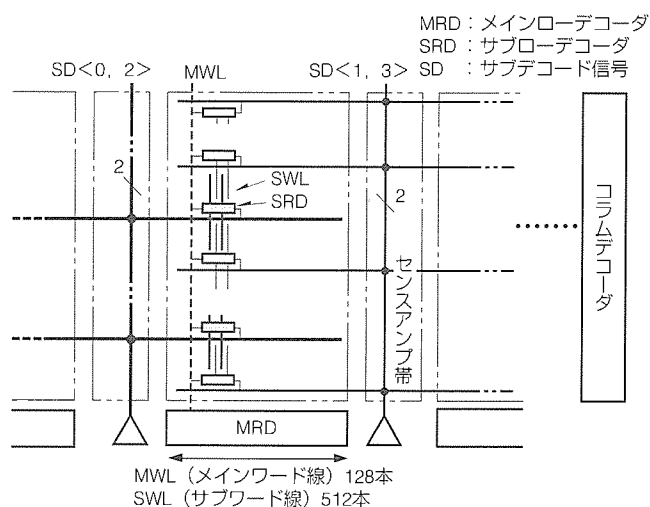


図2. フィッシュボーン型分割ワード線回路の配置

図1. ピン配置の比較

Word Line : SWL)が活性化される。SRDを制御するSD信号線を、MRD側からセンスアンプ帯を經由してSD帯に枝分かれして配線するフィッシュボーン配置としている。これにより、活性化したいSWLの左右のセンスアンプ帯のSD信号線のみを活性化すればよい。したがって、コラムデコーダからSRD帯にSD信号線を配置する方法(すべてのSDを活性化する必要があるので)に比べて、活性化すべきSD信号線の容量を1/6に低減し、動作時のロー系駆動電流を約60%低減できた。

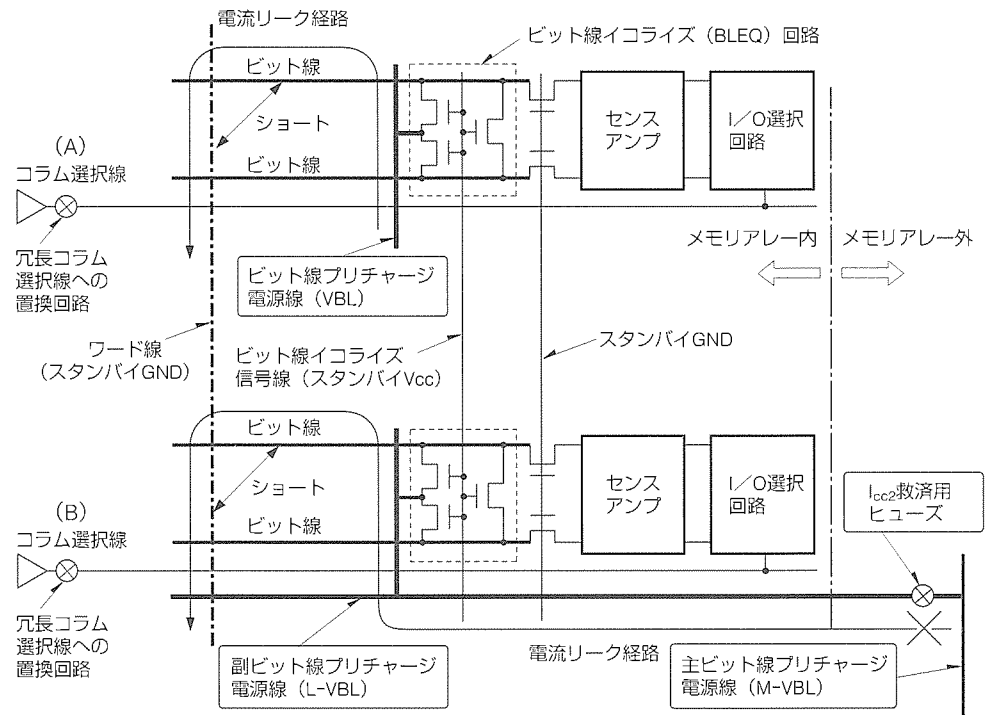


図3. I_{cc2} (スタンバイ時電流)不良救済回路の概念

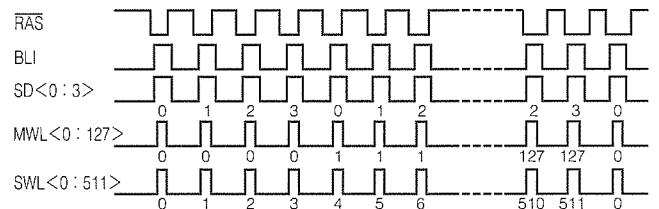
2.3 スタンバイ時消費電流(I_{cc2})不良救済回路

大規模メモリの歩留りを決定する要因の最も大きな項目の一つとして、ウェーブプロセス中の欠陥に起因するスタンバイ時消費電流(I_{cc2})不良がある。

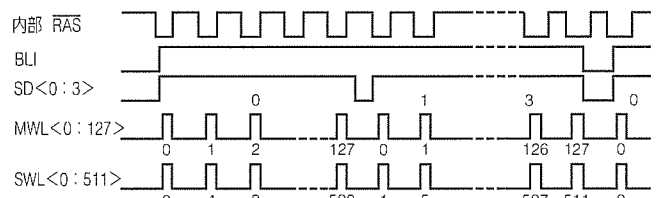
一般に、ウェーブプロセス中の欠陥に起因するメモリセル、ワード線、ビット線のファンクション不良は、スペアのワード線(又はビット線)に置換することで良品にすることができ、 I_{cc2} 不良は救済できない。

ワード線(スタンバイ時にGNDレベル)がビット線(スタンバイ時に $1/2 V_{cc}$ レベル)と接触して発生する I_{cc2} 不良モードの概念を図3の(A)に示す。通常、スタンバイ時にビット線は、図中のビット線イコライズ(BLEQ)回路によって、VBL電源線で供給される $1/2 V_{cc}$ 電位に保持されている。このため、スタンバイ時にGND電位に保持しなければならないワード線との間で短絡が生じると、VBL電源線から図に示すような経路で電流が流れて I_{cc2} 不良となる。

今回のチップで採用した I_{cc2} 不良を救済するための階層型VBL電源線構成の概念を図3の(B)に示す。VBL電源線を主(M-VBL)及び副(L-VBL)の電源に階層化し、M-VBLをメモリアレー外に配置し、 I_{cc2} 救済用ヒューズを介してL-VBLに接続する。L-VBLとコラム選択線は同数あり、第2層メタル配線を用いてメモリセルアレー上を並走している。ワード線とビット線が短絡した場合には、テスト時に該当のコラム選択線を動作させた場合にファンクション不良となる。したがって、コラム選択線を冗長回路に置換すると同時にL-VBLとM-VBLを接続している I_{cc2} 不良



(a) 通常時のロー系信号の動作 (アドレスをインクリメントさせた場合)



(b) セルフリフレッシュ時のロー系信号の動作

図4. セルフリフレッシュ電流低減回路の動作タイミング

救済用のヒューズも切断すれば、リーク電流の経路が切断されるため I_{cc2} 不良を救済できる。

2.4 セルフリフレッシュ電流(I_{cc9})低減回路

通常、DRAMに情報を記憶させたままアクセスを中止する場合には、消費電流低減のためセルフリフレッシュモードにする。セルフリフレッシュモードでは、DRAMセルのリフレッシュのため、内部リフレッシュカウンタが指定するアドレスに基づいてワード線を順次活性化する動作を行う。

MRD：メインローデコーダ
MWL：メインワード線
SA：センスアンプ
CD：コラムデコーダ
CSL：コラム選択線

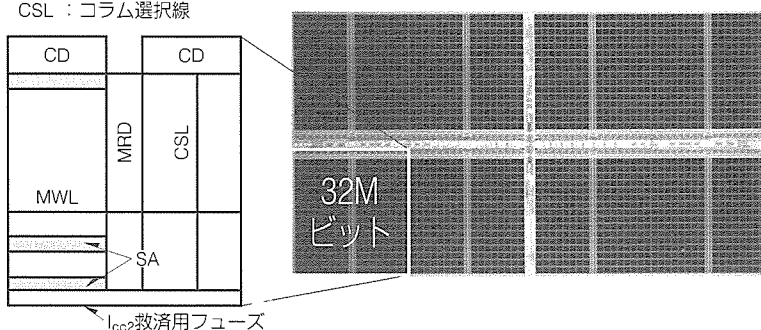


図5. 256MビットDRAMのチップ写真と構成

表1. 256MビットDRAMのチップ仕様

プロセス技術	0.25 μ mトリプルウェルCMOS
語構成	16Mワード×16ビット
電源電圧	外部3.3V (内部：周辺2.5V, アレー2.0V)
アクセス	$t_{RAC} = 50$ ns
動作電流	130mA
スタンバイ電流	200 μ A
リフレッシュ周期	8,192 CBR, 128ms

シュ時には512本のブロック単位で制御されるBLI信号は1/512回の動作に、SWL動作のアドレスを4アドレスおきにすることでSD信号線の動作を1/128回の動作に削減することができ、セルフリフレッシュ動作時のロー系駆動電流を約50%削減できた。

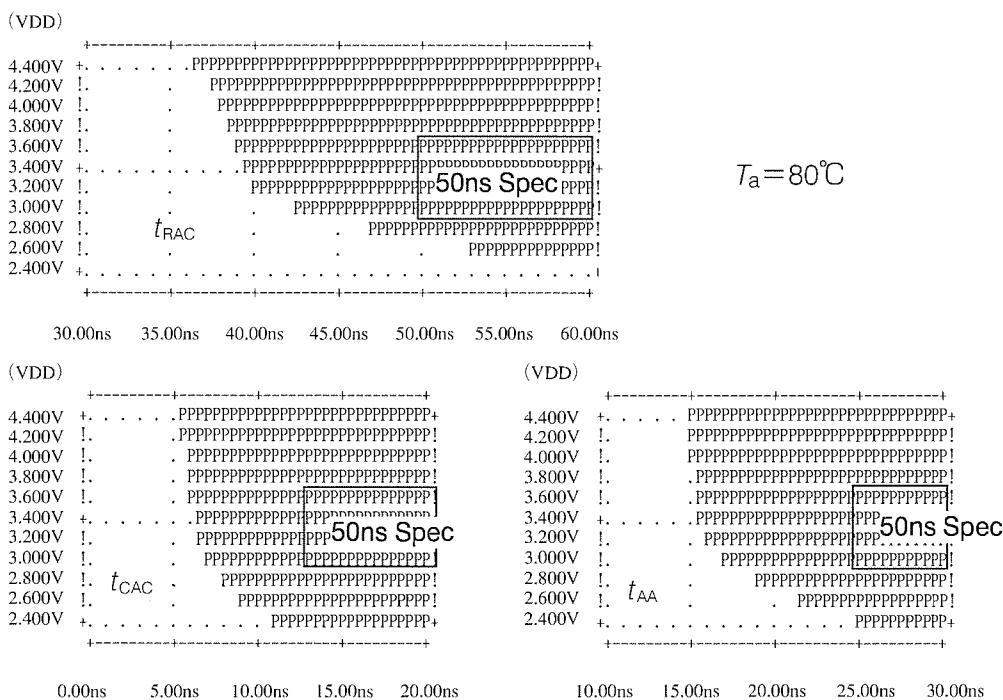


図6. アクセス時間(t_{RAC} , t_{CAC} , t_{AA})の電源電圧依存性

通常のデータの読み出し/書き込みの際には、外部から指定されたローアドレスに基づき、図4(a)に示すようなタイミングでブロック選択(BLI)信号線、SD信号線、MWL信号線が順次活性化され、目的のSWLが活性化される。これらBLI、SD信号線は、メモリセルの動作のために、すべて外部電源線よりも高い電圧レベルにまで昇圧しなければならない。しかも、メモリアレー内に配置されているため、大きな寄生容量を持っている。したがって、これらの信号の活性化/非活性化の回数を低減すれば消費電流が大幅に低減できる。

図(b)に、このチップに搭載したセルフリフレッシュ時のロー系コントロール信号のタイミングを示す。リフレッ

速度のシムープロットを図6に示す。外部電源電圧3.0Vでも t_{RAC} (RASアクセス時間)=42.2ns, t_{CAC} (CASアクセス時間)=6.7ns, t_{AA} (アドレスアクセス時間)=16.9nsであり、EDO 50ns品のスペック(それぞれ50ns, 13ns, 25ns)に対して十分なマージンを持つ特性が得られている。

4. むすび

今回256MビットDRAMの開発を行うことで、次世代のDRAM量産に展開される0.25 μ mの微細デバイス生産技術を確認した。また設計的には、高速・低消費電力DRAM設計技術の動作を実証することができた。

64MビットシンクロナスDRAM

吹上貴彦* 安田憲一**
池田勇人* 野口武志***
桜井幹夫*

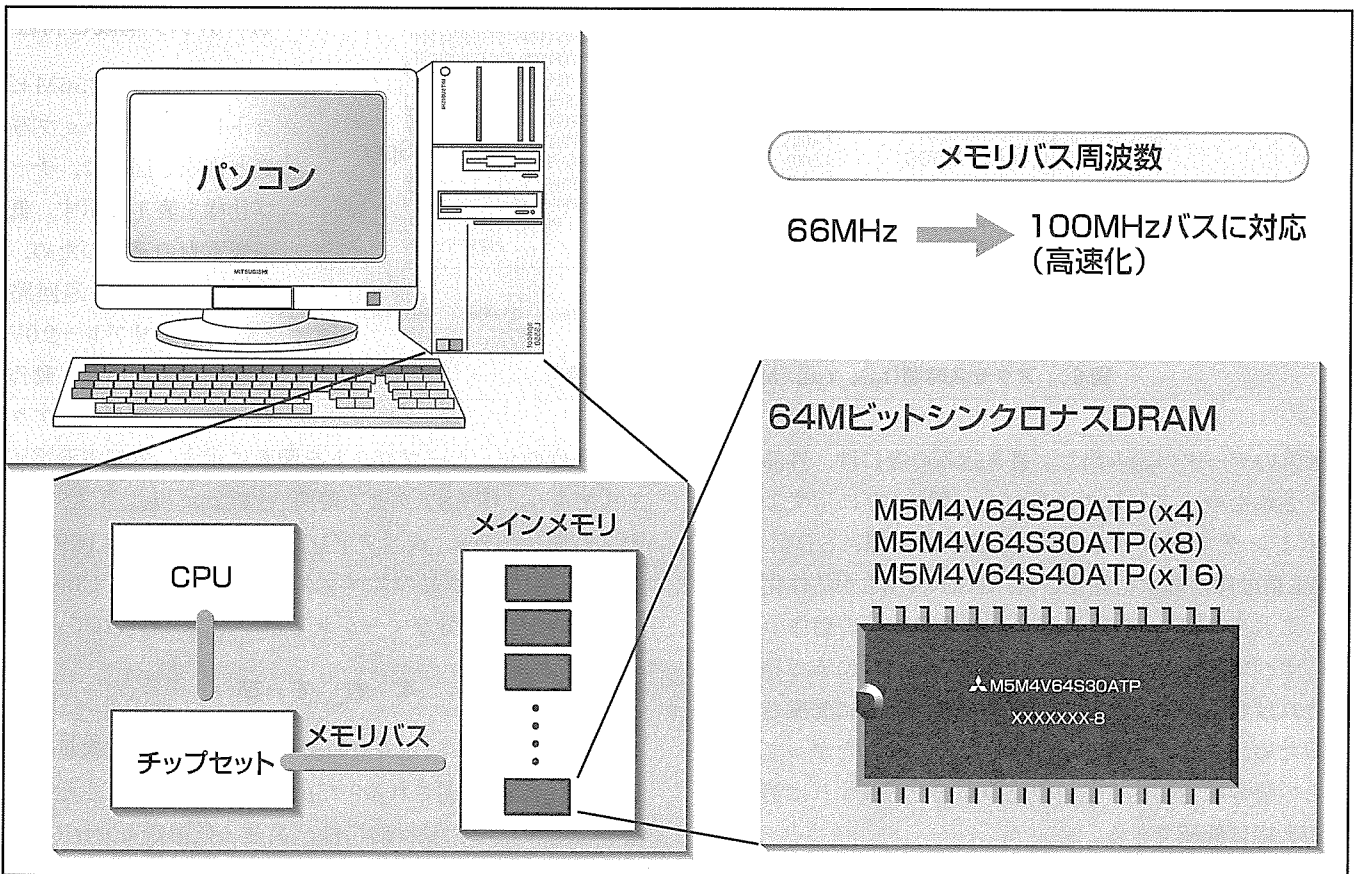
要旨

DRAM(Dynamic Random Access Memory)は、テクノロジードライバとして、最先端の微細加工技術を用いて3年ごとに4倍の容量を持つように開発されてきた。しかしながら、パソコンは、近年目覚ましく進歩してきており、特にCPUの高速化により、DRAMの高速化が要求されてきている。現在パソコンでは、従来の66MHzメモリデータバスから100MHzメモリデータバスが提案されており、従来のDRAMでは対応できない。そこで三菱電機では、デザインルールとして64MビットDRAM第二世代プロセスである0.3 μ mの微細加工技術ルール及び最適回路設計技術を用いて、大容量、パソコン100MHz(以下“PC100MHz”という。)メモリデータバス対応の64Mビットシンクロナス

DRAMを開発した。

64MビットシンクロナスDRAMは、パイプライン制御を用いて、最大動作周波数は125MHzまで対応している。バンクは4バンク構成であり、CAS(Column Address Strobe)レイテンシは2と3に対応している。語構成($\times 4 / \times 8 / \times 16$)は、ボンディング切換えを用いて、1チップで対応でき、パッケージも54ピン400mil TSOP(Thin Small Outline Package)の1種類のみである。

今回開発した64MビットシンクロナスDRAMは、PC100MHzを中心とした今後のメインメモリへの要求に十分対応できる。



64MビットシンクロナスDRAMとパソコン

0.3 μ mのデザインルールとパイプライン制御を用いて、PC100MHzバスに対応できる大容量64MビットシンクロナスDRAMを開発した。語構成は $\times 4 / \times 8 / \times 16$ に対応し、54ピンTSOPの1種類のパッケージを用いている。

1. ま え が き

DRAMは、パソコン、ワークステーション等においてメインメモリとして使用されている。DRAMは、テクノロジードライバとして、最先端の微細加工技術を用いて3年ごとに4倍の容量を持つように開発されてきた。またDRAMを使用するシステムの高性能化には、大容量・高速メモリが要求されている。特にパソコンにおいて、従来の66MHzデータバスから100MHzデータバス対応のシンクロナスDRAM(PC100MHz対応)の要求が強くなってきている。

当社では、微細加工技術及び最適回路設計を用いて、大容量、PC100MHz対応の64MビットシンクロナスDRAMを開発した。

本稿では、64MビットシンクロナスDRAMの特長及び電気的特性を述べる。

2. シンクロナスDRAMの特長

2.1 EDOモードのDRAMと

シンクロナスDRAMの比較

EDO(Extended Data Output)モードのDRAMではデータ転送速度は最大でも50MHzが限界であったが、シンクロナスDRAMでは100MHz以上のデータ転送が可能になる。図1に、EDOモード製品として最速品である50ns品を用いて50MHzで動作するDRAMの制御タイミングを示す。また図2に、100MHzで動作するシンクロナスDRAMの制御タイミングを示す。EDOの場合は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、ADDRESSといった制御信号がシステムクロック(CLK)とは非同期であるため、複雑なシステム制御回路が必要である。これに対しシンクロナスDRAMは、すべての制御信号がCLKに同期するため、CLKを基準にタイミング制御をすることができ、信号の制御が容易になるという利点もある。

2.2 64Mビットシンクロナス

DRAMの製品概要

表1に64MビットシンクロナスDRAMの製品概要を示す。動作電源電圧は3.3V単一電源であり、

リフレッシュ方式は4kサイクル/64msと統一されている。インタフェースは、LVTTL(Low Voltage Transistor Transistor Logic)とSSTL(Stub Series Terminated Logic)がアルミマスタスライズ切換えによって対応できる。CASレイテンシは2及び3、バースト長は1、2、4、8、Full Pageに対応できる。動作電気的特性は最大動作周波数が125MHzであり、アクセス時間(t_{AC})もPC100MHzの規格である6nsを実現している。語構成($\times 4 / \times 8 / \times 16$)は、ボンディング切換えを用いて、1チップで対応でき、パッケージも54ピン400mil TSOPの1種類のみである。そのため、市場の多様な要求に対して迅速に対応できるようになった。

3. プロセス技術及びチップ構成

64MビットシンクロナスDRAMに用いた主なウェーハ

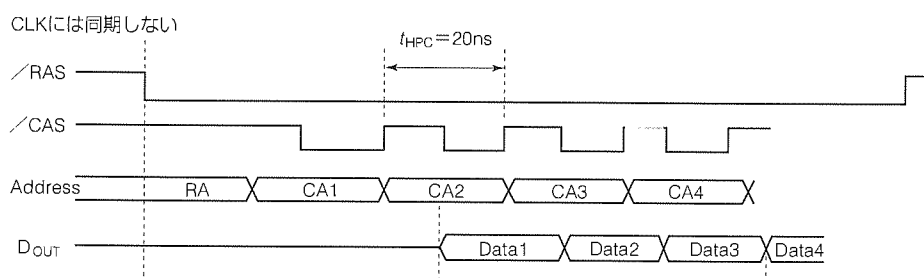


図1. EDO(50ns)品の読み出しタイミング

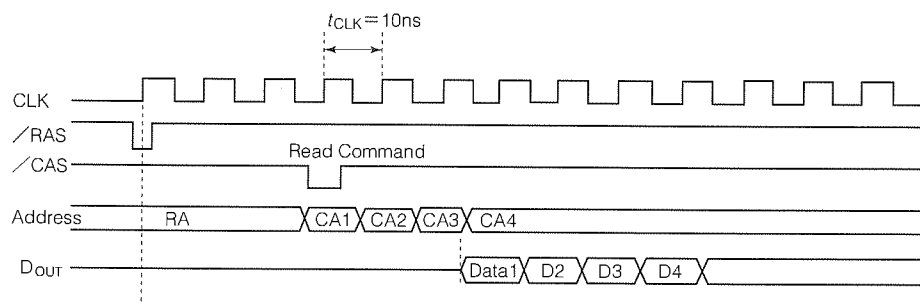


図2. シンクロナスDRAM(100MHz, CASレイテンシ3)品の読み出しタイミング

表1. 64MビットシンクロナスDRAMの製品概要

語構成 (型名)	16M×4 / 8M×8 / 4M×16 (M5M4V64S20ATP / M5M4V64S30ATP / M5M4V64S40ATP)
動作電圧	3.3V±0.3V
リフレッシュ	4kサイクル/64ms
パッケージ	54ピン 400mil TSOP (II)
インタフェース	SSTL / LVTTL
動作周波数 (アクセスアイテム)	125 / 100MHz, PC100MHz (-8A / -10, -8)
CASレイテンシ	2, 3
バースト長	1, 2, 4, 8, Full Page
最速アクセス時間 (t_{AC})	6 ns
バンク構成	4

プロセス技術を表2に示す。デザインルールは、64MビットDRAM第二世代プロセスである0.3 μ mルールを用いている。露光技術はKrFエキシマレーザを用い、最先端微細加工を実現した。メモリセルは実績のあるスタック型構造によって高信頼性を確保している。

4. 設計技術

4.1 アーキテクチャ

シンクロナスDRAMは独立して動作するバンクと呼ばれるブロックが複数設けられており、互いに独立した異なるローアドレスを活性化することができる。そのため、一つのバンクのプリチャージ期間中に別のバンクにアクセスできる、すなわちインタリーブが可能になる。16MビットシンクロナスDRAMでは2バンク、64MビットシンクロナスDRAMでは4バンク構成まで可能である。

図3に64MビットシンクロナスDRAMの制御ブロック図を示す。入力信号CLK, CKE(Clock Enable)がクロックバッファを介して基本CLKを発生し、その他の入力信号/ $\overline{\text{CS}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WE}}$, DQM, ADDRESS, BAを制御する。所望の入力信号が入力されると、対応するメモリセルが選択され、データが読み出され、保持される。データが保持された後、出力バッファを介してデータが出力される。

4.2 パイプライン動作

DRAMでは、メモリセルデータを読み出して出力するまでがシリアル動作であるため、データ転送速度は50MHzが限界である。これに対し64MビットシンクロナスDRAMは、100MHz以上の高速データ転送を実現するためにパイプライン制御方式を適用している。図4に、EDO DRAMの動作とシンクロナスDRAMにおけるCASレイテンシ3でのパイプライン動作を示す。EDO DRAMは、メモリセル選択、データ読み出し、データ出力と続く一連動作において、データ出力後に次のメモリセルを選択することができる。これに対しシンクロナスDRAMは、メモリセル選択、データ読み出し後に、次のメモリセルの選択ができるように内部にデータラッチを設けている。このパイプライン構成により、図に示すように、データラッチから出力へデータ転送中に、並列して異なるメモリセルの読み出しを開始することができる。したがって、EDO DRAMよりも高速な100MHz以上のデータ転送を可能にした。

図5に、パイプライン制御のブロック図とタイミングを示す。メモリセルは、センスアンプ、プリアンプに接続される。プリアンプ

表2. 主なウェーブプロセス技術

デザインルール	0.3 μ m CMOS	
リソグラフィ	KrFエキシマリソグラフィ	
メモリセル	スタック型	
ゲート長	NMOS	0.4 μ m
	PMOS	0.45 μ m
ゲート酸化膜厚	10nm	

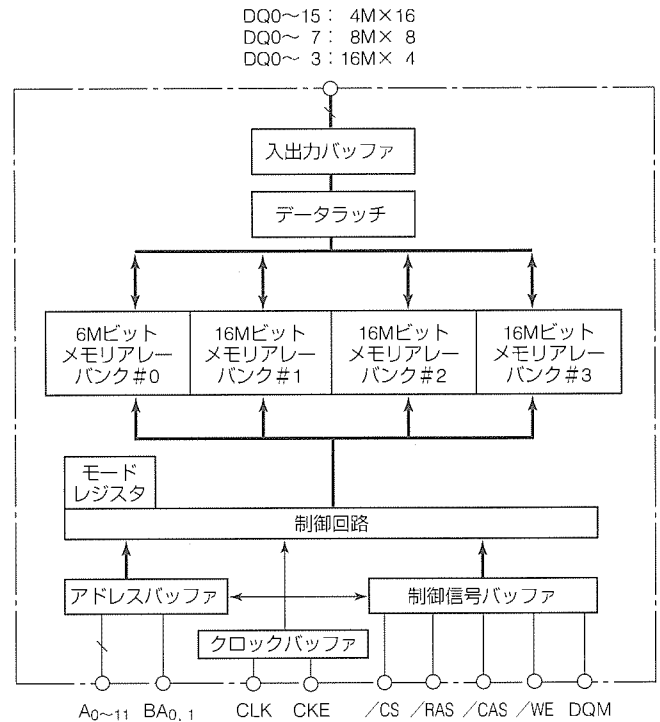


図3. 64MビットシンクロナスDRAMの制御ブロック図

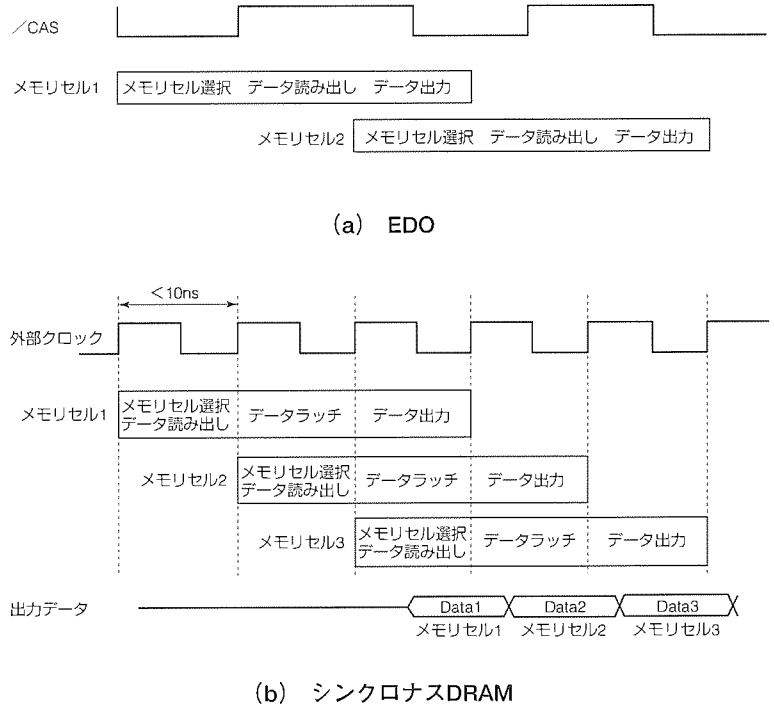


図4. EDOとシンクロナスDRAMのパイプライン動作比較

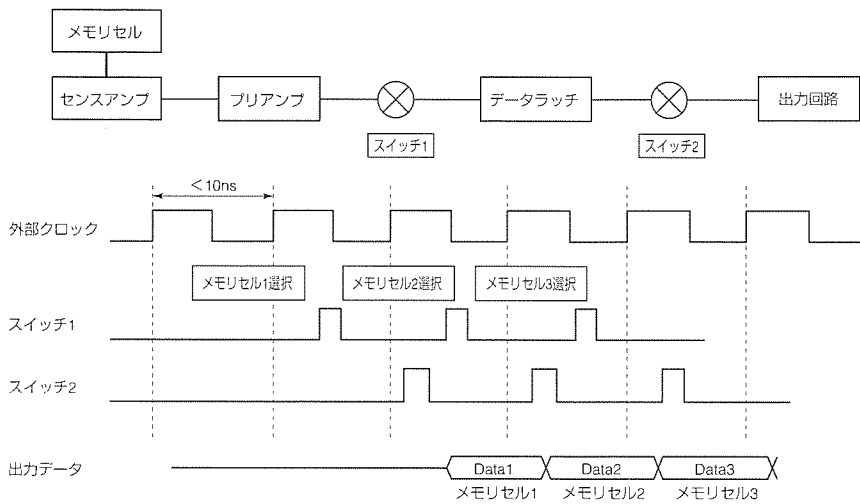


図 5. パイプライン制御方法(CASレイテンシ 3)

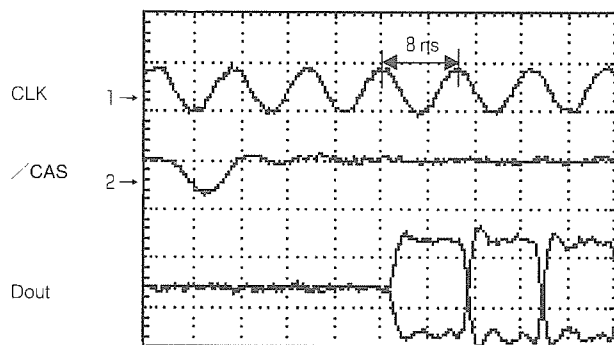


図 6. 125MHzの出力波形(CASレイテンシ 3)

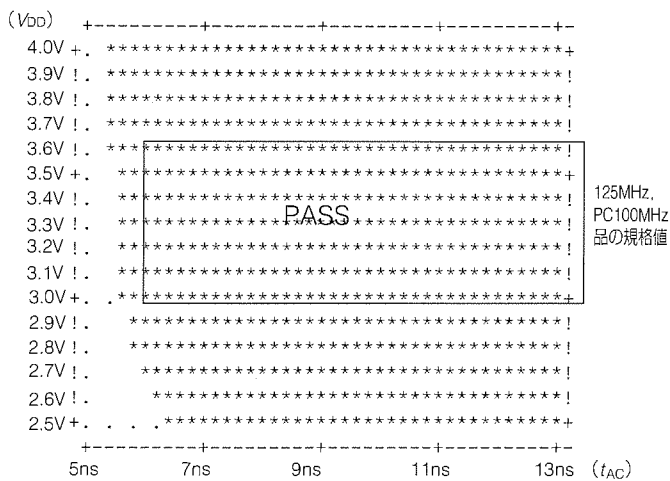


図 7. CLKアクセス時間(t_{AC})の電圧依存性($T_a=70^\circ\text{C}$)

出力後にスイッチ 1 を介してデータラッチが設けられてお

り、いったんデータを保持できる。さらにデータラッチと出力回路の間にもスイッチ 2 が設けられており、出力回路の中にもデータを保持することができる。

タイミング図で動作を説明する。まず、アドレス入力によってメモリセル 1 が選択され、センスアンプ、プリアンプで増幅された後、スイッチ 1 が活性化される(=“H”)と、データラッチ回路にデータが転送され、保持される。データ転送が完了してスイッチ 1 が閉じると、異なるメモリセル 2 を選択し、読み出しを行うことが可能になる。また、データラ

ッチ回路に保持されたデータは、スイッチ 2 が活性化される(=“H”)と、出力回路にデータが転送され、出力される。データ出力されている間に、メモリセル 2 のデータは、スイッチ 1 を通してデータラッチに保持される。このパイプライン制御により、64MビットシンクロナスDRAMは、100MHz以上のデータ転送を可能にした。

5. 実デバイスの評価結果

図 6 に64MビットシンクロナスDRAMの125MHzクロックによる動作の出力波形を示す。また、図 7 にクロックアクセス時間(t_{AC})の電源電圧依存性を示す。測定条件は、周囲温度 70°C 、LVTTLインタフェースで、出力負荷は 50pF である。このデバイスは、広範囲の電源電圧範囲において、クロックアクセス時間が125MHz品及びPC100MHz品の規格である 6ns を満足している。

6. むすび

$0.3\mu\text{m}$ のCMOSデザインルールを用いて、PC100MHz対応、及び最大動作周波数125MHz、クロックアクセス時間(t_{AC}) 6ns の4バンク、64MビットシンクロナスDRAM($16\text{M}\times 4$ ビット、 $8\text{M}\times 8$ ビット、 $4\text{M}\times 16$ ビット)を開発した。現在シンクロナスDRAMは急速にEDO DRAMにとって代わってきており、今後もその割合は更に増加していくと予想される。今回開発した64MビットシンクロナスDRAMは、PC100MHzを中心とした今後のメインメモリへの要求に十分こたえ得ると考える。

第三世代64MビットDRAM

井上好永* 蜂須賀敦司**
 羽倉 司* 白竹 茂***
 早川吾郎*

要 旨

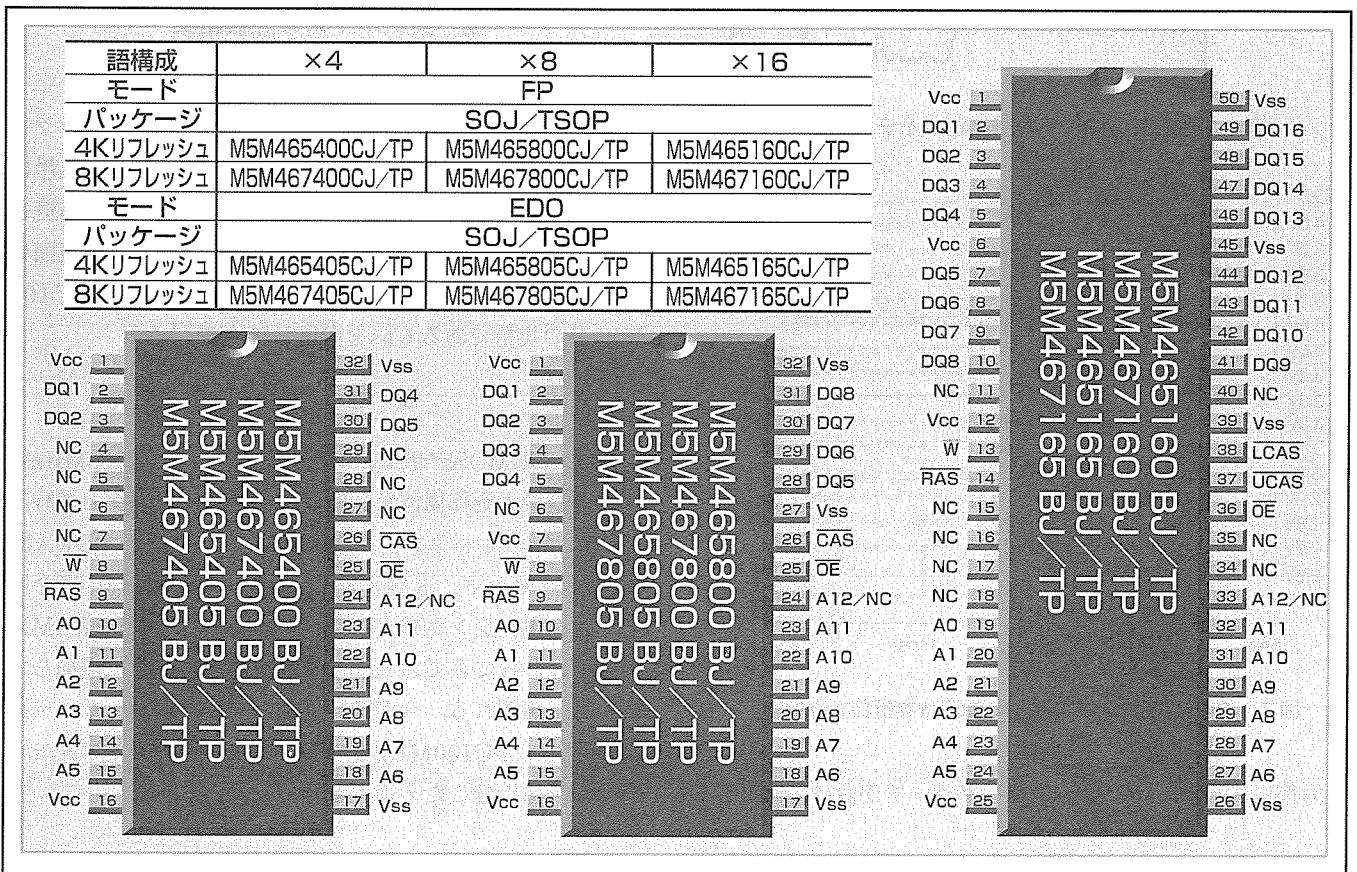
DRAM(Dynamic Random Access Memory)は、ファーストページ(FP)モードからEDO(Extended Data Out)モードに移行し、今やシンクロナスDRAMの全盛期となりつつある。今後はRambus DRAM*等の超高速度性能が要求されており、DRAMには従来に増して多機能・高性能化が求められる。

を使用した高速で低消費電力な第三世代64MビットDRAM EDOモード品の開発を行った。さらに、将来の低電圧化に対応させるため2.5V動作を想定して回路を開発した。

今後、第三世代64MビットDRAMをコアとして、更なる高性能な製品を開発していく。

こうした要求に対応するため、0.25 μ mCMOSプロセス

* “Rambus DRAM”は、米国Rambus Inc.の商標である。



第三世代64MビットDRAM FPモード EDOモード ピン配置

左から×4品、×8品、×16品のピン配置図(400mil SOJ, 400mil TSOP)を示す。

注：A12-8kリフレッシュ品、NC-4kリフレッシュ品

NC：ノンコネクションピン

1. ま え が き

DRAMは、FPモードからEDOモードに移行し、今やシンクロナスDRAMの全盛期となりつつある。今後はRambus DRAM等の超高速性能が要求されており、DRAMには従来に増して多機能・高性能化が求められる。

こうした要求に対応するため、0.25 μ m CMOSプロセスを使用した第三世代64MビットDRAMの製品シリーズの開発を行っており、本稿では、EDOモード品の設計・プロセス技術の開発について述べる。

2. 開 発 方 針

(1) 0.25 μ m CMOSプロセスの開発

現在、当社では0.3 μ mプロセスの第二世代64MビットDRAMを量産中であるが、更に高速、低消費電力等の高性能化を図るため、0.25 μ m CMOSプロセスを使用し、チップ面積の縮小を行った。

(2) 第三世代64MビットDRAM製品シリーズのコア

今回紹介する製品はFP及びEDOモード動作品であるが、さらに製品シリーズとして、シンクロナスDRAM、Direct Rambus DRAM、ロジック混載メモリデバイス(eRAM)等のコアチップとしての役割を果たす。

(3) 2.5V版の技術開発

将来の低電圧化に対応するため、外部電源電圧 $V_{cc} = 2.5$ V版としての動作が可能となる設計を行った。

3. 製 品 概 要

第三世代64MビットDRAMの製品概要を表1に示す。製品型名一覧は前ページの表のとおりである。

語構成($\times 4 / \times 8 / \times 16$)、リフレッシュサイクルは(4k/8k)、機能(FP/EDO)は、すべてボンディング切換えによるオプションとなっている。

アクセスタイム $t_{RAC} = 40$ ns、EDOサイクル $t_{HPC} = 16$ ns、動作電流 $I_{cc1} = 140$ mA、待機時電流 $= 500\mu$ A、セルフリフレッシュ時平均電流 $= 400\mu$ Aであり、高速で、かつ低消費電力を実現している。

ピン配置を前ページに示す。

4. プ ロ セ ス 技 術

第三世代64MビットDRAMに使用している主なプロセス技術を表2に示す。デザインルールは0.25 μ m、リソグラフィは第二世代と同様エキシマレーザを用い、素子分離は改良LOCOS(Local Oxidation of Silicon)法を用いた。

5. チ ッ プ 構 成

図1に第三世代64MビットDRAMのチップ写真を、また、表3にチップ構成を示す。

メモリアレーは、図2に示すように、64Mビット全体が四つの16Mビットブロックに分かれており、各16Mビットブロックは更に16個の1Mビットサブアレーに分割されている。センスアンプはシェアドセンスアンプ方式であり、データ線は、センスアンプからチップ短辺方向に走るサブデータ線と、スイッチを介してチップ長辺方向にデータアンプまで走るメインデータ線との階層構成であり、当社16MビットDRAMや第二世代64MビットDRAMで実績のある構成を踏襲している。

表1. 製品概要

語 構 成	16Mビット $\times 4$, 8Mビット $\times 8$, 4Mビット $\times 16$
電 源 電 圧	3.3V ± 0.3 V
リフレッシュ	4kサイクル/64ms, 8kサイクル/64ms
最大アクセスタイム	$t_{RAC} = 40$ ns, $t_{AA} = 20$ ns, $t_{CPA} = 23$ ns
最小EDOサイクル	$t_{HPC} = 16$ ns
最大消費電流	$I_{cc1}^{(註1)} = 140$ mA, $I_{cc2}^{(註2)} = 500\mu$ A, $I_{cc3}^{(註3)} = 400\mu$ A
機 能	FP, EDO, セルフリフレッシュ
パッケージ	400mil 32ピン SOJ, TSOP II ($\times 4$, $\times 8$) 400mil 50ピン SOJ, TSOP II ($\times 16$)
オプション	ボンディング

(注1) 動作時平均電流(8kリフレッシュ, $t_c = 70$ ns, $V_{cc} = 3.6$ V)

(注2) 待機時電流($V_{cc} = 3.6$ V)

(注3) セルフリフレッシュ時平均電流($V_{cc} = 3.6$ V)

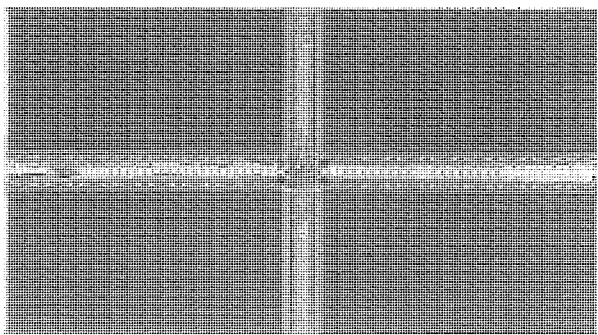


図1. チップ写真

表2. プロセス技術

プロセス技術	0.25 μ m CMOS
リソグラフィ	KrFエキシマレーザ
素子分離	改良LOCOS
メモリセル	スタック型セル
トランジスタ	NMOS: 0.35 μ m PMOS: 0.35 μ m

表3. チップ構成

読み出し方式	シェアドセンスアンプ方式 階層データ線方式
冗長方式	レーザブロー
電源電圧	外部3.3V(内部2.5V)

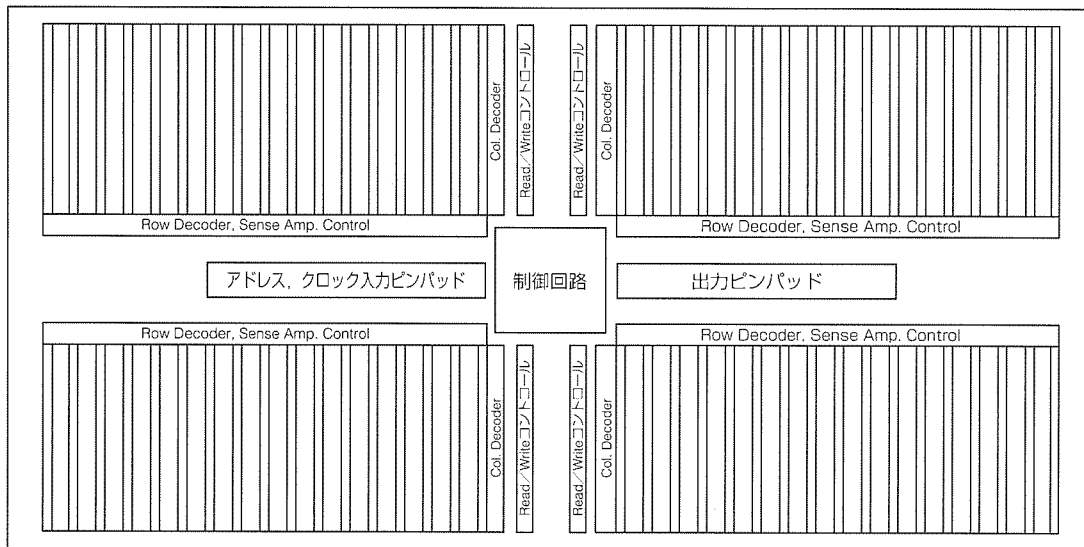


図 2. 回路ブロック図

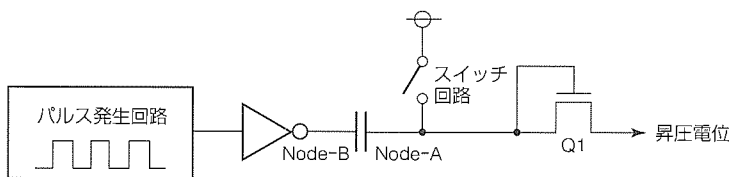


図 3. 従来の3.3V版の内部昇圧電位発生回路

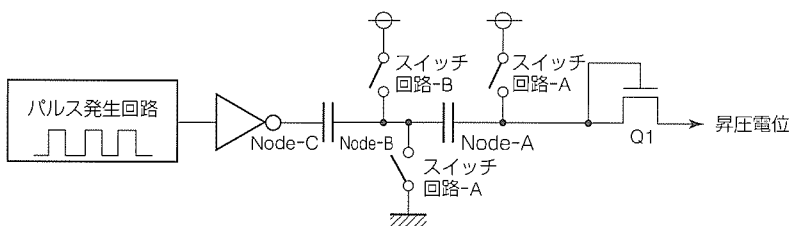


図 4. 第三世代64MビットDRAMの内部昇圧電位発生回路

冗長方式は、従来と同様、レーザブロー方式を採用した。

電源電圧の構成は、外部 V_{cc} (3.3V)から内部 V_{cc} (2.5V)を内部降圧回路によって発生させ、周辺用内部 V_{cc} とアレー用内部 V_{cc} を完全に分離し、チップ内部に供給した。これにより、センス動作時のノイズが周辺回路に悪影響を及ぼすのを回避した。

6. 設計技術

6.1 高速化設計

第三世代64MビットDRAMの高速アクセスを達成する方法として、以下に示す内容を実施した。

まず第一に、チップ面積の縮小効果により、信号配線長が短くなり、寄生容量が減少した。

次に、ロジック回路のスリム化、回路定数の最適化、及び回路配置の最適化を行い、また、入力パッドと出力パッドをチップセンターに集中させ、最短ルートでのデータの

読み出しを実現した。

DRAMにおいて、大電流が流れるのは、センスアンプ動作時とデータを外部へ出力する時である。第三世代64MビットDRAMでは、電源電圧 V_{cc} を、周辺回路用、アレー用、出力回路用の3電源に、ボンディングパッドから完全に分離した。これにより、大電流が流れる時の V_{cc} レベルの電圧降下を回避し、アクセスの遅延を起こさず、安定したレベルでの周辺回路動作が可能となった。

6.2 2.5V版の技術

6.2.1 内部昇圧電位発生回路

昇圧電位は、選択ワード線やシェアドセンスアンプの選択信号等と与えられる電位である。

従来の3.3V版の内部昇圧電位発生回路を図3に示す。動作は、スイッチ回路をONさせてNode-Aを V_{cc} に充電し、スイッチ回路をOFFさせてNode-Bを0Vから V_{cc} にする。Node-Aは容量結合によって $2V_{cc}$ となり、トランジスタQ1のしきい値電圧(以下“ V_{th} ”という。)分が昇圧電位に伝達されず、最大能力は $2V_{cc}-V_{th}$ となる。電源電圧3.3Vから昇圧電位を発生させるため、 $V_{th}=1V$ の場合には、最大能力は $2 \times 3.3 - 1 = 5.6V$ である。

第三世代64MビットDRAMでは、将来の低電圧化に対応するため、外部電源電圧 $V_{cc}=2.5V$ 版としての動作が可能となる設計を行った。電源電圧2.5Vから昇圧電位を発生させるため、従来の内部昇圧電位発生回路そのままでは $2 \times 2.5 - 1 = 4.0V$ の能力しかなく、電源電圧に対する回路の動作マージンが小さい。

そこで、今回、図4に示す内部昇圧電位発生回路を採用

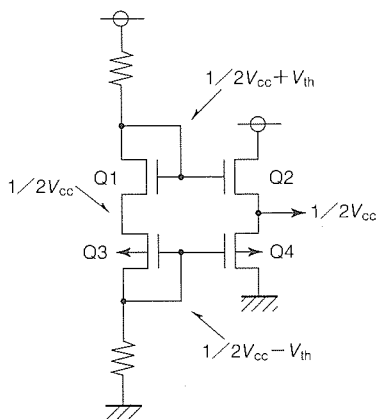


図 5. 従来の $1/2V_{cc}$ 発生回路

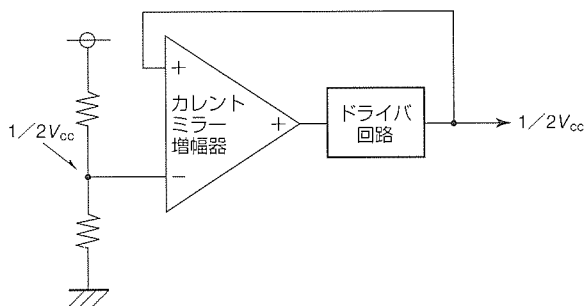


図 6. 第三世代64MビットDRAMの $1/2V_{cc}$ 発生回路

した。動作は、スイッチ回路-AをONさせてNode-Aを V_{cc} にし、Node-Bを0Vにする。スイッチ回路-AをOFFさせてNode-Bを0Vから V_{cc} にする。Node-Aは容量結合によって $2V_{cc}$ となる。スイッチ回路-BをOFFさせてNode-Cを0Vから V_{cc} にする。容量結合によってNode-Bは $2V_{cc}$ 、Node-Aは $3V_{cc}$ となり、トランジスタQ1の V_{th} 分が昇圧電位に伝達されず、最大能力は $3V_{cc} - V_{th}$ となる。電源電圧2.5Vから昇圧電位を発生させるため、 $V_{th} = 1V$ の場合には、最大能力は $3 \times 2.5 - 1 = 6.5V$ となる。従来の3.3V版と同程度の電圧が出せるようになった。

6.2.2 $1/2V_{cc}$ 回路

$1/2V_{cc}$ 回路は、ビット線のプリチャージ電圧やセルブレードの電圧に用いられる。従来の $1/2V_{cc}$ 回路は、図5に示すように、 $1/2V_{cc}$ を基準にして、トランジスタQ1、Q2、Q3、Q4の V_{th} でコントロールしている。第三世代64MビットDRAMでは、アレーの $V_{cc} = 2.0V$ に対して、 $1/2V_{cc} = 1.0V$ を発生させる必要があった。したがって、 V_{th} が1Vの場合には、 V_{cc} が2V以下では従来方式の回路は動作しないことになる。そこで、図6に示す比較回路型の $1/2V_{cc}$ 回路を採用した。抵抗分割によって $1/2V_{cc}$ を発生させ、カレントミラー増幅器によって比較制御をし、

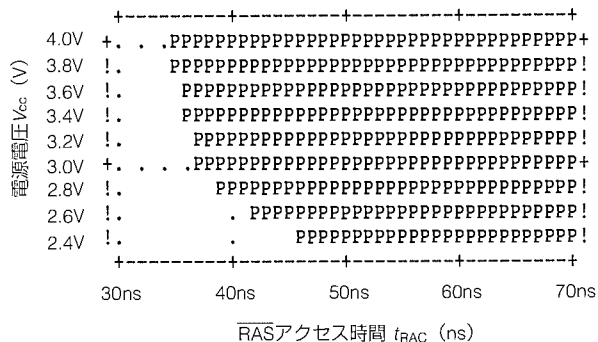


図 7. RASアクセス時間の電源電圧依存性

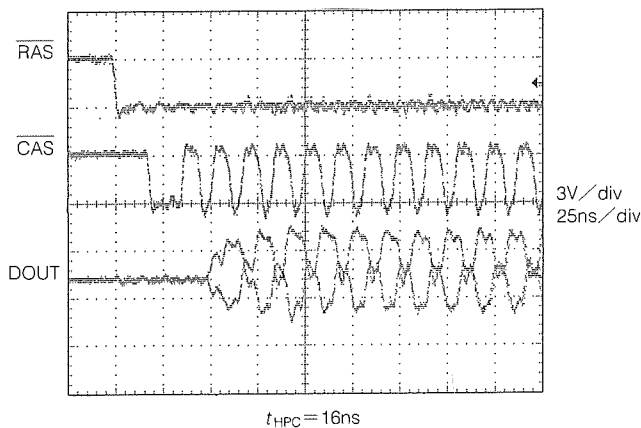


図 8. EDOの出力波形

$1/2V_{cc}$ を出力させる。これにより、 V_{cc} が2V以下に対してのマージンを向上させることができた。

7. 第三世代64MビットDRAMの電気特性

図7に、周囲温度 $80^{\circ}C$ におけるRASアクセス時間の電源電圧依存性を示す。また、図8に、EDOの出力波形を示す。

8. むすび

0.25 μm CMOSプロセスを使用してチップ面積の縮小化を図り、高速で低消費電力な第三世代64MビットDRAMの開発を行った。さらに、将来の低電圧化に対応させるため、2.5V動作を想定して回路を開発した。

今後、第三世代64MビットDRAMをコアとして、更なる高性能な製品を開発していく。

参考文献

- (1) 月川靖彦, 平山和俊, 源城英毅, 添田真也: 第三世代16MビットDRAM, 三菱電機技報, 69, No.10, 936~940 (1995)

I²Cバス, IEバスインタフェース機能に対応した 16ビットマイコンM16C/62

黒岩通明*
久保輝訓*
瀧ノ上 勲**

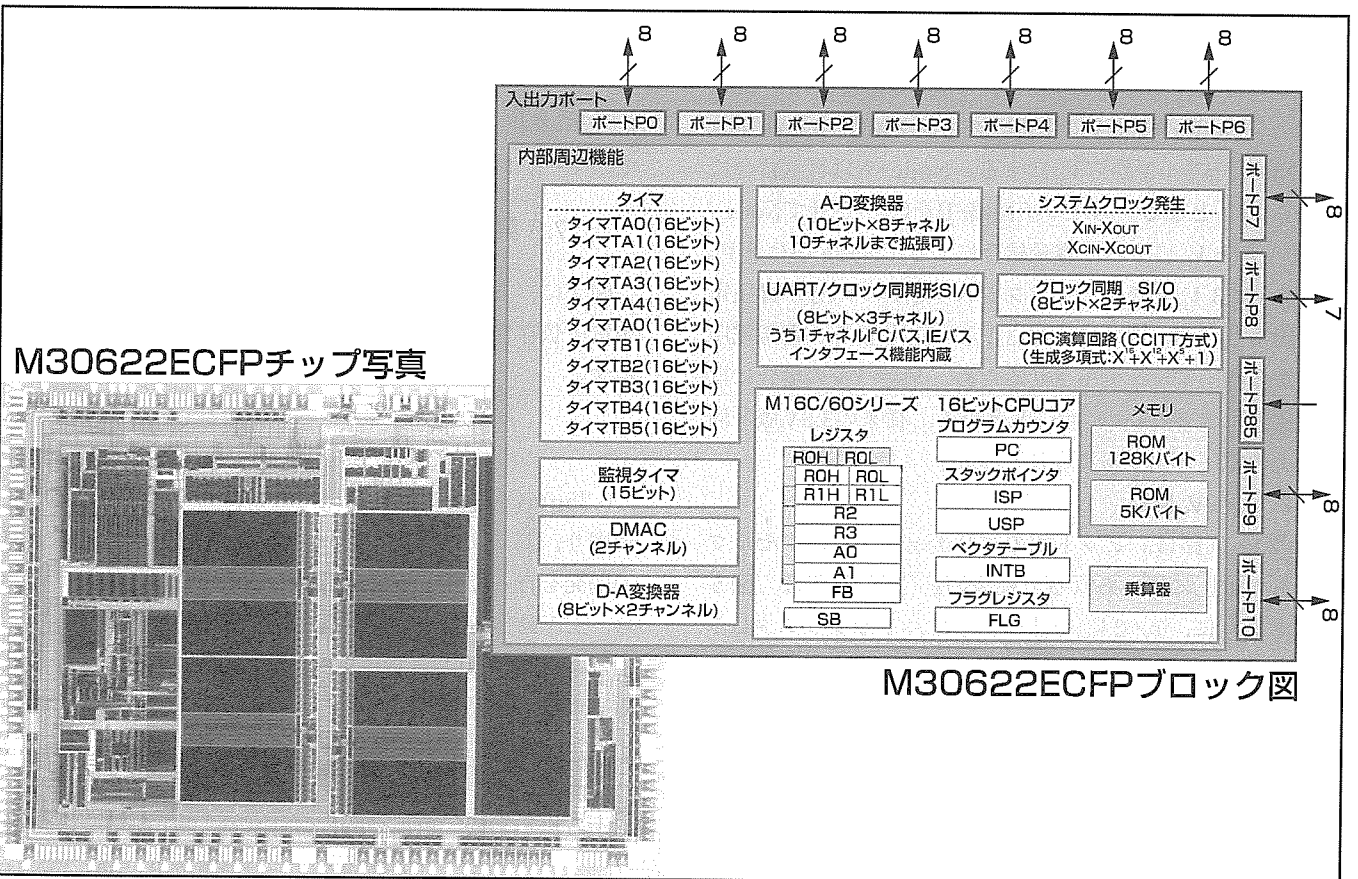
要 旨

M16C/60シリーズは、高い処理能力とROM効率、C言語効率の向上、低電圧・低消費電力、ノイズ誤動作耐量の向上、不要ふく(輻)射ノイズの低減、プログラムバグ対策等の数々の特長を持った三菱オリジナル16ビットシングルチップマイコンのシリーズである。

今般のシングルチップマイコンには多くの周辺デバイスを制御するケースが多く、多数のシリアルI/O及びI²Cバス、IEバス等のLANのインタフェース機能が要求されている。これらの要求にこたえ、M16C/62グループをM16C/60, M16C/61グループに続くM16C/60シリーズ第三弾の製品として開発した。以下、M16C/62の特長を

示す。

- 多機能シリアル入出力回路内蔵
IEバスインタフェース機能, I²Cバスインタフェース機能を実現可能
- シリアル通信機能を5系統内蔵
- 最小命令実行時間62.5nsの高速動作
($f(X_{in}) = 16\text{MHz}$)
- 高機能三相PWM出力回路内蔵
- メモリ空間拡張機能(データ領域)
1.2Mバイトモード, 4Mバイトモードの二つの拡張機能を内蔵



M30622ECFPのチップ写真とブロック図

左はM30622ECFP(ワンタイムPROM版)のチップ写真であり、CMOSシリコンゲート2層アルミプロセスを使用して製造されている。右はM30622ECFPの機能ブロック図であり、図に示す機能が1チップに収められている。

1. ま え が き

近年、マイコン応用システムで使用される半導体デバイスの数は増加する傾向にある。それに伴い、各半導体デバイス間の配線数、及びデバイスのピン数の削減を図るため、I²CバスやIEバスを利用するケースが増えてきている。そのため、シングルチップマイコンにもI²Cバスインタフェース機能、IEバスインタフェース機能内蔵の要求が高まっている。

当社では、この要求に対応するため、高い処理能力と高ROM効率、C言語効率の向上、低消費・低消費電力、EMI (Electromagnetic Interference)、EMS (Electromagnetic Susceptibility) に対するノイズ対策、プログラムバグ対策など数々の特長で定評のある16ビットシングルチップマイクロコンピュータM16C/60シリーズとして、I²Cバス、IEバスインタフェース機能を内蔵したM16C/62グループを開発した。

本稿では、M16C/62グループの製品概要と、I²Cバス、IEバスインタフェース機能を実現した多機能シリアル入出力回路について紹介する。

2. M16C/62グループの製品概要

表1にM16C/62グループの仕様概略を示す。

M16C/62グループの特長及びCPU仕様概略は以下のとおりである。

(1) 特長

- 最小命令実行時間62.5nsの高速動作
($f(X_m) = 16\text{MHz}$)
- 多機能シリアル入出力回路内蔵
I²Cバスインタフェース機能、IEバスインタフェース機能を実現可能
- シリアル通信機能を5系統内蔵
- 高機能三相PWM (Pulse-Width Modulation) 出力回路内蔵
- メモリ空間拡張機能(データ領域)
1.2Mバイトモード、4Mバイトモードの二つのメモリ空間拡張機能内蔵

(2) CPU仕様概略

- M16C/62CPU仕様
基本演算長：8/16ビット

表1. M16C/62グループの仕様概略

項 目	性 能	
基本命令数	91命令	
最短命令実行時間	62.5ns ($f(X_m) = 16\text{MHz}$ 時)	
メモリ容量	ROM	128Kバイト
	RAM	5 Kバイト
入出力ポート	P0~P10 (ただしP85を除く。)	8ビット×10, 7ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0, TA1, TA2, TA3, TA4	16ビット×5
	TB0, TB1, TB2, TB3, TB4, TB5	16ビット×6
シリアルI/O	UART0, UART1, UART2	(UART又はクロック同期形)×3 (UART2はSIMインタフェース対応、IEバス、PCバス対応)
	SI/O3, SI/O4	クロック同期形×2
A-D変換器		10ビット×10チャンネル
D-A変換器		8ビット×2
D M A C		2チャンネル、(スタート条件：16要因)
三相PWM回路		内蔵タイマ (TA1, TA2, TA4, TB2) を使用し三相モータ駆動波形が出力可能
CRC演算回路		1回路 (生成多項式： $X^{16} + X^{12} + X^5 + 1$)
監視タイマ		15ビット×1 (プリスケアラ付き)
割り込み		内部20要因、外部5要因、ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共端子、又は水晶共端子外付け)
電源電圧		4.2~5.5V ($f(X_m) = 16\text{MHz}$) : マスクROM版
		4.5~5.5V ($f(X_m) = 16\text{MHz}$) : ワンタイムPROM版
		2.7~5.5V ($f(X_m) = 10\text{MHz}$, 1ウェート時) : マスクROM版
		2.7~5.5V ($f(X_m) = 7\text{MHz}$, 1ウェート時) : ワンタイムPROM版
消費電力		21mW (3V, $f(X_m) = 10\text{MHz}$, 1ウェート時)
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能 (1.2Mバイト, 4Mバイトの拡張可能)
動作周囲温度		-40~85°C
素子構造		CMOSシリコンゲート
パッケージ		100ピンプラスチックモールドQFP

命令数 : 91

レジスタ数: 汎用レジスタ16ビット×6本×2組

専用レジスタ×6本(一部2組)

以上の特長によって、M16C/62は、DVD、MD・カーオーディオ等のデジタル応用機器、携帯電話、自動車用電子制御機器、モータ制御等への広範囲な用途に使用可能である。

3. I²Cバス、IEバスインタフェース機能対応 多機能シリアル入出力回路

M16C/62に内蔵した多機能シリアル入出力回路は同期式シリアル入出力機能、非同期式シリアル入出力機能を持っており、同期式シリアル入出力回路と今回の製品で内蔵したI²Cバスインタフェース機能対応の回路を組み合わせることでマルチマスタのI²Cバスとのインタフェース機能を実現した。また、非同期式シリアル入出力回路と新規内蔵のIEバスインタフェース用の回路を組み合わせることでIEバスインタフェース機能を実現している。

上記の機能を内蔵するに当たっては、“ソフトウェアとハードウェアの組合せによる高コストパフォーマンスの実現”に主眼を置いて開発を行った。

3.1 I²Cバスインタフェース機能

I²Cバスは、フィリップス社によってフォーマットが規定されているシリアルデータライン(SDA)とシリアルクロックライン(SCL)の2本の双方向バスラインで構成されるマルチマスタバスである。以下にM16C/62に内蔵した回路の構成及び動作について述べる。

3.1.1 回路構成

図1に多機能シリアルI/Oのブロック図を示す。この製品に内蔵したI²Cバス対応のハードウェアは以下のとおりである。

- (1) スタート、ストップコンディション検出回路
- (2) I²Cの通信にバスが使用されているか否かを監視するために使用するバスビジーフラグ
- (3) アービトレーシ

ョン結果を格納するアービトレーションロストフラグ

- (4) ACK(Acknowledge), NACK(Non-acknowledge)検出回路
- (5) 2本のI/Oポートを使用し、ソフトウェアによるI²Cバスの駆動の際にクロック同期機能がとれるようにするためのI/Oポート入力立ち下がり検出回路と、I/Oポート入力立ち下がり検出回路の出力によってポート出力データをクリアする回路
- (6) SDA, SCLの入力回路のノイズフィルタ
- (7) ACK, NACK, スタートコンディション, ストップコンディションの検出回路, 及び送信完了, 受信完了時にDMAC(Direct Memory Access Controller)にデータ転送の要求を出力する回路
- (8) ACKビットも含めた9ビット構成のシリアル送信レジスタ

3.1.2 動作

次に、実際の送信手順をマスタ送信を例に述べる。図2にマスタ送信の場合の波形を示す。

今回内蔵したI²Cバスインタフェース機能は、1バイト目の送信においてはI/Oポートをソフトウェアで制御することによって送受信を行い、1バイト目以降はハードウェアで通信を行うようにしたものであり、動作について図を用いて以下に説明する。

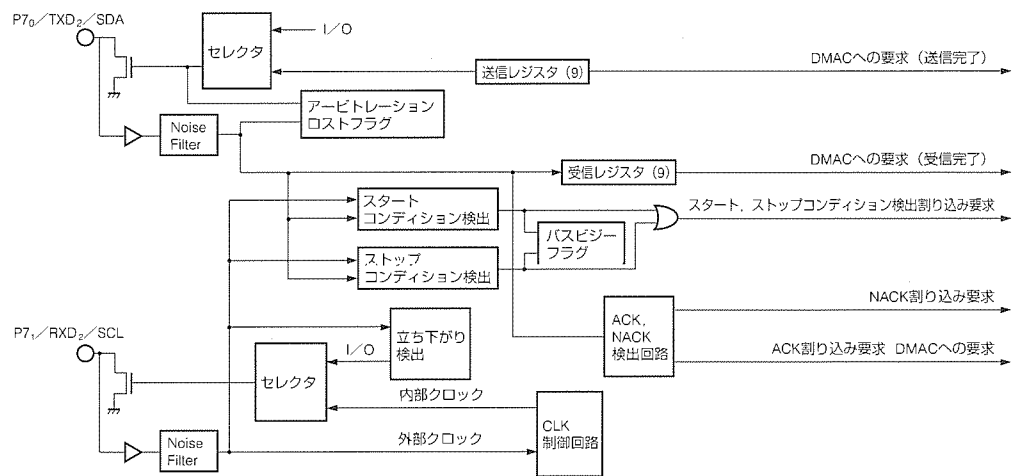


図1. 多機能シリアル入出力回路のブロック図

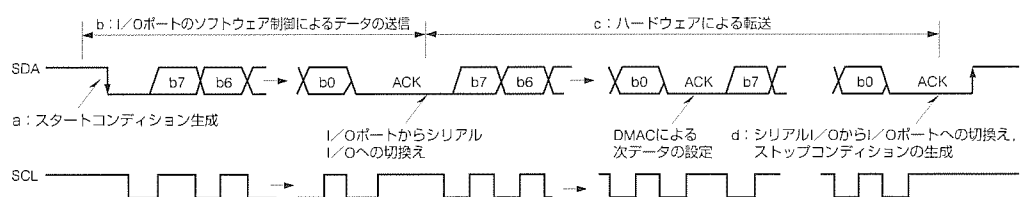


図2. マスタ送信の場合の波形例

(1) I/Oポートのソフトウェアの制御によってスタートコンディションの生成を行う(図中aで示す)。

(2) I/Oポートのソフトウェアの制御によってSDA, SCLの出力を行うとともに、アービトレーションの処理を行う(図中b)。

(3) 2バイト目以降は、ハードウェアによってACKビットも含め9ビットのデータの自動転送を行う。なお、バイト間ではDMACを使用し、次に行う転送のデータを9ビットの送信レジスタに設定する(図中c)。

(4) 通信を完了させる場合は、I/Oポートのソフトウェア制御によってストップコンディションの生成を行う(図中d)。

また、スレーブ送受信の場合は、マスタによって生成されるスタートコンディションのSDAとSCL波形をスタートコンディション検出回路によって検出し、送受信処理を開始する。1バイト目はI/Oポートのソフトウェアの制御により、2バイト目以降はシリアル入出力回路によってデータを送受信する。最後に、マスタによって生成されるストップコンディションのSDAとSCL波形をストップコンディションの検出回路で検出し、送受信動作を完了させる。

以上説明してきたように、ソフトウェアと、簡素なハードウェアの組み合わせでI²Cバスインタフェース機能を実現した。

3.2 IEバスインタフェース機能

IEバスは、主に車載エンタテインメント系(カーオーディオ等)における代表的なLANである。

以下にM16C/62グループで内蔵したIEバスインタフェース対応の回路及び動作について述べる。

図3にM16C/62内蔵のハードウェア構成を、図4にUART(Universal Asynchronous Receiver Transmitter)を使用したIEバスにおける1ビット分の送受信波形を示す。

図4に示すように、IEバスの1ビット分の波形を8ビット長のUART(偶数パリティ, 1ストップビット)の1バイト分のデータによって生成する。すなわち, "0"出力の場合はE0hを送信レジスタから出力し, "1"出力の場合は00hを送信レジスタから出力し, 近似的にIEバス対応の1ビットのデータとすることができる。

また、アービトレーション機能を容易に行うため、

(1) 出力(TXD)と入力(RXD)の不一致をタイマのオーバーフロー信号が発生するタイミングで検出し、割

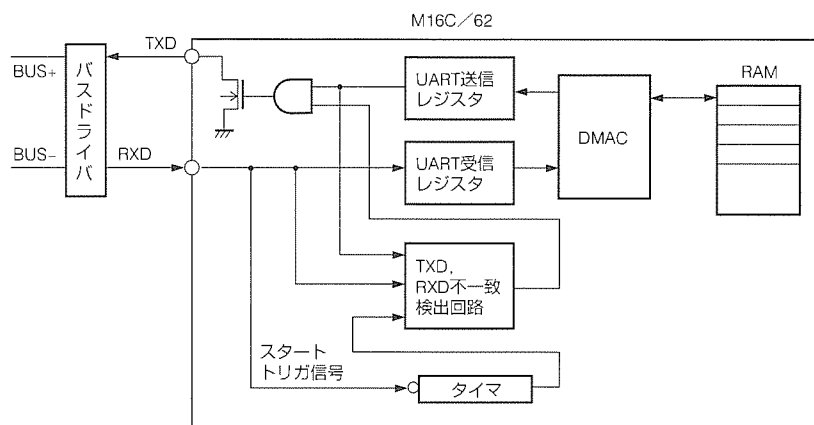


図3. IEバス対応のハードウェア構成

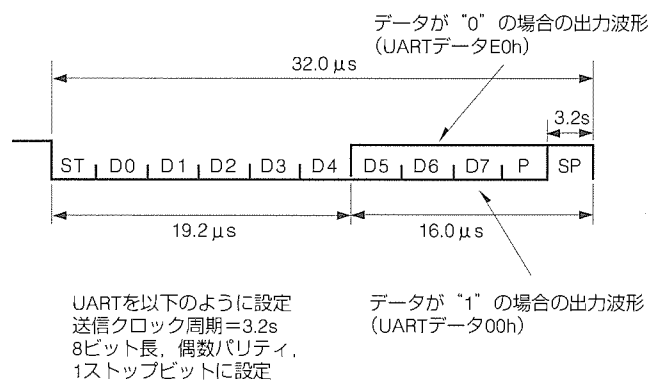


図4. UARTを使用したIEバスにおける1ビット分の送受信波形

り込みを発生させる回路

(2) 不一致が検出された時点でTXDをハイインピーダンスに固定し、バスを解放する回路

を内蔵し、ソフトウェアの負荷を軽減するようにしている。また、複数ビットのデータを転送するにはUARTの送受信の割り込みによってDMACに起動をかけ、メモリとのデータ転送を行うことによって自動で行える。

以上のように、M16C/62グループでは、汎用のシリアル入出力回路とわずかな専用ハードウェア及びソフトウェアの制御によってIEバスインタフェース機能を実現している。

4. むすび

I²Cバス, IEバスインタフェース機能を内蔵したM16C/62グループとして, ROM128Kバイト, RAM5Kバイトの製品であるM30622ECFP(ワнтаイムPROM版)とM30622MC-xxxFP(マスクROM版)を今回開発した。

今後、メモリ容量を変更した製品やフラッシュメモリ内蔵版等を開発し、グループの充実を図っていく所存である。

通信機能を強化した小型8ビットワンチップマイコン

久保憲司* 熊谷 泉*
前村浩之* 村上貴志*
桜木 敦* 山内直樹**

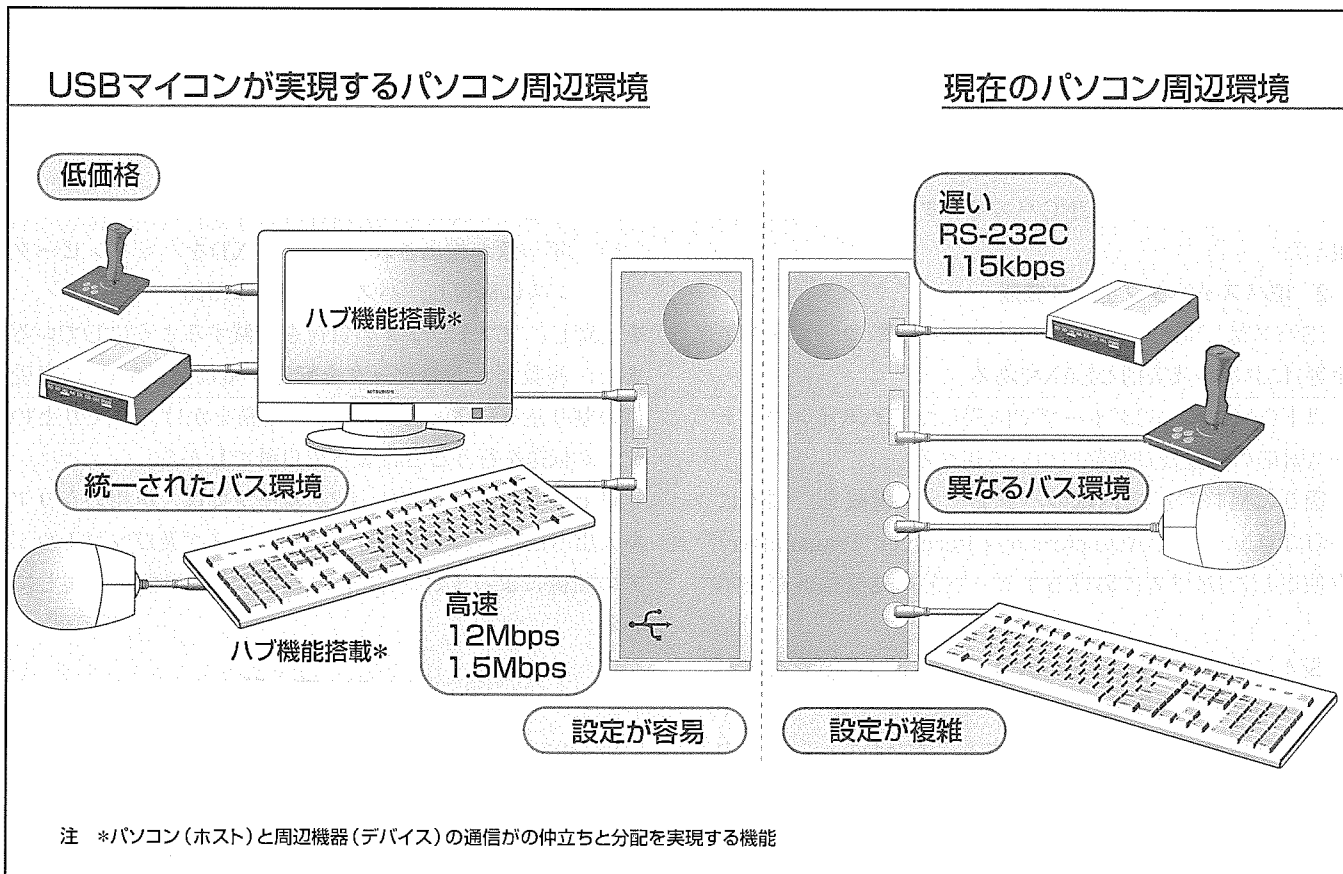
要 旨

現在のIBM/PC・AT互換機におけるパソコンと周辺機器の接続環境は不統一で、通信速度も低速(100kbps程度)なものが多く、汎用性と利便性に欠ける。今、新しい通信方式USB(Universal Serial Bus)が、周辺機器の接続方法を統一する方式として注目されている。また、USBには高速と低速の二つの伝送モードがある。今回、小型8ビットマイコンにこの低速USB機能を取り込み、ジョイスティックやキーボードといったインプットデバイスのコントロールとインプットデバイス-パソコン間の通信をワンチップで実現できるマイコンを開発した。

本稿では、通信機能の強化という観点から、上記マイコン

について以下の点を述べる。

- (1) 低価格化の要求の厳しい8ビットマイコンにUSB機能を内蔵する場合のコストアップを最小限に抑える技術
- (2) 短時間でUSB機能を機能記述言語によって回路化し、同時にマイコンに内蔵した方法とその検証技術
- (3) USB機能とUART(Universal Asynchronous Receiver Transmitter)機能を同じハードウェアで実現することにより、通信機能としての汎用性を向上させた技術



USBマイコンが実現するパソコン周辺環境と現在の周辺環境の比較

USBを使った場合のパソコンと周辺機器の接続環境は、現在のそれに比較して、格段に汎用性と利便性が良くなる。その手助けとなるのが、今回開発した低速USB機能を内蔵した8ビットマイコンである。

1. ま え が き

USBは、パソコンと周辺機器を接続する新しい通信方式として注目を浴びている。これは、現在の周辺装置に新たに通信コントローラとしての機能の追加を要求されることを意味する。しかし、キーボードやマウスなどのような入力機器は、USBを使用しない従来のものに対して価格アップは認められない。このため、これら入力機器に搭載されるマイクロコントローラは、コストアップなしでUSB機能を内蔵する必要がある。

このような要求にこたえるため、入力機器を主なターゲットとして、低速USB機能を内蔵した8ビットマイコンM37530M4-xxxFPを開発した。また、このUSB機能には、UARTや簡易PWM(Pulse-Width Modulation)出力機能を同時に盛り込むことにより、パソコン周辺に限らず他の用途でのコントローラとしても使用できるように、より汎用性の高い機能を持たせた。図1にM37530M4-xxxFPのチップ写真

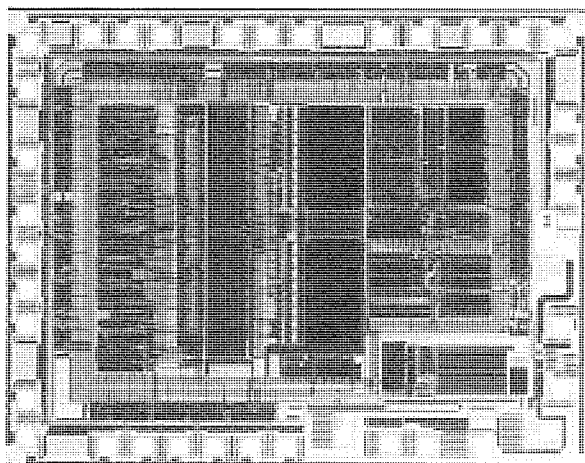


図1. M37530M4-XXXFPのチップ写真

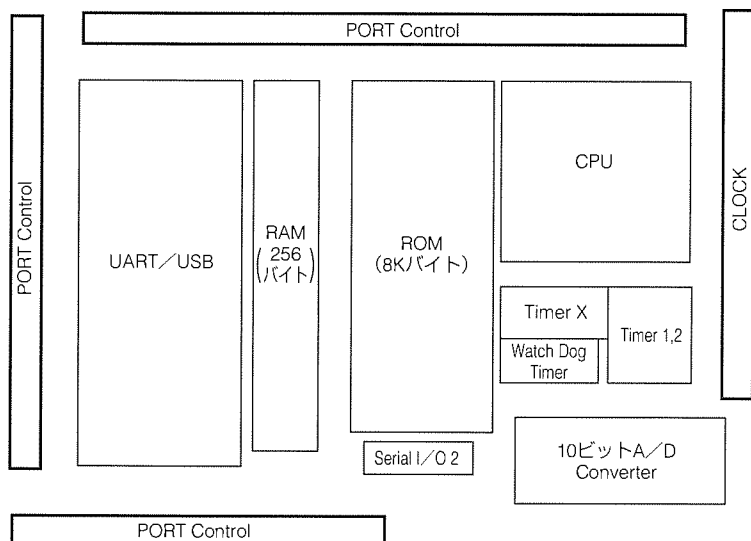


図2. ブロックレイアウト

チップ写真、図2にブロックレイアウトを示す。

2. 低速USBの概要

USBは、次期Windowsにおいて標準サポートされる見込みである。これにより、ユーザーは、従来のようなコネクタ形状の違いや接続ポート数の制限に束縛されることなく、周辺機器を使用できるようになる。USBの転送モードには12Mbpsの高速モードと1.5Mbpsの低速モードの2種類がある。この章では、特にキーボード、マウスやジョイスティックなどの入力デバイスへの応用を想定した低速USBを中心に概要について述べる。

2.1 USB接続形態

USBを使用するパソコンと周辺機器の接続形態は、図3のとおりとなる。図のホストはパソコン本体であり、ルートハブとも呼ばれる。またデバイスは周辺機器のことを指す。ハブは、周辺機器への信号の分配と周辺機器からの信号をホストへ伝達する装置である。図のとおりUSBの接続形態はホストが中心となったツリー構造となり、通信の主導権はすべてホストが持つ仕組みとなっている。つまり、ホストが特定のデバイス又はハブに指令を出して初めてデバイス又はハブは応答することができる。なお、デバイス又はハブ同士の直接の通信はできない。

2.2 低速USBプロトコル

低速USBでは、情報の転送形態を次の2種類用意している。

- コントロール転送
- 割り込み転送

コントロール転送は、ホストがデバイスの設定と制御を行うため、及びホストがデバイスの固有情報を取得するために使用される転送形態である。

割り込み転送は、入力デバイス等から不定期に発生する情報(マウスの位置情報、キーボードのキー入力)をホストが受け取るための転送形態である。

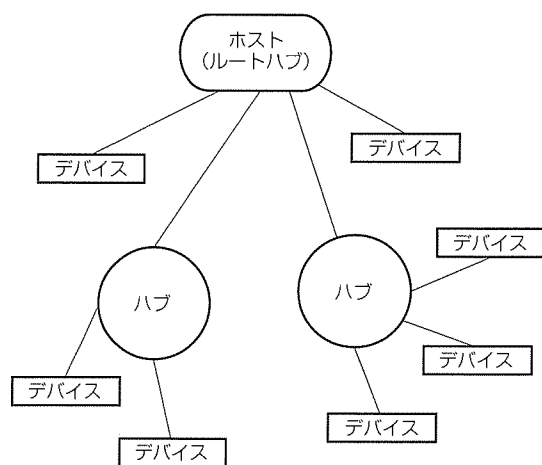


図3. USB接続形態のイメージ

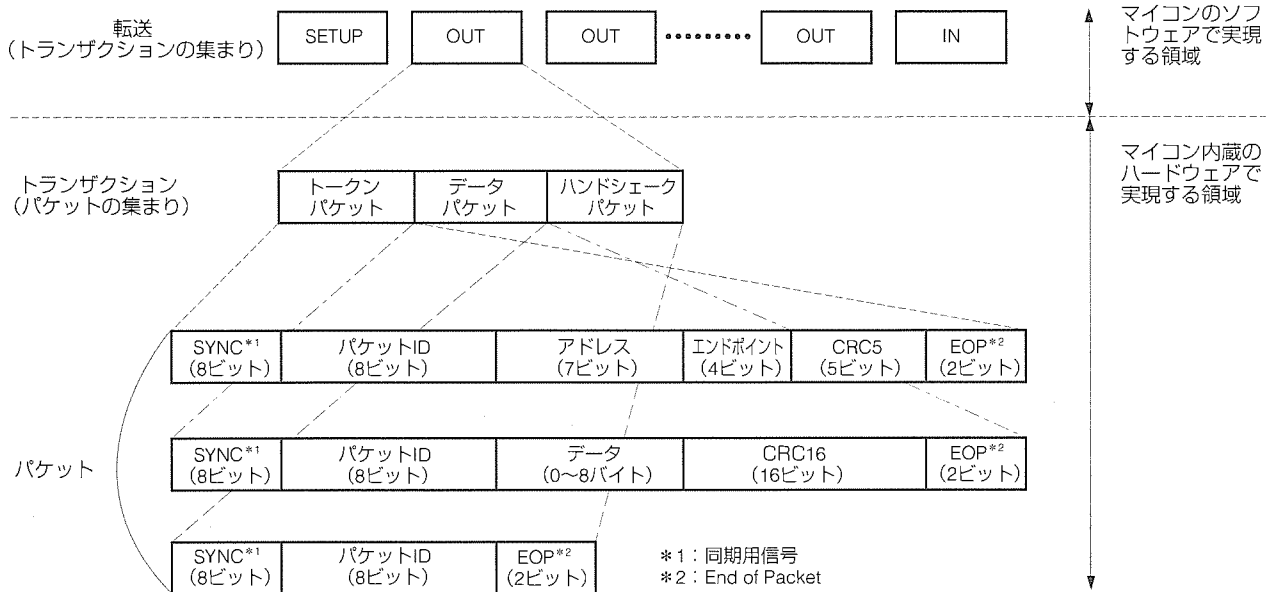


図4. USBプロトコル層のイメージ

図4にプロトコル層のイメージを示す。通信の最小単位は最下層に示した“パケット”であり、トークン、データ、及びハンドシェークの3種類がある。トークンパケットは必ずホストが発行し、これにデータパケット、ハンドシェークパケットが続いて一つのトランザクションを形成する。

トランザクションには次の3種類がある。

(1) SETUP

コントロール転送の最初に来るトランザクションで、情報の方向、規模、及び種類を指定する。

(2) IN

データがデバイスからホストへ向かうトランザクションである。

(3) OUT

データがホストからデバイスへ向かうトランザクションである。

これらのトランザクションの集まりが転送を形成する。

2.3 物理接続の仕様

図5に、実際のケーブルによる低速USBデバイスとホスト又はハブへの接続を示す。USBでは、2線式の差動信号D+とD-によって論理値を伝送する。したがって、受信側ハードウェアには差動増幅器が必要である。これにより、同相ノイズの影響を受けにくくできる。また、低速USBでは、不要ふく(幅)射を抑えるため、送信用バッファの最小スルーレートが75nsという制限がある。逆にDC出力レベルは0.3V以下のレベルが要求されており、スルー

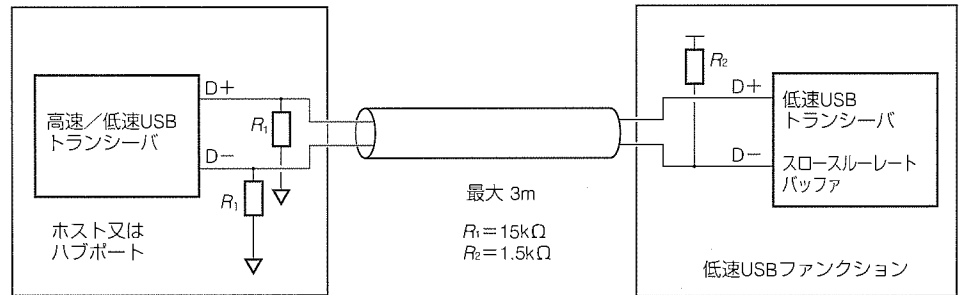


図5. 低速USBデバイスとホスト又はハブとの接続形態

レートを抑えながらDC駆動力は大きくという相反する仕様となっているため、アクティブに駆動力を変化できるバッファが必要となる。

3. 低速USB機能のマイコンへの内蔵化

この章では、要旨で述べたとおり、このマイコンの開発で用いた三つの技術について述べる。

3.1 ソフトウェアとハードウェアの切り分け

USB機能をマイコンに内蔵するに当たり、ソフトウェアとハードウェアの切り分けをどのようにするかを検討した。マイコンのソフトウェアへの負担をできるだけ抑えながらハードウェアを小規模にするために、図4の破線を境界としてソフトウェアとハードウェアを切り分けた。すなわち、トランザクションよりも下層の処理は基本的にはハードウェアで行い、転送を形成する処理をソフトウェアで行わせるようにした。ただし、データパケットについては、ハードウェアからソフトウェアへの割り込みにより、送受信バッファへの1バイト単位での読み書きをソフトで行わせるようにした。最終的に、図6に示すブロック図のとおり低速USB機能を設計した。この切り分けにより、転

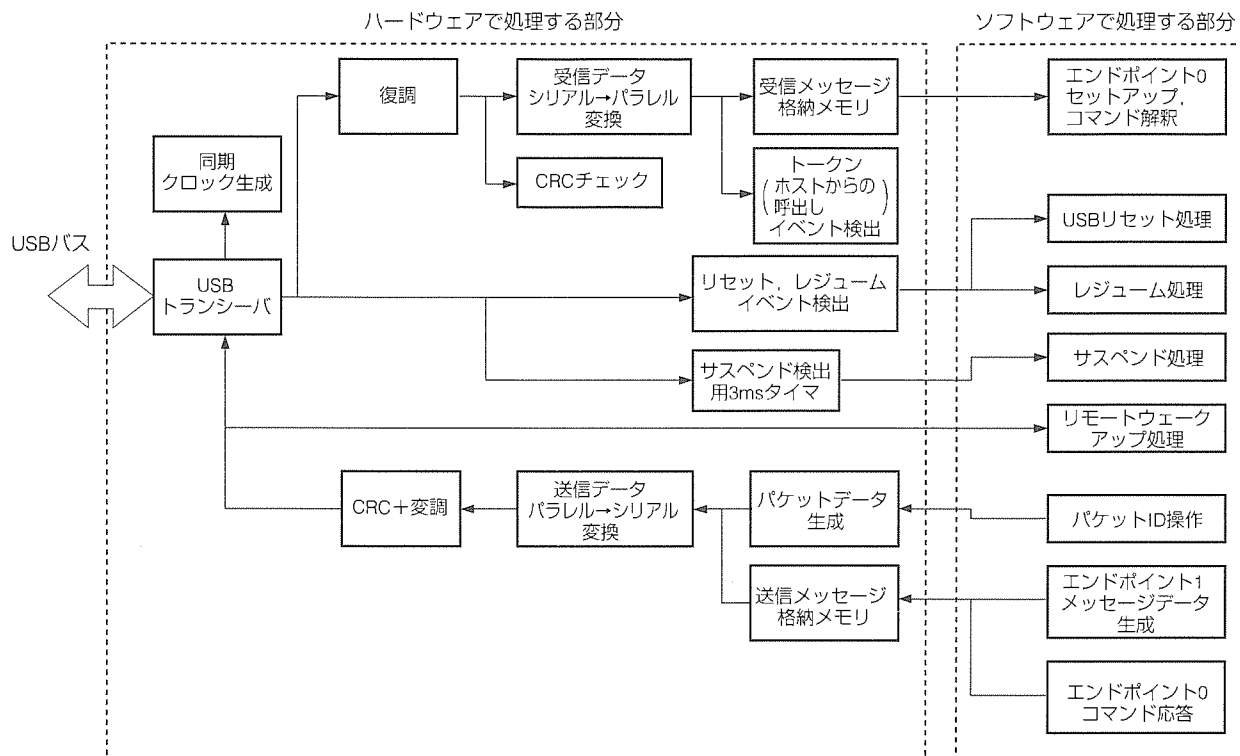


図 6. ハードウェアとソフトウェアの切り分け

送形態よりも上層のプロトコルの変更に対しては、ソフトウェアの修正によって容易に対応できる。また、パケット内のデータをソフトウェアによって汎用のRAMに転送する方式を採用したことにより、USB専用のバッファメモリを省くことができた。

3.2 動作説明

受信側では、USBバスの信号のエッジによってUSB機能全体の動作クロックにロックをかけて、周波数ずれによる信号ロストを防止する。また、バス上の信号は、NRZI (Non Return to Zero Inverted)の変調がかけられるため、受信時は復調が必要である。復調後の受信データは、CRCチェックを経てシリアルからパラレルデータに変換され、バッファへ格納される。ホストからINトークンパケットを受け取ると、以下の順序で処理される。

- ハードウェアが、ソフトウェアに対して割り込みをかける。
- ソフトウェアは、割り込み処理ルーチンで送信データを送信メッセージ用のメモリに書き込む。
- ハードウェアは、パケットID、CRCを自動生成し、データとともに送信する。

一方、OUT、SETUPトークンを受け取った場合は、次のとおり処理される。

- ハードウェアが、ソフトウェアに対して割り込みをかける。
- ソフトウェアは、割り込み処理ルーチンで受信データを1バイトごとに受け取る。必要に応じてマイコ

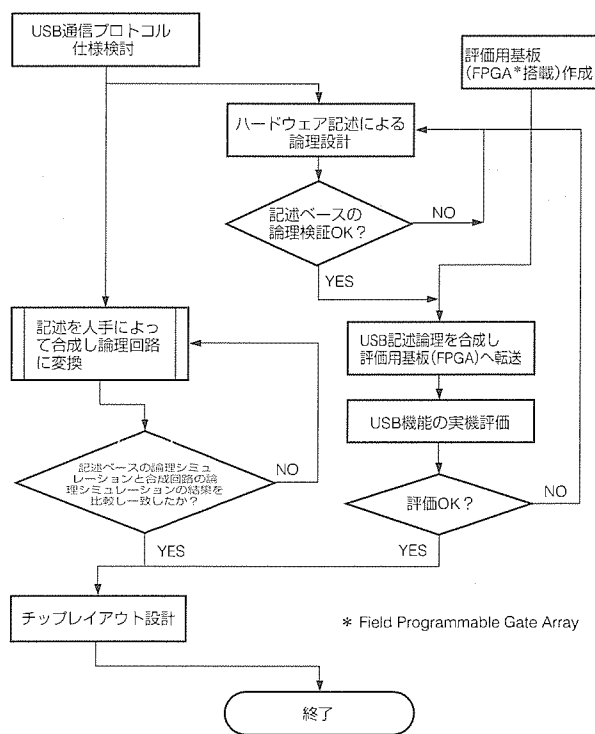


図 7. USB機能の設計フロー

ンに内蔵されるRAMに転送する。

- ハードウェアは、CRCをチェックし、異常がある場合はCRCエラーをソフトウェアに知らせる。
- また、USBでは、バス上の特殊信号によって直接デバイスをコントロールする次の3種類の方法がある。

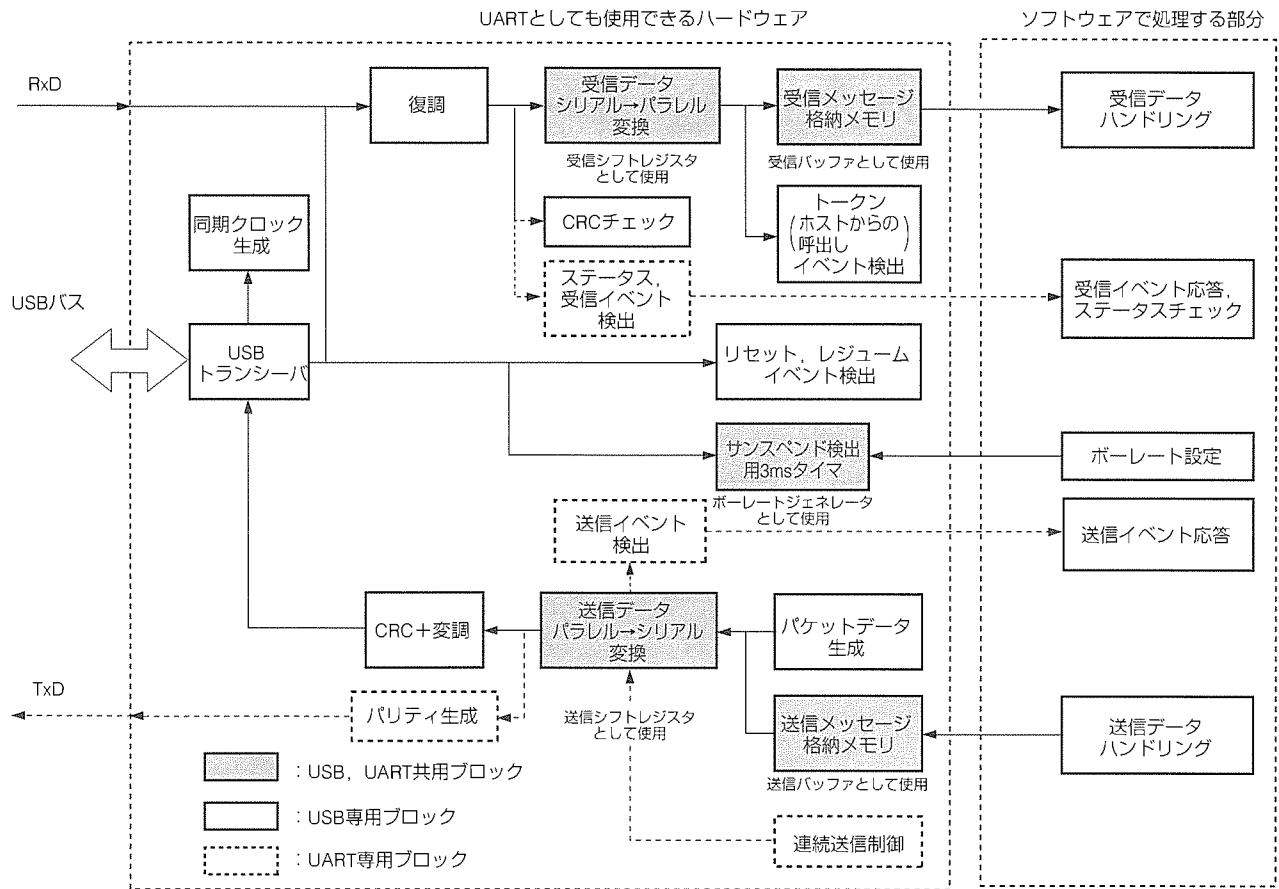


図 8. USB機能, UART機能, 簡易PWM機能を共有化したハードウェア

- 強制リセット(デバイスを初期化する。)
- サスペンド(低消費電力モード)
- レジューム(サスペンドからの復帰)

M37530M4では、この特殊信号を外部イベントとして検出し、ソフトウェアに対して割り込みを発生することで、必要な処理をフレキシブルに行えるようにした。

3.3 低速USB機能の設計手法

M37530M4に内蔵した低速USB機能の設計手順を述べる。図7に

設計フローを示す。USB部分の設計をまず機能記述言語で記述し、マイコンとは独立した外部回路上(FPGA)に形成し、検証用基板を作成した。これにより、論理検証と実機評価を徹底して行った。また、パソコンメーカーと周辺機器メーカーが集まって、定期的で開催されるUSBプラグフェスタに参加し、多数のパソコンとの接続実験による検証も行った。この検証で分かった不具合を機能記述上にフィードバックすることにより、上流の論理設計段階で確度の高い回路を設計できた。

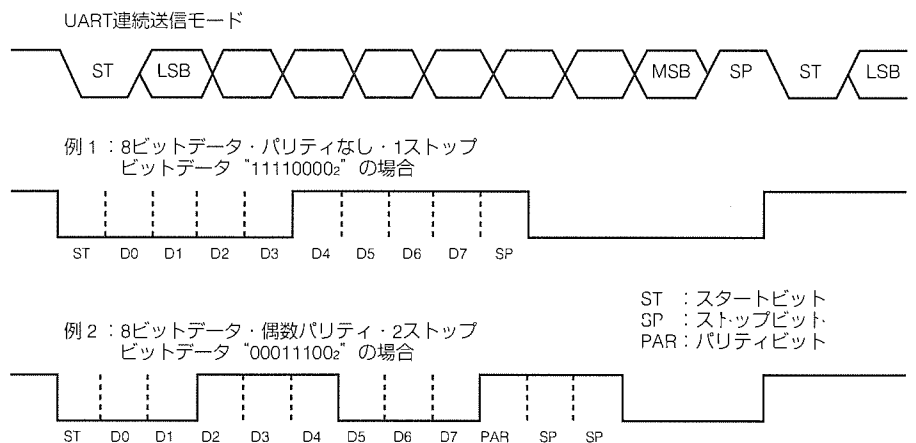


図 9. UART連続送信モードによる簡易PWM出力

これと並行して、前述の機能記述を論理合成し、M37530M4に組み込むための論理回路を生成した。もちろん、前記の検証によるフィードバックは、この論理回路に対してもかけられる。実際の論理回路の生成においては、モジュール単位で記述ベースのタイミングまで合わせ込みをし、論理検証をすることで変換ミスを防止した。

また、チップレイアウト設計において我々が選択した方法は、人手による設計である。これは、レイアウト自動生成に比べてレイアウトサイズを小さく抑え、低消費電力を

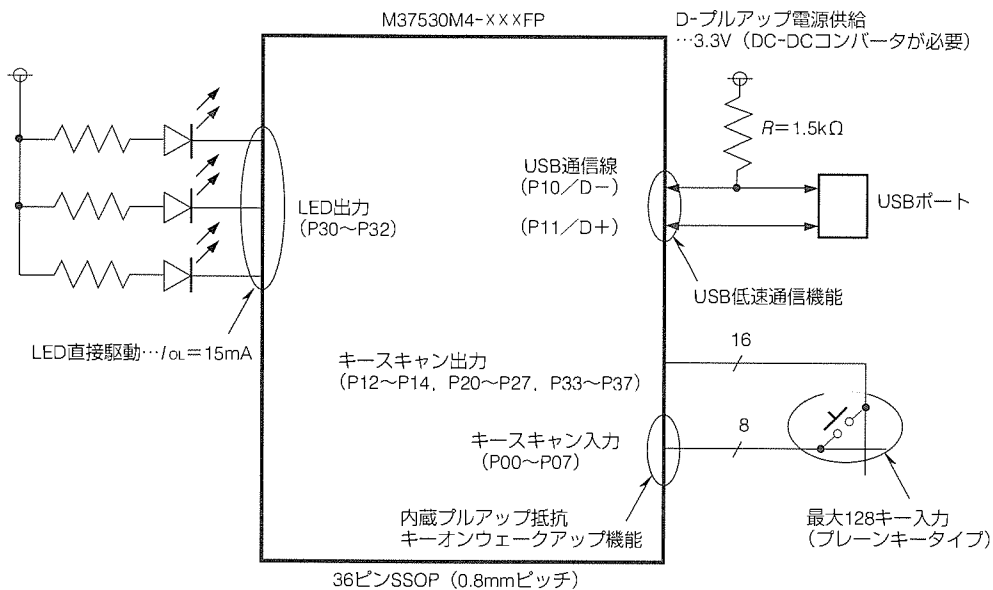


図10. M37530M4を使用したUSBキーボード応用例

ねらったためである。この結果、セルサイズは、1世代進んだ製造プロセスで自動生成した場合を仮定しても、同等のサイズに収まった。また、消費電流も従来型の8ビットマイコンと同等以下に抑えることができ、電源電圧5V、クロック周波数6MHz動作時5mAを実現した。

3.4 通信機能としての汎用性

低速USB機能のハードウェアの一部を共用することで、他の通信機能としても使用できるようにし、USB以外の用途でも有効活用できるマイコンを目指した。図8に、USB機能、UART機能、簡易PWM機能を共用化したハードウェアのブロック図を示す。図において、網掛けのブロックはUSB機能とUART機能で共用するブロックで、全体の1/2以上の回路を共用でき、汎用性のある通信機能とすることができた。また、UART機能の拡張機能として、一度セットした送信データを連続して送信し続ける連続送信モードを持たせることにより、送信端子TxDを簡易PWM出力として使用できるようにした。図9に連続送信モードによる簡易PWM出力の波形を示す。

4. USBキーボードへの応用

M37530M4は、USB機能以外にも、入力デバイスであるキーボードやマウスに適した機能を持っている。図10にM37530M4のUSBキーボードへの応用例を示す。キースキャンに必要なキーオンウェークアップ機能(スリープ状態にあるマイコンをキー入力によって通常動作に復帰させる

機能。)や、キーマトリックスのスキャン入力側に必要なプルアップ抵抗を内蔵している。LEDによるステータス表示にも対応できるように、LEDを直接駆動できるポートも備えている。また、マイコンのUSB機能の端子とパソコン又はハブとは、特別なトランシーバ回路が不要で、直接接続できる。

5. むすび

以上、低速USBの概要とM37530M4への内蔵化技術について述べた。コストアップを最小限に抑えてマイコンの他の機能をシェーブアップし、これに低速USB/UART機能を内蔵することで、いろいろな通信のニーズに対応できる8ビットマイコンを開発した。

今後は、入力デバイスだけでなく、複数のデバイスが融合したデバイス(例えば、キーボードとマウスのハイブリッド)に対応できるUSB機能を強化したマイコンを開発していく所存である。

参考文献

- (1) Compaq Computer Corporation, Digital Equipment Corporation, IBM PC Company, Intel Corporation, Microsoft Corporation, NEC, Northern Telecom: Universal Serial Bus Specification Version 1.0, USB Implementers Forum (1996)

1Hディレイライン内蔵 カラーテレビ用1チップLSI

出田 洋*

要旨

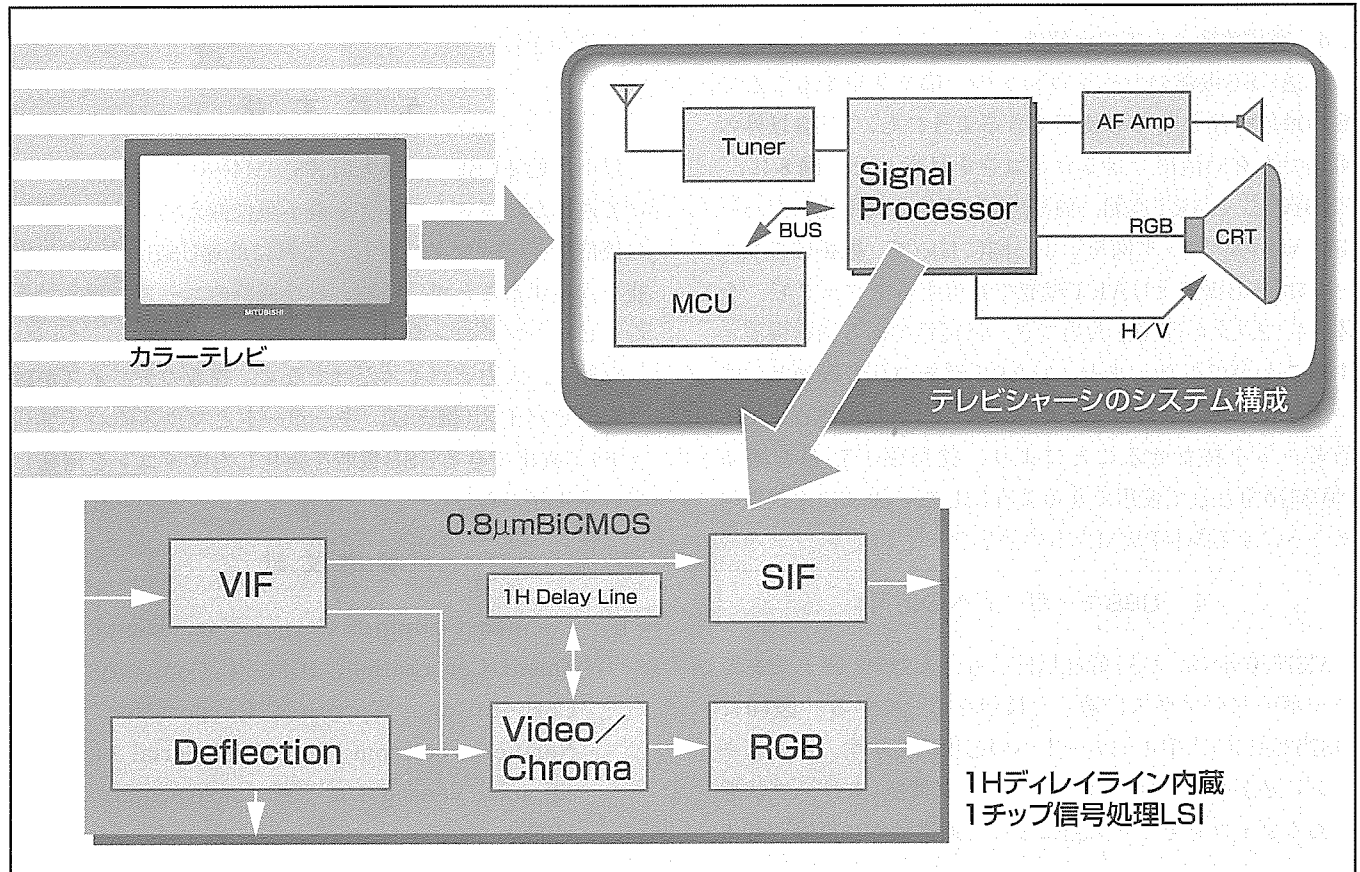
既存のテレビ受像機に対する需要は依然大きく、全世界で年間1億台以上が生産されている。近年、テレビ受像機の価格低下が激しく、テレビシャーシの合理化が強く求められている。

テレビシャーシの電気回路における中核部分である信号処理部では、通常“1チップ信号処理LSI”がそのほとんどの処理を行っている。すなわち、チューナーで受信したTV放送信号の中間周波増幅、検波、音声信号処理やベースバンドの輝度信号・色信号・偏向信号の処理回路を内蔵し、CRTを駆動するRGB信号や水平・垂直ドライブ信号を出力するテレビの心臓部である。テレビシャーシの合理化要求に対し、1チップ信号処理LSIでは、周辺回路や周

辺部品の取り込みを進めている。

今回、ローコスト0.8 μ mBiCMOSプロセスを使用し、PAL/SECAM方式で必要となる1Hディレイラインを集積化した“PAL/NTSC方式カラーテレビ用信号処理LSI”を開発したので詳細を述べる。ローコストを実現するために、BiCMOSプロセスの写真製版の回数を極力少なくした。ディレイラインにはCMOSアナログ回路を適用した。LSIの制御はすべてバスコントロールで行うようにした。このLSIを使用することによってテレビセットの合理化を実現する。

今後は、更に周辺部品や調整箇所を削減したLSIの開発を進めていく。



1Hディレイライン内蔵1チップ信号処理LSIのシステム構成

カラーテレビでは、信号処理のほとんどを1チップ信号処理LSIで行っている。テレビセットの合理化を進めていく上で、この1チップ信号処理LSIの合理化が欠かせない。ローコスト0.8 μ mBiCMOSプロセスを使用した1Hディレイライン内蔵1チップ信号処理LSIによってテレビの合理化を実現する。

1. ま え が き

テレビの信号処理部はLSIの1チップ化が進み、従来外付けされていたディレイラインやフィルタをLSI内に集積化するようになってきた。普及機クラスのテレビでは、チューナーパック、1チップ信号処理LSI、音声パワーアンプ、垂直偏向ドライブICですべての信号処理をしている。このたび、PAL/SECAM方式の信号処理に必要な1HディレイラインをCMOSアナログ技術を用いて集積化した0.8 μ mBiCMOS 1チップ信号処理LSIを開発した。

2. 0.8 μ mBiCMOS技術

テレビに代表される民生機器では、使用するデバイスに対するコストダウンの要求は年々強くなっている。一般的にBiCMOSプロセスは、バイポーラとMOSの両方の構造を作り込むため、製造工程が複雑で長くなり、コストダウンが困難であった。今回、民生機器用のデバイスに適した0.8 μ mローコストBiCMOSプロセスを開発し、テレビ用1チップ信号処理LSIに適用した。

このプロセスの主な特長は次のとおりである。

- (1) バイポーラ素子とMOS素子を作り込む上で共通の工程を見直し、写真製版の回数の最適化を図った。
- (2) MOS部は、既存の0.8 μ mCMOSと同一の構造とし、既存のセルライブラリを利用できるようにした。
- (3) バイポーラ部の耐圧(BV_{ceo})を12V以上とし、電源電圧9V系で使用できるようにした。

- (4) アナログ回路に必ず(須)のPNPトランジスタと高密度容量素子を内蔵した。
- (5) 構造：1ポリ-2Al
- (6) 主要寸法： $L_n=L_p=0.8\mu\text{m}$

$$\text{NPN SE}=0.8\mu\text{m}\times 2.0\mu\text{m}$$

表1に0.8 μ mBiCMOSの主要素子特性を示す。

3. システム構成

1Hディレイライン内蔵PAL/NTSC方式カラーテレビ用信号処理LSIとして、M52770SP、M52771SPの2品種を開発した。

図1にこれらのICのブロック図を示し、以下に各部の特長を述べる。

(1) 中間周波部・音声部

映像中間周波(VIF)部は、AFTコイルレスのPLL検波方式を採用した。音声キャリアは、M52771SPではインタキャリア方式で、M52770SPではスプリットキャリア方式も可能なように設計した。

表1. 0.8 μ m BiCMOSの主要素子特性

	NPN	PNP	MOS
h_{FE}	100	150	—
BV_{ceo}	14V	14V	—
f_t	6 GHz	120MHz	
V_{th}	—	—	0.75V
抵抗	拡散抵抗, 1.3k Ω /シート		
容量	MOS容量, 1.8fF/ μm^2		

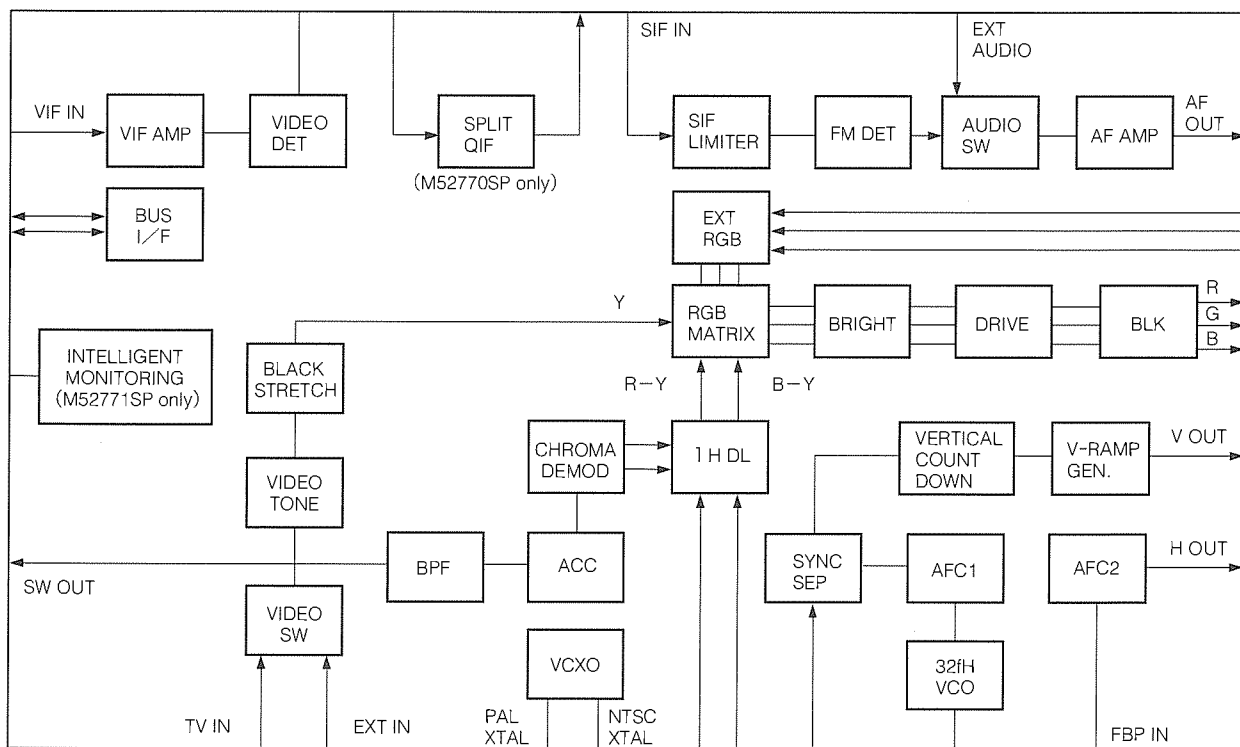


図1. M52770SP/M52771SPのブロック図

音声検波はPLL復調を採用し、様々な音声中間周波数に無調整で対応できる。

(2) Y/C処理部

TV/EXT切換え用のビデオスイッチを内蔵し、Y/Cセパレート入力にも対応できるようにした(M52770SPではY/C独立入力対応)。また、画面にめりはりを付ける黒伸長回路を内蔵した。1Hディレイラインを始めクロマBPFやトラップなどのフィルタ類を内蔵した。外部アナログRGB入力を備え、OSD(On Screen Display)やテキスト画面などに対応できるようにした。

また、自動システム判別回路を内蔵し、NTSC/PAL/SECAMの各色信号方式や垂直同期周波数を自動で判別できるようにした。

さらに、M52770SPではスポットキラー回路を内蔵し、電源OFF時のブラウン管上での電子ビームスポットを速やかに消すようにした。

(3) 偏向処理部

水平同期信号処理には二重AFC(Automatic Frequency Control)ループ回路を、垂直同期信号処理にはカウントダウン方式を採用した。垂直ののこぎり波発生回路を内蔵し、垂直同期周波数に応じてのこぎり波を自動切換えできるようにした。

また、同期検出回路を内蔵し、入力信号の有無を検出できるようにした。

(4) バス制御部

LSIの動作モードや内蔵している調整回路の設定などはすべてI²Cバスで制御する。調整回路は、最大9ビットのDAC(Digital-to-Analog Converter)を内蔵している。また、カラー方式の判別結果などはバスで読み出すことができる。

さらに、M52771SPでは、LSIの端子状態をマイコンのA/Dポートで確認できる“インテリジェントモニタリング”機能を内蔵した。この機能を利用することにより、テレビセットのフィーチャアップを図ることが可能になる。

4. 1Hアナログ遅延回路

PAL方式の色信号処理では、放送の伝送系での位相ひずみを補正するために2水平走査線の色信号を合成する。また、SECAM方式では、2水平走査ごとに色信号が伝送されている。いずれの場合も信号処理としては色信号を1水平走査期間(約64μs=1H)保持し、最新の信号と合成するという手法が用いられる。この1Hの信号保持にディレイラインが使われている。今回は、CMOSアナログ回路を用いた1Hアナログディレイラインを1チップ信号処理LSIに内蔵した。

図2に、内蔵した1Hアナログディレイラインの回路構成

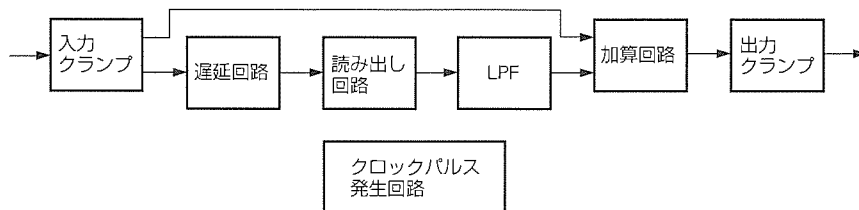


図2. 1Hディレイラインの回路構成

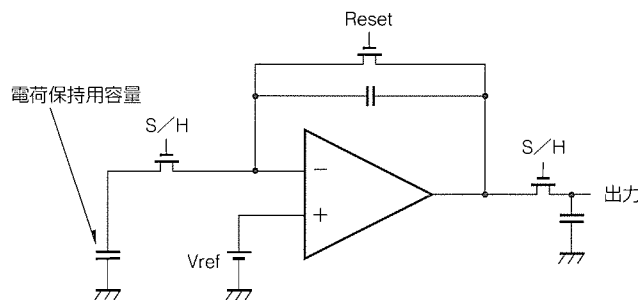


図3. 読み出し回路の原理

成を示す。テレビの色信号処理では、復調された色差信号(R-Y, B-Y)ごとにディレイラインが必要となるので、同じ回路を2回路内蔵している。入力された色差信号は、クランプ回路でペダスタルの電位をそろえ、遅延回路へ送られる。遅延回路では入力されたアナログ信号をそのままアナログ情報として保持し、一定時間(約64μs)の後、読み出し回路で読み出される。この信号はLPF(Low Pass Filter)で波形整形された後、遅延前の信号と合成され、出力クランプ回路を経て次段に出力される。クロックパルス発生回路では、遅延回路等で使われるクロック信号やクランプ用のパルス信号を作成する。

入力された信号は、3MHzのクロックによってサンプリングされ、アナログ電圧のまま電荷保持用容量でホールドされる。1水平周期(約64μs=1H)分の信号を保持するために、192段のサンプルホールド回路で遅延回路を構成している。ホールドされた電荷は、必要な時間が経過した後に、読み出し回路で遅延信号となって出力される。

図3に読み出し回路の原理を示す。電荷保持用容量にホールドされた電荷をOPアンプ(Operational Amplifier:演算増幅器)の帰還容量で受け、出力側のサンプルホールド容量に転送する。ホールドされた電荷を受ける帰還容量は、各クロックごとに電荷を受ける直前に放電され、リセットされる。小さな電荷保持容量でS/N良く信号を遅延させるためには、読み出し回路のインピーダンスを高くする必要がある。そのため、ディレイライン回路にはCMOSアナログ回路を採用した。

5. バス制御

近年の電子機器は、部品点数の削減と無調整化で製造コ

表 2. バスコントロールの主要項目

ブロック	制御項目 (ビット数)
VIF/SIF	VCO adj(8), RF AGC delay(7) Video out gain(3), SIF mode(4.5/6) Audio switch, *Audio out gain(7)
Y/C	Video tone(6), Contrast(7) Y/C timing(3), Video switch Tint(7), Color(7), Black stretch Color system(auto/forced) Trap set(4), Video mute *ACL/ABCL switch *Composite/YC switch
RGB出力	Brightness(8), Drive(R/B)(7) Cut-off(R/G/B)(9 or*8) Blue-back *White-back
偏向	H-center(4) V-size(7), V-position(3) AFC gain, H fo, H stop
読み出し	System Ident (50/60, PAL/NTSC/SECAM, 4.43/3.58) AFT(2), *Station det
*Intelligent Monitoring	AFT, RF AGC, Video SW output EXT audio input, SIF det output R/G/B output, ACL, SCP Power supply pins

注 * M52771SPのみで制御可能

ストの低減を図っている。テレビセットについてもLSIの集積化が進み、周辺部品点数や調整箇所が削減が進んでいる。また、工場での調整(ブラウン管のばらつき補正やチューナーとのマッチングなど)やユーザーコントロールに関しては、マイコンからバスラインを介して電子的に制御するバスコントロールが主流になっている。

表 2 に、M52770SP/M52771SPで採用したバスコントロールの主な項目と制御内容等を示す。

6. 製品概要

M52770SPは、普及機から中高級機までのテレビ用に設計されている。ステレオ音声や音声多重の品位を向上するために、中間周波段にPLL(Phase Lock Loop)スプリット方式を採用した。映像・音声のTV/EXT切替スイッチのほかに、独立したY/Cセパレート入力端子を内蔵した。さらに、スポットキラーやX線保護端子を内蔵した。

M52771SPは、主として普及機テレビ用に設計されたもので、M52770SPの基本機能をそのまま小型パッケージ(52ピンSDIP)に実装したものである。

表 3 に各LSIの製品概要を示し、図 4 にM52770SPのチ

表 3. M52770SP/M52771SPの製品概要

型名	M52770SP	M52771SP
機能	PAL/NTSC方式カラーテレビ用 1チップ信号処理LSI	
プロセス	0.8 μ m BiCMOS	
外形	64ピンSDIP	52ピンSDIP
電源	5.0V, 9.0V	
消費電力	1.000mW	

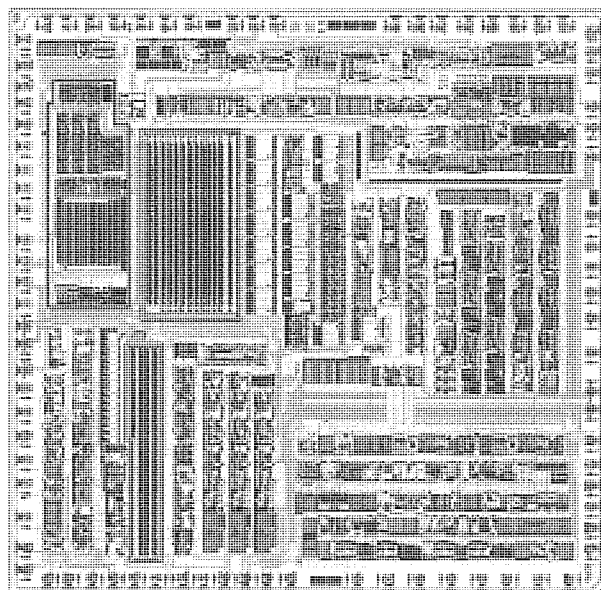


図 4. M52770SPのチップ写真

ップ写真を示す。

7. むすび

以上述べたように、ローコストの0.8 μ mBiCMOSプロセスを用いて、1Hディレイライン内蔵のPAL/NTSC方式カラーテレビ用1チップ信号処理LSIを2品種開発した。これらのLSIを使用することによって、テレビセットの部品点数や調整箇所を削減することができ、合理化を実現できる。

今後は、更に周辺部品を削減し、テレビセットのより一層の合理化を可能とするLSIを開発していく所存である。

参考文献

- (1) 奥野和彦, 菊地和行: I²CバスコントロールマルチスタンダードTV用LSI, 三菱電機技報, 69, No.3, 271~274 (1995)

米国DTV用ディスプレイプロセッサ

細谷史郎* 林 直樹**
 矢沢弥巨* 篠原 隆**
 須川 聡*

要 旨

三菱電機は米国DTV(Digital TV)用ディスプレイプロセッサを開発したので、その詳細を紹介する。

DTVでは、18の映像フォーマットが存在するため、フォーマット変換が不可欠となる。この変換はフィルタで実現されるが、

- フォーマットの種類が18と多いこと
- HDTV規格のため変換時の画質劣化を最小に抑える必要があること

により、5種類10個、総タップ数172という大規模なフィルタの内蔵が要求された。

この問題はCSD(Canonical Signed Digit)等、従来の回路削減方法に加え、

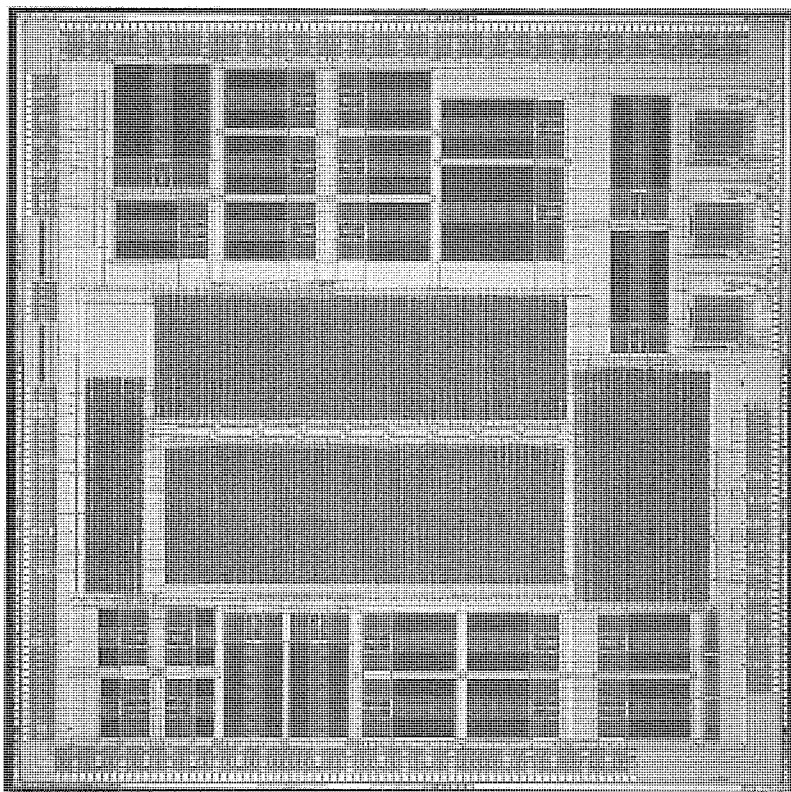
- 共通因数くり出し法
- ハードウェアの共有化

を新たに導入することで解決された。ハードの共有化はフォーマット変換フィルタの特徴、すなわち、

- 常に特定のフォーマット変換しか行わないので、複数のフィルタが同時には動作しないこと
- 複数のサブフィルタで構成され、そのサブフィルタも複数と同時に動作することはないこと

を利用して行われた。これらすべての技術を適用すると回路が極めて複雑となるが、この問題は、最適解抽出機能を持つフィルタ自動生成プログラムの開発で対応した。このプログラムを用いれば、例えば約10分で、従来と比較して回路規模1/4のフィルタを生成できる。

この結果、ブロックスタ変換を含むピクチャレート変換処理、3種類のスキャンフォーマット変換処理、色内挿、輪郭強調、逆マトリックス変換、3チャンネルのDACを内蔵したDTV用ディスプレイプロセッサを1チップで実現した。プロセスは0.5 μ m CMOS 2層メタル、チップサイズ14.9mm \times 14.9mmの中に190万トランジスタが集積された。



ディスプレイプロセッサ

映像フォーマット用変換用に総タップ数172、内部演算語長12~15ビットのFIR(Finite Impulse Response)フィルタを内蔵する。集積トランジスタ数190万個、内蔵メモリ容量284Kビット、0.5 μ m CMOS 2層メタルプロセスで開発され、チップ面積は14.9mm \times 14.9mmである。

1. ま え が き

DTVは、1998年10月に米国10大都市で放送が開始される予定の米国期待の次世代地上波デジタルTVである。TV、コンピュータなど多メディア間の互換性を重視した規格であるため将来家電の中核的商品として期待される一方、複数の映像フォーマットが存在するためフォーマット変換によるコスト増と画質劣化が一つの課題として挙げられる。

当社では米国Lucent Technologies社と共同でDTV用チップセットの開発を行っているが⁽¹⁾⁽²⁾、この中ですべてのフォーマット変換はディスプレイプロセッサで行われる。ディスプレイプロセッサは、Advanced Television Systems Committee(ATSC)が推奨する18フォーマット⁽³⁾すべてに対応し、フォーマット変換によって特定のHDTV(High Definition TV)モニタへの映像出力を行う。このようなフォーマット変換にはフォーマットに応じた多数のフィルタが必要となるばかりでなく、画質維持のために各フィルタのタップ数、演算精度も過去に類を見ない大きな値となる。フォーマット変換フィルタをいかに小面積で実現するかがDTVにおけるフォーマット変換LSIの大きな課題となる。

ディスプレイプロセッサでは、この問題を解消するため、

- コンピュータによる網羅的計算によってハードウェア共有フィルタの最適構成を抽出するフィルタ自動生成プログラム⁽⁴⁾
- 微小電圧を差動センスする小面積高速FIFO(First-In First-Out)メモリ⁽⁵⁾⁽⁶⁾
- 複雑な制御を簡単なハードウェアで実現するウェットベース制御方式⁽⁶⁾

という三つのコア技術を新たに開発し、1チップ化に成功した。

このうち、本稿では、フィルタ自動生成プログラムがディスプレイプロセッサ開発に及ぼした効果の詳細を述べる。

2. フィルタ自動生成プログラム

2.1 開発の背景と概要

フィルタは巡回型と非巡回型に大別されるが、高速信号処理を要求される映像信号処理の分野では、通常、非巡回型のFIRフィルタが使用される。FIRフィルタを使用する場合、係数乗算をどう構成するかが問題となり、通常、固定係数を用いるならシフト加算、係数ロード型を選択するなら乗算器が使用される。シフト加算型は係数の変更ができないという制約があるものの、乗算器に比べて圧倒的に素子数が少ないという利点がある。

一方、フォーマット変換フィルタという観点で考えた場合、必要となるフィルタは、補間フィルタか間引きフィル

タのいずれか、又はその組合せで構成される。このような補間/間引きフィルタは複数のサブフィルタを内蔵し、かついかなる場合でもどれか一つのサブフィルタしか動作しないという特徴がある。さらに、DTVのフォーマット変換を考えた場合、入出力フォーマットに対応した様々なフィルタが必要となるが、この場合も常に動作するのはそのうちの一つのフィルタである。すなわち、DTVでは多数のフォーマット変換フィルタが必要となるが、実際には多数存在するサブフィルタの一個分しか同時動作しないということが大きな特徴として挙げられる。

この観点に立った場合、毎回係数を切り換えられる乗算器型の方がハードウェアを共有化できる分だけ有利に思える。しかしシフト加算型を採用した場合でも、ハードウェア共有によってターゲットフィルタすべてを一つのサブフィルタレベルまで小さくできさえすれば、やはりシフト加算型係数乗算の方が小さい面積での実現が可能となる。しかし一方では、シフト加算型フィルタのハードウェア共有は組合せの数が膨大過ぎて効果的に共有化するのは困難なばかりか、設計工期が極めて長期化するという問題がある。

フィルタ自動生成プログラムは、この問題を解決するために開発された。3万行のC言語で記述され、生成したいフィルタのすべての伝達関数を入力すれば、ハードウェア共有後の最適フィルタ演算回路を出力する。出力される回路は、固定係数シフト加算型のFIRフィルタ演算部によって論理合成可能なRTL記述となって出力される。このプログラムは、単にハードウェアを共有化するだけでなく、次節に示す複数の素子数削減技術を駆使して回路の最小化を行う。

2.2 素子数削減技術

フィルタ自動生成プログラムは、各サブフィルタに対して、まずCSD⁽⁸⁾、Bit Plane Structure⁽⁷⁾、共通因数くり出し法という3種類の素子数削減技術を適用し、最後に、サブフィルタ間のハードウェア共有化を実行する。この節では、今回新たに開発した共通因数くり出し法とハードウェア共有化技術についてのみ詳述する。

2.2.1 共通因数くり出し法

共通因数くり出し法とは、与えられた伝達関数式から共通因数をくり出し、共通因数部分の計算を先に実行することで、素子数の削減を図ろうとする方法である。

例えば、式(1)に示される伝達関数を従来の方法で構成すると図1(a)の構成となる。

$$\begin{aligned}
 Y &= (5/32)X_0 + (11/32)X_1 + (13/32)X_2 + (3/32)X_3 \\
 &= (1/32 + 1/8)X_0 + (1/32 + 1/16 + 1/4)X_1 \\
 &\quad + (1/32 + 1/8 + 1/4)X_2 + (1/32 + 1/16)X_3 \\
 &\quad \dots\dots\dots (1)
 \end{aligned}$$

これに対し、式(1)を因数を用いて変形すると式(2)が得られ、フィルタは図1(b)の構成を取り得ることが分か

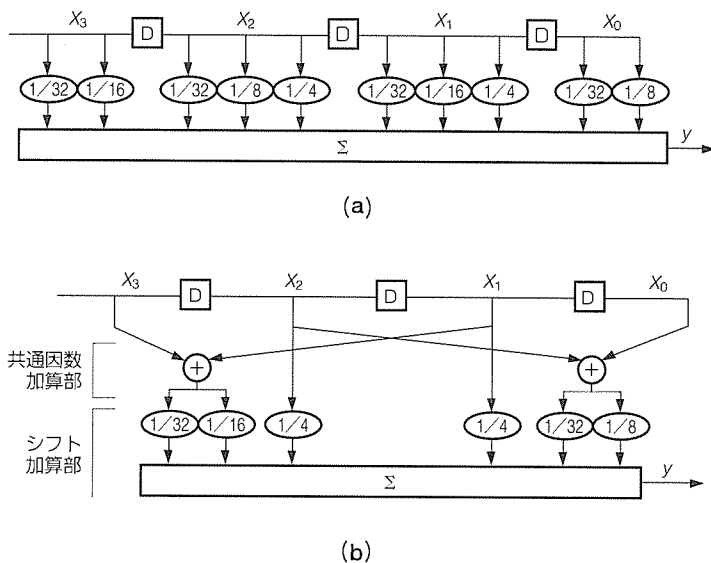
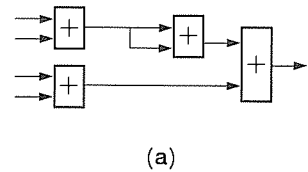
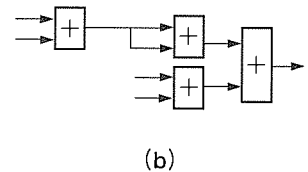


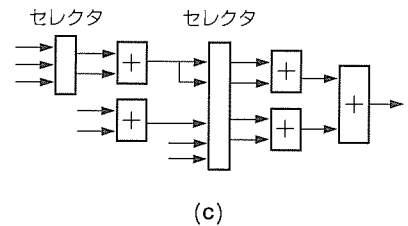
図1. 共通因数くくり出し法



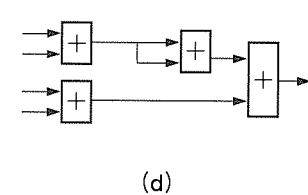
(a)



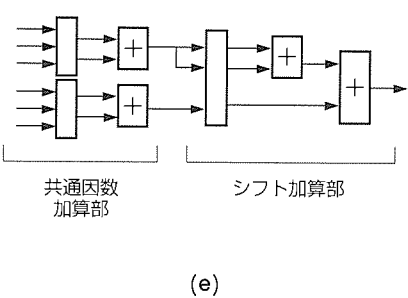
(b)



(c)



(d)



(e)

図3. ハードウェア共有化の例(2)

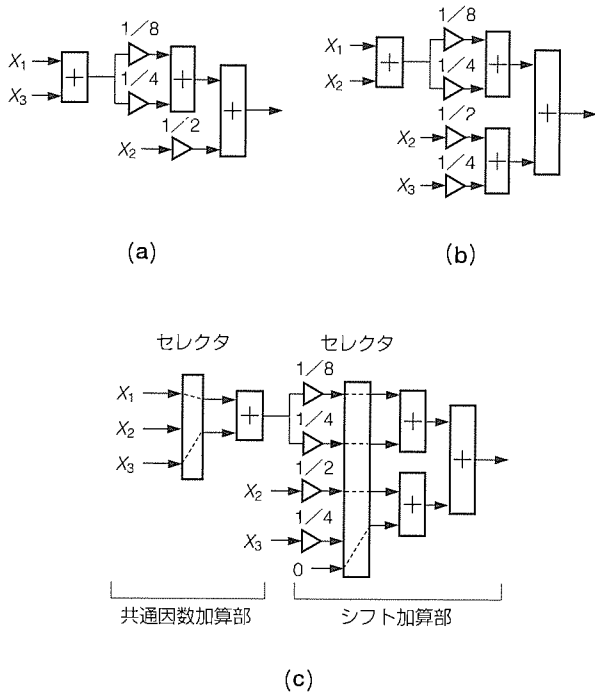


図2. ハードウェア共有化の例(1)

る。

$$Y = (1/32 + 1/8)(X_0 + X_2) + (1/32 + 1/16)(X_1 + X_3) + (1/4)X_1 + (1/4)X_2 \dots (2)$$

この例の場合、2入力加算器のみを使用すると仮定した場合、図(a)が9個の加算器を必要とするのに対して、図(b)は7個の加算器で実現可能となる。この場合、共通くくり出し法により、22%の加算器が削減されることになる。

このように、共通因数くくり出し法では、伝達関数に含まれる共通因数の数に比例して加算器の数が減少する。また図(b)の構成から明らかなように、この方法の採用により、フィルタの構成はシフト加算型ではなく、加算-シフト-加算型になる。

2.2.2 ハードウェア共有化

フィルタ自動生成プログラムで実現されるハードウェア共有化とは、各サブフィルタ間で構成上同一のものは共有し、それ以外の部分はセレクタで構成を切り換えられるようにするものである。図2にその例を示す。

同図(a)及び(b)は、共有化したい各々のサブフィルタの構成を示す。これらサブフィルタは既にCSD, Bit Plane Structure, 共通因数くくり出しを実行された後のものなので、いずれも加算-シフト-加算の構成を持つ。図(c)はこれらサブフィルタを共有化した構成である。同図に示すように、共有化されたフィルタは加算器の手前にセレクタが置かれ、加算器へのパスが切り換えられる構成となっている。これにより、素子数の多い方のサブフィルタ(ここでは図(b))に比べて加算器の数を増加させることなく、共有化されたフィルタが生成できることが分かる。

図3に他のハードウェア共有化例を示す。図(a), (b)

がCSD, Bit Plane Structure, 共通因数くくり出し法の適用によって得られた構成だと仮定する。この場合, 単純に共有化を実行すると図(c)に示す回路が得られ, サブフィルタ個々に対して加算器の個数が1個増加する。しかしながら, 図(b)の構成を先に図(b)に変形してから共有化を実行するようすれば, 図(e)が得られ, 加算器の個数増加を防ぐことができる。

以上, 簡単な例で共有化技術の概念を述べたが, これらの例から, 共有化した場合の素子削減効果は, 共有化したサブフィルタ間の構成の類似度に大きく依存することが分かる。したがって, フィルタ自動生成プログラムでは最初にサブフィルタ個別に素子数削減解を計算するが, ここでは複数の候補が出力される。ハードウェアの共有化はこれらサブフィルタごとに出力される複数の候補をすべての組合せに対してほぼ網羅的に計算を行い, 最終的に最も素子数合計が少なくなる構成をRTL記述で出力する。素子数計算には加算器とセレクタ, ラッチの数を基準とする。

2.3 効果

表1に, 一つの輝度信号処理用フォーマット変換ブロックにCSDとBit Plane Structureの両方を適用した場合のゲート規模を示す。この機能ブロックでは $\times 3/2H^*$, $\times 4/3V^*$, $\times 2/3V$ フィルタという3種類のFIRフィルタが混在し, 合計9個のサブフィルタが存在する。各サブフィルタに対してCSDとBit Plane Structureの両方を実行した場合のゲート数は17.7kとなるが, このブロックに今回開発したフィルタ自動生成プログラムを適用すると, 2.9kゲートという結果が得られる。プログラム実行時間は約10分で, 従来と比べて約1/6にゲート数が削減されたRTL記述を得ることができる。

表2は, ディスプレイプロセッサで使用されているすべてのフォーマット変換フィルタに対して, 同様の見積りを行ったものである。フィルタ自動生成プログラムを実行することで最終

* $\times 3/2H$ は画素を3/2倍する水平フィルタ, $\times 4/3V$ は走査線数を4/3倍する垂直フィルタ

表1. フォーマット変換ブロックのゲート数

フィルタ	サブフィルタ	ゲート数
$\times 3/2H$	サブフィルタ1	2,656.20
	サブフィルタ2	1,206.70
	サブフィルタ3	1,247.70
$\times 4/3V$	サブフィルタ1	2,111.90
	サブフィルタ2	1,320.70
	サブフィルタ3	663.30
	サブフィルタ4	1,320.50
$\times 2/3V$	サブフィルタ1	1,320.50
	サブフィルタ2	4,938.30
合計		17,737.20

的に得られたゲート数は約13kなので, 従来方法の約1/4に縮小できたことが分かる。

3. ディスプレイプロセッサ

3.1 概要

ディスプレイプロセッサは, 三菱-Lucentチップセットのうち, MPEG2ビデオデコーダ(MP@HL)⁽⁹⁾の出力を受けてディスプレイモニタに表示するまでに必要な信号処理を行うLSIである。具体的には, ATSCで推奨されている18フォーマット(表3)のいずれが入力されても, $1,920 \times 1,080$ インタレース又は $1,280 \times 720$ プログレッシブに変換し(ただし, SDTV入力の場合はNTSCモニタに対応した出力となる。), 輪郭強調や逆マトリクス変換に代表される各種ディスプレイ処理を行った後, RGBアナログ信号として出力する。動作クロックレートや同期信号出力タイミングもフォーマットに応じて変化するが, すべて基本的に自動生成する。

3.2 構成と動作

表2. 全フォーマット変換フィルタ

フィルタ	必要数	総タップ数	ビット精度	総ゲート数
$\times 2/3H$	3	69	15	18.6k
$\times 3/2H$	2	26	13~15	10.2k
$\times 3/4V$	2	34	13~15	9.0k
$\times 4/3V$	2	34	12~14	10.8k
$\times 2/3V$	1	9	15	6.3k
合計	10	172	12~15	54.9k

表3. ATSC推奨フォーマット

ライン数	水平画素数	アスペクト比	フレーム/フィールドレート
1,080	1,920	16:9	60I / 30P
720	1,280	16:9	60P / 30P
480	704	16:9 4:3	60I / 30P
480	640	4:3	60I / 30P

I: インタレーススキャン P: プログレッシブスキャン

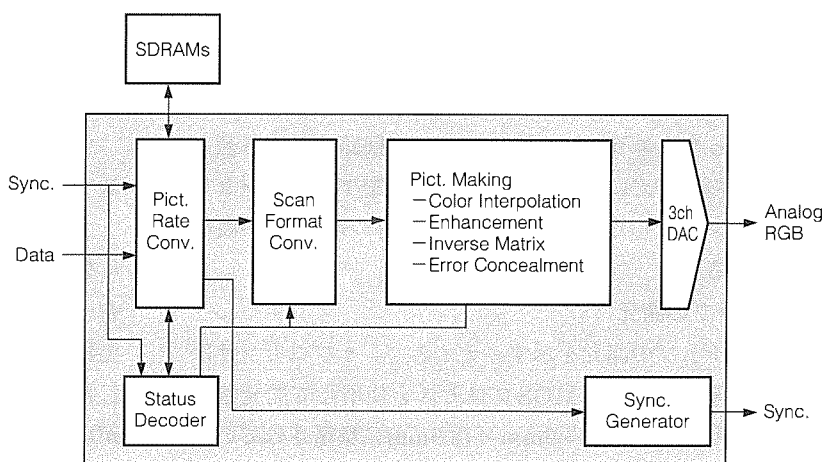


図4. チップ構成

ディスプレイプロセッサの構成を
図4に示す。

ビデオデコーダからディスプレイ
プロセッサへは4:2:0形式のマク
ロブロック形式の映像データが出力
される。映像データの中にはヘッダ
としてステータス情報が含まれてお
り、ステータスデコーダはこれを抽
出して、フォーマット情報等を解読
し、各機能ブロックに制御信号を送
付する。

ピクチャレート変換ブロックは、
基本的にフレーム/フィールド周波
数の60/59.94Hzへの統一、ブロッ
クスタ変換を行う。実際のこれら
の変換は外付けされる4個の16Mビ
ットSDRAMによって実行され、ピ
クチャレート変換ブロックはメモリ
制御とタイミング制御を中心とした
制御回路からなる。ピクチャレート
変換部の出力部分で、18フォーマッ
トは表4に示す6フォーマットに絞
られる。ここでATSC推奨フォーマ
ットには存在しない1,920×1,080
60Pが存在するが、これは1,920×1,080 30P又は24Pから
1,280×720 60Pへの高画質なフォーマット変換を行うため
に一時的に発生させるものである。

ピクチャレート変換出力は、スキャンフォーマット変換
ブロック(図5)でモニタに応じたフォーマットの変換を行
い、色内挿、輪郭強調、逆マトリクス変換等を実行した
後、内蔵された3チャンネルDACを介してRGBアナログを
出力する。

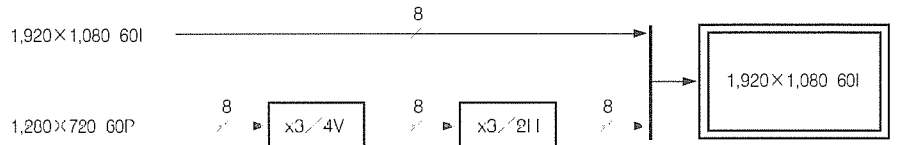
DTVはマルチ映像フォーマットを許すフルデジタル
システムであるため、番組視聴中のフォーマット変化やチ
ャネル変化時のデッドタイムが大きい場合問題となる。デ
ィスプレイプロセッサではこれら変化を検出しスチルピク
チャを出力する機能も持っている。新しいピクチャが到着
したらいったんエラーコンシールメント回路を動作させ、
クロックの切換えによる表示映像の乱れをブランキングピ
クチャでマスクした後、クロック安定を待って新しい映像
を表示する。

3.3 チップの諸元

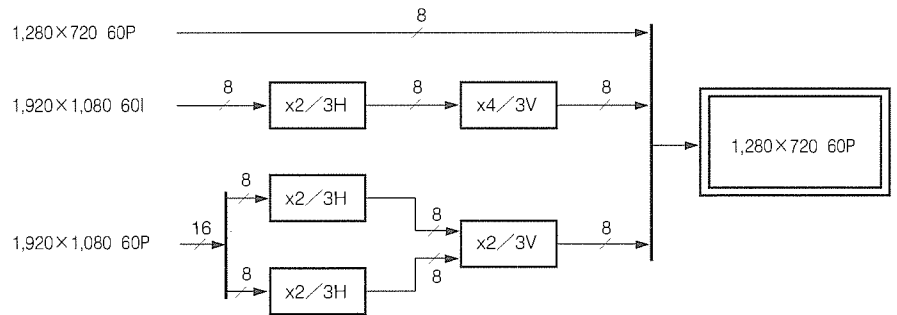
表5にチップの諸元を示す。ディスプレイプロセッサは
0.5μm 2層メタルのCMOSプロセスを使用して開発され、
190万トランジスタが14.9mm×14.9mmに集積されている。
総集積メモリ容量は284Kビット、総フィルタタップ数は
188(輪郭強調用などの他のフィルタタップ数も含む。)であ

表4. ピクチャレート変換出力フォーマット

ライン数	水平画素数	アスペクト比		フレーム/フィールドレート	
1,080	1,920	16:9	—	60I	60P
720	1,280	16:9	—	—	60P
480	704	16:9	4:3	60I	—
480	640	—	4:3	60I	—



(a) インタレースモニタの場合



(b) プログレッシブモニタの場合

図5. スキャンフォーマット変換ブロックの構成

表5. チップの諸元

プロセス	0.5μm CMOS 2層メタル
チップ面積	14.9mm×14.9mm
電源電圧	3.3V
消費電力	2.9W
動作クロック	54/54.05, 74.18/74.25, 13.5/13.51 MHz
総トランジスタ数	190万
内蔵メモリ総容量	284Kビット
総フィルタタップ数	188
パッケージ	388ピン プラスチック BGA

る。

4. むすび

フィルタ自動生成プログラム開発を中心にDTV用デ
ィスプレイプロセッサの紹介を行った。

フォーマット変換は今後のTVシステムにおいて必要不
可欠な機能である。また、その善し悪しは画質を大きく左
右するため、セットメーカーにとっても差別化のための重
要技術として位置付けられる。しかしながら、高画質化を
目指して処理が複雑になればなるほどLSIのコストと納期
が増加するという問題があり、なかなか客先ニーズに合っ
たLSIの提供ができないのが実状であった。

本稿で紹介したフィルタ自動生成プログラムはこの問題

に一つの解を与えるものであり、コスト、納期の両面でニーズにこたえることのできる有用な技術の一つとして位置付けている。

参考文献

- (1) 網島健次, 細谷史朗, 田中 康, 渡部美代一: デジタル放送受信機ATV”, 三菱電機技報, 71, No.2, 230~233 (1997)
- (2) 米国地上波DTV用チップセット, 三菱電機技報, 72, No.1, 72 (1998)
- (3) FCC ATSC: Final Technical Report, (1995-10-31)
- (4) Sugawa, S., Shimamoto, H., Hosotani, S., Imamura, Y., Takagaki, T., Ijiri, H., Okada, K., Sumi, T.: An Area Efficient Hardware Sharing Filter Generator Suitable for Multiple Video Format Conversions, IEEE Trans. on Consumer Electronics, 43, No.3, 848~854 (1997)
- (5) Yazawa, M., Hosotani, S., Imamura, Y., Amishiro, H., Okada, K.: A Dynamic Voltage Sensing FIFO Suitable for Multi-Format Video Systems, CICC Digest of Technical Papers, 159~162 (1995)
- (6) Hosotani, S., Yazawa, M., Matsuo, N., Sugawa, S., Hayashi, N., Shinohara, T., Imamura, Y., Takashima, M., Okada, K., Sumi, T.: A Display Processor Conforming to All DTV Formats with 188-Tap FIR Filter and 284 Kb FIFO Memories, IEEE Trans. on Consumer Electronics, 43, No.3, 837~847 (1997)
- (7) Hawley, R., A., Wong, B., C., Lin, T., Laskowski, J., Samueli, H.: Design Techniques for Silicon Compiler Implementations of High-Speed FIR Digital Filters, IEEE JSSC, 31, No.5, 656~667 (1996)
- (8) Tate, L., R.: Sparse Canonical Signed Digit FIR Filter, CICC Digest of Technical Papers, 215~128 (1987)
- (9) Duardo, O., Hsieh, S., Wu, L., Boo, J., Khuriekar, A., Hingorani, R., Wilford, P., Bolton, B., Morinaka, H., Okada, K., Hosotani, S., Sumi, T.: An HDTV Video Decoder IC for ATV Receiver, IEEE Trans. on Consumer Electronics, 43, No.3, 628~632 (1997)

マルチメディアプロセッサ“D30V”

山田 朗* 島津之彦**
 佐藤尚和* 東谷恵市*
 吉田豊彦* 毛利篤史***

要 旨

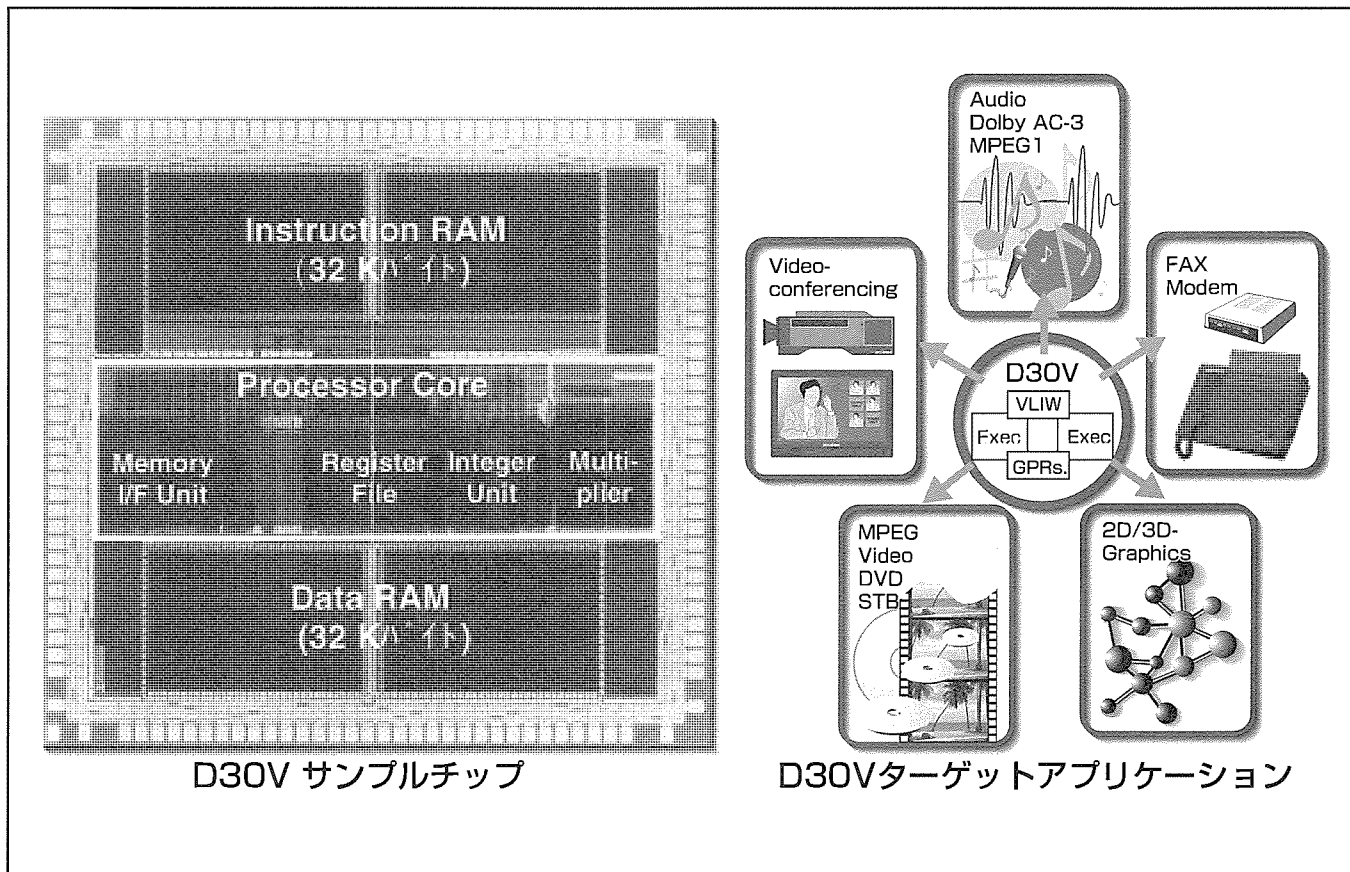
D30Vは、デジタル動画像処理を行う家電製品やパソコンの付加カードなどのマルチメディア処理に適したメディアプロセッサである。マルチメディア処理を効率的に行うため、一つの命令中に2種類の演算を指定するVLIW (Very Long Instruction Word)アーキテクチャと、一つの演算で2組のデータに同一演算を行うSIMD (Single Instruction Multiple Data Stream)アーキテクチャを採用している。

D30Vサンプルチップは、プロセッサコアと32Kバイトの命令メモリ、32Kバイトのデータメモリで構成される。命令メモリとデータメモリにはSRAMを用いている。プロセッサコアには中央部のレジスタファイルを挟んで二つの演算部 (Memory I/F UnitとInteger Unit)があり、乗

算器 (Multiplier) がInteger Unit中で大きな面積を占めている。プロセッサコア部は30万個のトランジスタで構成されており、面積は8mm²である。電源電圧を2.0Vと低くしたことに加え、プロセッサコア面積を小さくしたことにより、250MHz動作時で消費電力を1.2Wと非常に小さくできた。

D30Vは、250MHz動作時、MPEG-2のリアルタイムコード処理をソフトウェアで実現することが可能である。

D30Vプロセッサコアに各種アプリケーション用の周辺回路を内蔵することにより、MPEG-2のみならず、DVC (Digital Video Cassette)、テレビ電話、FAXモデム、2D/3Dグラフィックスなど様々な分野に応用可能である。



D30Vのサンプルチップとターゲットアプリケーション

D30Vのサンプルチップは0.3μm CMOS 4層メタル配線プロセステクノロジーを用いて6.0mm×6.2mmのチップサイズに集積され、電源電圧2Vで250MHzの周波数で動作する。マイコンの使いやすさと専用ハードウェアやDSP (Digital Signal Processor)と同じ高性能を兼ね備え、各種のマルチメディアアプリケーション用のコアプロセッサとして展開予定である。

1. ま え が き

D30Vは、デジタル動画画像処理を行う家電製品やパソコンの付加カードなどのマルチメディア処理に適したVLIW型メディアプロセッサである。0.3μmCMOSプロセスを採用したD30Vは、動作周波数250MHzで1.0GOPS (Giga Operations per Second)のピーク性能を持ち、MPEG-2のリアルタイムデコード処理をソフトウェアで実現することが可能である。マイコンの使いやすさと専用ハードウェアやDSPと同じ高性能を兼ね備え、低消費電力(約1.2W @ 2V 250MHz動作時)を実現することができた。

本稿では、D30Vの命令セットアーキテクチャと、D30Vコアを用いたシステムでのMPEG-2リアルタイムビデオデコード処理について述べる。

2. D30Vの命令セットアーキテクチャ

D30Vのアーキテクチャ概要を表1に示す。D30Vは、マルチメディア処理を効率的に行うため、一つの命令中に2種類の演算を指定するVLIWアーキテクチャと、一つの演算で2組のデータに同一演算を行うSIMDアーキテクチャを採用している。命令は64ビットの固定長フォーマットを持ち、汎用レジスタは64個備えている。デジタル信号処理を高速に行うため、従来のDSPで広く用いられているハードウェアループ機能とモジュロアドレッシング機能も備えている。ハードウェアループ機能は、ブロックリpeat命令によってハードウェア制御で一連の命令群を分岐命令なしで規定回数繰り返す機能で、分岐の実行時間を実質的にゼロにする。モジュロアドレッシングは、オートインクリメント又はオートデクリメントアドレッシングにおいてデータアドレスの更新をループさせる機能で、サーキュラバッファのアクセスに非常に有効である。

2.1 命令フォーマット

D30Vの命令は、図1に示すように、2ビットのフォーマットフィールド(FM)、二つの条件フィールド(CC)、二つのコンテナを持つ固定長のVLIW命令である。FMビットは、従来のVLIWアーキテクチャの最大の欠点であった命令コード長が増大する問題を解決するために、D30Vで新たに導入した技術である。従来のVLIWでは二つのコンテナのサブ命令を常に並列に実行するため、データ依存関

係のある二つのサブ命令を一つの命令の二つのコンテナに格納することができず、一方のコンテナをNOP(No Operation)コードにする必要があった。このNOPは、C言語など的高级言語で記述された並列度の低いプログラムでは無視できない数に及び、命令コードが増大する問題を招く。D30Vは、図に示すように、FMビットによって二つのコンテナのサブ命令を並列に実行すること以外に順方向又は逆方向に直列実行することも指定し、NOP挿入による命令コード増大の問題を解決した。また、FMビットを“11”にすることにより、32ビットの即値データや32ビットのアドレス変位値を持つ長型フォーマットのサブ命令を分割して二つのコンテナに格納することも許し、命令の種類を豊富にした。

MPEG-2ビデオ処理など並列度の高いマルチメディア信号処理プログラムでは、FMビットを“00”にして二つの演算を並列に実行することによって高性能を発揮し、システム制御など並列度の低いプログラムでは、FMビットを“10”や“01”にしてコンパクトな命令コードを得る。

2.2 並列処理

マルチメディア処理ではデータ精度が16ビットで十分な場合が多く、16ビット固定小数点の算術演算が多用される。D30VのSIMDアーキテクチャは、この16ビット固定小数点演算を効率良く実行するために導入されたものである。D30Vの各演算器は一つの32ビット演算又は二つの独立な

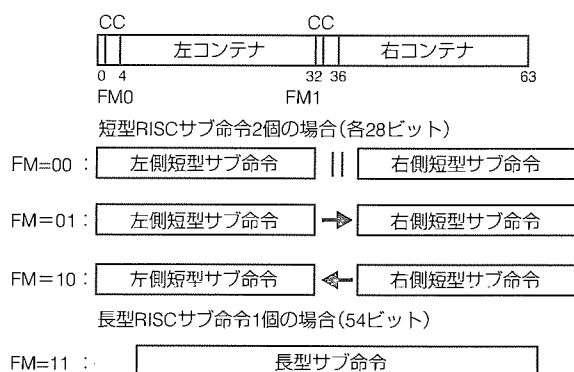


図1. VLIW命令フォーマット及びサブ命令発行順序

表1. D30Vのアーキテクチャ概要

● 命令フォーマット	: 64ビット固定長(2コンテナを含む。)
● 命令数	: 102サブ命令(条件付き実行)
● 並列処理	: 2ウェイVLIW + 2ウェイSIMD
● レジスタファイル	: 32ビット汎用レジスタ64本 64ビットアキュムレータ2本 32ビット専用レジスタ9本
● DSP強化機能	: ハードウェアループ モジュロアドレッシング

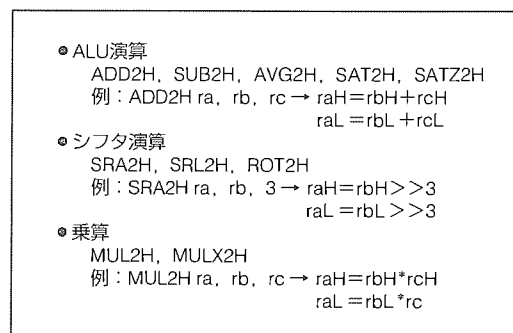


図2. サブワード演算例

16ビット演算を行うように設計されているため、一つのサブ命令で2組の16ビット演算を並列に実行することができる。このSIMDアーキテクチャによる2倍の性能向上とVLIWアーキテクチャによる2倍の性能向上により、D30Vでは周波数の4倍の演算性能を実現し、250MHz動作で1.0 GOPSのピーク性能を達成する。

マルチメディア処理で有効なサブワード演算の例を図2に示す。D30Vは、ALU演算、乗算、シフト演算でサブワード演算を行う。サブワード演算では各命令でレジスタの上位側16ビットと下位側16ビットに独立な演算(ただし同一種類の演算)を行い、各命令で二つの演算結果を得る。

3. D30Vのサンプルチップ

3.1 機能ブロック構成

図3にD30Vのブロック図を示す。D30Vは、汎用レジスタ、2個の実行ユニット(メモリアクセス部(MU)と整数演算部(IU))、2個のサブ命令デコーダ(MUとIUのデコーダ)を含むVLIW命令デコーダを内蔵している。VLIW命令デコーダは、内部又は外部命令RAMから64ビットの命令コードをフェッチし、2個のサブ命令を並列にデコードする。MUは、ALU(Arithmetic and Logic Unit)、パレルシフト、PCアドレス、オペランドアドレス計算機を持ち、整数演算、メモリアクセス、プログラム制御を実行する。IUは、乗算器、ALU、パレルシフト、2個のアクキュムレータを内蔵し、積和演算等を含むすべての整数演算を実行する。

3.2 サンプルチップ

D30Vのサンプルチップは、D30Vプロセッサコア、32Kバイトの命令メモリ、32Kバイトのデータメモリで構成される。命令メモリとデータメモリにはSRAMを用いている。プロセッサコアには中央部のレジスタファイルを挟んで二つの演算部(MUとIU)があり、乗算器がIU中で大きな面積を占めている。

表2にD30Vサンプルチップのテクノロジーを示す。このチップは0.3 μ m CMOS 4層メタル配線プロセステクノロジーで製造されており、電源電圧2Vで250MHzの周波数で動作する。プロセッサコア部は30万個のトランジスタで構成されており、面積は8mm²である。単相クロックによってクロック回路を単純化したことと電源電圧を2.0Vと低くしたことに加え、プロセッサコア面積を小さくしたことにより、250MHz動作時で消費電力を1.2Wと非常に小さくできた。

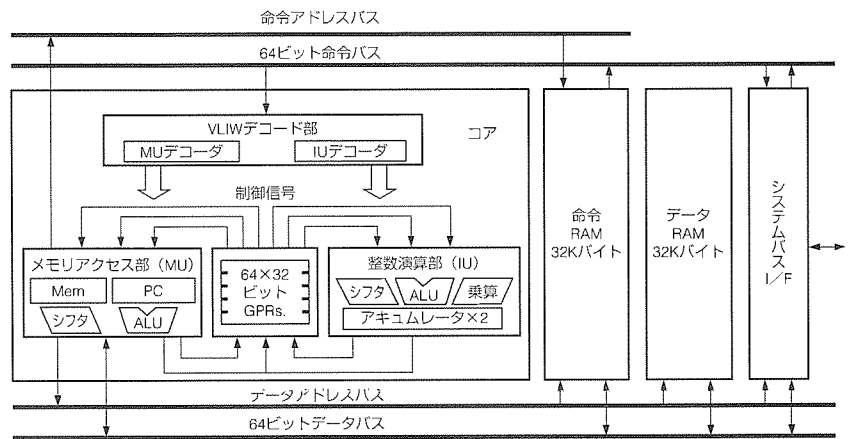


図3. D30Vのブロック構成

表2. D30Vサンプルチップのテクノロジー

● プロセス	: 0.3 μ m CMOS 4層メタル配線
● 動作周波数	: 250MHz
● ピーク性能	: 1,000MOPS
● プロセッサコアサイズ	: 5.4mm \times 1.5mm
● チップサイズ	: 6.0mm \times 6.2mm
● トランジスタ数	: 348万トランジスタ(総数) 30万トランジスタ(プロセッサコア)
● 内蔵RAM	: 32Kバイト(命令)+32Kバイト(データ)
● 電源電圧	: 2.0V
● 消費電力	: 1.2W (typ. 2V 250MHz動作時)
● パッケージ	: 135ピンPGA

4. MPEG-2デコーディング

4.1 MPEG-2デコードアルゴリズム

ここでは、マルチメディアアプリケーションの代表例であるMPEG-2ビデオデコーダ処理をD30Vを用いて実現する場合について考察する。

MPEG-2ビデオとドルビーAC-3デジタルオーディオを含む符号化されたMPEG-2ビットストリームをデコードする場合の処理の流れを図4に示す。まず、符号化されたMPEG-2ビットストリームは、符号化されたビデオストリームと符号化されたオーディオストリームに分離される。符号化されたビデオストリームは、図の上側に示す処理の流れに沿ってデコードされる。D30Vを用いてMPEG-2デコーダを実現した場合、図の網掛け部分をソフトウェアで処理し、白色部分を専用ハードウェアで処理する。

4.2 D30VによるMPEG-2デコード処理

D30Vを用いたMPEG-2デコーダシステムの構成例を図5に示す。このシステムは、D30Vをコアとしたデコーダチップと2MバイトのSDRAMで構成される。デコーダチップは、D30Vのプロセッサコア、命令用ROM、データ用RAM、図4の白色処理を実行するためのMPEG-2デコード専用周辺回路からなる。すなわち、チップ外部の入出力(ビットストリームの入出力と動き補償のためのチップ外部のDRAMアクセス)及びビットシリアル処理となる可変

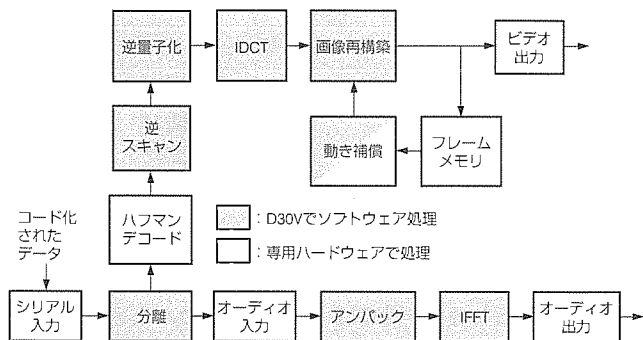


図4. MPEG-2デコード処理の流れ

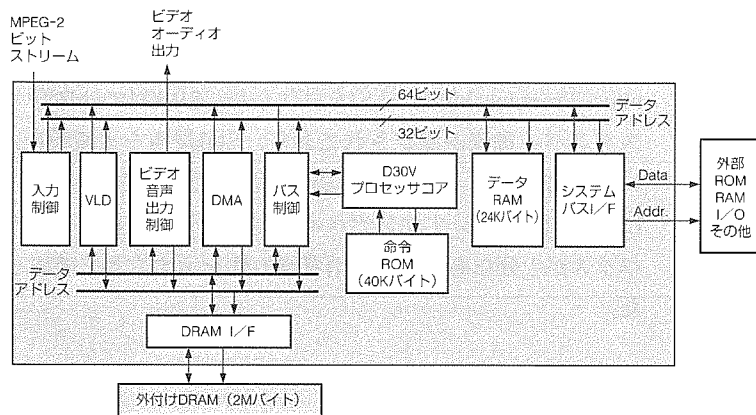


図5. D30Vを用いたMPEG-2デコーダ構成例

長ハフマン符号のデコードは専用ハードウェアで行う。IDCT (Inverse Discrete Cosine Transform: 逆離散コサイン変換) やIFFT (Inverse Fast Fourier Transform: 逆高速フーリエ変換) など高度な算術演算を含むその他の処理は、すべてD30Vコアによってソフトウェアで実行される。動き補償についてはフレームメモリのアクセスをDMA (Direct Memory Access) 回路で行い、予測フレームの構築と差分データの加算をD30Vで行う。

DVDプレーヤやデジタル衛星放送で使用されているMP@ML (Main Profile at Main Level) のMPEG-2ビデオストリームの処理では、最悪の場合 8×8 エレメントのビデオブロックを1秒間に24.3万個デコードする必要があり、このビデオブロックのデコード処理が処理量のほとんどを占める。このビデオブロック一つのデコード処理にかけることのできるサイクル数は、250MHz動作時のD30Vで約1,000サイクルである。

図6に示すように、D30Vでは従来の典型的なRISCプロセッサに比較してデコード処理サイクル数が格段に減少しており(754クロックサイクル)、目的の1,000サイクル内に収まっている。ただし、D30Vがバイパス処理を行わない場合、約20%のサイクル数増(948クロックサイクル)とな

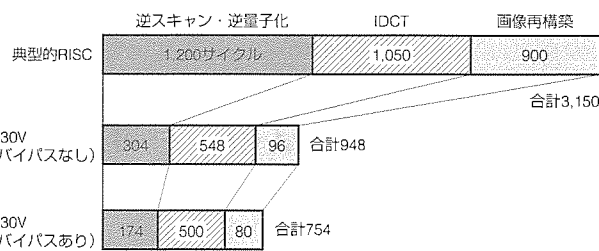


図6. ビデオデコード処理に必要なサイクル数

る。このバイパス処理によって余裕の出たサイクル数で、前述したビデオストリームの処理に比べて負荷の小さいオーディオストリームの処理を行える。

以上の考察により、250MHzで動作するD30Vをコアに用いた図5に示すデコーダチップは、MPEG-2ビデオストリームをリアルタイムでデコードすることが十分可能である。このデコーダチップを0.3 μ mのCMOSプロセスで製造する場合のチップ面積は40mm²以下と見積もられ、現在開発されているハードウェアデコーダよりも製造コスト面でも有利である。

5. D30Vの今後の展開

D30Vの今後の展開としては、今回述べたD30Vコアに、図5に示したMPEG-2デコード用の周辺回路を内蔵させ、1チップでMPEG-2デコード可能なLSIの開発を行っている。また、MPEG-2エンコード用の周辺回路を内蔵したLSIの開発も予定されている。これらのLSIは、MPEG分野に限らず、DVC、テレビ電話、FAXモデム、2D/3Dグラフィックスなど様々な分野に応用可能である。

D30V用ソフトウェア開発ツールは、Cコンパイラ、アセンブラ、リンカ、シミュレータを開発中で、GNUツールとして無料でユーザーに提供する予定である。

6. むすび

2ウェイのVLIWと2ウェイのSIMDアーキテクチャを用いたメディアプロセッサコア“D30V”を開発した。0.3 μ m CMOSプロセスを採用したD30Vコアは、動作周波数250MHzで1.0GOPSのピーク性能を持ち、MPEG-2のリアルタイムデコード処理をソフトウェアで実現することが可能である。このD30Vコアに各種アプリケーション用の周辺回路を内蔵することにより、マルチメディア処理に最適な低コストLSIを得ることができる。

0.35 μ m 56万ゲートSOI-ASIC

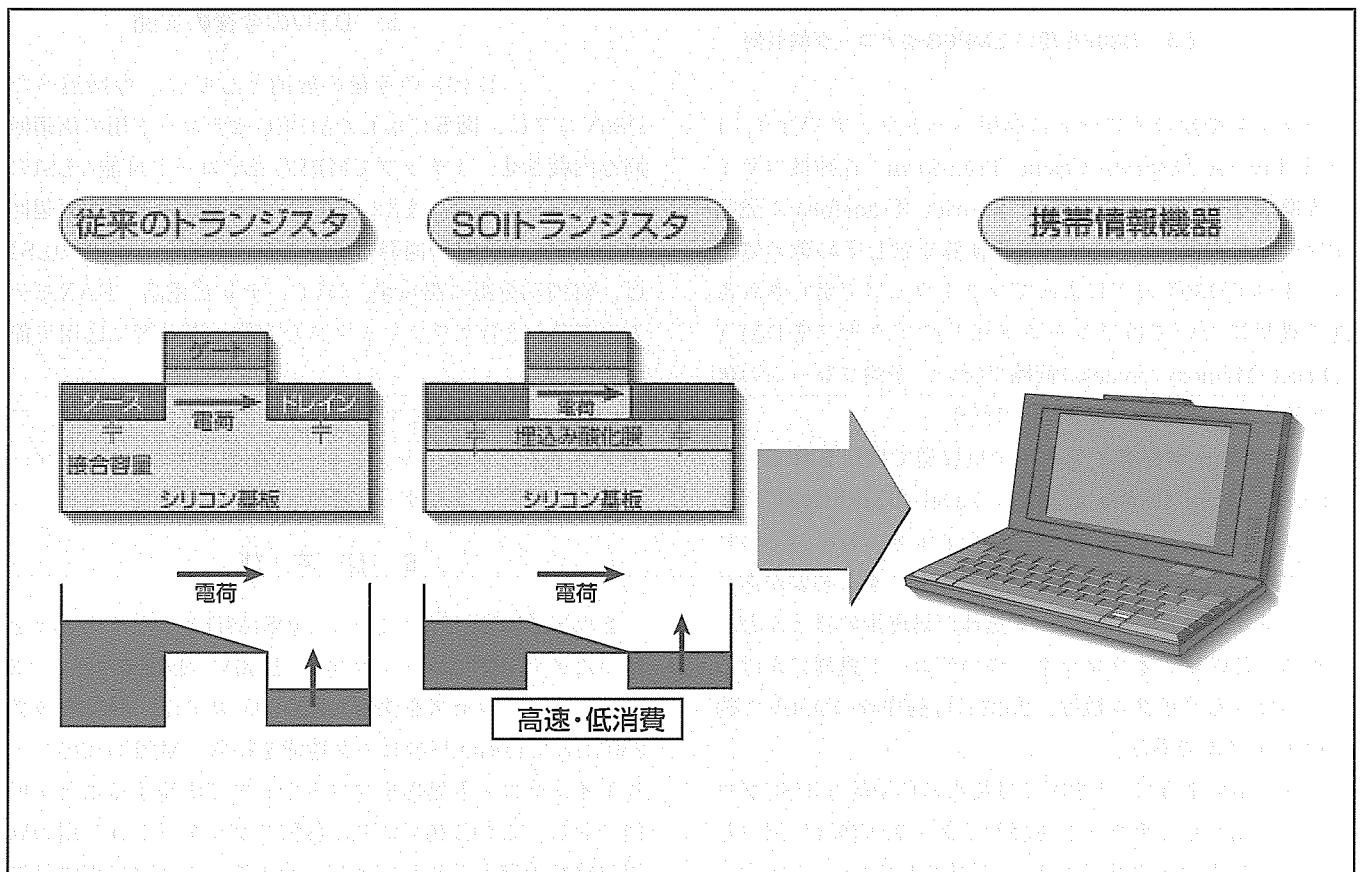
和田佳樹* 前田茂伸*
 廣田尊則** 上田公大*
 新居浩二**

要旨

インターネットの普及やDVD(Digital Versatile Disc)等の新しいメディアの登場により、半導体デバイスが扱う情報量は増大している。また、携帯情報機器の普及により、バッテリーで駆動される半導体デバイスも多くなってきており、半導体デバイスの高速化・低消費電力化の要望は強くなりつつある。これらの要望にこたえるデバイスとして、薄膜SOI(Silicon on Insulator)デバイスが注目されている。薄膜SOIデバイスは、従来のシリコンウェーハ中に酸化膜の層を形成し、その上の薄いシリコン層にトランジスタを形成する。そのため、接合容量の低減による高速・低消費電力動作や放射線による誤動作の抑制といった利点を持っている。

今回、SOI基板を用い、設計寸法0.35 μ m、敷き詰めゲ-

ト数56万ゲートのゲートアレーを開発した。トランジスタ間の分離には三菱電機独自のフィールドシールド分離技術を用い、リーク電流の低減を達成した。また、チャンネルを形成する領域であるボディ領域の電位を固定することにより、安定したトランジスタ動作を実現した。このゲートアレー上に、192KビットSRAM及び通信用ATM(Asynchronous Transfer Mode)-LSIを試作した。SRAMでは良好なスタンバイ電流が測定されており、SOI技術を大規模LSIに適用可能であることを確認した。また、通信用ATM-LSIでは従来のシリコンデバイスとの比較を行い、SOIデバイスが十分な高速性・低消費電力性を示すことを確認した。



SOIデバイスの高速・低消費電力性と適用例

SOIデバイスは、従来のデバイスに比べて接合容量が小さいため、トランジスタ動作時の電荷の充放電量が少なく済む。このため、従来のシリコンデバイスに比べ、高速・低消費電力動作が可能である。今回開発した56万ゲートSOI-ASICは、SOIデバイスの高速・低消費電力といった利点を生かし、携帯情報機器等の分野への適用が期待される。

1. まえがき

近年、携帯情報機器が急速に普及している。これらの機器はバッテリー駆動によって駆動されるため、長時間使用を可能にするためのLSIの低消費電力化が重要な課題となっている。同時に、これらの機器が音声・画像等の大量のデータを扱う機会が増えている。このため、LSIの高速化がもう一つの重要な課題として挙げられる。

LSIの低消費電力化・高速化を実現するデバイスとして、薄膜SOIデバイスが注目されている。SOIデバイスは、トランジスタを形成するソース/ドレインの領域とシリコン基板が埋込み酸化膜で分離されており、現在主に使われているシリコンデバイスであるバルクデバイスに対して接合容量が小さいという特長を持っている⁽¹⁾。

しかしSOIデバイスでは、シリコンウェハ中に酸化膜層(0.1 μm から1 μm 程度)を作り込み、その上の薄いシリコン層(数十nmから数百nm程度)にトランジスタを形成していくため、プロセスダメージを受けやすく、リーク電流の少ない良質なトランジスタを作ることが難しい。このため、SOIデバイスの大規模集積回路への適用は困難であった。

今回、フィールドシールド分離技術を用いることにより、リーク電流を低減した0.35 μm 56万ゲートSOIゲートアレーを開発し、192KビットSRAM及び通信用ATM-LSIに適用した結果を述べる。

2. SOIデバイスの構造

バルクデバイス及びSOIデバイスの断面構造を図1に示す。バルクデバイスでは、ソース/ドレイン領域の接合容量は、ソース/ドレイン領域の側面及び底面部の空乏層を介して発生する。一方、SOIデバイスでは、ソース/ドレイン領域の底面は厚い埋込み酸化膜と接しているため、底面に発生する容量は小さい。したがって実際の接合容量は、ソース/ドレイン領域とチャンネル領域の間に発生する容量である。このため、SOIデバイスは、バルクデバイスに比べて接合容量が小さいという特長を持っている。

図2は、2入力NANDゲートの遅延時間と消費電力をバルクデバイス及びSOIデバイスで比較したものである。図から、同じ電源電圧では、バルクデバイスに比べてSOIデバイスの方が高速に動作し、消費電力はほぼ同じであることが分かる。電源電圧1Vにおいて、SOIデバイスは、バルクデバイスに比べて32%高速に動作する。

3. SOI-CMOSゲートアレー

設計寸法0.35 μm 、敷詰めゲート数56万ゲートのSOI-CMOSゲートアレーを開発した。表1に今回開発したゲートアレーの特性、図3にベーシックセルの構造を示す。埋込み酸化膜の厚さは400nm、トランジスタを形成するシリコン層の厚さは100nmとなっている。

今回、このゲートアレー上に192KビットSRAM及び通信用ATM-LSIチップを作製した。

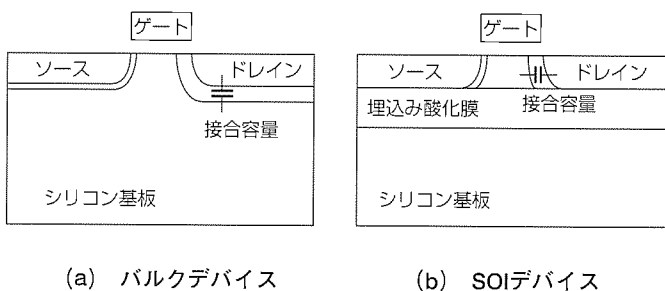


図1. 断面構造

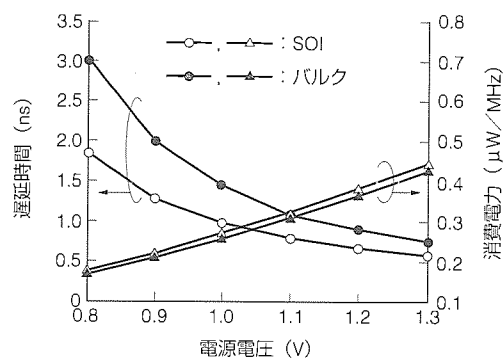


図2. 2入力NANDゲートの遅延時間及び消費電力

表1. ゲートアレーの特性

プロセス	0.35 μm with low-resistivity CoSi ₂	
ゲート酸化膜厚	7.0nm	
ゲート長(Lgp/Lgn)	0.35 μm /0.35 μm	
電源電圧	1.0V	2.0V
しきい値(V _{tp} /V _{tn})	-0.20V/0.20V	-0.40V/0.40V
ゲート数	56万ゲート	
チップサイズ	9.98mm×10.00mm	
配線間隔	Al1:1.3 μm , Al2, Al3:1.6 μm	

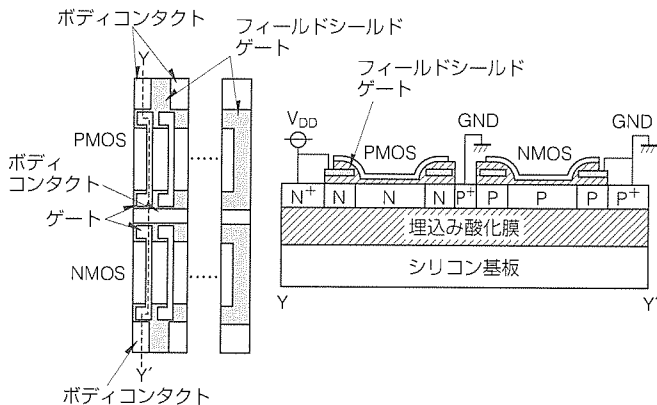


図3. ベーシックセルの構造

3.1 フィールドシールド分離技術

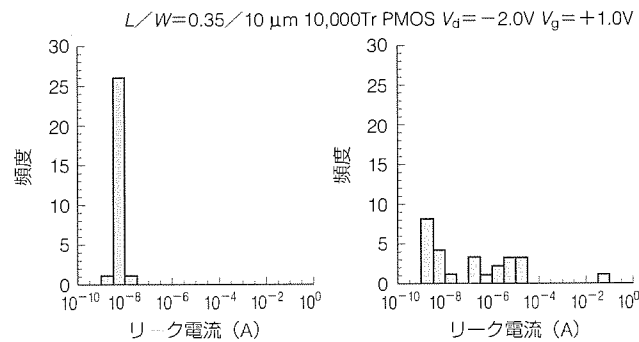
トランジスタ間の分離は、フィールドシールドゲートの電位を電源又はGNDに接続することによって電気的に行う。この分離方法の特長としては、薄膜SOI層をエッチングするメサ分離やSOI層を酸化するLOCOS分離と異なり、SOI層にダメージを与えない点が挙げられる。

トランジスタ分離にフィールドシールド分離を用いた場合とメサ分離を用いた場合の、ソースドレイン間に流れるリーク電流の比較を図4に示す。フィールドシールド分離を用いた場合、リーク電流が 1×10^{-8} A付近に集中しており、安定している。これに対し、メサ分離を用いた場合、SOI層のダメージによるリーク電流のばらつきがあり、大きなリーク電流が流れる場合もある。このことから、フィールドシールド分離がリーク電流低減に効果的な分離方法であることが分かる。

3.2 ボディ電位の固定

チャンネルが形成される領域(従来のバルクデバイスではウェルや基板と呼ばれる領域)を、SOIデバイスではボディ領域と呼ぶ。

ボディ領域を固定しない場合、フローティングボディ効果が現れ、トランジスタ動作が不安定になる可能性が指摘されている⁽²⁾。図5には、 -50°C におけるSOIデバイスのボディ領域の電位を固定した場合と固定しない場合の、2



(a) フィールドシールド分離 (b) メサ分離

図4. リーク電流

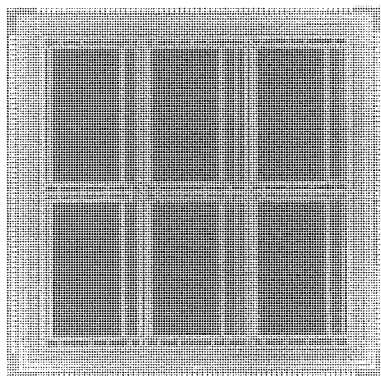


図6. SRAMのチップ写真

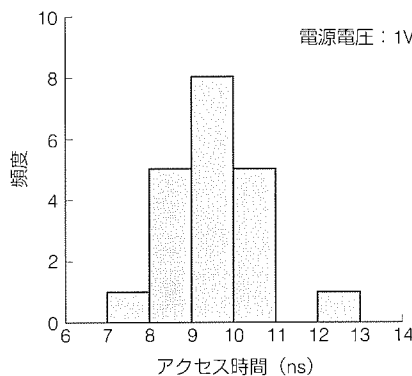


図7. SRAMのアクセス時間

入力NANDゲートの遅延時間と入力周波数の関係を示している。ボディ領域の電位を固定した場合、入力周波数が増えても遅延時間の変化はほとんど見られないが、ボディ領域の電位を固定しない場合には、入力周波数が高くなると遅延時間も大きくなる傾向が見られ、回路動作に不具合が発生する可能性が出てくる。

今回開発したゲートアレーでは、フィールドシールドゲートを効果的に配置することによって、小面積でボディ領域の電位が固定されるベーシックセル構造にしている。このため、前に記したような不具合もなく、安定した動作を望むことができる。

4. 192KビットSRAM

192KビットSRAMをゲートアレー上に試作した。使用したトランジスタは約130万個である。図6にチップ写真を示す。

図7に電源電圧1Vにおけるアクセス時間を示す。アクセス時間の平均は9.7nsである。

図8に電源電圧2Vにおけるスタンバイ電流を示す。縦軸は、SRAMのスタンバイ電流の測定値を示している。横軸は、トランジスタのOFF時のリーク電流(pA~nA程度)から計算されるSRAMのスタンバイ電流を示している。

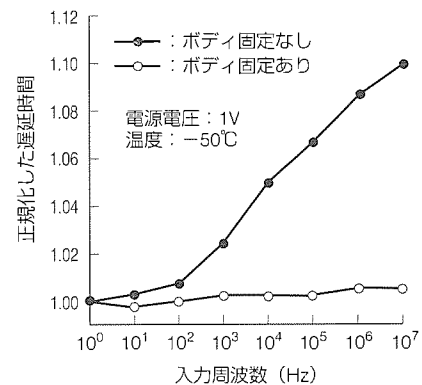


図5. フローティングボディ効果

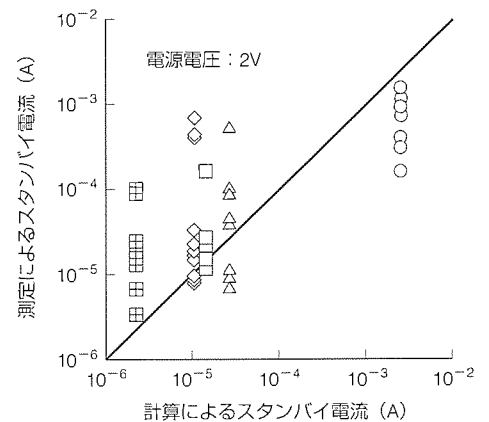


図8. SRAMのスタンバイ電流

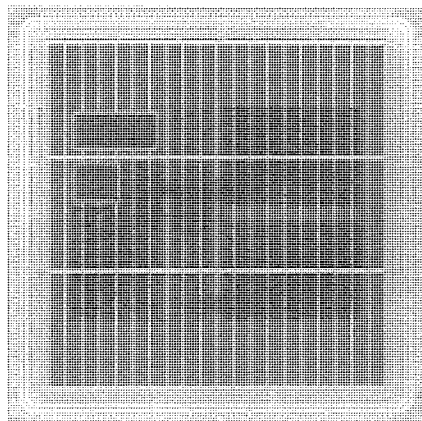


図9. 通信用ATM-LSIのチップ写真

この図から、実測によるスタンバイ電流と計算によるスタンバイ電流がほぼ一致しており、トランジスタの分離部分での異常なリーク電流の発生はないことが分かる。これから、130万個のトランジスタを用いた大規模回路においても安定したスタンバイ電流が得られていることが分かる。したがって、フィールドシールド分離がSOIデバイスのトランジスタ分離方法として有効であるといえる。

5. 通信用ATM-LSI

図9に通信用ATM-LSIのチップ写真を示す。このチップは、SDH(Synchronous Digital Hierarchy)の規格に準拠した伝送速度(156MHz)で動作する。

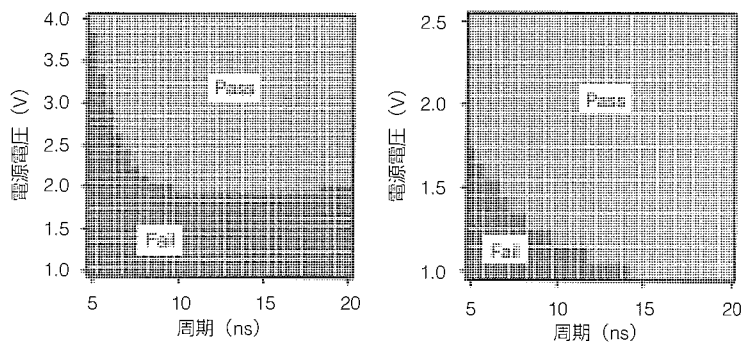
このチップはSOI基板及びバルク基板を用いて作製しており、これらの中で性能比較を行った。どちらのチップも回路構成は同じで、SOI基板を用いるかバルク基板を用いるかの違いだけである。SOIデバイスでは電源電圧2V、バルクデバイスでは電源電圧3.3Vでの動作を考慮して作製されている。

図10にバルクデバイス及びSOIデバイスのシュムープロットを示す。SOIデバイスはバルクデバイスに比べて高い性能を示しており、特に低電圧でも動作するため、電源電圧を下げることによる消費電力の低減が期待される。

図11にバルクデバイス及びSOIデバイスの消費電力を示す。バルクデバイスは電源電圧3.3Vで動作させたときの消費電力、SOIデバイスは電源電圧2Vで動作させたときの消費電力を示している。動作周波数156MHzにおいて、SOIデバイスはバルクデバイスの27%の消費電力で動作する。

6. むすび

高速・低消費電力動作に適したSOI構造を用いたゲート



(a) バルクデバイス (b) SOIデバイス

図10. 通信用ATM-LSIのシュムープロット

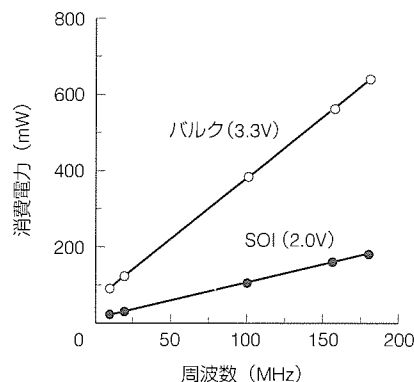


図11. 通信用ATM-LSIの消費電力

アレー技術を開発した。このゲートアレーを192KビットSRAM及び通信用ATM-LSIに適用した。これらのチップの性能を測定することにより、SOI技術が大規模LSIへ適用可能であり、バルクデバイスに対してSOIデバイスが高速・低消費電力動作可能であることを確認した。

今後SOI技術が、メモリ及びロジックの分野を問わず、様々な分野でバルクデバイスに置き換わり、より高速・低消費電力動作可能なデバイスとして利用されることを期待している。

参考文献

- (1) 井上靖朗, 山口泰男: SOIデバイスの研究開発動向, 応用物理, 64, No.11, 1104~1110 (1995)
- (2) Maeda, S., Yamaguchi, Y., Kim, I.-J., Iwamatsu, T., Ipposhi, T., Miyamoto, S., Maegawa, S., Ueda, K., Nii, K., Mashiko, K., Inoue, Y., Miyoshi, H.: Suppression of Delay Time Instability on Frequency using Field Shield Isolation Technology for Deep Sub-Micron SOI Circuits, Tech. Dig. IEDM, 129 (1996)

RTAによるチャネル構造制御を利用した最先端CMOS技術

古川彰彦* 西田征男**
清水 悟** 阿部雄次+
佐山弘和***

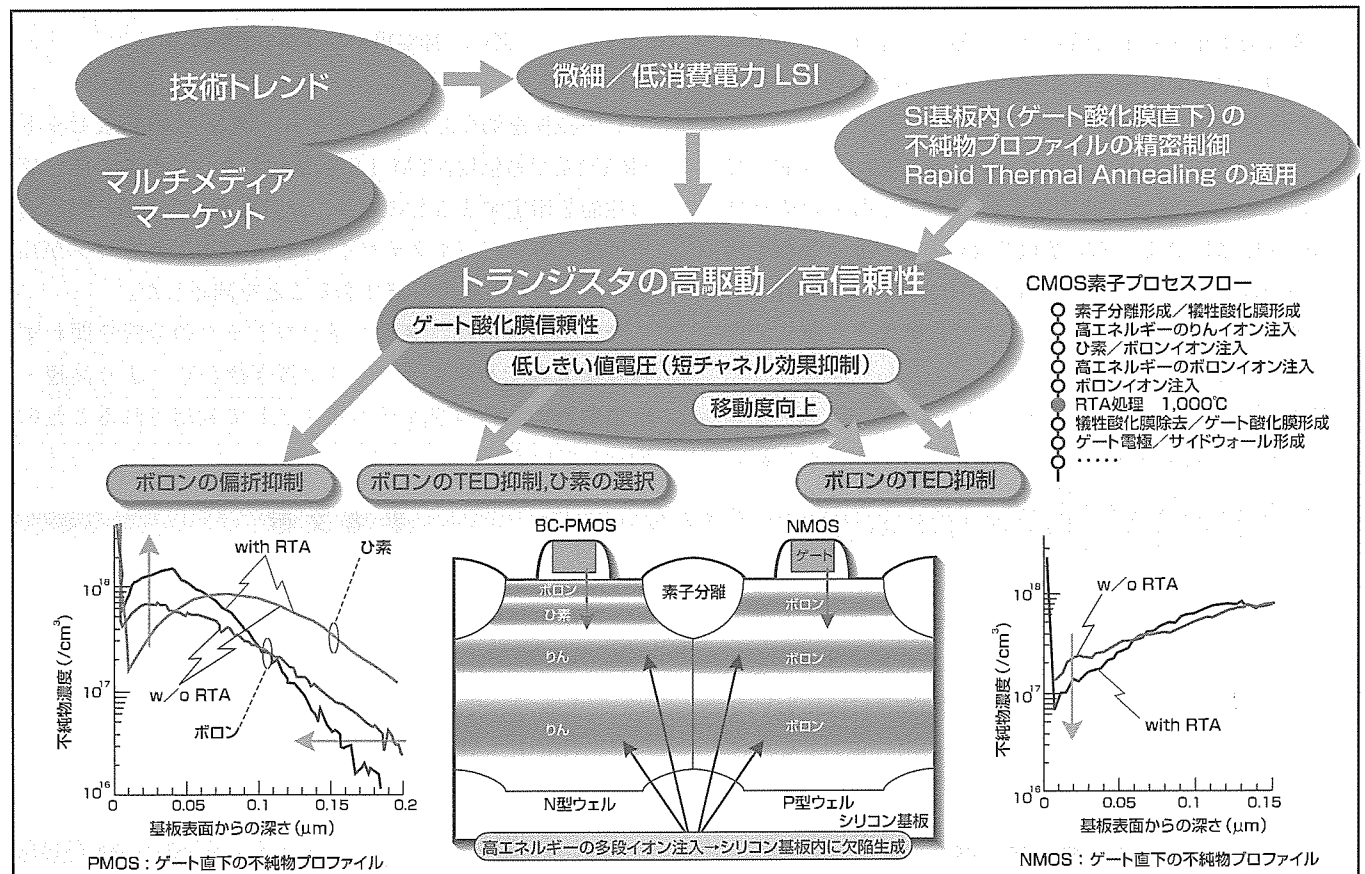
要旨

最先端LSI開発は、ギガビットスケールのDRAMが実現できる超微細化に加え、マーケットからの要求による低消費電力化の時代に入った。そのための超微細CMOS (Complementary Metal Oxide Semiconductor)の実現には、トランジスタのしきい値電圧の低減、信頼性の向上、高速動作が必ず(須)である。

MOS型トランジスタのしきい値電圧はそのチャネル構造でおおむね決まり、低しきい値化のためにはゲート酸化膜直下の急しゅん(峻)な不純物プロファイルが必要とされる。一般に、このしきい値電圧を決定付ける不純物は、高エネルギーのイオン注入を用いてウェル層を形成した後に、低エネルギーのイオン注入によって導入される。しかし、このイオン注入法による不純物の導入は、シリコン基板内に多数の欠陥を発生させ、アニールの初期工程で、それら

の欠陥を介した不純物の過渡的増速拡散(Transient Enhanced Diffusion: TED)を引き起こす。その結果、チャネル不純物のプロファイルはなだらかになる。特に、埋込みチャネル型PMOSを用いたシングルゲート構造によってCMOSを作製する場合、ボロンの拡散制御が最重要課題になる。

今回、通常のプロセスフローのゲート酸化膜形成の直前に1,000℃の高温ラピッドサーマルアニリング(Rapid Thermal Annealing: RTA)処理を挿入することにより、ボロンのTED及びゲート酸化膜への偏析を大幅に抑制し、さらにPMOSのパンチスルーの抑制のためにひ素を用いることで、高い駆動能力を持ち、かつ信頼性の高い微細CMOSが実現できることを示した。



トランジスタの技術課題とRTA処理による不純物プロファイル制御の概要図

高エネルギー注入によってシリコン基板中に生成される欠陥を介した不純物の増速拡散、及びゲート酸化時の不純物の偏析を最小限に抑えるために、多段イオン注入によるウェル形成後に1,000℃のRTA処理を行うことにより、ゲート酸化膜直下の不純物プロファイルを精密に制御し、高駆動能力、高信頼性を持ったMOS型トランジスタが実現できることが確認された。

1. ま え が き

最先端のLSI開発は、ギガビットスケールのDRAMが実現できるようなCMOS設計ルールで0.18 μm を切る時代に入った。このような中、CMOSを構成するトランジスタのゲート電極をPMOSとNMOSで作分けするデュアルゲート化の検討が盛んに行われているが、プロセス工程が複雑になることや解決すべき課題も多く残されているのが現状であり、やはり単純なプロセス工程で信頼度の高いシングルゲート構造を踏襲することが依然強く望まれている。

素子の微細化に対してこのシングルゲート構造の延命を可能にするためには、これまで以上に精密な不純物プロファイルの制御が必要となる。通常のCMOS作製プロセスでは、シリコン基板への不純物はイオン注入法によって導入される。しかし、このイオン注入においてシリコン基板中に生成される多数の点欠陥や格子間シリコン等の欠陥は、注入された不純物の活性化のために引き続いて行われる800 $^{\circ}\text{C}$ 程度の熱処理過程において、TEDと呼ばれる不純物の増速拡散を引き起こすことが知られている⁽¹⁾。しきい値電圧を決定するボロン、特に、埋込みチャンネル型PMOS (Buried Channel PMOS: BC-PMOS) においては、これが深刻な問題である。

2. 熱処理によるボロンのTEDと偏析

最初に、TEDの典型例として、高エネルギーイオン注入によって生成される欠陥がボロンプロファイルに及ぼす結果について示す。図1は、あらかじめりんの高エネルギー注入を行った基板と行っていない基板に、 $1.6 \times 10^{13} / \text{cm}^2$ のドーズ量でボロンを薄い酸化膜越しに低エネルギーイオン注入した場合の、SIMS(二次イオン質量分析)法によって測定した深さ方向へのプロファイルを示す。図にはイオン注入直後のプロファイルと通常の炉で熱処理(ゲート酸化工程)を施した後のプロファイルを示している。熱処理によって分布は大きく広がるが、りんの高エネルギー

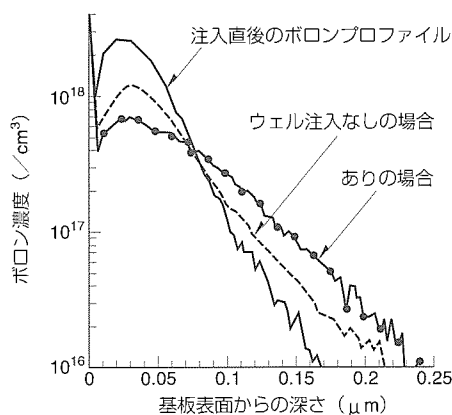


図1. ボロンのTEDの典型的な例

イオン注入をあらかじめ行った基板に対する方がよりブロードになっていることが分かる。また、シリコン基板中の単位面積当たりの投影原子数を見積もると、注入直後で $1.3 \times 10^{13} / \text{cm}^2$ 、高エネルギーイオン注入を行っていない場合には熱処理によって $7.8 \times 10^{12} / \text{cm}^2$ (40%程度減少)であるのに対して、高エネルギーイオン注入を行った場合では $6.0 \times 10^{12} / \text{cm}^2$ (50%以上減少)になる。すなわち、高エネルギー注入を伴う場合には、このゲート酸化によってシリコン酸化膜に顕著なボロンの偏析が見られる。このように、CMOSのチャンネル形成に不可欠なボロンのTEDによるプロファイルの広がりや酸化膜への過剰な偏析は、微細化に伴って大きな問題になっている。このボロンのTED抑制については、イオン注入後のRTA処理が有効であることが知られている⁽²⁾⁽³⁾。今回我々は、この不純物のTED及びゲート酸化膜への偏析をRTA処理によって抑え、それがデバイス特性に与える影響について調べた⁽⁴⁾。

3. 素子の作製方法

始めにLOCOS(Local Oxidation of Silicon)法による素子分離領域を形成した後、NMOS領域にはボロンの、PMOSにはりんの数百keVから数MeV領域の高エネルギーの多段イオン注入によってウェルを形成した⁽⁵⁾。図2に、プロセスフローとともに形成されたウェルの断面模式図を示す。PMOSは埋込みチャンネル型である。しきい値電圧の制御のためのチャンネルイオン注入を、NMOSに対してはボロンの50keVで、PMOSに対してはひ素の170keVで、埋込みチャンネル層としてボロンの10keVで行った。

この研究では、このチャンネル注入後にRTAによる不純物の活性化処理工程を挿入した。処理温度は750, 800, 900及び1,000 $^{\circ}\text{C}$ とし、窒素雰囲気中で60秒間処理した。な

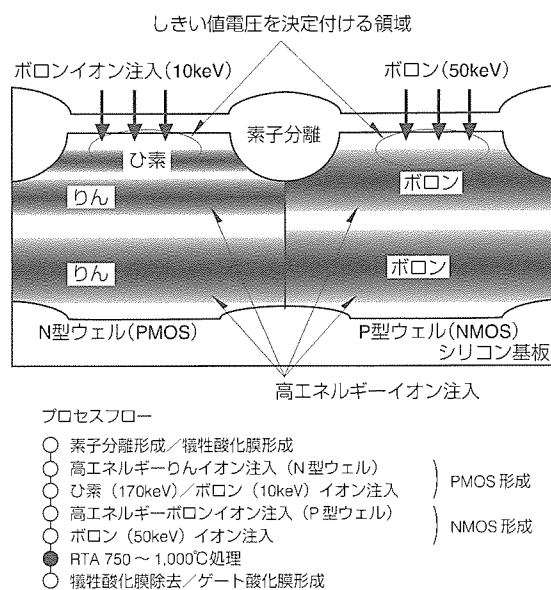


図2. プロセスフロー及びウェルの断面模式図

お、リファレンスとしてこのRTA処理を施さない素子も用意した。その後、6.0nmのゲート酸化膜を750℃のウェット雰囲気処理で形成した。RTA処理を施さない素子については、チャンネル不純物にとってこのゲート酸化工程で最初の熱処理を受けることになる。NMOSはひ素の低エネルギー注入を用いたLDD構造とし、サイドウォール幅は60nmにした。拡散層には800℃の熱処理を施し、最後にアルミニウムで配線を形成した。

4. RTA処理による不純物プロファイル制御

図3と図4には、それぞれN型ウェル(PMOS)に対して、しきい値制御のためにイオン注入されたボロンとひ素のSIMSプロファイルを示す。

ボロンに対しては、800℃のRTA処理温度ではTED抑制の顕著な効果は見られないが、900℃以上では拡散距離に顕著な低減が見られ、1,000℃ではボロン濃度 $5 \times 10^{16} / \text{cm}^3$ で定義した拡散深さは0.14 μm (RTA処理なしの場合は0.18 μm)と浅くできた。さらに、処理温度が750℃から1,000℃にかけて、ゲート酸化時のボロンの吸い上げが抑制される傾向にあり、1,000℃のRTA処理を施した場合には、このボロンの吸い上げはわずか28%程度に抑えられて

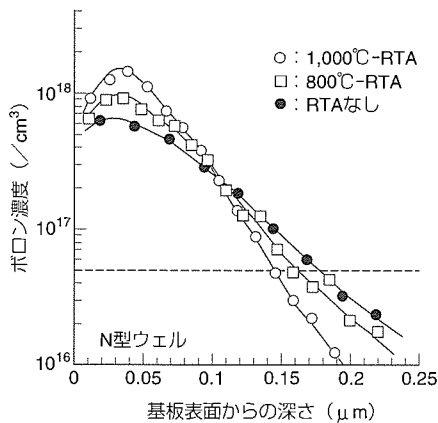


図3. N型ウェル中でのボロンプロファイル

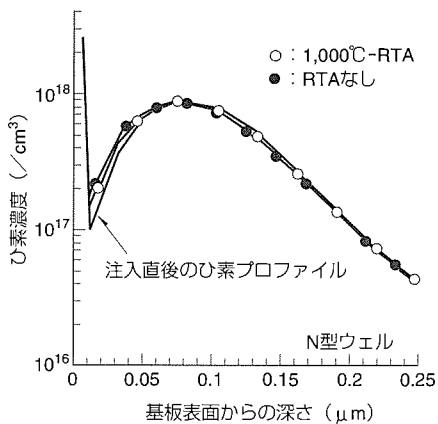


図4. N型ウェル中でのひ素プロファイル

いる。

なお、ひ素に対しては、RTA処理の有り無しでプロファイルはほとんど変わらず、注入直後の急峻なプロファイルをはほぼ維持していることが分かる。これは、ひ素に関してはTEDの影響を受けることが少ないことを意味し、したがって、ボロンに対して最適なRTA処理の1,000℃を行えば、BC-PMOSのしきい値電圧制御を達成することができる。

次に、図5に、P型ウェル(NMOS)に対するボロンのSIMSプロファイルを示す。これから、深いボロン注入に対しても、900℃又は1,000℃のRTA処理を施すことで表面近くのボロン濃度を低くすることが可能であることが分かった。

5. RTA処理によるデバイス特性に与える影響

図6に、作製したNMOSの線形領域の最大相互コンダクタンスとしきい値電圧との関係を示す。また、相互コンダクタンスのゲート電圧に対する依存性を挿入図に示した。1,000℃のRTA処理を用いることによって相互コンダクタンスのピーク値が10%程度向上していることが分かる。こ

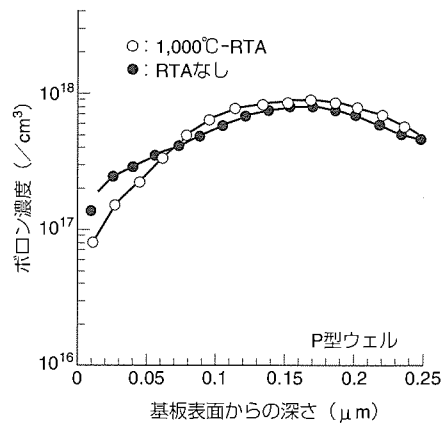


図5. P型ウェル中でのボロンプロファイル

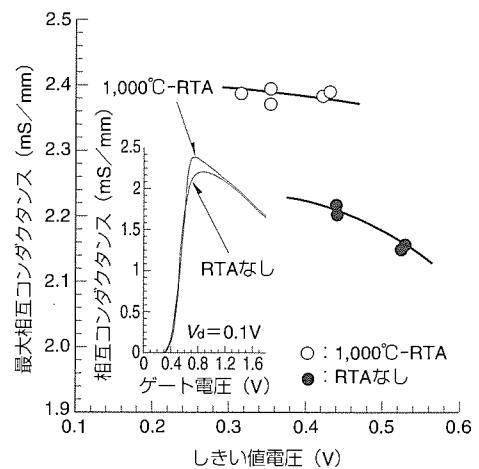


図6. RTA処理による相互コンダクタンス特性の改善

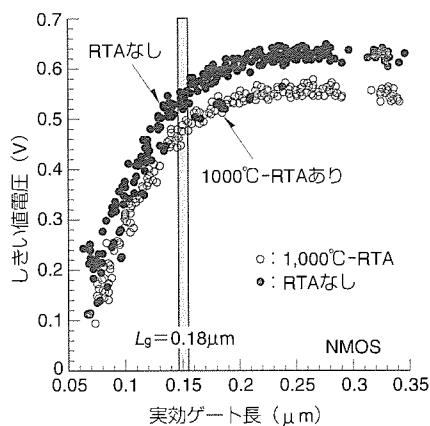


図7. RTA処理による短チャネル効果の改善

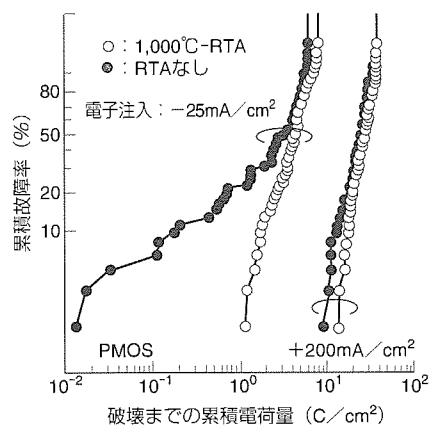


図8. RTA処理によるTDDB特性の改善

の結果は、図5で示したように、RTA処理を行うことで、基板表面のボロン濃度が低下し、表面近傍での不純物散乱の割合が減少したためであると考えられる。なお、BC-PMOSにおいては、電流が流れる部分の不純物濃度が既に十分高いため、相互コンダクタンスの向上は観察されない。

図7に、NMOSの実効ゲート長と線形領域での外挿のしきい値電圧との関係を示す。実効ゲート長は、ポリシリコンのゲート長 $0.18\mu\text{m}$ に対して $0.15\mu\text{m}$ であった。RTA処理を行うことで、短チャネル効果を劣化させることなく、しきい値電圧を下げる事が可能になる。また、PMOSに対しても、図1に示したゲート酸化時のボロンの吸い上げの抑制とプロファイルの急峻化により、NMOSと同様の改善効果が得られている。

このようにしてゲート酸化工程前でのRTA処理を用いて作製されたゲート長 $0.18\mu\text{m}$ のトランジスタは、電源電圧 1.8V 、ゲート酸化膜厚 6nm に対して、NMOSドレイン電流 $+380\mu\text{A}/\mu\text{m}$ 、PMOSドレイン電流 $-170\mu\text{A}/\mu\text{m}$ と良好な特性を示した。

図8に、PMOSに対する定電流ストレス法によるTDDB (Time Dependent Dielectric Breakdown)特性を示す。横軸は素子が破壊するまでにゲート酸化膜に注入された累積

電荷量を示す。電子の注入はゲート電極及び基板から行った。図から分かるように $1,000^\circ\text{C}$ のRTA処理を行うことで、ゲート電極から電子を注入した場合、破壊に至るまでの累積電荷量が増加する、すなわち酸化膜信頼性が向上する結果が得られている。この結果は、RTA処理によってゲート酸化時の過剰なボロンの吸い上げが抑制されたため、及びイオン注入によって導入される欠陥がゲート酸化膜形成前に除去されたために、ゲート酸化膜の信頼性向上を招いたものと考えている。

6. むすび

ゲート酸化膜の形成前に $1,000^\circ\text{C}$ でのRTA処理を挿入することで、NMOS及びPMOSのしきい値電圧の低減、相互コンダクタンスの増加、さらにはゲート酸化膜の信頼性向上が図られ、高駆動能力かつ高信頼性を持ったCMOSを実現できることを示した。これは、イオン注入の際にシリコン基板中に導入される格子間シリコンや点欠陥をRTA処理によって除去し、不純物の過渡的増速拡散及び酸化膜中への偏析を最小限に抑制し、ゲート酸化膜直下の不純物プロファイルを急峻にしたことに起因する。

このプロセス技術により、 $0.18\mu\text{m}$ レベルにおいても、埋込みチャネル型PMOSを用いたシングルゲート構造を踏襲することができる。

参考文献

- (1) Cowern, N.E.B., Janssen, K.T.F., Jos, H.F.F.: Transient Diffusion of Ion-implanted B in Si: Dose, Time, and Matrix Dependence of Atomic and Electrical Profiles, J. Appl. Phys., **68**, 6191 (1990)
- (2) Michel, A.E., Rausch, W., Ronsheim, P.A., Katl, R.H.: Rapid Annealing and the Anomalous Diffusion of Ion Implanted Boron into Silicon, Appl. Phys. Lett., **50**, No. 7, 416 (1987)
- (3) Ono, A., Abiko, H., Sakai, I.: Boron Enhanced Diffusion due to High Energy Ion-implantation and its Suppression by using RTA Process, Mat. Res. Soc. Symp. Proc., **354**, 319 (1995)
- (4) Furukawa, A., Teramoto, A., Shimizu, S., Abe, Y., Tokuda, Y.: Channel Profile Control based on Transient-Enhanced-Diffusion Suppression by RTA for $0.18\mu\text{m}$ Single Gate CMOS, VLSI Symp. Dig., 13 (1996)
- (5) Tsukamoto, K., Komori, S., Kuroi, T., Akasaka, Y.: High-Energy Ion Implantation for ULSI, Nucl. Instrum. and Methods, **B59/60**, 584 (1991)

LSI対応I/Oバッファモデル 開発システム

石田智男*
中村旨生**
Tam X. Cao***

大崎秀史*
三輪久晴*

要旨

LSIの高速化及びエレクトロニクス装置の高度化により、ボード設計において、伝送線路による伝搬遅延、インピーダンスの不一致による反射、隣接伝送線路の影響によるクロストーク等を検証するため、ボード上の配線も含めた電気的特性のシミュレーションを行う必要がある。

ボード設計に必要なLSIのI/O(Input/Output)バッファ部の電気的特性情報を表現するモデルとしてはIBIS(I/O Buffer Information Specification)モデルが提唱され、米国EIA(Electronic Industries Association)で標準化が進められている。IBISモデルは、以下の優れた特長を持っている。

- ボードレベルでのシミュレーションが高速に可能

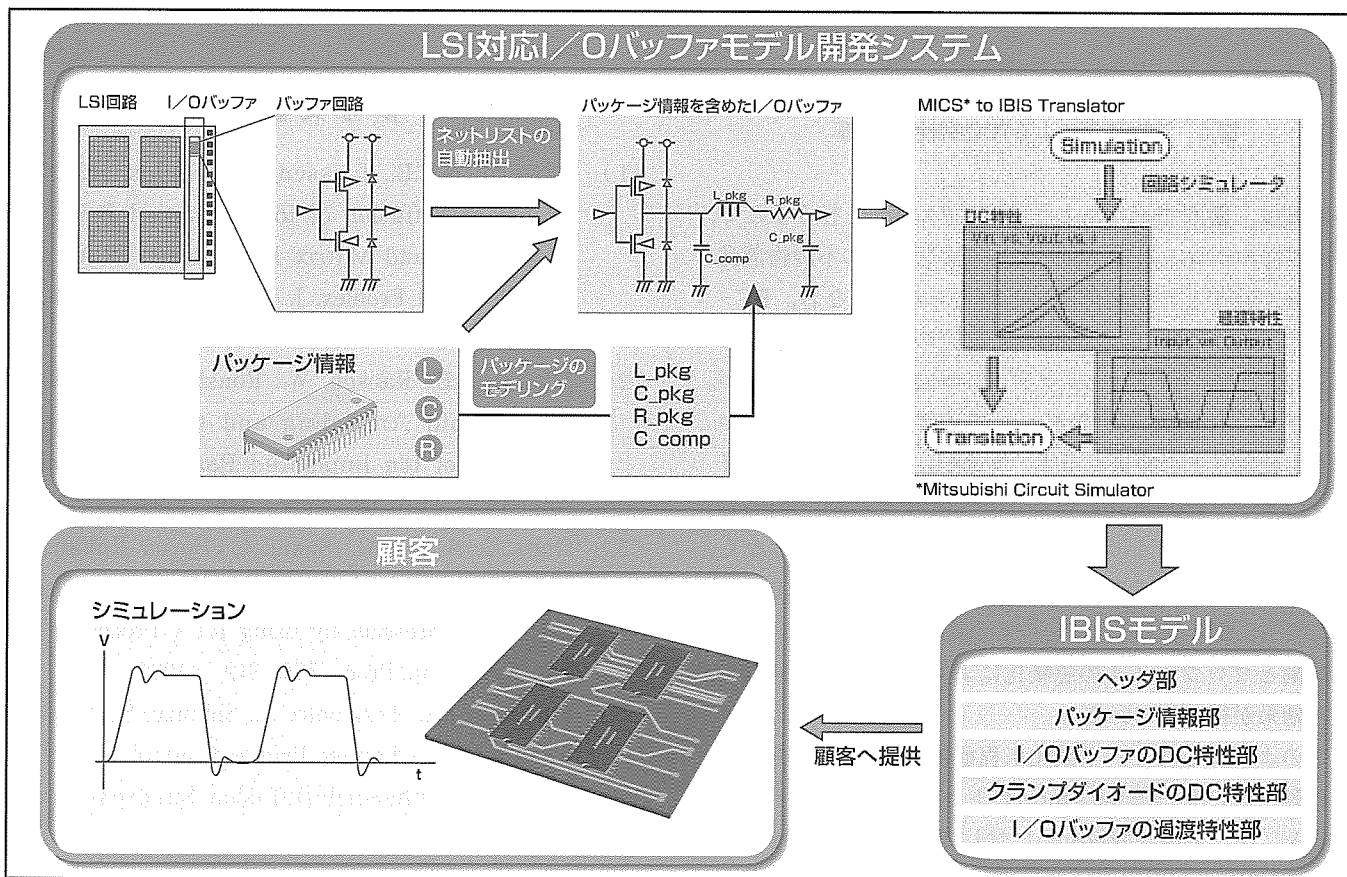
- 半導体ベンダーにとって重要機密であるプロセス情報の隠ぺい(蔽)が可能

このIBISモデルを効率的に作成/検証するために、LSI対応I/Oバッファモデル開発システムを開発した。

このシステムは、次の機能を持っている。

- I/Oバッファ部ネットリスト抽出機能
- コマンドファイル作成機能
- IBISトランスレータ
- IBISモデルフォーマットチェック機能
- IBISモデル検証ツール

このシステムは、メモリ/マイコン/ASICの各製品でIBISモデル開発に適用されている。



LSI対応I/Oバッファモデル開発システムの概要

ボード上の配線も含めた電気的特性のシミュレーションを行うために、I/Oバッファモデルをシステムメーカーやボードメーカー等に提供する必要があります。今回開発したLSI対応I/Oバッファモデル開発システムは、I/Oバッファ部回路図、デバイスモデルパラメータ、パッケージ情報から、I/Oバッファモデルとして業界標準になりつつあるIBISモデルを効率的に作成/検証するものである。

1. ま え が き

近年のLSIの微細化・高速化の進展及びエレクトロニクス装置の高度化により、ボード設計において、伝送線路による伝搬遅延、インピーダンスの不一致による反射、隣接伝送線路の影響によるクロストーク等を検証するため、ボード上の配線も含めた電気的特性のシミュレーションに対する要求が増大してきている。このため、システムメーカーやボードメーカー等から、ボードレベルでのシミュレーションに必要な情報として、LSIのI/Oバッファ部の電気的特性情報を提供することを求められている。

図1に示すように、これまで半導体ベンダーでは、システムメーカーやボードメーカー等からの要求に対して、LSIのI/Oバッファ部の特性を表現する情報として、I/Oバッファ部回路図と半導体デバイスの特性を表現したデバイスモデルパラメータ及びLSIを格納するパッケージの情報(インダクタ、容量、抵抗)を提供してきた。一方、半導体ベンダー、システムメーカー、ボードメーカー等を中心として、新たにLSIのI/Oバッファ部のアナログ動作を表現するモデルとしてIBISモデルが提唱され、業界標準となりつつある。

三菱電機(以下“当社”という。)では、システムメーカーやボードメーカー等に対し、迅速にI/Oバッファモデルを提供するため、IBISモデルを効率的に作成/検証するシステムを開発した。

本稿では、IBISモデルの概要と今回開発したLSI対応I/Oバッファモデル開発システムについて述べる。

2. IBISモデルの特長

IBISモデルは、従来提供してきたI/Oバッファ部回路図とデバイスモデルパラメータ、及びLSIを格納するパッケージの情報(インダクタ、容量、抵抗)からI/Oバッファ部のアナログ動作をテーブル形式で表現したI/Oバッファ部アナログビヘイビアモデルである。IBISモデルは、EIAで標準化が進められており、以下の優れた特長を持っているため、顧客であるシステムメーカーやボードメーカー等からの提供要求が強く、半導体ベンダー各社も提供を始めている。

- (1) I/Oバッファ部のアナログ動作をテーブル形式で表現しているため、ボードレベルでのシミュレーションを高速に行うことができる。
- (2) デバイスモデルパラメータを提供する必要がないので、半導体ベンダーにとって重要機密であるプロセス条件を隠蔽できる。

- (3) 標準化が進められているため、システムメーカーやボードメーカー等で所有している各種ボードレベルシミュレータで伝送線路シミュレーションが可能である。

3. LSI対応I/Oバッファモデル開発システム

図2に、LSI対応I/Oバッファモデル開発システム(以下“このシステム”という。)の構成を示す。図の左上はLSIのI/Oバッファ部の回路接続情報、図の左中はI/Oバッファ部に使用されているトランジスタ素子の特性を表現するためのデバイスモデルパラメータ、図の左下はLSIを格納するパッケージの各ピンに対応した寄生素子(インダクタ、容量、抵抗)情報及び各ピン名等の情報であり、このシステムの入力情報となる。

図のLSI対応I/Oバッファモデル開発システムは、IBISモデルを作成するために必要となるEDA (Electronic Design Automation) ツール群である。ここでは、このシステムを構成する主な機能とツールを述べ、このシステムを利用して作成されたIBISモデルについて紹介する。

3.1 I/Oバッファ用ネットリスト抽出機能

この機能は、論理・回路図データベースから、IBISモデルの対象となるI/Oバッファ部分の回路シミュレータへ入力可能な回路接続情報(以下“ネットリスト”という。)を生成する。この機能では、論理・回路図入力エディタ上で、LSI全体の論理・回路図からI/Oバッファ部分の回路を指

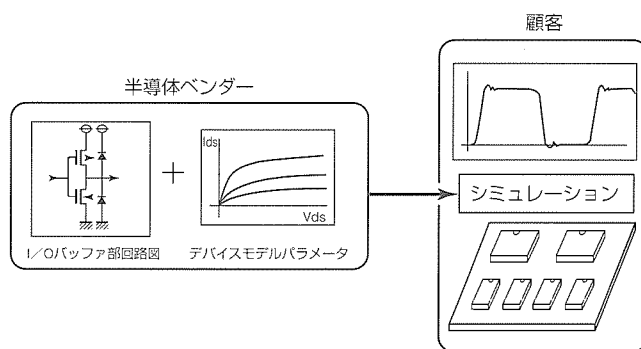


図1. 従来のI/Oバッファ情報提供フロー

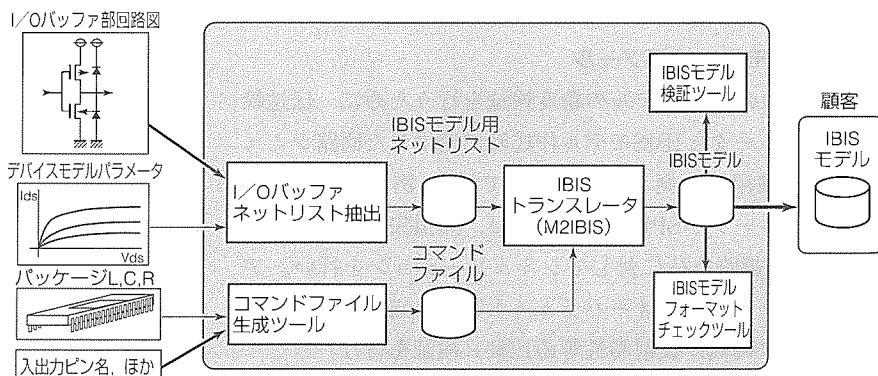


図2. LSI対応I/Oバッファモデル開発システム構成

定することによってネットリストを自動的に作成する。

3.2 コマンドファイル作成機能

コマンドファイルは、後述するIBISトランスレータの動作を制御するコマンド等が記述されたもので、I/Oピン名とバッファモデル名の対応、バッファの動作温度(トランジスタのジャンクション温度)、プロセスのばらつき特性(ティピカル、ワースト、ベスト)対応のデバイスモデル名、各バッファの種類を動作の特徴別にInput, Output, I/O, 3-State 等のバッファタイプが含まれる。これらの情報を対話的に入力してコマンドファイルを自動生成する。

3.3 IBISトランスレータ

コマンドファイルやネットリスト等を入力として、コマンドファイルの記述内容に従ってバッファの電流特性、過渡特性を指定した温度、プロセスのばらつき特性に対応して複数回の回路シミュレーションを自動的に実行し、シミュレーション結果を自動編集してIBISモデルを生成する。これは、ノースカロライナ州立大学で開発されたSPICE(カリフォルニア大学バークレイ校開発の回路シミュレータ)-IBISトランスレータ(以下"s2ibis2"という。)を当社の回路シミュレータ(Mitsubishi Circuit Simulator : MICS)対応に改良したもの(以下"m2ibis2"という。)である。

以下にm2ibis2の仕様について述べる。

(1) サポートしているIBISモデルのバージョン

IBIS ver2.1, ver1.1である。

(2) 利用可能な回路シミュレータ

当社の回路シミュレータ及びs2ibis2で利用可能な市販の回路シミュレータである。

(3) 利用可能なデバイスモデル

カリフォルニア大学バークレイ校で開発したLevel 3, BSIM 1, BSIM 2, BSIM 3 ver3.1等のデバイスモデルである。

3.4 IBISモデルフォーマットチェック機能

作成されたIBISモデルの文法間違いや、各バイアス条件に対する電流特性、過渡特性の非滑らかさを検出し、エラーメッセージや警告メッセージを出力する。IBISモデルの精度は、次節で説明するIBISモデル検証ツールによって行う。

3.5 IBISモデル検証ツール

作成されたIBISモデルの精度検証を行うために、伝送線路シミュレータとIBISモデル作成時に使用した回路シミュレータを使用し、両シミュレータで等価(例えば、伝送線路シミュレータがSPICE系であれば、無損失伝送線路モデル)な伝送線路負荷に対してシミュレーションを行い、アンダシュート特性、オーバシュート特性、立ち上がり時間、立ち下がり時間、反射特性等の比較/検証を行う。

3.6 IBISモデル例

図3に、このシステムを利用して作成したIBISモデルの

例を示す。IBISモデルは、記述される項目別に[]で囲まれたキーワードとその内容の組合せで構成され、以下の主な情報を含んでいる。

(1) LSIのピン名とモデル名の対応

LSIの全ピン名と各ピンに対応するバッファモデルの名前の対応表が記述される。また、パッケージのリードフレームに寄生する容量、抵抗、インダクタも記述される。

(2) バッファの電流特性情報

出力バッファであれば、出力端子の電圧を静的に変化させたときの駆動素子の電流値を記述する。入力バッファであれば、入力の電圧を静的に変化させたときの入力保護ダイオードの電流値を記述する。I/Oバッファ等は、上記出力バッファの電流特性と入力バッファの電流特性の両方の情報が記述される。バッファの電流特性情報は、伝送線路シミュレーションにおいて、伝送線路負荷の駆動能力を決定するために使用する。

(3) バッファの過渡特性情報

```

*****
IBIS file test.ibs created by s2ibis2 version 1.0
North Carolina State University Electronics Research
[Laboratory] 1995
[IBIS ver] 2.1
[File name] test.ibs
[File Rev] 1.0
[Date] Monday, Jun 28, 1997
[Source] File originated at Mitsubishi Electric Corporation.
[Notes] Revision History
[Copyright] Copyright 1997 MITSUBISHI ELECTRIC CORPORATION
[Component] M500000000000
[Manufacturer] Mitsubishi Electric Corp.
[Package]
| variable typ min max
R_pkg 5.27 3.333 6.28
L_pkg 4.16nH 2.43nH 4.87nH
C_pkg 4.78pF 3.52pF 6.55pF
[Pin] signal_name model_name
1 VDD POWER
2 ISH IO-BUF1
.
Data Omitted
.
99 NAK INPUT
100 VSS GND
*****
[Model] IO_BUF1
Model_type 3-state
Polarity Non-Inverting
Enable Active-High
Vmin = 0.900V
Vinh = 3.000V
C_comp 4.100pF 3.500pF 4.300pF
Cref = 50p
Rref = 50
Vref = 1.6V
[Temperature Range] 27.000 120.000 0.000
[Voltage Range] 3.300V 3.000V 3.600V
[Pulldown]
| voltage I(typ) I(min) I(max)
-3.300 0.000A 0.000A 0.000A
.
Data Omitted
.
6.600 0.368A 83.343mA 0.333A
[Pullup]
| voltage I(typ) I(min) I(max)
-3.300 0.333mA 1.332mA 34.965uA
.
Data Omitted
.
4.900 -0.333A -0.315A -0.354A
[GND clamp]
| voltage I(typ) I(min) I(max)
-1.600 -85.658mA -55.955mA -5.152A
.
Data Omitted
.
3.300 15.944pA 12.525pA 17.517pA
[Rising Waveform]
R_fixture = 50.000
V_fixture = 0.000
| time V(typ) V(min) V(max)
0.000S -13.778pV 4.177pV -2.711pV
.
Data Omitted
.
2.500nS 2.133V 1.343V 3.341V
[Falling Waveform]
R_fixture = 50.000
V_fixture = 3.300
| time V(typ) V(min) V(max)
0.000S 3.300V 3.260V 3.552V
.
Data Omitted
.
2.500nS 0.396V 0.716V 0.369V
| End [Model] IO_BUF1

```

図3. IBISモデルの例

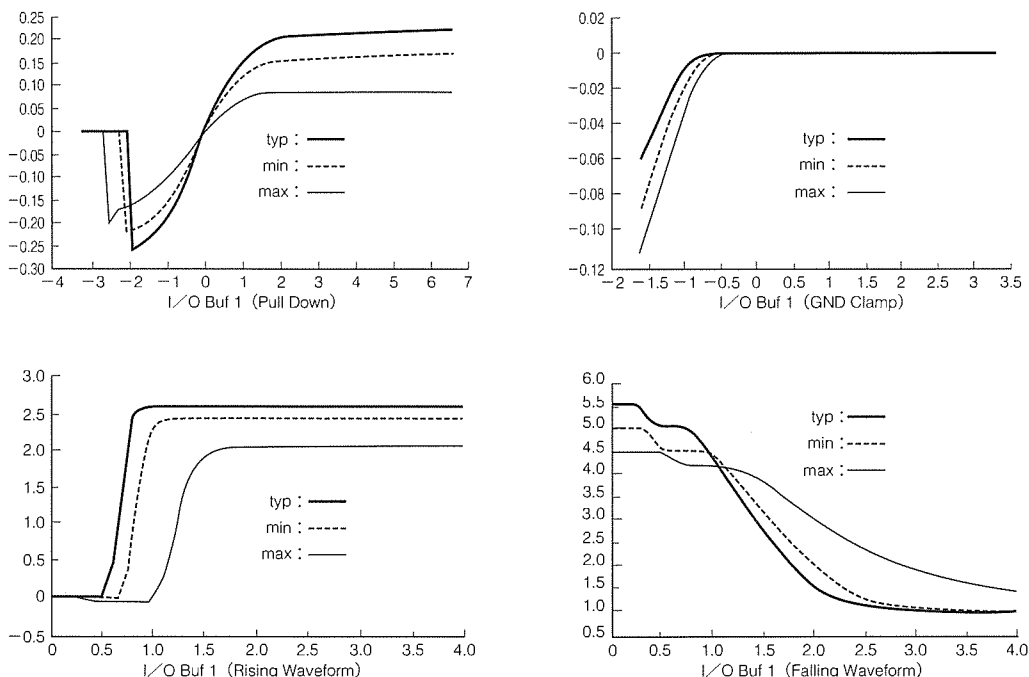


図 4. IBISモデルの特性

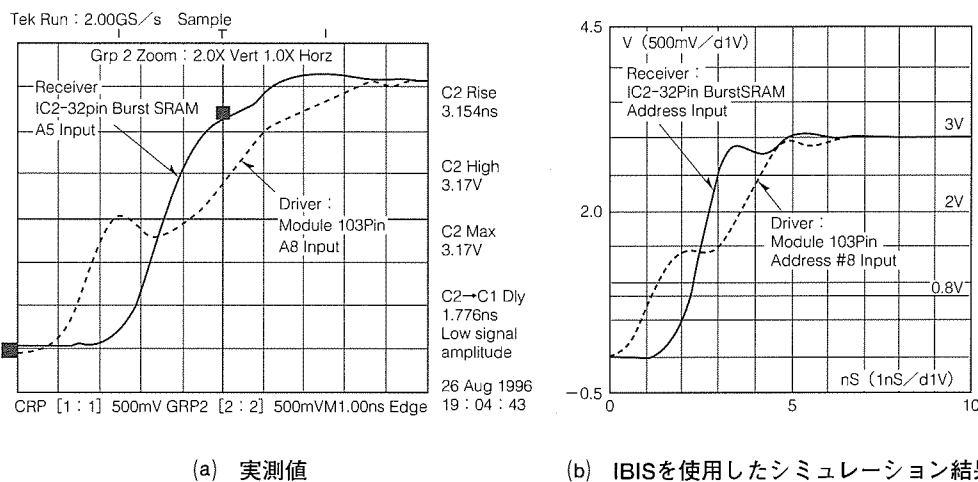


図 5. 実測値とシミュレーション結果の比較

出力バッファに対し、ある一定の出力負荷を駆動する際の立ち上がり、立ち下がり特性の波形情報が時間-電圧値の組合せとして記述される。バッファの過渡特性情報は、伝送線路シミュレーションにおいて、伝送線路負荷による波形の傾きとなまりを決定するために使用する。

図 4 に、3-Stateバッファに対応したIBISモデルの特性グラフを示す。図の上部は電流特性、図の下部は過渡特性のそれぞれ一例である。

4. 製品への適用例

このシステムを使用し、16MビットDRAM、64MビットDRAM、高速SRAM等のメモリ製品、及び特定顧客向

けのマイコン、ASIC製品に適用した。

図 5 に、メモリ製品での実測値と、IBISモデルを使用したボードレベルでのシミュレーション結果を示す。

ボード設計者はシミュレーション波形の、

- 立ち上がり／立ち下がり時間
- オーバシュート／アンダシュート
- 伝搬遅延時間

等から、配置・配線やインピーダンスの調整を行っている。

この製品では、IBISモデルを使用したシミュレーションと実測との誤差が15%程度という実用レベルの結果が得られている。

5. むすび

システムメーカーやボードメーカー等でボードレベルでのシミュレーションを行うために必要なIBISモデルを効率的に作成／検証するシステムを開発した。

このシステムは、メモリ／マイコン／ASIC製品に適用し、システムメーカーやボードメーカー等にIBISモデルを提供することでボードレベルでのシミュレーションに活用されている。

現状は、システムメーカーやボードメーカー等で要求のあった顧客に対してIBISモデルを提供しているが、今後は、メモリ製品の汎用品を中心に、インターネット等を活用してすべてのシステムメーカーやボードメーカー等へIBISモデルを提供できる環境を提供していく予定である。

参考文献

- (1) IBIS Ver2.1, ANSI/EIA-656 Approved Dec. 1995

ボールグリッドアレーパッケージ の最新技術

竹本好孝* 橋本知明*
安永雅敏*
馬場伸治*

要 旨

半導体デバイスの進展に伴い、多ピン化、高放熱、高速動作への対応がパッケージに要求されている。また、携帯電子機器の増加により、パッケージの小型・軽量化への要求がますます強く求められている。

これらを満たすため、従来のリードフレームを用いたプラスチックパッケージからパッケージ裏面にはんだボールの端子を格子状に配列したBGA (Ball Grid Array) パッケージの開発と量産展開を実施している。

従来のプラスチックパッケージであるQFP (Quad Flat Package) と比べると、BGAはその構造から、

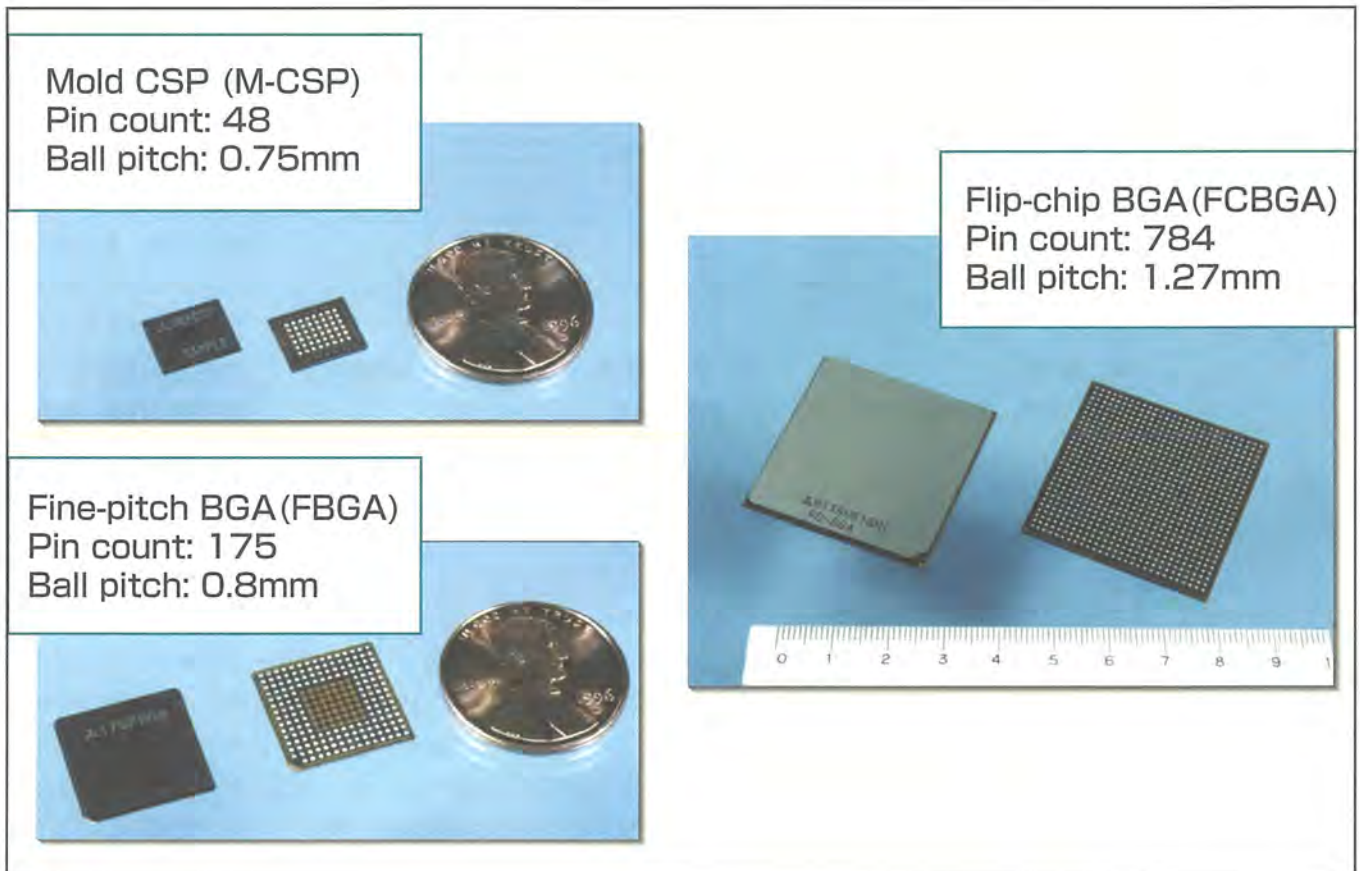
- (1) デバイスの高機能化に伴う多ピン化への対応が容易である。
- (2) チップ上電極とパッケージ端子間の接続をバンプを

用いたフリップチップ構造とすることにより、高速化への対応が可能である。

- (3) パッケージの小型化が可能である。
 - (4) 端子間隔が従来のプラスチックパッケージよりも大きく、基板実装が容易である。
- 等の特長を持っている。

製品への展開として、携帯電子機器用途のデバイスに対応して、Mold CSP (M-CSP)、Fine-pitch BGA (FBGA) の2タイプのChip Scale Package (CSP)を開発した。

また、多ピン化、高放熱、高速動作デバイスに対応して、 μ Flip-chip BGA (μ FCBGA)及び、Flip-chip BGA (FCBGA)の開発を現在進めている。



BGA開発パッケージ

- (1) M-CSP: メモリ品種対応のCSPで、ボールピッチは0.5~0.75mm
- (2) FBGA: マイコンとASIC品種対応のCSPで、ボールピッチは0.8mm
- (3) FCBGA: ASIC品種対応多ピン(500~2,000ピン)、高放熱、高速動作パッケージで、ボールピッチは1.0~1.27mm

1. ま え が き

半導体デバイスの進展に伴い、多ピン化、高放熱、高速動作への対応がパッケージに要求されている。また、携帯電子機器の増加により、パッケージの小型・軽量化への要求がますます強く求められている。

このような状況の下、多ピン、高放熱、高速動作対応パッケージとして200~700ピン級Cavity Down type BGA、100~500ピン級Over Mold type BGAを、また、マイコン、ASIC品種に対応した携帯機器用途の小型・軽量パッケージであるCSPとしてFBGAを現在量産中である。メモリ品種対応のCSPとしてM-CSPの量産を開始した。また、更なる多ピン、高放熱、高速動作対応パッケージとして、FCBGA等のパッケージを開発中である。

本稿では、1998年量産を目指して開発中の μ FCBGA、FCBGA、及び現在量産中のM-CSP、FBGAの各パッケージのターゲットを述べるとともに、CSPに位置付けられるM-CSP、FBGAの概要について述べる。

2. BGAパッケージの開発方針

表1に現在量産中のFBGA、M-CSPと開発中のBGAパッケージを示す。各パッケージを開発するに当たり、以下

の項目を考慮し、パッケージの構造を決定した。

(1) 収納デバイス及びアプリケーションからターゲットとするピン数を決定し、各パッケージが実装される基板仕様と設計ルールを考慮し、パッケージのボールピッチを決定した。

(2) デバイスの多ピン化・高速化及びパッケージの小型化に対応するため、LSIチップの接合方法をバンプを用いたフリップチップ方式とした(M-CSP, μ FCBGA, FCBGA)。また、多品種少量生産に適用するFBGAに関しては、生産性の観点からワイヤボンド方式を採用し、パッケージの小型化によって電気特性を改善した。

(3) CSPに関しては、微細化に伴うLSIチップサイズの縮小化、及び高集積化・多機能化に伴う多ピン化に対応するため、チップエリア内にボールを配列するファンイン構造のみならず、チップ外側にボールを配列するファンアウト構造も採れるようにパッケージにインタポーザ基板を組み込んだ構造とした。

各パッケージのピン数に対する実装面積、動作速度、熱抵抗のマップを図1~図3に示す。

今後、表1に示した4タイプのBGAパッケージを基軸に、パッケージラインアップの充実を含め、展開を図る計画である。

表1. BGA開発パッケージ

Name	Mold CSP	Fine-pitch BGA	μ Flip-chip BGA	Flip-chip BGA
Shorten-name	M-CSP	FBGA	μ FCBGA	FCBGA
Perspective View				
Cross Sectional View				
Device & Application	Low Pin-count : Memory Small Mobile System (Cellular phone, PHS, Pager...)	Low/Middle Pin-count : Memory, MCU, ASIC Portable consumer (DVD, Still camera, PDA, note PC...)	Middle/High Pin-count : ASIC PC, Graphics Board, Network System...	High-end ASIC High Performance System (Server, EWS...)
Pin Count	40~100pin	100~300pin	300~500pin	500~2,000pin
Ball Pitch	0.5~0.75mm	0.8mm	1.0~1.27mm	1.0~1.27mm
Typical Mount Board	Build-up Sub. (For 0.5mm pitch) Line/Space = 50~75/50~75 μ m Via/Land = 50~100/150~250 μ m Layer = 1~2 build layer + 4~6 core + 1~2 build layer	Fine pitch Subtractive Sub. (For 0.75~0.8mm pitch) Line/Space = 75~100/75~100 μ m Via/Land = 100~150/250~300 μ m Layer = 1~2 laminate + 2 core + 1~2 laminate	Multi-Layer Subtractive Sub. Line/Space = 100~150/100~150 μ m Via/Land = 300/700 μ m Layer > 12 (800pin class)	
Interface	Bumping & Flip-chip Bonding Technologies	Wire Bonding Technologies	Bumping & Flip-chip Bonding Technologies	
Phase	Mass Production	Mass Production	Development	Sample

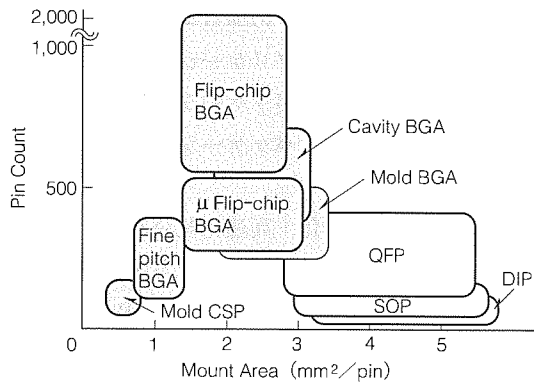


図1. ピン数/実装面積のパッケージマップ

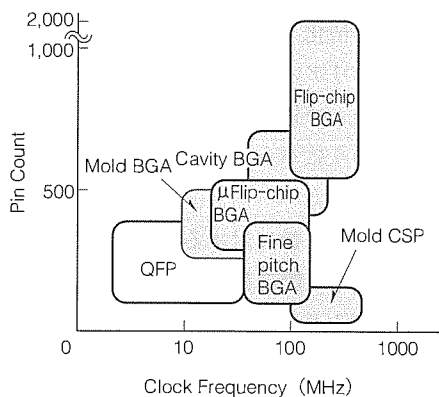


図2. ピン数/動作速度のパッケージマップ

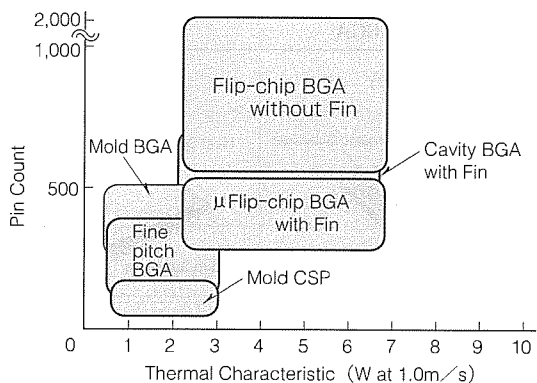


図3. ピン数/熱特性のパッケージマップ

3. CSP

現在、CSPと称される小型パッケージに関し、当社は、前に述べたとおり、①100~300ピンクラスのメモリ、マイコン、ASIC品種対応としてFBGAを、②100ピンクラス以下のメモリ品種対応としてM-CSP、の2タイプのパッケージを現在量産中である。

FBGA及びM-CSPのパッケージ構造、特性等を以下に述べる。

3.1 FBGA

QFPの小型置換えパッケージと位置付けるFBGAのパ

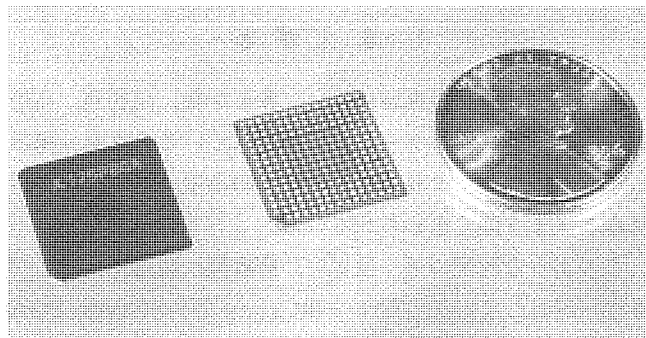


図4. FBGAのパッケージ

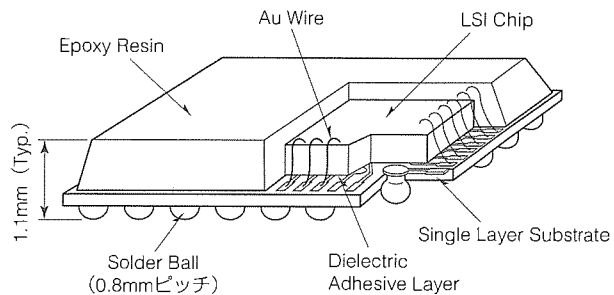


図5. FBGAの斜視図

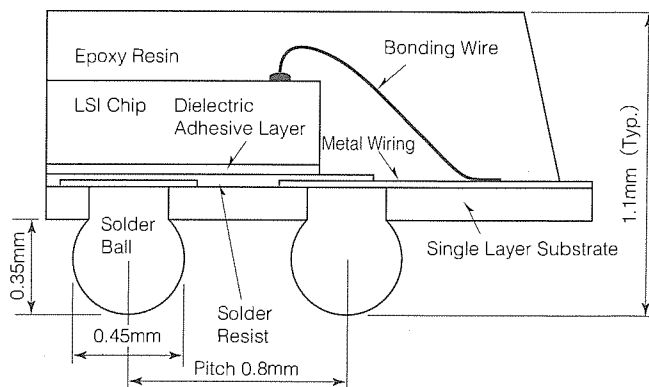


図6. FBGAの断面図

ッケージを図4に示し、斜視図、断面構造を図5、図6に示す。

3.1.1 パッケージの主な特長

(1) パッケージ全高は最大1.2mmで、ボールピッチは0.8mmである。

(2) LSIチップの縮小化・多ピン化に対応することを目的とし、はんだボールをファンインのみならずファンアウトにも配列できるよう、パッケージにインタポーザ基板を組み込んだ構造とした。また、インタポーザ基板には単層配線のガラスエポキシ基板を採用した。

当社がガラスエポキシ基板を採用した主な理由を以下に示す。

(a) パッケージの吸湿率が0.25% (30℃, 70%RH平衡状態)でポリイミドフィルムの約1/3程度であり、かつ

モールド樹脂との接着強度が高く、パッケージのクラック耐性が向上する。

(b) 基板実装後の線膨脹係数が実装基板と等しく、温度サイクル耐性が向上する。

(c) Line/Space = 40 μ m/40 μ mの配線が可能であり、0.8mmのボールピッチで最大5列のボール配列が可能である。

(3) LSIチップとインタポーザ基板上電極との接合を金線によるワイヤボンディング接合とすることにより、多品種少量生産への対応が容易である。

3.1.2 パッケージサイズ比較

外形サイズ13mm×13mm, 175ピンFBGAと、外形サイズ26mm×26mm, リードピッチ0.5mm, 176ピンLQFP (Low-profile QFP)との比較は次のとおりである(図7)。

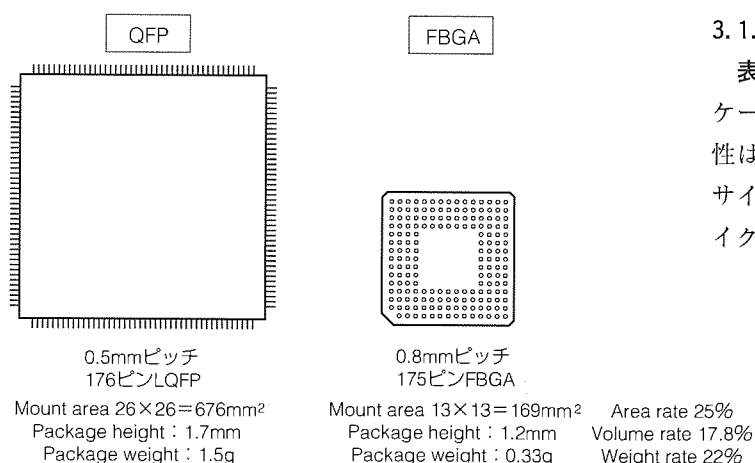


図7. FBGAとLQFPのサイズ比較

表2. FBGAの電気特性シミュレーション結果

	FBGA @200MHz		160QFP (REF) @200MHz
	Simulation model : 175FBGA (Body size 13×13mm)		
Best	Co (pF)	0.221	0.11
	Cm	0.08	0.50
	Ls (nH)	0.52	9.29
	Lm	0.18	5.03
Worst	R (m Ω)	31	1802
	Co (pF)	0.529	0.13
	Cm	0.149	0.71
	Ls (nH)	4.60	11.8
	Lm	1.25	6.32
	R (m Ω)	276	2670

Simulator : Maxwell

- 実装面積 : 25%
- 体積 : 17.8%
- 質量 : 22%

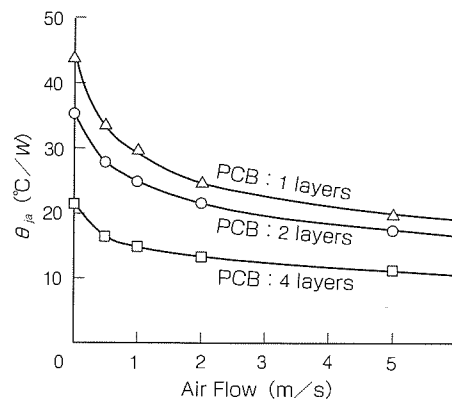
3.1.3 パッケージの電気特性・熱特性

表2にFBGAの電気特性シミュレーション結果を示す。FBGAは、LSIチップとインタポーザ基板上電極との接合に金線によるワイヤボンディング方式を採用しているが、パッケージサイズの小型化によってパッケージ内部の配線長が短くなることから、従来のQFPのインダクタンスと比較して平均約1/10程度となり、高速動作デバイスへの対応も可能である。

熱特性に関しては、図8に実装基板の層数との関係を示した。シミュレーション結果より、LSIチップでの発熱は、パッケージ裏面に配置されたはんだボールを介して実装基板に放散する経路が支配的である。

3.1.4 パッケージの信頼性

表3に外形サイズ13mm×13mm, 175ピンFBGAのパッケージ信頼性評価結果を示した。パッケージ単体での信頼性はQFPと同等レベルである。また、基板実装後の温度サイクル耐性においても、-25 $^{\circ}$ C/125 $^{\circ}$ Cの条件で1,000サイクルの信頼性を持っている。



Simulated Condition

Simulator : IDEAS

- 175FBGA
 - PKG size 13.0mm sq.
 - Chip size 10.5mm sq.
 - Pin count 175pin
- PCB
 - 1 layers 70mm sq. (1 for signal)
 - 2 layers 70mm sq. (2 for signal)
 - 4 layers 70mm sq. (2 for signal+2 for plane)
- Assembly : Single PKG/PCB

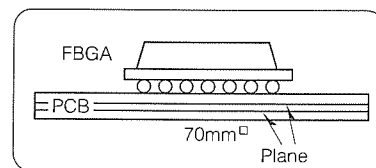


図8. FBGA熱特性シミュレーション結果

3.1.5 パッケージラインアップ

表4にFBGAのパッケージラインアップ計画を示した。現在、外形サイズ13mm×13mm, 175ピン(ボール配列：4列)での量産を実施している。また、'98年から15mm×15mm, 207ピン, 及び17mm×17mm, 255ピン等のパッケージを量産展開する計画である。

3.2 M-CSP

メモリ品種対応CSPとして量産中のM-CSPを図9に示す。斜視図, 断面図を図10, 図11に示す。

3.2.1 パッケージの主な特長

- (1) パッケージ全高は最大1.06mm (0.75mmボールピッチ)で、ボールピッチは0.5~0.75mmである。
- (2) パッケージのインタポーザ基板として、FBGAと同一の単層配線のガラスエポキシ基板を採用し、パッケージクラック耐性の向上、及び基板実装後の温度サイクル耐性の向上を図った。
- (3) LSIチップとインタポーザ基板上電極との接合をバ

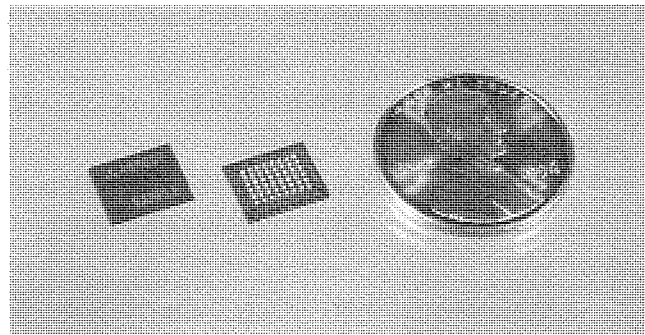


図9. M-CSPのパッケージ

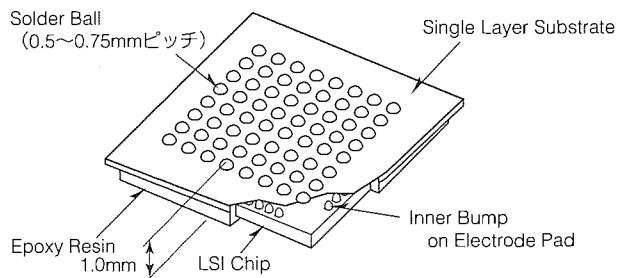


図10. M-CSPの斜視図

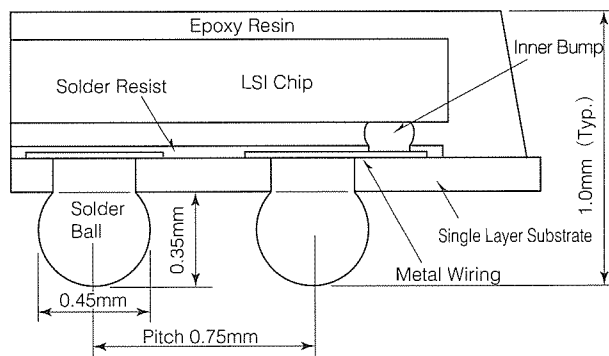


図11. M-CSPの断面図

表3. FBGA信頼性評価結果

Test Item	Condition	Result
Moisture Sensitivity 30°C, 70%RH, t=240h	IR Reflow 230°C, 10s, 3 times	0/10
High Temperature Operating Life Test	125°C, V _{cc} = 6.5V t = 1,000h	0/22
High Temperature Strage Test	150°C t = 1,000h	0/22
Humidity Test with Bias*1	85°C, 85%RH, V _{cc} = 5.5V t = 1,000h	0/10
PCT*1	130°C, 85%RH t = 240h	0/22
Temperature Cycling Test on Board	-25/125°C 1,000cycles	0/15

* 1 : Pre-conditioning : 30°C, 70%RH, 168h→IR Reflow (230°C, 10s, 3 times)

表4. FBGAパッケージのラインアップ計画

	Body Size (mm)		9×9	11×11	13×13	15×15	17×17	19×19
	Square Type	Pin Counts		4Rows: 95pin 5Rows: 99pin	127pin 139pin	175pin 199pin	207pin 239pin	255pin 299pin
Ball Layout								
Rectangular Type*	Body Size (mm)		7×9	9×12	11×14	13×17		
	Pin Counts		4Rows: 69pin 5Rows: —	119pin 129pin	159pin 179pin	215pin 249pin		
	Ball Layout							

* Will add new types according to the actual needs Ball pitch : 0.8mm

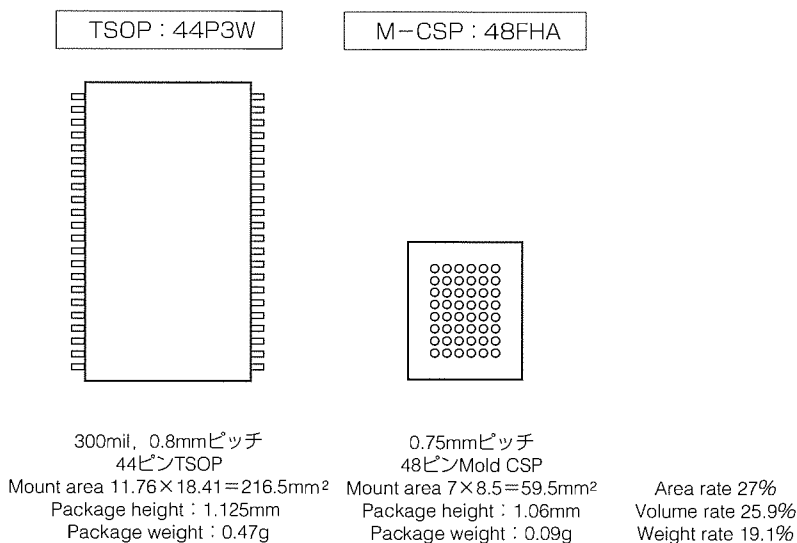


図12. M-CSPとTSOPのサイズ比較

ンプを介したフリップチップ接合とし、今後の高速動作デバイスに対応させた。

(4) LSIチップ及びフリップチップ接続部をトランスファ成形によるエポキシ樹脂で封止することにより、信頼性及びパッケージハンドリング性向上を図った。

3.2.2 パッケージサイズ比較

外形サイズ7mm×8.5mm、48ピンM-CSPパッケージと300milリードピッチ0.8mm、44ピンTSOP(Thin Small Outline Package)との比較は次のとおりである(図12)。

- 実装面積：27%
- 体積：25.9%
- 質量：19.1%

3.2.3 M-CSPの展開

M-CSPは、SRAMデバイスを搭載し、ボールピッチ

0.75mmの構造で、'98年2月から出荷を開始しており、今後、小型携帯機器等に対応するSRAM、フラッシュメモリ、DRAM等のデバイス、及び高速動作を要求されるDRAM品種等のデバイスへの展開を図る計画である。

4. む す び

BGAパッケージ開発方針、及び現在市場ニーズの高いCSPに位置付けられるFBGA、M-CSPの概要について述べた。

今後、前に述べたM-CSP、FBGA、μFCBGA、FCBGAの4種類のパッケージを基軸として、多ピン化、高放熱、高速動作、小型・軽量化等の要求に対応したパッケージ開発と量産展開を進める所存である。



スポットライト

高輝度タイプ 対角31cm (12.1型)

輝度150cd/m²TFTカラー液晶ディスプレイ

TFT型カラー液晶ディスプレイは、薄型化及び高精細・高画質表示に適していることから、ノート型パソコンのディスプレイとして広く用いられています。特に対角31cm(12.1型)SVGAディスプレイは、幅広い製品分野において採用されており、三菱電機では主力機種として開発し、製造を行っています。

市場においてますます強くなる表示性能向上の要求にこたえるため、一層の高輝度化を実現した対角31cm(12.1型)SVGAカラー液晶ディスプレイを製品化しました。

従来品からの改良点

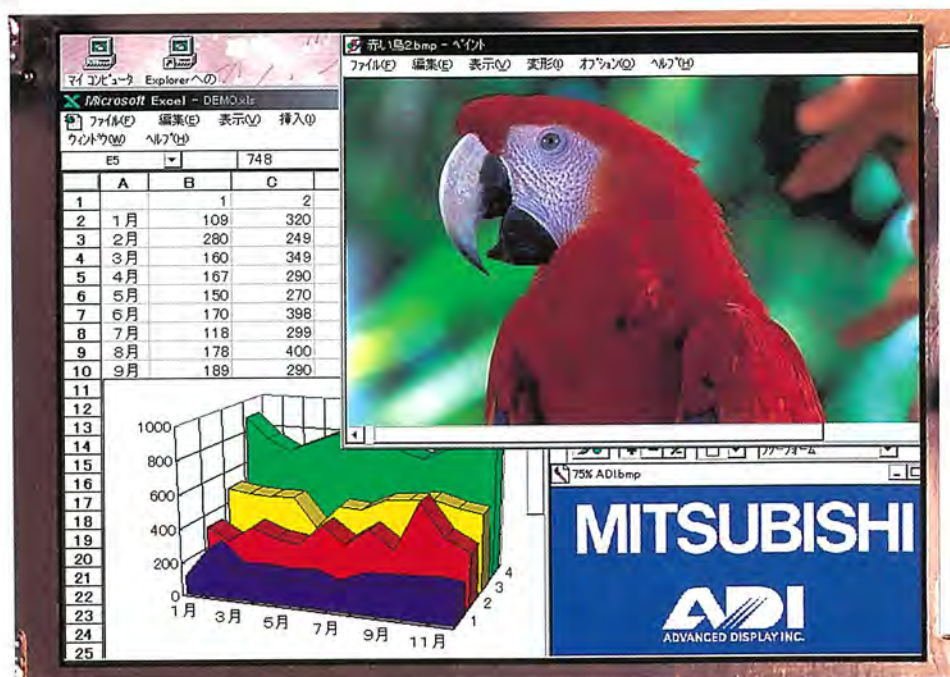
- アレー側画素の開口率改善によってパネル透過率を向上しました。これにより、低消費電力を維持したままで、表示輝度を従来の120cd/m²から150cd/m²に向上させました。

特長

- 高精細動画表示に対応可能なSVGA(解像度：800×600画素) 26万色表示
- 高輝度、高コントラスト表示
- 薄型軽量化設計によって実現した優れた携帯性

AA121SD11の仕様

画素数	800×600
画素ピッチ	0.3075×0.3075 (mm)
有効表示範囲	246.0×184.5 (mm)
外形寸法	275.0×199.0×6.5 (mm)
質量	450g
消費電力	3.8W
輝度	150cd/m ²
コントラスト比	150:1
表示色	26万色 (262k Colors) (6ビット×3)
バックライト	冷陰極管1灯 (CCFT 1 Tube)
供給電源	3.3V



AA121SD11の表示例

(「コダックフォトCDサンプラーウィズフィルム」から転載)



特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター

0120-787-200

指紋照合装置 (特許 第1949457号, 特公平7-69960号)

発明者 大森 正

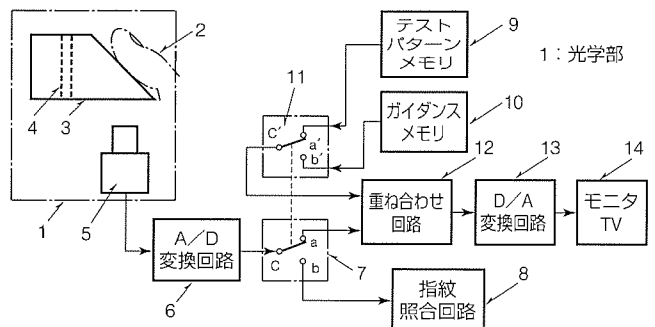
この発明は、指置き部の指紋をテレビカメラで撮像し、得られた信号を処理して登録指紋と照合する指紋照合装置に関するものである。

従来の装置は、指置き部とテレビカメラの相対位置が常に一定であることを前提としていた。このため、テレビカメラ交換の場合、位置調整に膨大な時間を要するとともに、熟練者でないと精度の良い調整ができなかった。

この発明は、上記の問題点を解消するためになされたものである。図はこの発明による実施例の全体的構成を示すブロック図である。指置き部(3)に指(2)を押し当てると、テレビカメラ(5)によって撮像され、A/D変換回路(6)によってデジタル信号に変換されて指紋照合回路(8)に入力され、あらかじめ記憶してある指紋情報と比較して指紋の一致/不一致を判断する。テレビカメラ(5)を交換する場合、テスト板(4)を装着し、テレビカメラ(5)で撮像し、テストパターンメモリ(9)に書き込みをしておく。テ

レビカメラ(5)を交換後、再びテスト板(4)を装着し、現時点でのテストパターン情報とテストパターンメモリ(9)の情報を重ね合わせ回路(12)に加え、モニタテレビ(14)にテストパターンの合成像を表示する。

この構成により、重ね合わせた二つの画像を一致させるように移動機構を操作するだけで、指置き部とテレビカメラの位置を調整することができる。



半導体集積回路装置 (特許 第2052198号, 特公平7-85099号)

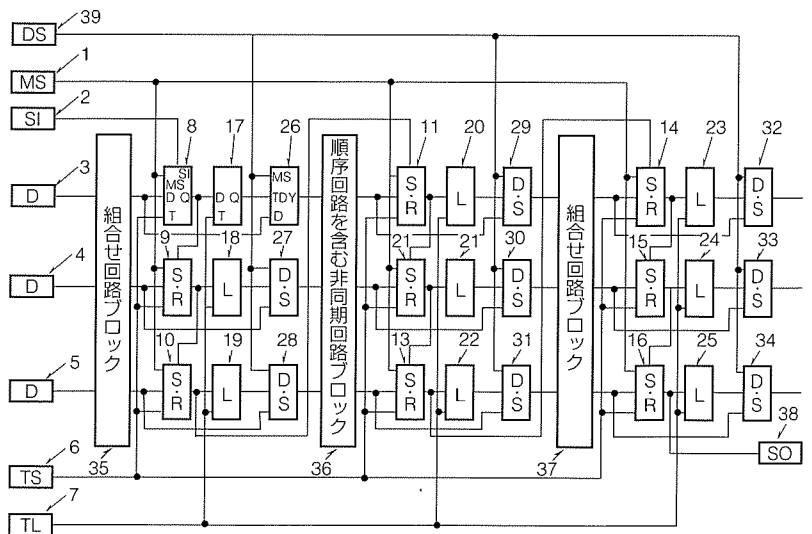
発明者 坂下和広, 岸田 悟, 埴淵敏明, 富岡一郎, 荒川隆彦

この発明は、スキャンバスを用いた半導体集積回路装置のテスト回路に関するものである。

従来の装置は、非同期順序回路を含むブロックについてスキャンテストをする場合、テストモードからスキャンモードへ切り換わるときに、非同期順序回路の状態が変化しないように入力を設定するのが困難であった。

この発明は、上記の問題点を解消するためになされたものである。図にこの発明による実施例を示す。第1の回路ブロック(組合せ回路ブロック35と37)からの信号がロードされるスキャンレジスタ(8~16)の出力信号を一時的に蓄積する一時的蓄積手段(ラッチ回路17~25)と、第1の回路ブロックの出力と一時的蓄積手段の出力とを第2の回路ブロックの入力に選択的に接続する接続手段(データ選択回路26~34)とを備えた。通常動作時には第1の回路ブロックの信号をそのまま第2の回路ブロックに伝送することが可能となり、テスト動作時には、一時的蓄積手段によってスキャンレジ

スタに入力されたテストパターンを第2の回路ブロックに印加し続けた状態でテスト結果をスキャンアウトし、新たなテストパターンをスキャンインすることができる。これにより、スキャンテストを容易に実施でき、テスト設計が容易で、設計コストの廉価な非同期順序回路を含む大規模な半導体集積回路装置が得られる。





特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター
☎0120-787-200

半導体集積回路装置 (特許 第2015961号, 特公平5-68862号)

発明者 坂下和広, 大倉五佐雄

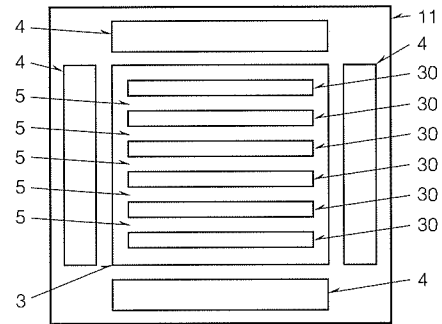
この発明は、マスタスライス方式のゲートアレー形半導体集積回路に関するものである。

従来の装置は、メモリ回路を含む論理回路を実現するため、メモリ専用領域をあらかじめマスタチップに設置する必要がある。またメモリ回路を用いない論理回路の場合には、メモリ専用領域をほかに転用できず、チップの有効利用率が低下し、チップのコストの増大を招く欠点があった。

この発明は、上記の欠点を解消するためになされたものである。図にこの実施例が適用されるゲートアレーLSIのマスタチップ構成を示す。ゲートアレーLSIのマスタチップ(11)上には、その周辺部に四つのバッファ領域(4)が形成され、その領域内に内部ゲート領域(3)が構成される。内部ゲート領域(3)内には複数のセル列ブロック(30)が配置され、それらの間は配線領域(5)となる。各セル列ブロック(30)には回路素子が配列されており、これらの回路素

子に対して配線を形成することによって、様々な論理ゲートが構成される。このようにして構成された論理ゲートの入出力は、配線領域(5)における配線によって接続される。

この発明により、あらかじめマスタチップにメモリ専用領域を設けることなく、配線工程において基本セルに配線することによって任意の領域にメモリ領域を実現できる。



<次号予定> 三菱電機技報 Vol.72 No. 4 特集“トランスナショナル企業を支える生産技術/超薄型・超軽量携帯パソコン Pedion”

特集論文

- グローバル化時代における生産技術
- 半導体工場のワールドワイド展開
- メモリ半導体の歩留り向上技術
- 高精細ビルドアップ基板
- パワー回路の小型・低インダクタンス化
- FA制御機器実装における高密度化への挑戦
- 新形汎用ACサーボモータの生産技術
- 高精度・高能率機械加工技術とその応用
- 冷凍空調用ロータリ圧縮機の同心組立技術
- Mitsubishi Electric Malaysia へのVTRドラム自動組立ての技術移管
- 携帯電話の自動検査と品質情報管理システム
- マイコンウェアハブプロセスの短工期化
- 換気扇工場の生産性向上

- 照明器具の市場即応型生産ライン
 - タイMCP社 エアコン生産工場における一貫生産体制の構築
 - China Ryoden Co., Ltd. の昇降機工場の総合工期短縮
 - 外鉄形変圧器コイル組立て1個流し生産体制の構築
 - 超薄型・超軽量携帯パソコンPedionの特長
 - Pedionの筐体一体型LCDモジュール
 - Pedionの超薄型キーボード
 - Pedionのバッテリーシステム
 - Pedionの筐体実装設計
 - Pedionの熱設計
 - Pedionのデザインコンセプト
- 普通論文
- “中部電力㈱お客さま申込み工事支援システム”における携帯端末“AMiTY”の利用

<p>三菱電機技報編集委員</p> <p>委員長 鈴木 新</p> <p>委員 永田 譲 蔵 河内 浩 明 宇 治 資 正 内 藤 明 彦 岩 泉 和 巳 山 本 延 夫 小 林 保 雄 前 田 信 吾 畑 谷 正 雄 才 田 敏 和 鈴 木 軍 士 郎 鳥 取 浩 井 上 誠 也</p> <p>幹 事 門 田 光 司</p> <p>3月号特集担当 加 藤 直 之</p>	<p>三菱電機技報72巻3号</p> <p>(無断転載を禁ず) 1998年3月22日 印刷 1998年3月25日 発行</p> <p>編集兼発行人 小 林 保 雄</p> <p>印 刷 所 千葉県市川市塩浜三丁目12番地 (〒272-0127) 菱電印刷株式会社</p> <p>発 行 所 東京都港区新橋六丁目4番地9号 北海ビル新橋 (〒105-0004) 三菱電機エンジニアリング株式会社内 「三菱電機技報社」Tel.(03) 3437局2692</p> <p>発 売 元 東京都千代田区神田錦町三丁目1番地 (〒101-0054) 株式会社 オーム社 Tel.(03) 3233局0641(代), 振替口座東京6-20018</p> <p>定 価 1部735円(本体700円) 送料別</p>
---	---

スポットライト

薄型・高輝度 対角36cm (14.1型)

TFTカラー液晶ディスプレイ

TFT型カラー液晶ディスプレイは、薄型、及び高コントラストなど高画質であるという特長を持っており、ノート型パソコン向けディスプレイとして広く用いられています。最近では、対角31cm(12.1型)SVGAディスプレイが幅広い製品分野で採用されていますが、ハイエンドノートパソコン向けに対してより人型高精細ディスプレイの要求があり、三菱電機では昨年対角36cm(14.2型)を開発し、製造してきました。

今回、市場でますます強くなる薄型軽量化及び高輝度化の要求にこたえるため、新たに対角36cm(14.1型)XGAカラー液晶ディスプレイを製品化しました。

従来品からの改良点

- バックライト構造の改良などによってモジュール厚みを従来の9mmから7.5mmまで低減すると同時に、790gから610gまで軽量化しました。
- パネル開口率向上、高透過率カラーフィルタ及びバックライト色度の最適化により、表示輝度を従来の70cd/m²から150cd/m²まで大幅に向上させました。

特長

- 高精細動画表示に対応可能なXGA(解像度:1,024×768画素)
- 高輝度(150cd/m²)、高コントラスト表示(150:1以上)
- 薄型(298.5×227×7.5(mm))、狭額縁(画面占有率90%)で、メガノートパソコン向けディスプレイとして最適

AA141XA01の仕様

画素数	1,024×768
画素ピッチ	0.24×0.24 (mm)
有効表示範囲	285.7×214.3 (mm)
外形寸法	298.5×227×7.5 (mm)
質量	610g
消費電力	4.8W
輝度	150cd/m ²
コントラスト比	150:1
表示色	26万色 (262k Colors) (6ビット×3)
バックライト	冷陰極管1灯 (CCFT 1 Tube)
供給電源	3.3V



AA141XA01の表示例
(「コダックフォトCDサンプラーウィズフィルム」から転載)