

CVD法による高誘電率キャパシタ形成技術

川原孝昭* 結城昭正**
山向幹雄* 斧 高一**
堀川 剛*

要旨

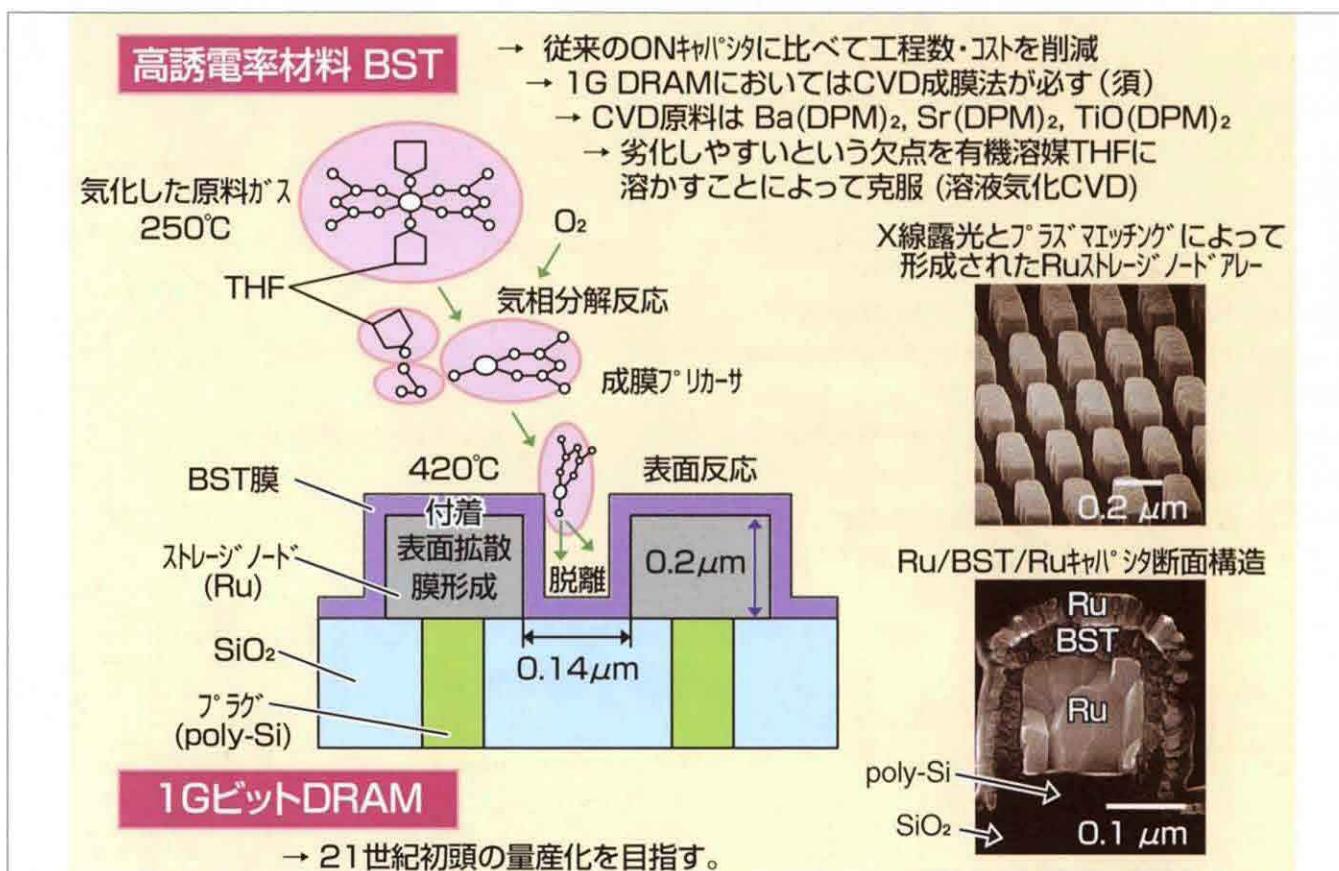
高誘電率材料BSTを用いてギガビットスケールDRAMに必要な~25fF/セルの容量を得るには、高さ~0.2μmの厚膜スタックセルが必要とされ、その形成には段差被覆性に優れたCVD成膜法が必ず(須)である。今回、独自の溶液気化CVD装置を製作し、互いに構造の似た独自のBa, Sr, Ti化合物原料を用いることによって、420°Cという低温で良好なステップカバレッジ80%を得るとともに、同条件下において生じる膜表面異常(突起物)が成膜初期に熱処理を施して核形成密度を増加させることによって抑制できることを見い出した。この420°C、2ステップ成膜によるCVD-BST膜において、平面構造のRu電極上で、酸化膜換算膜厚 $t_{eq} \sim 0.5\text{nm}$ 、リーク電流 $J_L \sim 1.0 \times 10^{-8}\text{A/cm}^2$ (at +1.1V)の電気特性、さらに、段差構造に

おいて側壁の面積增加分の容量増加を確認し、1G DRAMに要求される電気特性を満足するCVD成膜プロセス技術を開発した。

本稿では、このCVD-BST成膜プロセスに関してこれまで得られたデータを概説するとともに、特にこのプロセスにおいてキーとなるCVD原料、カバレッジ、2ステップ成膜等の要素技術に関して詳細に検討した内容について紹介する。

注:略語説明

DRAM: Dynamic Random Access Memory, BST: (Ba, Sr) TiO₃, ON: SiO₂/Si₃N₄, CVD: Chemical Vapor Deposition, DPM: Dipivaloylmethanato, (C₁₁H₁₉O₂), THF: Tetrahydrofuran, (C₄H₈O)



CVD-BST成膜反応モデルと高誘電率キャパシタ断面構造

三菱電機独自の溶液気化法によってCVDリアクタに安定に供給されたBa, Sr, Ti原料は、O₂雰囲気中で気相分解によって成膜前駆体(プリカーサ)を形成し、これが表面反応によって形成されるBSTキャパシタは良好なカバレッジ特性を示し、ギガビットスケールDRAMに適用可能であることを実証した。