

# 5層アルミ配線技術

高田佳史\*  
益子洋治\*

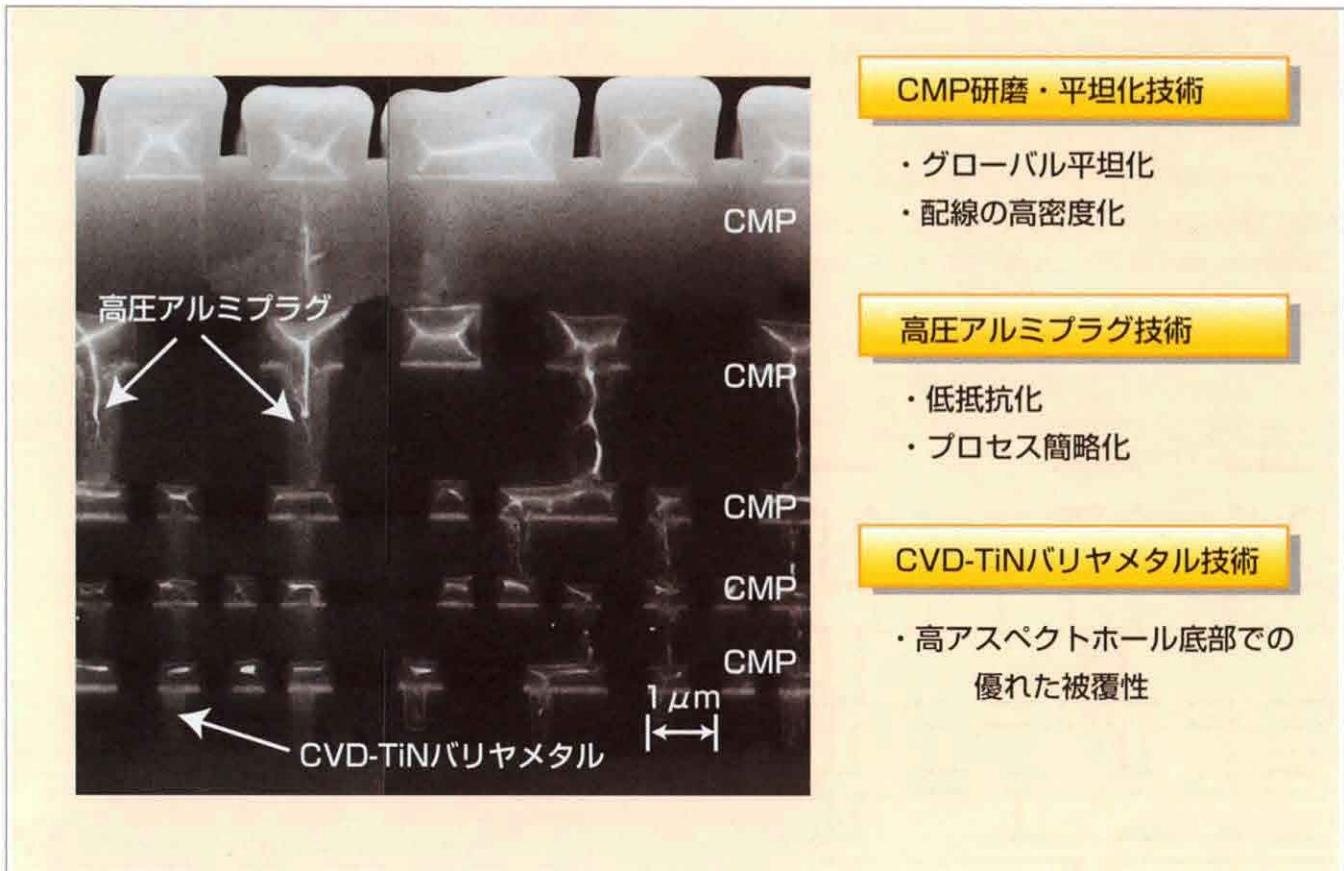
## 要旨

半導体デバイスの高集積化と高速化を実現する上で、高密度で高性能な多層配線技術が必ず(須)である。特にMPU(Microprocessor Unit)などの高速・多機能な先端ロジックLSIでは、配線の高密度化と高信頼度化に加えて4~5層もの多層化が強く求められている。

三菱電機では、多層配線の微細化を大きく阻害する表面段差をなくするために、ウェーハスケールでのグローバル平坦化が可能なCMP(Chemical Mechanical Polishing)法を用いて、0.3μmレベルの微細配線による5層の多層配線を実現した。微細化とともにアスペクト比の増加が著しいコンタクトホールやスルーホールは、高圧アルミプラグ技術によって完全に埋め込み、従来のタングステンプラグ技術によって完全に埋め込み、従来のタングステンプラグ

技術に比べて約1/2の低抵抗化と製造プロセスの簡略化を図った。さらに、CVD-TiNを用いるバリヤメタル形成技術により、従来のスパッタリング法では達成できない極めて優れたホール底部での被覆性を実現し、高いアスペクト比を持つコンタクトホールにおいても安定した電気的特性を実現している。

今後は、配線ピッチの縮小に伴って著しく増大しLSIの動作スピードに影響を及ぼすようになりつつある配線容量を低減するために、層間絶縁膜の低誘電率化等の改良を加え、CMOSロジックデバイスを始めシステムLSIや次世代メモリデバイスの多層配線構造の基幹技術として広く展開していく予定である。



## 0.3μm5層アルミ配線技術

CMP法によってウェーハ表面の段差を解消し、0.3μmレベルの5層アルミ配線構造を実現した。高圧アルミプラグ技術とCVD-TiNバリヤメタル形成技術により、安定した電気特性と製造プロセスの簡略化を図っている。