

低消費電力16ビット固定小数点 ディジタルシグナルプロセッサ

寺岡栄一* 中島正人***
白石竹虎** 西田孝一***
佐藤尚和*

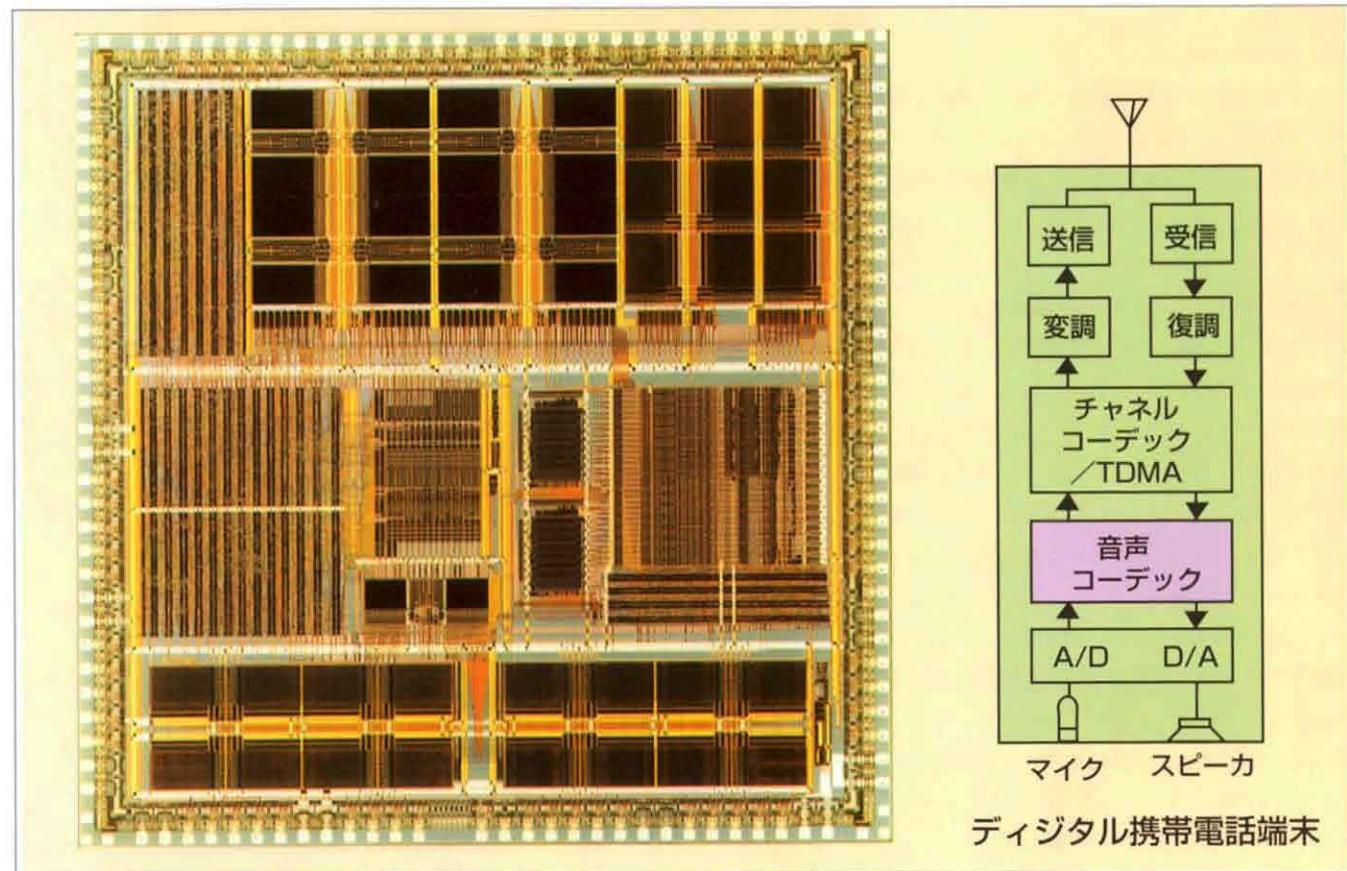
要旨

日本のデジタル携帯電話(Personal Digital Cellular: PDC)は、1993年3月にフルレート方式⁽¹⁾でサービスが開始され、さらに1995年12月には、帯域周波数の利用効率を向上させたハーフレート方式⁽²⁾のサービスも開始された。デジタル方式では、従来のアナログ方式にはない音声信号の符号化・復号処理を行う音声コーデックLSIが必要である。

デジタル方式で採用された音声コーデックは分析合成法を用いる高度な処理アルゴリズムであり、高い演算処理能力と大容量のメモリを持つLSIが必要である。一方、携

帯電話端末は小型のバッテリで動作させるため、低消費電力動作も要求される。

今回、これらの要求を満たす低消費電力16ビット固定小数点ディジタルシグナルプロセッサ(DSP)を開発した。このDSPでは、膨大な演算処理を低い動作周波数で実現するために、二つの積和演算回路を持つアーキテクチャを採用した。さらに、電力消費が多いクロック回路とメモリ回路に対してきめ細かな制御を行い、低消費電力動作を実現した。このDSPは音声コーデック処理のフルレート方式を96mW、ハーフレート方式を120mWで実現できる。



PDC用音声コーデックLSI

0.5μmCMOSプロセスを適用し、16ビット固定小数点DSPコア、大容量メモリ、及び入出力インターフェース回路を集積した。ハーフレート方式の音声コーデック処理を低消費電力で実現できる。