

1M($\times 8/\times 16$), 4M($\times 1/\times 4/\times 8$)ビットセンターパワーピン仕様高速SRAM

木下 淳* 清水禎之*
小久保信幸* 塩見 徹*
樋原洋次*

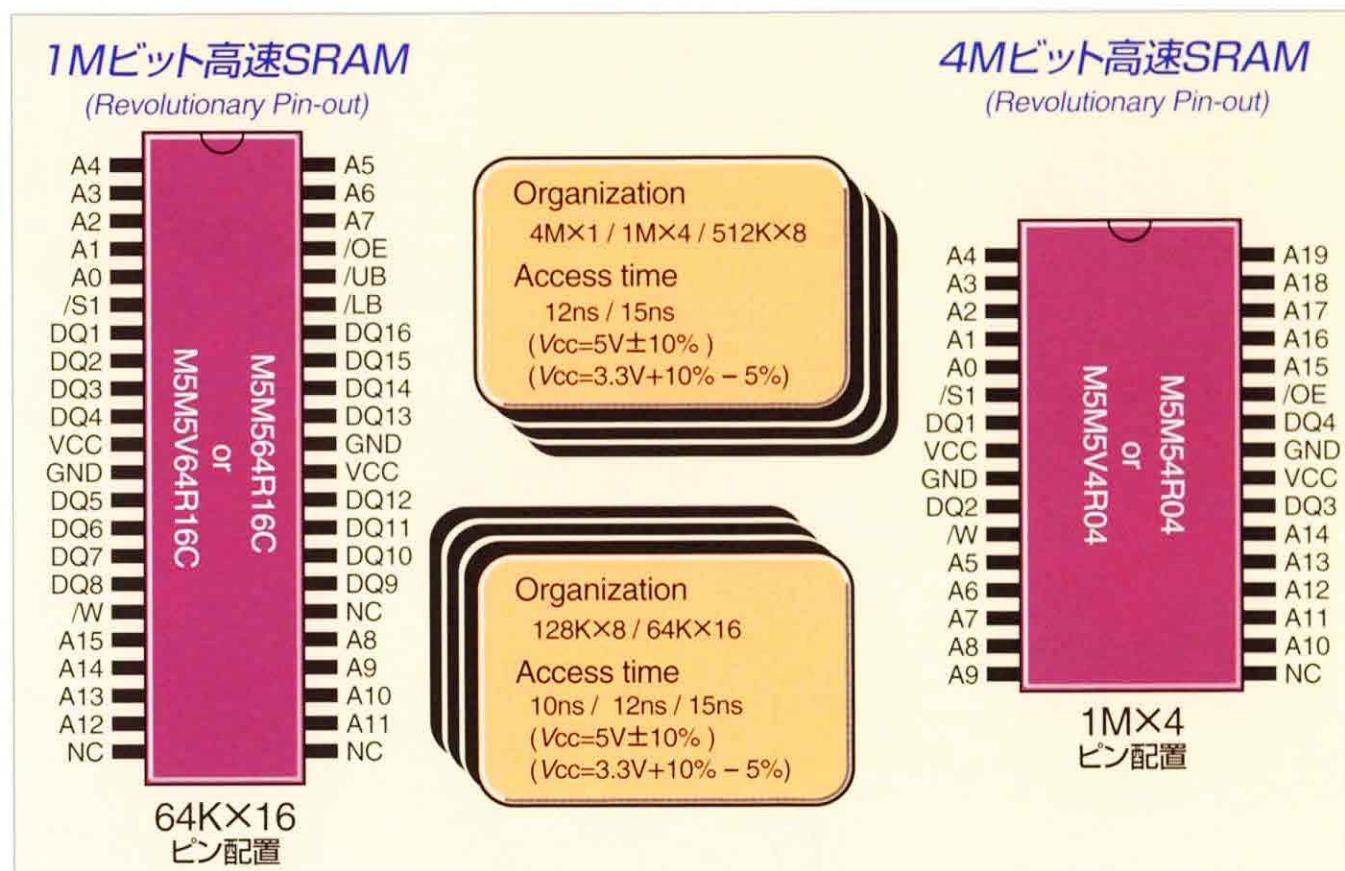
要旨

近年、システムの高速化のため、従来の低消費電力SRAMを用いていたモデム、ネットワークシステムのバッファメモリ等にも、 $\times 8/\times 16$ ビット構成の高速SRAMが使用され始めている。このような市場要求に対応するために、CMOS構造と同一の製造コストでバイポーラトランジスタを形成するスーパ CMOS構造をセンスアンプ回路に用い、最大アクセスタイムが10nsの1M高速SRAM、最大アクセスタイムが12nsの4M高速SRAMを開発した。

製品としては、1M高速SRAMは単一チップをアセンブ

リ工程中のボンディング切換えによってビット構成が異なる2品種、電源電圧仕様が異なる2品種で、各々、パッケージがセンターパワーピン仕様のSOJとTSOP(II)の2種類、4M高速SRAMはビット構成が異なる3品種、電源電圧仕様が異なる2品種で、各々、パッケージがセンターパワーピン仕様のSOJを用意した。

今回開発した1M、4M高速SRAMは携帯電話の基地局のバッファメモリ、モデム、ネットワークシステムのバッファメモリ、HDDのバッファメモリ等に最適である。



製品概要/ピン配置

IM FAST SRAM
128K×8ビット構成 32pin 400mil SOJ TSOP(II)
64K×16ビット構成 44pin 400mil SOJ TSOP(II)

4M FAST SRAM
4M×1, 1M×4ビット構成 32pin 400mil SOJ
512K×8ビット構成 36pin 400mil SOJ