超低電圧動作の16MビットDRAM／SOI技術

栄森貴尚*　下邨研一***
大芦敏行*　島野裕樹***
山口泰男**

要旨

電子産業をけん(牽)引する次世代情報機器を製品化していく上で，LSIの低電力化はその技術の根幹となる。特に新しい可能性を秘めた携帯情報機器の実現に向けて，設計，デバイス，プロセス，実装技術等のあらゆる技術が低電圧化へ向かっている。

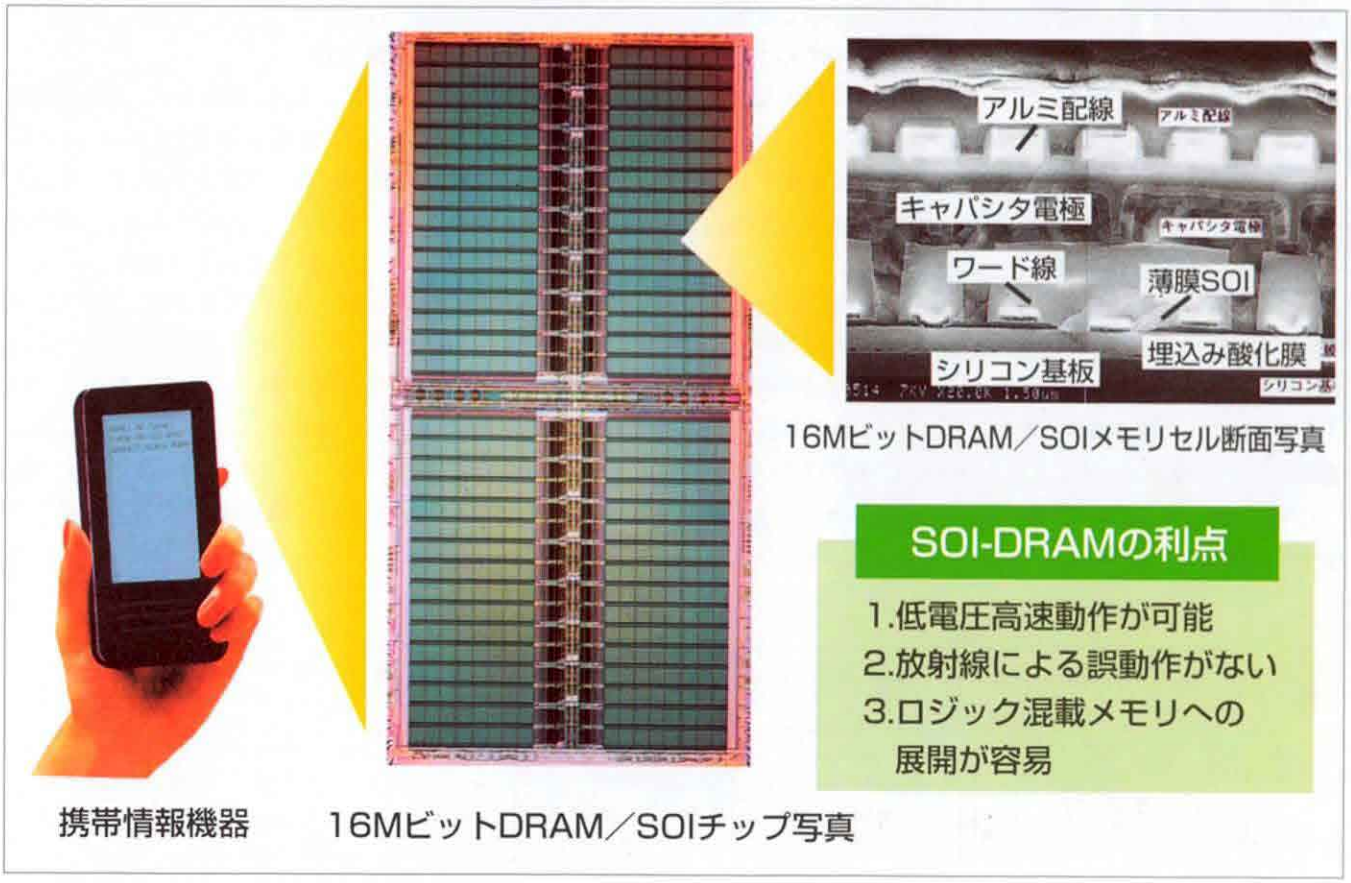
超低電圧DRAMを実現するためには，様々なノイズによる誤動作を制御し，低電圧でも動作するトランジスタを作り込み，なおかつ低電圧下でも十分なデータ読出し感度を確保する必要がある。SOI（Silicon On Insulator）基板上に作られたDRAMは，構造的には基板表面の薄いシリコン層の下に酸化膜が形成されているだけの簡単なものでありながら，従来の厚いシリコン基板だけの構造に比べて，優れた放射線による誤動作の抑制，トランジスタ特性の向上，配線寄生容量の低減などの利点をもたらす。

三菱電機ではSOI-DRAMの開発に早くから着手し，2.5V以下の低電圧で動作するDRAMの試作を行ってきた。今回，より低電圧で高速に動作させるための回路及びプロセス技術を開発し，1V以下で動作する16MビットDRAMを試作した。

低電圧用SOIプロセス技術として，改良型の素子分離技術，低しきい値を実現するSOIトランジスタ技術，微小電荷読出し感度向上などの技術を開発した。低電圧用のSOI回路技術として，トランジスタのボディ電圧を制御し，回路動作の高速化を図る技術を開発した。

これらの技術を搭載した16MビットDRAMを試作し，1V46nsの超低電圧高速動作を実現した。

このDRAMで開発したプロセス及び回路技術は，近年需要の高まっているロジック混載メモリへも容易に適用可能な技術であり，次世代デバイスへの展開が期待される。



16MビットDRAM／SOIチップ写真とメモリセル断面構造

薄膜SOI基板の上に，低電圧対応素子分離及びトランジスタと厚膜スタック型キャパシタセルを持ち，トランジスタのボディ電圧制御による高速化回路を搭載した，0.5μmルールの超低電圧16MビットDRAMを試作した。

*ULSI開発研究所　**同研究所(工博)　***先端技術総合研究所