

1.6Gバイト／秒 高速1Gビット シンクロナスDRAM設計技術

坂下徳美* 小守伸史+
馬場伸治** 久間和生+
有本和民***

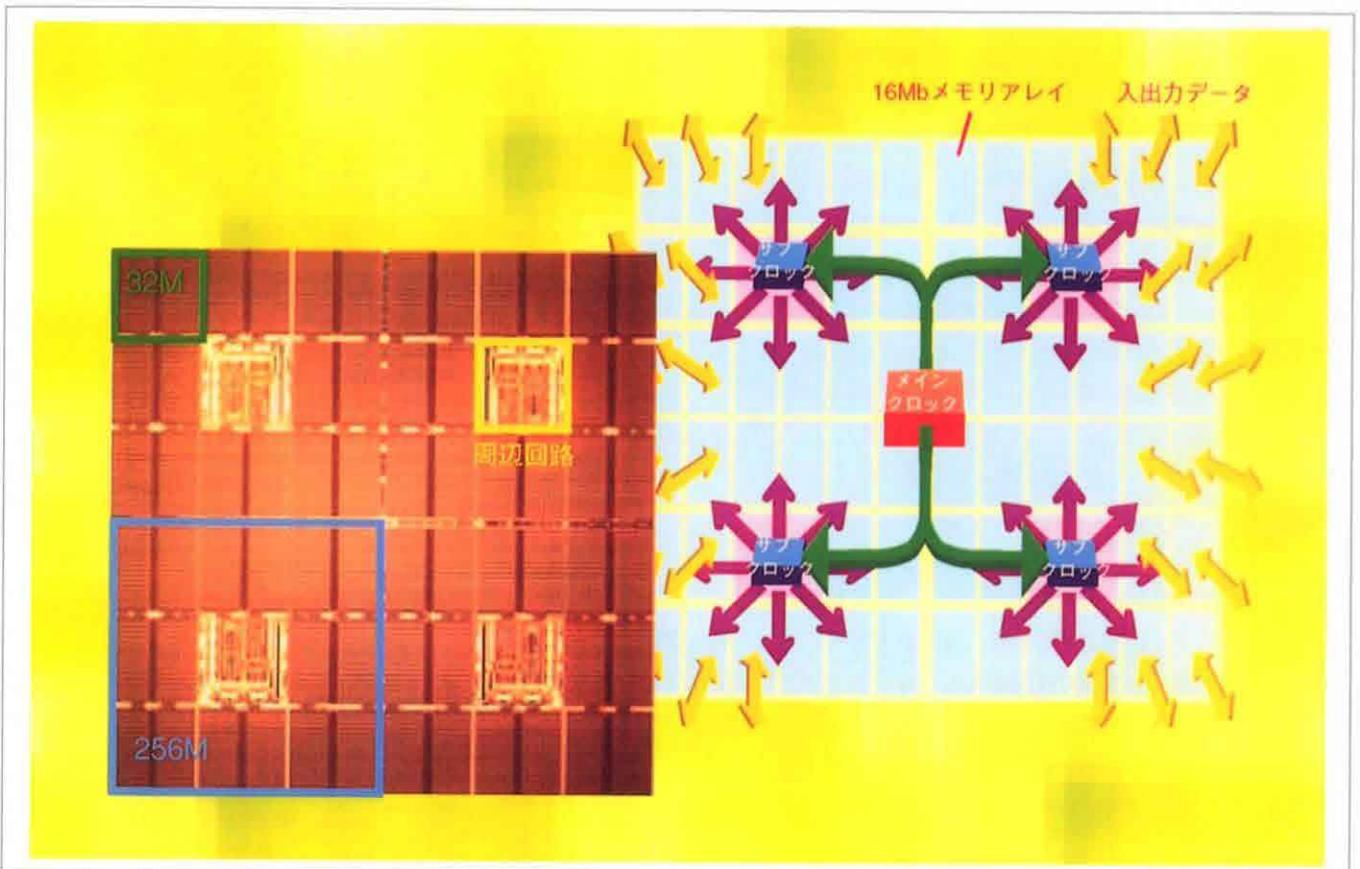
要旨

ギガビット世代の大容量DRAMの応用として、3Dグラフィックス機能を持つ次世代高性能ワークステーション／パソコンのメインメモリとフレームメモリを統合化した先進的なユニファイドメモリを想定して、メモリバンド幅の大幅な向上とチップ面積低減による低価格化を同時に達成するためのシンクロナスDRAM(SDRAM)設計技術を開発した。

開発した1GビットSDRAMでは、高バンド幅を実現するために、入出力データビット数を64ビットと大きくするとともに、200MHzの高速クロックに同期してデータを入出力させ、1.6Gバイト／秒の高データ転送レートを実現した。

メモリアレーを正方形に配置し、配線遅延による信号スキューを最小限に抑える階層型メモリブロックレイアウト方式と、四つのメモリバンクを全メモリアレーに分散配置して配線レイアウトを単純化する分散配置メモリバンク構成を新規に採用することにより、高速なメモリアクセスと入出力データビット数の多ビット化を両立させた。この技術の適用により、従来構成に比べ、アクセス時間 37%減、データI/O配線面積 89%減を達成した。

チップは0.15 μ m CMOS プロセス技術を用い、0.29 μ m²のメモリセルサイズと582mm²の小チップ面積を実現した。パッケージは多ピン化に対応した196ピン CSP (Chip Scale Package) に実装している。



1GビットSDRAMとメモリブロック構成

32個の32Mビットメモリブロックと4個の周辺回路を階層構造の正方形に配置して、1GビットSDRAMを構成した。階層型メモリブロック構成によって信号の配線長を均一にして信号スキューを抑え、分散型メモリバンク方式によってアクセス時間の短縮及び低消費電力を可能にした。