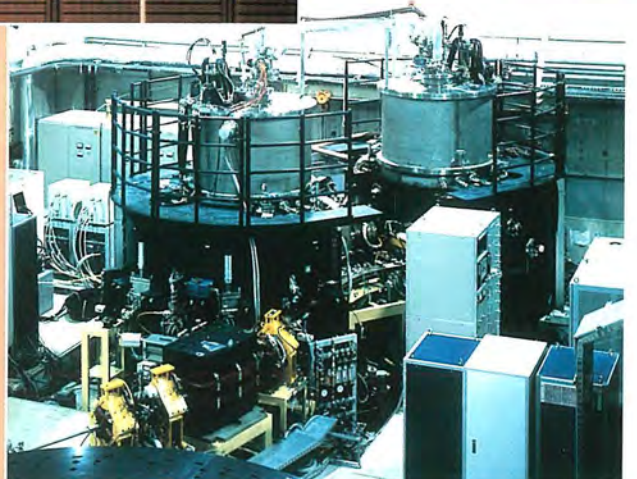
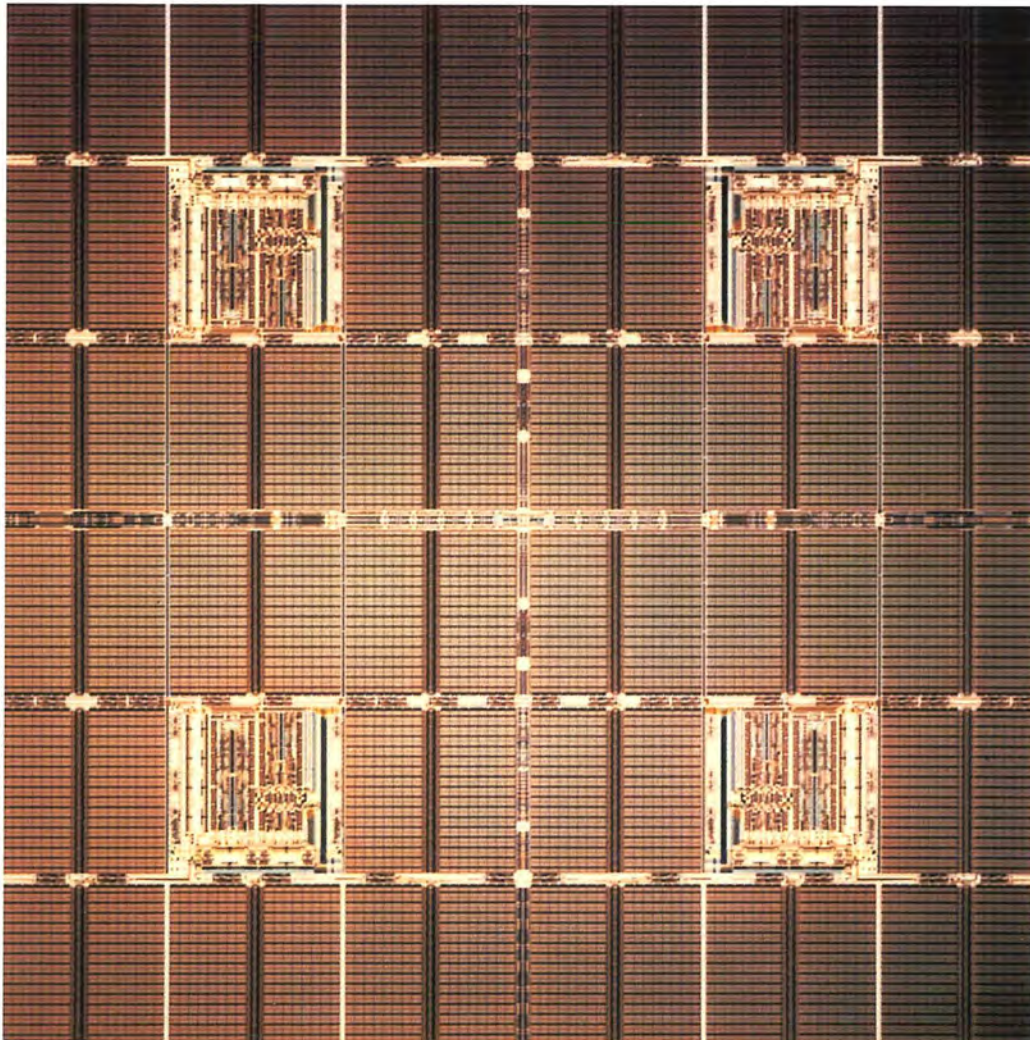


MITSUBISHI

三菱電機技報 Vol.71 No.3

特集 “半導体”

'97 3



特集 “半導体”

目次

特集論文

新しい対話の場のために	1
鳳 絃一郎	
半導体の最近の動向	2
安岡品彦	
メモリ	
1.6Gバイト/秒 高速1GビットシンクロナスDRAM設計技術	7
坂下徳美・馬場伸治・有本和民・小守伸史・久間和生	
超低電圧動作の16MビットDRAM/SOI技術	11
榮森貴尚・大芦敏行・山口泰男・下邨研一・島野裕樹	
1M(×8/×16), 4M(×1/×4/×8)ビットセンターパワーピン仕様高速SRAM	15
木下 淳・小久保信幸・櫻原洋次・清水禎之・塩見 徹	
64Kワード×32ビット バイプラインバーストSRAM	19
東出佳子・大林茂樹・近藤 攝・津田信浩・池谷正之	
3.3V単一電源動作8MビットDINOR型フラッシュメモリ	25
小林真一・野口健次・大前 正・大井 誠	

マイコン

DRAM内蔵RISCマイコンM32R/Dを用いたJavaプラットフォーム	31
坂本 守・峯松 勲・小林稔史・佐藤浩一・平野浩爾	
VTR用16ビットソフトウェアサーボマイコン	35
林 和夫・尚永幸久・土屋 隆・長川勇二	

ASIC

PHS用中間周波数処理LSI	41
佐藤久恭・伊賀哲也・柏木賢一・庭野和人・池田龍彦・益子耕一郎	
低消費電力16ビット固定小数点デジタルシグナルプロセッサ	47
寺岡栄一・白石竹虎・佐藤尚和・中島正人・西田孝一	
ATM-LAN用チップセット	51
影本哲哉・林 勇・町田浩久・中林竹雄・蔵永 寛	

高周波光素子

移動体通信用高性能GaAs半導体デバイス	55
谷野憲之・山本和也・吉田直人・片山秀昭・前村公正・宮崎行雄	
光通信用導波路レンズ付き半導体レーザ	59
武本 彰・柴田公隆・板垣卓士・瀧口 透	

パワー

小容量モータ駆動用アプリケーションスペシフィックIPM	63
ゴープ マジウムダール・太田達雄・福永匡則・為谷典孝・波多江慎治	
トレンチ構造PチャネルパワーMOSFET	69
福持泰明・矢野光洋・幡手一成・檜崎敦司・浜地浩秋	

基盤技術

新しい物理洗浄技術“Mジェットスクラバ”によるパーティクル除去	75
菅野 平・黒田 健・横井直樹・佐藤一直	
KrFエキシマ転写技術	81
山口敦美・中尾修治・若宮 互	
5層アルミ配線技術	85
高田佳史・益子洋治	
完全被覆Cu配線プロセス	91
豊田吉彦・深田哲生・森 剛・長谷川万希子・三上 登	
CVD法による高誘電率キャパシタ形成技術	95
川原孝昭・山向幹雄・堀川 剛・結城昭正・斧 高一	
CuフレームLQFPパッケージ	101
森 隆一郎・鈴木康仁	
クォータミクロンULSI対応マスク描画データ作成システム	105
上山欣也・田岡弘展・森泉幸一・中尾博臣・三輪久晴	

特許と新案

「ワイヤ放電加工装置」「温水器の制御装置」	109
「自動車用ケミカル蓄熱器」	110

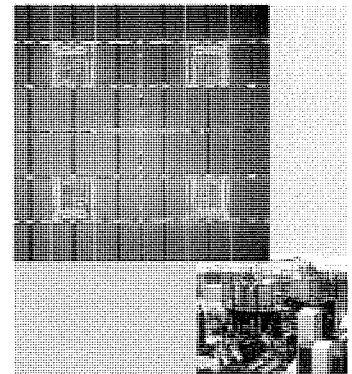
スポットライト

500系新幹線用大容量変圧器	111
新形ノーヒューズ遮断器・漏電遮断器PSS (400~800Aフレーム)	112
A6フルカラービデオコピープロセッサ用ロールペーパー&インクシート	(表3)

表紙

写真は1G(ギガ)ビットシンクロナスDRAMのチップと、そのパターン形成に使用したX線光源装置である。この光源は超電導マグネットを採用したコンパクトサイズのSR (Synchrotron Radiation: シンクロトロン放射光) リングであり、この先にX線露光装置を接続して0.15 μ mの微細パターンを転写する。

このチップはこの微細加工技術によって582mm²のチップサイズに1Gビットすなわち新聞4,000ページ分の情報を蓄積できる。また、次世代高性能ワークステーションやパソコンにおいて三次元グラフィックス機能を実現するのに必要な1.6Gバイト/秒の高速転送が可能である。



三菱電機技報に掲載の技術論文では、国際単位“SI”(SI第2段階(換算値方式)を基本)を使用しています。ただし、保安上、安全上等の理由で、従来単位を使用している場合があります。

アブストラクト

<p>半導体の最近の動向 安岡品彦 三菱電機技報 Vol.71・No.3・p.2~6 (1997)</p> <p>最近の半導体技術について、DRAMを中心にその動向を述べた。これと並行して、システムLSIとして脚光を浴びつつある“eRAM”について紹介した。</p> <p>最先端プロセス関連のドラスティックな変換点となるシリコンウェーハ径の300mm化の動向についても触れ、今後の高性能化・高集積化の継続的発展を支える微細化や多層化等のプロセス技術の将来動向に言及した。</p>	<p>3.3V単一電源動作8MビットDINOR型フラッシュメモリ 小林真一・野口健次・大前 正・大井 誠 三菱電機技報 Vol.71・No.3・p.25~30 (1997)</p> <p>高機能かつ低コストの不揮発性メモリとして、DINOR型フラッシュメモリを(株)日立製作所と共同開発している。今回、16Mに続く第2弾として、8Mの製品を開発した。電源電圧3.3V単一動作、アクセス80nsを実現し、携帯電話を始めとして、あらゆる携帯情報機器や情報処理端末などに利用拡大が期待される。</p> <p>また、今後2.7V単一電源動作、広温度保証品の製品出荷も予定しており、より広範囲な分野への利用が見込まれる。</p>
<p>1.6Gバイト/秒 高速1GビットシンクロナスDRAM設計技術 坂下徳美・馬場伸治・有本和民・小守伸史・久間和生 三菱電機技報 Vol.71・No.3・p.7~10 (1997)</p> <p>メモリアレーを正方形に配置する階層型メモリブロックレイアウト方式と、各バンクを全メモリアレーに分散する分散配置メモリバンク構成の採用により、1.6Gバイト/秒の高スループットを持つ1GビットシンクロナスDRAMを実現した。高速データ転送と大容量化を同時に達成することにより、先進的なユニファイドメモリとしての使用を目指している。チップは0.15μmプロセスを用いて582mm²の小面積化を行い、チップスケールパッケージに実装している。</p>	<p>DRAM内蔵RISCマイコンM32R/Dを用いた Javaプラットフォーム 坂本 守・峯松 勲・小林稔史・佐藤浩一・平野浩爾 三菱電機技報 Vol.71・No.3・p.31~34 (1997)</p> <p>Javaインターネット端末開発・評価用プラットフォームをM32R/Dを用いて開発した。Javaは、今後急速な普及が予想されるインターネット端末の分野で、業界標準になりつつある言語である。このプラットフォームは、カラーLCD、PCMCIA インタフェースを備え、マイクロカーネル+Java ランタイムをベースに、AWT(Abstract Windowing Toolkit)、ネットワーク等のライブラリを実装している。</p>
<p>超低電圧動作の16MビットDRAM/SOI技術 栄森貴尚・大芦敏行・山口泰男・下邨研一・島野裕樹 三菱電機技報 Vol.71・No.3・p.11~14 (1997)</p> <p>1Vで動作する16MビットSOI-DRAMを開発した。低電圧動作実現のために、低電圧用SOIプロセス技術として、改良型のSOI素子分離技術、低しきい値を実現するSOIトランジスタ技術、微小電荷読出し感度向上等の技術を開発した。低電圧用SOI回路技術として、トランジスタのポディ電圧を制御し、回路動作の高速化を図る技術を開発した。</p> <p>これらの技術を搭載した16MビットDRAMを試作し、1V46nsの低電圧高速動作を実現した。</p>	<p>VTR用16ビットソフトウェアサーボマイコン 林 和夫・尚永幸久・土屋 隆・長川勇二 三菱電機技報 Vol.71・No.3・p.35~40 (1997)</p> <p>近年VTRの機能・性能は年々向上し、逆に販売価格は下がっている。それに伴い、VTR用のマイコンに対しても、高機能化、高性能化、部品点数の削減、低価格化が要求され続けている。三菱電機では、従来からソフトウェアサーボによる機能・性能向上、統合化による部品点数削減を提案してきたが、このたび、その集大成とも言うべきM37777 MAA$\times\times\times$GPを開発した。</p>
<p>1M($\times 8/\times 16$), 4M($\times 1/\times 4/\times 8$)ビット センターパワーピン仕様高速SRAM 木下 淳・小久保信幸・樫原洋次・清水禎之・塩見 徹 三菱電機技報 Vol.71・No.3・p.15~18 (1997)</p> <p>近年、低消費電力SRAMを用いていたモデム、ネットワークシステムのバッファメモリなどにも$\times 8/\times 16$ビット構成の高速SRAMが使用され始めている。このような市場に対応するため、当社独自のスーパーCMOSプロセス技術と高速回路技術を用いて1Mビット及び4Mビットのセンターパワーピン (Revolutionary Pin-out) 仕様的高速SRAMを開発し、それぞれ最大アクセスタイム10ns, 12nsを達成した。</p>	<p>PHS用中間周波数処理LSI 佐藤久恭・伊賀哲也・柏木賢一・庭野和人・池田龍彦・益子耕一郎 三菱電機技報 Vol.71・No.3・p.41~46 (1997)</p> <p>PHS (Personal Handy phone System) の中間周波数を処理するLSI (M64820FP) を開発した。従来この部分はGaAsデバイスや個別ICを使用して構成していたもので、0.8μm高周波BiCMOSプロセスを用いることにより、世界で初めて1チップ化を実現した。きめ細かいパワーマネージメントと回路の最適化により、送信電流44mA、受信電流24mAという世界最小の消費電流で動作する。このLSIにより、端末の小型化、通話時間及び待受け時間の長時間化が可能となる。</p>
<p>64Kワード\times32ビット パイプラインバーストSRAM 東出佳子・大林茂樹・近藤 攝・津田信浩・池谷正之 三菱電機技報 Vol.71・No.3・p.19~24 (1997)</p> <p>近年のパソコン向けCPUの急激な性能向上に伴い、パソコンのキャッシュの容量が増大している。現在、主流の256Kバイトキャッシュシステムは、当社が既に製品化している2個の32K\times32パイプラインバーストSRAMで構成可能であった。しかし、今後主流となる512Kバイトシステムでは、4個の同製品が必要である。今回開発した64K\times32パイプラインバーストSRAMを使用すると、2個で512Kバイトシステムを構成でき、部品数の削減が可能となる。</p>	<p>低消費電力16ビット固定小数点デジタルシグナルプロセッサ 寺岡栄一・白石竹虎・佐藤尚和・中島正人・西田孝一 三菱電機技報 Vol.71・No.3・p.47~50 (1997)</p> <p>携帯電話や情報端末等に代表される通信機器の小型・携帯化に対応するため、16ビット固定小数点デジタルシグナルプロセッサコア、大容量メモリ、及び入出力インタフェース回路を1チップに集積した。0.5μm CMOS 1層ポリと2層アルミプロセスを適用し、二つの積和演算回路を持つアーキテクチャ採用ときめ細かな回路動作の制御を行い、低消費電力動作を実現した。デジタル携帯電話ハーフレート方式の音声コーデック処理を120mWで実現できる。</p>

Abstracts

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 25–30 (1997)

A 3.3V-Only 8Mb DINOR Flash Memory

by Shin'ichi Kobayashi, Kenji Noguchi, Tadashi Dmae & Makoto Di

Mitsubishi Electric and Hitachi have jointly developed an 8Mb DINOR flash memory device for implementing high-performance, low-cost nonvolatile memory applications. The device operates on a single 3.3V supply with an access time of 80ns, making it suitable for cellular phones and other handheld information terminals. A similar flash memory with a 2.7V supply and wider operating temperature range will also be shipped soon, further widening application possibilities. The 8Mb device supplements a previously developed 16Mb DINOR flash memory device.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 2–6 (1997)

Recent Trends in Semiconductors

by Akihiko Yasuoka

The article reports on trends in DRAM technologies, including 'eRAM' a promising system LSI technology. The article touches on migration to 300mm - diameter wafers, and trends in advanced lithography and multilayer interconnect process technologies that are driving the continued advances in device performance and integration.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 31–34 (1997)

A Java Platform Using a M32R/D RISC MCU with Embedded DRAM

by Mamoru Sakamoto, Koichi Sato, Isao Minematsu, Koji Hirano & Toshifumi Kobayashi

Mitsubishi Electric has developed an M32R/D microcomputer unit (MCU) platform for developing Java-based Internet terminals. The platform has hardware interfaces for color LCDs and PCMCIA cards, and a software library including a microkernel, runtime Java support, networking support and the Abstract Windowing Toolkit (AWT). Java is seen as the de facto standard language in the emerging field of Internet terminals.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 7–10 (1997)

Design Technology for a 1Gb Synchronous DRAM with a 1.6GB/s Data Rate

by Narumi Sakashita, Shinji Baba, Kazutami Arimoto, Shinji Komori & Kazuo Kyuma

Mitsubishi Electric has developed a 1Gb synchronous DRAM with a throughput of 1.6GB/s that uses a square memory array, a hierarchical memory block layout and memory banks distributed throughout the array. The combination of large capacity and high speed make this device suitable for advanced unified memory applications. The device employs 0.15 μ m geometry, enabling a die area of just 582mm². It is mounted in a chip-scale package.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 35–40 (1997)

A 16b Microcomputer for VCR Software Servo Applications

by Kazuo Hayashi, Yukihisa Naoe, Takashi Tsuchiya & Yuji Nagakawa

The capabilities of VCRs are increasing while retail prices continue to fall. Microcomputers for VCR applications need to support enhanced performance, a broader range of functions and low-component-count design while meeting the demand for price reduction. Mitsubishi Electric has previously implemented servo control systems in software to boost functionality and performance, and has taken advantage of integration to reduce component count. The newly developed M3777MAA $\times \times$ GP continues this evolutionary process.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 11–14 (1997)

16Mb SOI-DRAM Technologies for Sub-1Volt Operation

by Takahisa Eimori, Toshiyuki Oashi, Yasuo Yamaguchi, Ken'ichi Shimomura & Hiroki Shimano

Mitsubishi Electric has developed a low-voltage, high-speed 16Mb silicon-on-insulator (SOI)-DRAM. Key process and circuit technologies incorporated include modified MESA isolation, a low-threshold dual-gate SOI transistor, Cb/Cs ratio reduction and enhanced drivability via the body bias control of the SOI transistor. An experimental 16Mb SOI-DRAM has demonstrated a 46ns RAS access time at 1V.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 41–46 (1997)

An Information-Processing LSI for PHS Terminals

by Hisayasu Sato, Tetsuya Iga, Ken'ichi Kashiwagi, Kazuhito Niwano, Tatsuhiko Ikeda & Kouichiro Masuko

Mitsubishi Electric has developed a complete single-chip solution for information processing in terminals for Japan's Personal Handyphone System (PHS) of cordless digital telephones. Based on a 0.8 μ m high-frequency BiCMOS process, the M64820FP replaces previous solutions using a combination of discrete GaAs devices and ICs. Careful power management and circuit optimization yield the world's lowest power consumption of 44mA during transmission and 24mA during reception. The device permits reduction in the size of PHS terminals and increases the operating time per charge.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 15–18 (1997)

1Mb and 4Mb High-Speed SRAMs with Centrally Located Power Pins

by Atsushi Kinoshita, Nobuyuki Kokubo, Yoji Kashiwara, Tadayuki Shimizu & Toru Shiomi

High-speed SRAM with 8b and 16b word organization are finding applications in modems and network buffer memories. Mitsubishi Electric has developed 1Mb and 4Mb high-speed SRAMs employing proprietary CMOS process technology, high-speed circuit technology and a revolutionary pinout with centrally located power pins. The access times for the devices are 10ns and 12ns, respectively.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 47–50 (1997)

A Low-Power 16b Fixed-Point Digital Signal Processor

by Eiichi Teraoka, Taketora Shiraishi, Hisakazu Sato, Masato Nakajima & Koichi Nishida

Mitsubishi Electric has developed a 16b fixed-point digital signal processor (DSP) incorporating a 16b fixed-point DSP core, program memory, data memory and peripherals for the digital cellular mobile telephone system. In order to reduce power consumption, the DSP utilizes a dual datapath architecture and low-power circuit design technology. Fabricated using 0.5 μ m single-polysilicon, double-metal CMOS technology, the DSP operates at the low-power of 120mW, which is suitable for the personal digital cellular (PDC) half-rate CODEC.

Mitsubishi Denki Gihō: Vol. 71, No. 3, pp. 19–24 (1997)

A 64K x 32b Pipeline Burst SRAM

by Yoshiko Higashide, Shigeki Dbayashi, Setsu Kondo, Nobuhiro Tsuda & Masayuki Iketani

Personal computers are using larger cache memories to support increasing microprocessor performance and larger main memory capacities. The commonly used 256KB cache size can be realized using two 32K \times 32b pipeline burst SRAMs. Mitsubishi Electric has developed a new 64K \times 32b SRAM enabling a 512KB cache to be implemented using only two devices, instead of the four previously required.

アブストラクト

<p>ATM-LAN用チップセット 影本哲哉・林 勇・町田浩久・小林竹雄・蔵永 寛 三菱電機技報 Vol.71・No.3・p.51～54 (1997)</p> <p>ATM (Asynchronous Transfer Mode)-LAN (Local Area Network) 用チップセットを開発した。</p> <p>このチップセットは、パソコンやワークステーションをATM-LANに接続するための機能を実現し、これを用いてネットワークインタフェースカードを構成することができる。評価の結果、このチップセットは送受信それぞれで155Mbpsのデータ転送能力があることを確認した。</p>	<p>新しい物理洗浄技術“Mジェットスクラバ”によるパーティクル除去 菅野 至・黒田 健・横井直樹・佐藤一直 三菱電機技報 Vol.71・No.3・p.75～80 (1997)</p> <p>新しい物理洗浄法として約10μmの微小水滴を最大音速度(330m/s)の高速ガス噴流とともにウェーハ表面に衝突させてパーティクルを除去するM(ミスト)ジェットスクラバを開発した。超音波を利用した従来のメガソニック洗浄では、0.1μmレベルの微小パーティクルに対して洗浄力が低く、また微細パターンへのダメージ制御が困難である。これに対し、Mジェットスクラバは洗浄力が高く、ダメージ制御が容易である。</p>
<p>移動体通信用高性能GaAs半導体デバイス 谷野憲之・山本和也・吉田直人・片山秀昭・前村公正・宮崎行雄 三菱電機技報 Vol.71・No.3・p.55～58 (1997)</p> <p>移動体通信用携帯端末の小型・低消費電力化の要求にこたえるため、2種類の高性能GaAsデバイスを開発した。</p> <p>携帯電話用として、高出力HEMTの開発により、電力効率50%の0.9GHz帯1.3W送信電力増幅器モジュールを実現した。</p> <p>またPHS用として、高均一プレーナSAGFETの開発により、送受信回路、送受切換スイッチ、可変アッテネータを初めて1チップ化した1.9GHz帯RFフロントエンドICを実現した。</p>	<p>KrFエキシマ転写技術 山口淳美・中尾修治・若宮 互 三菱電機技報 Vol.71・No.3・p.81～84 (1997)</p> <p>64MビットDRAMの製造技術として、KrFエキシマレーザーリソグラフィを確立した。下地基板処理、上層保護膜プロセス、反射防止膜プロセスの開発を行うとともに、レジスト塗布から現象までのインライン化により、化学増幅型レジストが持つ解像特性の不安定性を解消した。また、レベソソ型位相シフトマスクを応用し、0.10μmホールパターンを形成した。現在、次世代デバイスに向けて実用化を目指している。</p>
<p>光通信用導波路レンズ付き半導体レーザー 武本 彰・柴田公隆・板垣卓士・瀧口 透 三菱電機技報 Vol.71・No.3・p.59～62 (1997)</p> <p>光送信モジュールの小型・低コスト化を実現するため、モジュールの部品点数の削減や組立時間の低減を可能にするレンズ機能を集積した半導体レーザーを開発した。このレーザーは光送信モジュールで使用されているガラスレンズを用いることなく、光ファイバに効率良く光を結合させることができる。また、光ファイバの軸ずれに対しても結合損失の増加が少ないため、光軸合わせが簡単となり、組立コストの削減も可能である。</p>	<p>5層アルミ配線技術 高田佳史・益子洋治 三菱電機技報 Vol.71・No.3・p.85～90 (1997)</p> <p>半導体デバイスの高集積化と多機能・高速化のために必要な、高密度で高信頼度な多層配線技術を開発した。グローバル平坦(坦)化が可能なCMP(Cheical Mechanical Polishing)法により、0.3μmレベルの微細配線による5層の多層配線を実現した。CVD法によるTiNバリアメタル成膜技術を用い、アスペクト比の高いコンタクトホールでの電気特性の安定化を図るとともに、高圧アルミプラグ技術によって接続口での低抵抗化と製造プロセスの簡略化を達成した。</p>
<p>小容量モータ駆動用アプリケーションスペシフィックIPM ゴーラブ マジウムダール・太田達雄・福永匡則・為谷典孝・波多江慎治 三菱電機技報 Vol.71・No.3・p.63～68 (1997)</p> <p>小容量モータ駆動用のパワーデバイスとして、接合分離構造採用HVICを内蔵したASIPMを開発した。ASIPMは、従来IPMの自己保護機能に加え、トータルシステムの高効率化へ寄与する目的として開発した多機能・高性能なパワーデバイスであり、セットの超小型化が期待できる。今回は、PS1100X-CシリーズとしてAC200Vライン0.1～1.5kWの5機種を製品化した。</p>	<p>完全被覆Cu配線プロセス 豊田吉彦・深田哲生・森 剛・長谷川万希子・三上 登 三菱電機技報 Vol.71・No.3・p.91～94 (1997)</p> <p>新開発したプロセスを用い、バリアメタルで完全被覆されたCu配線を開発した。新プロセスにより、Cu配線の上部にバリアメタルを自己整合的に形成できる。これは化学機械研磨を用いたダマシン法を改良したもので、Cuの研磨時におけるリセス形成とダマシン法によるリセスへのバリアメタル形成からなる。Cu配線は従来のAl配線よりも低抵抗であり、約3けたの信頼性向上が期待できる。この技術によって酸化/拡散といった問題を解決でき、今後、量産化に向けた開発を進める。</p>
<p>トレンチ構造PチャネルパワーMOSFET 福持泰明・矢野光洋・幡手一成・榎崎敦司・浜地浩秋 三菱電機技報 Vol.71・No.3・p.69～74 (1997)</p> <p>トレンチゲート構造技術の確立により、低オン抵抗PchパワーMOSFETの開発と、製品シリーズ化に成功した。オン抵抗の低減には、①ゲート構造をトレンチ化してセルの接合型FET抵抗をなくした。②パワーデバイスとして最も微細化された1μmルールを用い、セル密度を向上させた。その結果、トレンチ構造PchパワーMOSFETのオン抵抗値は、従来構造のPchパワーMOSFETの約50%に低減でき、またNchパワーMOSFETのオン抵抗値の約1.5倍にできた。</p>	<p>CVD法による高誘電率キャパシタ形成技術 川原孝昭・山向幹雄・堀川 剛・結城昭正・斧 高一 三菱電機技報 Vol.71・No.3・p.95～100 (1997)</p> <p>高誘電率材料(Ba, Sr)TiO₃を用いてギガビットスケールのDRAMに必要な～25fF/セルの容量を得るには、高さ～0.2μmの厚膜スタックセルが必要とされ、その形成には段差被覆性に優れたCVD成膜法が必要である。今回、独自の溶液気化CVD装置を製作し、互いに構造の似た独自のBa, Sr, Ti化合物原料を用いることによって、420$^{\circ}$Cという低温で良好な段差被覆性～80%を得るとともに、1G DRAMに要求される電気特性を満足するCVD成膜プロセス技術を開発した。</p>

Abstracts

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 75-80 (1997)

M-Jet Scrubber: a New Physical Cleansing Technology for Particle Removal

by Itaru Kanno, Takeshi Kuroda, Naoki Yokoi & Kazunao Sato

Mitsubishi Electric has developed a technology that utilizes water droplets (approx. $10\mu\text{m}$ in size) in a gas jet at near sonic speed (330m/s) to remove particles from wafer surfaces. Conventional megasonic scrubbers can damage fine circuit patterns and have little effect on $0.1\mu\text{m}$ -class particles. The M-Jet Scrubber offers high cleansing capability and can be easily adjusted to avoid device damage.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 51-54 (1997)

A Chipset for ATM LANs

by Tetsuya Kagemoto, Isamu Hayashi, Hirohisa Machida, Hiroshi Kuranaga & Takeo Nakabayashi

Mitsubishi Electric has developed a chipset for implementing asynchronous transfer mode (ATM) LANs. The chipset provides the capabilities required for connecting a personal computer or workstation to an ATM LAN. It has demonstrated a data transfer rate of 155Mbps.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 81-84 (1997)

Lithography Technology Using a KrF Excimer Laser

by Atsumi Yamaguchi, Shuji Nakao & Wataru Wakamiya

Mitsubishi Electric has established photolithography technology for 64Mb DRAM fabrication using a KrF excimer laser. The technology eliminates the unstable imaging characteristics of chemically amplified resists by incorporating light-oxidation on the substrate surface, an upper protection layer, an antireflective layer process, and by introducing an integrated line for all processing steps from resist coating to developing. This technology has been proven capable of the potential to produce $0.1\mu\text{m}$ holes when combined with Levenson phase-shift masks. The authors are working on practical implementations of this technology for the next generation of semiconductor devices.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 55-58 (1997)

High-Performance GaAs Devices for Mobile Communications

by Noriyuki Tanino, Kazuya Yamamoto, Naohito Yoshida, Hideoaki Katayama, Kosci Maemura & Yukio Miyazaki

Mitsubishi Electric has developed two high-performance GaAs devices to support the design of compact, low-power mobile communication terminals. The first is a 1.3W HEMT power amplifier for transmission in the 900MHz-band that realizes a power efficiency of 50%. The second is a highly planar self-aligned gate field-effect transistor (SAGFET) used to realize the industry's first single-chip 1.9GHz-band radio frequency front-end IC for Personal Handyphone System (PHS) applications. The device incorporates the transmitter and receiver circuits, transmit/receive switch and a variable attenuator.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 85-90 (1997)

Advanced Five-Level Interconnect Technology

by Yoshifumi Takata & Yoji Mashiko

Mitsubishi Electric has developed a highly reliable, high-density multilayer interconnect technology for sophisticated high-speed integrated circuits. It involves three novel processing techniques: chemical mechanical polishing (CMP), which achieves excellent local and global planarity of the inter-metal dielectrics; a chemical-vapor-deposited TiN film applied to the barrier layer in the deep submicron contacts for good bottom coverage; and a high-pressure aluminum plug for low contact resistance and simpler processing. This interconnection system is very promising for $0.25\mu\text{m}$ technology and farther advancements.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 59-62 (1997)

A Semiconductor Laser Diode with a Waveguide Lens for Optical Communication Systems

by Akira Takemoto, Kimataka Shibata, Takushi Itagaki & Toru Takiguchi

Mitsubishi Electric has developed a semiconductor laser diode incorporating a waveguide lens that can reduce the number of components simplify the assembly and lower the cost of optical transmitter modules. The laser can be efficiently coupled to optical fiber without a separate glass lens. It is also less sensitive to axial alignment errors than conventional laser and lens assemblies, which simplifies alignment and lowers assembly cost.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 91-94 (1997)

Technology for Cu Interconnections Capped by Thin-Barrier Metal

by Yoshihiko Toyoda, Tetsuo Fukada, Takeshi Mori, Makiko Hasegawa & Noboru Mikami

A new process for Cu interconnections fully capped by barrier metal has been developed. The process includes a self-aligning stage for laying barrier metal over Cu metalization and an improved Damascene process with chemical mechanical polishing. Recesses formed during the Cu polishing stage are filled with barrier metal using the Damascene process. Cu interconnections offer lower electrical resistance than conventional Al interconnections and a potential thousandfold improvement in reliability. The new process solves problems related to Cu oxidation and diffusion, and is being developed for mass production.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 63-68 (1997)

Application-Specific Intelligent Power Modules for Low-Power Motor Drives

by Gourab Majumdar, Tatsuo Ota, Masanori Fukunaga, Fumitaka Tametani & Shinji Hatae

Mitsubishi Electric has developed application specific intelligent power modules (ASIPMs) with junction-isolated high-voltage power circuitry for low-power motor drive systems. The devices supplement protection functions with other functions and performance features required to implement a complete, highly efficient drive system in a compact form factor. The PS1100 X-C Series includes five devices with outputs ranging from 100 to 1,500W/200VAC.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 95-100 (1997)

Novel Stacked Capacitor with High Dielectric Constant (Ba, Sr) TiO₃ Films using Chemical Vapor Deposition

by Takaaki Kawahara, Mikio Yamamuka, Tsuyoshi Horikawa, Akimasa Yuuki & Kouichi Ono

The manufacture of gigabit-scale dynamic random access memory (DRAM) requires that a capacitance of ~25fF for a single cell be realized on a $0.2\mu\text{m}$ -high stacked capacitor structure using high dielectric constant (Ba, Sr) TiO₃ films. Chemical vapor deposition (CVD) plays a key role in fabricating such capacitors due to its excellent step coverage, high deposition rate and composition controllability. The authors have developed an original liquid source vaporization system and achieved excellent step coverage of about 80% at the low temperature of 420°C by incorporating the source materials of Ba (DPM)₂, Sr (DPM)₂ and TiO (DPM)₂ dissolved in tetrahydrofuran (THF). They have also developed a CVD process that meets the electrical requirements for producing capacitors for 1Gb DRAMs.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 69-74 (1997)

A P-Channel Power MOSFET with a Trench Structure

by Yasuaki Fukumochi, Mitsuhiro Yano, Kazunari Hatada, Atsushi Narazaki & Hiroaki Hamachi

Mitsubishi Electric has developed trench technology for realizing a P-channel power MOSFET with low on-state resistance, and introduced a product series based on the technology. A trench gate structure that eliminates the cell's FET junction resistor lowers the on-state resistance to 50% that of conventional P-channel power MOSFETs and closes the performance gap to just 1.5 times the on-state resistance of N-channel power MOSFETs. Cell density is increased by use of $1\mu\text{m}$ geometry-the smallest feature size reported to date.

アブストラクト

<p>CuフレームLQFPパッケージ 森 隆一郎・鈴木康仁 三菱電機技報 Vol.71・No.3・p.101～104 (1997)</p> <p>半導体デバイスの進展に伴い、多ピン化、高放熱、高速動作への対応がパッケージに求められている。また、携帯電子機器の増加により、高密度実装への対応も求められている。これを満たすため、Cuフレームを用いたLQFP(Low-profile Quad Flat Package)を開発し、MMP(Mitsubishi Main Package)という位置付けでシリーズ化を進めている。</p>	<p>クォータマイクロンULSI対応 マスク描画データ作成システム 上山欣也・田岡弘展・森泉幸一・中尾博臣・三輪久晴 三菱電機技報 Vol.71・No.3・p.105～108 (1997)</p> <p>マスクパターン寸法精度悪化の主要因の一つであるマスク描画データ中の微小図形を高速かつ効率的に削減する機能を持つ、クォータマイクロンULSI対応のマスク描画データ作成システムを開発した。</p> <p>このシステムは、256MビットDRAMの開発マスクに適用され、微小図形削減処理をしない場合と比較して微小図形長の総和が1/250以下に削減でき、マスクのパターン寸法精度向上に大きく貢献した。</p>

Abstracts

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 105~108 (1997)

Electron Beam Data Preparation System for Quarter-Micron ULSIs

by Kin'ya Kamiyama, Hironobu Taoka, Kouichi Moriizumi, Hiroomi Nakao & Hisaharu Miwa

Mitsubishi Electric has developed an electron beam (EB) exposure data preparation system for quarter-micron ULSIs. The new system rapidly and efficiently eliminates narrow exposure figures that degrade dimension accuracy of the exposed pattern, and has been applied to make masks for 256Mb DRAM devices. The total length of narrow exposure figures has been reduced to less than 1/250 of previous figures.

Mitsubishi Denki Giho: Vol. 71, No. 3, pp. 101~104 (1997)

Development of a Copper Lead Frame Low-Profile QFP Package

by Ryuichiro Mori & Yasuhito Suzuki

Mitsubishi Electric has developed a low-profile high-pin-count QFP (LQFP) package with a copper lead frame for high-density portable applications requiring high pin counts, high operating frequencies and enhanced power dissipation. The corporation plans to mass produce a full line of the packages, which will comprise a key element in its semiconductor development strategy.

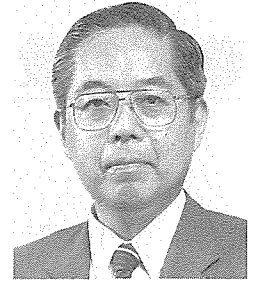
新しい対話の場のために

半導体研究に関して企業と大学の協調を進めようという動きがこの一・二年活発になってきた。例えば、産業界側から大学の研究を支援しようとする半導体産業研究所のプログラムや、大学サイドで筆者がたまたまかかわっている大学・高専のVLSI設計技術教育の充実と高度化を目指す全国共同利用センター「大規模集積システム設計教育研究センター (VDEC)」の設立がそれである(誌面をお借りしてのPRで恐縮ながら、後者についてはインターネットのホームページ <http://www.vdec.u-tokyo.ac.jp/> をご覧いただきたい)。いずれにおいても産業界と大学の間のより率直な意見の交換と協力体制が必要であり、事実これらの準備活動を通じて、互いの考え方や立場についての相互理解が従来にまして深まったと感じる。

この2例はいずれも、高度情報化技術の中核となっているSiVLSIに対し、大学の教育・研究体制が必ずしも十分に対応していないという認識に発している。その際ときどき聞かれる言葉に“大学ではSiより化合物半導体の研究の方が多し。”という批評がある。SiVLSIの教育と研究が大学において一層充実されなければならないことはもちろんであり、上記の活動は当面の戦略として大いに推し進める必要があるが、これからの半導体エレクトロニクスの研究は、Si化合物かという単線的な設問ではカバーできない形に変わっていくのではないだろうか。

例えばVLSIの限界のはるか先を見越して研究されている単電子デバイスについて、実用的な温度でのデバイス動

東京大学
大規模集積システム
設計教育研究センター長
鳳 紘一郎



作や設計可能なプロセス技術が確立されていない現段階で、早くもレイアウト設計のプログラムがニューヨーク州立大学などで開発されている。また少し違う側面であるが、素粒子物理学の並列計算のためにプロセッサを1,000個試作できないかという問い合わせがVDECにきたことがある(同一品種1,000個の“量産”はVDECに不向きだが、プロトタイプの試作はお手伝いできる)。

見方を変えれば、物理学での知見を基盤としてその上にデバイスや回路の工学を積み上げてきた半導体エレクトロニクスの構造が、根底から覆ったとは言わぬまでも、上層が基盤に影響を及ぼしこれを変革することが往々にして短時日のうちに行われる形態に変わってきたと言えよう。この変化は既に半導体量子構造の登場によって口火が切られていたものであるが、やがては超高密度のVLSIの動作状態が多体系あるいは複雑系の物理の研究対象になる日があると想像するのもあながち空想とは言い切れないであろう。

このように見てくると、半導体研究の今後を論じる際には「Siか化合物か」の一軸の上だけでの議論でなく、「基礎か応用か」「企業か大学か」といった座標軸を加えて三次元の立方体の中でとらえ(もっと軸を増やすなら直観しにくい多次元空間になるが)、VLSIの言葉で言えばどの“デザインコーナー”で論じているのかを明確にしつつ進むことが多くの実りをもたらすであろう。こうした討論や対話が、これからの半導体エレクトロニクスに大きな躍進をもたらすであろうと堅く信じるものである。

半導体の最近の動向

安岡晶彦*

1. ま え が き

近年のエレクトロニクス産業での技術革新に伴い、パソコン(PC)に代表される電子機器等は高性能化され、さらに、インターネットなどの世界的規模での通信手段の普及が社会/日常生活様式の革新をもたらし始めている。

これを支えているのは1970年代初頭に出現したマイクロプロセッサ(MPU)であり、その性能は1,000倍以上にまで拡大し、計算性能の向上に伴って要求されるメモリの容量は5,000倍以上に達している。このような劇的な性能/コスト比の改善はDRAM市場を急激に拡大させている。これらの改善は、主にLSIにおける微細化や多層化による高集積技術の進展によるものである。

本稿では、最新の半導体メモリの動向とそれを支える高集積化技術の動向、さらに、コスト低減の切り札であるシリコ

ンウェーハの大口径化の動向について述べる。

2. 半導体メモリの動向

図1に世界的統計機関であるWSTSによる半導体市場予測を実績とともに示す。このように、MPUと並んでメモリが大きな部分を占めている。中でもダイナミックランダムアクセスメモリ(DRAM)は、プログラムやデータを蓄えるメインメモリとして、また表示装置の画像メモリとして、重要な役割を担っている。例えば、通常のエンジニアリングワークステーション(EWS)において、コストの半分はDRAMに費やされている。PC等についても同様である。1995年にWindows95の出現によるPCの出荷数増大にけん(牽)引されてDRAMの出荷も急激なピークを示したが、その後の調整期間においても、DRAMがメモリ市場の大部分を占める状況は変わっていない。量的な拡大が望みにくい

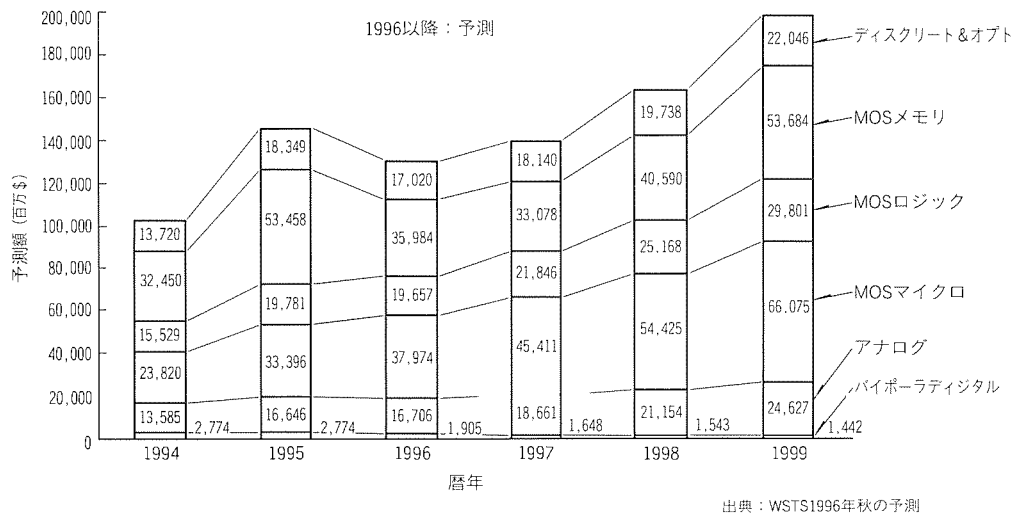


図1. WSTSによる半導体市場予測

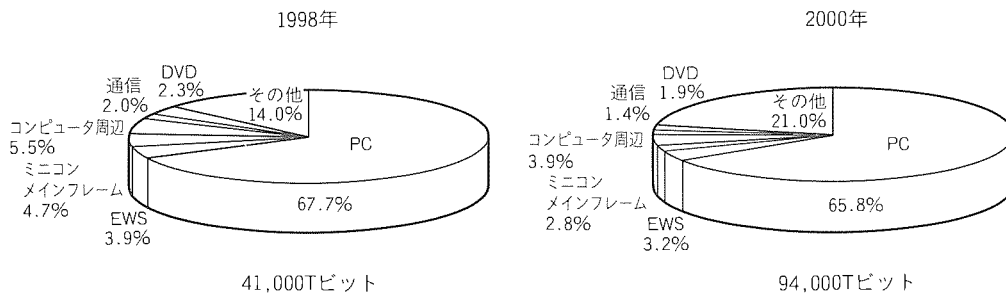


図2. 応用分野別DRAMの需要予測

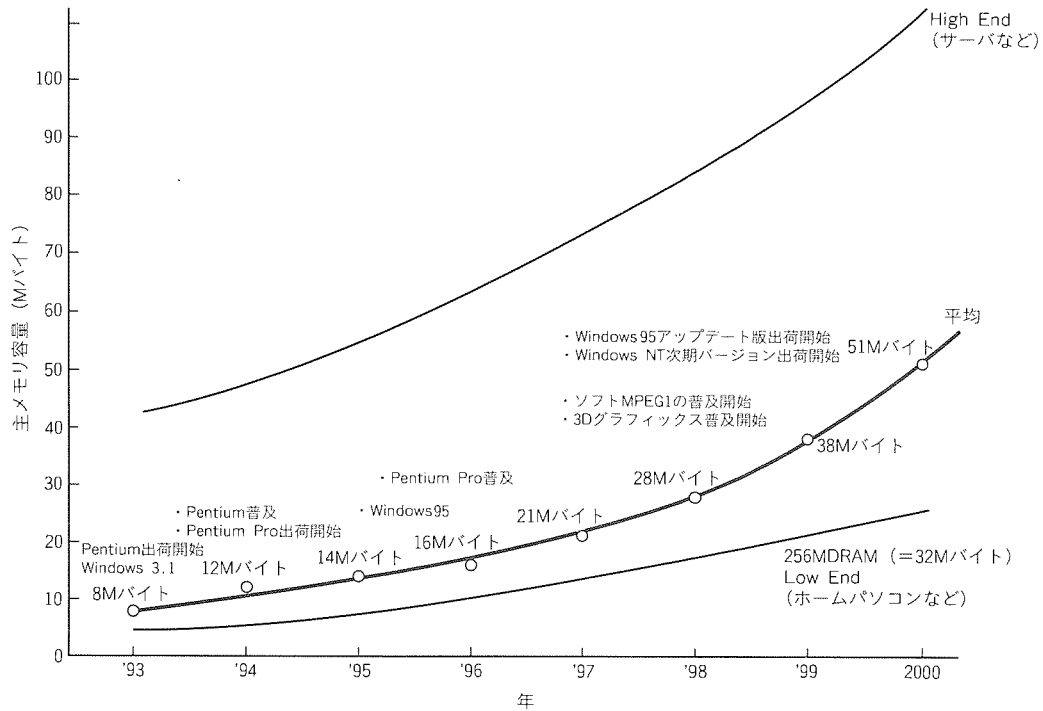


図3. パソコンにおける主メモリ容量の動向

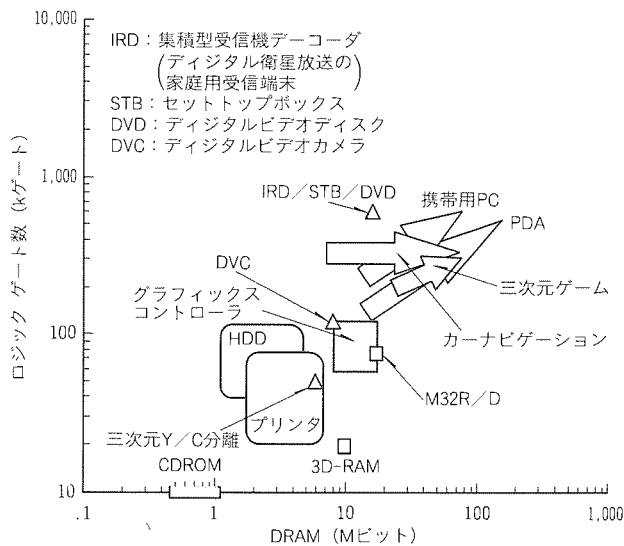


図4. eRAMの対象となるシステム機器の動向

中で、DRAMはMPUとの速度ギャップを埋めるため急速に高速化が進んでおり、微細化だけでなく、EDO方式やシンクロナス方式など、回路方式を工夫した積極的な高周波動作を目指して開発が進みつつある。

図2は、当社の調査に基づく応用分野別のDRAMのビット需要予測である。1998年から2000年では、DRAM全需要の65%以上がPCに用いられるものと予測される。したがって、PCで用いられるメモリの仕様や搭載容量の動向把握が、メモリ自身の開発動向に敏感にフィードバックされる。

図3は、PCに用いられる主メモリ容量の年次推移予測である。新しいMPUやOSの登場を前提に予測した2000年

におけるメモリ容量は平均で51 Mバイトである。このとき、比較的メモリ容量の少ない下位のPCでのメモリ容量は25 Mバイトと見積もられ、256 Mビット DRAM (=32 Mバイト) 1個で主メモリを構成できることになる。

上位のメインフレームやEWS、サーバ、中位のPCなどにおいては、高性能化/拡張性などの観点から、従来どおりの標準DRAMやシンクロナスDRAM等が使い続けられると考えられる。一方、下位のPCシステム、携帯情報機器、セットトップボックスなどにおいては、機器の小型化・高性能化を目指してDRAMとASICやMPUなどのロジックの1チップ化(混載)が進展し、新たな市場を開拓すると期待される。

これに対応して当社では、上記のようにメモリとロジックを混載したデバイスを“eRAM”と呼び、半導体事業の新しい柱として位置付けている。

3. ロジック混載メモリデバイス(eRAM)の出現

eRAMの搭載対象となるシステム機器の動向を図4に示す。現状では、16 Mビット DRAMに100 kゲートのロジックを搭載した当社のM32R/Dのようなデバイスから出発しているが、将来的には、グラフィックスや音声機能を強化したマルチメディア性能を充実させるためのメモリの大容量化、及びロジックの多ゲート化が進展していく。

表1に、混載によってメリットの出せる分野の例を示す。搭載メモリ容量は用途により、下は数 Mビット以下から、上は10 Mビット以上までと範囲は広い。eRAMの潜在需要は、図5に示すように、2000年に約1兆5,000億円と予

表 1. eRAMでメリットの出せる分野/応用システム

Type1	最適構成のメモリがない又はシステムメモリの大容量化が止まってしまう分野 ●デジタル通信のバッファメモリ (例えば, ATM, Ethernet) …数Mビット以下 ●CDROM, HDD ……せいぜい2Mビット ●三次元Y/C分離 ……4Mビット ●FAX, プリンタ, デジタルカメラ ……10Mビット以下 ●動画処理用バッファメモリ ……16Mビット
Type2	システム性能の要求から部品が増えてしまい, システムコストが上がっている分野 ●DRAMとロジックの間にキャッシュメモリを置いているシステム ●並列に並べて処理性能を上げているシステム (例えば, 三次元グラフィックス)
Type3	高性能化によって一部ASICを不要にできる分野 例えば, DRAM混載MPUでデジタルカメラのJPEGもやってしまう
Type4	Low Power化や小型化が非常に重要で, 付加価値を認めてもらえる分野 例えば, 電池駆動のポータブルシステム

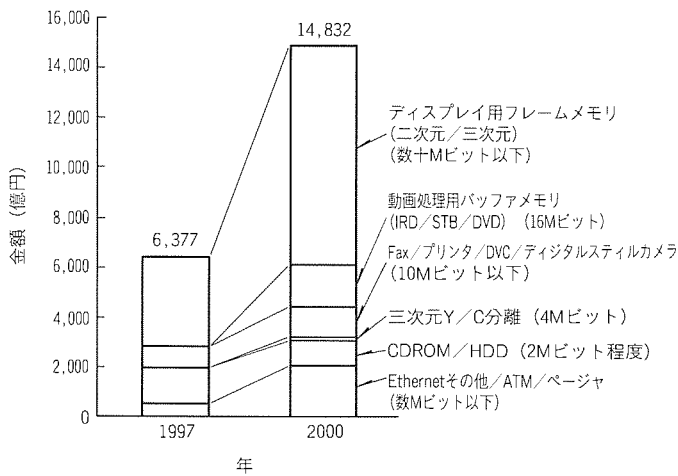


図 5. eRAMの潜在需要

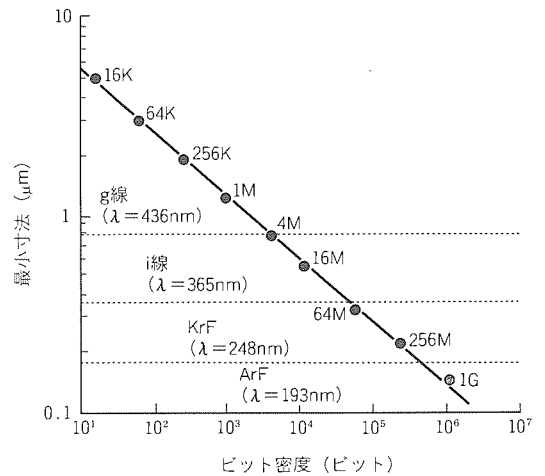
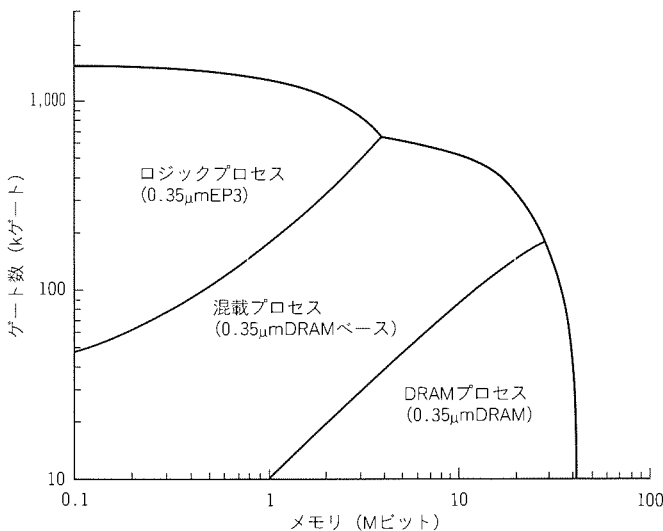


図 7. DRAMの微細化の推移



注 eRAM搭載容量に対してチップコストの最も低くなるプロセスを, チップ面積とマスク枚数に基づいたWPコストとから見積もった場合

図 6. eRAM用プロセス技術の選択

測されている (当社予測)。

eRAMを作る場合に問題となるのは, DRAMとロジックのどちらのプロセス技術をベースにするかということである。一般的に, コストの観点から, 混載するDRAMの容量

が10Mビットを超える場合にはDRAMプロセスを使う必要があるが, この場合ロジックのゲート密度が高くできず, また, トランジスタ性能もDRAM並みに低いという問題がある。そこで高性能のeRAM向けに, DRAMプロセスをベースに, ロジック混載に適した混載プロセスが必要となる。

今後当社では, 最先端メモリデバイスを迅速にeRAMへと展開する計画であり, 現在64MビットDRAMプロセスをベースに, 高性能ロジックを混載できるプロセスを開発中である。先にも述べたDRAMとロジックのプロセスの差異から, 特定のDRAMとロジックの組合せにおいては, 図6に示すように, コスト的に混載プロセスがベストである領域が存在する。

4. 高集積化技術(微細化・多層化)の動向

図7に, DRAMにおける微細化の推移を示す。世代ごとに微細化が進展し, リソグラフィ技術も変遷している。図8に, 微細化のための主要技術であるリソグラフィ技術のトレンドを示す。

リソグラフィ技術におけるパターンの解像度は, そこに用いる光源の波長に依存し, 解像度を上げるため短波長化の努力が続けられてきた。従来の超高圧水銀ランプからの輝線

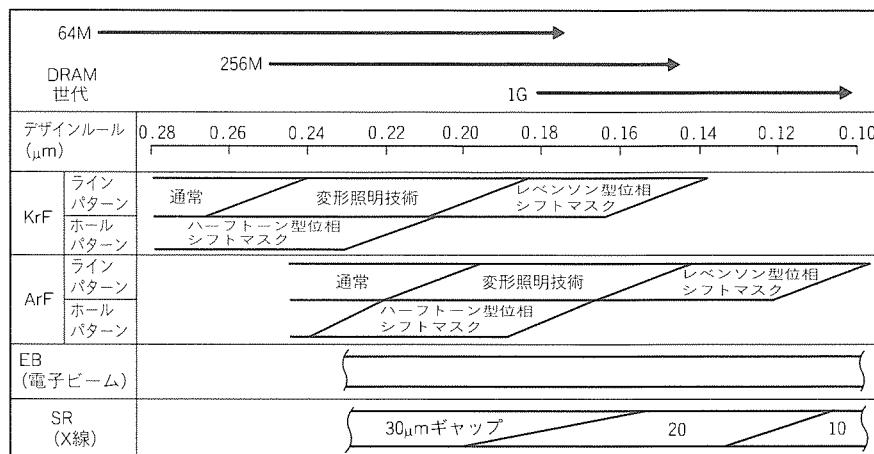


図 8. リソグラフィ技術のトレンド

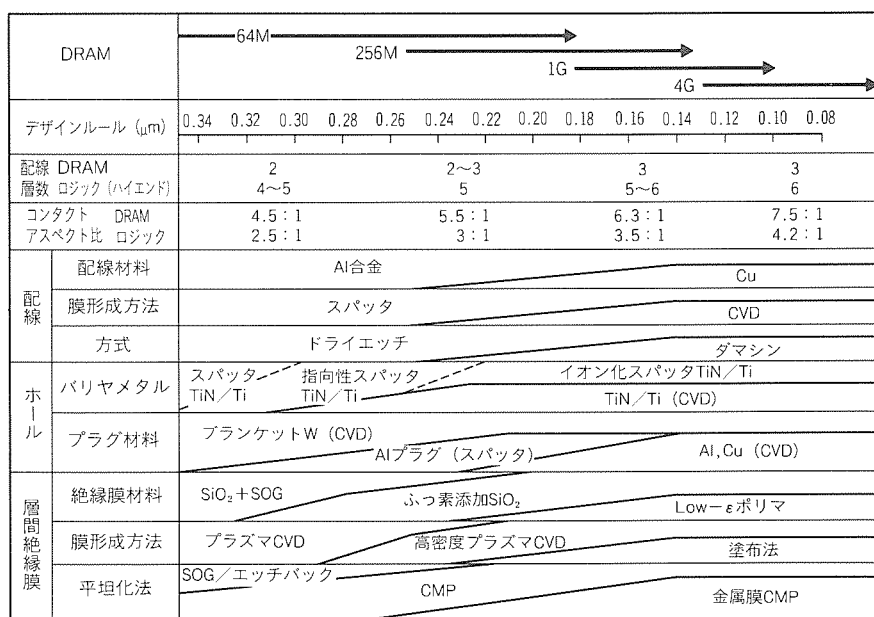


図 9. 多層配線技術のトレンド

(g線: $\lambda = 436 \text{ nm}$, i線: $\lambda = 365 \text{ nm}$)に加え、最近では KrF エキシマレーザ ($\lambda = 248 \text{ nm}$) を光源とするエキシマリソグラフィ技術が実用化され、 $0.25 \mu\text{m}$ レベルのデザインルールのデバイスが生産されようとしている。

デバイスの微細化の要求はとどまるところを知らず、図 7 から分かるように、256 M ビット DRAM は $0.2 \mu\text{m}$ 以下、1 G ビットでは $0.15 \mu\text{m}$ 近辺と、光の波長よりはるかに微細なパターン形成が必要になる。そのため、短波長化だけでなく、ハーフトーン位相シフトマスク、レベンソン位相シフトマスク、変形照明などの新たな解像度向上技術の導入が不可欠になる。

また、ポスト光リソグラフィとして、電子線や X 線を用いたリソグラフィ技術の開発も盛んに行われている。当社でも、SR 光を用いて $0.15 \mu\text{m}$ ルールの 1 G ビット DRAM の試作に成功し、さらに実用化に向けて開発を進めている。

デバイスの微細化に対応するためには、解像力の向上のみならず、寸法精度と重ね合わせ精度の向上も必要であるが、いずれのリソグラフィ技術にとっても超えるべき技術的障壁がますます高くなってきている。今後はこれまで以上に、リソグラフィ技術を取り巻くプロセス技術、デバイス技術、さらには設計技術の協力の下、各々のリソグラフィ技術に適したデバイス構造、製造技術を構築していく必要がある。

次に多層化技術について述べる。高集積化を図るには、微細化とともに配線の多層化が不可欠である。一般に、MPU で代表されるロジックデバイスでは高性能・高密度の多層配線が必要とされており、高集積化につれて多層配線の性能がデバイスの性能を左右する事態が生じている。一方、DRAM ではロジックデバイスほどは多層配線に対する要求は厳しくないのが通常であるが、eRAM においては、やはりロジック並みの高性能な多層配線が要求されることになる。図 9 に多層配線技術のトレンドを示す。

現在の多層配線では、Al 合金で構成された配線、SiO₂ を用いた層間絶縁膜、配線層間の接続用のメタルプラグを備えた構造が広く用いられている。多層配線の密度向上は、

配線ピッチの縮小と配線層数の増加によって実現されてきたが、スケーリングに伴う様々な問題が顕在化している。例えば、電気特性面では配線部での RC 遅延の増加が深刻化しており、デバイス高速化の阻害要因となってきている。これを防ぐには、より誘電率の低い層間絶縁膜(ふっ素添加 SiO₂、低誘電率焼結ガラス SOG など)や低抵抗の Cu 配線の適用が有効であり、実用化に向けての検討が進められている。これらは、配線間のクロストークノイズや配線の電流密度増加といった電気特性上の他の問題に対しても有効であるため、注目されている。

多層配線形成のプロセス的な面では、微細な配線ピッチを実現するための技術が検討されている。例えば、層間絶縁膜を化学的機械研磨(CMP)で平坦(坦)化する手法が多層配線形成に取り入れられてきているが、これはチップレベルでの平坦化を実現できるため、配線の高密度化を可能にして

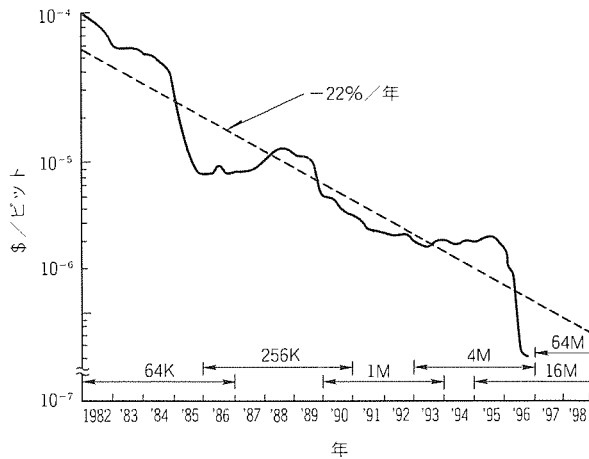


図10. DRAMビット単価の推移

いる。平坦化法は、将来的にはダマシと呼ばれる埋込み配線形成プロセスによるものと比較検討されていくものと予想される。また、微細な高アスペクト接続孔へのメタルプラグ形成技術も今後の大きな課題であり、材料、形成法の両面から様々な手法が検討されている。

以上のように、多層配線の高性能化・高密度化を実現するために種々の技術が検討されているが、技術選択の基準として、コストと歩留りの観点を外すわけにはいかない。それは、多層化の進展につれて、全工程に占める配線形成工程の割合が増大しているためである。デバイスに応じて性能・コスト・歩留りのバランスのとれた多層配線技術を選択していくことが、今後ますます重要になってくるものと考えられる。

5. ウェーハ大口径化の動向

図10にDRAMビット単価の推移を示す。ビット単価は、年率20%以上のペースで着実に低落している。デバイスメーカーはこれに追随するため、図7に示したように微細化を進め、約3年で1世代の大容量化を実現し、年平均25~30%のビットコスト低減を確保してきた。さらに、ウェーハの大口径化も生産性向上効果が大であり、微細化と対をなす形でコスト低減の切り札として推進されてきた。図11にウェーハ大口径化のトレンドを示す。

現在のDRAM主力製品である16MビットDRAMの生産には、ほとんど200mmウェーハの使用が予定されている。'97年から本格化する64MビットDRAMの生産に対しても200mmウェーハの使用が予定されているが、市場価格の成り行きによっては、'99年以降300mmウェーハの検討が必要となるかもしれない。256MビットDRAM、又は1GビットDRAMに対しては、明らかにビットコストの観点から、300mmウェーハの使用が不可欠である。

直径300mmのシリコンウェーハの開発及びこの大口径ウェーハにLSIを作り込むプロセス装置とプロセス技術の開発に当たって、日本国内では'94年にラウンドテーブルと

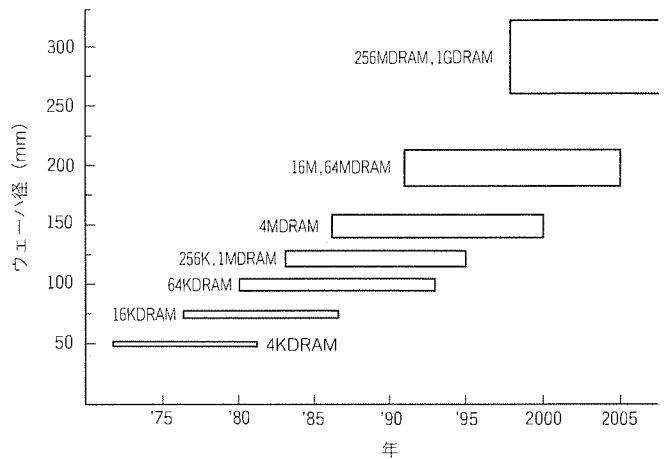


図11. ウェーハ大口径化のトレンド

しての“大口径シリコンウェーハ5団体連絡会”が発足した。この連絡会には、シリコンウェーハメーカー、プロセス装置メーカー、半導体デバイスメーカーが参加しており、300mmウェーハ対応の装置、シリコンウェーハ開発のシナリオとしてロードマップを作成した。この5団体連絡会は'96年に“300mm半導体技術連絡会(略称J300)”へと発展し、300mmに関する開発投資を抑制するため、シリコンウェーハ、装置、治工具類の標準化などの活動を行っている。また、米国においても、欧米韓台のデバイスメーカーによる300mmウェーハに関するコンソーシアムI300Iの動きが活発になってきた。これは国際共同プロジェクトであり、日本のJ300の活動との交流も図られ、全世界的なアクティビティとなっている。

さらに、日本では300mmウェーハ対応装置評価をデバイスメーカー共同で行うため、主要半導体デバイスメーカー10社により、(株)半導体先端テクノロジーズ(SELETE)が'96年に設立された。'96年10月にはSELETE社にクリーンルームが完成し、直ちに300mmウェーハ対応装置の導入が開始され、'97年には装置評価活動が本格化する。業界が共同で大口径化技術開発に当たることで、開発が大いに加速されるものと期待されている。また、共同化により、開発のコストとリスクの分散も可能となる。当社も、21世紀の半導体工場を効率良く立ち上げるための一助と考え、これらの業界共同プロジェクトに積極的に参画し、推進している。

6. むすび

最近の半導体技術について、DRAMを中心にその動向を述べた。これと並行して、システムLSIとして脚光を浴びつつあるeRAMについて紹介した。最先端プロセス関連のドラスティックな変換点となるシリコンウェーハ径の300mm化の動向についても触れ、今後の高性能化・高集積化の継続的発展を支える微細化や多層化等のプロセス技術の将来動向にも言及した。

1.6Gバイト／秒 高速1Gビット シンクロナスDRAM設計技術

坂下徳美* 小守伸史+
馬場伸治** 久間和生+
有本和民***

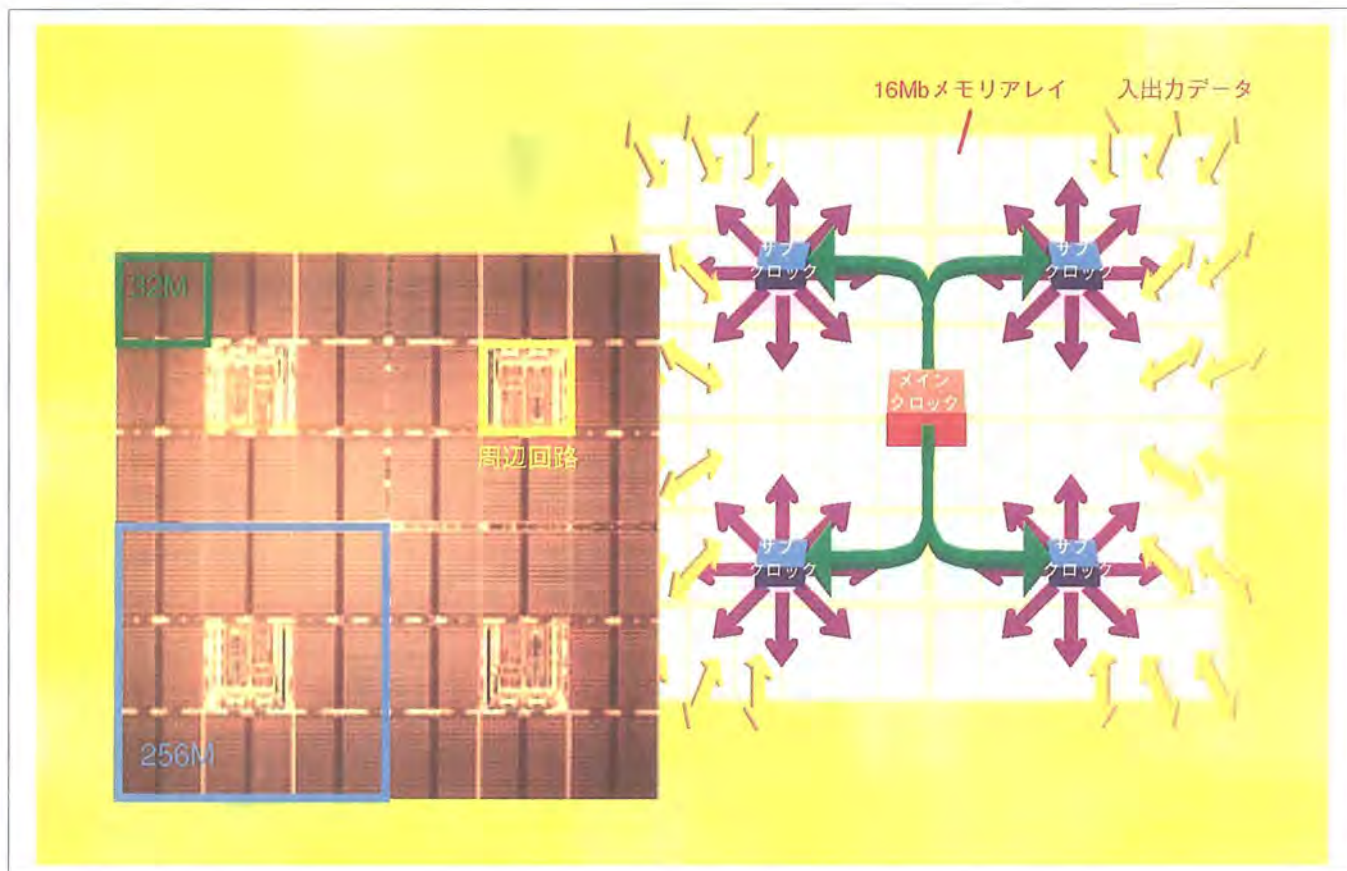
要旨

ギガビット世代の大容量DRAMの応用として、3Dグラフィックス機能を持つ次世代高性能ワークステーション／パソコンのメインメモリとフレームメモリを統合化した先進的なユニファイドメモリを想定して、メモリバンド幅の大幅な向上とチップ面積低減による低価格化を同時に達成するためのシンクロナスDRAM(SDRAM)設計技術を開発した。

開発した1GビットSDRAMでは、高バンド幅を実現するために、入出力データビット数を64ビットと大きくとるとともに、200MHzの高速クロックに同期してデータを入出力させ、1.6Gバイト／秒の高データ転送レートを実現した。

メモリアレーを正方形に配置し、配線遅延による信号スキューを最小限に抑える階層型メモリブロックレイアウト方式と、四つのメモリバンクを全メモリアレーに分散配置して配線レイアウトを単純化する分散配置メモリバンク構成を新規に採用することにより、高速なメモリアクセスと入出力データビット数の多ビット化を両立させた。この技術の適用により、従来構成に比べ、アクセス時間 37%減、データI/O配線面積 89%減を達成した。

チップは0.15 μ m CMOS プロセス技術を用い、0.29 μ m²のメモリセルサイズと582mm²の小チップ面積を実現した。パッケージは多ピン化に対応した196ピンCSP (Chip Scale Package) に実装している。



1GビットSDRAMとメモリブロック構成

32個の32Mビットメモリブロックと4個の周辺回路を階層構造の正方形に配置して、1GビットSDRAMを構成した。階層型メモリブロック構成によって信号の配線長を均一にして信号スキューを抑え、分散型メモリバンク方式によってアクセス時間の短縮及び低消費電力を可能にした。

1. ま え が き

ギガビット世代の大容量DRAMは、大容量であるメリットを生かして、次世代の高性能ワークステーション/パソコンのメインメモリとフレームメモリを統合化した先進的なユニファイドメモリとして利用されることが想定される。しかし、時分割で複数の用途に対応するためには、メモリアクセスレートつまりメモリバンド幅の大幅な向上が必要となる。また一方では、DRAMの最大のメリットである低価格、すなわち小チップ面積の維持が求められている。今回我々は、この両方の要求を満たすことのできる1GビットSDRAMの設計技術を開発した。

メモリバンド幅は、動作クロック周波数と入出力データビット数の積により決定される。今回の1GビットSDRAMの開発では、動作クロック周波数を向上させるために、チップ内での信号スキューを徹底的に低減するメモリブロックの階層型レイアウトを採用した。また、入出力データビット幅を容易に増加させ得る分散配置バンク構成を併せて採用した。さらに、メモリブロック階層型レイアウトや分散配置バンク構成と技術的な親和性のよいチップスケールパッケージに実装することにより、チップ面積の増大を抑えつつ、200MHzの高速動作と64ビットの入出力データビット幅を達成し、メモリバンド幅1.6Gバイト/秒の1GビットSDRAMを実現した。

2. メモリブロックの階層型レイアウト

2.1 チップアーキテクチャ

従来のチップアーキテクチャでは、チップの大寸化に伴う信号の伝搬遅延やスキューがアクセス高速化の阻害要因となる。今回、これらの問題を解決する方式として、メモリブロックの階層型レイアウトを考案した。1GビットSDRAM⁽¹⁾は、図1に示すように、正方形に近い四つの256Mビットブロックで構成される。この256Mビットブロックは、32Mビットメモリアレー八つと、各メモリアレーとの距離が等しくなるようにこれらの中心に配置された周辺回路からなっている。周辺回路は、アレー制御回路、定電圧発生回路、自己テスト回路、クロックアドレスバッファ、冗長制御回路、及びウェルハテスト用のパッドバッファで構成されている。この配置により、周辺回路で生成し各32Mビットメモリアレーに分配される各制御信号は、上下左右方向に最短で配線可能になり、伝搬遅延及びスキューが抑えられる。

クロック信号は、チップ中央と各256Mビットメモリアレー周辺回路内の2段のクロックドライバを経由して分配される。100MHzの外部クロック信号はチップ中央のクロックジェネレータに入力さ

れ、PLL (Phase Locked Loop) 回路によって200MHzに通倍される。200MHzのメインクロック信号はCSP⁽²⁾のフレーム配線を介して周辺回路に分配され、クロックドライバによってサブクロックが生成されて各32Mビットメモリアレーに分配される。クロックジェネレータから周辺回路内のクロックドライバまではフレーム配線の配線抵抗が少ないため、スキューはほとんど無視できる。また、クロックドライバから各32Mビットブロック間の信号線長は等距離であるため、各メモリアレー間のクロックスキューも抑えられる。

データI/O (DQ) ピンはCSPを使用することによってチップ上の対応するI/Oバッファの近傍に配置することができ、高速動作を可能とした。

2.2 高速アドレス転送

カレントモードアンプを用いたアドレス転送回路構成を図2に示す。アドレス信号も信号のスキューを抑えるためにクロック信号と同様にチップの中央に入力ピンを配置し、2段バッファ構成で各メモリアレーに分配している。しかしながら、アドレス信号は16ビットと多数の信号を分配するこ

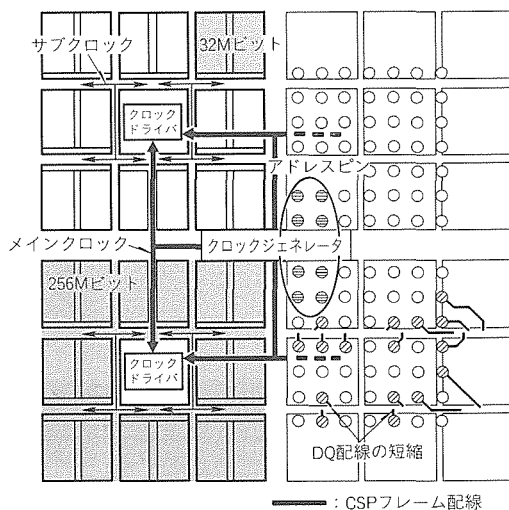


図1. メモリブロックの階層レイアウト

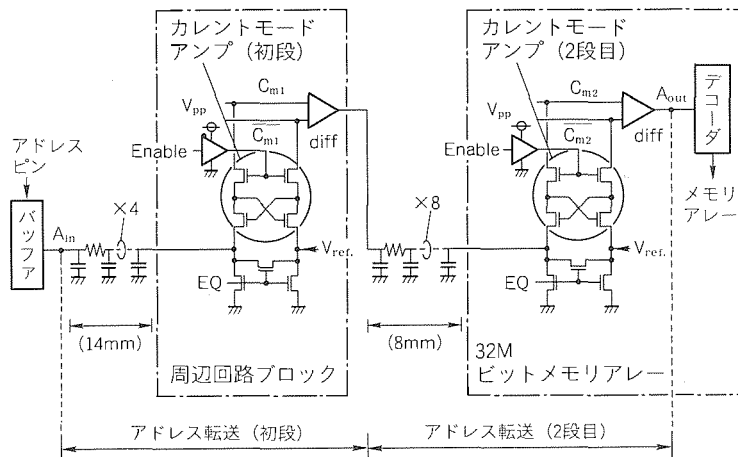


図2. カレントモードアンプの回路構成

とが必要であり、通常のメタル配線では配線長は最大22mmになって配線遅延が大きくなるため、高速分配が困難である。今回、アドレス信号の高速化を実現するために、回路には低電圧でも高速動作可能なカレントモードアンプ⁽³⁾、配線材料には低抵抗のCuを用いてメモリブロックの階層型レイアウトに適用して高速化を図った。2段構成の各ステージにカレントモードアンプを使用し、初段は周辺回路に、2段目は各メモリアレー内に配置している。

カレントモードアンプを適用したアドレス転送時間のシミュレーション結果を図3に示す。Al配線を用いた従来構成ではアドレス転送時間は11nsであるが、今回採用した低抵抗のCu配線によって1.1ns短縮した。また、この方式とカレントモードアンプの効果によって更に3.7ns短縮でき、転送時間を6.2nsにすることができた。

3. 分散配置バンク構成

3.1 従来バンク構成

1GビットSDRAMは32Mビットメモリブロック32個で構成され、語構成はデータ幅が64ビット、バンク数4、プリフェッチ4ビットである。各ブロックからは4ビット×

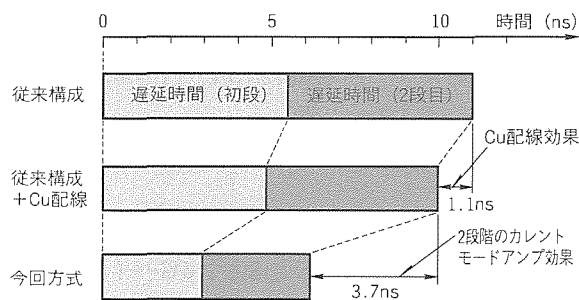
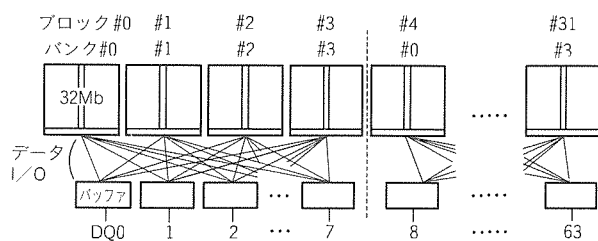
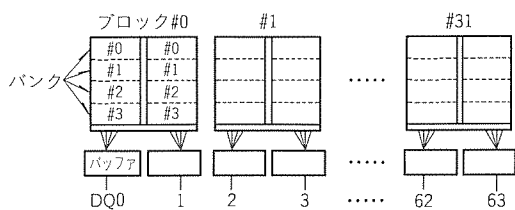


図3. アドレス転送時間のシミュレーション結果



(a) 従来例1



(b) 従来例2

図4. バンク構成 (従来構成)

4組×2の32ビットのデータが出力される。

従来のバンク構成及びバス配線の例を図4に示す。従来例1ではブロック単位でバンクが構成されており、1回の読出しサイクルで同時に8ブロックがアクセスされる。各ブロックから32ビットのデータI/Oが配線され、4ビットずつ八つのDQに接続される。この構成では、複雑なI/O配線レイアウトによるチップ面積増大と、長配線I/Oバスのデータ転送遅延増大が問題となる。従来例2は16Mビットメモリアレー内をロー方向に4バンクに分割する階層I/O構成である。各メモリアレーからは4ビット×4組のデータI/Oが1DQにのみ配線されるため、配線レイアウトは単純化できる。しかし、読出し動作を行うときにすべてのメモリアレー内でセンスアンプ(SA)が動作するため、消費電流の増加が問題となる。

3.2 分散配置バンク構成

消費電力の増加を抑えかつ配線レイアウトを単純化する多I/Oで多バンクの高速メモリアレー構成として提案する分散配置バンク構成を図5に示す。16Mビットメモリアレーはコラム方向に八つのセグメントに分割されており、二つのセグメントがバンクとして指定される。ワード線及びSAの制御信号はDWL (Divided Word Line) 技術を用いることによって階層化し、読出し動作時には1セグメントのみ動作させるため、従来例1と同じレベルに消費電流を抑えることができる。また、従来例2と同様に各ブロックで1DQ分のデータを扱うため、各メモリアレーからは4ビット×4組のデータI/Oが1DQにのみ配線され、チップ面積を低減することができる。この方式を従来例1及び2と比較すると(表1)、動作するセンスアンプ数を16Kにした上でデータ

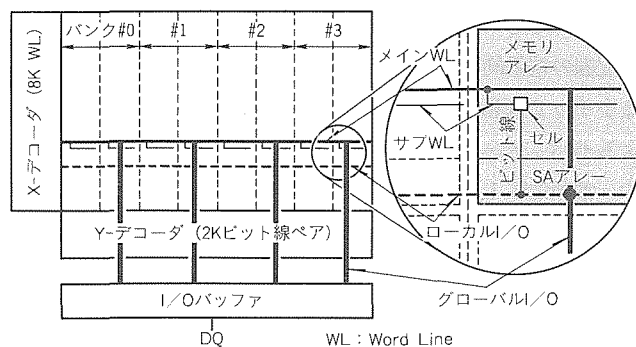


図5. 分散配置バンク構成

表1. 分散配置バンク構成と従来構成の比較

	データI/O バスエリア	アクセス タイム*	動作センス アンプ数
従来構成-I	100%	100%	16K
従来構成-II	10.4%	71%	128K
今回方式	10.4%	71%	16K

注 *アクセスタイム：32MビットアレーからデータI/Oまでの時間

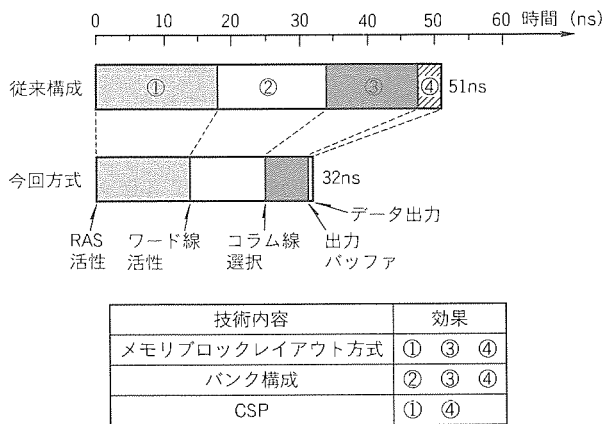
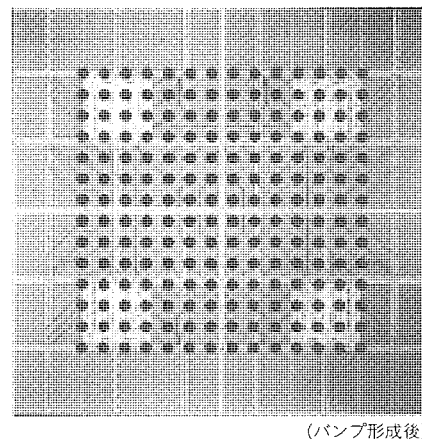


図6. アクセス時間のシミュレーション結果



(バンパ形成後)

図7. CSP (Chip Scale Package)

I/O配線面積は10.4%, メモリアレーからDQまでのアクセス時間は71%に抑えることができた。

4. アクセス時間のシミュレーション結果

図6に階層型メモリブロックレイアウト方式, 分散配置バンク構成, CSPを適用したときのアクセス時間のシミュレーション結果を示す。分散配置バンク構成はメモリアレー内でのデータの読出しからデータ出力までの高速化に有効であり, 階層型ブロックレイアウト方式とCSPの効果を合わせることで, アクセス時間を従来構成の51 nsから32 nsに高速化できた。

5. プロセス技術, パッケージ技術及びチップ諸元

X線転写, 高誘電率膜キャパシタ, トレンチ分離等を採用した0.15 μmプロセス技術により, 25 fFの容量を持つメモリセルを0.29 μm²で実現した。図7は196ピンCSPに実装したときの写真である。CSPパッケージによって①内部配線の電気的特性向上, ②I/Oパッドサイズの縮小による小チップ面積化, ③チップに対する最小の端マージンによる小パッケージ化を実現している。チップ諸元を表2に示す。電源電圧1.8 V時のCASアクセス時間は17 nsであり, 外部クロックレイテンシは2サイクルである(内部クロック4)。64ビットのデータを5 nsごとに同時に出力可能とし, バンド幅1.6 Gバイト/秒を達成した。

6. むすび

メモリバンド幅の大幅な向上とチップ面積低減による低価格化を同時に達成するための1 GビットSDRAM設計技術を開発した。信号スキューを最小限に抑える階層型メモリブロックレイアウト方式と四つのメモリバンクを全メモリアレーに分散して配線レイアウトを単純化する分散配置メモリバンク構成により, 200 MHzの高速なメモリアクセスと64ビットの多入出力化を両立させた。この技術の適用により,

表2. チップ諸元

プロセス	0.15 μm CMOS, 3層メタル (1層W, 2層Cu)
チップサイズ	24.19×24.05=581.8mm ²
セルサイズ	0.38×0.76=0.29 μm ²
クロック周波数	200MHz
語構成	4Mワード×64ビット×4バンク
データ転送レート	1.6Gバイト/秒
CASアクセス時間	17ns (3クロックサイクル+2ns)
RASアクセス時間	35ns
駆動電圧	(周辺): 1.8V, (アレー): 1.2V
リフレッシュサイクル	16K
パッケージ	196ピンCSP

従来構成に比べ, アクセス時間37%減, データI/O配線面積89%減を達成し, データ転送速度1.6 Gバイト/秒の高速データレートを実現した。

これらの設計技術は, 3Dグラフィックス機能を持つ次世代高性能ワークステーション/パソコン用の先進的な大容量DRAM実現のキー技術として活用が期待される。

参考文献

- (1) Nitta, Y., et al.: A1.6GByte/s Data-Rate 1 Gb Synchronous DRAM with Hierarchical Square-Shaped Memory Block and Distributed Bank Architecture, ISSCC Technical Digest, 376~377 (1996)
- (2) 馬場伸治, ほか: CSP(Chip Scale Package)の開発, SHM会誌, 11, No.5 15~19 (1995)
- (3) Seevinck, E., et al.: Current-Mode Technics for High-Speed VLSI Circuits with Application to Current Sense Amplifier for CMOS SRAM's, IEEE J. Solid-State Circuits, 26, No.4, 525~536 (1991-4)

超低電圧動作の 16MビットDRAM/SOI技術

栄森貴尚* 下邨研一***
大芦敏行* 島野裕樹***
山口泰男**

要旨

電子産業をけん(牽)引する次世代情報機器を製品化していく上で、LSIの低電力化はその技術の根幹となる。特に新しい可能性を秘めた携帯情報機器の実現に向けて、設計、デバイス、プロセス、実装技術等のあらゆる技術が低電圧化へ向かっている。

超低電圧DRAMを実現するためには、様々なノイズによる誤動作を制御し、低電圧でも動作するトランジスタを作り込み、なおかつ低電圧下でも十分なデータ読出し感度を確保する必要がある。SOI (Silicon On Insulator) 基板上に作られたDRAMは、構造的には基板表面の薄いシリコン層の下に酸化膜が形成されているだけの簡単なものでありながら、従来の厚いシリコン基板だけの構造に比べて、優れた放射線による誤動作の抑制、トランジスタ特性の向上、配線寄生容量の低減などの利点をもたらす。

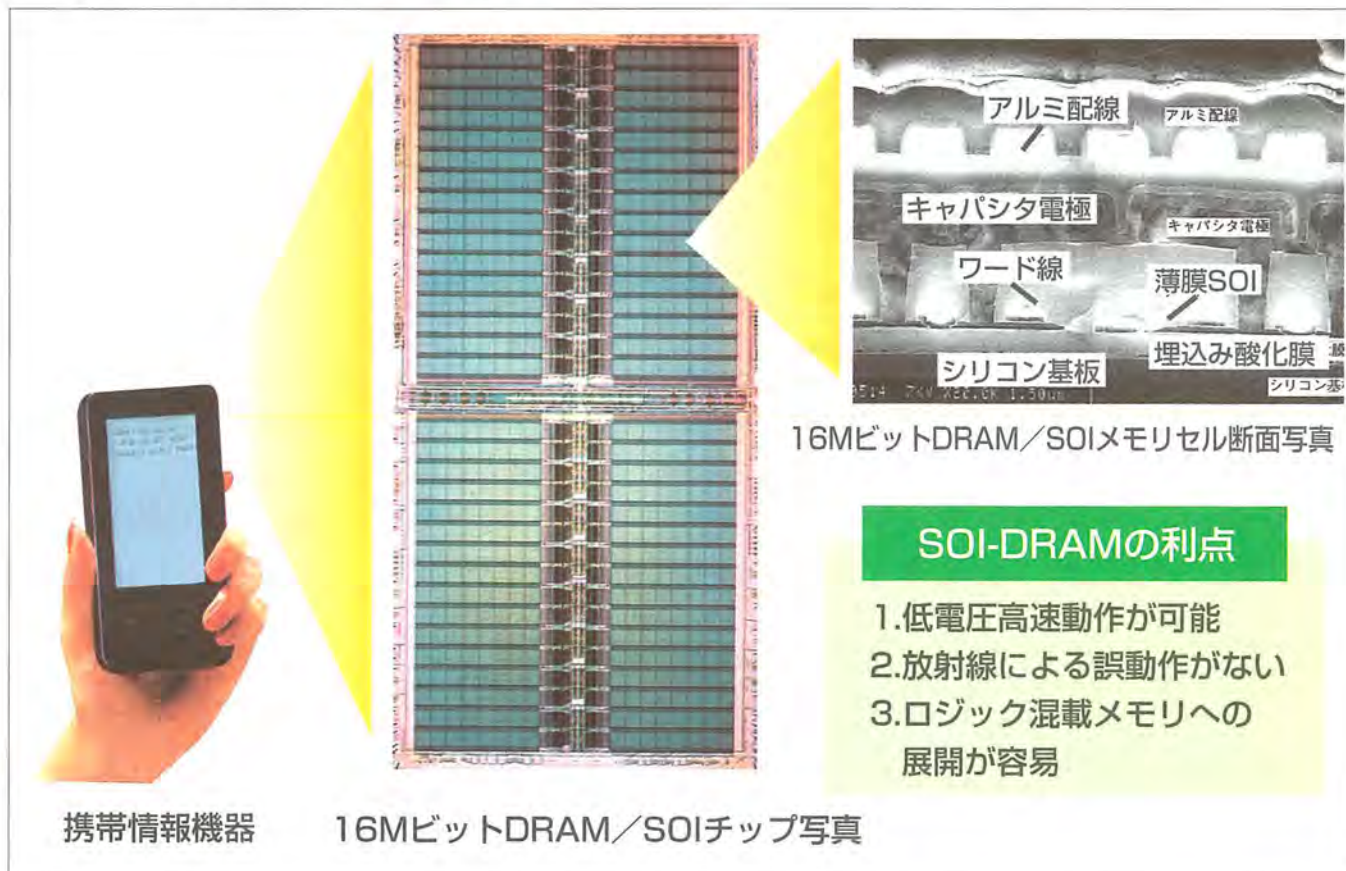
三菱電機ではSOI-DRAMの開発に早くから着手し、

2.5V以下の低電圧で動作するDRAMの試作を行ってきた。今回、より低電圧で高速に動作させるための回路及びプロセス技術を開発し、1V以下で動作する16MビットDRAMを試作した。

低電圧用SOIプロセス技術として、改良型の素子分離技術、低しきい値を実現するSOIトランジスタ技術、微小電荷読出し感度向上などの技術を開発した。低電圧用のSOI回路技術として、トランジスタのボディ電圧を制御し、回路動作の高速化を図る技術を開発した。

これらの技術を搭載した16MビットDRAMを試作し、1V46nsの超低電圧高速動作を実現した。

このDRAMで開発したプロセス及び回路技術は、近年需要の高まっているロジック混載メモリへも容易に適用可能な技術であり、次世代デバイスへの展開が期待される。



携帯情報機器

16MビットDRAM/SOIチップ写真

16MビットDRAM/SOIメモリセル断面写真

SOI-DRAMの利点

1. 低電圧高速動作が可能
2. 放射線による誤動作がない
3. ロジック混載メモリへの展開が容易

16MビットDRAM/SOIチップ写真とメモリセル断面構造

薄膜SOI基板の上に、低電圧対応素子分離及びトランジスタと厚膜スタック型キャパシタセルを持ち、トランジスタのボディ電圧制御による高速化回路を搭載した、0.5 μ mルール of 超低電圧16MビットDRAMを試作した。

1. ま え が き

DRAMは、現在16MビットDRAMが量産の中心であり、64MビットDRAMが量産立上げ段階にきている。メモリのマーケットは、用途に応じた使い分けによって、種々の世代が混在するようになってきた。中でも、携帯電話や電子手帳などのマルチメディア化した携帯情報機器の急進展で、LSIの低消費電力化が強く求められている。当社はSOI構造を用いたDRAMの開発に早くから着手し、最小寸法0.5 μm のSOI-DRAM動作電圧として2.3Vを実現していたが⁽¹⁾、今回1V以下の電圧で動作する超低電圧SOI-DRAMを開発した⁽²⁾。

本稿はSOIデバイスの特長と動向について述べた後、SOI-DRAMの低電圧化に向けたプロセス及び回路技術と試作結果について述べる。

2. SOI-DRAMの特長とSOI基板

SOI基板上に作られたデバイスは、基板構造的には表面の薄いシリコン層の下に酸化膜が形成されているだけの簡単なものでありながら、従来のシリコン基板に比べ、優れた分離やトランジスタ特性、低基板寄生容量、そしてラッチアップ及びソフトエラーのほぼ完全な阻止特性などの利点がある(図1)。一方、DRAMは微小なキャパシタに微小な電荷を蓄えて読み出すため、LSIの中でもとりわけノイズ又は漏れ電流に極めて敏感なデバイスである。SOI構造がDRAMにもたらす最大の恩恵は、 α 線によるソフトエラーを含むこれらの漏れ電流の低減にあり、したがって、DRAMプロセスのネックであったキャパシタ容量の下限の制約を打ち破る構造として期待されている。

逆に、SOI基板をDRAMに用いる場合には、結晶性(欠陥密度)や膜厚の均一性、さらには界面及び酸化膜中の固定電荷の状態などのSOI基板の仕様に対し、他のSOIデバイスよりも厳しい基準が要求されることになる。SOI基板の製造技術はここ数年で大きく変わりつつあり、各手法でいずれの特性も向上し、大量供給の動きが出てきている。特に、昨年発表されたUNIBONDという製造手法は、従来のシ

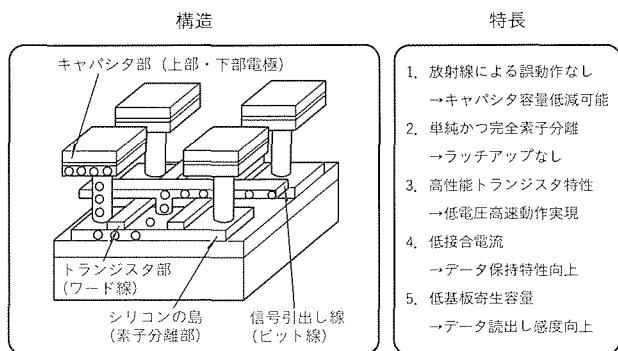


図1. SOI基板上のDRAMの構造と特長

リコンの熱酸化技術と張合せ技術に水素注入によるはく(剝)離技術をうまくミックスした方法で、剝離したウェーハを次の支持ウェーハとして使用できるため、SOI基板の特性向上とともにコスト低減も期待されている技術である(図2)。SOI基板の量産DRAM適用への実現に当たっては、今後ともデバイスサイドとウェーハサイドの緊密な協力が必要となろう。

一方、SOI構造の特長である配線の低基板寄生容量とトランジスタの低基板定数効果は、低電圧・低消費電力化に大きなブレークスルーをもたらす。更に低電圧下で動作するDRAMを実現するためには、低電圧下でも高速に動作するトランジスタの形成とともに、メモリセル微小漏れ電流の高度な制御性や、低電圧化でますます微弱になるデータ読出し感度の向上などが必要となる。そのためには、プロセスサイドのみならず、回路設計サイドからのSOI構造を生かした新たなアプローチが必要となる。以下、これらの個々の技術について述べる。

3. 低電圧メモリ対応SOIプロセス技術

低電圧DRAMに必要な三つの特性、①メモリセル微小漏れ電流の制御、②トランジスタの低電圧高速動作、③低電圧下でのデータ読出し感度向上に対して開発した低電圧SOIプロセス技術について記す。

3.1 改良型MESA分離技術

SOI構造での素子分離法として、従来から、バルク型基板でも用いられているLOCOS(Local Oxidation of Silicon)分離と薄膜SOI部を埋込み酸化膜まで切り落とすSOI独特のMESA(スペイン語で“テーブル”の意味で、周囲ががけ(崖)で上が平らな岩石丘を指す。)分離がある。LOCOS分離を用いたSOIトランジスタでは、サブスレシヨルド領域にハンパ(突出部)が発生し、これが漏れ電流の増大を引き起こすという問題があった。一方、MESA分離を用いたトランジスタでも同様のハンパが発生する。これらはいずれもSOI端部に発生する寄生MOSのしきい値が低下することによるもので、LOCOS分離では分離端下部での

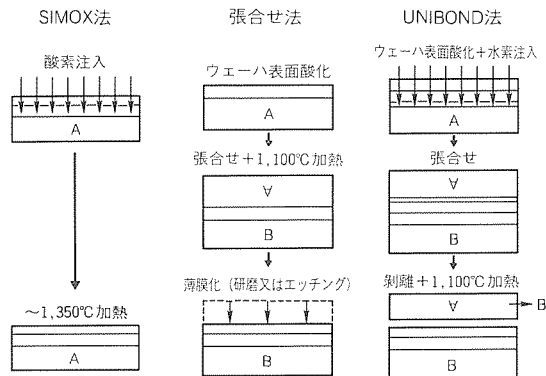


図2. SOI基板の各種製法

ボロン濃度減少やSOI/酸化膜界面の固定電荷が、MESA分離ではSOI端上部角の電界集中が原因と考えられている。微小電荷を保持するDRAMメモリセルのトランジスタにおいて、この漏れ電流はデータの反転を招き、致命的となる。我々はプロセスが単純で高集積化に対応するMESA分離について、寄生MOSの問題を解決する方法として、SOI上端部の角を丸める改良型MESA分離技術を開発した。丸めによって角部を取り巻いているゲートによる電界が緩和され、トランジスタの正常なスレシヨルド特性が得られ、さらにウェーハ面内のスレシヨルド特性のばらつきが制御された。分離形成後の写真を図3に示す。

3.2 低電圧トランジスタ技術

低電圧下でも高速なトランジスタ動作を維持するには、N型トランジスタ、P型トランジスタの各々のしきい値を下げ、なおかつ配線抵抗を下げる必要がある。両者のしきい値を下げる方法として、従来から、デュアル(二重)ゲート構造が提案されている。これは、従来N型及びP型トランジスタのゲート電極と共にN型ポリシリコンを使用していたのに対して、N型トランジスタのゲート電極にはN型ポリシリコンを、P型トランジスタのゲート電極にはP型ポリシリコンを形成することによって、主にP型トランジスタのしきい値を下げる手法である。しかし、P型トランジスタのP型ポリシリコン電極中のボロンは、ゲート酸化膜を容易に突き抜け、ゲート電極直下のシリコン基板に拡散し、

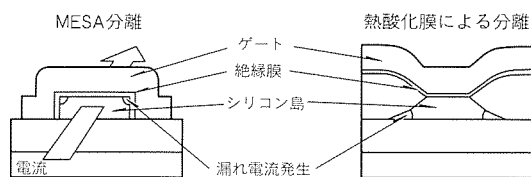
トランジスタのしきい値を変動させるという問題があった。このボロンの突抜けを抑制する方法として、今般、ポリシリコンにボロンを注入する前に窒素を注入する方法を採用した⁽³⁾。この方法は、ポリシリコンに窒素を注入した後、熱処理によって酸化膜との界面に窒化酸化膜を形成するもので、この窒化酸化膜がボロンの拡散バリアとして働く。更にゲート電極の抵抗を下げるために、N型トランジスタ、P型トランジスタ双方をタングステンポリサイドとした。

3.3 データ読出し感度向上技術

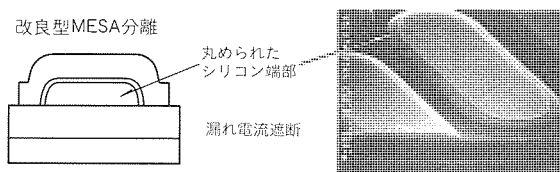
DRAMメモリセルの読出し電圧は、セル動作電圧に比例し、信号を引き出すビット線とセルキャパシタの容量比(C_b/C_s 比)にほぼ反比例する(図4)。したがって、低電圧化が進めば読出し電圧はますます小さくなる。SOI構造はビット線の基板コンタクト部活性領域の接合容量を著しく低減するため、 C_b/C_s 比も小さくなり、低電圧DRAMに有利な特長を持っている。すなわち、SOI-DRAMのビット線の容量は、バルク型DRAMのビット線容量に比べて、約2/3ほどに低減する。今回、更に C_b/C_s 比を小さくするために、キャパシタ電極を厚膜化してキャパシタ面積を増大し、かつ低電圧化による膜リーク電流低減効果を考慮してキャパシタ誘電膜を薄膜化してキャパシタ容量を増加した。図4に各容量値を記す。この結果 C_b/C_s 比は3となり、従来バルク型DRAMの約半分となった。試作した16MビットDRAMメモリセルの断面写真を図5に示す。なお、配線抵抗を下げるため、ビット線にもタングステンポリサイド配線を用いている。

4. 低電圧メモリ対応SOI設計技術

SOIでは、バルクシリコンと異なり、MOSトランジスタのゲート電極直下の薄膜SOI部(以下“ボディ”という。)がトランジスタごとに孤立している(図6(a))。バルクシリコンと同じレイアウトではこのボディに給電することができないため、ボディの電位を直接制御することができない。これをボディフロート型トランジスタという。しかしながら、トランジスタのレイアウトに活性領域を追加することにより、ボディに外部からの給電が可能となり、ボディの電位を制御



(a) 従来型



(b) 改良型

図3. 改良型MESA分離

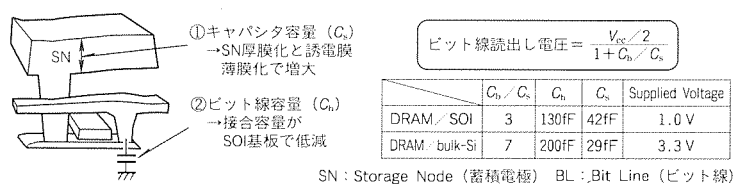


図4. 低電圧下の読出し電圧向上

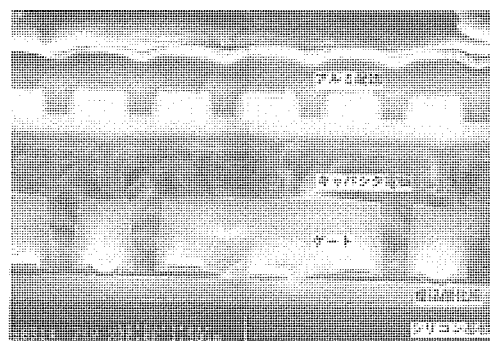


図5. 16MビットSOI-DRAMの断面

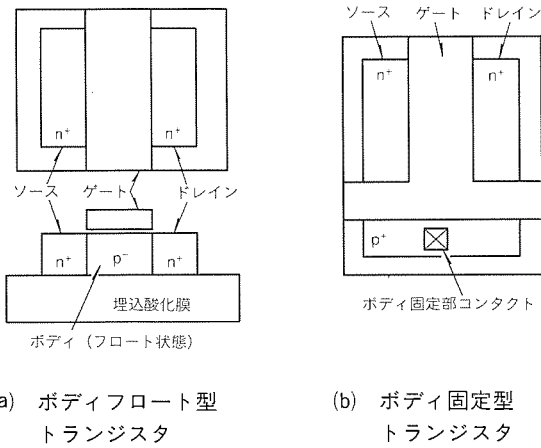


図6. SOIトランジスタの構造

することが可能となる。これをボディ固定型トランジスタという(図の(b))。これら二つのトランジスタの使い分けがバルクシリコンと大きく異なる点である。

ボディ固定型トランジスタでは、ボディ固定領域を追加するため、トランジスタの面積が大きくなる。今回の設計では、メモリエルのアクセストランジスタとして集積度の向上を優先し、ボディフロート型トランジスタを適用した。ボディフロート型のトランジスタでは、ボディフローティング効果のため、ディスタブプリフレッシュ特性の劣化が懸念される。そこで、オフ時のワード線電位をグランド電位よりも低く設定する負電圧ワード線技術⁽⁴⁾を適用し、アクセストランジスタのリーク電流を抑制した。

逆に、昇圧電位が印加されるため、十分な耐圧が必要となる回路、具体的にはワード線駆動回路、昇圧電位発生回路などにボディ固定型トランジスタを適用した。

また、ボディ固定型トランジスタでは、ボディ電位を制御することでしきい値電圧を変えることができる。我々は、回路ごとにしきい値電圧を制御することを目的として、ボディ電位を制御する技術を開発した。ボディ電位レベルと制御タイミングを回路ごとに最適化することにより、回路の動作速度と消費電流を最適化することができた。DRAMのアレー回路及び周辺回路にこの方式を採用することで、SOIが本来備えている低電圧での高速動作性能を更に加速することができ、1Vで46nsというアクセス時間を達成することができた⁽⁵⁾。

試作した16MビットDRAMのチップ写真を図7に示す。チップサイズは17.5mm×8.8mmである。

5. む す び

低電圧下で高速動作を達成するため、高性能分離技術、低電圧トランジスタ技術、データ読出し感度向上技術などのプロセス技術とボディ電位を制御する回路高速化技術を適用し、1V以下という超低電圧でのDRAM動作を確認した。このDRAMで開発したプロセス技術及び回路技術は、近年需要

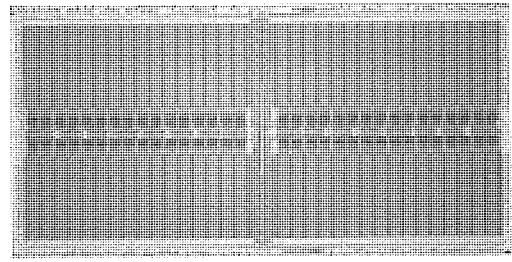


図7. 16MビットSOI-DRAMチップ写真

の高まってきているロジック混載メモリへも容易に適用可能な技術であり、次世代デバイスへの展開が期待される。

参 考 文 献

- (1) Eimori, T., Oashi, T., Yamaguchi, Y., Iwamatsu, T., Tsuruda, T., Suma, K., Hidaka, H., Inoue, Y., Nishimura, T., Satoh, S., Miyoshi, H.: ULSI DRAM / SIMOX with Stacked Capacitor Cells for Low-Voltage Operation, IEDM Tech. Digest, 45~46 (1993)
- (2) Oashi, T., Eimori, T., Morishita, F., Iwamatsu, T., Yamaguchi, Y., Okuda, F., Shimomura, K., Shimano, H., Sakashita, N., Arimoto, K., Inoue, Y., Komori, S., Inuishi, M., Nishimura, T., Miyoshi, H.: 16 Mb DRAM / SOI Technologies for Sub-1V Operation, IEDM Tech. Dig., (論文発表手続中)
- (3) Kuroi, T., Yamaguchi, T., Shirahata, M., Okumura, Y., Kawasaki, Y., Inuishi, M., Tsubouchi, N.: Novel NICE (Nitrogen Implantation into CMOS Gate Electrode and Source-Drain) Structure for High Reliability and High Performance 0.25μm Dual Gate CMOS, IEDM Tech. Dig., 325~328 (1993)
- (4) Yamagata, T., Tomishima, S., Tsukude, M., Arimoto, K.: Low Voltage Circuit Design Techniques for Battery-Operated and/or Giga-Scale DRAM's, IEEE J. Solid-State Circuits, **30**, 1183~1188 (1995)
- (5) Shimomura, K., Shimano, H., Okuda, F., Sakashita, N., Oashi, T., Yamaguchi, Y., Eimori, T., Inuishi, M., Arimoto, K., Maegawa, S., Inoue, Y., Nishimura, T., Komori, S., Kyuma, K., Yasuoka, A., Abe, H.: A 1 V 46ns 16Mb SOI-DRAM with Body Control Technique, ISSCC Dig. of Tech. Papers, (論文発表手続中)

1M(×8/×16), 4M(×1/×4/×8)ビット センターパワーピン仕様高速SRAM

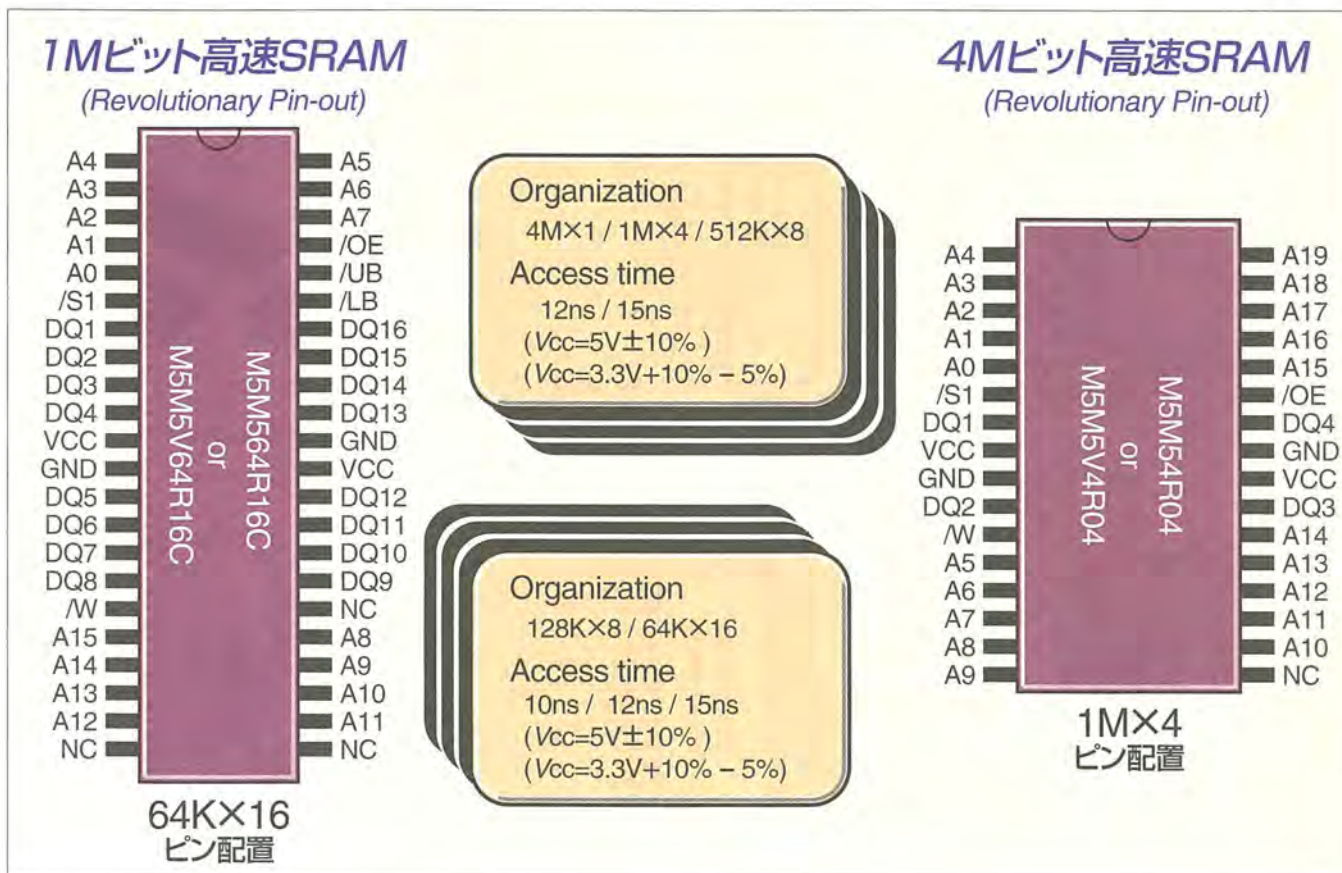
木下 淳* 清水禎之*
小久保信幸* 塩見 徹*
榎原洋次*

要旨

近年、システムの高速化のため、従来の低消費電力SRAMを用いていたモデム、ネットワークシステムのバッファメモリ等にも、×8/×16ビット構成の高速SRAMが使用され始めている。このような市場要求に対応するために、CMOS構造と同一の製造コストでバイポーラトランジスタを形成するスーパーCMOS構造をセンスアンプ回路に用い、最大アクセスタイムが10nsの1M高速SRAM、最大アクセスタイムが12nsの4M高速SRAMを開発した。製品としては、1M高速SRAMは単一チップをアセンブ

リ工程中のボンディング切換えによってビット構成が異なる2品種、電源電圧仕様が異なる2品種で、各々、パッケージがセンターパワーピン仕様のSOJとTSOP(II)の2種類、4M高速SRAMはビット構成が異なる3品種、電源電圧仕様が異なる2品種で、各々、パッケージがセンターパワーピン仕様のSOJを用意した。

今回開発した1M、4M高速SRAMは携帯電話の基地局のバッファメモリ、モデム、ネットワークシステムのバッファメモリ、HDDのバッファメモリ等に最適である。



製品概要/ピン配置

1M FAST SRAM
128K×8ビット構成 32ピン 400mil SOJ TSOP(II)
64K×16ビット構成 44ピン 400mil SOJ TSOP(II)

4M FAST SRAM
4M×1, 1M×4ビット構成 32ピン 400mil SOJ
512K×8ビット構成 36ピン 400mil SOJ

1. ま え が き

このたび、当社独自のスーパーCMOS技術と高速回路技術を用いて1Mビット及び4Mビットのセンターパワーピン(Revolutionary Pin-out)仕様の高速SRAMを開発したので、この製品概要、設計技術、プロセス技術、及び電気的特性を紹介する。なお、4M高速SRAMに関しては、基本技術は1M高速SRAMとほぼ同一なので製品概要のみの紹介とする。

2. 製品概要

2.1 1M高速SRAM

●語構成

128K×8ビット構成

(M5M5V12R88C:3.3V製品/
M5M512R88C:5.0V製品)

64K×16ビット構成

(M5M5V64R16C:3.3V製品/
M5M564R16C:5.0V製品)

●電源電圧

$V_{cc}=3.3V(+10\%/-5\%)/V_{cc}=5.0V(\pm 10\%)$

●アクセスタイム

10ns/12ns/15ns

●電源電流(最大)

140mA/160mA

(M5M5V12R88C/M5M512R88C)

160mA/180mA

(M5M5V64R16C/M5M564R16C)

●スタンバイ電流(最大)

1mA/5mA

(M5M5V12R88C/M5M512R88C)

160mA/180mA

(M5M5V64R16C/M5M564R16C)

●パッケージ

128K×8ビット構成

32ピン 400mil SOJ TSOP(II)

64K×16ビット構成

44ピン 400mil SOJ TSOP(II)

●ピン配置 図1(a)に示す。

●製品外観 図2に示す。

2.2 4M高速SRAM

●語構成

4M×1ビット構成

(M5M5V4R01:3.3V品
/M5M54R01:5.0V品)

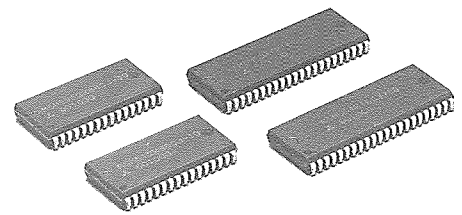
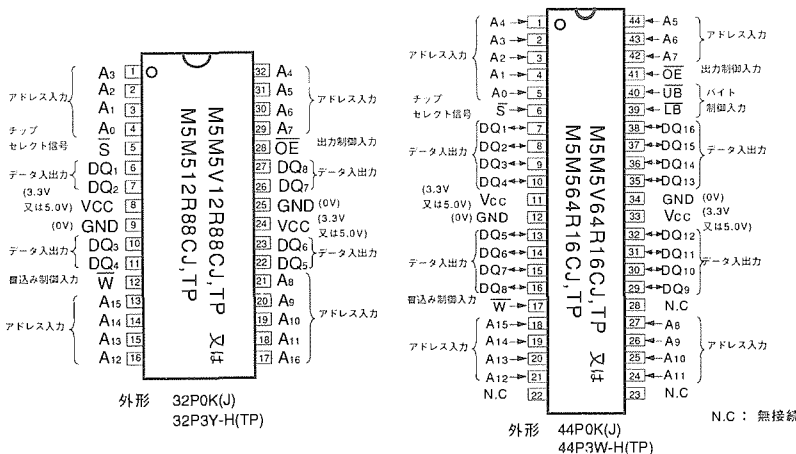
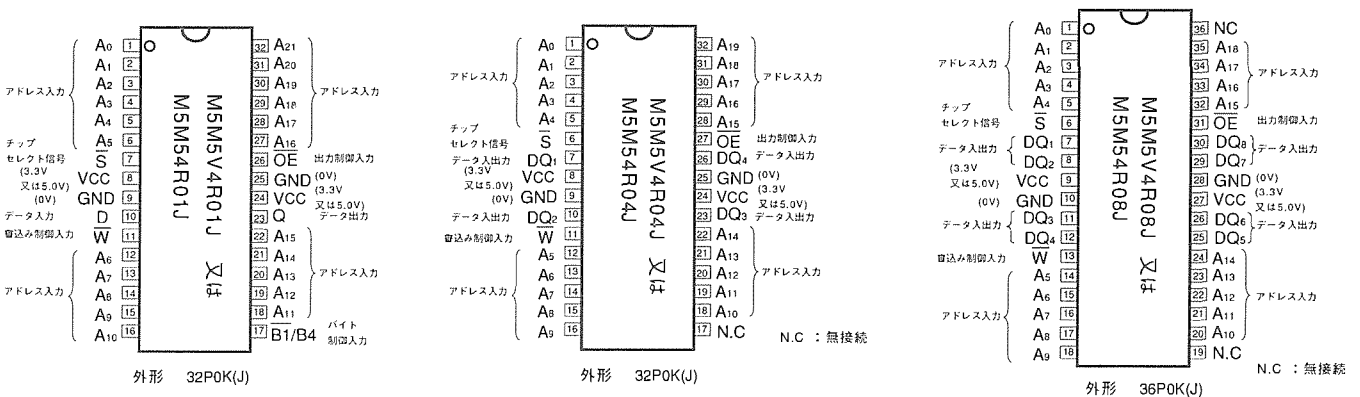


図2. 1M高速SRAMの外観



(a) 1M高速SRAM



(b) 4M高速SRAM

図1. ピン配置

1M×4ビット構成

(M5M5V4R04: 3.3V品
/M5M54R04: 5.0V品)

512K×8ビット構成

(M5M5V4R08: 3.3V品
/M5M54R08: 5.0V品)

●電源電圧

$V_{cc}=3.3V (+10\% / -5\%) /$
 $V_{cc}=5.0V (\pm 10\%)$

●アクセスタイム

12ns/15ns

●電源電流 (最大)

160mA (×1ビット/×4ビット構成)
170mA (×8ビット構成)

●スタンバイ電流 (最大) 10mA (全品種)

●パッケージ

4M×1ビット構成 32ピン 400mil SOJ
1M×4ビット構成 32ピン 400mil SOJ
512K×8ビット構成 36ピン 400mil SOJ

●ピン配置 図1(b)に示す。

3. 設計技術

(1) ブロックアーキテクチャ

図1(a)には128K×8ビット/64K×16ビット構成に対応したピン配置を示す。電源線 (V_{cc} , GND) のインダクタンスの低いセンターパワーピン型を採用し、JEDEC標準に準拠している。このピン配置に対応するため、ブロック構成は図3に示すようにチップ上下にメモセルアレー、チップ中央部にI/O回路を配置する構成とした。メモセルアレーは、1ブロック当たり、メモセルが512行×128列のマトリックスに配置され、8ブロックで1マットとする上下2マット構成(16ブロック)となっている。センスアンプ回路、書込み系回路などのI/O回路は、上下のブロック共通で使用する構成となっている。

(2) 分割ワード線方式

分割ワード線方式は、ワード線を分割することによって一度に選択されるメモセルを減らして、負荷容量を減少させ、アクセスタイムの向上を図る当社独自のデコード方式である。また選択されるメモセル数の減少に伴い、メモセル電源からアクセストランジスタを通してビット線に流れ込むコラム電流も削減できるなど、低消費電力化にも有効な回路技術である。図4にこの製品での分割ワード線を採用したデコード方式を示す。グローバル行デコーダを1マットごとに配置し、各マット内8ブロックのローカル行デコーダを駆動している。グローバルワード線は第2メタル配線、ローカルワード線は第2ポリシリコンで形成しているが、ローカルワード線のRC遅延を低減するため、第2メタル配線にくい(杭)

打ちしている。

(3) I/O回路

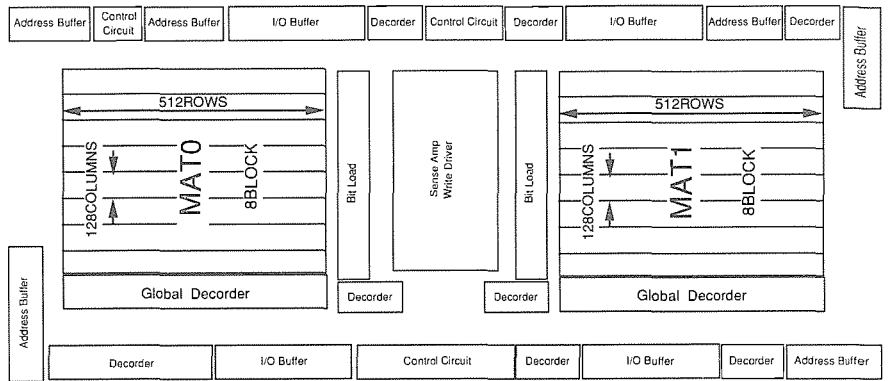


図3. 回路ブロック構成

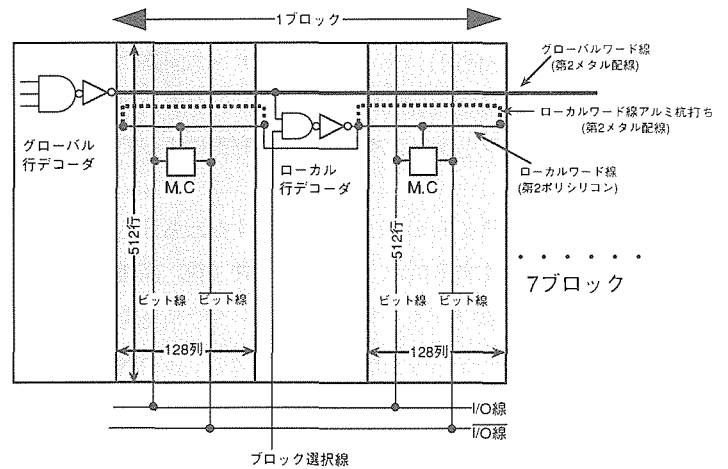


図4. デコード方式

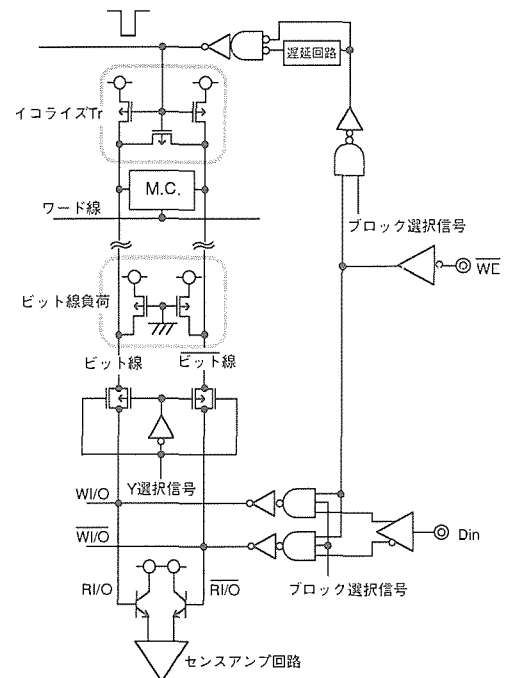


図5. I/O回路の概略

表 1. プロセスパラメータ一覧

プロセス			
0.4 μ m Super-CMOS			
3層ポリシリコン、2層メタル配線			
バイポーラ			
エミッタサイズ	S_E	1 μ m \times 6 μ m	
遮断周波数	f_T	4.3GHz	
電流増幅率	h_{FE}	56.9 \pm 4.3	
CMOS			
ゲート酸化膜厚	t_{ox}	10nm	
ゲート長	L (n/p)	0.4 μ m/0.5 μ m	
しきい値電圧	V_{th} (n/p)	0.5V/-0.6V	

メモリセル周辺のセンスアンプ回路、書込み系回路などの I/O 回路の略図を図 5 に示す。3.3 V 製品での低電圧動作マージンを確保するため、ビット線負荷は P チャネル型 MOS トランジスタを使用している。センスアンプ回路には当社独自のスーパー CMOS 技術によるバイポーラトランジスタを用い、バイポーラトランジスタの高電流利得によって高速化を図っている。

書込み系回路ではライトリカバリタイム、すなわち書込み直後の読出しを高速化するため、書込み動作終了後、高速に書込みドライバ回路をオフし、外部 \overline{WE} パルスの立ち上がりを検知して内部回路で発生させたワンショットパルスで相補のビット線をイコライズすることにより、ビット線の急速な充電を行っている。また $\times 16$ ビット構成品では、 \overline{UB} 、 \overline{LB} 信号により、独立に上位の I/O 回路 (DQ9 ~ DQ16) と下位の I/O 回路 (DQ1 ~ DQ8) を制御することが可能である。

(4) 3.3 V/5.0 V 共有化回路

電源電圧が 3.3 V/5.0 V と異なる仕様を同一チップで共有させるために、この製品ではバイポーラトランジスタを用いた電源降圧回路を搭載し、5.0 V 製品ではチップ内部の電源電圧を定電圧化することによってトランジスタの信頼性対策を行っている。また、内部回路に入出力ピンから直接 5.0 V が印加されないように入出力回路も工夫した。3.3 V 製品に対しては、アセンブリ工程時のワイヤボンダの際に 3.3 V 対応に共有化回路を切り換えられるようにボンディングオプション方式を採用し、同一チップでの 3.3 V/5.0 V 電源電圧対応を可能としている。

4. プロセス技術

高速化のためにプロセスはトリプルウェル、3層ポリシリコン 2層メタル配線の 0.4 μ m ルールのスーパー CMOS プロセス技術を用い、メモリセルとしては高抵抗負荷型メモリセルを採用した。プロセスパラメータの一覧を表 1 に示す。3層のポリシリコン層は 1層目を MOS トランジスタのゲート

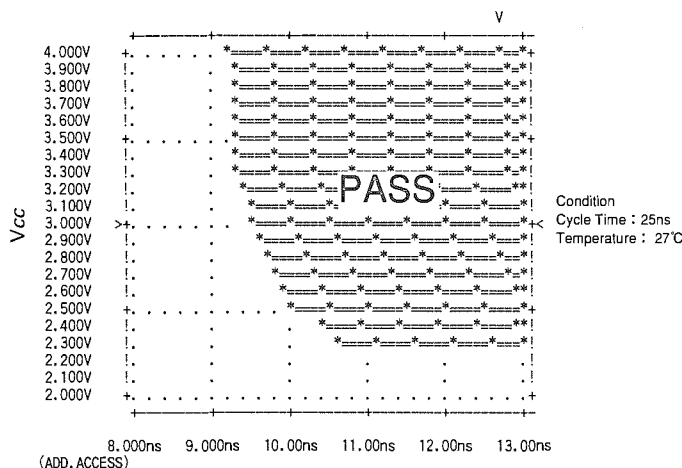


図 6. アクセスタイムのシュムープロット

電極、2層目をメモリセル内のワード線、GND 配線、3層目をメモリセルの高抵抗負荷に用いている。MOS トランジスタはゲート酸化膜厚を 10 nm、ゲート長を 0.4 μ m と微細化し、駆動力低減とゲート容量の低減により、高速化を図った。

5. 電気的特性

64 K \times 16 ビット SRAM のアドレスアクセス時間の電源電圧依存性のシュムープロットを図 6 に示す。測定条件は周囲温度 27 $^{\circ}$ C、LV-TTL インタフェースで出力負荷容量 30 pF である。この測定条件で、電源電圧 3.3 V (+10%/-5%) の範囲でのアドレスアクセス時間は 9.3 ~ 9.5 ns を達成しており、10 ns 品として十分なマージンを持っていることが分かる。

6. むすび

3層ポリシリコン 2層メタル配線の 0.4 μ m スーパー CMOS プロセス構造を用いて、最大アクセスタイム 10 ns の 1 M 高速 SRAM (128 K \times 8 ビット/64 K \times 16 ビット)、最大アクセスタイム 12 ns の 4 M 高速 SRAM (4 M \times 1 ビット/1 M \times 4 ビット/512 K \times 8 ビット) を開発した。

当社独自の CMOS プロセスと同一製造コストで、バイポーラトランジスタを形成するスーパー CMOS プロセス技術と分割ワード線方式などの高速回路技術を用いて、1 M/4 M ビットという大容量でそれぞれ業界最高速のアクセスタイム 10 ns、12 ns を達成することができた。

今後も高速 SRAM に対する大容量化・高速化・多ビット化の市場要求に応じて、更に次世代の高速 SRAM の開発を推進していく所存である。

64Kワード×32ビット パイプラインバーストSRAM

東出佳子* 津田信浩*
大林茂樹* 池谷正之**
近藤 攝*

要旨

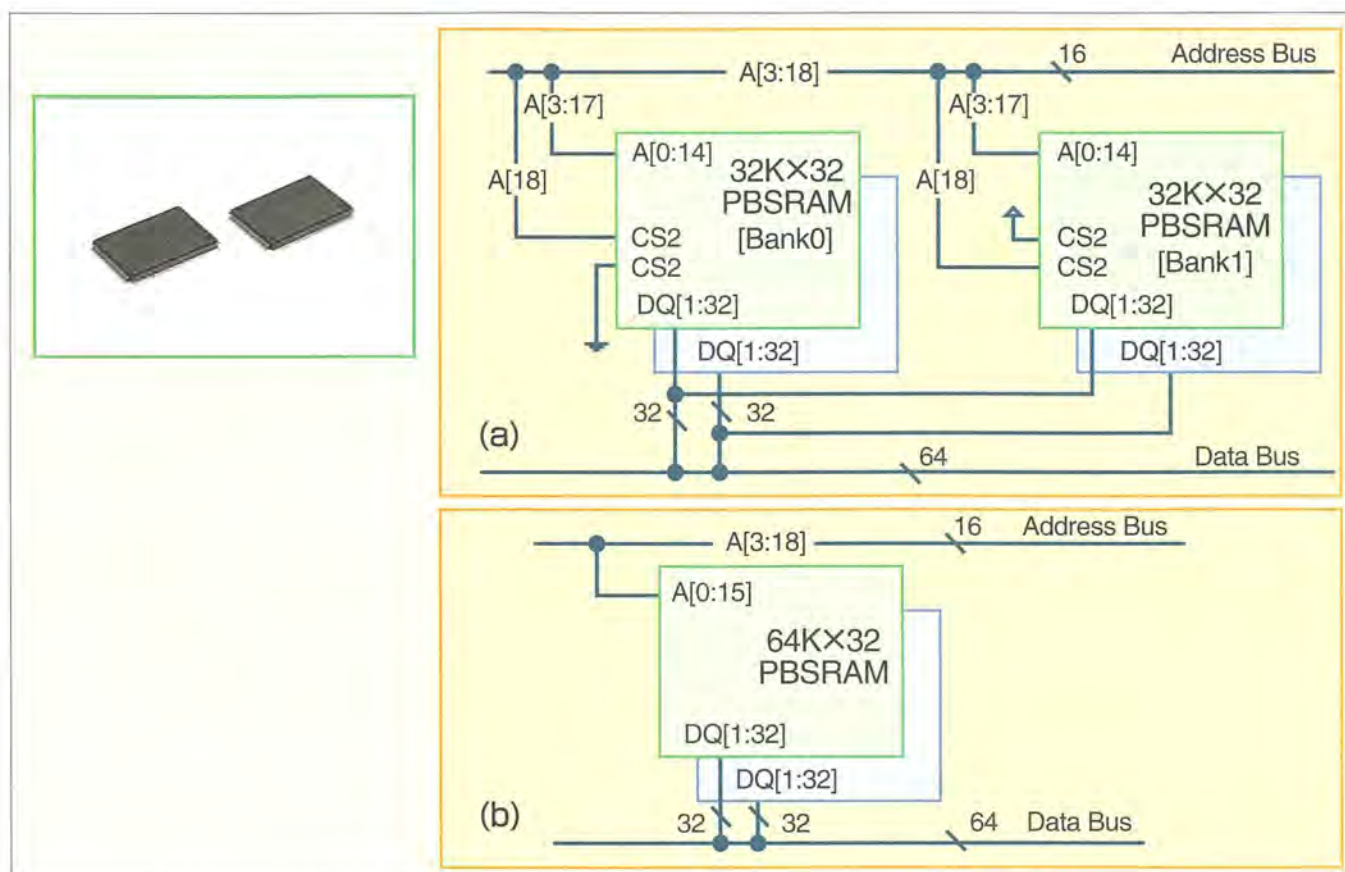
近年のパソコン（PC）におけるCPUは高性能化が著しく、CPUとメインメモリ間に高速でデータのやり取りを行うキャッシュメモリは必ず（須）となり、Pentium^(注1)、PowerPC^(注2)等の高性能CPU搭載のPCでは、多ビットI/OでかつCPUに最適な高性能キャッシュメモリが要求されている。こうした背景から、パイプラインバーストSRAMは、キャッシュ市場において、従来使用されていた非同期式高速SRAMに取って代わり、急速に立ち上った。デスクトップ型PCでのパイプラインバーストSRAMの搭載率は1997年で70%が見込まれ、ノートブック型PCでもキャッシュメモリの搭載率が増加している。さらに、二次キャ

ッシュメモリの大容量化が進み、256Kバイトのキャッシュシステムから512Kバイトのシステムに主流が移りつつある。256Kバイトのキャッシュシステムは2個の32K×32パイプラインバーストSRAMで構成可能であったが、512Kバイトシステムでは、4個の32K×32が必要である。

今回開発した64Kワード×32ビットパイプラインバーストSRAMは、512Kバイトシステムを2個で構成できるため、部品数の削減を可能とし、キャッシュシステム全体の低消費電力化と省スペース化を実現できた。

(注1) “Pentium”は、米国Intel Corp.の商標である。

(注2) “PowerPC”は、米国IBM Corp.の商標である。



この製品の外観とパイプラインバーストSRAMを用いた二次キャッシュシステム例

パッケージの外観：100ピンのLQFPパッケージを使用している。

512Kバイト二次キャッシュシステム例：

32K×32ならば4個必要なのに対し（例のa）、64K×32（今回開発品）ならば2個で構成できるので部品数を削減できる（例のb）。

1. ま え が き

高性能CPUに対応するキャッシュメモリに必要な条件としては、①パイプライン(シンクロナス)バースト化、②大容量化・低消費電力化・低電圧化、③多ビット及び低電圧I/O化、の三つの点が挙げられる。

(1) パイプラインバースト化

高性能CPUは、バーストモード(4アドレスの高速動作)をサポートしてパフォーマンスを上げており、キャッシュメモリのバースト機能内蔵は標準となっている。また、CPUの動作速度が100MHz以上の場合、非同期式SRAMでは10ns以下の高速アクセスが必要であるが、安価な非同期式SRAMでは実現することが不可能となり、スペック的に有利な同期式(シンクロナス)SRAMへの移行が急速に進んだ。

(2) 大容量化・低消費電力化・低電圧化

システム全体の低消費電力化のためにシステム上のキャッシュメモリの数を減らす方向にあるが、高性能化のためには容量は増大させる必要がある。このため、キャッシュメモリは小容量から大容量に移行している。また、電源電圧は、従来の5.0Vから3.3Vの低電圧化がシステム全体の主流となった。

(3) 多ビット及び低電圧I/O化

高性能CPUは64ビットとバス幅が数年前の2~4倍に拡大されたため、100MHz以上の高速データ転送のためには、低電圧のI/Oインタフェースが必要となっている。

以上のような市場動向を踏まえて、第一、第二世代32Kワード×32ビットパイプラインバーストSRAMに続き、最大クロックアクセスタイム5ns、最大クロック周波数133

MHz、2.5V I/Oにも対応可能な64Kワード×32ビットパイプラインバーストSRAM(以下“64K×32バーストSRAM”という。)を開発した。

本稿では、この64K×32バーストSRAMの製品概要、プロセス技術、設計技術、電気的特性、及びアプリケーションを述べる。

2. 製 品 概 要

- (1) 語構成 65,536ワード×32ビット
- (2) 電源電圧 $V_{DD} = 3.3V (+10\%/-5\%)$
- (3) I/Oバッファ用電源 $V_{DDQ} = 3.3V (+10\%/-5\%)$
又は $2.5V (+16\%/-5\%)$
- (4) クロックアクセスタイム
5.0ns/5.0ns/5.5ns/7.0ns
- (5) クロック周波数
133MHz/117MHz/100MHz/75MHz
- (6) 消費電力 動作時: 875mW (最大)
待機時: 3.3mW (最大)
- (7) パッケージ 100ピン LQFP
ボディサイズ: 14.0mm × 20.0mm
ピンピッチ : 0.65mm
- (8) 機能
 - (a) 全入出力にレジスタを内蔵し、パイプライン動作を実現
 - (b) 32ビット同時ライト(グローバルライト)と8ビットごとのライト(バイトライト)が可能
 - (c) リニアとインタリーブのバーストシーケンスが可能
 - (d) スヌーズとチップセレクトでのパワーダウンが可能
 - (e) バーストリードサスペンド時のパワーダウンが可能

表1. 性能概要

語 構 成	64Kワード×32ビット	
プ ロ セ ス	3層ポリシリコン2層アルミ	
デザインルール	0.4μm	
電 源 電 圧	3.3V+10%, -5%	
	(ただし、入出力バッファ用電源電圧は2.5V+16%, -5%対応可)	
入出力レベル	LV-TTL	
	$V_{DDQ} = 3.3V$ 時	$V_{DDQ} = 2.5V$ 時
	$V_{IH} = 2.0V, V_{IL} = 0.8V$	$V_{IH} = 1.7V, V_{IL} = 0.7V$
	$V_{OH} = 2.4V @ I_{OH} = -4mA$	$V_{OH} = 1.7V @ I_{OH} = -2mA$
	$V_{OL} = 0.4V @ I_{OL} = 8mA$	$V_{OL} = 0.4V @ I_{OL} = 2mA$
特 長	パイプライン型 MODEピンによって2種類のバーストモードに対応可能 CLK停止によるスタンバイモードとZZピンによるスヌーズモードをサポート	
アクセス/サイクル時間	5.0ns/7.5ns (133MHz品)	5.0ns/8.5ns (117MHz品)
	5.5ns/10ns (100MHz品)	7.0ns/13.3ns (75MHz品)
セットアップ/ホールド時間	2.0ns/0.5ns (133/117/100MHz)	
	2.5ns/0.5ns (75MHz)	
動作時電源電流	300mA@133MHz, 270mA@117MHz, 250mA@100MHz	
	210mA@75MHz (最大)	
(バーストリードサスペンド時)	25mA (最大)	
スタンバイ時電源電流	2mA (最大) (CLK停止, ZZ="L"時)	
(CMOSレベル入力)	2mA (最大) (スヌーズモード時)	

(f) ノンパイプライン動作のテストモードをサポート
 詳細な諸特性一覧を表1に示す。

(9) ピン配置

ピン配置を図1に示す。左右にデータI/O, 上下にアドレスとコントロールピンを配置している。

3. プロセス技術

プロセス技術の一覧を表2に示す。3層ポリシリコン2層アルミ配線の0.4μmプロセスを用いている。第1ポリシリ

コンはWSiドーパドポリで形成し、第2ポリシリコンはワード線と接地用配線に、第3ポリシリコンはメモリセルの高抵抗に用いている。また、第1アルミ配線はメモリセルのビット線とし、データ転送経路を低抵抗化して高速アクセスを実現している。

CMOSトランジスタは、ゲート酸化膜厚を10nm、ゲート長を0.4μmと微細化し、高駆動能力とゲート容量の低減によって高速化を図った。

4. 設計技術

(1) アーキテクチャ

回路ブロックの配置を図2に示す。チップ左右にデータI/O回路を各16個配置している。チップ上下にアドレスとコントロール回路を配置している。1メモリブロックのメモリアレーは512ロー×1,024コラムの512Kビットで、8メモリブロックがある。電源はI/Oバッファ回路用と内部回路用を分離しており、また、4個の出力バッファ回路ごとに電源を配置して電源ノイズ耐性の強化を図っている。

各回路信号の経路を図3に示す。OEバッファ回路以外の回路は、クロック (CLK) によって制御される。各入力信号は、クロックの立上りで内部回路に取り込まれる。バースト動作を可能にするため、カウンタ回路 (Counter) を内蔵している。

(2) メモリセル-データバス間結線

メモリセル-データバス間結線の回路を図4に示す。ピッ

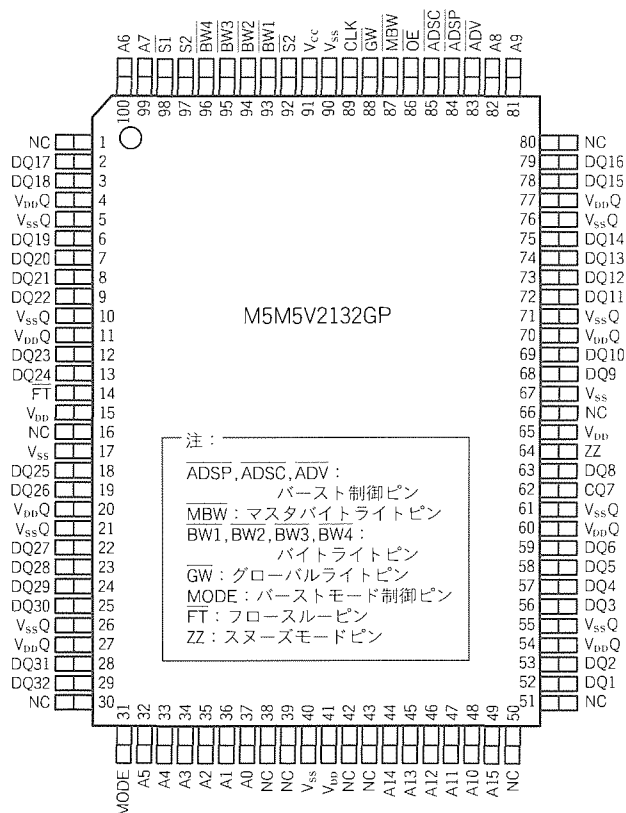


図1. ピン配置

表2. プロセス技術の一覧

プロセス	0.4μm 3層ポリシリコン2層アルミ トリプルウェル
メモリセル	高抵抗型
ゲート電極	WSiドーパドポリ
ゲート酸化膜厚	10nm
最小ゲート長	0.4μm

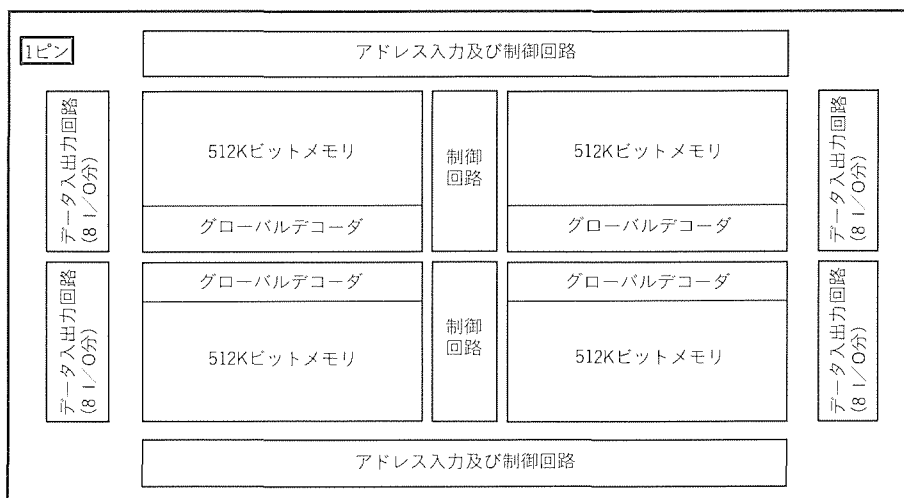


図2. 回路ブロックの配置

ト線に V_{DD} を供給するため、ビット線負荷はPチャンネル型トランジスタ (図中の Q_{LL} , Q_{LR}) を使用し、低電圧での安定動作を可能としている。また、読出し開始直前に相補のビット線 (図中のビット線、ビット線) をスイッチングトランジスタ (図中の Q_E) でイコライズするとともに、センスアンプに入力するI/O線 (図中のリードI/O線) は、ライトドライバ出力のI/O線 (図中のライトI/O線) と分離し、寄生容量を低減することでセンスアンプの動作速度を上げてい

る。

(3) デコード方式

デコード方式を図5に示す。当社独自のデバイデッドワー

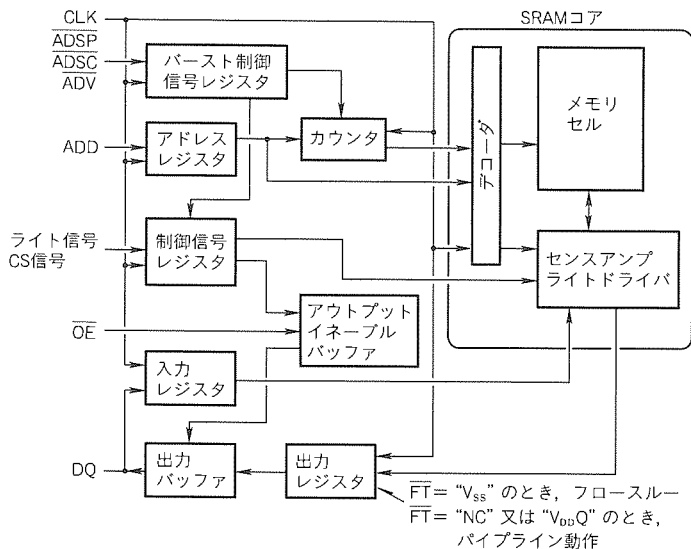


図3. 各回路信号の経路

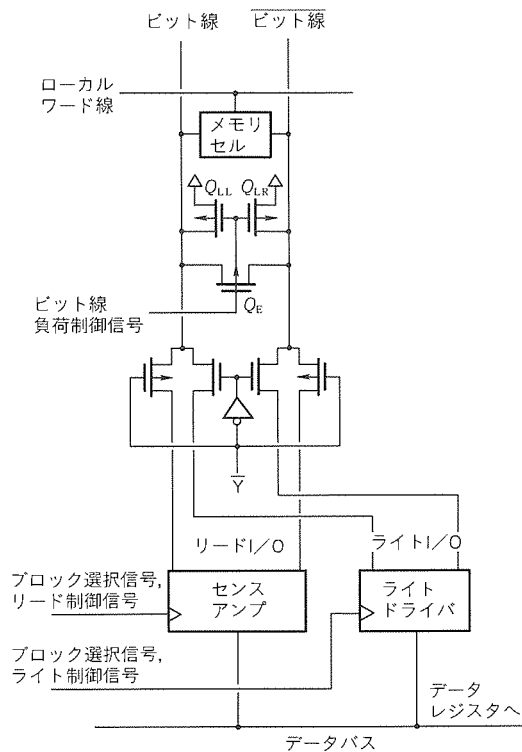


図4. メモリセルデータバス間結線

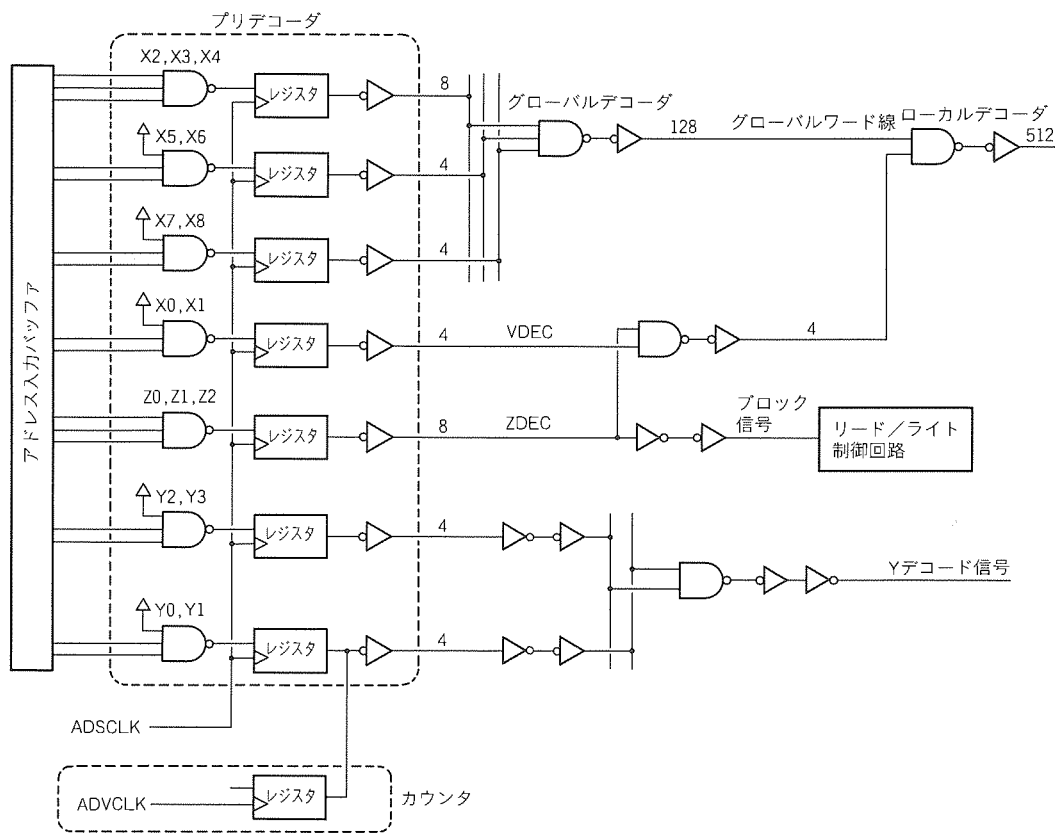


図5. デコード方式

ドラインを、ワード線の選択方式に用いている。各メモリアレーのグローバルデコード線は第2アルミ配線で128本あり、ローカルデコード線は第2ポリシリコン配線で512本を持っている。グローバルデコード線と下位アドレスのデコード信号線 (VDEC, ZDEC) の論理積をとることによってワード線を選択するため、一度に選択されるメモリセル数が少なくなり、コラム電流が大幅に低減できる。各入力信号のクロック信号に対するセットアップ時間とホールド時間を最適化するため、入力レジスタ回路はプリデコーダ内に配置している。特に超高速動作を必要とするバースト動作のカウント回路は、負荷が軽い最下位アドレス (Y0, Y1) を用いて高速化

を図っている。

(4) 入出力バッファ

入出力バッファを図6に示す。100 MHz以上の製品では出力波形を急しゅん(峻)にして高速アクセスタイムに、100 MHz未満では出力波形を緩やかにしてオーバシュートやアングラシュート削減を優先させた“スルーレートコントロール (Slew Rate Control)”回路を採用し、ワイヤボンドの際にどちらかを決定できるボンディングオプション方式にしている。

5. アプリケーション

二次キャッシュシステムのタイミング例を図7に示す。上段は標準SRAMの例で、下段はバーストSRAMの例である。1バースト動作(4アドレス)を要するのに、標準SRAMでは“3-2-2-2”動作の9サイクルが必要となるが、バーストSRAMでは“3-1-1-1”動作の6サイクルで完了し、3サイクル時間の短縮が図られ、システムのパフォーマンスを格段に向上できる。

512Kバイトの二次キャッシュシステムの一例をカラーページに示す。上段(a)のように1MバーストSRAMを用いた場合は4個必要となる。これに対して上段(b)のようにこの64K×32バーストSRAMを用いた場合には、2個でシステムを構成することができる。また、この製品の使用により、キャッシュシステムの低消費電力化が可能である。これは、この製品の消費電力が従来使用されていた当社製1MバーストSRAMと同程度であるため、部品点数削減の分、すなわち消費電力を1/2にできるからである。

なお、この製品は、49ピンをアドレスに設定することにより、第一、第二世代32K×32ビットシンクロナスバーストSRAMからの置き換えが可能である。

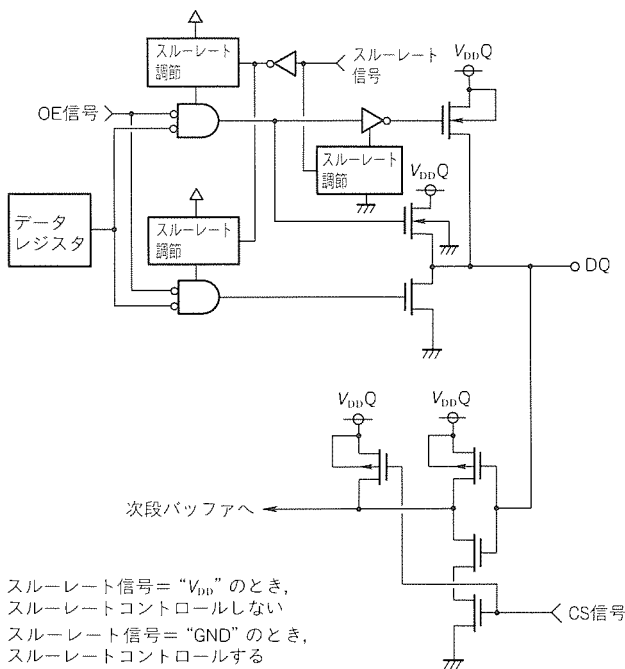


図6. 入出力バッファ

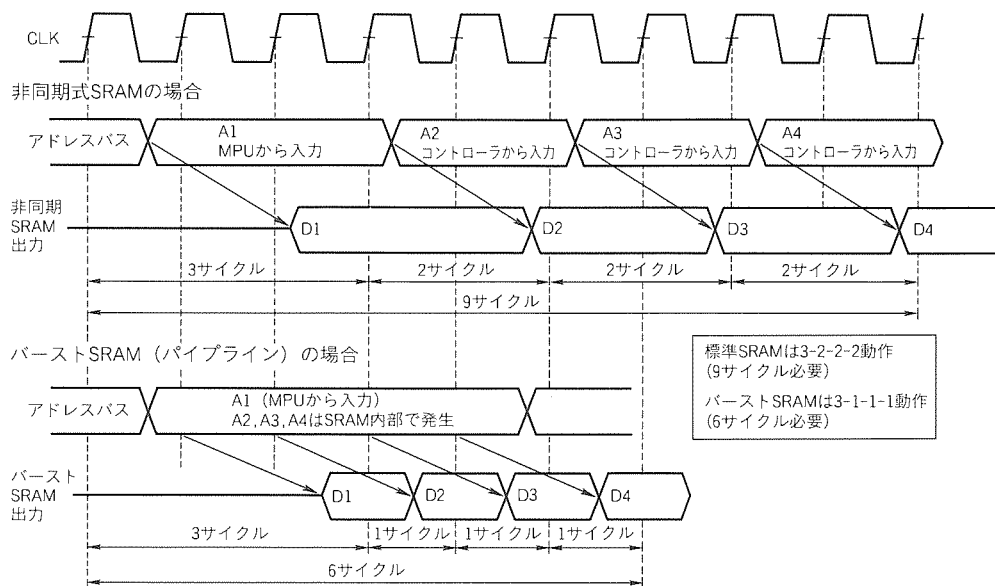


図7. キャッシュシステムのタイミング例

6. 電気的特性

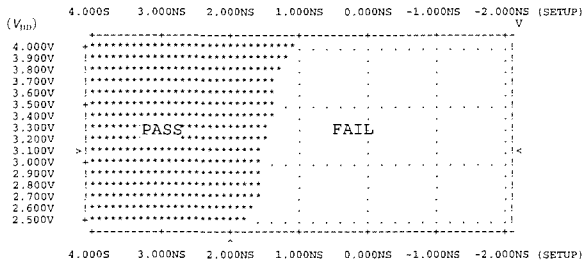
64 K × 32バースト SRAMの電源電圧依存性のシミュレーションプロットを図8に示す。I/Oバッファ用電源電圧 $V_{DDQ} = 2.5V$ のとき、セットアップタイムは1.6 ns、ホールドタイムは0.0 ns、クロックアクセスタイムは3.2 nsであり、動作速度が133 MHzのCPUに直結しても、十分にマージンのあるレベルである。また、入力電圧レベル V_{IH} 、 V_{IL} はそれぞれ1.4 V、1.2 Vで、2.5 V I/Oインタフェースを満足する値となっている。

7. むすび

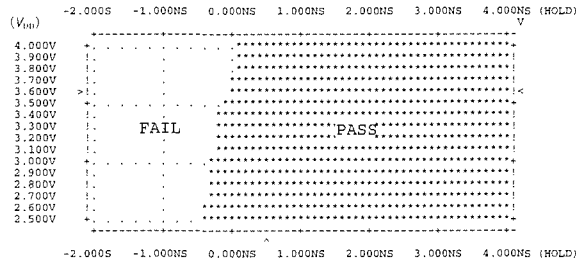
3層ポリシリコン2層アルミ配線の0.4 μmプロセスを用いて、最大クロックアクセスタイム3.2 ns、最大クロック周波数133 MHzの64 Kワード×32ビット シンクロナスバーストSRAMを開発した。高性能CPUのキャッシュSRAMとして要求される①パイプライン(シンクロナス)バースト化、②大容量化・低消費電力化・低電圧化、③多ビット及び低電圧I/Oに対して、 $V_{DD} = 3.3V$ 、4アドレスバースト、32ビットI/O、2.5 V I/Oインタフェース、実効クロックアクセスタイム=3.2 nsなど、すべてを満足する高性能が実現できた。

この64 K × 32バーストSRAMを512 Kバイト二次キャッシュメモリとして使用することで、32 K × 32バーストSRAMを使用する場合に比べて部品数を削減することができ、格段にパフォーマンスの向上したシステムが実現できる。また、更なる高性能CPUのキャッシュメモリとしても使用可能である。

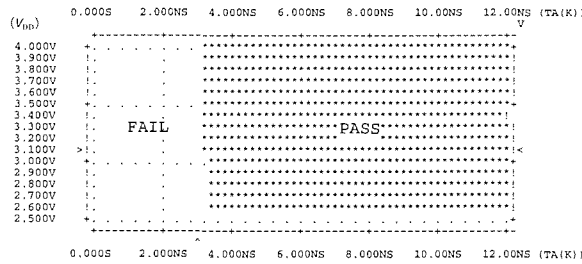
今後も高性能CPUのキャッシュSRAMに対する市場要求にこたえて、次世代キャッシュSRAMの開発を推進していく所存である。



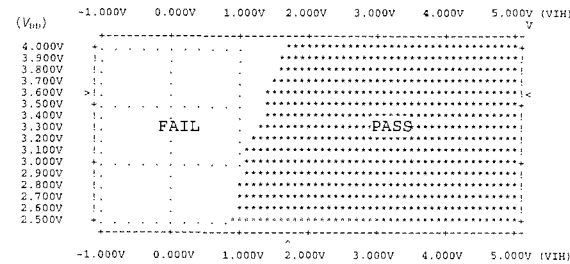
(a) セットアップタイム ($V_{DDQ} = 2.5V$)



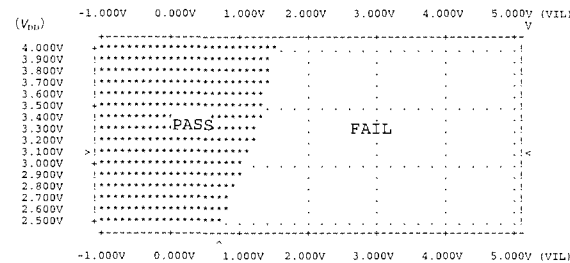
(b) ホールドタイム ($V_{DDQ} = 2.5V$)



(c) クロックアクセスタイム: $T_a(K)$ ($V_{DDQ} = 2.5V$)



(d) V_{IH} ($V_{DDQ} = 2.5V$)



(e) V_{IL} ($V_{DDQ} = 2.5V$)

図8. 各特性の電源電圧依存性シミュレーションプロット

3.3V単一電源動作 8 Mビット DINOR型フラッシュメモリ

小林真一* 大井 誠**
野口健次*
大前 正**

要旨

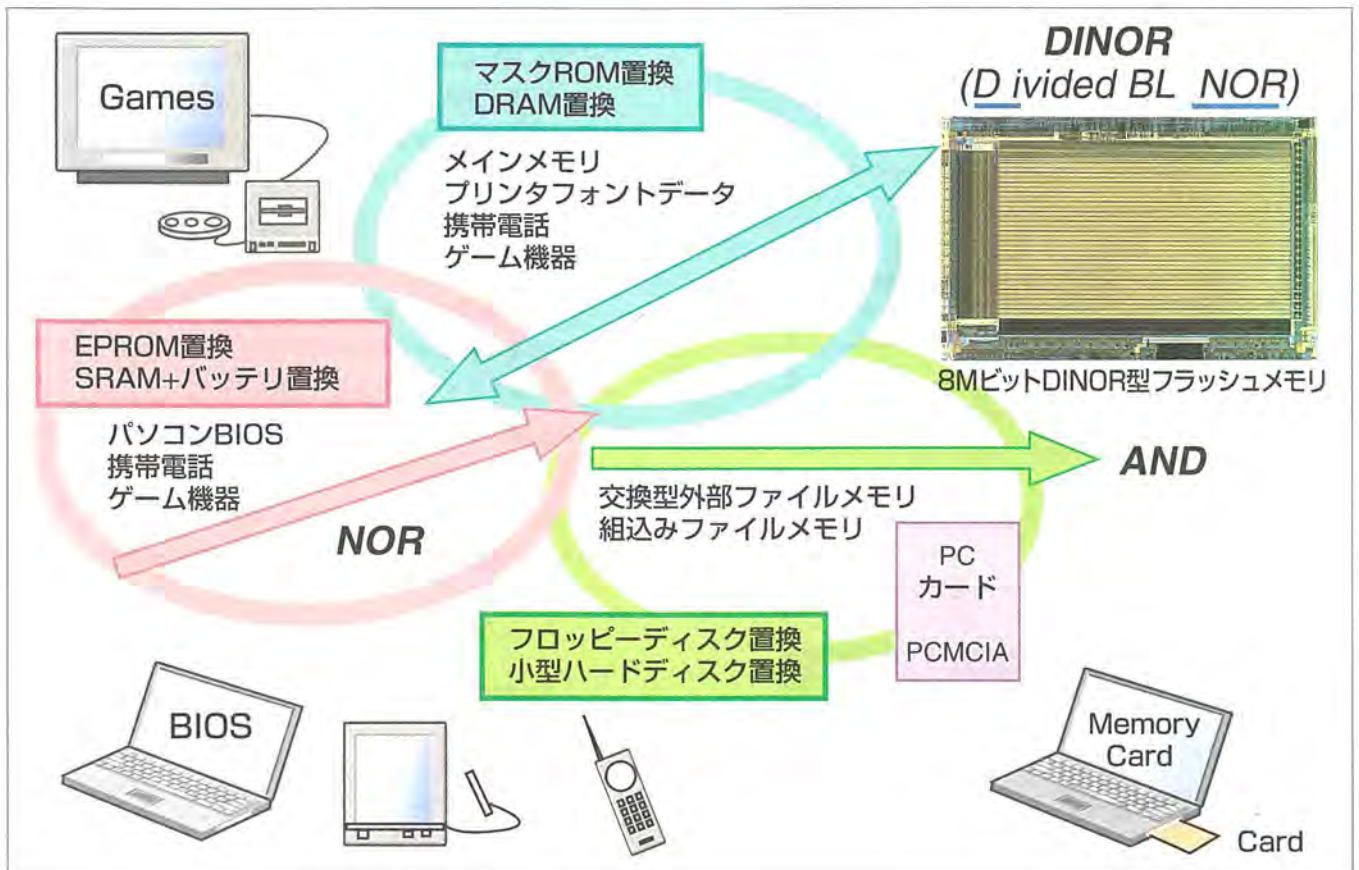
昨今、携帯電話は、急速なインフラ整備によるサービスエリアの拡大と、使用料金及びハンドセットの低価格化を背景に、空前のブームになっている。この携帯電話の市場で需要が大きく伸びてきているのが、大容量フラッシュメモリである。フラッシュメモリは、電氣的にデータの一括／ブロック単位での書換えが可能で、かつ電源を切っても記憶内容が消えない不揮発性半導体メモリで、携帯電話のシステムプログラム格納用のメモリとして使われている。

今回、携帯電話に限らず、このような携帯情報機器やネットワーク機器などの市場動向を踏まえ、3.3V 単一電源で高速アクセスを同時に実現した8Mビット DINOR (Divided Bit Line NOR) 型フラッシュメモリを開発した。

DINOR型メモリセルは、三菱電機(株)が独自に開発した新しいタイプのメモリセルで、高速アクセスと高集積／単一電源動作による低消費電力化が特長である。DINOR型メモリセルはその名の示すとおり、ビット線をメインとサブに分割し、面積を増大させることなくブロック分割を容易にし、かつ各セルがサブビット線に並列に接続されているためアクセスタイムも高速である。また、書換えにトンネル効果を用いるため消費電流が極めて小さく、内部の昇圧回路を利用できるので単一電源化が可能となった。

今後、バッテリーの更なる長寿命化の要求にこたえ、更なる低電圧化、広温度動作の製品化を行っていく。

なお、この製品は(株)日立製作所と共同で開発したものである。



フラッシュメモリの応用分野と三菱電機の展開計画

高速アクセスを特長としたNOR型、高集積／単一電源のAND、そしてこれら二つの特長を併せ持ったのがDINORである。電源電圧3.3V単一、アクセス時間80ナノ秒、書換え回数1万回を実現した。3.3V単一電源でアクセス80ナノ秒は世界最速である。

1. ま え が き

近年、携帯電話を始めとして様々な携帯情報機器、情報処理端末において、より低電圧化かつ高速アクセスを満たすフラッシュメモリの要求が高まってきている。この要求にこたえ、当社はDINOR型フラッシュメモリのセル構造を提案し、今回、(株)日立製作所と共同で8Mビットの製品を開発した。DINOR型フラッシュメモリは、データの書き換えにトンネル効果を用いるため、3.3Vの外部単一電源電圧からチップ内部で高電圧を発生させてデータを書き換えることが可能である。また0.5 μ mルールのプロセスを使用し、80ナノ秒の高速アクセス(3.3V単一電源では世界最速)も達成した。

本稿では、DINOR型フラッシュメモリの基本構造、及び今回開発した8Mビットの製品仕様、さらに各種電気的特性について述べる。

2. DINOR型フラッシュメモリの基本構造

現在までに、フラッシュメモリとして様々なセル構造が提案されてきた⁽¹⁾⁽²⁾。これらのセル構造のうち最も一般的なのがNOR型と呼ばれるセルである。しかしながらこのタイプのセルは、プログラム時にチャンネルホットエレクトロン(CHE)の注入を行うために、大きな電流を流しながらセルのドレインに5V程度の電圧を印加する必要がある。したがって、低電圧かつ単一電源化を実現するには障壁が高い。一

方、低電圧化に適したセルとしてはNAND型が存在する。このタイプでは書換えにFowler-Nordheim (FN) トンネル現象を利用して行うために、書換えのための消費電流が少なく済み、内部で電圧を昇圧して利用するという方式が用いられている。ただし、NANDタイプはランダムアクセスが遅いという欠点がある。

これらの問題を解決するために、当社独自のアイデアとして提案したのがDINOR型セルである^{(3)~(5)}。DINOR型では、書換えはNAND型同様FNトンネルを用いて行うために単一電源化が可能であり、かつNOR型のようにビット線に対してセルが並列に接続されているためにランダムアクセスも高速である。すなわち、3.3V単一電源書換えで、高速アクセス及び小セルサイズを同時に実現している。

図1にDINOR型メモリアレーの断面構造を示す。図2は図1の断面図に相当するSEM写真である。ビット線は、主ビット線(第2アルミ)と副ビット線(第3ポリシリコン)で構成される階層構造となっている。メモリセルは、一つの選択ゲートに64ビットのセルが副ビット線に対して並列に接続されている。またメモリセルは、トリプルウェル構造の中に形成されている。これは、後に述べるように、消去時にメモリセルのウェル領域に負電圧を印加させるためである。

図3にDINOR型セルの消去動作とプログラム動作を示す。消去動作時には、選択されたブロックのワード線には12Vが、同時にPウェルとソース線に-11Vが印加される。したがって、選択されたブロックに含まれるセルのコントロールゲートとチャンネル間に23Vの高電位が発生し、電子はトンネル現象によってフローティングゲート内に注入され、セルのしきい値は上昇する。これはデータ“1”に対応する。一方、プログラム時には、選択されたセルのワード線に-11V、書込みデータに従ってビット線に8V及び0Vが印加される。書込みデータが“1”のときは0Vが、また書込みデータが“0”のときは8Vが印加される。もしビット線に8Vが印加されると、ワード線とドレインとの電位差が19Vとなり、この高電界によってフローティングゲートから電子がドレインに引き抜かれ、セルのしきい値は降下する。またドレイン電圧が0Vのままであると、ワード線とドレイン

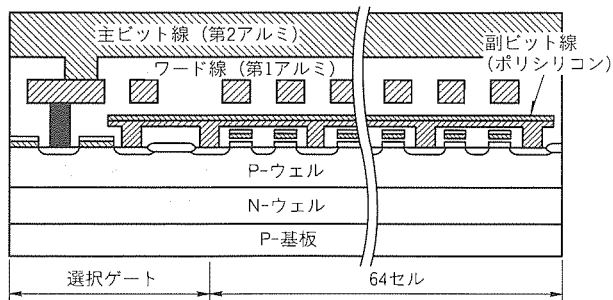


図1. DINOR型メモリアレーの断面図

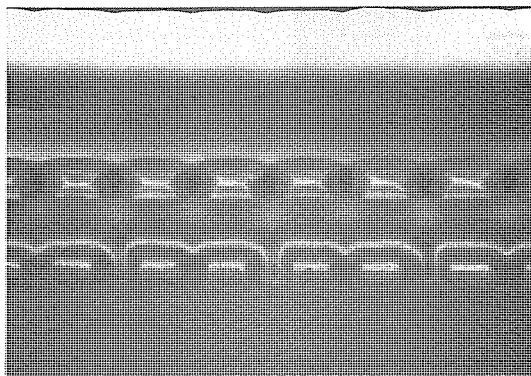
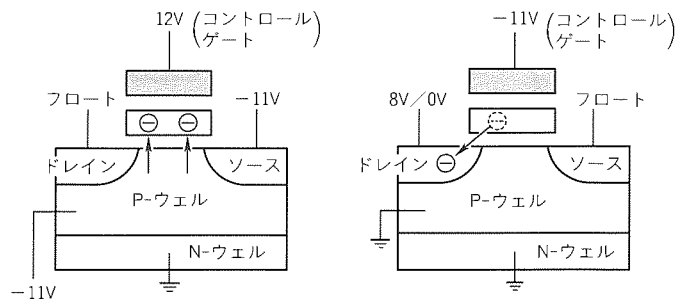


図2. 断面SEM写真



(a) 消去動作

(b) プログラム動作

図3. 消去/プログラム動作

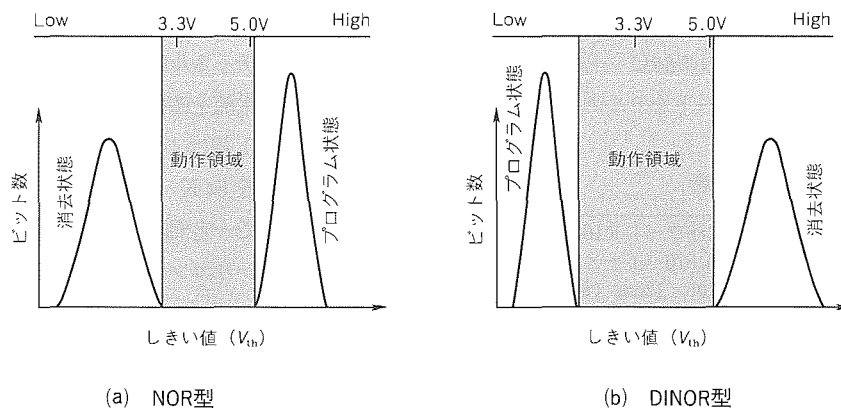


図4. メモリセルのしきい値分布

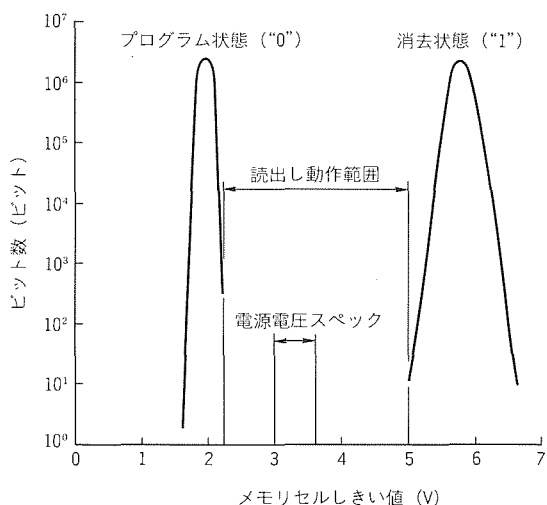


図5. 8MビットDINOR型フラッシュメモリのしきい値分布

との電位差は11Vであるため、トンネル現象を引き起こすための十分な電界が得られず、フローティングゲートからの電子の引抜きは生じない。このようにして外部からのデータに従ってメモリセルへの書込みが行われ、揮発性データとしてセルに蓄えられる。

また、DINOR型フラッシュメモリでは、データの書換えに正/負の両方の電圧を併用しているため、周辺回路に加わる電圧の絶対値は12V以下に設定することが可能となる。したがって、このような23Vもの高電圧をセルに印加することにもかわらず微細な周辺トランジスタを使用することができ、小面積のチップサイズを得ることができる。また、FNトンネル現象を利用するので書換え時の消費電流を低く抑えられ、オンチップのチャージポンプ回路によって3.3Vの低電圧から高電圧を発生することが可能である。

NOR型フラッシュメモリの消去では、メモリセルのソースに高電圧を印加してしきい値を下げている。ソースは一つの消去ブロック(64Kバイト)の中では共通に接続されているために、すべてのメモリセルに同じ条件で消去パルスが印加され、しきい値分布のばらつきはプロセスばらつきを直接反映することになり、消去後のしきい値分布は広がってし

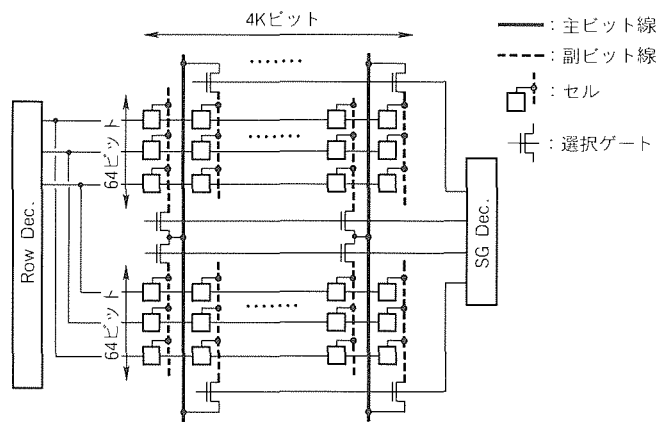


図6. アレー構成

まう。またNOR型、DINOR型とも、セルのしきい値は0Vよりも常に高い状態であればならない。もし0Vよりも低いしきい値、すなわちデプレッション化したセルが存在すると、同一ビット線上の他のセルの読出しが常に“電流が流れる”状態に固定されてしまい、いわゆるNOR型で過剰消去と呼ばれる不具合が生じる。図4に示すようにNOR型では、しきい値の低い側が消去状態であるため、過剰消去を起こさないようにするためには、しきい値分布の最大値を比較的高い値に設定する必要がある。したがって、読出し電圧(3.3V)からのしきい値の差が余りとならず、低電圧下での高速読出しに不利となる。一方DINOR型では、しきい値の高い側が消去状態であり、これは少々高い値になっても問題を生じない。プログラムはドレインに電圧を印加して行うので、セルごとに最適な長さのパルスを印加することができ、セルのしきい値分布を極めて狭くすることができる。プログラム時の分布が非常に狭くなったため読出し電圧(3.3V)からの差を大きくとれ、低電圧条件下でも高速アクセスを実現できる。図5に実際の8MビットDINOR型フラッシュメモリの消去/プログラム時のしきい値分布を示す。これから分かるように、非常に広い読出し動作範囲が得られ、2.7V以下の電源電圧でも十分な読出しマージンがあることが分かる。

メモリスルの消去単位である1ブロックの等価回路を図6に示す。1本の主ビット線に対し二つの副ビット線が配置されている。図に示すように、選択ゲートをセルのビット線方

向に上下に分散配置させることによって、選択ゲートトランジスタのチャネル幅を大きくとることができ、十分な読出し時のセル電流を確保することができた。1ブロックを構成する副ビット線は4,096本、ワード線は128本となっており、消去単位を64Kバイトに設定している。ワード線は第1アルミ配線で一定間隔ごとにゲートへのコンタクトをとっており、ポリシリコンの抵抗による遅延を抑えている。

表1. 製品仕様

●構成	524,288ワード×16ビット 1,048,576バイト×8ビット
●アクセス時間	80/100/120ns (最大)
●電源電圧	V _{CC} =3.3V±0.3V
●保証温度	0~70°C
●書換え回数	10,000回
●消費電力	
読出し時	108mW (最大)
プログラム/イレーズ時	144mW (最大)
スタンバイ時	0.72mW (最大)
ディープパワーダウン時	3.3μW (最大)
●オートページプログラム	
プログラム時間	5ms (標準)
プログラム単位	128ワード
●オートブロックイレーズ	
消去時間	50ms (標準)
消去単位	
ブートブロック	8Kワード/16Kバイト×1
パラメータブロック	4Kワード/8Kバイト×2
メインブロック	16Kワード/32Kバイト×1 32Kワード/64Kバイト×15
●ブートブロック	
M5M29FB800	ボトムブート
M5M29FT800	トップブート
●その他の機能	
ソフトウェアコマンド制御	
選択ブロックロック	
イレーズサスペンド/レジューム機能	
プログラムサスペンド/レジューム機能	
ステータスレジスタリード	
●パッケージ	
48ピン, 12mm×20mm TSOP (I)	
44ピン, SOP	

3. 8MビットDINOR型フラッシュメモリの製品仕様

表1に製品仕様を、表2にプロセス仕様を示す。3.3V単一で動作し、消去ブロックサイズは64Kバイトである。書換え回数は1万回、動作保証温度は0~70°Cである。ただし、今後2.7V動作かつ-40~85°Cの広温度保証品も出荷予定である。消去単位は不均等型の消去ブロック群を含む構成をとっており、様々なデータのサイズに対応した有効なメモリの活用ができる(図7)。またそれぞれのブロックには、誤書込み/誤消去に対するデータ保護として、選択的ブロックロック機能を持っている。それぞれのブロックはブロックロックの状態を示す不揮発性のロックビットを持っており、ロックビットがセットされているメモリブロックに対しての消去/書込み動作を禁止できる。

表2. プロセス仕様

●プロセス	0.5μmリソグラフィ 3層ポリシリコン 2層メタル P-Sub Triple Well CMOS
●メモリスル	1.5μm×1.65μm (実効)

×16 (Word-mode)

78000H-7FFFFH	32K word MAIN BLOCK
70000H-77FFFFH	32K word MAIN BLOCK
68000H-6FFFFH	32K word MAIN BLOCK
60000H-67FFFFH	32K word MAIN BLOCK
58000H-5FFFFH	32K word MAIN BLOCK
50000H-57FFFFH	32K word MAIN BLOCK
48000H-4FFFFH	32K word MAIN BLOCK
40000H-47FFFFH	32K word MAIN BLOCK
38000H-3FFFFH	32K word MAIN BLOCK
30000H-37FFFFH	32K word MAIN BLOCK
28000H-2FFFFH	32K word MAIN BLOCK
20000H-27FFFFH	32K word MAIN BLOCK
18000H-1FFFFH	32K word MAIN BLOCK
10000H-17FFFFH	32K word MAIN BLOCK
08000H-0FFFFH	32K word MAIN BLOCK
04000H-07FFFFH	16K word MAIN BLOCK
03000H-03FFFFH	4K word PARAMETER BLOCK
02000H-02FFFFH	4K word PARAMETER BLOCK
00000H-01FFFFH	8K word BOOT BLOCK
A0-A18	M5M29FB800メモリマップ

×16 (Word-mode)

7E000H-7FFFFH	8K word BOOT BLOCK
7D000H-7DFFFFH	4K word PARAMETER BLOCK
7C000H-7CFFFFH	4K word PARAMETER BLOCK
78000H-7BFFFFH	16K word MAIN BLOCK
70000H-77FFFFH	32K word MAIN BLOCK
68000H-6FFFFH	32K word MAIN BLOCK
60000H-67FFFFH	32K word MAIN BLOCK
58000H-5FFFFH	32K word MAIN BLOCK
50000H-57FFFFH	32K word MAIN BLOCK
48000H-4FFFFH	32K word MAIN BLOCK
40000H-47FFFFH	32K word MAIN BLOCK
38000H-3FFFFH	32K word MAIN BLOCK
30000H-37FFFFH	32K word MAIN BLOCK
28000H-2FFFFH	32K word MAIN BLOCK
20000H-27FFFFH	32K word MAIN BLOCK
18000H-1FFFFH	32K word MAIN BLOCK
10000H-17FFFFH	32K word MAIN BLOCK
08000H-0FFFFH	32K word MAIN BLOCK
00000H-07FFFFH	32K word MAIN BLOCK
A0-A18	M5M29FT800メモリマップ

図7. ブロック構成

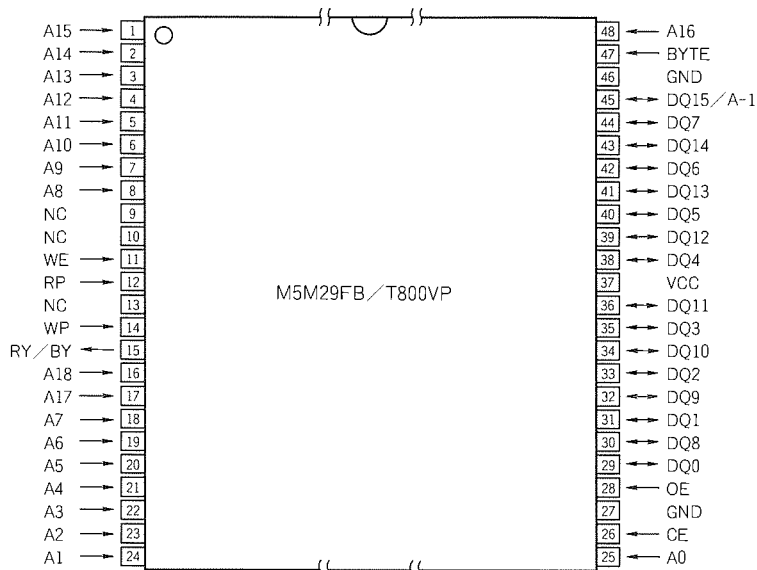


図8. ピン配置：48P3R-B (TSOP：VP)

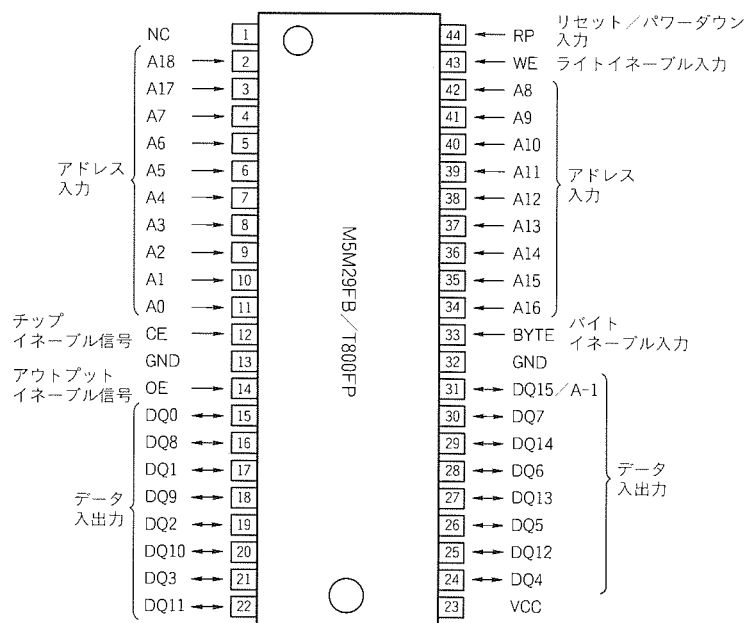


図9. ピン配置：44P2A-A (SOP：FP)

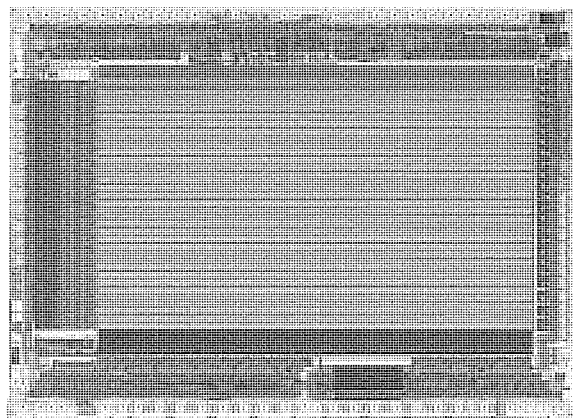


図10. 8MビットDINORチップ写真

消去/書き込み動作はチップ内に設けられたシーケンスコントローラが制御を行うので、該当のコマンドを書き込むだけでよい。シーケンスコントローラは、8ビットのALU (Arithmetic and Logical Unit) と11ビット×2Kワードのインストラクションコードアレーで構成されている。また消去/プログラムの終了は、RY (Ready)/BY (Busy) #ピンのレベル、又はステータスレジスタの内容を読み出すことによって検出される。パッケージは48ピンTSOP (I)タイプ、44ピンSOPタイプをそろえている(図8, 図9)。

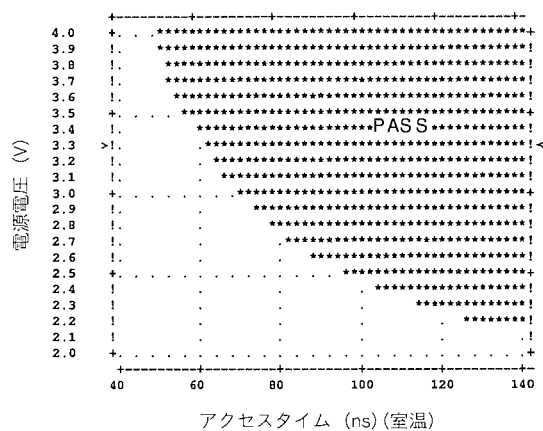
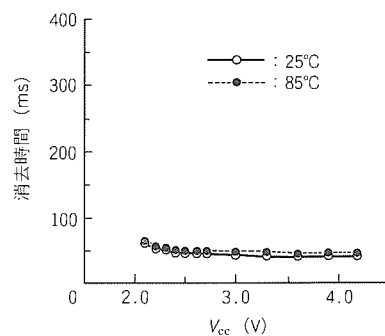
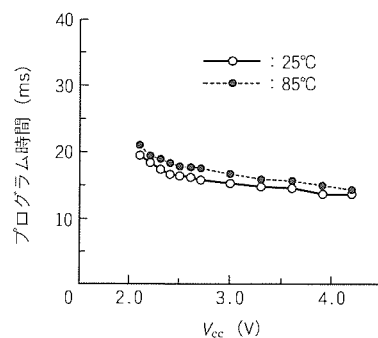


図11. アクセスシミュレーションプロット



(a) 消去時間 vs V_{CC}



(b) プログラム時間 vs V_{CC}

図12. 消去/プログラム特性

プロセスは、負電圧を使用しているために、トリプルウェル構造を採用している。2層ゲート構造のメモリセルに加えて、副ビット線用の第3層目のポリシリコン配線が使用されている。実効メモリセルサイズは $1.5\mu\text{m} \times 1.65\mu\text{m}$ である。図10に全体のチップ写真を示す。チップ面積は 57mm^2 を達成している。

4. 電気特性

図11にアドレスアクセスのシュームプロットを示す。実力としては $V_{cc} = 3.3\text{V}$ で60ナノ秒を達成しており、80ナノ秒という高速アクセスのスペックに対して十分マージンのある結果となっている。また図12に示すように、消去/プログラム時の電源電圧の下限も 2.1V であり、 3.3V のスペックに対して十分なマージンを持っている。

5. むすび

$0.5\mu\text{m}$ ルールのプロセスを用いた8MビットDINOR型フラッシュメモリを開発した。 3.3V の低電源電圧下での消去/書込みを可能とし、かつ80ナノ秒の高速アクセス(3.3V 単一電源では世界最速)を同時に達成した。今後、より低電圧の 2.7V 品、かつ $-40 \sim 85^\circ\text{C}$ の広温度保証品を出荷していく予定である。

今回の8MビットDINOR型フラッシュメモリは(株)日立製作所との共同プロジェクトによる成果であり、今後とも、三菱、日立それぞれから提案されたDINOR型、AND型セルを基に、より高性能、大容量のフラッシュメモリ開発を強力に推進していく計画である。

参考文献

- (1) Ajika, N., Ohi, M., Arima, H., Matsukawa, T., Tsubouchi, N.: A 5V Only 16M Bit Flash EEPROM Cell with a Simple Stacked Gate Structure, IEDM Tech. Fig., 115~118 (1990-12)
- (2) Momodomi, M.: An Experimental 4 Mbit CMOS EEPROM with a NAND-Structured Cell, IEEE J. Solid-State Circuits, **24**, No.5, 1238~1242 (1989)
- (3) Kobayashi, S., Nakai, H., Kunori, Y., Nakayama, T., Miyawaki, Y., Onoda, H., Terada, Y., Ajika, N., Hatanaka, M., Miyoshi, H., Yoshihara, T.: Memory Array Architecture and Decoding Scheme for 3V Only Sector Erasable DINOR Flash Memory, IEEE J. Solid-State Circuits, **29**, No.4, 454~460 (1994)
- (4) Onoda, H., Kunori, Y., Yuzuriha, K., Kobayashi, S., Sakakibara, K., Ohi, M., Fukumoto, A., Ajika, N., Hatanaka, M., Miyoshi, H.: A Novel Cell Structure Suitable For A 3 Volt Operation, Sector Erase Flash Memory, IEDM Tech. Dig., 599~602 (1992-12)
- (5) Kobayashi, S., et al.: A 3.3V-Only 16 Mb DINOR Flash Memory, ISSCC Digest of Technical Papers, 122~123 (1994-2)

DRAM内蔵RISCマイコンM32R/Dを用いた Javaプラットフォーム

坂本 守* 佐藤浩一*
 峯松 勲* 平野浩爾*
 小林稔史**

要旨

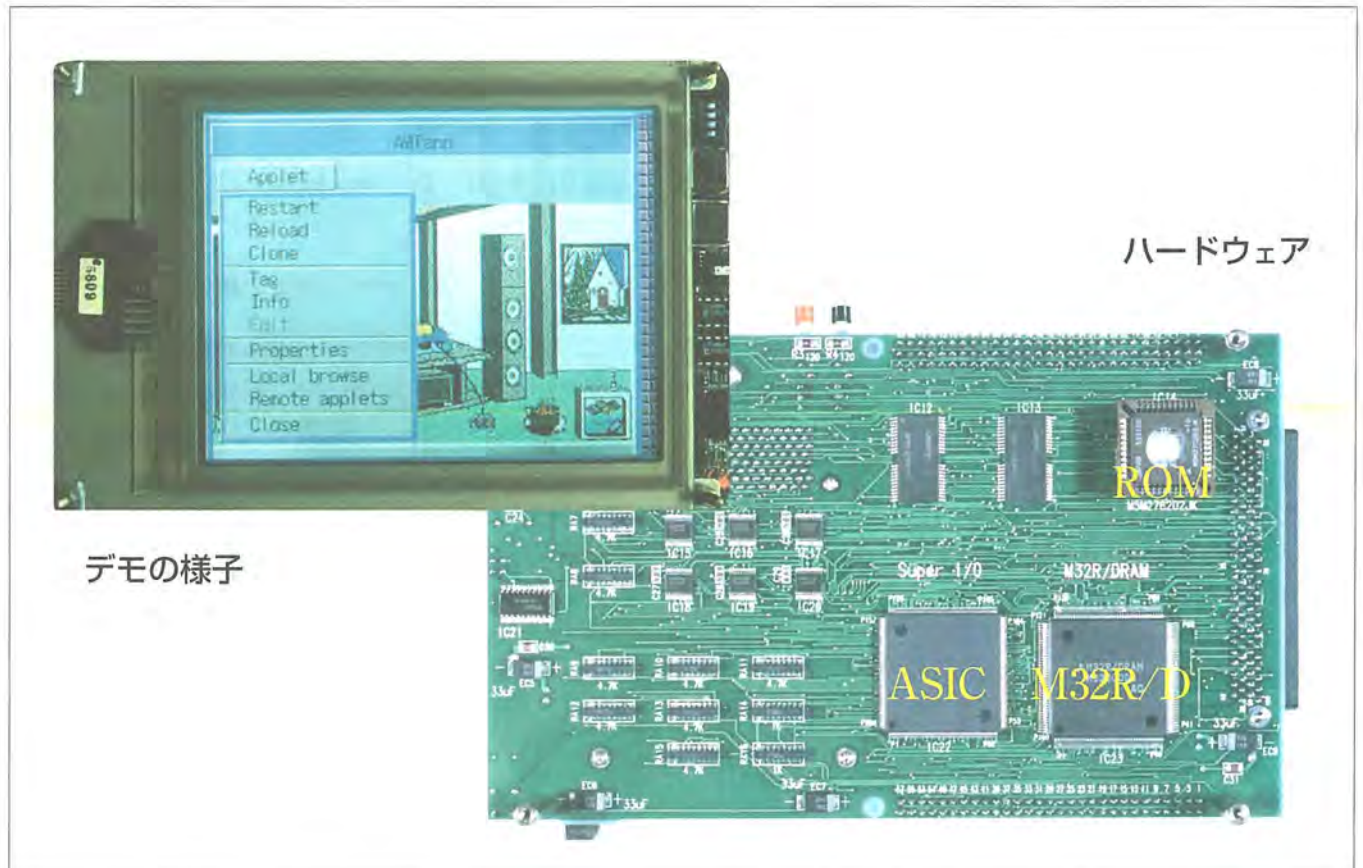
インターネットが急速に普及してきている現在、Javaは情報端末や情報家電の分野で業界標準になりつつある言語及び実行環境である。Java言語で記述されたプログラムをコンパイルして生成されるバイトコードは、Java仮想マシンが実装されている機器であれば実行可能であるため、Javaを利用することによってインテリジェントなネットワーク環境を構築することが可能となる。

今回、Java仮想マシンをM32R/Dに実装し、情報端末や情報家電の開発・評価用プラットフォームを開発した。

M32R/Dは大容量DRAMを内蔵した当社オリジナルの32ビットRISCマイコンである。このプラットフォームは、カラーLCD、タッチパネル、オーディオ出力端子、

PCMCIAインタフェースを備えている。そして自社開発したマイクロカーネルとJavaランタイムをベースに、GUI (Graphical User Interface)、オーディオ、ネットワークライブラリを実装している。JavaランタイムではJIT (Just In Time) コンパイラの技術によって処理の高速化を図っている。

このプラットフォームは拡張バスコネクタを備えており、拡張ボードを接続することができる。また、Java仮想マシンにはネイティブメソッドを組み込むことが可能である。これによって様々なシステムの開発と評価ができるようになっている。



プラットフォームのハードウェアとデモの様子

ハードウェアはM32R/D、周辺ASIC、ROMなどで構成されている。ネットワーク経由でホストからJavaアプレットをロードし、実行することも可能である。

1. ま え が き

本格的な高度情報化社会を支えるインフラストラクチャとしてのインターネットが、コンピュータ産業を始めとするすべての業種を巻き込んで、急速に普及・発展してきている。その潮流にあって、米国サンマイクロシステムズ社で開発されたオブジェクト指向型言語の一種である Java 言語^(注1)が、①プラットフォーム（アーキテクチャや OS）に依存しない、②プログラムサイズが小さい、③セキュリティが考慮されている、といった諸特長を持つことから、ネットワーク環境に適した言語として評価され、情報端末や情報家電等のいわゆるインターネット機器市場分野で事実上の業界標準言語となりつつある。

Java 言語で記述されたプログラムをコンパイルして生成されるバイトコードは、Java 仮想マシンが実装されている機器であれば実行可能であるため、Java を利用することによってインテリジェントなネットワーク環境を構築することができる。最近になって、ネットワークコンピュータやインターネット TV など Java を組み込んだインターネット機器の企画・製品化が本格化しつつある。

今回、2M バイトの DRAM を内蔵した当社オリジナルの 32 ビット RISC マイコンである M32R/D に Java 仮想マシンを実装し、情報端末や情報家電など Java を組み込んだインターネット機器の開発・評価用 Java プラットフォームを開発した。

本稿では、この Java プラットフォームについてハードウェア及びソフトウェア構成を述べる。

2. プラットフォームの位置付け

2.1 Java プラットフォームの構成

このプラットフォームは、M32R/D に組み込んだ Java を利用した情報端末や情報家電等のインターネット機器の開発・評価を目的として開発したものである。

今回開発した Java プラットフォームのハードウェアは、M32R/D チップ及び PCMCIA インタフェース（2 スロット）を搭載した M32R/D 評価ボードと、カラー LCD、タッチパネル、オーディオ出力端子等を備えた LCD 拡張ボードで構成されている。LCD 拡張ボードは拡張バスコネクタを介して接続され、別仕様の拡張ボードと差し替えることによって種々のシステム構成を実現することができる。一方、ソフトウェアは、自社開発したマイクロカーネルと Java ランタイムをベースに、GUI、オーディオ、ネットワークライ

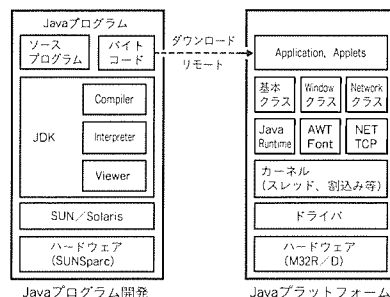


図1. Javaアプリケーションソフトウェア開発環境

ブラリを実装している。また、Java 仮想マシンには、応用システムに対応して開発するネイティブメソッドを組み込むこともできる。

2.2 Java アプリケーションプログラム開発環境

このプラットフォームで動作する Java アプリケーションプログラムは、バイトコードにコンパイルされた後、スタンドアロンで実行することも、またネットワーク経由でサーバコンピュータ上にあるバイトコードをダウンロードして実行することも可能である。Java プログラムは、このプラットフォーム上ではなく、図1に示すようなクロス環境で開発される。ここでは開発用プラットフォームを SUN ワークステーションとしているが、パーソナルコンピュータなど JDK (Java Developer's Kit) が動作する環境があれば、そのプラットフォーム上で Java プログラムを開発することが可能である。

2.3 Java プラットフォームの用途

このように、今回開発した Java プラットフォームは、ハードウェア、ソフトウェア共に拡張性に富んでいるため、Java を組み込んだ各種のインターネット機器システムの開発及び評価を、この Java プラットフォーム上で比較的容易に行うことができる。Java 組込みシステムの応用分野としては、図2に示すように、いわゆる 500 ドルパソコンと呼ばれるネットワークコンピュータのほか、情報端末、インターネット TV、車載ナビゲーションシステム、その他情報家電など数多くの可能性がある。したがって、これらのシステムをこの Java プラットフォーム上に開発・評価していくことにより、M32R/D の Java 組込みシステムの適用分野拡大を図っていくことができると考える。

3. ハードウェア構成

このプラットフォームのハードウェア構成を図3に示す。

プラットフォームは、M32R/D 評価ボードと LCD 拡張ボードの2枚のボード、LCD パネル、タッチパネル、及びスピーカで構成される。M32R/D 評価ボードと LCD 拡張ボードは、M32R/D チップバス信号及び M32R/D

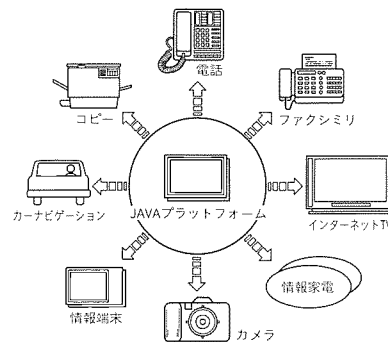


図2. Javaプラットフォームの応用システム展開

(注1) “Java”は、米国 Sun Microsystems, Inc. の商標である。

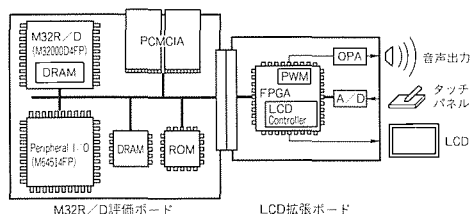


図 3. ハードウェア構成

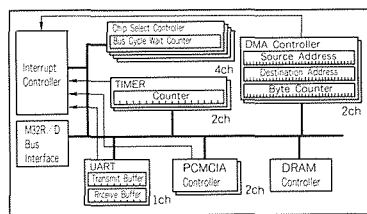


図 4. 周辺I/Oゲートアレーの内部ブロック構成

周辺I/O制御信号をインタフェースとしたコネクタで接続される。

3.1 M32R/D評価ボード

M32R/D評価ボードは、2MバイトのDRAMと2Kバイトのキャッシュを搭載するM32R/Dマイクロコントローラ(M32000D4FP)を中心として、M32R/Dチップバスインタフェースを備えた周辺I/Oゲートアレー(M64514FP)、2チャンネルのPCMCIAカードスロット、4MバイトのDRAM、及び256KバイトのROMで構成される。

M32R/Dの外部バス動作周波数は16.6MHzであり、周辺I/O及び外部メモリの基本クロックとなる。一方、M32R/Dの内部バス動作周波数は外部クロックの4通倍の66.6MHzであり、命令実行や内蔵メモリに対する高速制御のために駆動される。

周辺I/Oゲートアレーの内部ブロック構成を図4に示す。周辺I/Oゲートアレーは、M32R/Dバスインタフェースを介して、シリアルI/O(UART)、PCMCIAコントローラ、DRAMコントローラ、DMAコントローラ、タイマ、チップセレクトコントローラ、及び割込みコントローラで構成される。M32R/Dソフトウェアの開発及び評価を行うために、ボードモニタプログラム実行時にコンソール入出力を行うためのUART、クロス開発環境からの実行オブジェクトのダウンロード用にLANカードを制御するためのPCMCIAコントローラ、ボードモニタプログラムのワーク領域(外部DRAM)の制御のためのDRAMコントローラ、及びコード領域(ROM)の制御のためのチップセレクトコントローラの各機能が使用される。

また、このプラットフォームのアプリケーションシステムによって使用される次の機能についても、M32R/D評価ボードにおいてサポートされている。

- リアルタイムOSの資源の制御のために必要となるインタバルタイマ及び割込みコントローラ
- コード領域やワーク領域を制御するために必要となるDRAMコントローラ
- LCD拡張ボード上の各機能をサポートするために必要となるDMAコントローラ、割込みコントローラ及び周期タイマ

3.2 LCD拡張ボード

LCD拡張ボードには、LCDコントローラ、タッチパネルインタフェース、及び音声出力の各機能が搭載されている。

タッチパネルインタフェースに必要なADコンバータを除くすべての機能がFPGAによって実現されている。

(1) LCDコントローラ

このプラットフォームで使用されているLCDパネルの様子は、カラーSTN、解像度320×240ピクセルのものであり、M32R/Dシステム側からの4ビット/ピクセルのデータをカラーパレットを介して描画させる。ピクセルデータの転送には、描画クロックレートに合わせて複数ピクセル分のデータを周期的に取り込む制御方式を採用している。M32R/D評価ボード上のDMAコントローラに対して周期的に転送要求を発生することによって、DMA転送時のメモリバーストリードアクセスと同一タイミングで、ピクセルデータをLCDコントローラのFIFOに取り込む。この場合のDMA転送は1バス転送制御方式であるため、DMA転送時間が最小限で済む。また、M32R/Dによってサポートされているバスアービトラージョン機能を使用することによって、M32R/Dが使用するコード領域やワーク領域とは無関係に、フレームメモリ領域を自由に割り当てることが可能である。したがって、フレームメモリ領域のための専用のメモリブロックや外部バスアービタを特に用意する必要がなく、システム全体のメモリ容量を最小限に抑えられる。

(2) タッチパネルインタフェース

このタッチパネルの様子は入力印加による抵抗値差分計測タイプで、分解能が320×240であり、差分電流をADコンバータを介してパラレルデータとしてM32R/Dシステム側に対して送信する。ADコンバータによるデータ変換の際に、割込み信号をM32R/D評価ボード上の割込みコントローラに対して発生させる方式のため、タッチパネルからの入力がない状態ではタッチパネルドライバは起動されない。

(3) 音声出力機能

この音声出力機能は、PWM(Pulse Width Modulation)タイマを用いてパルス幅を変調することによって実現されている。M32R/D評価ボード上の周期タイマのオーバフロー割込みによって周期的にPWMタイマに対してデータを送信することにより、連続的な音声出力の制御を行っている。

4. ソフトウェア構成

このプラットフォームのソフトウェア構成を図5に示す。大きく分けて、Java仮想マシンとクラスライブラリで構成される。C言語で記述されたJava仮想マシンが、Java言

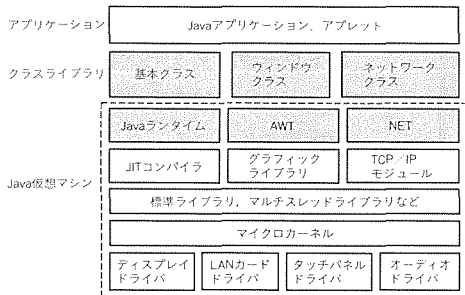


図5. ソフトウェア構成

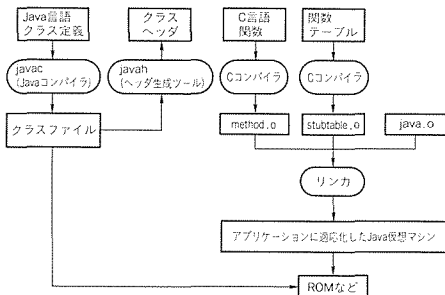


図6. ネイティブメソッドの組み込み方法

語で記述されたクラスライブラリやアプリケーションのバイトコードをインタプリタすることによって動作する。

4.1 Java仮想マシン

Java仮想マシンは、米国JavaSoft社からリリースされたJDKを移植して実装した。図5の中で網かけしたモジュールがJDKに含まれているもので、それ以外はすべて当社で開発したものである。

マイクロカーネルにはμITRON 3.0仕様準拠のリアルタイムOSを利用している。各ドライバ、TCP/IPモジュール、マルチスレッドライブラリはマイクロカーネルの機能を利用している。なお、Javaのマルチスレッド機能を実現するため、μITRON 3.0仕様に独自の機能を追加している。

描画機能は、AWT (Abstract Windowing Toolkit) と呼ばれるGUI機能及びそこで使われるグラフィックライブラリで構成される。このプラットフォームは16色表示のシステムであるため、256色のGIF形式のイメージデータを表示するのに、16色化の変換処理を行って描画するようになっている。

ネットワーク機能はTCP/IPをサポートし、このプラットフォームのPCMCIAインタフェースに挿入したLANカードやモデムカードを用いて、ホストからのアプレットのダウンロードが可能となっている。また、オーディオ機能のサポートにより、AU形式のサウンドデータをプレイできる。

4.2 クラスライブラリとJavaアプリケーション

クラスライブラリ及びJavaアプリケーションはバイトコードで格納され、必要に応じてインタプリタによって実行される。当然ながら、パソコンなど他のプラットフォーム上の開発環境で作成されたバイトコードは、そのままこのプラットフォーム上で動作させることができる。

4.3 高速化のための手法

Java仮想マシンを高速化するため、以下の手法を取り入れている。

(1) M32R/D内蔵DRAMの有効利用

M32R/Dにおいては、高速にアクセスされる内蔵DRAMを有効活用することで、システム性能の向上を図る

ことができる。コード、データのメモリ配置に対する実行性能依存性を調べ、最適なメモリ配置となるように工夫している。

(2) JITコンパイラの実装

実行性能を高めるため、JavaランタイムにJITコンパイラを組み込んだ。現在、さらにコンパイラ最適化アルゴリズムの改良による性能向上を目指している。

4.4 ネイティブメソッドの組み込み方法

ネイティブメソッドとは、C言語やアセンブラで記述された関数を、クラス定義されたメソッドとして呼び出せるようにしたものである。この機能を利用することで、新しいドライバの組み込みや特定処理の高速化を図り、アプリケーションに適応したJava仮想マシンを構築することができる。図6にネイティブメソッドのJava仮想マシンへの組み込み方法を示す。図中、javac (Javaコンパイラ)、javah (クラスヘッダ生成ツール) はJDKに含まれているものである。

ネイティブメソッドを記述したC関数と、それを登録した関数テーブルをコンパイルし、それらをJavaランタイムや各ライブラリからなるオブジェクトファイルjava.oとリンクすることで仮想マシンに組み込まれる。このとき、C関数を記述する際に必要なクラスヘッダファイルは、クラスファイルからjavahによって自動生成される。

5. むすび

Java言語が、インターネット機器市場分野で事実上の業界標準言語となりつつある。今回開発したJavaプラットフォームは、ハードウェア、ソフトウェア共に拡張性を持っているため、今後の市場拡大が期待される情報端末やインターネットTV等の情報家電を始め、種々のJava組み込みシステムをこのプラットフォームをベースに開発し、評価することができる。

今後取り組むべき課題としては、

- (1) 各種Java組み込みシステムの開発と評価
 - (2) Javaアプリケーションプログラム開発キットの開発
 - (3) JITコンパイラ技術による処理速度の向上
- 等があり、種々のJava組み込みシステムをより効率良く開発し、評価できる環境を整備していくとともに、M32R/Dの用途展開を図るために、各種Java組み込み応用システムを開発し、評価していく予定である。

VTR用16ビットソフトウェア サーボマイコン

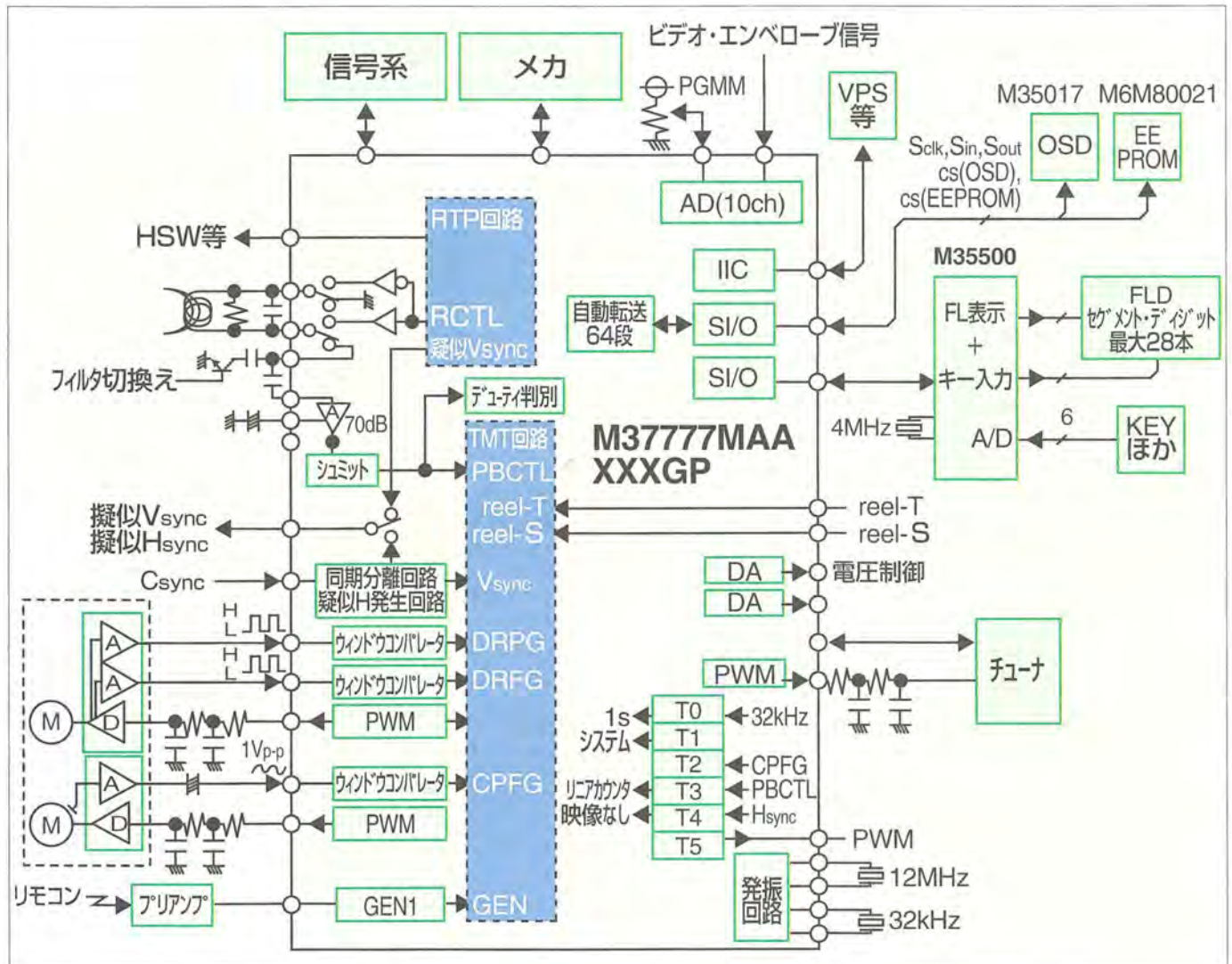
林 和夫* 長川勇二**
尚永幸久**
土屋 隆**

要旨

近年、VTRの性能・機器は年々向上し、逆に販売価格は下がってきている。それに伴い、VTR用マイコンに対しても高機能化、部品点数の削減、低価格化が要求され続けている。

三菱電機では、従来からソフトウェアサーボによる機能と性能向上、統合化による部品点数の削減を提案してきたが、このたび集大成とも言えるべきVTR用16ビットマイコンM37777MAA×××GPを製品化した。

M37777MAA×××GPは、据置きVTRシステムに最適な豊富な周辺機能を内蔵するとともに、従来の製品よりも高速化を実現した。最小命令を167nsで実行でき、より高度なソフト処理にも対応可能である。また、ROM訂正機能の内蔵によってROM発注後のプログラム修正を可能にし、プログラムのバグ発生時の費用を削減することができた。



M37777MAA×××GPを用いたVTRシステム

M37777MAA×××GPは0.8μmCMOS(Complementary Metal Oxide Semiconductor) プロセスを適用し、VTRシステムに最適な豊富な周辺回路を内蔵している。

1. ま え が き

近年、ビジュアル家電の世界でもデジタル化が始まり、DVC (Digital Video Cassette) や、DVD (Digital Video Disc) などの新しいメディアの進出が話題になっている。しかしながら、従来型のVTRも、その高い普及率や豊富なソフトウェア資産、大規模な記録容量などの点で今後も継続して発展することが予想される。さらにはDVHS

(Digital VHS) のように、上記の特長を生かしつつデジタル化への対応を図ったものも現れている。

しかしながら、従来型のVTRは高機能化が進む一方で、その普及につれて低価格化が進んでいるため、それを制御するマイコンに対しても高機能と低価格が要求されている。

三菱電機では、システムコスト低減及び機能・性能向上を目指して、16ビットマイコンによるソフトウェアサーボ制御及びシステムの統合化を提唱し、1992年にソフトウェア

表1. M37777MAAの性能概要

項 目		性 能
基本命令数		103
命令実行時間		250ns (最短命令, 外部クロック入力周波数16MHz通常モード時) 167ns (最短命令, 外部クロック入力周波数12MHz高速モード時)
メモリ容量	ROM	80Kバイト
	RAM	2,048バイト
入出力ポート	P0, 1, 4~7, 9, 10	8ビット×8 (P4はプルアップ抵抗内蔵)
	P2	2ビット×1
	P3	3ビット×1
	P8 _{0-1,6}	3ビット×1
入力ポート	P8 ₂₋₅	4ビット×1
	P11	2ビット×1 (X _{CIN} , X _{COU7} 未使用時)
タイマ	T0, T1, T2	16ビット×3
	T3, T4, T5	8ビット×3
シリアルI/O		クロック同期形×2 (シリアルI/Oは64バイトの自動転送可能)
IIC-バスインタフェース		シングルマスタ×1
A-D変換器		8ビット×1 (11チャンネル, ソフトウェア/RTPの混在トリガモード付き)
D-A変換器		8ビット×2 (RTP発生回路からの動作制御可能)
P W M		12/14ビット分解能×2 14ビット分解能×1
時間計測回路 (TMT)		DRFG, CPGF, CPPG, V _{SYNC} , GEN発生時間計測カウンタ×1 RLS, RLT信号計測カウンタ×1
リモコン入力 (GEN) ノイズフィルタ		4回サンプリングによる多数決
リアルタイムパターン (RTP) 発生回路		外部へのリアルタイムパターン出力, CTLヘッド制御回路のRECCTL信号出力, A-D変換器の動作開始トリガ出力
アナログアンプ		CTLヘッド制御回路, CTLアンプ回路, CTLシュミット回路, ドラムPG回路, ドラムFG回路, キャプスタンFG回路, C _{SYNC} 及びPGMM入力回路, CPGFアンプ回路
パルスデューティ検出回路 (VISS, VASS信号検出機能内蔵)		PBCTL信号のデューティ比測定
V _{SYNC} 分離回路		内蔵
EOR出力機能 (ヘッドアンプSW, クロマロータリSW)		2ビット出力
監視タイマ		12ビット×1
割 込 み		外部10要因, 内部13要因 6段階の割込み優先レベル (各割込みごとに固定)
クロック発生回路		2回路内蔵 (セラミック共振子又は水晶共振子外付け)
電 源 電 圧		4.0~5.5V (外部クロック入力周波数16MHz通常モード時) 4.0~5.5V (外部クロック入力周波数12MHz高速モード時) 2.6~5.5V (外部クロック入力周波数32MHz低速モード時)
消 費 電 力		80mW (外部クロック入力周波数16MHz通常モード時) 54μW (外部クロック入力周波数32kHz低速モード時)
入出力特性	入出力耐電圧	4.0~5.5V
	出力電流	5mA
動作周囲温度		-20~70°C
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP (0.65mmピッチ)

サーボマイコン M37770 M4A×××FPを開発した。この提案は多くのVTRメーカーに支持され、現在、シリーズ全体では月産200万個もの生産実績を誇っている。

今回、16ビットソフトウェアサーボマイコン7770シリーズの展開としてM37777MAA×××GPを開発した。本稿では、ハードウェアとソフトウェアの両面から、システムコスト低減及び機能・性能向上のための新技術について述べる。

2. M37777MAA×××GPの特長

表1にM37777MAA×××GPの性能概要を、図1にチップ写真を示す。この製品は、16ビットマイコンMELPS7700シリーズのCPUをコアとし、0.8 μ m CMOSプロセス採用により、チップ上に約70万個のトランジスタを集積している。また、パッケージは100ピンプラスチックモールドQFPに納めた。VTR制御をソフトウェアで実現するための時間計測タイマ、リアルタイムパターン発生回路などの

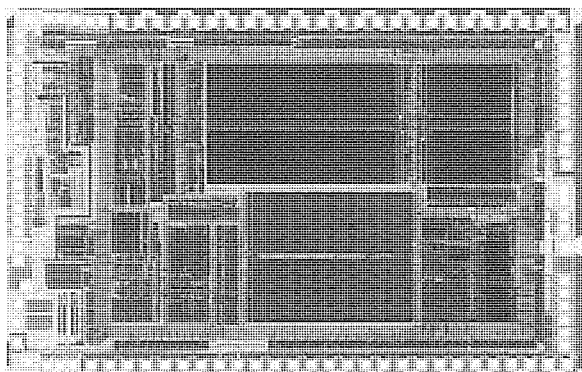


図1. チップ写真

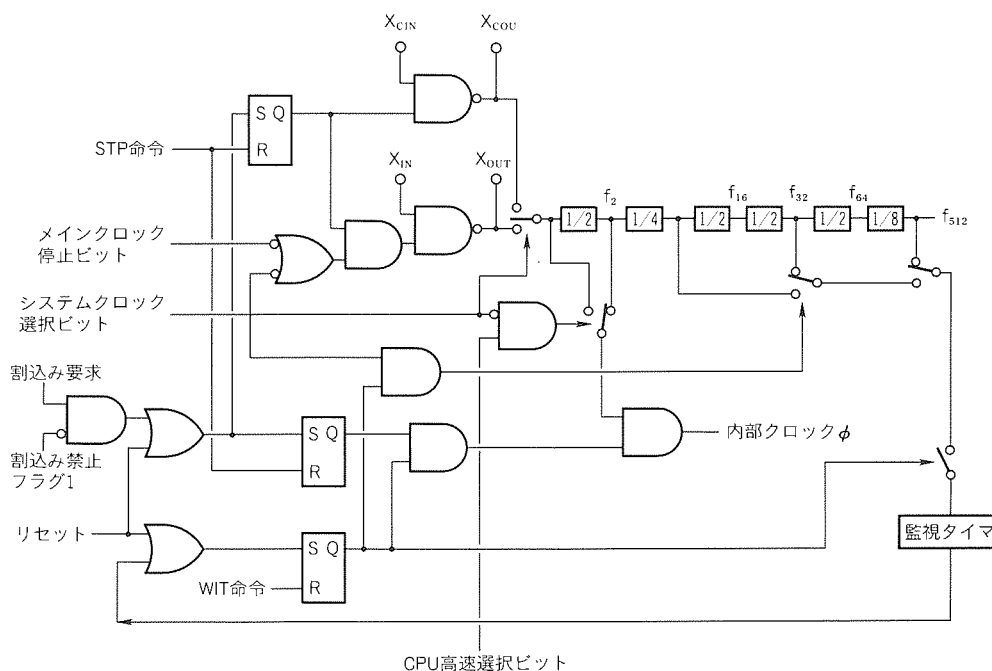


図2. クロック発生部のブロック図

機能、また、モータからの微小信号を直接入力するための各種アナログ回路を搭載している。通信機能は3系統あり、二つの同期型シリアルI/O(うち一つは64バイトの自動転送機能付き)とIICバスインタフェースを搭載している。このように、この製品は、豊富な周辺回路を内蔵し、VTRの制御機能をワンチップで実施することができる。

3. ハードウェアの開発

今回の開発は以下のことを目的とした。

- (1) VTRの高機能化に伴って発生するマイコンの処理負荷増大の問題を解決するため、CPUを高速化する。
- (2) プログラムバグ発生時の対策として、ROM訂正機能を内蔵する。

3.1 CPUの高速化

CPUの高速化においては、分周段を介さずに、直接発振周波数からCPUの動作クロックであるシステムクロックを生成する高速動作モードを採用した。また、従来の発振周波数でも動作できるように、分周段の選択をプログラマブルとした。

クロック発生回路のブロック図を図2に示す。高速モードを分周段の削除によって実現した理由は、発振周波数増加に伴う不要ふく(輻射)による不具合を回避するためである。今回のチップ設計に当たっては、高速動作の採用に伴い、主要機能の回路構成を見直し、トランジスタレベルで回路の最適化を行った。その結果、高速動作時の輻射レベルを通常動作時のそれと同等にすることができた。

この高速動作の実現により、最小命令実行時間は167 ns ($f_{XIN}=12$ MHz時)となり、マイコンの処理負荷の問題を解決することができた。

3.2 ROM訂正機能の内蔵

ROM訂正機能は、量産開始時などに有効な機能である。マスク発注後にプログラムのバグが発生した場合でも、この機能と外付けメモリとによって最大2か所までのバグを修正することができる。この機能の動作を以下に述べる。

バグが見えられた場合、修正が必要なアドレスとROM修正用プログラムを外付けROMに書き込み、マイコンに読み込ませる。ROM訂正機能

はチップ内部のアドレスを常に監視し、実行アドレスが前記の要修正アドレスと一致した場合、CPUが実行すべき命令をジャンプ命令に置き換える。CPUは置き換えられたジャンプ命令を実行してROM修正用RAMに分岐し、RAM内に格納されたROM修正用プログラムを実行する。ROM修正用RAMとしては内蔵RAMを割り当てており、RAMの未使用領域を利用することによってプログラムのバグを修正できる。

この機能は既に三菱電機のTV用8ビットマイコンに内蔵されている機能であるが、今回の開発においては、TV用8ビットマイコンのROM訂正機能を基に、16ビットMELPS 7700 CPUに適用できるように回路を変更した。図3に今回開発したROM訂正機能のブロックを示す。違いは、TV用8ビットマイコンのCPUが直接ROM、RAMを含む周辺回路をアクセスしているのに対して、MELPS 7700 CPUはバスインタフェースを介してアクセスしているところにある。バスインタフェースはCPUが実行前の命令コードを先読みし、蓄えておく命令キューバッファを備えている。そこで今回のROM訂正機能は、バスインタフェースから出力されるアドレスを監視し、アドレスが一致した場合、バスインタフェース内の命令キューバッファにジャンプ命令が格納されるようにした。

4. ソフトウェアの開発

4.1 モータ制御

VTRセットのコスト低減のため、マイコンソフトウェアによる周辺部品の取込みが進んできている。また、最近主流になりつつあるデジタル出力のFG (Frequency Generator) を持つモータは、FGむらが従来に比べて大きい。これへの対応もソフトウェア的に処理できる。

4.1.1 モータ制御回路

ソフトウェアサーボを用いることにより、速度誤差と位相誤差の合成、位相補償フィルタ等をソフトウェア的に処理できる。また、直接モータを駆動したいときはソフトウェア的にサーボによるトルク指令を取りやめ、直接PWMへ値を書き込むことにより、同等の性能を実現できる。

こうしたソフトウェア処理により、マイコンからモータへのトルク指令のために必要な回路は、PWMのキャリア周波数を除去するLPF (抵抗とコンデンサで構成) だけとなった。また、同時に、フィルタのゲインやモータへの強制トルク指令のためのマイコンのポートも削減でき、M37777の100ピンの

端子を有効に使用できる。図4にソフトウェアサーボでのモータ制御を示す。

4.1.2 FGむら対策

マイコンとのインタフェース回路の削減のため、FG信号とPG (Phase Generator) 信号をデジタルで出力するモータが増えてきた。しかし、従来は電気回路で調整していたFGむらがマイコンに直接入力されるため、サーボ特性が劣化する。これを解決するためにコムフィルタ、ノッチフィルタなどのデジタルフィルタをソフトウェア的に構成し、FGむらによるサーボ特性の劣化の軽減を図っている。

(1) コムフィルタ

ドラムモータは、偏心やFGの着磁誤差等により、FGに、回転に同期したむらが発生する。これを除去するために、コムフィルタが用いられる。図5の表現図で示されるように、同じ位置のFG誤差を積算し、その値を補正することでFGむらを除去する。図6にコムフィルタを使用したときとしないときの特性を示す。20 Hzから700 Hzのワウフラッタ成分が軽減されているのが分かる。

(2) ノッチフィルタ

LP (2倍速記録)、EP (3倍速記録) 時、キャプスタンモータの回転速度は、それぞれ、1/2、1/3となる。このと

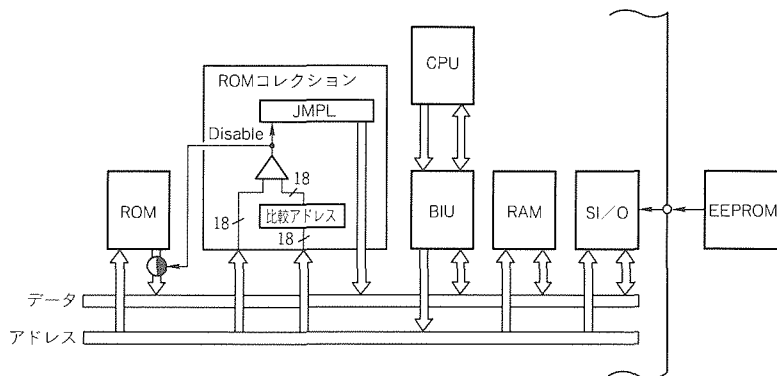


図3. ROM訂正機能のブロック図

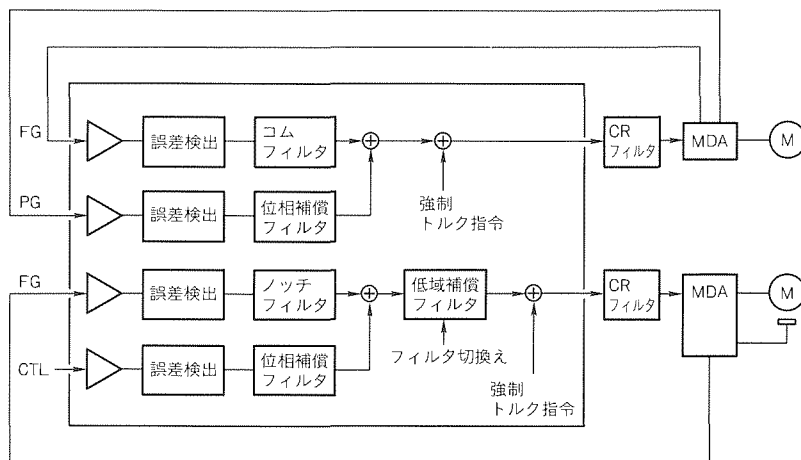


図4. モータ制御

き、キャプスタンの速度制御の周期はそれぞれ2倍と3倍になり、単位時間当たりの制御の回数が減り、サーボの特性が悪くなる。これを解決するために、通常、FG波形の立上りと立下りの両エッジを用いて制御の回数を増やす。FG波形のデューティ50%が保証されていないと、図7(a)に示すように、モータへのトルク指令がノコギリ状になる。これを解決するために、図8の表現図で示されるノッチフィルタが用いられる。これを用いたときの、モータへのトルク指令を図7(b)に示す。

4.2 サーボ処理時間

メインクロックを12MHzで使用したときの、高速モードと通常モードでの各処理時間の比較を図9に、サーボの処理時間を表2に示す。コムフィルタとノッチフィルタを使用しても、M37777の高速モードでは、CPUの1割程度の負

荷で処理ができ、残りの時間はVTRの機能の向上に割り当てることができる。

5. 応用回路例

図10に応用回路例を示す。FLD (Fluorecent Display) 表示ドライバ (M 35500 FP) や OSD (On Screen Display), EEPROM との組合せにより、一つのマイコンでタイマ、チューナ、シスコン、サーボの機能を実現できる。FLDドライバM35500は6本のA/D入力を持っており、比較的処理周期の遅いキー入力や初期設定スイッチ (SW) を割り当てることでM37777のポートを有効に活用できる。

また、ROMサイズ40K/56K/80Kバイト(40KはM37776で対応)が用意されており、セットの機能による

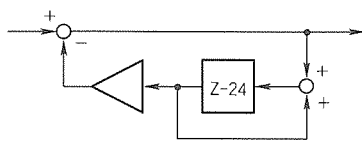


図5. コムフィルタ

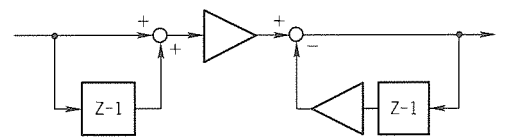
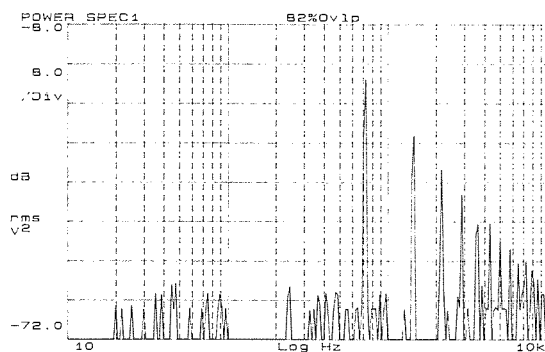
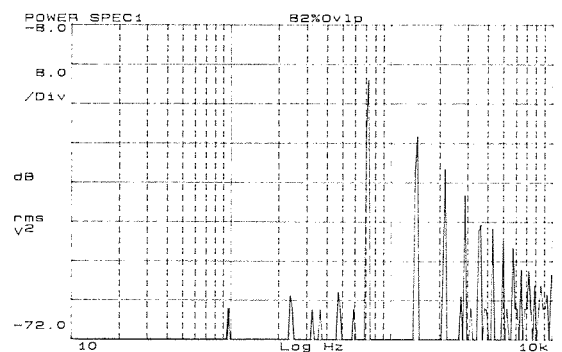


図8. ノッチフィルタ

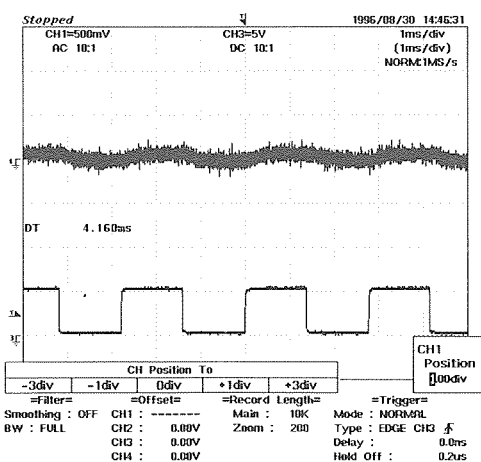


(a) コムフィルタなし

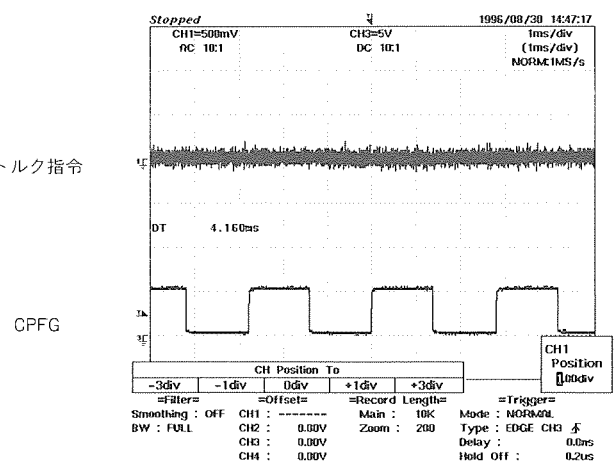


(b) コムフィルタあり

図6. ワウフラッタ特性



(a) ノッチフィルタなし



(b) ノッチフィルタあり

図7. トルク指令特性

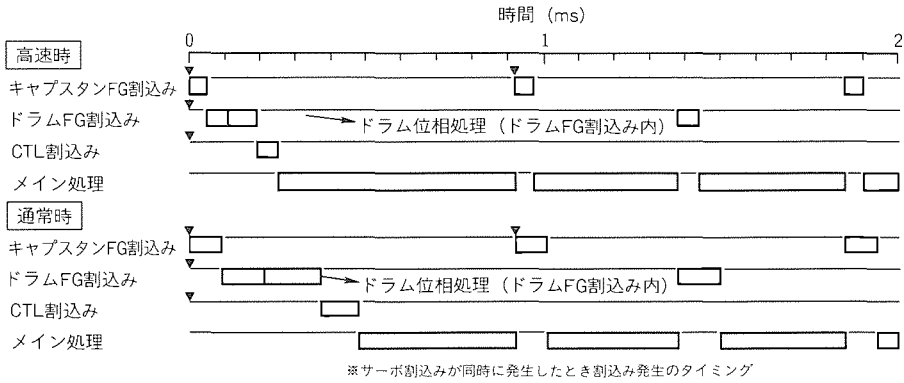


図9. 高速モードと通常モードの処理時間比較

表2. サーボ処理時間

	周期 (Hz)	処理時間 (μs)		1秒内の割込み負荷 (ms)	
		12MHz	12MHz倍速	12MHz	12MHz倍速
ドラム速度系処理時間	720	117	58	84.2	42.1
うちコムフィルタ処理時間		(16)	(8)	(11.52)	(5.8)
ドラム位相系処理時間	30	160	80	4.8	2.4
キャプスタン速度系処理	1,080	95	47	102.6	51.3
うちノッチフィルタ処理時間		(18)	(9)	(19.44)	(9.7)
キャプスタン位相系処理時間	30	112	56	3.4	1.7
サーボ関連割込み時間計 (1秒当たり)				195.0	97.5

ROMサイズの選択ができる。

6. むすび

以上、M3777MAA×××GPの開発において実施したハードウェア、ソフトウェア両面での新技術について紹介した。

これらの新技術により、従来からの課題であるシステムコストの低減、機能・性能向上を図ることができた。今後更なる改善を目指し、デザインルールの0.5μm化、OSD内蔵化、学習サーボなどを検討中である。

参考文献

- (1) 林 和夫, 尚永幸久, 武部 秀治, 山田園裕, 元吉啓登, 鈴木次男: VTRソフトウェアサーボ用16ビットマイクロコンピュータ, 三菱電機技報, 66, No.2, 205~213 (1992)

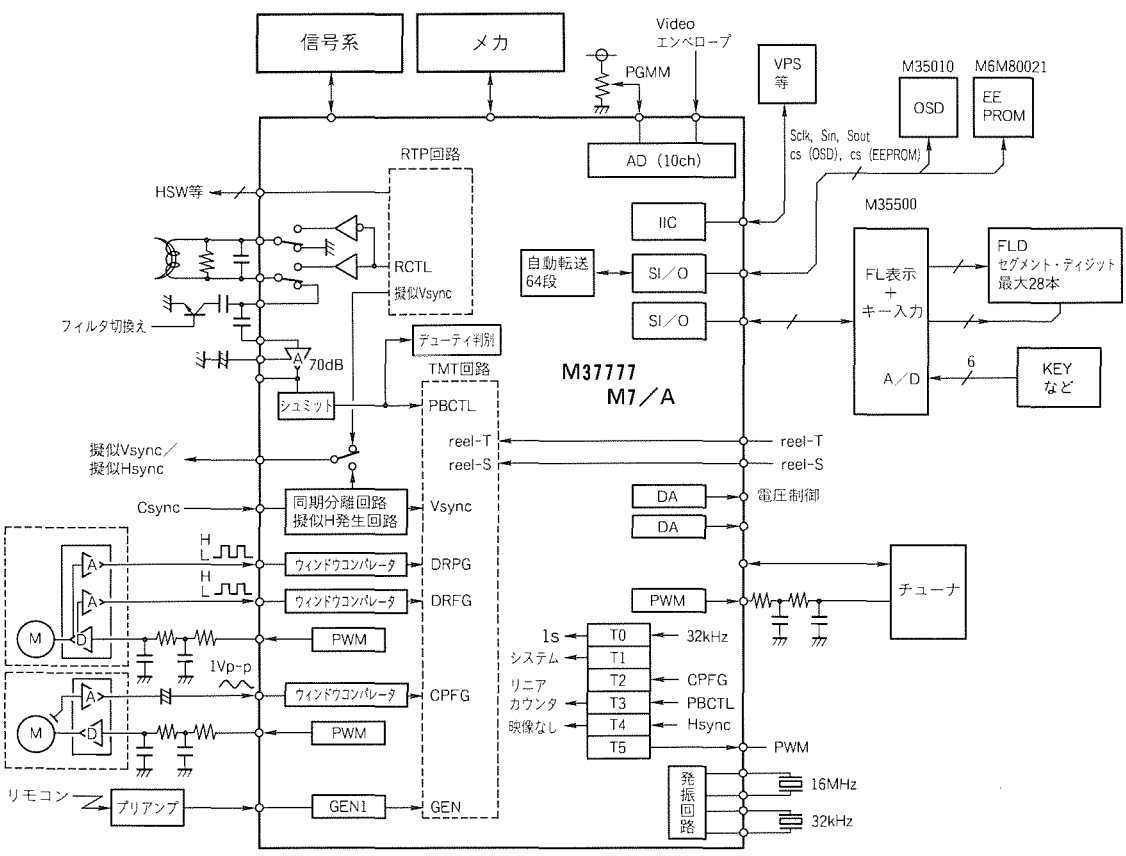


図10. M3777MAA×××GPの応用回路例

PHS用中間周波数処理LSI

佐藤久恭* 庭野和人***
伊賀哲也** 池田龍彦+
柏木賢一*** 益子耕一郎**+

要旨

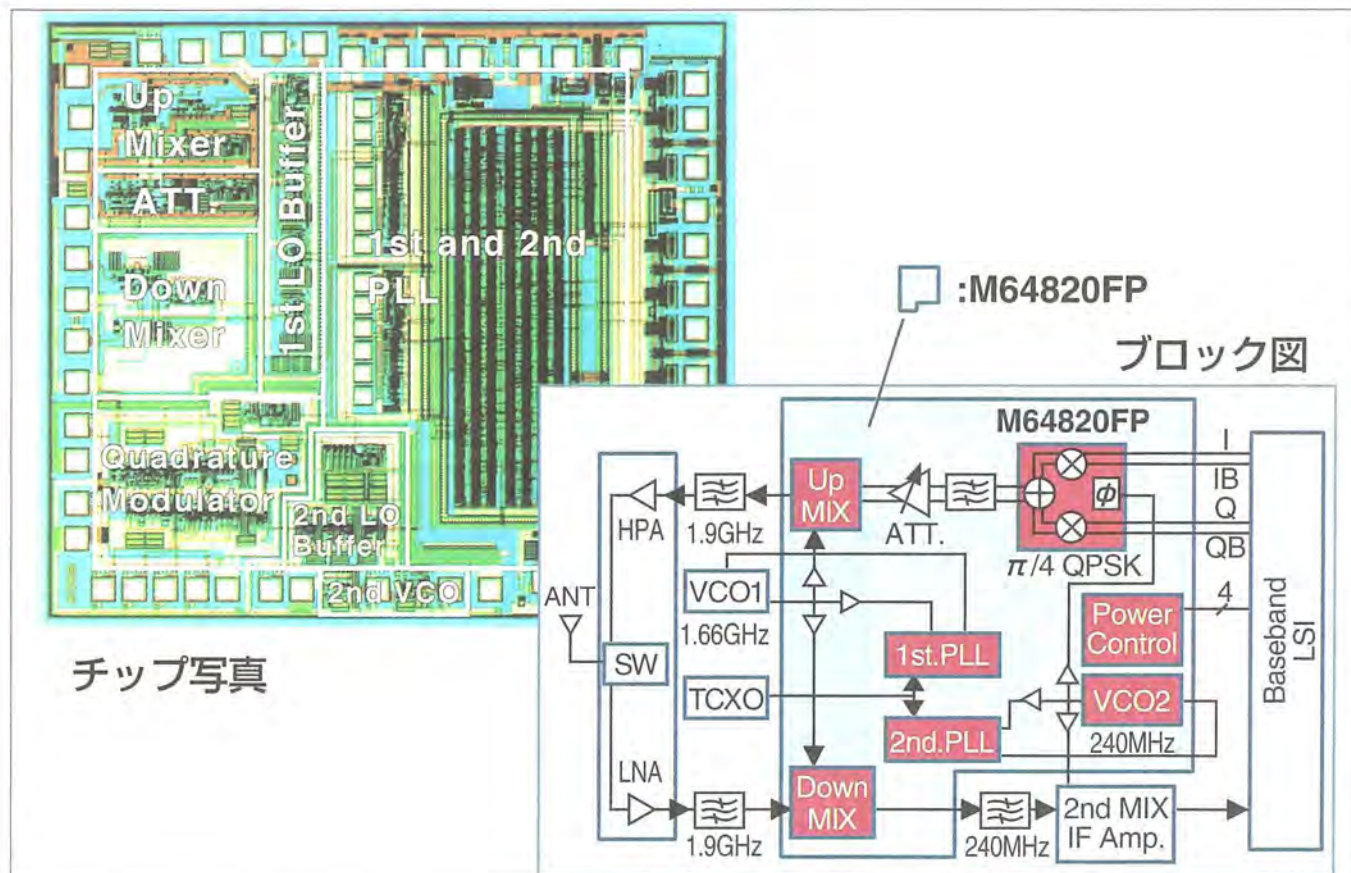
近年、携帯電話、PHS(Personal Handy-phone System)といった携帯通信機器の市場は、端末及び利用料の低価格化に伴って急速に拡大している。この分野では、小型・軽量、低消費電力が最も強く要求されるため、送受信部の高集積化が重要なポイントとなる。しかし、PHSは1.9GHzという高い周波数領域を使用するため、これまで個別部品や比較的集積度の低いICで構成されていた。

今回、高周波アナログ回路技術、高速PLL技術、信号のアイソレーションを考慮したレイアウト設計を使用して、1.9GHz帯として世界で初めての1チップPHS用中間周波数処理LSI(M64820FP)を開発した。バイポーラトランジスタの高性能化を主眼においた0.8 μ m高周波BiCMOSプ

ロセスを用い、送受信ミキサ、可変利得アンプ、直交変調器、デュアルPLL、VCOなど、中間周波数処理部の大部分を1チップに集積した。RFフロントエンドICと合わせることで送受信部を構成することができる。

動作モードに応じて電力を制御するパワーダウン回路を内蔵するとともに、低消費電力を考慮した回路構成により、送信時44mA、受信時24mA、待機時<1 μ Aと、従来の個別部品を用いた場合と比較して、消費電流を1/4以下に低減した。

このLSIをPHSに採用することにより、端末の小型化、通話時間及び待受け時間の長時間化が期待される。



PHS用中間周波数処理LSI(M64820FP)

このLSIは0.8 μ m高周波BiCMOSプロセスを用い、高周波で動作するアナログ部とCMOSデジタル部の混載を可能とした。チップサイズは3.4mm \times 3.0mmである。

1. ま え が き

近年、携帯電話、PHS等の携帯無線通信機器市場は急速に拡大している。日本国内で携帯電話、PHS合わせて加入数が2,000万を超え、今後も順調に増加していくと見られている。このような中で競合他社との差別化を図るために、より一層の小型・軽量化、低消費電力化が強く要求される。また、端末の低価格化が今日の急激な加入者増の一因であることを考えると、半導体部品の低価格化も重要である。このため、できるだけ多くの部分をシリコン化し、1チップに集積することが有効な手段である。900 MHz帯では中間周波数処理部分を1チップ化したものが既に学会で報告されているが⁽¹⁾、PHSのような2GHz帯においては、変調器⁽²⁾又は復調器⁽³⁾を集積したものが報告されているものの、高周波ゆえにまだまだ集積度が低い。市販の端末ではGaAsを用いたり個別ICを用いて構成しているのが現状である。

このような背景の下、高周波アナログブロックを構成する高性能バイポーラトランジスタとデジタル回路に使用する

CMOSトランジスタを融合した0.8 μ m高周波BiCMOSプロセスを用いて、1.9GHz動作の送受信ミキサ、デュアルPLL (Phase Lock Loop)、直交変調器など、PHSの中間周波数処理部をほぼ1チップに納めたLSI (M 64820 FP)を開発した。

本稿では、中間周波数処理LSIの設計コンセプト、ブロック構成、プロセス技術、及びレイアウトについて述べる。

2. 設計コンセプト

2.1 LSIの概要

中間周波数処理LSIは、PHSの選局部、変調部及び送受信部の周波数変換部を1チップ化したものである。特長を以下に示す。

- (1) 選局部：2GHz/300MHzのデュアルPLL構成
- (2) 変調部：高精度移相器
ローパスフィルタによる低キャリアリーク
2ndローカルVCO用トランジスタ内蔵
- (3) 送信部：ゲイン調整用アッテネータ内蔵
正の温度依存性を持つゲイン特性
- (4) 受信部：1.9GHz動作の1stミキサ内蔵
- (5) その他：電源電圧2.7~3.6V
1st及び2ndローカル用バッファ回路内蔵
小型パッケージ (0.5mmピッチ48ピンQFP)

中間周波数処理LSIの諸元を表1に示す。

2.2 LSI構成

図1に中間周波数処理LSI (M 64820 FP) の機能ブロック図を示す。同時に開発したRF IC (MGF 7134 P) とベー

表1. 中間周波数処理LSIの諸元

変調方式	$\pi/4$ シフトQPSK
動作周波数	1.9GHz
PLL入力周波数	1st 1~2GHz 2nd 100~300MHz
電源電圧	2.7~3.6V
消費電流	送信時 48mA 受信時 24mA 待機時 <1 μ A
プロセス技術	0.8 μ m高周波BiCMOS
チップサイズ	3.4mm \times 3.0mm
パッケージ	48ピンQFP

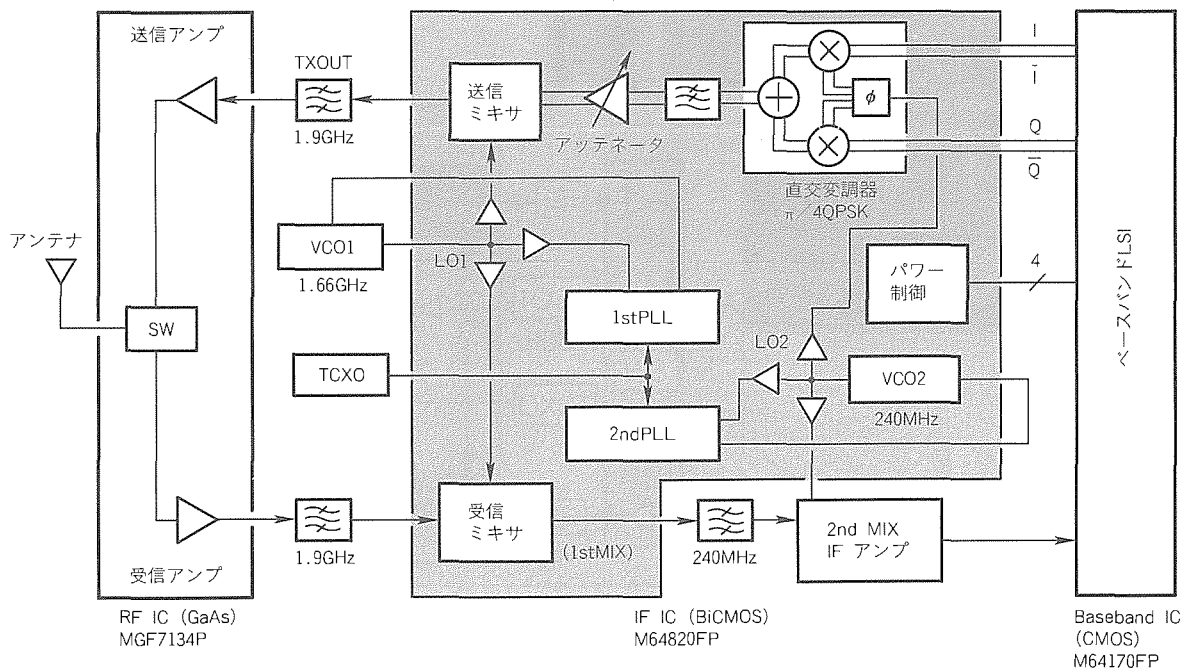


図1. 中間周波数処理LSIの機能ブロック図

スバンド LSI (M 64170 FP) を組み合わせることにより、PHS の主要部分を構成することができる。

中間周波数処理 LSI は、二つの PLL、送信ミキサ、受信ミキサ、アッテネータ、 $\pi/4$ QPSK (Quadrature Phase Shift Keying) 変調器、2nd VCO を内蔵した⁽⁴⁾。RF フロントエンドは GaAs MMIC で構成されており、HPA (High Power Amplifier)、LNA (Low Noise Amplifier)、スイッチ等が 1 チップ化されている⁽⁵⁾。コスト的にはフロントエンド部もシリコン化し送受信部を 1 チップ化するのが理想的であるが、残念ながら現状のシリコンプロセスでは、2 GHz 帯で電力効率の良い HPA や雑音指数の小さい LNA をオンチップするのは困難である。このため、この LSI では別チップとした。最近、学会等では雑音指数が 3 dB 以下の LNA が発表されており、近い将来、LNA がオンチップされるものと思われる。

この LSI では、集積化の実現性や汎用性の高さから、ダブルコンバージョン方式を採用している。RF 周波数を直接ベースバンド周波数に変換するダイレクトコンバージョン方式は IF 用のフィルタが不要になりハードウェアが少なくて済むという利点があるが、現状では 2 GHz 帯での実現が困難であり、また消費電流が多いのでダブルコンバージョン方式を採用した。この方式は 2nd ミキサや IF アンプが必要であるが、低価格で低消費電力の IC が既に手に入るため、今回は外付けにした。

送信部はシングルコンバージョン方式を採用している。変調器の後段に 2nd ローカル信号の 2 次及び 3 次高調波を抑制するローパスフィルタを内蔵したので、I/Q 入力から TXOUT (送信ミキサの出力) まで信号がチップ外に出ることなく、すべてチップ内で処理できるようにしている。

TXOUT の出力パワーを調整し、また、GaAs HPA のゲインの温度特性を打ち消すために、可変利得アンプを送信ミキサの前段に挿入している。

ダブルコンバージョン方式に対応するため、2 個の PLL を内蔵している。それぞれのローカル信号は、PLL が発生する雑音がアナログ回路に影響を及ぼさないようにするため

に、バッファ回路を経由して各ブロックに分配される。4 ビットの制御信号は、送信モード、受信モード、待機モード等に応じてパワー制御するための信号である。

3. 回路設計

3.1 直交変調器

図 2 に直交変調器の回路を示す。移相器には、ローカルバッファを介して、240 MHz の 2nd ローカル信号が入力される。移相器は、周波数分周器タイプよりも消費電力の点で有利な RC/CR タイプを使用した。RC/CR タイプの移相器は、プロセスの変動によってハイパスフィルタとローパスフィルタの遮断周波数が変動するが、両者の位相差は常に 90° を保つという利点がある。遮断周波数の変動による振幅誤差をなくすため、後段に 3 段のリミッタアンプを挿入して振幅調整を行っている。リミッタアンプのベース電流による特性変化と DC オフセットによる特性劣化を低減するため、移相器とリミッタアンプは AC 結合とした。

ベースバンド LSI からきた I/Q 信号は、ダブルバランスミキサでローカル信号と混合・加算され、出力段に接続される。ローカル信号の 2 次及び 3 次の高調波は、 -30 dBc 以下に抑圧する必要がある。ミキサ出力段での 2 次及び 3 次ひずみは、それぞれ -25 dBc、 -20 dBc であるため、更にそれぞれ 5 dB、10 dB 抑圧しなければならない。このため、出力段にローパスフィルタ機能を付加した。プロセスのばらつきを考慮して 3 段のフィルタとした。

3.2 PLL シンセサイザ

ダブルコンバージョンに対応して、二つの PLL を内蔵した。図 3 にデュアル PLL のブロック図を示す。VCO1 は外付けモジュール、VCO2 は発信用トランジスタを内蔵、共振回路は外付けである。動作周波数は、1st ローカルが 1~2 GHz、2nd ローカルが 100~300 MHz である。PLL は 22 ビットのシリアルデータによってプログラミングされ、最初の 2 ビットがパワー制御、3 ビットがシフトレジスタ選択に使用される。残りの 17 ビットで分周比を指定する。PHS として使用する際には、リファレンス周波数は、1st ロ

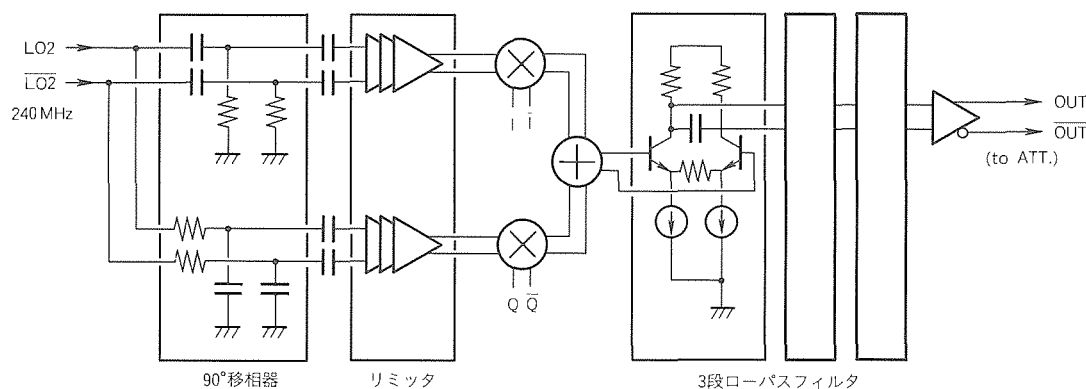


図 2. 直交変調器の回路

ローカルで 300 kHz, 2ndローカルで 50 kHz に設定される。300 kHz は PHS のチャンネル間隔に等しい。

パワー制御信号による PLL がオンするタイミングは、リファレンス信号と非同期であるため、位相比較器に入力されるリファレンス信号と分周器の出力信号は非同期信号となる。たとえ両者の周波数が同じであっても、位相比較器は、最悪の場合、周波数が 2 倍異なるものと認識する可能性がある。このため、電源オン時のロックアップタイムが長くなったり、ばらついたりするという問題が生じる。今回、新たにタイミング発生回路を設け、分周器の動作をリファレンス信号に同期するようにしたため、ロックアップタイムを短縮し、かつ、ほぼ一定にすることができた。

4. プロセス技術

高周波アナログ回路とデジタル回路を 1 チップに集積するため、新たに 0.8 μm 高周波 BiCMOS を開発した。これ

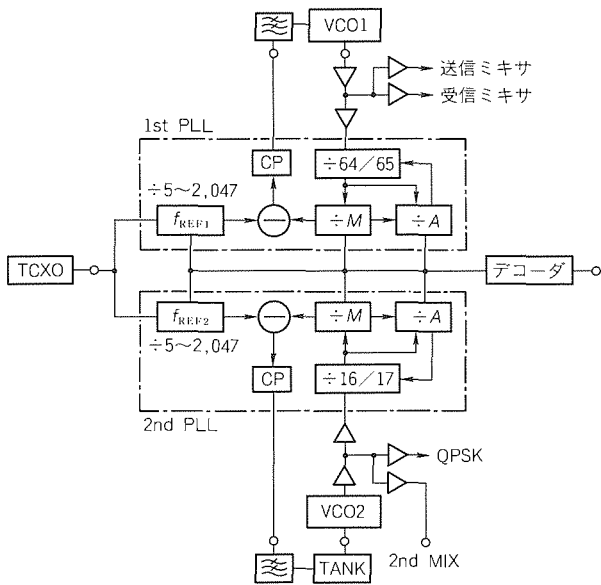


図 3. デュアルPLLのブロック図

は、CBiCMOSプロセス⁽⁶⁾を基に、 $f_T = 18 \text{ GHz}$ の npn トランジスタ、ラテラル pnp トランジスタ、2層ポリシリコン容量を追加したものである。図 4 にトランジスタの断面図を示す。

npn トランジスタは高周波動作に対応した 2 層ポリシリコン自己整合プロセスで、実効エミッタ幅は 0.5 μm である。ベース電極となるポリシリコンを 0.8 μm 開口し、片側 0.15 μm のサイドウォール酸化膜を形成することによってエミッタポリシリコン電極と絶縁する。エミッタは自己整合によって形成されるため、ベース-エミッタ間距離が縮小され寄生容量が低減されるとともに、ベース抵抗が低減される。このため、高周波動作が実現できる。

CMOS トランジスタは 0.8 μm 標準 CMOS プロセスで、デジタル回路のセルライブラリとの共有化を図った。抵抗は、 n^+ ポリシリコンを用いて、エミッタ電極と同時に形成される。シート抵抗は 150 Ω/\square である。高容量素子は窒化膜をポリシリコンで挟んだ MIM (Metal-Insulator-Metal) 構造で、下部電極はベース電極と同時に形成される。単位面積当たりの容量は 2.7 $\text{fF}/\mu\text{m}^2$ である。

5. レイアウト

図 5 に中間周波数処理 LSI のチップ写真を示す。チップサイズは 3.4 mm \times 3.0 mm である。チップの右半分はデュアル PLL で、左半分はアナログブロックである。PLL とアナログブロックを分離するため、両者の間に 1st ローカルと 2nd ローカルのバッファを配置した。高周波回路では信号のアイソレーションが重要であり、特に PLL の干渉に気を付けなければならない。信号のアイソレーションの最も効果的な方法は、電源ラインの分離とブロック間距離を大きく取ることである。電源ピンの節約のために、電源パッドの近くで電源ラインを分離し、別々のブロックに分配するという方法は時として有効ではない。高周波においては、電源パッドは理想的グラウンドではないからである。そこで、各アナロ

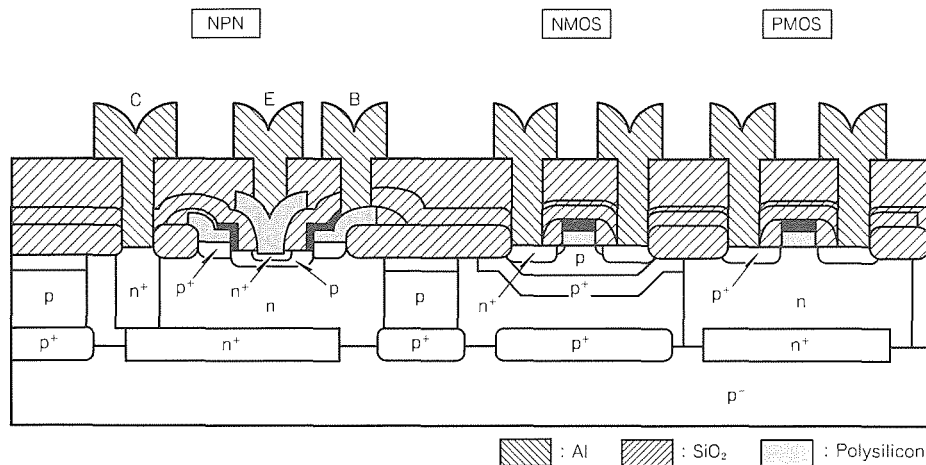


図 4. 0.8 μm 高周波 BiCMOS の断面構造

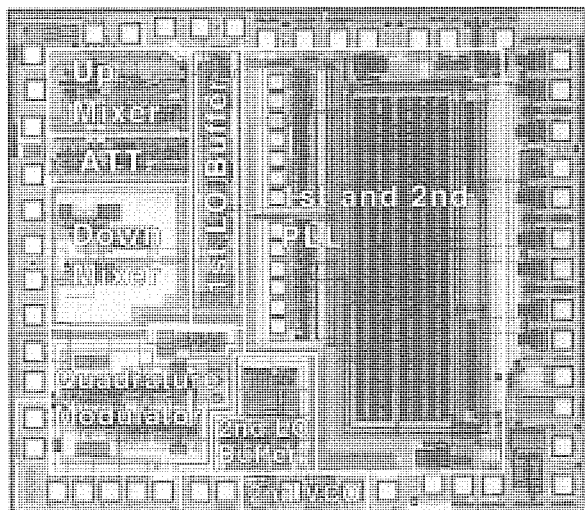


図5. チップ写真

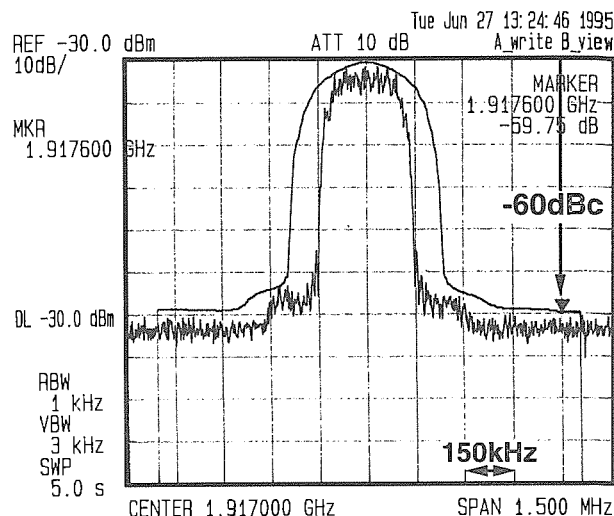


図7. 送信出力スペクトル (PN9ランダムパターン)

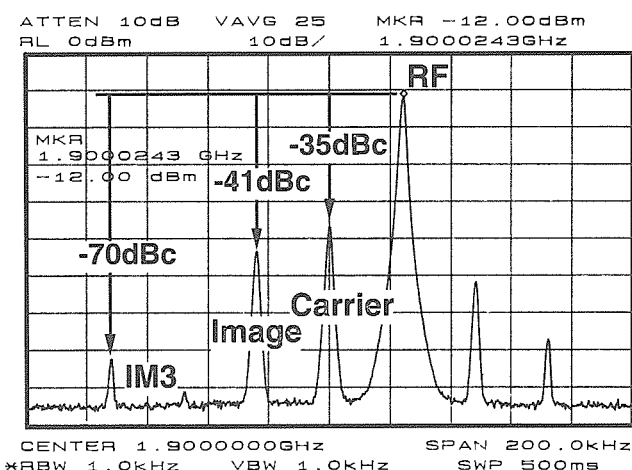


図6. 送信出力スペクトル (all-0パターン)

グブロックにはそれぞれ独立の電源とグランドパッドを設け、各ブロックはグランドライン、電源ラインで囲むとともに、最外周はp⁺シールドで囲んだ。p⁺シールドラインはサブグランドパッドに接続され、チップ外のグランドに接続される。グランドとサブグランドに分けた理由は、p⁺シールドラインが他のブロックからの干渉によって揺れたときの影響が、回路グランドに及ぼさないようにするためである。

6. 評価結果

図6に、電源電圧3V、I/Q = 380 mV_{p-p}、 $\pi/4$ QPSK 変調 (all-0パターン) のときの送信ミキサの出力スペクトルを示す。中心周波数は1.9GHzであり、所望波は24kHzずれたところにある。キャリア抑圧-35dBc、イメージ抑圧-41dBcが得られた。また、3次相互変調ひずみは-70dBcである。PN9ランダムパターン入力時のベクトルエラーは直交変調器単体で約1%、PLL込みのトータルベクトルエラーは4.4%である。このときの振幅誤差は0.1dB、

表2. 評価結果

送信部	ベクトルエラー	4.4%
	振幅誤差	0.1dB
	位相誤差	2.3°
	イメージ抑圧	-41dBc
送信ミキサ	隣接チャンネル漏洩電力	-60dBc
	占有帯域幅	247kHz
受信ミキサ	1dBコンプレッション	-7dBm
	変換利得	10dB
PLL	雑音指数 (DSB)	12dB
	3次インタセプト (入力)	-7.5dBm
	位相雑音 (2kHz offset)	-77dBc/Hz

位相誤差は2.3°である。良好なイメージ抑圧と合わせて、90°移相器が精度良く動作していることが確認できた。バーストモード時 (間欠動作時) のベクトルエラーは4.5%であった。

図7は、I/Q信号にPN9ランダムパターンを入力したときの送信ミキサの出力スペクトルである。600kHz離調での隣接チャンネル漏えい (洩) 電力は-60dBcであり、PHSの規格を満足している。

変調精度を考慮した送信ミキサの最大出力電力は-9.5dBmである。後段のGaAsパワーアンプのゲイン特性から要求される出力電力-12dBmを満たしている。正の温度特性を持つアッテネータを挿入したことにより、送信ミキサの出力段における出力電力は0~50°Cの温度変化で2.3dBの増加となり、GaAsパワーアンプが持つ負の温度特性を補償することを確認した。

LSI全体の消費電流は、送信時44mA、受信時24mAである。スリープ時の電流は1μA以下である。その他の主な評価結果を表2に示す。評価データはすべて48ピンQFPにパッケージして測定したものである。

7. むすび

0.8 μm 高周波 BiCMOSプロセスを用い、PHSの中間周波数処理機能をほぼ1チップに集積した。試作評価した結果、1.9GHzで正常に動作し、PHSの要求仕様を満たすことを確認した。変調精度は直交変調器単体で1%以下、PLLを動作させたときのトータルで4.4%という良好な結果が得られた。低消費電力に適した回路構成と回路パラメータの最適化により、送信時44mA、受信時24mAと、従来の個別半導体部品を用いた場合に較べて消費電流を1/4以下に低減した。

このLSIをPHSに採用することにより、端末の小型化、通話時間の長時間化が期待される。

参考文献

(1) Stetzler, T., Post, I., Havens, J., Koyama, M.: A 2.7V -4.5V Single - Chip GSM Transceiver RF Integrated Circuit, IEEE J. Solid - State Circuits, **30**, No.12, 1421~1429 (1995)
 (2) Tsukahara, T., Ishikawa, M., Muraguchi, M.: A 2V 2GHz Si - Bipolar Direct - Conversion Quadrature Modulator, IEEE J. Solid - State Circuits, **31**, No.2, 263~267 (1996)

(3) Takahashi, C., Fujimoto, R., Arai, S., Itakura, T., Ueno, T., Tsurumi, H., Tanimoto, H., Watanabe, S., Hirakawa, K.: A 1.9 GHz Si Direct Conversion Receiver IC for QPSK Modulation Systems, ISSCC Digest of Technical Papers, 138~139 (1995-2)
 (4) Sato, H., Kashiwagi, K., Niwano, K., Iga, T., Ikeda, T., Mashiko, K.: A 1.9GHz Single Chip IF Transceiver for Digital Cordless Phones, ISSCC Digest of Technical Papers, 342~343 (1996-2)
 (5) Yamamoto, K., Maemura, K., Ohta, Y., Kasai, N., Noda, M., Yuura, H., Yoshii, Y., Nakayama, M., Ogata, N., Takagi, T., Otsubo, M.: A GaAs RF Transceiver for 1.9 GHz Digital Mobile Communication Systems, ISSCC Digest of Technical Papers, 340~341 (1996-2)
 (6) Ikeda, T., Nakashima, T., Kubo, S., Jouba, H.: A High Performance CBiCMOS with Novel Self - Aligned Vertical PNP Transistors, Proc. of the 1994 BCTM, 238~241 (1994-10)



低消費電力16ビット固定小数点 デジタルシグナルプロセッサ

寺岡栄一* 中島正人***
白石竹虎** 西田孝一***
佐藤尚和*

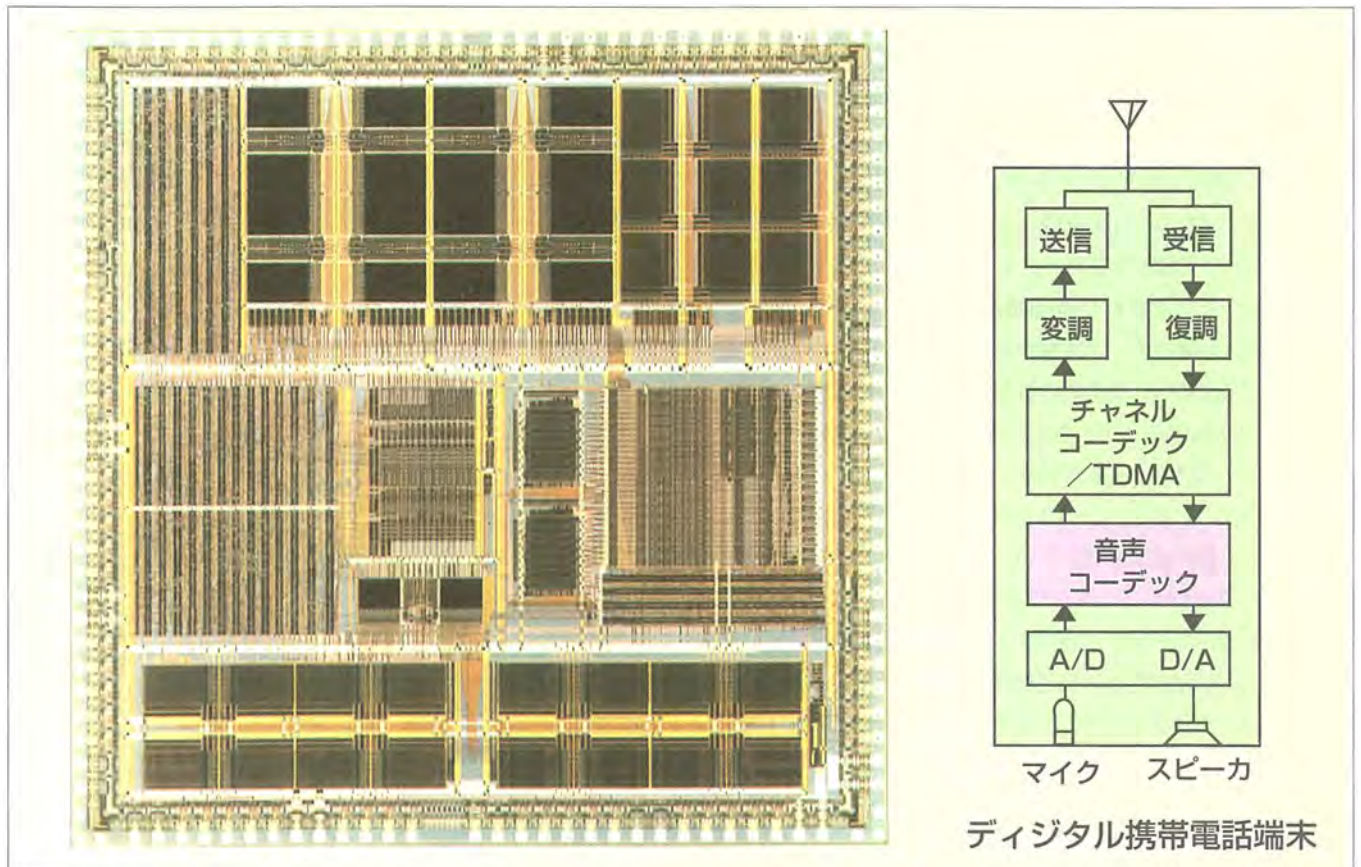
要旨

日本のデジタル携帯電話(Personal Digital Cellular: PDC)は、1993年3月にフルレート方式⁽¹⁾でサービスが開始され、さらに1995年12月には、帯域周波数の利用効率を向上させたハーフレート方式⁽²⁾のサービスも開始された。デジタル方式では、従来のアナログ方式にはない音声信号の符号化・復号処理を行う音声コーデックLSIが必要である。

デジタル方式で採用された音声コーデックは分析合成法を用いる高度な処理アルゴリズムであり、高い演算処理能力と大容量のメモリを持つLSIが必要である。一方、携

帯電話端末は小型のバッテリーで動作させるため、低消費電力動作も要求される。

今回、これらの要求を満たす低消費電力16ビット固定小数点デジタルシグナルプロセッサ(DSP)を開発した。このDSPでは、膨大な演算処理を低い動作周波数で実現するために、二つの積和演算回路を持つアーキテクチャを採用した。さらに、電力消費が多いクロック回路とメモリ回路に対してきめ細かな制御を行い、低消費電力動作を実現した。このDSPは音声コーデック処理のフルレート方式を96mW、ハーフレート方式を120mWで実現できる。



PDC用音声コーデックLSI

0.5 μ m CMOSプロセスを適用し、16ビット固定小数点DSPコア、大容量メモリ、及び入出力インタフェース回路を集積した。ハーフレート方式の音声コーデック処理を低消費電力で実現できる。

1. ま え が き

デジタル携帯電話の音声コーデック LSIには、高い演算処理能力とともに低消費電力動作が要求される。低消費電力 16ビット固定小数点 DSPは、この要求を満たすために開発したものである。

本稿では、低消費電力を実現したこの DSPのアーキテクチャ、設計技術、及び評価結果について述べる。

2. アーキテクチャ

開発した DSPは、データ演算回路 (DALU)、アドレス演算回路 (AAU)、及び制御回路 (PCU)で構成されるコア DSPと、命令メモリ、データメモリ、及び入出力インタフェース (SI/O0, SI/O1, PI/O, I/F)の周辺回路に大別される。この DSPのブロック構成を図1に示す。コア DSPは2系統の積和演算回路を持つ 16ビットの固定小数点 DSPであり、音声コーデックの膨大な演算処理を低い動作周波数で実現することができる。周辺回路は 16Kワードの命令 ROM、4Kワードのデータ RAM、18Kワードのデータ ROM、及び2系統の 16ビットシリアル入出力回路等で構成される。各種音声コーデック用の LSI開発は、周辺回路最適化によるコア展開とプログラム開発で容易に行うことができる。

2.1 コア DSP

コア DSPのブロック構成を図2に示す。プログラム空間とデータ空間を分離したハーバードアーキテクチャを採用し、プログラム空間は 64Kワード、データ空間は 8組の 64Kワード (合計 512Kワード)を持っている。8組のデータ空間は、6組がコア DSP内蔵データメモリ用空間、残りはメモリ空間にマッピングされた周辺回路用レジスタと外部データ空間である。6組のデータ空間から一度に 4ワードのデータ読出しが可能であり、2系統の積和演算回路の性能を最大限に引き出すことができる。命令は 32ビット幅の水平型で、DALU演算以外に、AAU演算、データメモリ読出し/書込み、バス転送等のデータ処理、及び1命令を繰り返すリピート命令等のシーケンス処理を1命令で制御することができる。データは 16ビット幅で、音声コーデック処理において最低限の精度を確保しつつ低消費電力・高速動作を両立させている。内部動作は、命令フェッチ、命令デコード、命令実行の3段のパイプライン構成を採っており、見掛け上、1命令を1マシンサイクルで処理することができる。

2.1.1 データ演算回路 (DALU)

コア DSPのキーとなる演算回路は、メインユニットとサブユニットの2系統からなる積和演算回路、アキュムレータ、及び入力レジスタ等で構成される。メインユニットは 17ビット×17ビット乗算器、±16

ビットのバレルシフト、16ビット拡張加算器、及び 32ビット算術論理演算回路 (論理演算は 16ビット幅)で構成され、サブユニットは 17ビット×17ビット乗算器、16ビット拡張加算器、及び 32ビット加減算回路で構成される。各々の拡張加算器によって連続積和演算時のけたあふ (桁溢)れによる精度の劣化を防ぐことができる。乗算器は、16ビット符号付き数同士以外に、16ビット符号なし数と符号付き数又は符号なし数同士の乗算も行うことができる。したがって、倍精度乗算を効率良く行うことができる。2系統の演算回路は各々独立に動作を行い、単精度 (16ビット)データ同士の積和演算の並列動作、又は単精度データと倍精度データ (32ビット)の積和演算を1マシンサイクルで処理できる。

2.1.2 アドレス演算回路 (AAU)

データメモリアドレス生成回路を2系統持ち、単純加算及び高機能なアドレッシングであるモジュロ、ビットリバースが可能である。さらに、イミディエイトアドレッシング及びディスプレイメント付きレジスタ間接が可能である。

2.1.3 命令体系

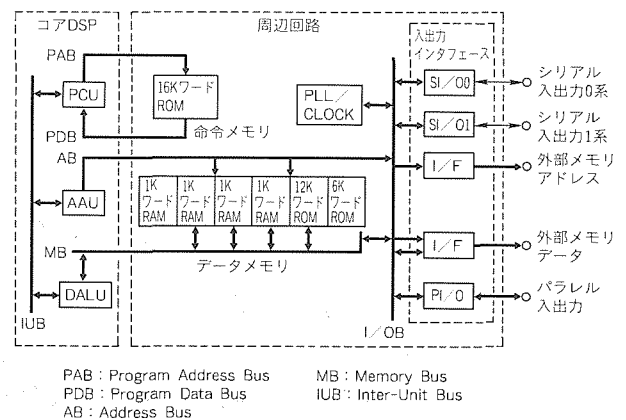


図1. DSPのブロック図

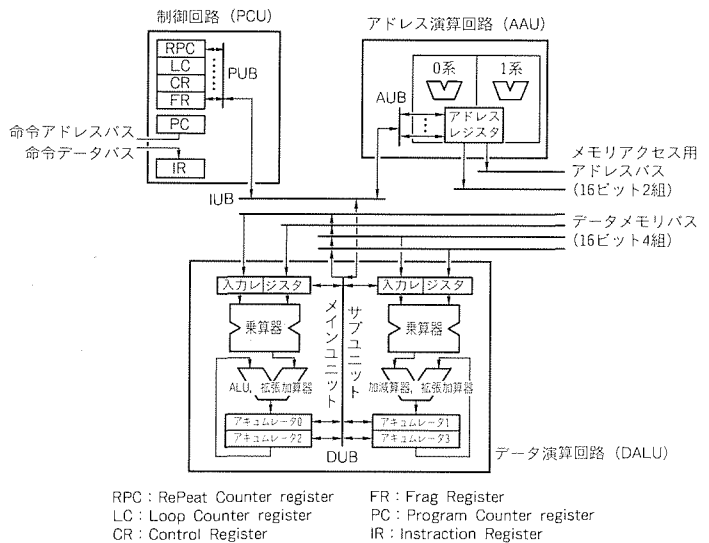


図2. コア DSPのブロック図

コアDSPの命令は、シーケンス命令、オペレーション命令、ビット操作命令、ロード命令、及びムーブ命令の五つのグループに分類できる。各命令グループの主な内容を以下に示す。

(1) シーケンス命令グループ

分岐、サブルーチンコール、ループ等がある。分岐、サブルーチンコールは共に条件判断付き動作も行う。上記シーケンス命令はディレイド命令であり、次の命令をそのまま実行するため、実質的に1マシンサイクルでシーケンス命令を実行することができる。この命令の有効活用によって実行サイクル数を削減できる。低消費電力化に有効な命令としてホールド命令がある。ホールド命令の実行で、あらかじめ設定されているモードに応じて機能ブロックの動作を停止することができる。ホールド命令の有効活用により、消費電流を最小限にしたアプリケーション動作が可能である。

(2) オペレーション命令グループ

32ビットの水平型命令フォーマットを生かして、演算動作とともにディレイドリターン、ディレイドループ終了、及び1命令を繰り返すリピート命令のシーケンス制御が可能である。さらに、アドレスレジスタの修飾、データメモリからの読出し、72種のDALU演算、乗算器と算術論理演算/加減算回路の入力レジスタと出力レジスタ、バス転送又はデータメモリへの書込みの指定ができる。DALU演算には除算、平方根、差分二乗和、及び差分絶対値和等の演算があり、デジタル信号処理を効率的に処理できる。

(3) ビット操作命令グループ

算術演算回路入力の上位16ビットに対して即値又はレジスタで指定した任意のビットを指定し、ビットのセット、リセット、チェンジ及びテストを行う。これにより、音声コーデックのみならず、時分割多重化処理を含むベースバンド処理や誤り訂正機能等も高速に処理可能である。またビット操作以外に、アドレスレジスタの修飾、データメモリからの読出し、バス転送又はデータメモリへの書込みの指定もできる。

(4) ロード命令

指定レジスタに16ビットの即値を設定する。

(5) ムーブ命令

DALU内レジスタとデータメモリ空間の間でデータ転送を行う。この命令は2ワード命令であり、転送スループットは最小2マシンサイクルである。オペレーション命令グループでのDALU内レジスタ、内蔵データメモリ間のデータ転送は1マシンサイクルである。アドレッシングは、ダイレクト、ディスプレイースメント付きレジスタ間接が可能である。さらに、外部データ空間へのアクセスでは15マシンサイクルまでのウェイト数の設定が可能であり、外部データメモリとして安価な低速メモリを使用することができる。

2.2 周辺回路

このDSPは、命令メモリ、データメモリ、シリアル入出力

回路、クロック生成部、パラレル入出力回路、外部データ空間インタフェース回路で構成される。命令/データメモリ、シリアル入出力回路について以下に示す。

2.2.1 命令/データメモリ

命令メモリは、16Kワードの命令ROMとともに128ワードの命令RAMを内蔵する。

データメモリは、1KワードのRAM4組、12Kワードと6KワードのROMを内蔵する。6組のデータメモリから1~4ワードの読出し動作、1又は2ワードの書込み動作が同時に合計4ワードまで可能である。

2.2.2 シリアル入出力回路

0系、1系の2組が存在し、入出力は独立に制御できる。各々16ビット、8ビットの同期転送が可能である。

3. 低消費電力化設計

低消費電力を実現するために、アーキテクチャ上は並列演算とパワーダウンモードの導入、回路上是メモリ構成、バス構成、クロック供給の工夫を行った。以下に詳細を示す。

3.1 並列演算

DALUの2系統の演算回路により、乗算、加減算及び積和演算の並列動作が可能であり、これら演算がほとんどの処理となるデジタル信号処理において、膨大な演算を低い動作周波数で実現できる。

3.2 パワーダウンモード

スリープモード、ストップモードの2種のパワーダウンモードがある。スリープモードでは割込み制御回路を除いたコアDSP部が停止状態になり、停止解除は外部割込みによって行う。一方、ストップモードではDSP全体が停止状態になり、停止解除はリセット入力によってのみ可能である。

具体的に、音声コーデックに次のように適用できる。フレーム処理(符号化、復号)が早く終了した場合は、スリープモードで、入出力回路と制御部の一部を除き、不要な回路動作を停止させる。待受け時は、ストップモードでDSP全体の回路動作を停止させる。

3.3 メモリ部

3.3.1 RAMの低消費電力化

- (1) データRAM各組を256ワードのブロックに分割し、アクセス時アクティブなブロックを1/4に削減できる。
- (2) WTD (Word-line Transition Detector)により、Xデコーダ入力アドレスが変化したときのみ、ビット線のプリチャージ及びワード線の駆動を行う。例えば音声コーデックプログラムでは、データメモリアクセスの90%以上が+1のアドレス加算であるので、ビット線のプリチャージ、ワード線の駆動をほぼ1/4に削減できる。
- (3) プッシュプル型のバスドライバにより、ビット線のプリチャージ時にはデータメモリバスはHi-Z状態になり、読出し時にはビット線対(=I/O線対)の“L”レベルに確定

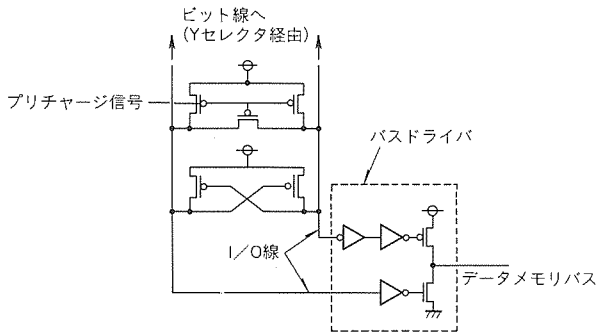


図3. RAMの読出し回路

したビット線 (= I/O線) のデータのみがデータメモリバスに出力される (図3)。データメモリバスの不必要なグリッチを削除でき、消費電力を低減できる。

3.3.2 ROMの低消費電力化

(1) RAMと同様なブロック分割を2Kワードのブロックで行い、アクセス時アクティブなブロックを命令ROMで1/8に、データROMで最大1/6 (12KワードROM) に削減できる。

(2) Yセクタによって選択されたビット線に対してのみI/O線からプリチャージを行うことにより、プリチャージ対象ビット線を256本から16本へ削減した。さらに、新たな読出し回路によってビット線のプリチャージ電位をセンスインバータのしきい値電位にし、不必要なプリチャージ電流を削除するとともに、高速な読出しを可能にした (図4)。

3.4 内部バス分割

コアDSPの内部データバスを機能ブロック内バス (PUB, AUB, DUB) とそれらを接続するグローバルバス (IUB) に分割し、各バスとIUBバスは双方向のトライステートドライバで接続した。例えば音声コーデックプログラムでは、PUBバス内転送は全バス転送の約3%、AUBバス内転送は全バス転送の約3%であり、バス分割によって十分な低消費電力化を図ることができた。

3.5 クロック供給

ゲーテッドクロックを用いて、クロック負荷容量による電力消費を最小限に抑えた。例えば音声コーデックの場合、周辺回路の動作率は1%以下であり、機能単位ごとにまとめてクロック供給にゲーテッドクロックを適用できる。コアDSPは、機能単位での動作率は50%以上であり、レジスタごとの動作率を考慮し、消費電力削減に効果のあるレジスタに対してゲーテッドクロックを適用した。

4. 評価結果

試作したDSPの諸元を表1に示す。テクノロジーとして、0.5μm CMOS, 1層ポリシリコン, 2層アルミプロセスを用いている。パッケージは100ピンのQFP (FP) を採用し、薄型・軽量化を実現した。

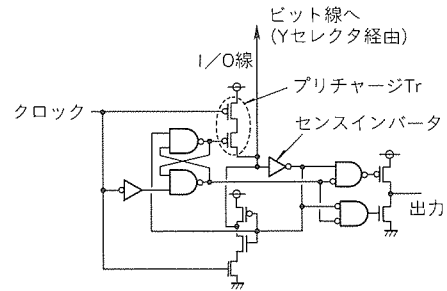


図4. ROMの読出し回路

表1. DSPの諸元

データ形式	16ビット固定小数点
乗算器ビット幅	16ビット×16ビット→32ビット
ALUビット幅	48ビット×32ビット→48ビット
命令ROM	16Kワード×32ビット
データRAM	1Kワード×16ビット×4面
データROM	12Kワード×16ビット×1面 6Kワード×16ビット×1面
プロセス	0.5μm CMOS 1層ポリシリコン, 2層アルミ配線
パッケージ	100ピンQFP (FP)
消費電力	120mW (ハーフレート方式音声コーデック処理時) 96mW (フルレート方式音声コーデック処理時)

このDSPでPDC対応の音声コーデックを実現した場合、2系統の演算回路により、ハーフレート方式を23MIPS、フルレート方式を17MIPSの少ない処理量で実現できた。一方消費電力は、少ない演算量ときめ細かな動作制御により、ハーフレート方式を120mW、フルレート方式を96mWの低消費電力で達成できた。

5. むすび

複数の携帯電話システムの音声コーデックへの適用をねらい、16ビット固定小数点DSPコア、4KワードRAM、34KワードROM、2系統のシリアル入出力回路等を1チップに集積したDSPを開発した。

評価の結果、このDSPは、PDCハーフレートシステム対応音声コーデックを23MIPSの少ない処理量で実現でき、きめ細かな回路動作制御も加え120mWの低消費電力を達成できた。

16ビット固定小数点DSPコアの音声コーデック処理における高性能・低消費電力動作は、PDCシステムやGSMシステムなどのほかの携帯電話システム又は情報携帯端末用LSIへ、コア展開によって適用可能である。

参考文献

- (1) 財電波システム開発センター：デジタル方式自動車電話システム標準規格 RCR-STD27B (1992)
- (2) 財電波システム開発センター：デジタル方式自動車電話システム標準規格 RCR-STD27C (1994)

ATM-LAN用チップセット

影本哲哉* 中林竹雄*
林 勇* 蔵永 寛*
町田浩久*

要旨

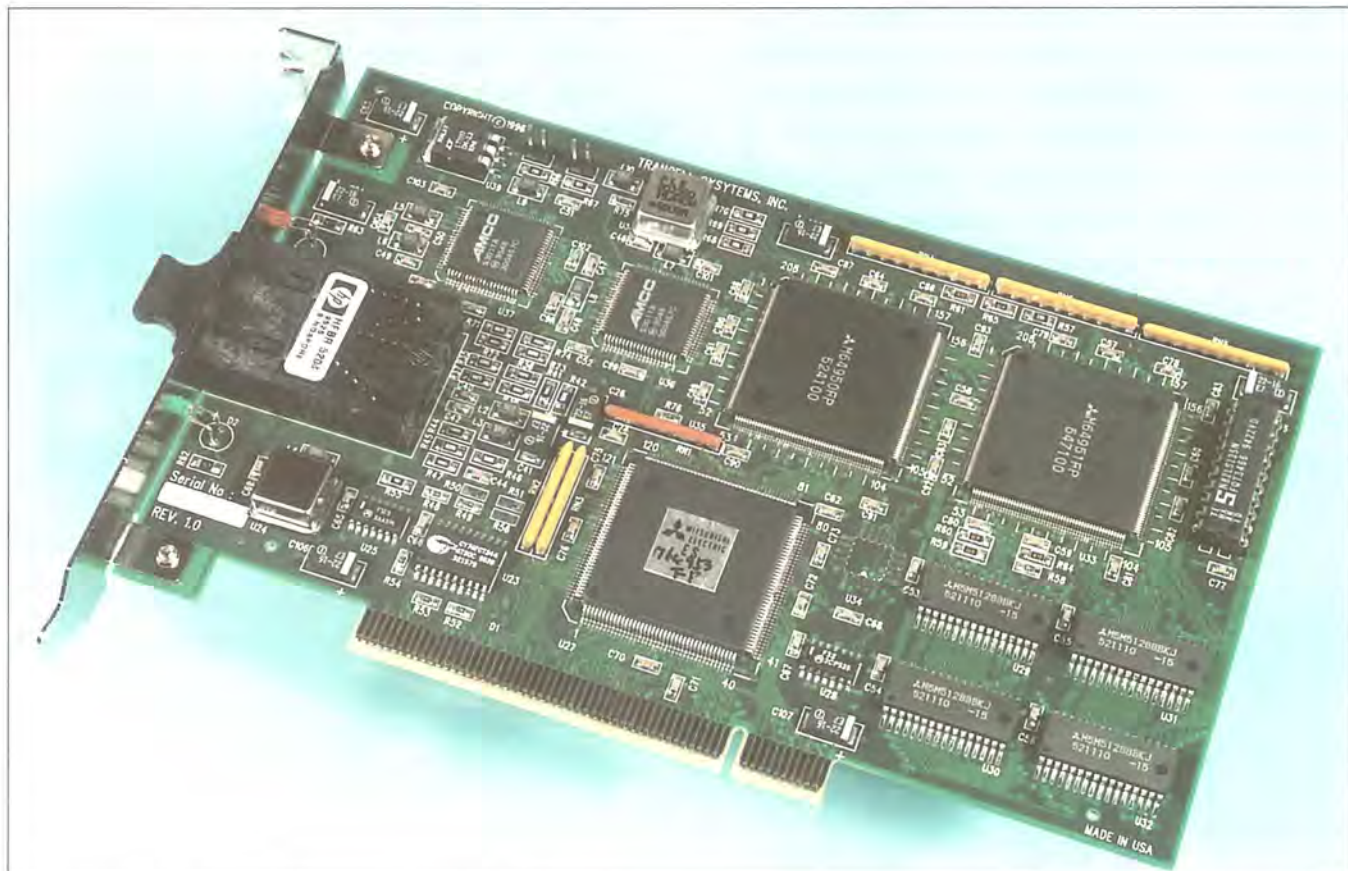
ATM(Asynchronous Transfer Mode)-LANは、高速でかつデータのリアルタイム性を保証できるという二つの特長を兼ね備えており、オフィスのマルチメディア化に最も適したLANであると考えられている。近年ATM-LANは、イーサネットなどの既存のLANを収容する、いわゆるバックボーンLANとしての利用が盛んになってきた。しかし、その特性をフルに活用するためには端末までのATM化が必ず(須)であり、インタフェースカード及びそのキーデバイスとなるLSIの低コスト化が強く望まれている。

今回開発したチップセットは、TC(Transmission Convergence) LSI, ATM/AAL LSI, 及びPCI(Peripheral Component Interconnect)LSIの3チップからな

り、ATM Forumの定めるATM-UNI(User Network Interface) 3.0に準拠している。これら3チップのうち、①TC LSIは物理レイヤの処理、②ATM/AAL LSIはフレームの分解及び組立処理、③PCI LSIはホストPCIバスとのインタフェース処理、をそれぞれ行う。

これら3チップを搭載したPCIバス対応NIC(Network Interface Card)を開発し、機能及び性能の評価を行った。その結果、このNICは、送受信のそれぞれで、最大でラインレートと同じ155Mbpsのデータ転送能力を持つことが確認できた。

本稿では、チップセットの機能及びNICを用いた評価の内容を中心に述べる。



ATM-LANネットワークインタフェースカード

光ファイバを用いた155MbpsのATM-LANに接続するための、PCIバス対応ネットワークインタフェースカードである。ATM-LANを通じて、動画などのマルチメディア情報にアクセス可能となる。

1. ま え が き

ATM-LANは、近年急速に普及しつつある新しいLANのうちの一つであり、その最大の特長は、音声データや画像データを含むマルチメディアのトラフィックに適しているという点にある。今回、ATM-LANへのアクセスに必要な機能を実現するチップセットを開発した。本稿では、チップセットの機能及びその評価について述べる。

2. チップセットの全体構成

今回開発したチップセット (TC LSI, ATM/AAL LSI, 及び PCI LSI) は、ATM-UNI⁽¹⁾機能を3チップで実現した。ATM-UNI機能はパソコンやワークステーションなど (以下“ホスト”という。) を ATM ネットワークに接続するために必須の機能であり、これら3チップは、ATM用のNICを構成するためのキーデバイスとなる。

図1にATM-UNIのプロトコル構成を示す。これらの階層のうち、ATM/AAL LSIはAAL (ATM Adaptation Layer) 5及びATMレイヤの処理を、TC LSIはPHY (Physical) レイヤのTCサブレイヤの処理を行う。PCI LSIは、NICとホストシステム内のPCIバスとの間のインタフェース処理を行う。

図2にこのチップセットを用いたNICの構成例を示す。データ送信時には、PCI LSIがホストメモリ内に用意されたユーザフレーム (通信に使用するデータ単位) を読み出してNIC内のRAMに書き込む。ATM/AAL LSIは、このデータを48バイトずつ読み出し、それぞれに5バイトずつのヘッダを付加してATMセルを構成する。TC LSIは、このATMセルを受け取り、SONET (Synchronous Optical Network) フレーム (後述) に関する処理を行った後、光电変換モジュールを介して光ファイバに送信する。データ受信時にはこれと逆の処理を行い、受信した信号をユーザフレームとして再構成し、ホストメモリに格納する。なお、送信処理と受信処理とは同時に行うことが可能である。

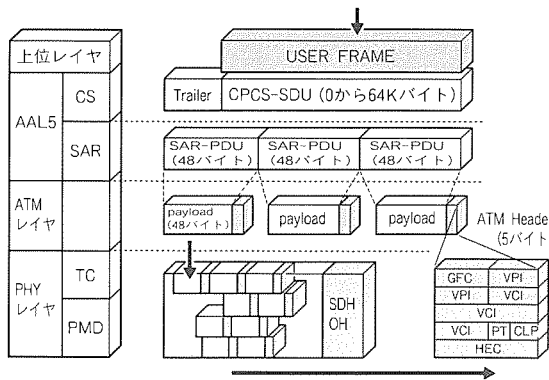


図1. ATM-UNIのプロトコル構成

3. 各チップの機能

3.1 TC LSI

TC LSIは、ATMセルのSONET⁽²⁾⁽³⁾フレームへの挿入及びSONETフレームからの抽出を行う。TC LSIのブロック図を図3に示す。

TC LSIは、SONETのSTS-3cフレームに対応している。SONET STS-3cフレームは、1フレームが9×270バイトで構成され、TC LSIはこれを連続的に155Mbpsで送受信する。SONETフレームには270バイトごとに10バイトの制御信号が挿入され、ATMセルは制御信号の含まれない部分に敷き詰めるようにして置かれる。ATMセルは53バイトであるため、制御信号の前後に分割されて挿入されるセルや、二つのSONETフレームにまたがって挿入されるセルが生じることになる。したがって、フレーム同期やセル同期など各種同期の維持が、TC LSIの重要な機能の一つになる。

ATM/AAL LSIとのインタフェースには、ATM Forumの定めるUTOPIA規格⁽⁴⁾を採用した。UTOPIA上でのATMセルの送受信はSONETとは非同期に行われるため、TC LSIは、速度整合用に送受信それぞれ2セル分のFIFOを搭載している。

3.2 ATM/AAL LSI

ATM/AAL LSIは、ユーザフレームのATMセルへの分解、及びATMセルのユーザフレームへの組立てを行う。図4ブロック図を、図5にチップ写真を示す。

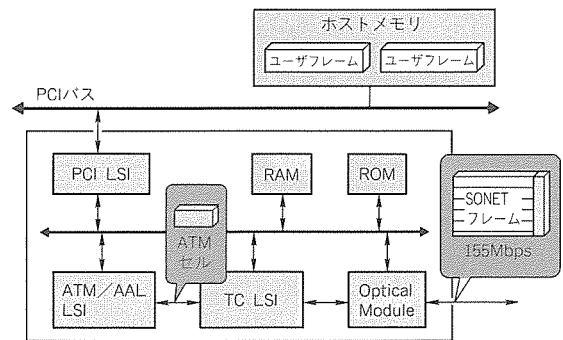


図2. チップセットを用いたNICの構成例

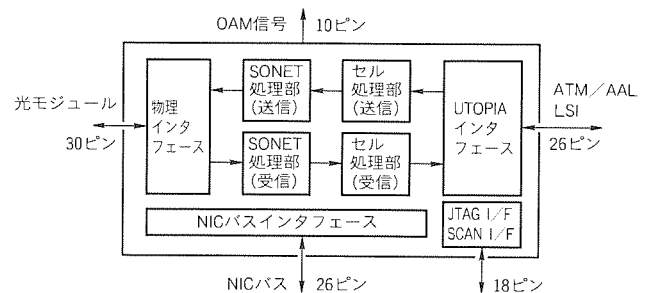


図3. TC LSIのブロック図

ATMネットワーク上では、通信相手との間にVC (Virtual Channel) と呼ばれる仮想のコネクションを設定して通信を行うが、このVCは、一つのホストで同時に複数設定

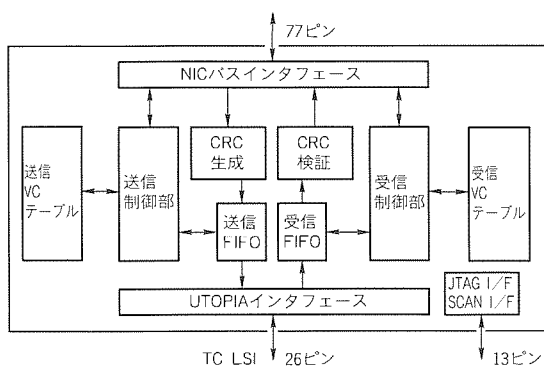


図4. ATM/AAL LSIのブロック図

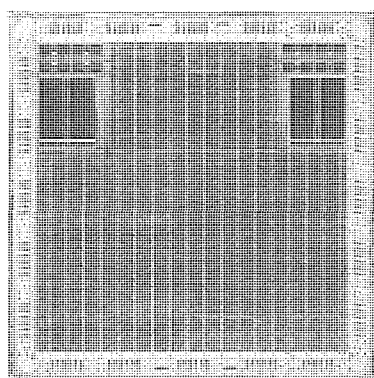


図5. ATM/AAL LSIのチップ写真

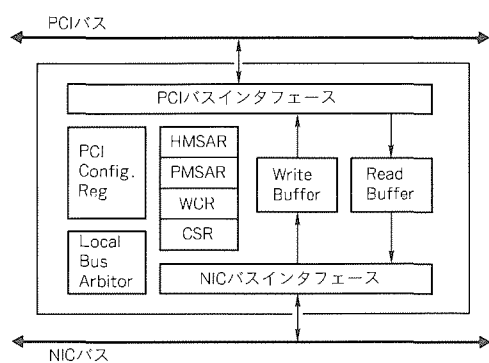


図6. PCI LSIのブロック図

表1. チップの諸元

	TC LSI	ATM/AAL LSI	PCI LSI
プロセス	0.5 μ mCMOS 2A1	0.5 μ mCMOS 3A1	0.8 μ mCMOS 2A1
パッケージ	208ピンQFP	208ピンQFP	160ピンQFP
ゲート数	26K+2KビットRAM	104K+36KビットRAM	15K+0.5KビットRAM
チップサイズ	11.6 \times 10.7 (mm)	14.9 \times 14.9 (mm)	8.42 \times 7.61 (mm)
電源電圧	I/O: 5V, 内部: 3.3V	I/O: 5V, 内部: 3.3V	I/O: 5V, 内部: 3.3V
動作周波数	最大33MHz	最大25MHz	最大33MHz
消費電力	0.9W (@33MHz)	1.0W (@25MHz)	0.8W (@33MHz)

することが可能である。このためATM/AAL LSIは、設定された各VCに関する制御情報を管理し、同時に異なるVC上のデータを分解及び組み立てることが可能である。さらに、各VCの制御情報はホストからPCI LSIを介してローカルRAMに書き込まれて管理されるが、ATM/AAL LSIは、最大32個までのVCの制御情報をキャッシュするためのRAMを内蔵した。これにより、制御情報をキャッシュしたVCでは、一つのユーザフレームの送受信開始時にローカルRAMをアクセスするが、以後はキャッシュ内の情報のみを参照することとなる。ATMセルの送受信ごとにローカルRAMをアクセスする必要がなくなるため、NIC内のローカルバスのトラフィックを減少させ、NIC全体のパフォーマンスを向上させることができる。

このほかにATM/AAL LSIは、送信レートを制御するためのトラフィックシェーピング機能をサポートしており、最大32個のVCに対してVCごとに独立に送信レートを制御することが可能である。また、受信用バッファの割当て方式として、通信中のすべてのVCに共通なバッファキューを使用する共通バッファモードと、各VCに個別にバッファを割り当てる専用バッファモードとをサポートし、フレキシブルなバッファ管理を可能にしている。

3.3 PCI LSI

PCI LSIは、PCIバス規格 Ver 2.0⁽⁵⁾に準拠しており、NICをホストシステム内のPCIバスに接続するためのインタフェース処理を行う。図6にブロック図を示す。

PCIバスは高速通信に適しており、パソコンなどのインタフェースとして事実上の標準となりつつあるバス規格である。PCI LSIは、PCIバスのマスタ及びスレーブとして動作するだけでなく、NICローカルバスのマスタとしてNIC上のRAMにアクセスする。チップ内部には双方向のデータ転送用にそれぞれ32バイトのFIFOを搭載しており、PCIバス上でのウェイトサイクルなしのバースト転送を実現している。また、ATM/AAL LSI、TC LSI、及びPCI LSI自身の中で生じる割り込みイベントを管理し、PCIバスに割り込みを発生させる機能も持つ。

表1に各LSIの諸元を示す。

4. チップセットの評価

4.1 評価システムと評価内容

このチップセットの評価では、通信システム全体としての評価とATM-UNIのプロトコル処理部単体での評価の両方を行うため、二種類のNICを準備した。一つは3チップすべてを搭載したもので、PCIバス内蔵のパソコンに接続し、同じNICを接続したパソコンとの間で

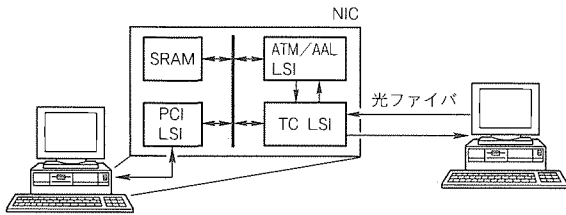


図7. PCI LSIありのNICを用いた評価システム

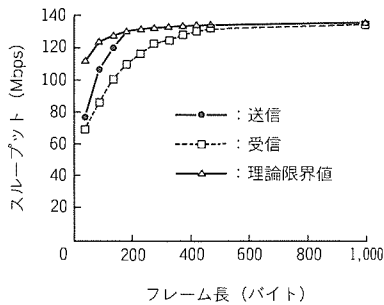


図9. PCI LSIなしのNICのスループット

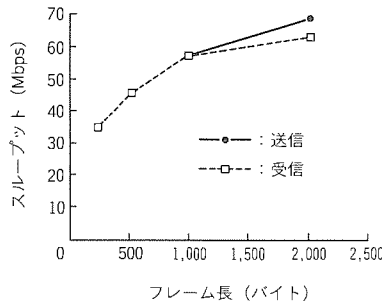


図10. PCI LSIありのNICのスループット

双方向通信を行った(図7)。もう一つはPCI LSIを除く2チップのみを搭載したもので、ICE(In Circuit Emulator)を用いて2チップの制御とNIC上のSRAMへのアクセスを行う。このとき、ネットワーク側にはATMプロトコルアナライザを接続して通信を行った(図8)。

この評価は、NICの持つ様々な動作を確認する機能評価と、単純にデータを送受信させてそのスループットを測定する性能評価とに分けて行ったが、ここでは、性能評価の結果について述べる。PCI LSIありのNICでは、パソコンのメインメモリにデータフレームを用意し、これを送信して、他方のパソコンのメインメモリに格納するまでのスループットを測定した。PCI LSIなしのNICでは、送信側ではICEを用いてローカルメモリにデータフレームを用意し、これを送信して、プロトコルアナライザでスループットを測定した。また、受信側ではプロトコルアナライザからデータを送信し、それをエラーなくローカルメモリ上に受信できるときの最大送信レートを測定した。いずれの場合も、用意するデータフレーム長をパラメータとし、一定の長さのデータフレームを複数個送受信して、全体のスループットの平均値を求めた。

4.2 評価結果

図9にPCI LSIなしの場合のスループットを、図10にPCI LSIありの場合のスループットを示す。図9には、伝送線レートの155 MbpsからSONETフレームの制御情報、ATMヘッダ、及びデータフレームに付加されるトレーラの各オーバーヘッドを除いた理論限界値を共に示す。

一般にフレーム長が大きいほど、フレームごとに必要な処理のオーバーヘッドの割合が減るため、平均スループットは向上している。PCI LSIなしの通信では、フレーム長が十分

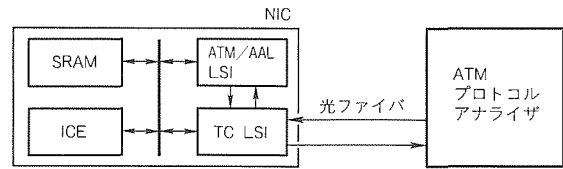


図8. PCI LSIなしのNICを用いた評価システム

大きい場合、送受信ともスループットはほぼ理論限界値に達しており、伝送線上の155 Mbpsに当たる性能を実現している。

PCI LSIありの通信では、平均スループットはフレーム長が大きい場合でも70 Mbps程度にすぎず、理論上の限界に対して半分余りの性能しか出ていない。これは、短いフレームに対してはフレーム送受信ごとに必要なパソコン内の処理が、長いフレームに対してはローカルRAMへのアクセスがボトルネックとなっているものと考えられる。したがって、ローカルRAM

を介さないデータ転送の実現、フレームごとの処理を緩和するデバイスドライバの開発、及びそれらに応じたデータ構造の見直しが今後の課題である。

5. むすび

ATMネットワーク用チップセットの仕様と、その評価について述べた。このチップセットはATM-UNI規格に準拠しており、これを用いてATMネットワーク用NICを構成することができる。

また評価用NICを用いた性能評価の結果、このチップセットは、最大で送受信それぞれ155 Mbpsのデータ転送能力を持つことが確認できた。

参考文献

- (1) ATM-Forum: ATM User - Network Interface Specification Version 3.0 (1993)
- (2) Bell Communications Research - SONET Transport Systems: Common Generic Criteria, TR-NWT-000253, Issue 8 (1993)
- (3) Draft American National Standards Institute for Telecommunications - Broadband ISDN Customer Installation Interfaces: Physical Layer Specification, ANSI T1E1.2/93-020R3 (1993)
- (4) ATM-Forum: UTOPIA, An ATM-PHY Interface Specification Level 1 Version 2.01 (1994)
- (5) PCI Special Interest Group: PCI Local Bus Specification Revision 2.0 (1993)

移動体通信用 高性能GaAs半導体デバイス

谷野憲之* 片山秀昭***
山本和也* 前村公正***
吉田直人** 宮崎行雄***

要旨

移動体通信は世界的な規模で拡大・普及している。中でも日本の携帯電話とPHS（簡易型携帯電話）の伸びは著しく、1996年末に加入者数2,000万人を超える勢いで普及している。

現在、日本には移動体通信として携帯電話とPHSの2通りの方式が存在する。

携帯電話は自動車などで高速に移動しながら通信が可能という特長があるが、0.8Wの大きな送信電力が必要なため、高効率な送信電力増幅器が要求される。

一方、PHSは80mWの小さな送信電力でも届く狭いエリアに限定し、基地局を公衆電話ボックスや電信柱等に設置することにより、低料金のサービスと小型で安価な電話機を提供できるという利点を持っており、それを実現する

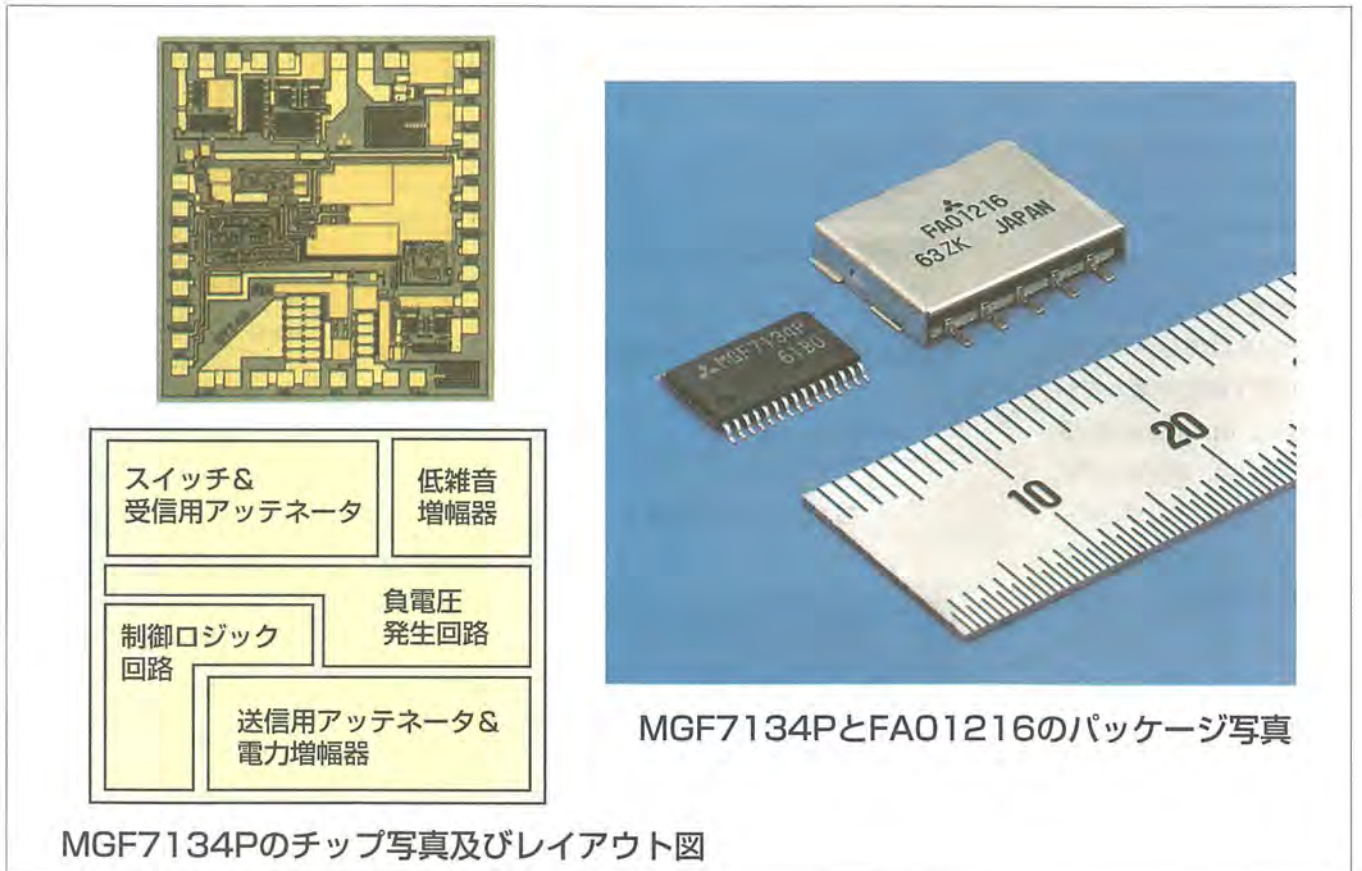
ために、回路の集積化による低コスト化が要求される。

また、両者共に電池本数削減のための低電圧化（3.4V化）と実装上の小型化が要求される。

これらの要求にこたえるため、三菱電機では2種類の高性能GaAs半導体デバイスを開発した。

携帯電話用として、高出力HEMT(High Electron Mobility Transistor)の開発により、業界最高の電力効率52%の0.9GHz帯1.3W送信電力増幅器モジュール（容積0.4cc）を開発した。

また、PHS用として、高均一プレーナSAGFET(自己整合型FET)の開発により、業界で初めてRFフロントエンド回路を1チップ化した1.9GHz帯単一電源動作MMIC（ミニモールドパッケージ）を開発した。



国内デジタル携帯電話用送信電力増幅器モジュールと、PHS用RFフロントエンドMMIC

国内のデジタル携帯電話用に、業界最高の電力効率52%の高出力送信電力増幅器モジュール（FA01216）を開発し、またPHS用に、業界で初めてRFフロントエンド部を1チップ化した1.9GHz単一電源動作MMIC（MGF7134P）を開発した。

1. ま え が き

移動体通信用の高周波半導体デバイスとして、GaAs半導体デバイスの開発が精力的に行われている。その理由は、携帯電話機の小型・軽量化のために電池数の削減すなわち低電圧化(3.4V動作)が必要であり、さらに、長時間動作すなわち低消費電力化の要求が強くなり、これらの点においてGaAsがSiに比べて優れているためである。

本稿では、高出力・高効率化の代表的なデバイスとして、新たに開発した高出力 HEMT を用いた業界最高効率の国内用デジタル携帯電話(PDC)用の送信電力増幅器モジュールについて述べる。また、高集積化の代表的なデバイスとして新たに開発した、プレーナ SAGFET (Self-Aligned Gate FET: 自己整合型 FET) を用いて業界で初めて RF フロントエンド部を1チップ化したPHS用MMICについて述べる。

2. 高出力・低ひずみ・高効率HEMT

高効率化を図るためには、DCドレインバイアス電流を極力絞り、AB級動作からB級動作へ近づけるほどよい。しかしながら、3次相互変調ひずみなどのひずみが増大すること、出力電力が低下することなどの問題が生じる。ひずみの原因としては、相互コンダクタンス、ゲート-ソース間容量などの非線形性が考えられる。これらの非線形性を極力小さくするためには、ピンチオフ電圧近傍での相互コンダクタンスの立ち上がり特性を急しゅん(峻)にし、ゲート-ソース間容量を一定にできるMIS型(又は埋込みチャンネル型)FET構造が適している。また、出力電力を向上させるためには、相互コンダクタンスを高くして、単位ゲート幅あたりに流せる最大ドレイン電流密度を高くするほどよい。

そこで、高い相互コンダクタンスと急峻な相互コンダクタンス立ち上がり特性が期待できるAlGaAs/InGaAs Pseudomorphic HEMT構造を採用することにし、その構造の最適化を図った。

図1に今回開発したHEMTの断面構造を示す。

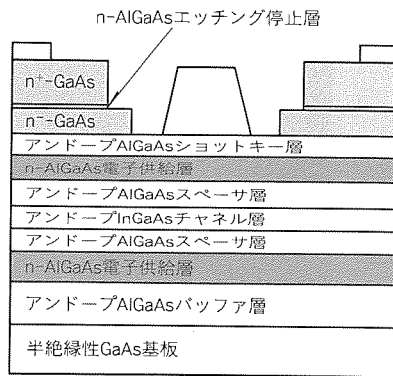


図1. HEMTの断面構造

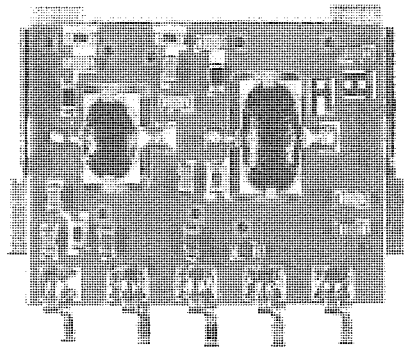


図2. デジタル携帯電話用送信電力増幅器モジュール

高利得・高効率化のためにチャンネル層にInGaAsを用いるとともに、低ひずみ・高出力化のために、チャンネル層を上下からAlGaAs電子供給層で挟んだダブルヘテロ構造とした。相互コンダクタンスは270mS/mmが得られている。単位ゲート幅当たりの電力密度は、従来のGaAsMESFETの1.5倍に高めることができた。また、ゲート直下にアンドロップのAlGaAsショットキー層を設けることによってひずみの原因となるゲート電流を抑制した。さらに耐圧向上のため、2段リセスゲート構造とし⁽¹⁾、1段目リセスエッチング時においてもエッチング制御性・均一性の向上を図るため、AlGaAsエッチング停止層を設けて、GaAsとAlGaAsとが選択的にエッチングされるように工夫した。ゲート-ドレイン間耐圧は14Vが得られている。

3. 国内デジタル携帯電話用送信電力増幅器モジュール(型名FA01216)

本稿のカラーページに試作したモジュールの外観写真を、本文の図2に外ふた(蓋)を取り外して基板上面から撮影した写真を示す。モジュール寸法は11.3mm×14.2mm×2.7mm(容積0.4cc)である。増幅器は2段構成で、初段・

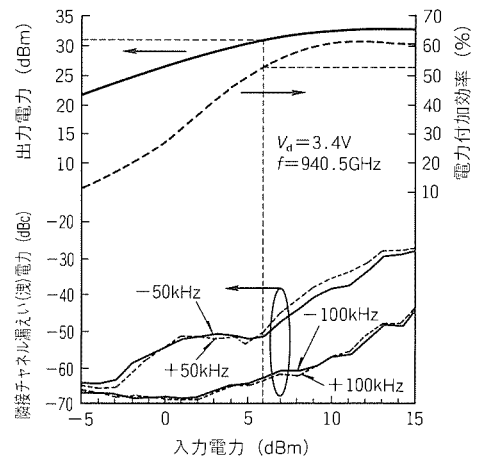


図3. モジュールの入出力特性

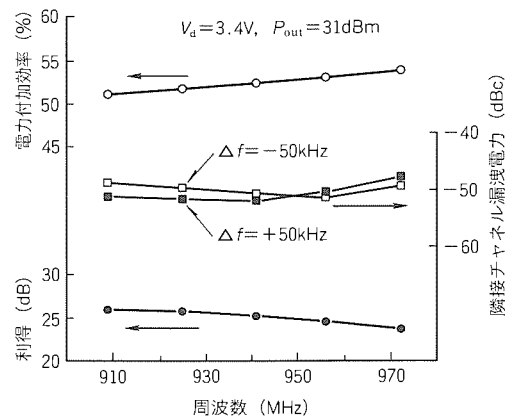


図4. モジュールの周波数特性

終段 HEMT のゲート幅はそれぞれ 4.6 mm, 21 mm とした。

代表的な入出力特性と周波数特性を、それぞれ図 3 と図 4 に示す。全周波数帯域 (925~956 MHz) において電力付加効率 52% 以上が得られている (ちなみに、従来の GaAs MESFET を用いたモジュールでは 44% であった⁽²⁾)。

また、基地局が近い場合は、送信電力を小さく絞って消費電力を抑えることも大切であり、今回の増幅器では、RF 無入力時の消費電流を 500 mA 以下とし、従来の約 60% に低減することができた。これは、トランジスタの動作を従来の AB 級動作よりも B 級動作に近づけたときに、低ひずみ・高出力動作が可能な HEMT 構造のトランジスタを、新たに開発することによって実現できたものである。モジュールの性能諸元を表 1 に示す。

4. 高均一プレーナ SAGFET

集積化する上での課題は、同一半導体基板上に送信用・受信用・制御用トランジスタを形成する技術である。前述の HEMT は、送信用トランジスタとしては高性能であるが、受信用・制御用トランジスタとしては最適化されていない。用途に応じて厚みや濃度などを最適化した動作層を同一半導体基板上に選択的に形成することは、エピタキシャル成長技術を用いる限り、技術的にもコスト的にも困難である。

今回、イオン注入法を用いた高性能な送信用トランジスタを開発することにより、同一基板上に送信用・受信用・制御用トランジスタを集積化することに成功した。当社ではこれまでも、イオン注入法によるトランジスタとしてデジタル集積回路用及び低雑音増幅器用プレーナ SAGFET を実用化しているが、従来の SAGFET は PHS 用送信トランジスタとしては耐圧が低いために出力が不足すること、また、ゲート抵抗が高いために利得が低いことなどの問題があった。これらの問題を解決するために、図 5 に示すトランジスタ構

表 1. モジュールの性能諸元

電源電圧 (V)	3.4
出力電力 (dBm)	31
動作効率 (%)	52
動作周波数 (MHz)	925~956
パッケージサイズ (mm)	11.3×14.2×2.7

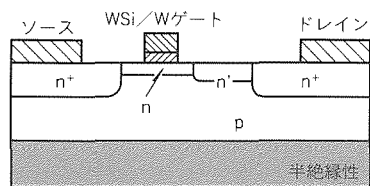


図 5. プレーナ SAGFET の断面構造

造を新たに開発した。耐圧向上のためゲート-ドレイン間距離を離し、ゲート-ドレイン間耐圧 $V_{gdo} > 8V$ を得た。また、ゲート-ドレイン間に適当な濃度の n' 層を形成することによって、RF 動作時における基板表面の深いトラップ準位の影響を抑制し、低ひずみ・高出力動作 (飽和電力密度 240 mW/mm) を実現した。また、ゲート抵抗低減による高利得・高周波化のため、従来の WSi のみを用いた 1 層構造から抵抗の低い W 層を WSi の上部に設けた 2 層構造を採用した⁽³⁾。

5. PHS 用 RF フロントエンド MMIC (型名 MGF7134P)

図 6 に MMIC のブロック図を示す。この IC は、送信用電力増幅器、受信用低雑音増幅器、スイッチ、受信用アッテネータ、負電圧発生回路、制御ロジック回路からなるアナログ・デジタル混載 IC である。

ここでアッテネータは、基地局と簡易型携帯電話機が近い場合 (近接通信モード時) に、基地局からの強い電波によって受信時に低雑音増幅器が飽和しないように受信入力電力を減衰させるためのもので、0/20 dB のステップ切換えとした。

負電圧発生回路は、送信用トランジスタのゲート電圧発生に用いる。低コスト化・小型化のため単一電源動作が要求されており、トランジスタのピンチオフ電圧を浅くする方法が提案されているが、この IC では、負電圧発生回路方式を採用した。負電圧を用いることにより、ゲート幅当たりの電力密度を 60 mW/mm 以上と高くできるため、チップ寸法の縮小が可能であり、ピンチオフ電圧の制御範囲が広がって歩留りが向上する等のコスト上のメリットも期待できる。しかしながら、負電圧発生回路の消費電流を十分小さく抑える工夫が不可欠である。

今回、低消費電流化のため、受信又はスリープモード時に、負電圧発生回路の動作を停止させる方式を採用した。図 7 に

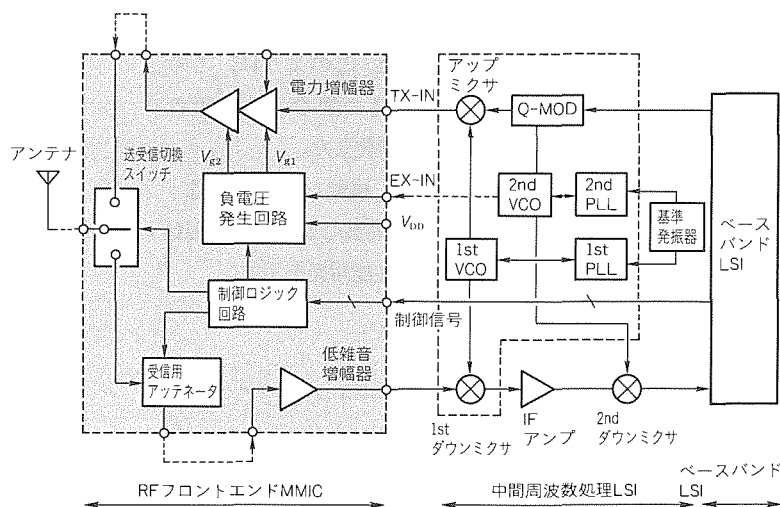


図 6. PHS 用 RF フロントエンド MMIC のブロック図

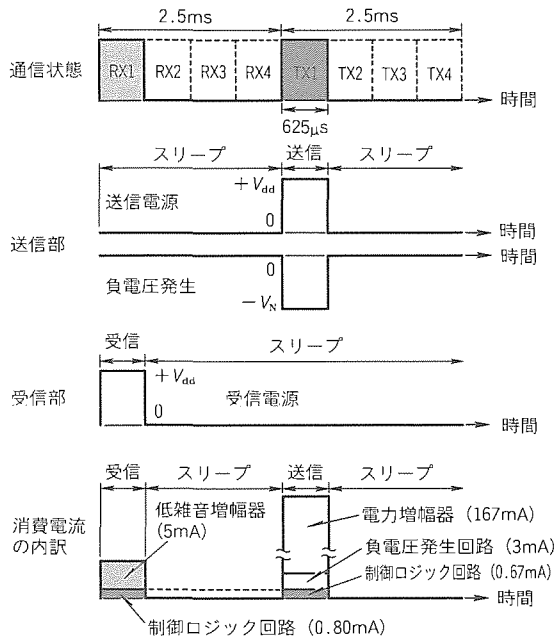


図7. 負電圧発生タイミングと送・受信状態における消費電流の内訳

負電圧発生のタイミングと送・受信状態における消費電流の内訳を示す。負電圧発生回路で消費される電流は3mAで、他の消費電流に比べて十分小さいことが分かる。

さらに、送信時の立ち上がり時間を短くし、負電圧のリプルを低減するために、2個のチャージポンプ回路を相補的に動作させた。これにより、チャージポンプの容量を20pFと低減することができ、キャパシタのチップ面積に占める割合を低減するとともに、200nsの高速立ち上がりが可能となった。

受信用低雑音増幅器は、ピンチオフ電圧が浅い単一電源動作のSAGFETを用いた。ドレイン電圧3V、ドレイン電流5mAの低電流バイアス条件において、雑音指数1.7dB、付随利得13dBの優れた低雑音・高利得特性が得られている。

スイッチ、受信用アッテネータには、アイソレーションと耐圧が共に高いSAGFETを採用した。このように、このMMICでは、回路用途に応じて構造の異なる3種類のSAGFETを採用して1チップ上に集積化した。

本稿のカラーページに、チップ写真、機能レイアウト図、ミニモールドパッケージSSOP 30に実装したこのMMICを示す。図8に入出力特性を、表2に性能諸元を示す。

6. むすび

移動体通信用高性能GaAs半導体デバイスとして二つの新製品を開発した。一つは、高出力・高効率化のために高出力HEMTを新しく採用した業界最高の電力効率52%の高出力送信電力増幅器モジュールである。ほかは、集積化に適

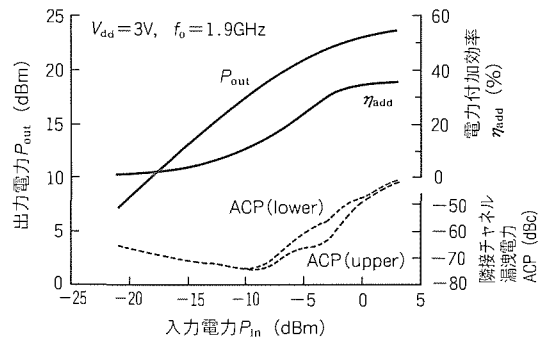


図8. MMICの入出力特性

表2. MMICの性能諸元

全体	周波数	1.9GHz帯
	電源電圧	3V
消費電流	送信時	170mA
	受信時	5mA
	スリープ時	<0.1mA
送信部	出力電力	21.5dBm
	利得	27dB
スイッチ部	挿入損失	1dB
受信部	利得(可変)	12dB/-8dB
	雑音指数	2dB

したプレーナSAGFETを採用した業界初のRFフロントエンド部を1チップ化した1.9GHz単一電源動作MMICである。これらの製品はPDC、PHSなどの移動体通信用端末に多数適用されている。

参考文献

- (1) Sonoda, T., Sakamoto, S., Kasai, N., Yamanouchi, M., Takamiya, S., Kashimoto, Y.: High-Efficiency and Highly Reliable 20W GaAs Power Field-effect Transistor in C Band, Jpn.J.Appl.Phys., **31**, 2374~2381 (1992)
- (2) 中原和彦, 望月 満, 片山秀明, 花井宏親, 伊東康之, 高木 直, 三井康郎: 900MHz帯低電圧動作低歪み増幅器モジュール, 1995年電子情報通信学会総合大会, SC-2-4 (1995)
- (3) Kansai, N., Noda, M., Ito, K., Yamamoto, K., Maemura, K., Ohta, Y., Ishikawa, T., Yoshii, Y., Nakayama, M., Takano, H., Ishihara, O.: A High Power and High Efficiency GaAs BPLDD SAGFET with WSi/W Double-Layer Gate for Mobile Communication Systems, IEEE GaAs IC Symposium Digest, 59~62 (1995)

光通信用導波路レンズ付き半導体レーザ

武本 彰* 瀧口 透*
柴田公隆*
板垣卓士*

要旨

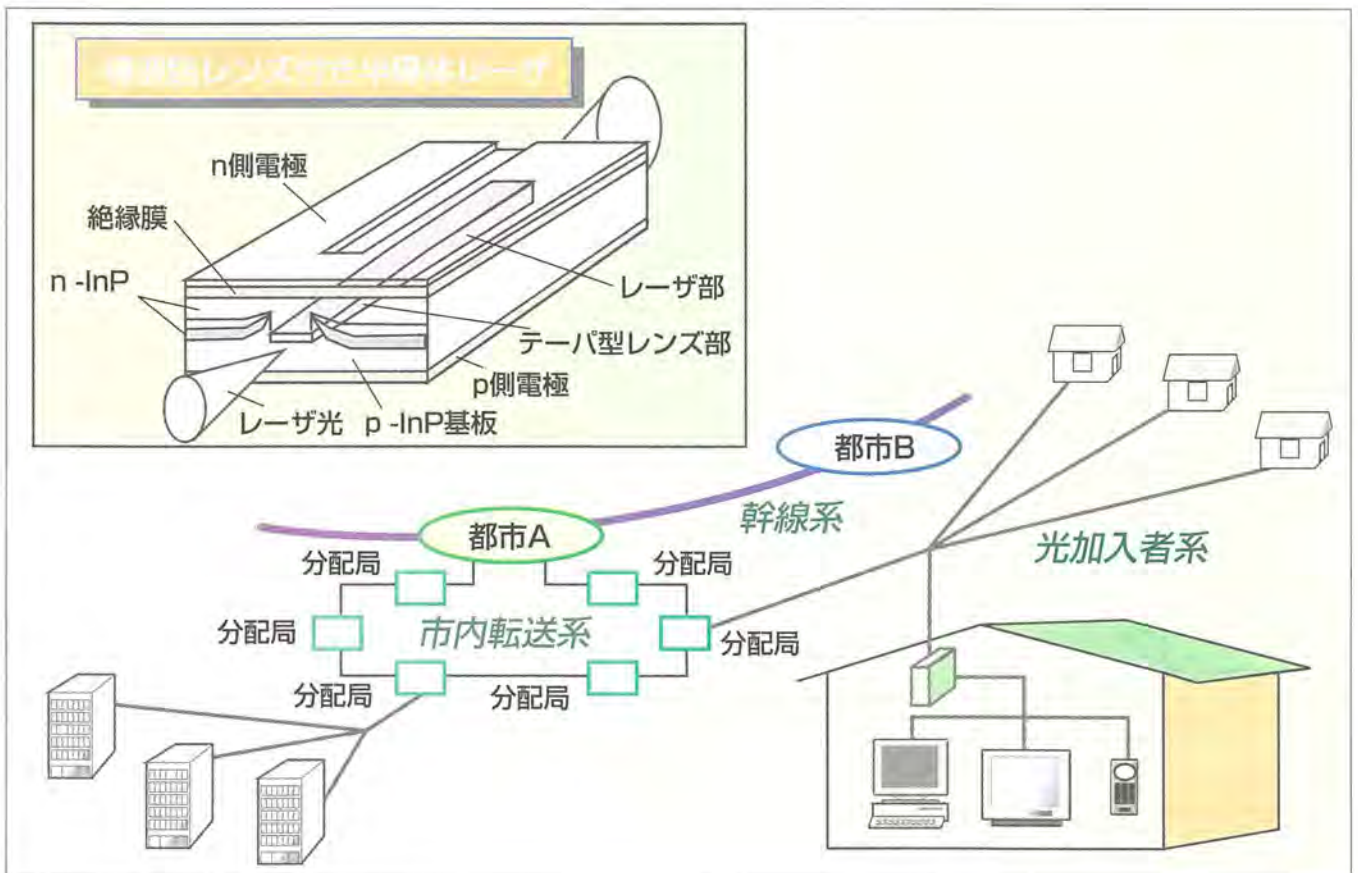
大量の情報の伝送に適した光ファイバ通信網は、従来、都市間を結ぶ幹線系や市内の電話局間を結ぶ市内転送系を中心に普及してきた。そして、マルチメディア時代の到来によって、私たちが扱う情報量が飛躍的に増大しつつあることから、家庭やオフィスと電話局を結ぶ加入者網も光ファイバで結ぶ、いわゆる、光加入者系システムが今後導入されようとしている。

この光加入者系システムでは、光送受信器を各家庭又は家庭の近くの屋外に多数設置する必要があるため、広い温度範囲での安定な動作と小型・低コスト化が普及のかぎ(鍵)を握っている。

三菱電機では、光送信モジュールの小型・低コスト化を

実現するため、モジュールの部品点数の削減や組立時間の低減が可能な、レンズ機能を集積した半導体レーザを開発した。このレーザは、レンズ機能を内蔵しているため、通常光送信モジュールで使用されているガラスレンズを用いることなく、光ファイバに効率良く光を結合させることが可能である。また、光ファイバの軸ずれに対しても結合損失の増加が少ないため、光ファイバの軸合わせが簡単となり、組立コストの削減も可能である。

このレーザを用いて622Mbps/50kmの伝送試験を行い、光加入者系システムとして十分な伝送ができることを確認した。



光通信網と導波路レンズ付き半導体レーザ

光加入者系光通信網の普及促進のため、光送受信器の小型・低コスト化が強く求められている。この要求にこたえるため、レンズ機能を内蔵した発振波長1.3μmの半導体レーザを開発した。

1. ま え が き

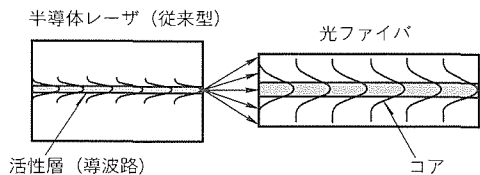
マルチメディア時代の到来により、オフィスや家庭で扱う情報量が飛躍的に増大しようとしている。これまで、光ファイバ通信網は、その低損失・大容量という特性を生かして、主に都市間を結ぶ幹線系や大陸間を結ぶ海底系を中心に開発・導入が進められてきたが、上に述べた事情によって電話局とオフィスや家庭を光ファイバで結ぶ、いわゆる光加入者系システムの導入が進められようとしている。

この光加入者系システムでは、伝送速度は通常 600 Mbps 程度であり、幹線系の 2.5 Gbps/10 Gbps と比較すると低いものの、小型化や低コスト化が強く求められている。このため、使用される半導体レーザやフォトダイオード、及びこれらを用いた光送受信器にも小型・低コスト化に適した構造・機能が求められる。

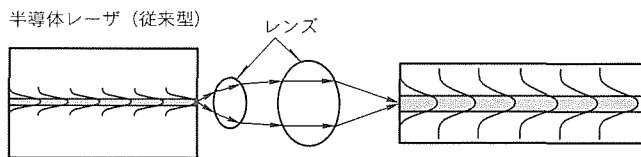
本稿では、従来半導体レーザの光を光ファイバに結合させるために用いていたガラスレンズの機能を半導体レーザの内部に集積した導波路レンズ付き半導体レーザについて述べる。この半導体レーザを用いれば、集積化による光送信モジュールの小型化とともに、部品点数の削減や光ファイバの光軸調整の簡素化による組立コストの低減が可能となる。

2. 素子構造と基本特性

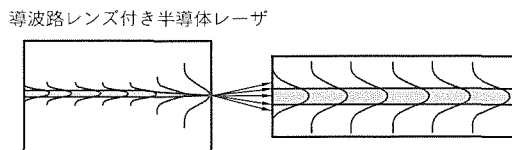
導波路レンズ付き半導体レーザの模式図をカラーページに示す。素子の基本構造は当社で開発した FSBH (Facet Selective-growth Buried Heterostructure) である⁽¹⁾。



(a) 半導体レーザと光ファイバの直接結合



(b) ガラスレンズを使った結合



(c) 導波路レンズ付きレーザと光ファイバの結合

図 1. 半導体レーザと光ファイバの光の結合

通常、半導体レーザから出射される光は 30°~40°の角度で広がっており(図 1(a))、この光を光ファイバに効率良く結合させるため 1~2 個のガラスレンズを用いている(図(b))。このガラスレンズの機能を素子内部で実現するため、図(c)のように光を伝搬させる導波路の厚さをテーパ状に薄くしてある。これにより、光を導波路の外部まで染み出させて回折による光の広がりを 10°程度に抑えることができ、光ファイバと直接結合しても高い結合効率を得ることが可能となる。

膜厚がテーパ状に変化する導波路は、結晶成長の際に半導体基板上に誘電体マスクを形成しておき、誘電体マスクの周辺部の結晶成長速度がマスクパターンに応じて速くなることを利用する、いわゆる選択領域結晶成長技術⁽²⁾を用いている。図 2 に誘電体マスクパターンを示す。導波路は二つの誘電体マスクの間に形成され、このマスクの形状を反映して、マスクの幅が広い所では厚く、狭い所では薄くなる。半導体レーザの前端面から出射されるレーザ光の遠視野像の半値全角は、レーザ端面部に相当する誘電体マスクの幅 W_{lens} を変えることによって、図に示すように通常のレーザの 30° から 10°程度まで狭くすることができる。また、このように遠視野像の半値角を狭くしても、レーザ発振に必要な電流(しきい値電流)の増加はわずかであることが分かる。なお、図中の白丸と黒丸の 2 種類のデータに関しては次章で述べる。

図 3 に、通常の半導体レーザの遠視野像と今回開発した導波路レンズを内蔵したレーザの遠視野像の典型例を示す。従来の半導体レーザの遠視野像半値角の 1/2 以下の 12°前後の値が得られており、また、単峰性のきれいな像となっており、テーパ状の導波路がレンズ機能を果たしていることが分かる。

図 4 に、従来型、及び導波路レンズ付き半導体レーザを通常のシングルモードファイバへ結合させたときの結合損失の測定結果を示す。図から、従来のレーザの場合の結合損失が ~8 dB と大きいのに対し、導波路レンズ付きレーザの場合は ~3 dB と大きく改善されていることが分かる。また、従来のレーザを用いた場合の結合損失とほぼ同じになるように

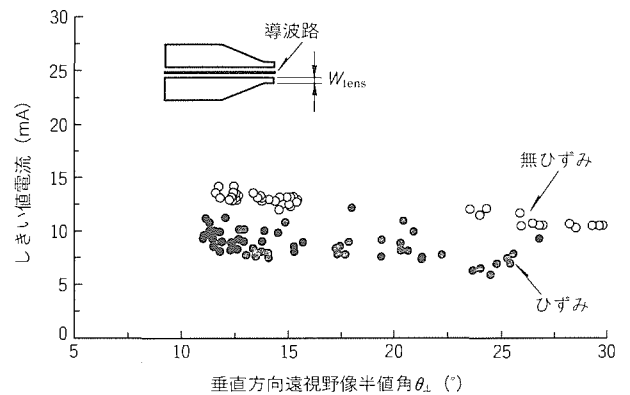
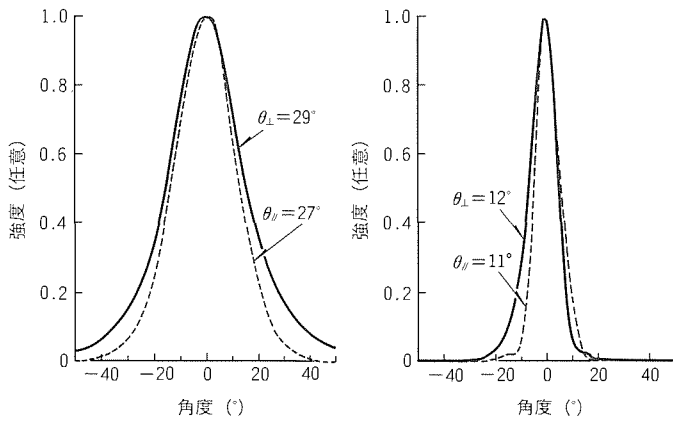


図 2. 誘電体マスクパターン、及びしきい値電流と遠視野像半値角の関係

導波路レンズ付きレーザを光ファイバから離れた場合、光軸ずれに対して結合損失の増加が少なくなるため、組立て時の軸ずれに対して有利であることが分かる。

3. 構造最適化(高温時の動作電流低減)

前章で述べたように、導波路レンズをレーザの内部に集積



(a) 従来型のレーザ (b) 導波路レンズ付きレーザ

図3. 半導体レーザの遠視野像

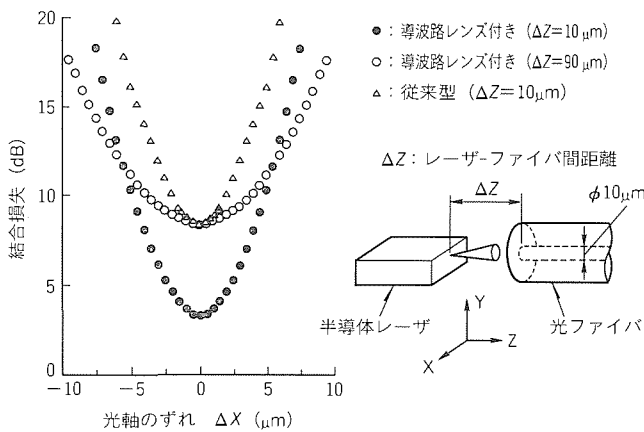
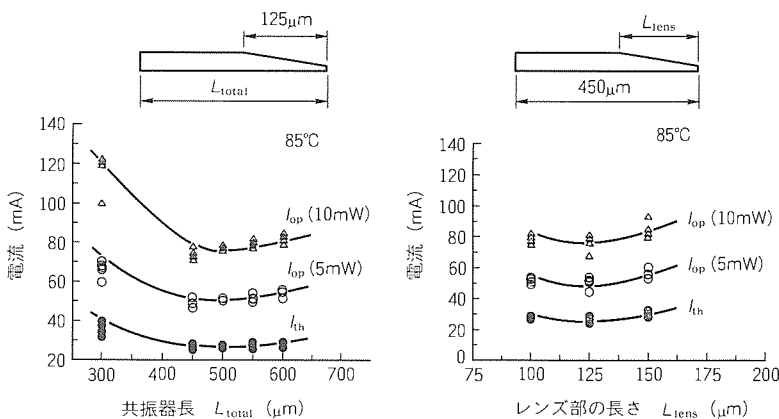


図4. 光ファイバとの結合損失



(a) 共振器長依存性 (b) レンズ部の長さ依存性

図5. 共振器長とレンズ部の長さの最適化

することで、ガラスレンズなしでも光ファイバと高い結合効率を得ることができる。しかしながら、デメリットとして、導波路レンズ部での吸収損失、及びモード変換損失の増加に伴うしきい値電流・動作電流の増加が問題となる。特に光加入者系では、85℃という高温下でも安定して動作することが要求される。実際、試作した初期のデバイスでは、通常の

レーザと比較して動作電流が大きく、85℃では発振すらしないという問題が生じた。したがって、このレーザの場合、高温でのしきい値と動作電流の低減が大きな課題であり、以下に改善手法及び結果について述べる。

導波路レンズ付きレーザのしきい値と動作電流の低減のためのアプローチには、以下のようなものがある。

- (1) 活性層のひずみ量子井戸化
- (2) レンズ部のリーク電流防止
- (3) 利得部の長さの最適化
- (4) レンズ部の長さの最適化

上記(1)のひずみ量子井戸化は、半導体レーザの高性能化のため、近年よく用いられている手法である。利得を発生する量子井戸部に圧縮応力が加わるように、結晶成長時に故意に基板から格子定数の大きな結晶を成長させ、半導体のバンド構造を積極的に制御して特性向上を目指す手法である。先に示した図2中に、通常の無ひずみの多重量子井戸構造(白丸)と、ひずみを導入した量子井戸構造(黒丸)のしきい値電流を示してある。図から分かるように、ひずみ量子井戸化によってしきい値電流が約2/3に低減されている。

(2)のレンズ部のリーク電流とは、利得を発生しないレンズ部を流れる無駄な電流のことで、このリーク電流を流さないように素子上面の電極パターンを最適化することで、動作電流の低減が可能であることが小林ら⁽³⁾によって報告されている。

(3)と(4)の利得部・レンズ部の長さの最適化は特に導波路レンズ付きレーザの特性改善に重要な項目であり、以下に詳細に述べる。

発振に必要な全利得TG (Total Gain) は、次の式(1)で与えられる。

$$TG = \alpha_{\text{gain}} \cdot L_{\text{gain}} + \frac{1}{2} \ln \left(\frac{1}{R_f \cdot R_r} \right) + \alpha_{\text{lens}} \cdot L_{\text{lens}} + MC \dots \dots \dots (1)$$

ここで、 α_{gain} 、 α_{lens} はそれぞれ利得部・レンズ部の吸収損失、 L_{gain} 、 L_{lens} は利得部・レンズ部の長さ、 R_f 、 R_r は前面・後面の反射率、 MC はレンズ部で電界分布の形が変化するために生じるモード変換損失 (Mode Conversion Loss) である。式(1)の右辺の各項目はそれぞれ、利得部の吸収損失、ミラー損失、レンズ部の吸収

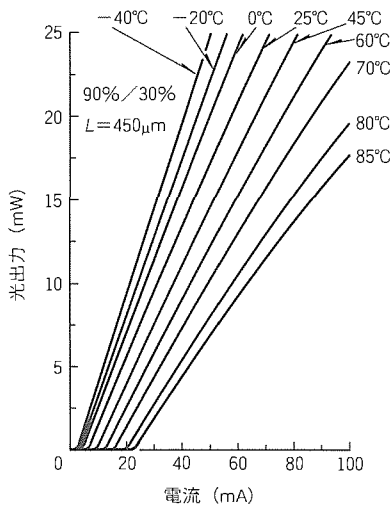


図6. 光出力-電流特性

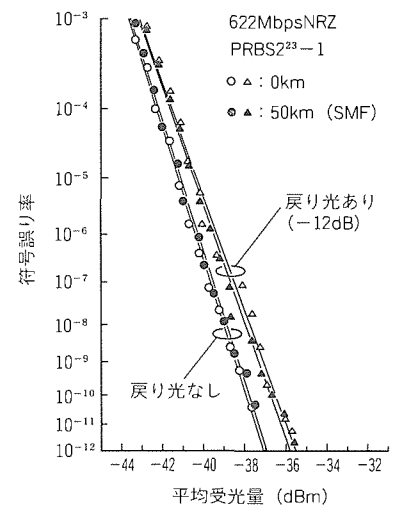
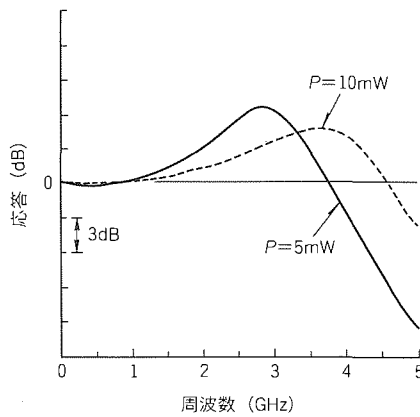


図7. 周波数特性・伝送特性

損失，レンズ部のモード変換損失である。通常の半導体レーザーでは最後の二つの損失は零であり，導波路レンズ付きレーザーではこの二つの損失が付加されることから，この損失を補うため通常のレーザーよりも利得部を長くする必要がある。また，レンズ部を短くするとレンズ部の吸収損失は小さくなるがモード変換損失は大きくなり，逆に長くすると吸収損失が大きくなり，両者はお互いにトレードオフの関係にあるためレンズ部の長さの最適化も重要である。

以上の考察を基に利得部（実際は共振器長）及びレンズ部の長さの最適化実験を行った結果を図5に示す。この結果，85°Cにおいてしきい値と動作電流を低減するには，共振器長とレンズ部の長さはそれぞれ450 μmと125 μmが最適であることが分かった。図6に，以上の様々な改善を施した導波路レンズ付き半導体レーザーの光出力電流特性を示す。レンズ機能を集積しているにもかかわらず，従来レーザー並みの低しきい値と低動作電流特性を実現することができた。

4. 動特性・信頼性

図7に，導波路レンズ付きレーザーの周波数特性と伝送特性を示す。レンズを付加することによる周波数特性・伝送特性の劣化が懸念されたが，図に示すように従来のレーザー並みの3 GHz以上の遮断周波数が得られている。また，622 Mbps / 50 kmという条件下でも，パワーペナルティのほとんどない伝送特性が得られている。さらに，ファイバ端からの反射光をレーザー本体に戻しても，エラーフロアのない良好な特性が得られている。

信頼性に関しても，高温での動作電流を低減した結果，85°C - 5 mWの条件で4,000時間以上安定に動作することが確認されている。

5. むすび

光加入者系システムの送信器の小型・低コスト化を実現する上で重要なデバイスとなる，レンズ機能を集積した半導体レーザーを開発した。このレーザーは，利得部のひずみ量子井戸化や共振器・レンズ部の長さの最適化などにより，しきい値と動作電流や動特性を従来のレーザー並みに維持しながら，レンズ機能を組み込むことができた。今回のデバイスの開発により，光加入者系システムが一層身近になるであろう。

参考文献

- (1) Ohkura, Y., Kimura, T., Nishimura, T., Mizuguchi, K., Murotani, T.: Low Threshold FS-BH Laser on p-InP Substrate Grown by All-MOCVD, *Electron. Lett.*, **28**, No.19, 1844 ~ 1845 (1992)
- (2) Itagaki, T., Kimura, T., Goto, K., Mihasi, Y., Takamiya, S., Mitsui S.: Analysis of the In-plane Bandgap Distribution in Selectively Grown InGaAs / InGaAsP Multiple Quantum Well by Low Pressure Metalorganic Chemical Vapor Deposition, *J. of Crystal Growth*, No.145, 256 ~ 262 (1994)
- (3) Kobayashi, H., Soda, H., Ekawa, M., Okazaki, N., Ogita, S., Yamazaki, S.: Narrow Beam Tapered Thickness Waveguide Integrated BH MQW Laser Operation at High Temperatures, *Proceeding of 14th IEEE International Semiconductor Laser Conference*, 189 ~ 199, (1994)

小容量モータ駆動用 アプリケーションスペシフィック IPM

ゴーラブ マジウムダール*
太田達雄* 為谷典孝*
福永匡則* 波多江慎治*

要旨

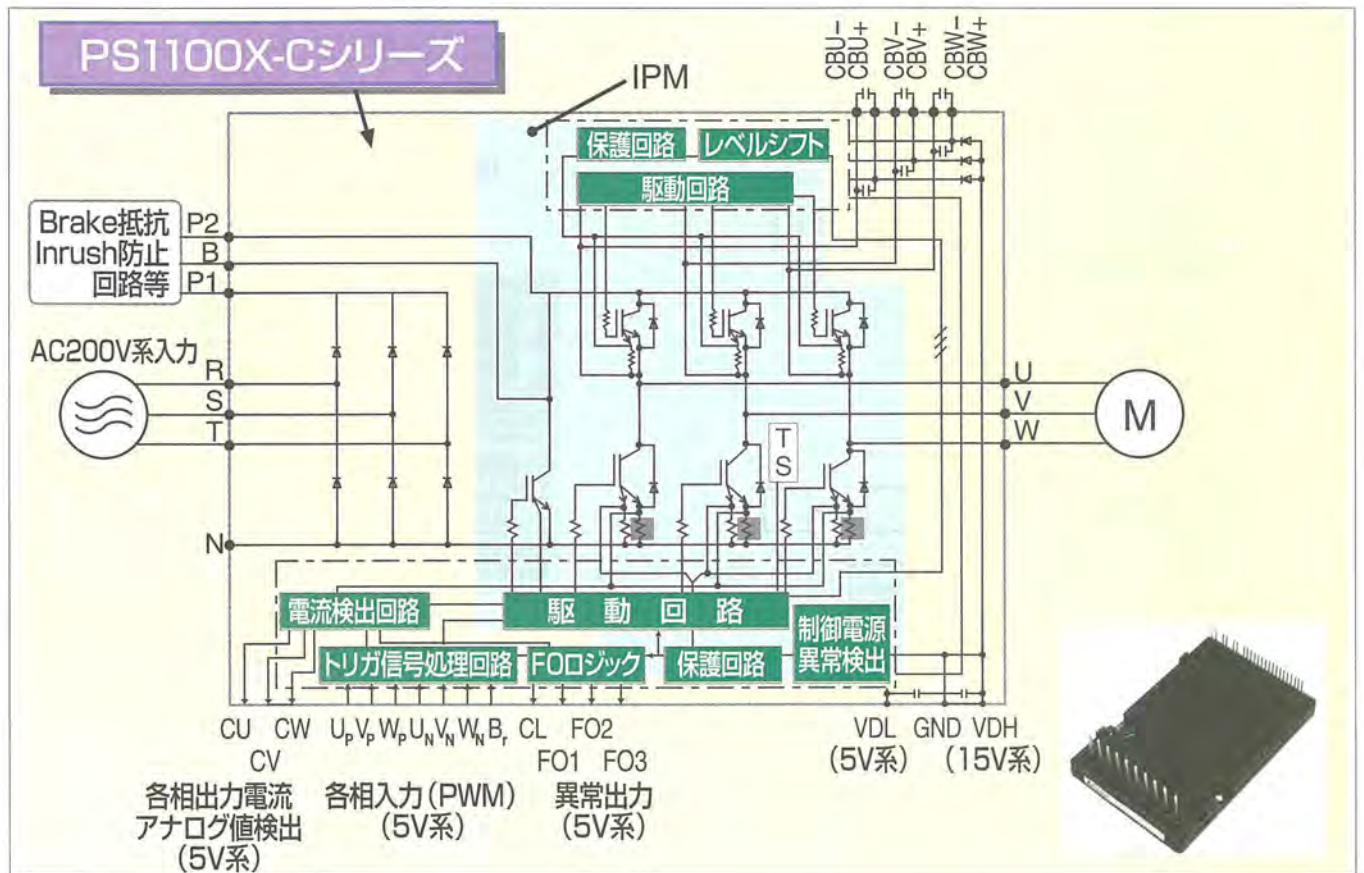
近年、各分野でインバータ化が急速に進む中で、市場ニーズとしてシステム全体の向上をパワーモジュールに求める要求が非常に増えている。今回、この要求に対応するために高機能システムとコストパフォーマンスを追求したパワーモジュールとしてASIPM(Application Specific Intelligent Power Module)を開発・製品化した。

ASIPMは、特にコスト競争が厳しい小容量分野に着目し、AC200V系0.1~1.5kW用までをシリーズ化(PS1100×-Cシリーズ)した。

主な特長としては、以下のとおりである。

- コンバータ・インバータ・ブレーキに必要な主パワーデバイスをすべて集積
- 従来IPMの駆動回路、保護回路の充実
- インタフェース部の絶縁レス化
- 単電源化
- 出力電流検出機能の内蔵
- 異常検出出力の識別化

今回のASIPMの開発・製品化は、各分野・用途別に適したパワーモジュールの理想形を確立させることに役立つものである。



ASIPM PS1100×-Cシリーズの概要

従来のIPMに対し、コンバータ、ブレーキ回路、外部カプラレス化可能高圧レベルシフト回路、単電源化可能ブートストラップ回路、外部センサレス化可能出力電流検出機能、エラー出力識別機能を内蔵し、システム全体の小型・軽量化及び高性能化を実現した。

1. ま え が き

地球規模でエネルギー保存の声が高まる今日、産業・民生の両分野ではインバータ化が急速に進んでいる。その中で、インバータドライブシステムは、より高機能システムとコストパフォーマンス比のシステム全体を向上させることが望まれている。今回は、特に小容量モータ駆動に着目し、システム全体の小型・高性能化を目的としたパワーデバイスの開発と製品化を実現した。このパワーデバイスは、従来のIPMのコンセプト・機能・動作・構成という点で、より優れたIPMとして、ASIPMと名付けた。図1にシステムの動向を示す。ASIPMは、パワーエレクトロニクスの応用分野に性能・コスト・品質などの最適化を提供するため、IGBT、FWDiチップ、専用ICの機能、及び絶縁技術とパッケージ技術によって最適化を達成した。

本稿では、ASIPMのシステム構想、キーテクノロジーと機能・特長について述べる。

2. 開発コンセプト

ASIPMは、小容量モータ駆動システムにおけるある特定の要求を満足させる機能を高集積化させ、小型パッケージに組み込み、新しいIPMシリーズとして開発した。

小容量モータ駆動システムの小型・高性能・多機能化の要求は、①コンバータ、インバータ、ブレーキ回路を1パッケージに高集積、②従来のIPMの保護機能の充実、③出力電流検出機能、④単電源化、⑤絶縁素子レス化、⑥異常検出力識別化などが挙げられる。これらシステムニーズにこたえるために、今回ASIPM PS1100×-Cシリーズ0.1~1.5kW/AC200Vを開発した。表1に製品系列を示す。

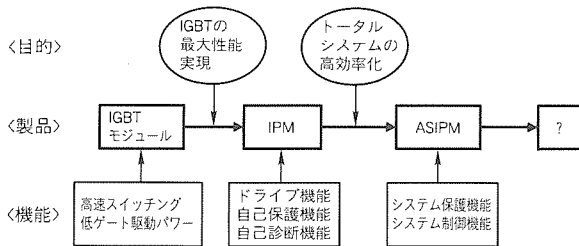


図1. システムの動向

表1. PS1100×-Cシリーズの製品系列

型名	素子定格	モータ定格 (kW)	100%負荷	150%負荷 (60秒)	単位
PS11001-C	2A/600V	0.1	0.8	1.2	Arms
PS11002-C	4A/600V	0.2	1.5	2.25	Arms
PS11003-C	8A/600V	0.4	3.0	4.5	Arms
PS11004-C	15A/600V	0.75	5.0	7.5	Arms
PS11005-C	20A/600V	1.5	7.0	10.5	Arms

3. キーテクノロジー

上述の要求にこたえるために、次の主となる技術を開発した。

(1) パワーデバイス技術

2μmのセルサイズ製造工程と設計技術によって、各課題に対して最適なチップサイズと特性を持つ低損失IGBTとソフトリカバリFWDiを開発した。

(2) LSIとHVIC技術

高圧pn接合分離技術を持つLSIの設計と製造工程の両方の技術が、専用制御ICの要素に適用される高機能なBiCMOSの開発に役立った。図2にその基本構造の断面図を示す。その構造は、5V/24V BiCMOSロジックとともに、Nch・Pchの600V高圧小信号MOSを共用するものである。表2にBiCMOSの諸特性を、図3にHVICのチップ写真を示す。

4. 機能と特長

4.1 ASIPMの機能

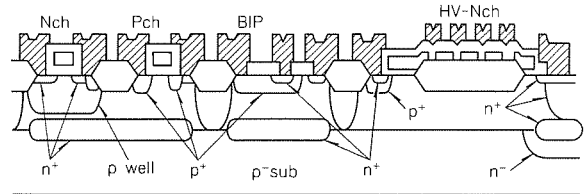


図2. 600V接合分離形HVICの断面図

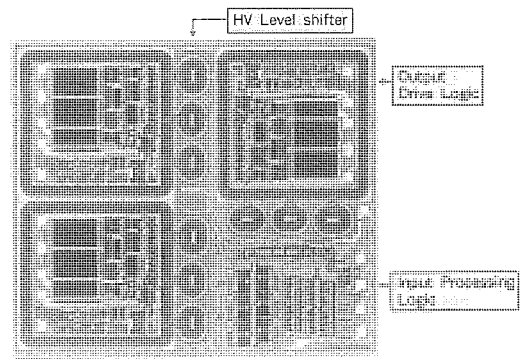


図3. HVICのチップ写真

表2. BiCMOSの諸特性

CMOS	Nch	$V_{bss} = 24V, V_{th} = 0.7V$ $V_{bss} = 8V, V_{th} = 0.8V$
	Pch	$V_{bss} = -24V, V_{th} = -0.75V$ $V_{bss} = -8V, V_{th} = -0.75V$
B_{IP}	npn	$V_{CES} = 24V, h_{FE} = 60$
	pnP	$V_{CES} = -24V, h_{FE} = 60$
HV-MOS	Nch	$V_{bss} = 600V, V_{th} = 3.0V$
	Pch	$V_{bss} = -600V, V_{th} = -0.75V$

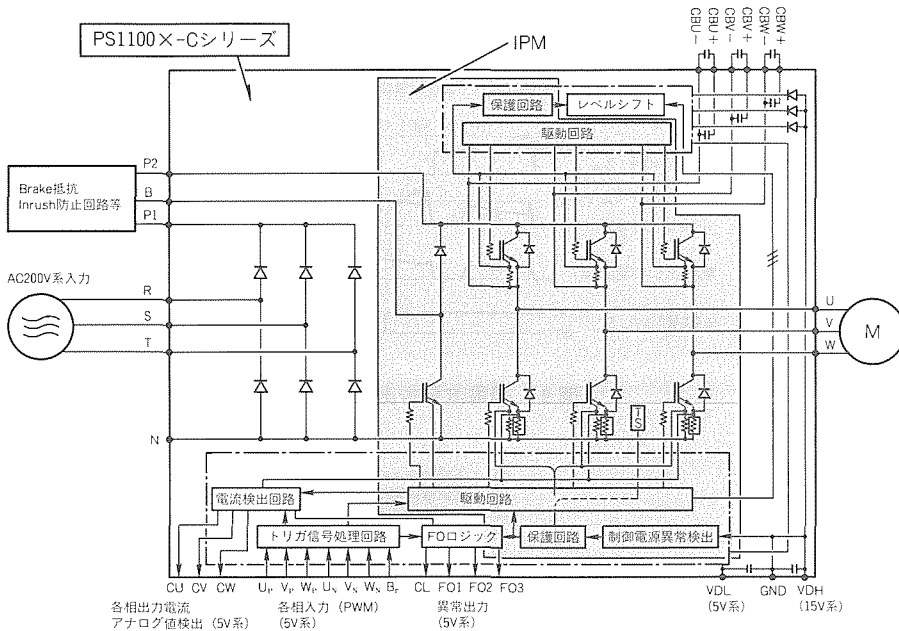


図4. PS1100x-Cシリーズ内部ブロック図

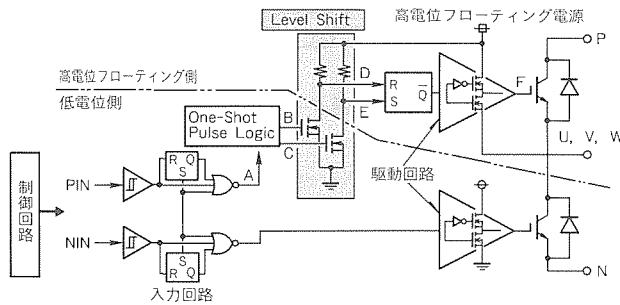


図5. 高圧レベルシフト回路

ASIPMの機能と特長は次のとおりである。なお、図4に内部構成ブロック図を示す。

- (1) パワー回路部
 - (a) 三相コンバータ回路内蔵
 - (b) モータ回生時のダイナミックブレーキ回路内蔵
 - (c) 低損失、高速三相IGBTインバータ回路内蔵
- (2) 駆動・保護・システム制御機能部
 - (a) P側IGBT用として、駆動回路、短絡保護回路、単電源駆動用ブートストラップ回路及び電圧低下保護回路、高圧レベルシフト回路
 - (b) N側IGBT用として、駆動回路、過電流保護回路、制御電源異常(UV/OV)保護回路、システム過熱保護回路、同時入力処理用インタロック回路、過電流警告信号出力回路
 - (c) ブレーキIGBT用の駆動回路
 - (d) 異常検出出力の識別機能(異常電流、異常電圧、過熱)
 - (e) システムコントロール用としての三相インバータ出力電流アナログ値検出

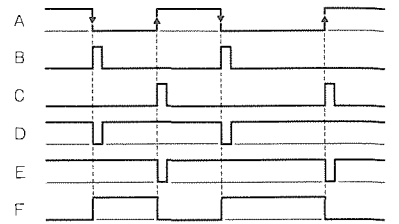


図6. 高圧レベルシフトタイミングチャート

(f) IGBT駆動電源としてDC 15V単電源

4.2 各機能の特長

4.2.1 高圧レベルシフト回路

高圧レベルシフト回路は、マイコンからの低圧の入力信号をラッチ回路と高圧素子で構成されたレベルシフト回路を経て、電圧レベルをフローティングの分離島側へ信号伝達させるものである。

したがって、従来マイコンとの絶縁用としてカプラを6~8個使用していたものが不要となり、システムの小型化に寄与できるとともにカプラの遅延時間も考慮する必要がなくなるため、高速通信化が可能となり、動作の効率化が図れる。図5、図6に高圧レベルシフトの回路とタイミングチャートを示す。上アームの入力信号(PIN)に対し、入力回路を経由して、ワンショット回路でオン(B: "H"→"L")とオフ(C: "L"→"H")の過渡時のみを感知する。レベルシフト回路で低電位側から高電位フローティング側へ信号レベルを変換し、ラッチ回路でIGBT駆動回路へ伝達することにより、IGBTゲートに所定の信号を出力する。ワンショット回路を用いることで、レベルシフト素子の低損失が図れ、回路の簡素化と高信頼性が得られる。

4.2.2 ブートストラップ回路

ASIPMに高耐圧高速ダイオードとフィルタ用コンデンサ及び低耐圧高速ダイオードで構成された回路を内蔵しているので、制御方法に合った最適なアルミ電解コンデンサを外部端子に接続するだけで、従来4電源必要であった制御電源がN側単電源の供給で可能となり、装置の小型化が実現できる。図7、図8にブートストラップ回路と充電シーケンスを示す。PWM動作開始前にP側のコンデンサを十分に充電する必要があるN側に入力信号を印加するだけで、単電源化が可能となる。

4.2.3 各種保護機能

PS1100x-Cシリーズは、従来のIPMの保護機能に加えて同時入力処理用インタロック機能を追加しており、更に高機能・高信頼性を実現している。

(1) 過電流警告信号出力機能(CL)

N側IGBTのエミッタと負極間に接続された出力電流検

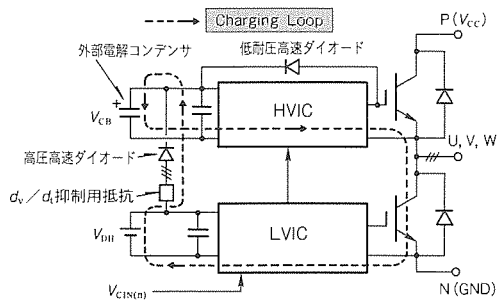


図7. ブートストラップ回路

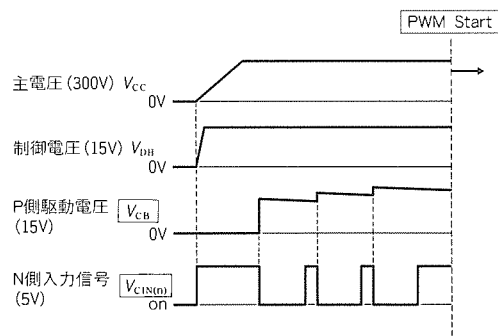


図8. 充電シーケンス

出抵抗が出力電流を常時監視しており、各IGBTにCL検出電流値 ($\pm I_{OL}$) 以上の電流が検出されれば、入力信号に関係なく外部に過電流警告信号を出力する。その際、IGBTは遮断せずに動作を続けるので、出力電流を入力信号で制御すれば、インバータを停止することなく連続動作が可能である。

内部にフィルタ (1~2 μ s程度) があるので、スイッチング時のリカバリ電流などではCL出力はしない。図9に過電流警告出力タイミングチャートを基に動作シーケンスを示す。

(2) 制御電圧異常保護 (過電圧保護: OV, 電圧低下保護: UV)

N側共通制御電源には、過電圧保護及び電圧低下保護機能があり、オートリセットとFO2端子による異常検出出力を備えている。保護動作時は、ブレーキ回路を含む7素子すべての入力を受け付けなくなる。また、P側駆動用電圧に対しては電圧低下保護機能を内蔵しており、異常時は該当相のIGBTのみ入力を受け付けない。N側及びP側とも一定時間幅以下 (10 μ s程度) の電圧異常であれば制御回路動作に影響しない。図10の制御電圧異常保護タイミングチャートを基に動作シーケンスを示す。

(3) 同時入力処理用インタロック機能

同相上下アームに同時に入力信号が入った場合、先に入力された信号に対して該当アームのIGBTのゲートを遮断し、後に入力された信号に対してはIGBTへの出力を行わず、それと同時にFO1端子から異常検出出力をする。また、オートリセット機能も備えており、上下両アームのIGBTゲ

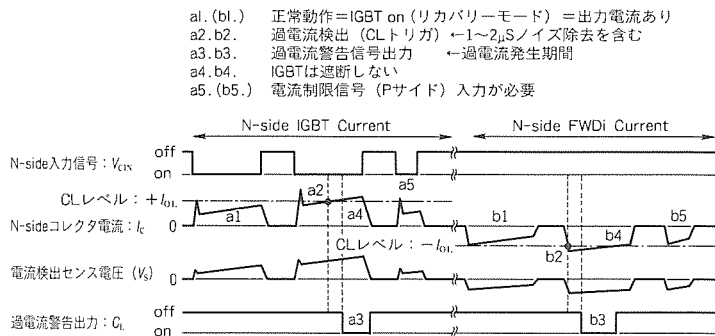


図9. 過電流警告出力タイミングチャート

- a1. 正常動作=IGBT on(リカバリモード)=出力電流あり
- a2. b2. 過電流検出 (CLトリガ) \leftarrow 1~2 μ Sノイズ除去を含む
- a3. b3. 過電流警告信号出力 \leftarrow 過電流発生期間
- a4. b4. IGBTは遮断しない
- a5. (b5.) 電流制限信号 (Pサイド) 入力が必要

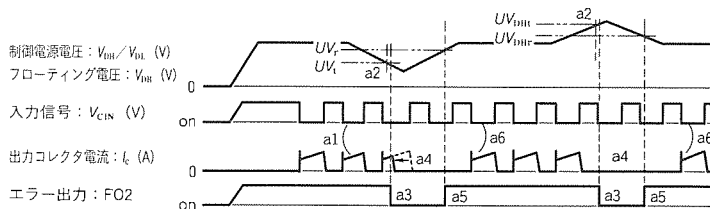


図10. 制御電圧異常保護タイミングチャート

- a1. 正常動作=N側入力信号on \rightarrow N側IGBTゲート on
- a2. 正常動作=P側入力信号onトリガ \rightarrow P側IGBTゲート立ち上がり
- a3. P側on信号入力中 \rightarrow N側入力信号on \rightarrow N側IGBT出力なし
- a4. P側IGBTゲート遮断
- a5. FO1出力開始 \rightarrow 上下アーム入力onトリガの遅いタイミングでリセット
- a6. N側入力信号on \rightarrow N側IGBT出力なし
- a7. P側入力信号on \rightarrow P側IGBT出力あり \leftarrow 上下アーム入力信号の遅いタイミング
- a8. FO1リセット
- a9. 正常動作

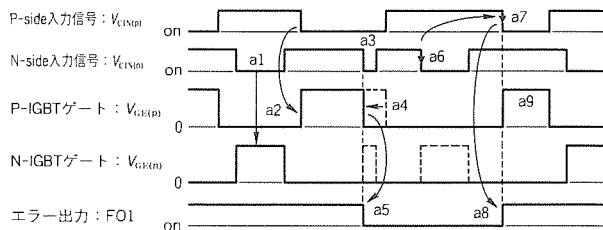


図11. 上下アーム同時入力処理用インタロックタイミングチャート

ートが“Low”となった時点でラッチし、次に上アーム又は下アームの入力信号が“H”から“L”(矢印 \downarrow)となるいずれかの遅いタイミング (bのトリガ) で異常検出出力をリセットする。図11に、上下アーム同時入力処理用インタロックタイミングチャートを基に動作シーケンスを示す。

(4) 短絡保護 (SC)

各アームの順方向コレクタ電流をIGBTチップ内蔵の電流センサで検出してSCトリップレベルを超える電流が流れたとき、過電流及び短絡状態と判定し、IGBT (ブレーキ以外) を即自己遮断する。このとき発生するサージ電圧を抑えるために、緩やかにIGBTゲートを遮断 (ソフト遮断) させ

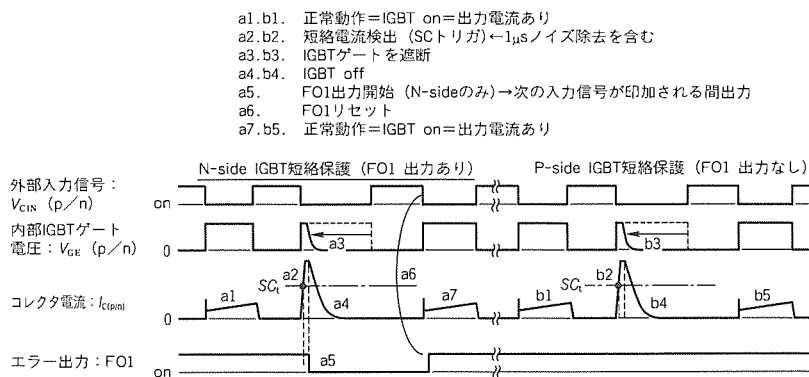


図12. 短絡保護動作タイミングチャート

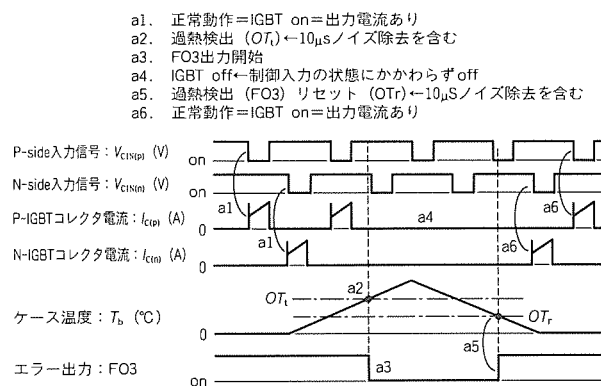


図13. システム過熱保護タイミングチャート

ている。異常検出出力は、N側IGBTに電流異常が発生したときに出力し、次の入力信号がオンレベルに達するまでの期間出力し続ける。リセットは、Pulse-by-pulse方式を採用している。図12の短絡保護動作タイミングチャートを基に動作シーケンスを示す。

(5) システム過熱保護 (OT)

過熱状態は、ベース板がOTトリップレベル異常となつてからOTリセットレベル以下となるまでで判断する。オートリセットとFO3端子による異常検出出力を備えている。保護動作時は、ブレーキ回路を含む7素子すべての入力を受け付けない。図13のシステム過熱保護タイミングチャートを基に動作シーケンスを示す。

4.2.4 インバータ出力電流アナログ値検出機能

図14, 図15にインバータ出力電流アナログ値検出機能の回路とタイミングチャートを示す。各N側IGBTのエミッタと負極間に接続された出力電流検出抵抗によって出力電流を常時監視しており、N側IGBTの入力信号立ち下がりから $t_{d(read)}$ 遅延した出力電流を読み取り、オフになるとその直前の出力電流のデータを次の入力信号が入る t_{hold} の間保持する。さらに次の入力信号に応じた電流値をホールドした値から続けて出力する。

出力電流 (I_c) を電流検出抵抗によってセンス電圧 ($V_s = I_c \times R_s$) に変換し、Amp1によってセンス電圧 (V_s) は

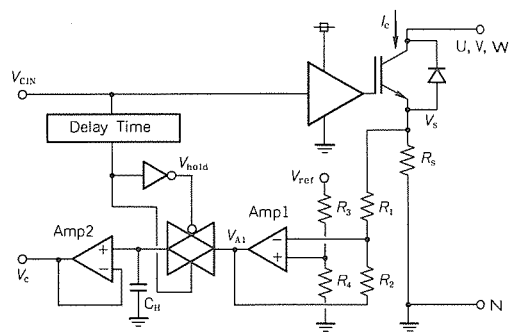


図14. インバータ出力電流アナログ値検出回路

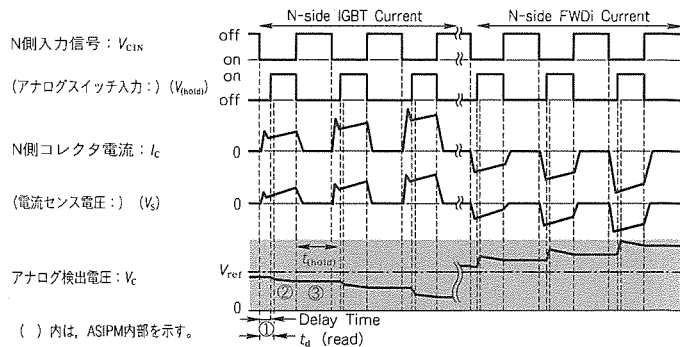


図15. インバータ出力電流アナログ値検出機能タイミングチャート

$$[V_{A1} = (V_{ref} \times \frac{R_1}{R_3 + R_4} - V_s) \times \frac{R_2}{R_1}]$$

に増幅させる。入力信号 (V_{cin}) からディレイを追加したホールド信号 (V_{hold}) によってアナログスイッチをON/OFFさせて、コンデンサ (C_H) がインバータ出力アナログ電流に追随するか、充電電圧を保持するかを制御する。そして、Amp2による電圧バッファによってコンデンサ (C_H) の電圧を外部に出力してアナログ電圧 (V_c) とする。

5. ASIPMの特性と外観

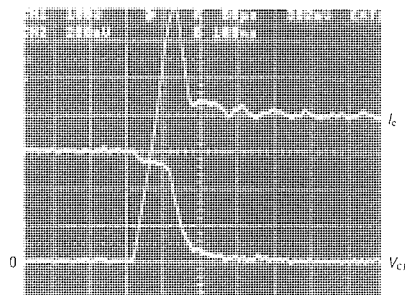
表3に主な特性を示す。デッドタイムは高圧レベルシフト回路内蔵によって絶縁素子の遅れ時間などが必要でないため、高速応答が可能となっている。図16に0.4kW/AC220V用PS11003-Cの誘導負荷スイッチング波形を示す。図17に三相インバータ出力電流アナログ値検出信号を示す。出力電流に対して精度良くアナログ値信号を出力しているのが分かる。実際は出力電流と反転したアナログ値信号を出力するが、出力電流との比較のため出力電流に合わせた。図18に過電流時のソフト遮断波形を示す。ソフト遮断効果によってターンオフサージ電圧が低減されている。図19にASIPMの外観を示す。

6. むすび

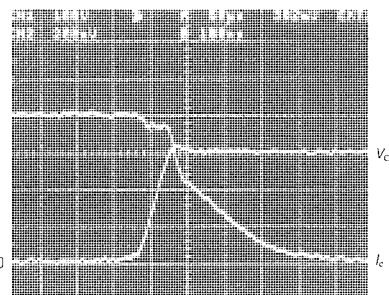
以上、小容量モータ駆動用として開発したASIPM PS

表3 0.4kW/AC200V ASIPMの定格及び諸特性

Symbol	Parameter	Condition	Rating/Characteristics
V_{CES}	コレクタ-エミッタ間電圧		600V max.
$V_{CE(sat)}$	コレクタ-エミッタ間飽和電圧	$V_{DH}=15V, V_{DL}=5V, V_{CIN}=0V$ $I_c=8A, T_j=25^\circ C, Pulsed$	2.9V max.
V_F	FWDi順電圧降下	$-I_c=8A, T_j=25^\circ C$	2.9V max.
V_{FR}	Conv.電圧降下	$-I_{FR}=5A, T_j=25^\circ C$	1.5V max.
t_{on}/t_{off}	スイッチング時間	$V_{ce}=300V, V_{DH}=15V, V_{DL}=5V$ $T_j=125^\circ C, V_{CIN}=0 \leftrightarrow 5V, I_c=8A$	0.6/1.1 μs typ.
$+V_{C(100\%)/}$ $-V_{C(100\%)}$	インバータ出力電流アナログ値 検出電圧 (100%負荷時)	$V_{DH}=15V, V_{DL}=5V,$ R負荷, $I_c=4.24A (I_o=3Arms)$	$T_c=-20^\circ C$ 1.65V/2.76V typ. $T_c=25^\circ C$ 1.64V/2.74V typ. $T_c=100^\circ C$ 1.60V/2.70V typ.
t_{dead}	上下アーム休止時間	各相入力対応	2.2 μs min.
f_{PWM}	PWM制御入力周波数	3 ϕ sinusoidal	2~20kHz
UV/OV	制御電源電圧保護レベル	$T_j \leq 125^\circ C$	13.0/20.0V typ.
OT	過熱保護レベル	$V_{DH}=15V, V_{DL}=5V$	110 $^\circ C$ typ.
SCt	短絡保護レベル	$T_j \leq 125^\circ C, V_{DL}=5V, V_{DH}=15V$	24.0A typ.
I_{CL}	過電流警告検出電流値	$V_{DH}=15V, V_{DL}=5V, T_c \leq 100^\circ C$	10.8A typ.



条件: $V_{ce}=300V, V_{DH}=V_{DL}=15V, I_c=8A, T_j=125^\circ C$
 $I_c: 2A/div, V_{ce}: 100V/div, t: 100ns/div$

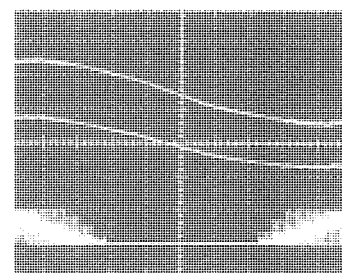


条件: $V_{ce}=300V, V_{DH}=V_{DL}=15V, I_c=8A, T_j=125^\circ C$
 $I_c: 2A/div, V_{ce}: 100V/div, t: 100ns/div$

(a) ターンオン

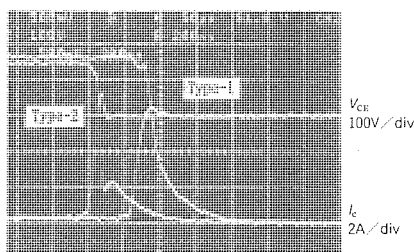
(b) ターンオフ

図16. PS11003-Cの誘導負荷スイッチング波形



上: ASIPMのアナログ値検出信号 (5V/div)
中: 出力電流波形 (5A/div)
下: ASIPMへの入力信号 (5V/div)

図17. インバータ出力電流アナログ値
検出信号波形(0.4kW/AC200V)



Type-1: 過電流保護遮断波形
Type-2: 遮断直前波形

図18. 過電流ソフト遮断動作波形

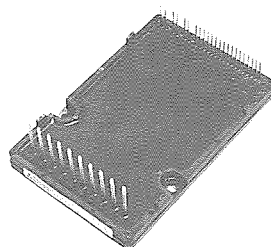


図19. ASIPMの外観 (0.1kW,
0.2kW, 0.4kW用ASIPM)

急速に成長することが予想される。AC 400V用HVICの開発、新構造IGBTチップの開発、さらにシステムの高信頼性を図るための専用ICの開発と新パッケージの開発、これらを最適に併用することによってあらゆる応用においてパワーモジュールの理想的な姿が確立するであろう。

参考文献

- (1) Majumdar, G., et.al.: Application Specific IPM for Low Power - end Motor Drives, ISPSD'95, 207~211 (1995)
- (2) Majumdar, G., et.al.: Application Specific Intelligent Power Modules(ASIPMs)for Low Power Motor Control, PCIM'95, 155~162 (1995)
- (3) 森 敏, ゴーラフ マジユムダール, 波多江慎治: 小容量モータ駆動用ASIPM, 平成8年電気学会全国大会, 4-758 (1996)

1100×-Cシリーズ(AC200V, 0.1~1.5kW)の機能・特長について述べた。その成果は次のとおりである。

- (1) HVIC絶縁技術の確立によって、絶縁素子レス化に伴い高速応答の実現で小型・高効率化へ寄与できた。
- (2) パワーチップ、保護機能、システム制御機能の充実で高速・高信頼性制御を実現できた。

ASIPMシリーズの開発は、パワーエレクトロニクスの分野で大きな進歩といえる。また、将来の電力変換分野のより一層の可能性の道を開くであろう。今後、このような構想は

トレンチ構造 P チャネルパワー-MOSFET

福持泰明* 梶崎敦司***
 矢野光洋** 浜地浩秋***
 幡手一成*

要旨

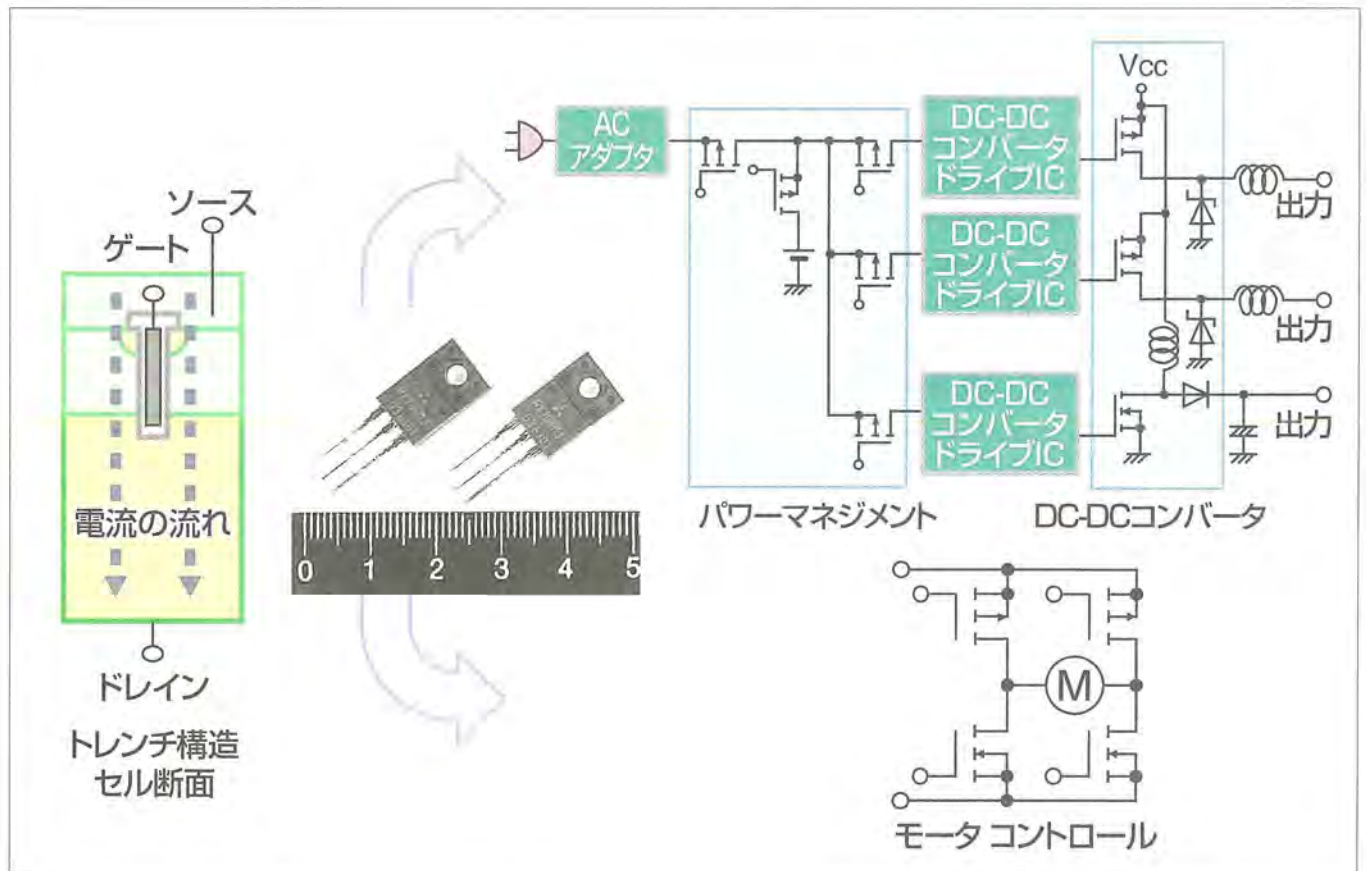
Pチャネル (Pch) 低耐圧パワー-MOSFETは、プリンタ・複写機・FAX等のDC-DCコンバータや低圧モータ制御など広範囲に使用されており、このデバイスの需要は年々確実に増加している。これら用途は、携帯時間・動作時間を長くしたいという市場要求から、高効率化と機器の小型化を目指し、より低オン抵抗の性能が求められている。

また最近では、Pch低耐圧パワー-MOSFETの新しい用途として、電池応用機器のノートブックパソコン・携帯電話・カメラ一体形VTRなどに使用されているパワーマネジメント回路が現れている。

パワーマネジメント回路とは、電池のエネルギーを有効活用するための回路であり、電子機器の使用されていない

システムを主回路から切り離し、システムの電流などで無駄に使用されるエネルギーをなくすための回路である。この電池とシステムの間に入っているスイッチにPch低耐圧パワー-MOSFETが使用されている。このため、使用するスイッチのオン抵抗が高いとスイッチ部分で発熱してエネルギー損失が発生するため、Pchパワー-MOSFETには低オン抵抗が強く求められている。

今回、これらの要求にこたえるため、トレンチゲートを持つ低オン抵抗のPch低耐圧パワー-MOSFETの開発を行い、TO-220Fの外形で、耐圧30Vでオン抵抗12.3mΩ(最大)のFA70KMJ-03を製品化させ、また264品種のシリーズ化も同時に行った。



トレンチ構造Pchパワー-MOSFETの応用回路

トレンチゲート構造技術の確立により、業界トップレベルの低オン抵抗Pchパワー-MOSFETの開発に成功した。これにより、各種携帯機器の高効率化・小型化に貢献できるものとする。

1. ま え が き

Pch低耐圧パワー MOSFETは、プリンタ・複写機・FAXなどのDC-DCコンバータ回路や低圧モータ制御などに加え、ノートブックパソコン・携帯電話・カメラ一体形VTRといった近年急成長している電池応用機器のパワーマネジメント回路に使用されている。

これら用途は、携帯時間・動作時間を延ばす市場要求から、高効率化と機器の小型化を目指し、より低オン抵抗の性能が求められている。

今回、これらの要求にこたえるため、トレンチゲートを持つ低オン抵抗のPch低耐圧パワー MOSFETの開発を行った。その結果、FX70KMJ-03(70A, 30V, 4V駆動, 12.3mΩ(最大), TO-220F外形)を製品化させ、また同時に264品種のシリーズ化も行った。

本稿では、今回開発したPch低耐圧パワー MOSFETと従来のパワー MOSFETのチップ構造の違いと特長、組立構造、主要電気的特性について述べる。

2. トレンチ構造Pchパワー MOSFETのチップ構造と特長

2.1 チップ構造

図1にトレンチ構造Pchパワー MOSFETのチップ断面構造を示す。基板表面にはp⁺のソース電極層があり、その下にnベース層を突き抜けたストライプ状のトレンチゲートが約4μm間隔で形成されている。基本構造はトレンチ構造Nchパワー MOSFETのチップ断面構造⁽¹⁾と同様であり、nとpとの極性が反転しているだけである。

MOSFETの動作は、トレンチ内に埋め込まれたポリシリコンのゲート電極をnベース層に対して負電位にするとゲート酸化膜を介したnベース層の界面がP形領域に反転してチャンネルができ、電流がp⁺ソース層 → チャンネル領域 → p⁻エピタキシャル層 → p⁺基板の経路で流れる。

2.2 特 長

パワー MOSFETの特性の中で最も重要な特性はオン抵抗($R_{DS(on)}$)である。したがって、パワー MOSFETを製品開発する上での最優先課題は、オン抵抗を低減することである。オン抵抗はキャリアが移動する経路の抵抗総和で表される。パワー MOSFETのオン抵抗を幾つかの抵抗要素に大別すると、

$$R_{DS(on)} = R_{ch} + R_{JFET} + R_{ac} + R_{p-} + R_{p+} + \dots \quad (1)$$

となる。 R_{ch} はチャンネル抵抗、 R_{JFET} は接合型FET抵抗、 R_{ac} はキャリアの蓄積抵抗、 R_{p-} はp⁻エピタキシャル層の抵抗、 R_{p+} は

p⁺基板の抵抗である。

図2(a)は、トレンチ構造パワー MOSFETのチップ断面構造と比較するために示した、従来構造Pchパワー MOSFETのチップ断面構造図である。従来構造パワー MOSFETでは、オン抵抗の抵抗要素のうちの R_{JFET} に注意しておかなければならない。なぜならば、図3に示すように、従来構造パワー MOSFETは、nベース層の両端が四分円になると近似するゲート電極直下から八分円までのnベース層に囲まれた部分に、接合型FET効果が存在するためである⁽²⁾。つまり、ゲート長を短くしていくとnベース層の距離も短くなるためにオン電流の経路が狭くなってしまい、 R_{JFET} が増加する。さらに、従来構造を採用する限りでは、微細化によるセル密度の向上にも限界があるため、 R_{ch} も減少させることができなくなってしまう。

これに対してトレンチ構造 MOSFETでは、図2(b)に示すようにオン電流の経路が狭くなる領域がなくなるため、

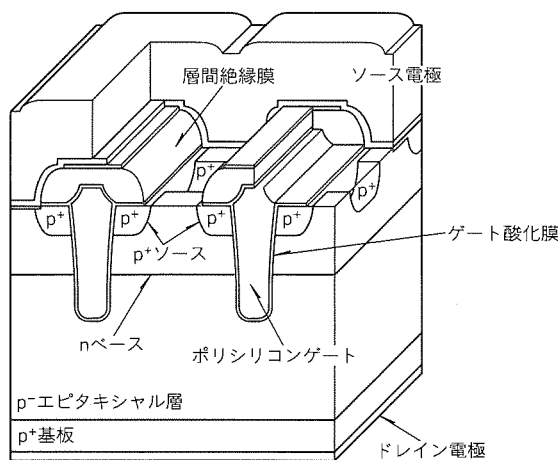
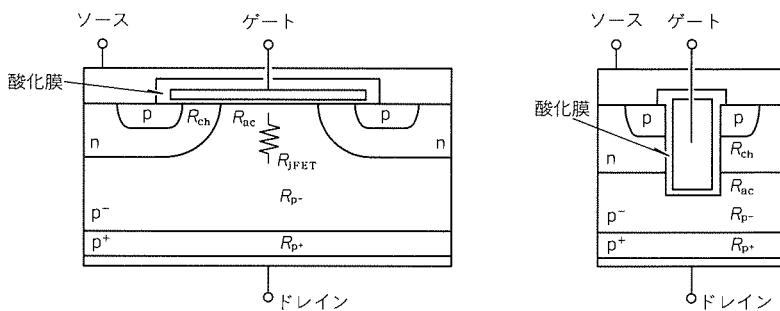


図1. トレンチ構造Pchパワー MOSFETのチップ断面構造



(a) 従来構造 (b) トレンチ構造

$$R_{DS(on)} = R_{ch} + R_{JFET} + R_{ac} + R_{p-} + R_{p+}$$

抵抗成分 (%)	従来構造	20	25	8	36	11
	新構造	9	0	1	58	32

(60Vクラスの製品で比較)

図2. Pchパワー MOSFETのチップ断面構造比較

R_{jFET} がゼロとなる。さらに、トレンチ構造 MOSFET は、オン電流の経路が狭くなる領域がなくなるため、加工技術の限界までセルピッチを縮小することができる。このチップは、1 μm ルールを適用して、従来構造に比べて約3倍のセル密度向上を図っている。トレンチ構造 Pch パワー MOSFET は、その特長的な構造により、オン抵抗の抵抗要素のうち R_{jFET} と R_{ch} が低減できる。したがって、オン抵抗のうち R_{jFET} と R_{ch} の抵抗要素を占める割合が高い 150 V 以下の低耐圧クラスの Pch パワー MOSFET においては、トレンチ構造を採用することがオン抵抗低減のために非常に有効となる。

3. トレンチ構造 Pch パワー MOSFET チップの特性改善

3.1 オン抵抗の改善

低耐圧クラスのパワー MOSFET のオン抵抗を低減するためには、オン抵抗要素のうち R_{ch} の低減が有効である。

R_{ch} は、

$$R_{ch} = \frac{1}{(W/L)\mu_{eff}C_{ox}(V_{GS} - V_{th})} \dots\dots\dots (2)$$

で表わされる⁽²⁾。ここで、 W はチャネル幅、 L はチャネル長、 μ_{eff} はキャリアの移動度、 C_{ox} はゲート絶縁膜の容量、

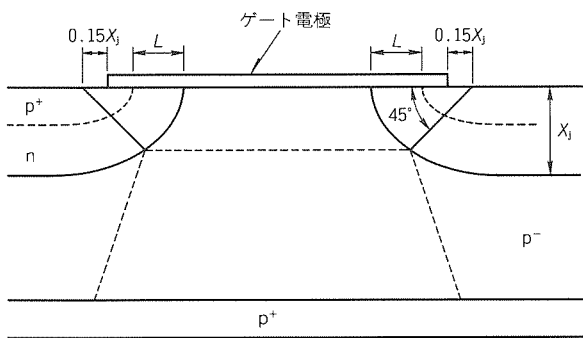


図 3. R_{jFET} 及び R_{p-} のモデル

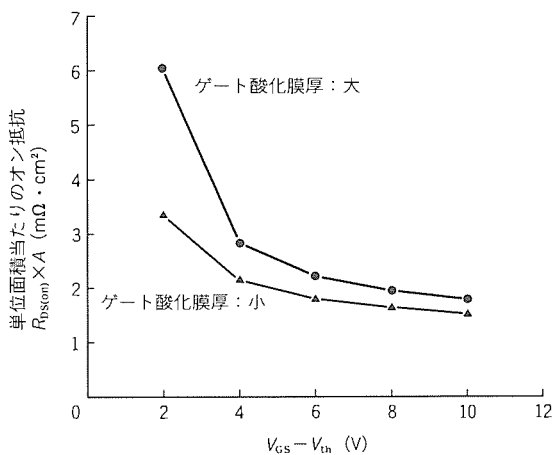


図 4. オン抵抗の $(V_{GS} - V_{th})$ 依存性

V_{GS} はゲート-ソース間電圧、 V_{th} は MOSFET がオンするときのゲート-ソース間しきい値電圧である。前述したように、トレンチゲート構造を採用する限りでは、加工技術の限界までセルピッチを縮小してセル密度を向上することにより、 W 値は大きくでき、 R_{ch} が低減できる。さらに、 R_{ch} を低減するためには、ゲート絶縁膜の容量を大きくすることが有効であることが分かる。

図 4 は、トレンチ構造 Pch パワー MOSFET について、図 5 のドレイン-ソース間電流 (I_{DS}) に対するドレイン-ソース間電圧 (V_{DS}) の出力特性を基に、ゲート絶縁膜の厚みを振り分けたときのオン抵抗の $(V_{GS} - V_{th})$ 依存性を示したものである。これを見ると、ゲート絶縁膜の薄膜化によって C_{ox} 値が大きくなり、特に低 V_{GS} 側でのオン抵抗値が低減できることが分かる。

3.2 ゲート-ソース間破壊電圧値の向上

前述したように、低 V_{GS} 側でのオン抵抗値低減にはゲート絶縁膜の薄膜化が有効であることから、トレンチ構造におけるゲート絶縁膜のゲート-ソース間破壊電圧値の向上は不可欠である。トレンチゲート構造におけるゲート絶縁膜は、トレンチの側面に沿って形成されるため、その幾何学的形状のために発生する電界集中により、ゲート絶縁膜破壊が問題となる。

今回、トレンチ形成工程のプロセスの最適化によって、トレンチ側面のマイクロラフネスの平滑化とトレンチ開口部のゲート絶縁膜の厚膜化を行い、ゲート-ソース間破壊電圧値を平面構造と同等レベルにまで向上させることができた。

4. 組立構造

図 6 は、トレンチ構造 Pch パワー MOSFET チップを絶縁シート等の外部絶縁の不要な TO-220 F パッケージに搭載した FX 70 KMJ-03 の外観である。図 7 はその内部構造である。パッケージ抵抗を低減するために、ソースアルミワ

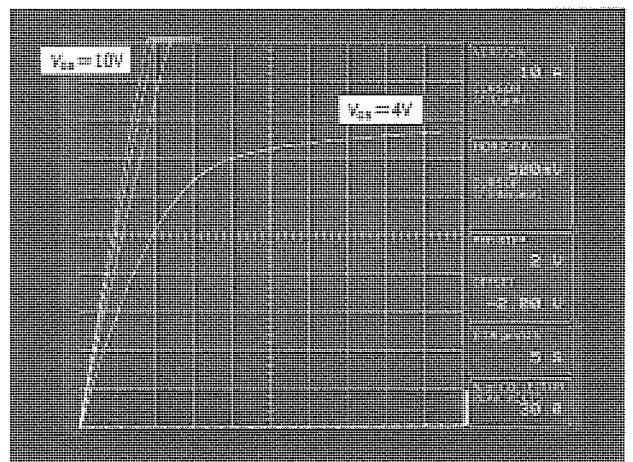


図 5. ドレイン-ソース間電流 (I_{DS}) 対ドレイン-ソース間電圧 (V_{DS}) 出力特性

ワイヤ径を $400\ \mu\text{m}$ に太線化している。さらに、チップソース電極パターン上にソースアルミワイヤ2本をトリプルステッチボンダし、ソースアルミワイヤを多本化・多ステッチ化していることが特長である。ソースアルミワイヤ径の太線化は、ワイヤボンダ装置のフレーム押さえ構造の変更とワイヤボンダ条件の最適化により、フレーム側ステッチパッドのステッチエリアの拡大ができたためである。さらに、ソースアルミワイヤの多本化・多ステッチ化は、認識カメラの倍率アップとチップに特殊認識マークを入れて認識精度を上げることによって可能となった。

以上、内部リードアルミ線の太線化と内部リードアルミ線の多本化・多ステッチ化によって、TO-220 Fパッケージのパッケージ抵抗を約30%低減できた。

5. 電気的特性

パワーMOSFETの最も重要な電気的特性はオン抵抗値である。図8に、トレンチ構造PchパワーMOSFETゲート電圧 $-4\ \text{V}$ 駆動品のオン抵抗と耐圧との相関を示す。比

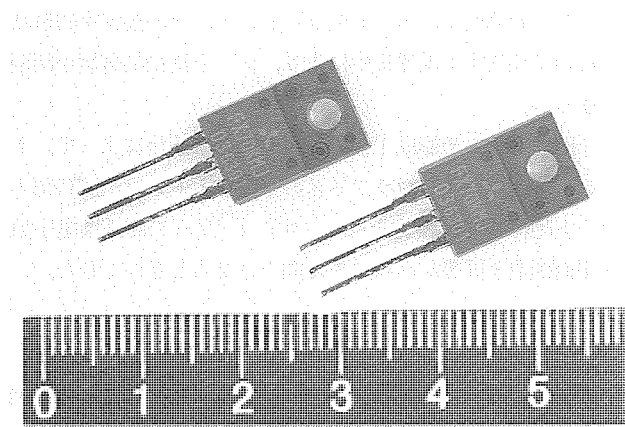


図6. FX70KMJ-03の外観

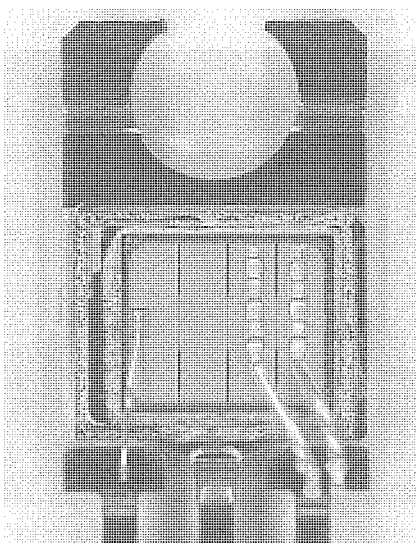


図7. FX70KMJ-03の内部構造

較として、従来構造のNchパワーMOSFETとPchパワーMOSFETも示す。従来構造PchパワーMOSFETのオン抵抗値は、従来構造NchパワーMOSFETに比べて耐圧クラスによって異なるが、約2~4倍となっていることが分かる。これは、シリコンにおける電子と正孔とのキャリア移動度の違いから生じている。しかし、トレンチ構造PchパワーMOSFETは、トレンチゲート構造の適用によるチップのオン抵抗低減と組立構造の改善によるパッケージ抵抗の低減を図ったことにより、従来構造のPchパワーMOSFETに比べて、約50%のオン抵抗が低減できている。このことから、今回のトレンチ構造PchパワーMOSFETは、従来構造NchパワーMOSFETのオン抵抗値の約1.5倍にまで近づくことができた。

表1にトレンチ構造PchパワーMOSFETであるFX70KMJ-03の主な最大定格を、表2には主な電気的特性を示す。

6. 製品シリーズ化

今回開発に成功した低オン抵抗のトレンチ構造PchパワーMOSFETでは、DC-DCコンバータや低圧モータ制御及びパワーマネジメント回路など、各用途別に広範囲に使用できるように264製品のシリーズ化を同時に行った。表3は、今回製品シリーズ化した中で、ゲート電圧 $-4\ \text{V}$ 駆動品の定格電流(I_{DS})と耐圧クラス(V_{DSS})を示すI-V一覧である。定格電流値は $-1\ \text{A}$ から $-70\ \text{A}$ まで、耐圧値は $-30\ \text{V}$ か

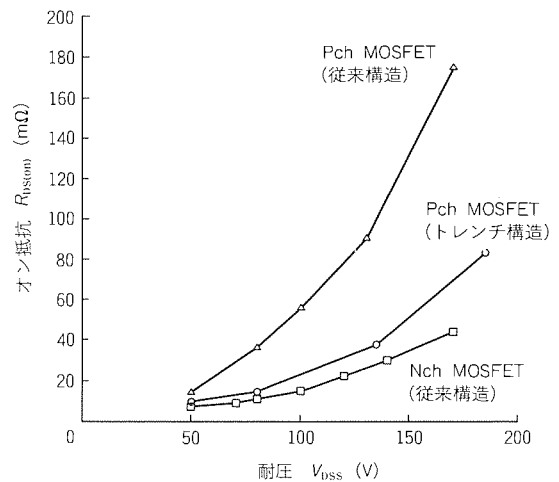


図8. ゲート電圧 $-4\ \text{V}$ 駆動品のオン抵抗対耐圧

表1. FX70KMJ-03の主要最大定格値 ($T_c = +25^\circ\text{C}$)

項目	記号	条件	定格値
ドレイン-ソース間電圧	V_{DSS}	$V_{GS}=0\ \text{V}$	$-30\ \text{V}$
ゲート-ソース間電圧	V_{GSS}	$V_{DS}=0\ \text{V}$	$\pm 20\ \text{V}$
ドレイン電流	I_D	—	$-70\ \text{A}$
ドレイン電流 (パルス)	I_{DM}	—	$-280\ \text{A}$
アバランシ電流 (パルス)	I_{DA}	$L=10\ \mu\text{H}$	$-70\ \text{A}$


表 2. FX70KMJ-03の主要電気的特性値 ($T_c = +25^\circ\text{C}$)

項目	記号	測定条件	標準値
ゲート-ソース間しきい値電圧	$V_{GS(th)}$	$I_D = -1\text{mA}$, $V_{DS} = -10\text{V}$	-1.8V
ドレイン-ソース間オン抵抗	$R_{DS(on)}$	$I_D = -35\text{A}$, $V_{DS} = -10\text{V}$	10m Ω
入力容量	C_{iss}	$V_{DS} = -10\text{V}$	11,140pF
出力容量	C_{oss}	$V_{GS} = 0\text{V}$	2,300pF
帰還容量	C_{rss}	$f = 1\text{MHz}$	1,000pF
ターンオン遅延時間	$t_{d(on)}$	$V_{DD} = -15\text{V}$	85ns
立上り時間	t_r	$I_D = -35\text{A}$	228ns
ターンオフ遅延時間	$t_{d(off)}$	$V_{GS} = -10\text{V}$	751ns
下降時間	t_f	$R_{GEN} = R_{GS} = 50\Omega$	360ns


表 3. ゲート電圧-4V駆動品の定格電流と耐圧クラス一覧

耐圧クラス 定格電流	-30V	-60V	-100V	-150V
-1A	—	—	—	◇FX1ASJ-3 ●FX1KMJ-3 ○FX1UMJ-3 △FX1VSJ-3 (2.6 Ω)
-3A	—	◇FX3ASJ-06 ●FX3KMJ-06 ○FX3UMJ-06 △FX3VSJ-06 (0.46 Ω)	◇FX3ASJ-2 ●FX3KMJ-2 ○FX3UMJ-2 △FX3VSJ-2 (1.3 Ω)	◇FX3ASJ-3 ●FX3KMJ-3 ○FX3UMJ-3 △FX3VSJ-3 □FX3SMJ-3 (1.2 Ω)
-6A	◇FX6ASJ-03 ●FX6KMJ-03 ○FX6UMJ-03 △FX6VSJ-03 (0.29 Ω)	◇FX6ASJ-06 ●FX6KMJ-06 ○FX6UMJ-06 △FX6VSJ-06 □FX6SMJ-06 (0.21 Ω)	◇FX6ASJ-2 ●FX6KMJ-2 ○FX6UMJ-2 △FX6VSJ-2 □FX6SMJ-2 (0.58 Ω)	◇FX6ASJ-3 ●FX6KMJ-3 ○FX6UMJ-3 △FX6VSJ-3 □FX6SMJ-3 (0.53 Ω)
-20A	◇FX20ASJ-03 ●FX20KMJ-03 ○FX20UMJ-03 △FX20VSJ-03 □FX20SMJ-03 (0.13 Ω)	◇FX20ASJ-06 ●FX20KMJ-06 ○FX20UMJ-06 △FX20VSJ-06 □FX20SMJ-06 (97m Ω)	◇FX20ASJ-2 ●FX20KMJ-2 ○FX20UMJ-2 △FX20VSJ-2 □FX20SMJ-2 (0.26 Ω)	●FX20KMJ-3 ○FX20UMJ-3 △FX20VSJ-3 □FX20SMJ-3 (0.29 Ω)
-30A	◇FX30ASJ-03 ●FX30KMJ-03 ○FX30UMJ-03 △FX30VSJ-03 □FX30SMJ-03 (61m Ω)	●FX30KMJ-06 ○FX30UMJ-06 △FX30VSJ-06 □FX30SMJ-06 (54m Ω)	●FX30KMJ-2 ○FX30UMJ-2 △FX30VSJ-2 □FX30SMJ-2 (0.143 Ω)	●FX30KMJ-3 ○FX30UMJ-3 △FX30VSJ-3 □FX30SMJ-3 (100m Ω)
-50A	●FX50KMJ-03 ○FX50UMJ-03 △FX50VSJ-03 □FX50SMJ-03 (34.5m Ω)	●FX50KMJ-06 ○FX50UMJ-06 △FX50VSJ-06 □FX50SMJ-06 (18.9m Ω)	●FX50KMJ-2 ○FX50UMJ-2 △FX50VSJ-2 □FX50SMJ-2 (50m Ω)	—
-70A	●FX70KMJ-03 ○FX70UMJ-03 △FX70VSJ-03 □FX70SMJ-03 (12.3m Ω)	—	—	—


外形




MP-3
◇FX××ASJ



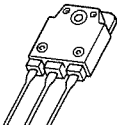
TO-220S
△FX××VSJ



TO-220
○FX××UMJ



TO-220FN
●FX××KMJ



TO-3P
□FX××SMJ

注 (Ω) は, $V_{GS} = -10\text{V}$ 時のオン抵抗最大値を示す

ら-150Vまでのチップを取りそろえ、各チップサイズに応じてTO-3P外形、TO-220系外形、及びMP-3外形に搭載して製品シリーズ化している。同様にして、ゲート電圧-2.5V駆動品と-10V駆動品も取りそろえている。

7. むすび

トレンチ構造 Pch パワー MOSFET について、チップ構造と特長、組立構造、主要電気的特性について述べた。トレンチ構造 Pch パワー MOSFET は、トレンチゲート構造の適用と組立構造の改善により、従来構造 Pch パワー MOSFET のオン抵抗値に対して約 50% 低減でき、低オン抵抗化に成功した。そして、従来構造 Nch パワー MOSFET のオン抵抗値の約 1.5 倍にまで近づくことができた。同時に定格電流値が $-1 \sim -70$ A、耐圧値が $-30 \sim -150$ V、パッケージが TO-3P、TO-220 系、MP-3 の範囲でゲート電圧

が -2.5 V、 -4 V、 -10 V 駆動品のそれぞれについて合計 264 製品のシリーズ化も行っている。

この低オン抵抗トレンチ構造 Pch パワー MOSFET はドライブ回路が簡素化でき、パワーマネジメントスイッチや DC-DC コンバータに適したデバイスとしてその適用が拡大し、またパッケージにおいても、従来 TO-3P 外形が使用されていたところへ一回り小型の TO-220 系外形の適用が可能となり、今後の電子機器の小型化に貢献できる。

参考文献

- (1) 福持泰明, 久本好明, 小野 隆, 檜崎敦司, 吉田英二: トレンチ構造 60 V 耐圧パワー MOSFET, 三菱電機技報, 69, No.3 313~316 (1995)
- (2) 電気学会: パワーデバイス・パワー IC ハンドブック, 139~147 (1996)

新しい物理洗浄技術 “Mジェットスクラバ” によるパーティクル除去

菅野 至* 佐藤一直***
黒田 健**
横井直樹***

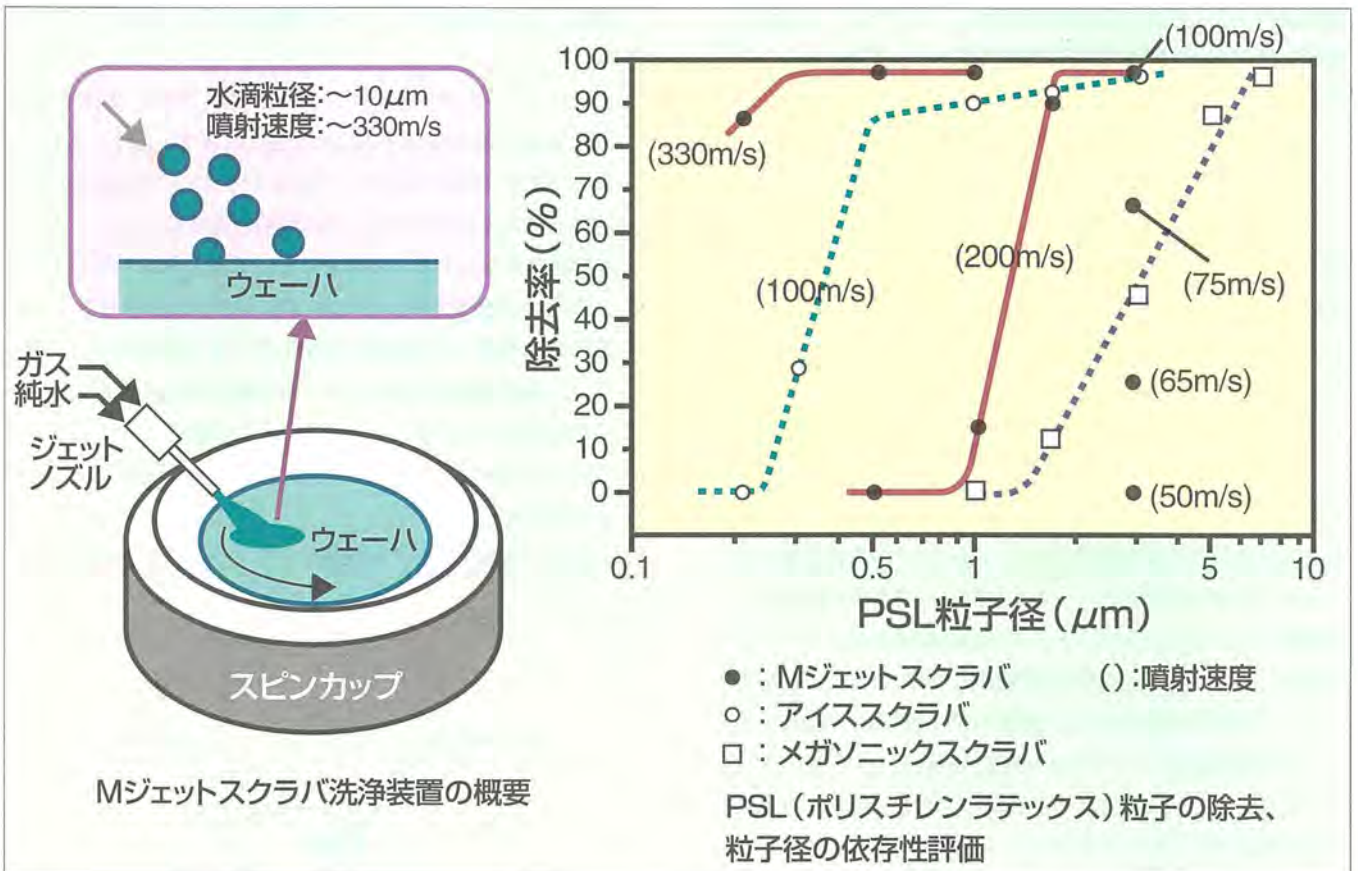
要旨

超LSIの製造工程において、デバイスの歩留りや品質の向上を図るためには、より一層のパーティクルの低減が要求されている。先端デバイスでは、パターンの微細化に伴い、0.1 μm レベルのパーティクルが問題になっている。現在パーティクル除去に広く使用されているメガソニックスクラバ等の超音波洗浄では、この微小パーティクルの除去が困難になってきている。また、超音波洗浄は、その物理力（洗浄力）の制御が難しく、微細パターンに損傷を与える場合がある。

今回、洗浄力が高く、かつ微細パターンへのダメージ制御が容易な新規洗浄方法として、M(ミスト)ジェットスク

ラバを開発した。これは、純水又は薬液の微小液滴をウェーハ上に高速噴射させてパーティクルを除去するもので、液滴の粒子径は約10 μm 、噴射速度は数10~330m/sである。Mジェットスクラバの洗浄力は、液滴の噴射速度を上げることで高められ、0.1 μm レベルのパーティクルの除去が可能である。更に液滴の噴射速度を下げることで、メガソニックスクラバよりも低ダメージの洗浄が可能である。

現在、256MDRAM対応のプロセスへの適用を評価中であり、また薬液と併用した前処理洗浄への応用にも取り組んでいる。



装置の概要と洗浄評価結果

Mジェットスクラバは、加圧したガスと純水（薬液）をジェットノズル内で混合し、ミスト化した微小な水滴を、ガスの噴流とともにウェーハ表面に衝突させてパーティクルを除去する枚葉式洗浄である（左図）。PSL粒子を用いた洗浄評価の結果、Mジェットスクラバの洗浄力は、従来の洗浄法であるメガソニックスクラバより高く、より微小なパーティクルを除去できることが確認された（右図）。

1. ま え が き

超 LSI 製造工程において、デバイスの歩留りや品質の向上を図るためには、より一層のパーティクルの低減が要求されている。最近では、デバイスの微細化に伴い、0.1 μm レベルのパーティクルが問題となっている。各種プロセス装置においてパーティクルを付着させないことが必要だが、付着したパーティクルをいかに除去するかということも重要なテーマである。

現在、一般に用いられているパーティクル除去方法としては、APM (NH₄OH/H₂O₂/H₂O) 等の薬液を使用した化学洗浄法と、超音波洗浄やブラシスクラバ等の物理洗浄法がある。また、APM に超音波を組み合わせた洗浄では、各々の相乗作用によってパーティクル除去効果が高い。問題点として、化学洗浄法では薬品がデバイス材料をエッチングすること、また物理洗浄法では微細パターンに物理的ダメージを与えることが挙げられる。したがって、各々その適用工程が制限され、工程によってこれらを使い分けることが必要である。

以前、我々は微小な氷粒子をウェーハに噴射することでパーティクルを除去するアイススクラバ洗浄法を開発した^{(1)~(3)}。他の洗浄法と比較した結果、アイススクラバは、微小なパーティクルの除去効果が高く、またウェーハ裏面に強固に付着した金属を含む汚染物の除去にも有効であることが確認できた。さらに、洗浄メカニズムの解明を行った結果、アイススクラバのパーティクル除去の原理を利用して、氷粒子の代わりに純水による水滴を用いた M ジェットスクラバを新たに開発した⁽⁴⁾。M ジェットスクラバは、従来の物理洗浄法よりも洗浄力が高く、かつ低コストで適用範囲の広い洗浄法として期待される。今回、他の洗浄法と比較した M ジェットスクラバの評価結果及び洗浄メカニズムについて述べる。

2. M ジェットスクラバの概要

図 1 に M ジェットスクラバ装置の概要模式図を示す。この装置は枚葉式の洗浄装置である。ウェーハの裏面を真空チャッキング又はサイドチャッキングによって水平に保持し、回転させる。そこにジェットノズル内で純水とキャリアガスを混合してミスト化した微小な液滴を、ガスの噴流に載せてウェーハ表面へ衝突させる。液滴の粒子径は約 10 μm であり、噴出速度はキャリアガスの流量 (供給圧力) を変化させることによって最大音速まで制御可能である。通常、液滴に純水を用いているが、酸やアルカリの薬液を使用することも可能である。

3. 洗 浄 評 価

洗浄効果を定量的に見る評価手法として、ウェーハ上に付

着させた PSL (ポリスチレンラテックス) 粒子の除去評価を行った。評価サンプルには、まず RCA 洗浄を施したベアウェーハを PSL 粒子が混入している純水中に浸せき (漬) させて PSL 粒子を付着させ、次にホットプレートによって 120°C で 60 秒間の熱処理を行ったものを使用している。PSL の除去率は、洗浄前後の PSL 粒子数をパーティクル検査機で測定して求めた。エアゾル法による付着でも同様であるが、ベアウェーハ上に付着させただけの PSL 粒子は付着力が弱く、1 μm 以下の粒子でも水洗や従来の洗浄法で簡単に除去されてしまう。最近の超 LSI 製造過程において、ウェーハ上に付着するパーティクルは空気 (クリーンルーム雰囲気) からは少なく、プロセス装置内での発じん (塵) が大部分を占めている。このようなパーティクルの付着は単に van der Waals 力だけではなく、化学吸着も作用していると考えられ、また CVD 膜の異常成長異物などは膜と一体化しているので付着力が強く、従来の洗浄法では除去するのが困難である。そこで今回の評価では、実プロセスに対応させる目的で、PSL 粒子付着後に熱処理を施して PSL 粒子の付着力を強化させている。この熱処理によって、ウェーハとの接触部で PSL 粒子は若干変形するが、粒径分布にはほとんど変化がないことを確認している。PSL 粒子は粒径が均一であるため、物理洗浄のパーティクル除去力 (洗浄力) を定量的に求める手法としてこの評価法は有効であると考えられる。

キャリアガスの流量及び水滴の噴射角度を変化させた PSL 粒子の除去結果を図 2 及び図 3 に示す。図 2 において、キャリアガスの流量を多くすると PSL 粒子の除去率が比例的に上がることが分かる。水滴の噴射速度はジェットノズルの形状とキャリアガスの流量によって決定され、キャリアガスの流量に比例する。したがって、M ジェットスクラバの洗浄力は水滴の噴射速度に比例していると考えられる。図 3 では、水滴の衝突角度をウェーハ表面に対して垂直にしていくと除去率が上がることが分かる。この曲線はサインカーブに沿っており、水滴の運動方向の垂直成分が洗浄力を支配していると言える。

近年、洗浄プロセスの課題として、ウェーハの裏面汚染が

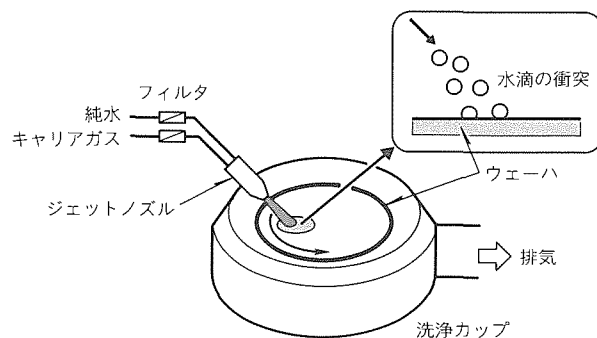


図 1. M ジェットスクラバの装置概要

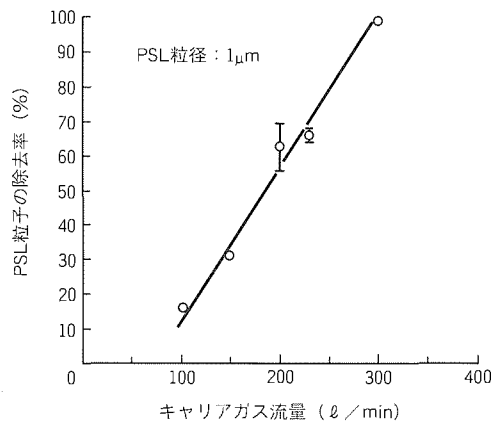


図2. PSL粒子除去のキャリアガス流量依存性

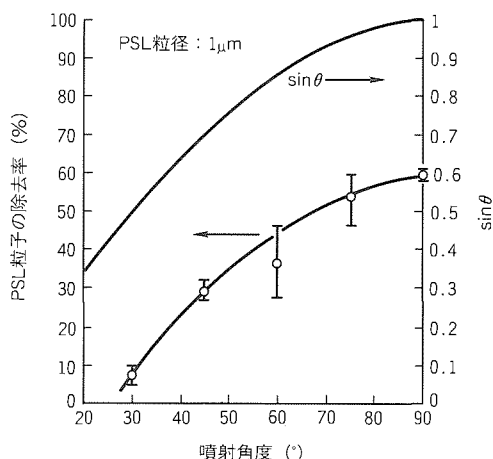


図3. PSL粒子除去の噴射角度依存性

挙げられている。ウェーハの裏面は、種々のプロセス装置の搬送系やステージ等との接触により、表面に比べて汚染量が多い。RCA洗浄等のバッチ式ウェット洗浄時には、ウェーハ裏面から汚染物がはく(剥)離し、隣接するウェーハ表面に再付着する。また、洗浄液中へ蓄積される汚染、特に金属不純物汚染の大部分は、ウェーハ裏面から持ち込まれていると考えられる。この装置はウェーハ両面洗浄が可能であるので、ウェーハ裏面汚染についてもその除去性能の評価を行った。結果を図4に示す。評価にはプロセス装置の代表例としてCVD装置で処理したウェーハを用いた。処理後のウェーハ裏面を全反射蛍光X線を用いて分析すると、 1×10^{12} atoms/cm²以上の金属汚染が観測される。このウェーハをMジェットスクラバで洗浄すると、RCA洗浄と同等の除去効果が得られた。ウェーハ裏面の汚染物は粒子状に付着しており、Mジェットスクラバではこれらの汚染物粒子を強力な物理力によって除去しているものと考えられる。

4. 洗浄メカニズム

パーティクル除去を効果的に行うためには、対象とするパーティクルの付着力と洗浄によるパーティクル除去力を定量

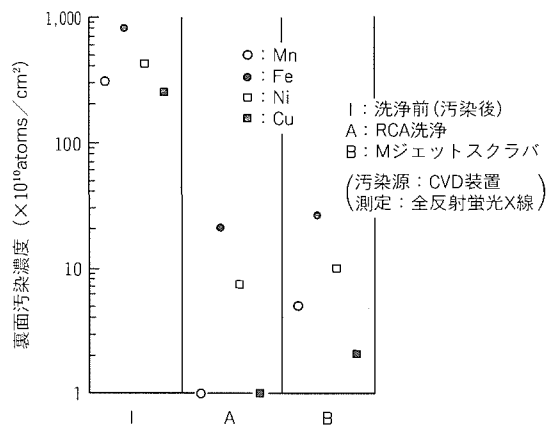


図4. ウェーハ裏面汚染の洗浄評価

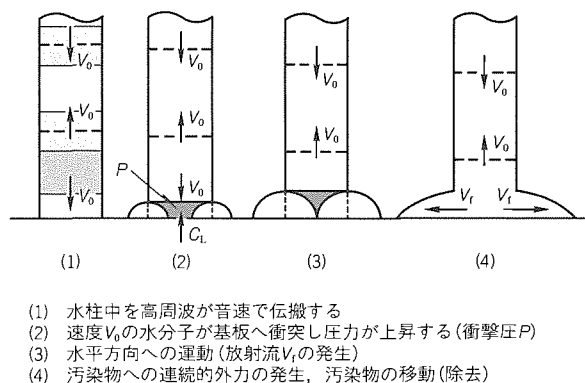


図5. メガソニックスクラバの洗浄メカニズム

的に把握する必要がある。付着力はそのパーティクルの材質(有機物、金属、酸化物)や形状(粒径)、基板状態、付着過程等によって様々に変化するため、理論的に求めるのは困難である。これに対し、洗浄によるパーティクル除去力、つまりパーティクルが受ける外力は、物理的洗浄の場合、パーティクルの形状によってのみ決定されるため、理論計算と実験によって求めることが可能である。

超LSIのウェーハプロセスで広く使用されている物理洗浄法としては、①薬液槽又は純水槽でのメガソニック洗浄、②ブラシスクラバ、③メガソニックスクラバ、④高圧ジェット水洗浄が挙げられる。数十kHzの超音波洗浄は、以前は広く用いられていたが、サブミクロンパーティクルの除去能力が低いことや微細パターンにダメージを与えることから、最近では余り使用されていない。今回、Mジェットスクラバとの比較として、メガソニックスクラバ洗浄と高圧ジェット水洗浄についても洗浄メカニズムのモデルを立てて考察した。以下にこれらの洗浄メカニズムのモデルを示す。

4.1 メガソニックスクラバ洗浄

メガソニックスクラバ洗浄(超音波スプレ洗浄)は、1 MHzを超える周波数の超音波振動を加えた純水をスポット状又はスリット状の流水吐出口からウェーハ上に吐出する洗浄方法である。図5に示すように、ノズルから吐出された純

水は水柱となり、この中を超音波振動が伝搬する。ウェーハ表面では超音波で加速された水分子が衝突して断続的に圧力上昇(衝撃圧)が生じ、次にウェーハ面方向への流れ(放射流)が発生する。ウェーハ上のパーティクルは、衝撃圧から受ける力、又は放射流による流体抵抗力によって除去されていると考えられる。水柱の衝撃圧は次式で与えられる⁽⁵⁾。

$$P = \frac{\rho_L C_L V_0}{1 + \left(\frac{\rho_L C_L}{\rho_S C_S}\right)} \dots\dots\dots (1)$$

ここで、 ρ_L 、 ρ_S はそれぞれ液(純水)、基板(Si)の密度、 C_L 、 C_S はそれぞれ液中、基板中での音速である。また、 V_0 は水分子の衝突速度で、次式で求められる。

$$V_0 = A\omega = A2\pi f \dots\dots\dots (2)$$

ここで、 A 、 ω 、 f はそれぞれ超音波の振幅、角速度、及び周波数である。また、放射流の速度 V_f は次式で与えられる⁽⁵⁾。

$$V_f = (\alpha C_L V_0)^{\frac{1}{2}} \dots\dots\dots (3)$$

ここで、 α は無次元の低減係数で次式で与えられる⁽⁵⁾。

$$\alpha = \frac{0.41}{1 + 0.59 \left(\frac{\rho_L C_L}{\rho_S C_S}\right)} \dots\dots\dots (4)$$

球形パーティクルが受ける外力(除去力)は、式(5)及び式(6)で求められ、どちらからも同じ値が得られる。

$$F = C_D \left(\frac{\pi d^2}{4}\right) P \dots\dots\dots (5)$$

又は、

$$F = C_D \left(\frac{\pi d^2}{4}\right) \left(\frac{\rho_L V_f^2}{2}\right) \dots\dots\dots (6)$$

ここで、 C_D は抗力係数、 ρ_L は液(純水)の密度、 d はパーティクルの直径である。

メガソニックスクラブは、洗浄時、ウェーハ全面をカバーするようにウェーハを回転し、かつノズルを移動させているが、このウェーハの回転によって放射流の相対速度が増し、ウェーハ周辺部では除去力が大きくなる。したがって、ウェーハ周辺部では式(3)は、回転による相対速度 V_ω を考慮して、次式で示される。

$$V_f = (\alpha C_L V_0)^{\frac{1}{2}} + V_\omega \dots\dots\dots (7)$$

超音波の周波数を1.6 MHz、ウェーハの回転数を2,000 r/minとし、抗力係数 C_D を0.47、振幅を0.07 μm と仮定すると、8インチウェーハ上の直径1 μm の球形パーティクルの除去力は、 $3.6 \sim 7.8 \times 10^{-7} \text{ N}$ となる。

4.2 高压ジェット水洗浄

高压ジェット水洗浄は、水を9.8 MPa {100 kgf/cm²}前後の高圧に加圧し、直径約0.1 mmのノズルからウェーハ表面へ連続して噴出するものである。図6に示すように、ウェーハ表面では水ジェットの運動量による定常圧が形成されている。定常圧 P は次式で与えられる。

$$P = \rho_L V_0^2 \dots\dots\dots (8)$$

ここで、 ρ_L は水の密度、 V_0 は水ジェットの衝突速度である。

したがって、球形パーティクルが受ける外力(除去力)は、式(8)を式(5)に代入して求めることができる。

水ジェットの速度を130 m/s、噴射角度を45°とし、抗力係数 C_D を0.47と仮定すると、直径1 μm の球形パーティクルの除去力は、 $3.1 \times 10^{-6} \text{ N}$ となる。

4.3 Mジェットスクラバ及びアイスクラバ

Mジェットスクラバの洗浄メカニズムは基本的にアイスクラバと同一であると考えられ、図7に示すようなモデルを立てた。これは氷粒子も水滴のような流体と考え、水滴の高速衝突による材料のエロージョンの概念と流体力学によってモデル化した。まず、氷粒子又は水滴がウェーハへ衝突した際、衝撃の反射波によって粒子内に衝撃圧が生じる。次に氷粒子の場合は破碎又は液化し、これがウェーハ面方向への流れ(放射流)となってパーティクルへの連続的外力(除去力)を生む。衝撃圧 P は次のように表される⁽⁶⁾。

$$P = \frac{1}{2} \alpha \rho_L C_L V_0 \dots\dots\dots (9)$$

したがって、球形パーティクルが受ける外力(除去力)は、式(9)を式(5)に代入して求めることができる。また、式(3)から放射流の速度を求めて式(6)に代入しても同じ値が得ら

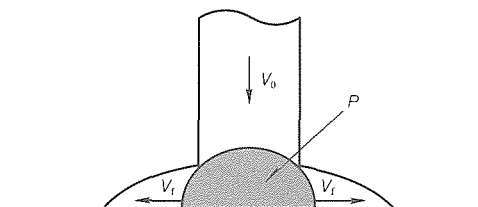


図6. 高压ジェット水の洗浄メカニズム
 (1) 水柱が基板へ衝突し圧力が上昇する(定常圧P)
 (2) 水平方向への運動(放射流Vfの発生)
 (3) 汚染物への連続的外力の発生、汚染物の移動(除去)
 上記が連続して生じる

図6. 高压ジェット水の洗浄メカニズム

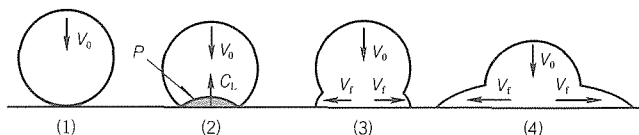


図7. Mジェットスクラバの洗浄メカニズム
 (1) 水滴粒子の基板への衝突(衝突速度V0)
 (2) 水粒子内の圧力が上昇(衝撃圧P)
 (3) 水粒子の変形、水平方向への運動(放射流Vfの発生)
 (4) 汚染物への連続的外力の発生、汚染物の移動(除去)

図7. Mジェットスクラバの洗浄メカニズム

れる。アイスクラバの場合は、さらに固体である氷の性質を考慮しなければならない。Mジェットスクラバの場合は、図3の実験結果からも分かるように、水滴の運動方向の垂直成分から与えられる衝撃圧のみが洗浄力を支配していると考えられる。一方、アイスクラバでは、氷粒子の運動方向の垂直成分だけではなく、水平成分(ウェーハ面方向)のベクトルも放射流に寄与していると考えられる。つまり、氷粒子の衝突の瞬間、ウェーハ表面で破碎されている氷は、運動の水平成分の速度で粘性を持たずに表面に沿って移動していると考えられる。したがって、アイスクラバ場合の放射流の速度は次式で与えられる。

$$V_f = (\alpha C_L V_0)^{\frac{1}{2}} + \sin \theta \dots\dots\dots (10)$$

また、アイスクラバとMジェットスクラバとの違いとしては、氷の音速が水の約2倍であるので、アイスクラバの方が洗浄力が大きくなる。実際は、抗力係数 C_D が氷と水の場合で違うと考えられるので、今のところ洗浄力の正確な値を求めることは困難であり、今後補正が必要になると考えられる。

氷粒子及び水滴の速度を 330 m/s、衝突角度(ウェーハ表面方向からの角度)をそれぞれ 30°、60°とし、抗力係数 C_D をどちらも 0.47 と仮定すると、直径 1 μm の球形パーティクルの除去力は、アイスクラバで 6.6×10^{-5} N、Mジェットスクラバで 2.2×10^{-5} N となる。

4.4 洗浄モデルの検証

上記洗浄メカニズムモデルによって計算した球形パーティクルの粒径に対する除去力の関係を図8に示す。また、グラフには、パーティクルの付着力として一般的に用いられている、液架橋力及び空気中又は水中での van der Waals 力を

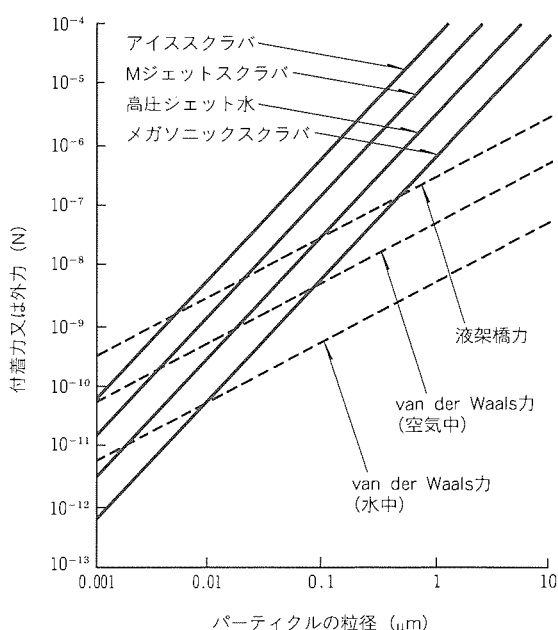


図8. パーティクルの付着力と外力(除去力)の計算値

プロットした。付着力はこのほかにも静電気力や重力といったものもあるが、van der Waals力よりも小さい値を採ることが知られている⁽⁶⁾⁽⁷⁾。洗浄によってパーティクルが受ける外力は、流体速度、抵抗係数、及びパーティクルの投影面積で決定されるため、パーティクルが小さくなると粒径の2乗に比例して急激に除去が困難になる。

図9に粒子径を変化させたPSL粒子の除去評価結果を示す。PSLの粒径は0.2~10 μmの範囲のものを使用した。また、ウェーハ表面へのPSL粒子の付着方法、及び付着後の熱処理方法は、PSLの粒子径によらず3章の実験と同様に行っている。ここで評価した洗浄法は、Mジェットスクラバ、アイスクラバ、純水槽でのメガソニック洗浄(高周波洗浄)、メガソニックスクラバ、高圧ジェット水洗浄の5種類である。高周波洗浄、メガソニックスクラバ、高圧ジェット水洗浄ではPSLの粒径が5 μm以下で除去率が低下し、1~2 μmで全く除去できなくなるのに対し、Mジェットスクラバやアイスクラバでは約1けた微小なPSL粒子の除去が可能である。洗浄モデルの計算によれば、Mジェットスクラバのパーティクル除去力はメガソニックスクラバよりも約2けた大きい。パーティクルの付着力が粒径によらず一定であると仮定すれば、Mジェットスクラバは1けた微小なパーティクルの除去が可能となる。

図9の実験では熱処理条件を一定にしているため、PSL粒子径によらず付着力は一定であると仮定すると、この実験結果は計算値とほぼ一致している。しかし、高圧ジェット水洗浄については、実験結果と計算値との違いがあるので、今後詳細な検討が必要である。図の結果から、Mジェットスクラバは水滴の噴射速度を変えることで除去力が変化し、メガソニックスクラバより弱い条件にすることも可能であることが確認された。先端デバイスにメガソニックスクラバ等の物理洗浄を適用すると、微細パターンに物理的ダメージを与

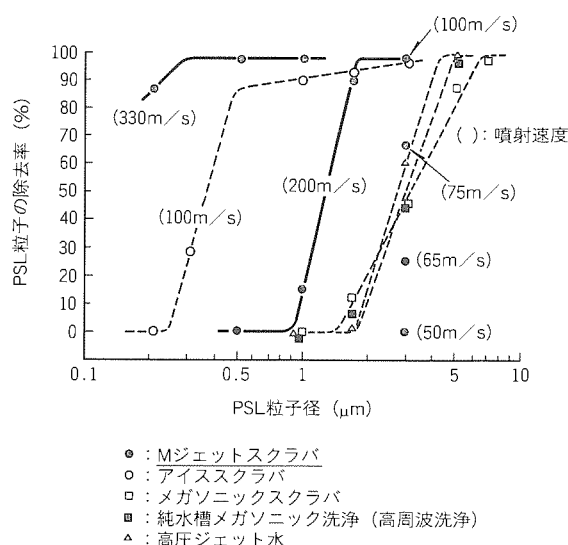


図9. PSL粒子除去の粒子径依存性

えてしまうことがある。この微細パターンの物理的ダメージはパーティクルの除去力と相関があり、除去力が高いと微細パターンのダメージも大きくなる。現状では、メガソニックスクラバは除去力を変化させることが困難であるため、微細パターンのダメージ制御ができない。これに対して、Mジェットスクラバは水滴の噴射速度を変えることで容易にダメージ制御ができるため、これまでダメージが生じるために物理洗浄ができなかった工程への適用が可能である。

Mジェットスクラバの適用例を以下に示す。

- (1) CVDやスパッタ成膜後
- (2) ウェーハ裏面洗浄
- (3) メタル配線形成後
- (4) 薬液を使用しての前処理洗浄

5. むすび

新しい物理洗浄として、微細な水滴をウェーハに高速噴射することで微小パーティクルを除去するMジェットスクラバを開発した。評価の結果、Mジェットスクラバは従来の洗浄法であるメガソニックスクラバに比べてパーティクル除去力が高いことを確認した。また、洗浄メカニズムのモデル化した計算によれば、メガソニックスクラバより1けた微小なパーティクルの除去が可能であり、PSL粒子の除去評価でその妥当性を確認した。今後、デバイスへの適用評価を行う予定である。

参考文献

- (1) Ohmori, T., Fukumoto, T., Kato, T., Tada, M., Kawaguchi, T.: Ultra Clean Ice Scrubber Cleaning with Jetting Fine Ice Particles, 176th The Electrochemical Society Meeting, 551 (1989)
- (2) Kanno, I., Ohmori, T., Fukumoto, T.: Surface and Back Surface Simultaneous Cleaning by Ice Scrubber Cleaning, Proceeding of Microcontamination Conference, 625~630 (1991)
- (3) 菅野 至: アイススクラバによる微粒子除去, セミコン関西技術セミナー予稿集, 19~27 (1994)
- (4) 菅野 至, 檜垣幸夫, 植田賢治, 川口利明: パルスジェットスクラバーによるパーティクル除去, 第55会応用物理学会学術講演会予稿集, 651 (1994)
- (5) 北條英光 編著: エロージョンとコロージョン, 裳華房, 46~49 (1987)
- (6) 向阪保雄: 微粒子に関する超クリーン化技術とその周辺の問題, エアロゾル研究協議会, 日本空気清浄協会セミナーテキスト, No.12, 23~32 (1986)
- (7) 平塚 豊: 微粒子洗浄における界面科学, 洗浄設計 Winter, 63~79 (1992)

KrFエキシマ転写技術

山口敦美*
中尾修治*
若宮 互*

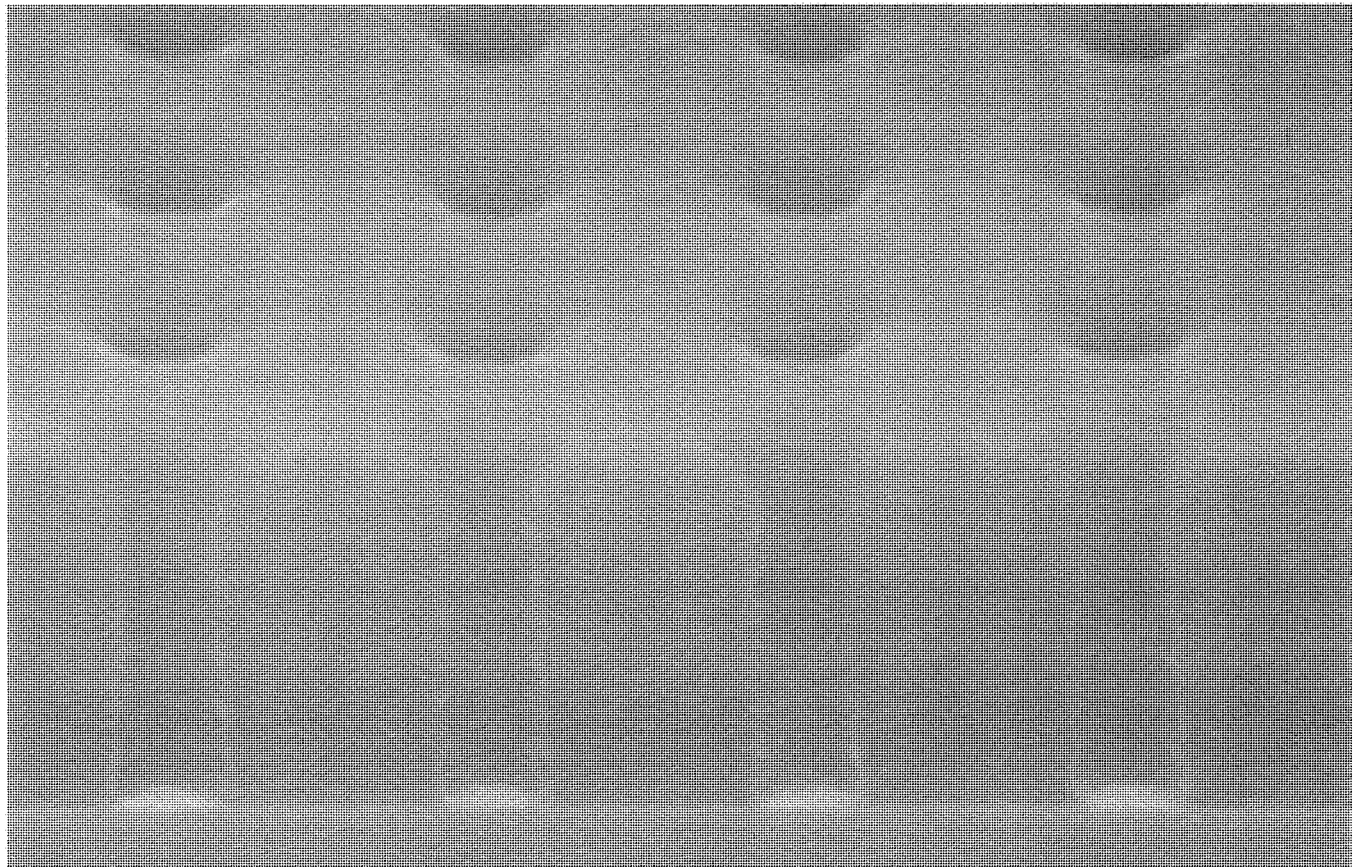
要旨

LSIの高集積化に伴ってパターンの微細化がますます進み、最近では0.2~0.3 μm レベルのパターン形成が必要となっている。そこで、i線(波長=0.365 μm)から、より短波長のKrFエキシマレーザー光(波長=0.248 μm)を利用した露光技術が主流になりつつあるが、三菱電機ではエキシマレーザーを用いたレジストプロセスの開発に早くから着手し、64MDRAM以降の先端デバイスの試作に導入してきた。

レジスト材料としては、g線(波長=0.436 μm)やi線用とはメカニズムが大きく異なる“化学増幅型”と呼ばれる材料系を用いるため、感度や解像力は優れるものの、初期のころにはプロセスの安定性や基板依存性等の問題で実用化には大きな障壁があった。しかし、レジスト材料の性能

が改善されるとともに、レジスト塗布から露光・現像までの一連の作業を環境制御された装置の中で連続的に行う方法、又はレジスト上に保護膜を形成するプロセスを確立することにより、エキシマレジストプロセスを実用化することが可能となった。

現在、KrFエキシマレジストプロセスを64MダイナミックRAM(DRAM)対応の量産技術として工場へ展開中であり、また、0.2 μm 以下の超微細パターンの形成を目指した将来技術として、位相シフトマスク法や変形照明法などの応用技術の開発に取り組んでいる。



超微細レジストパターンの形成技術

遠紫外線(Deep UV)であるKrFエキシマレーザー光を用い、さらに、同一波長でより微細なパターンの形成が可能な超解像技術(レベンソン型位相シフト法)を組み合わせることによって、化学増幅型レジストに直径0.10 μm のホールパターンを形成した。

1. ま え が き

LSIの高集積化に伴い、パターンの微細化もますます進んでいる。現在、量産工場では16 MDRAMを中心としたデバイスが生産されており、デザインルールは0.40 μm レベルで、i線リソグラフィが用いられている。続いて、試作から量産段階へ移行されつつある64 MDRAMでは、デザインルールが0.35～0.30 μm で、もはやi線リソグラフィでの限界に近づき、また、開発段階にある256 MDRAMでは、0.25～0.20 μm レベルのパターン加工が必要である。当社ではKrFエキシマレーザーリソグラフィの研究開発に早くから取り組み、64 MDRAMの試作段階から導入し、現在量産技術として確立させつつある。

本稿では、エキシマレジストプロセスの実用化と次世代デバイスへの展開について述べる。

2. DUV用レジストの変遷

g線及びi線リソグラフィでは、感光剤として働くジアゾナフトキノ化合物とノボラック樹脂とで構成されるポジ型レジストが広く用いられてきた。しかし、KrFエキシマステツパが開発された初期のころには適したレジスト材料がなく、ジアゾナフトキノ-ノボラック系レジストでパターン形成を行うとDUV (Deep Ultra Violet) 光に対する吸収が大きいためパターンが三角形状になり、高解像力を得ることは困難であった。その後、高い透明性及びドライエッチング耐性の面からDUV光に適したベース樹脂としてポリビニルフェノール (PVP) が注目され、さらに、露光時に発生した酸又は塩基が触媒として連鎖的な化学反応を引き起こす“化学増幅型レジスト”が開発された。これまで数多くの種類の化学増幅型レジストが報告されてきたが、ポジ型レジストとしてはIBM社のIto, Willsonらによって報告されたものが代表的で、PVP樹脂の水酸基をt-BOC (t-ブトキシルカルボニル基) で保護したベース樹脂と光酸発生剤で構成される⁽¹⁾。このレジストは、露光部に発生した酸がその後のベーク (Post Exposure Bake: PEB) 時にベース樹脂のt-BOC基を切断する反応を連鎖的に起こし、アルカリ性の現像液に対する溶解性を発現させるのである。

次に、ネガ型レジストとして代表的なものは、光酸発生剤とPVP樹脂と架橋剤として働くメラミン化合物で構成されるものであり、化学増幅型レジストとして最初に市販された⁽²⁾。このレジストは、露光部に発生した酸がPEB時に架橋剤とベース樹脂との間の縮合反応をやはり連鎖的に起こし、アルカリ性現像液に不溶化するのである。

これらの全く新しいタイプのレジストの登場で、高感度かつ高解像度のパターン形成を行うことが可能となった。

しかし、これらの化学増幅型レジストは、光反応によって発生した微量の酸で化学反応を起こさせるため、プロセスの変動や外部環境の影響を受けやすいという欠点があり、我々は、化学増幅型レジストのデバイス生産への適用を可能にするために、様々な問題点を克服しなければならなかった。

3. 化学増幅型エキシマレジストプロセスの実用化

3.1 表面難溶化層生成の防止

t-BOC保護基を用いたポジ型レジストの場合、レジスト表面に難溶化層が形成され、“T-top”と呼ばれるきずが生じたり、その結果、開口不良につながるという欠点がある。これは、大気中の塩基性物質の影響によってレジスト表面付近の酸が活性を失うためであることが知られている。クリーンルーム内に存在する塩基性物質としては、現像液の成分であるTMAH (Tetra-methyl-ammonium Hydroxide) や、レジスト密着強化剤として用いられるHMDS (Hexa-methyl-disilazane)、又は建物の内装や人体から発生するアンモニアやアミン類が考えられている。

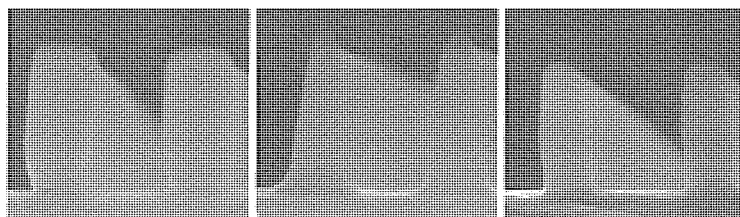
そこで我々は、レジスト表面に酸性物質を含有する水溶性ポリマの保護膜を塗膜することにより、外気からの塩基性物質を遮断し、レジスト表面難溶化層の生成を抑制するプロセスを実用化した⁽³⁾。

3.2 基板界面での形状劣化防止

一般に、化学増幅型レジストの解像特性は下地による基板依存性も大きく、半導体製造に用いられる Si_3N_4 やTiN等の窒化膜系の基板上では界面付近のレジスト形状が劣化しやすい。これもやはり、基板のN原子の塩基性の影響でレジスト露光部での酸失活が起こり、ネガ型レジストの場合には図1(a)に示すようにアングカット (食い込み)、ポジ型レジストの場合には図(b)に示すようにすそ (裾) 引きが生じる。この問題に対し、我々は基板表面を酸化処理することで基板からの影響を遮断するプロセスを確立してきたが、最近ではレジストに塩基性物質を添加するなどの手法で材料側からの改善もなされている。その結果、図(c)に示すように、垂直なパターン形状を得ることができるようになった。

3.3 露光後の放置安定性

上記のような環境や基板の影響を受けにくくするために、添加剤のほかにベース樹脂の保護基や酸発生剤の種類を見直



(a) ネガ型レジスト (b) ポジ型レジスト1 (c) ポジ型レジスト2

図1. TiN基板上のレジスト断面形状

すなど、レジスト材料の改良が進み、かなり改善がなされてきた。しかしそれでも、レジストによっては、露光後、PEBまでの放置の間にパターン寸法の変動が明確に現れるものもある。図2に示すように、露光後の引き置きによって寸法が徐々に細り、24時間経過すると0.05 μm以上変動するレジスト材料もある。これはレジスト露光部で発生した酸の拡散が、室温でも進行するためと考えられている。

これらの点から、今回、化学増幅型レジストを扱うには、レジスト塗布から露光・現像までの処理が連続的にかつ常に一定のタイミングで行われるように、インライン構成を採ることを基本とした。これは、従来のi線プロセスを用いている量産工場でも生産性の観点から一部既に行われている方法であるが、さらにアンモニア等の塩基性物質を吸着・除去するためのケミカルフィルタをこれらの装置に装着し、不純物質の濃度がある一定レベル以下に保たれるように環境制御をすることにより、現在では安定に化学増幅型レジストのパターン形成を行うことができるようになった。

3.4 PEB温度依存性

化学増幅型レジストはPEB時に化学反応が進行するため、処理温度や時間が感度又はパターン寸法に与える影響がジアゾナフトキノン-ノボラック系レジストに比べて大きい。表1に、幾つかのレジストについて、PEB温度1℃当たりの寸法変動量を示す。レジスト材料によっても差が見られるが、温度依存性が大きいものではi線レジストの約20倍の寸法変動が現れる。そのため、ホットプレートとの温度変動や面内均一性の管理に、従来よりも一層注意を払う必要がある。

3.5 膜内多重反射効果

次に、パターン寸法変動の一要因となる膜内多重反射効果について述べる。

膜内多重反射効果とは、下地基板からの反射光の影響で、レジスト膜厚の変化に対してレジスト膜中に取り込まれるエ

ネルギーが周期的に変わることによってレジストパターン寸法が変動する現象である。

Si基板上でレジスト膜厚が変化した場合のレジストパターンの寸法変動について図3(a)に示す。0.30 μm L/S (Line and Space) のパターンに対して、一周期で約0.14 μmの寸法変動が生じることが分かる。実デバイス上では場所によって局部的にレジストの膜厚が変化するため、それに応じてパターン寸法の変動が起きる。DUV光はi線よりも短波長のため基板からの反射率が高く、しかもレジストの透明性が高いため、エキシマレジストの膜内多重反射効果は一般的にi線レジストよりも大きい。比較したi線レジストでは膜内多重反射成分が約0.10 μmであった。

この膜内多重反射効果を低減するため、レジスト膜上にポリマを塗布するTop-ARC (Anti-Reflective Coating) プロセスという手法が有効である。同じSi基板上でTop-ARCプロセスを用いることにより、図3(b)に示すように、レジストの寸法変動量が約0.05 μmまで低減することが分かる。また、このTop-ARC材料に前述したレジスト表面保護膜としての役割を兼ね備えさせることも可能である。

Top-ARCの使用により、レジストの膜内多重反射効果による寸法変動を低減することが可能になったが、実デバイス上では工程によってレジスト膜の下には様々な起伏や酸化膜などのように露光光を透過する膜が存在するので、局所的に下地から受ける反射光強度の違いやハレーションの影響が残る。これに対してはレジストに色素を添加することによって透過率を下げる方法があり、適用の結果、膜内多重反射効果やハレーションを低減することが認められた。ただし、レジストの透明性を下げ過ぎると解像力の低下が伴う場合があるので注意しなければならない。

そこで、膜内多重反射効果及びハレーション対策として最も有効な手段と考えられるのはBottom-ARCプロセスで

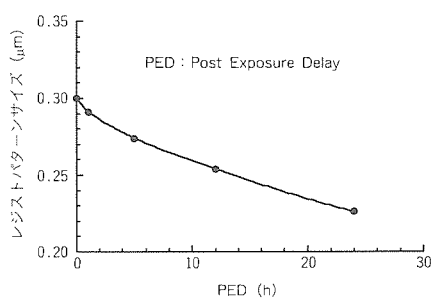


図2. 露光後の引き置きによるパターン寸法変動

表1. レジスト寸法変動のPEB温度依存性

レジスト	寸法変動量 (μm/℃)
エキシマレジストA	0.019
エキシマレジストB	0.016
エキシマレジストC	~0.002
i線レジスト	~0.001

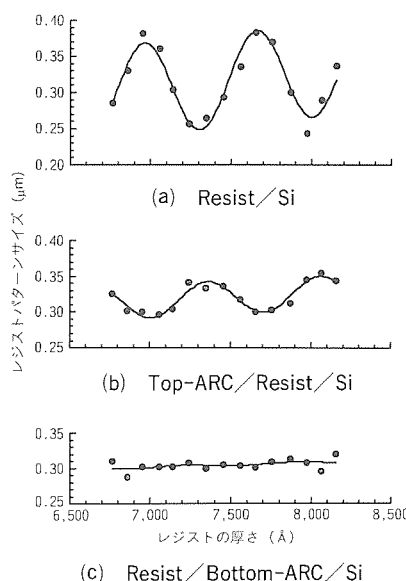
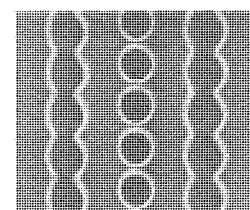
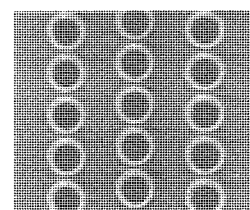


図3. エキシマレジストの膜内多重反射効果



(a) ARCなしの場合



(b) Bottom-ARCを使用した場合

図4. 段差基板上で形成した0.30μmホールパターン

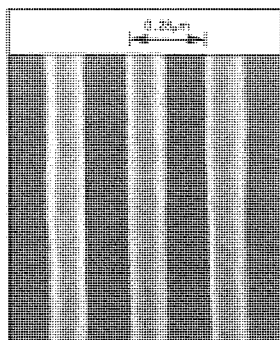


図5. レベンソン型位相シフトマスクを用いて形成した0.14μm L/Sパターン

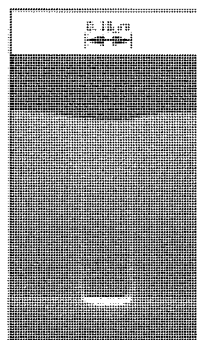


図7. レベンソン型位相シフトマスクを用いて形成した0.10μmホールパターン

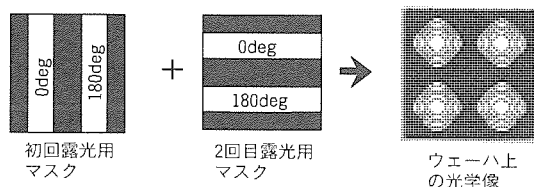


図6. 超微細ホールパターンを形成するための露光方法

ある。Bottom-ARCは下地基板の反射率を下げることによってレジストへの反射光の影響を抑える方法で、図3(c)に示すように基板の反射率をSiの約1/10に抑えた場合、膜内多重反射効果による振幅はほとんどなくなり、0.02～0.025 μmまで寸法変動を抑えることができる。

次に、段差のある基板上で0.30 μmに設計したホールパターンを形成した例を図4に示す。図(a)では、レジストパターンの下には酸化膜が存在するが、中央の列と両側の列では酸化膜の膜厚が異なるため、それぞれ下地から受ける反射光の影響に差が生じる。その結果、パターンが密に配置されたY方向では寸法が大きくなりパターンがつながっているが、それに対し、Bottom-ARCを用いることで図(b)のように改善が見られる。X方向についても様々な環境にあるパターンについて観測を行ったところ、レジスト単体の場合には0.20 μmを超える寸法ばらつきが見られたが、Bottom-ARCを用いることで0.025 μm以下に抑えることができた。

以上述べてきたようなプロセスを用いることにより、化学増幅型エキシマレジストの高解像パターンを安定に得ることができ、デバイス製造への適用を実現することが可能になった。現在、64 MDRAMの主要工程のパターン形成にこれらのエキシマレジストプロセスを用いている。

4. エキシマレジストプロセスの応用

1 GDRAM以降のデバイスでは、KrFエキシマレーザー光の波長を超える0.20 μm以下のパターンを形成する必要がある。ArFエキシマレーザー光(波長=0.193 μm)やX線、

EB露光などの可能性も考えられるが、KrFエキシマレーザーリソグラフィの延命策として幾つかの超解像技術が報告されている。ここでは、その一例としてレベンソン型位相シフトマスクを用いたパターン形成について示す。

レベンソン型位相シフトマスク法は、フォトマスク上に位相シフトと呼ばれる材料を形成することでフォトマスクを透過する光の位相を制御し、ステップから投影される光学像のコントラストを改善する手法であり、規則的な配置のパターンに対して大幅な解像力、焦点深度の向上が可能である。

図5に、レベンソン型位相シフトマスク法で得られた0.14 μm L/Sパターンを示す。このようにレベンソン型位相シフトマスク法では通常配線パターンの形成に応用されるが、次に我々は、図6に示すように、レベンソン型位相シフトマスクを直交させて2度露光することによる微細ホールパターンの形成を試みた。その結果、図7に示すように、直径0.10 μmのホールパターンを得ることができた⁽⁴⁾。

5. むすび

化学増幅型レジストを用いたエキシマリソグラフィは、安定したレジストの解像特性を得ることができるようになり、64 MDRAMを量産する段階まで到達した。

現在、256 MDRAM以降のデバイスに向けて、0.20 μm以下の超微細パターン形成の実用化のための研究・開発に取り組んでいる。

参考文献

- (1) Ito, H., Willson, C.G.: Polymers in Electronics, American Chemical Society Symposium Series, **242**, 11 (1984)
- (2) Thackeray, J.W., Orsula, G.W., Pavelchek, E.K., Canistro, D., Bogan, L.E., Jr., Berry, A.K., Graziano, K.A.: Deep UV ANR Photoresists for 248nm Excimer Laser Photolithography, Proc. SPIE, **1086**, 34 (1989)
- (3) Kumada, T., Youko, Y., Ueyama, A., Kubota, S., Koezuka, H., Hanawa, T., Morimoto, H.: Study on the Over-top Coating Suppressing Surface Insoluble Layer Generation for Chemical Amplification Resist, Proc. SPIE, **1925**, 31 (1993)
- (4) Nakao, S., Nakae, A., Yamaguchi, A., Matsui, Y., Hirayama, M.: 0.12μm Hole Pattern Formation by KrF Lithography for Giga Bit DRAM, Tech. Dig. of IEDM (1996)

5層アルミ配線技術

高田佳史*
益子洋治*

要旨

半導体デバイスの高集積化と高速化を実現する上で、高密度で高性能な多層配線技術が必ず(須)である。特にMPU(Microprocessor Unit)などの高速・多機能な先端ロジックLSIでは、配線の高密度化と高信頼度化に加えて4~5層もの多層化が強く求められている。

三菱電機では、多層配線の微細化を大きく阻害する表面段差をなくするために、ウェーハスケールでのグローバル平坦化が可能なCMP(Chemical Mechanical Polishing)法を用いて、0.3 μ mレベルの微細配線による5層の多層配線を実現した。微細化とともにアスペクト比の増加が著しいコンタクトホールやスルーホールは、高圧アルミプラグ技術によって完全に埋め込み、従来のタングステンプラグ

技術に比べて約1/2の低抵抗化と製造プロセスの簡略化を図った。さらに、CVD-TiNを用いるバリアメタル形成技術により、従来のスパッタリング法では達成できない極めて優れたホール底部での被覆性を実現し、高いアスペクト比を持つコンタクトホールにおいても安定した電気的特性を実現している。

今後は、配線ピッチの縮小に伴って著しく増大しLSIの動作スピードに影響を及ぼすようになりつつある配線容量を低減するために、層間絶縁膜の低誘電率化等の改良を加え、CMOSロジックデバイスを始めシステムLSIや次世代メモリデバイスの多層配線構造の基幹技術として広く展開していく予定である。

CMP研磨・平坦化技術

- ・グローバル平坦化
- ・配線の高密度化

高圧アルミプラグ技術

- ・低抵抗化
- ・プロセス簡略化

CVD-TiNバリアメタル技術

- ・高アスペクトホール底部での優れた被覆性

CMP

CMP

CMP

CMP

CMP

1 μ m

0.3 μ m5層アルミ配線技術

CMP法によってウェーハ表面の段差を解消し、0.3 μ mレベルの5層アルミ配線構造を実現した。高圧アルミプラグ技術とCVD-TiNバリアメタル形成技術により、安定した電気特性と製造プロセスの簡略化を図っている。

1. ま え が き

半導体デバイスの高集積化と多機能・高速化のために、高密度で信頼性の高い多層配線技術の必要性和重要性が増している。多層配線構造にはチップサイズの縮小やデバイスの高速化又は回路設計上の自由度の向上などの利点があり、DRAMにおいても0.8 μm の世代から多層配線構造を採用してきた。いわゆる比例縮小則に従った素子の微細化の進行に伴い、主としてメモリLSIの主導の下に配線の微細化が進行してきた。

近年、特にASICやMPUなどのロジックデバイスにおいて、配線の微細化に加えて、多層化に対する要求が一段と強くなっている。0.25 μm の世代には、MPUに代表される複雑な先端ロジックデバイスで5層以上もの多層化が必要であると言われている。

多層配線の微細化と多層化を進める上での最大の問題点は、配線の層数の増加とともにウェーハの表面段差が増大することにある。ウェーハの表面段差は写真製版時のフォーカスマージンを劣化させ、微細パターンの形成を困難にする。この問題は、配線の層数の増加とともに深刻になる。このため、ウェーハの表面段差をいかに制御するかという層間絶縁膜の平坦化(坦)化技術は大きな課題である。

多層配線の微細化を進める上でのもう一つの問題点は、デバイスの歩留まりや電気性能を保証するために、横方向の微細化の進行にかかわらず縦方向の微細化(薄膜化)が困難であるという点にある。その結果、コンタクトホールやバイアホールのアスペクト比が増大し、微細な接続口に金属膜を埋め込んで平坦化することがますます困難となっている。このような微細な接続口における技術課題に加えて、微細な金属配線におけるエレクトロマイグレーションやストレスマイグレーションなどの信頼性上の問題も深刻である。さらに、微

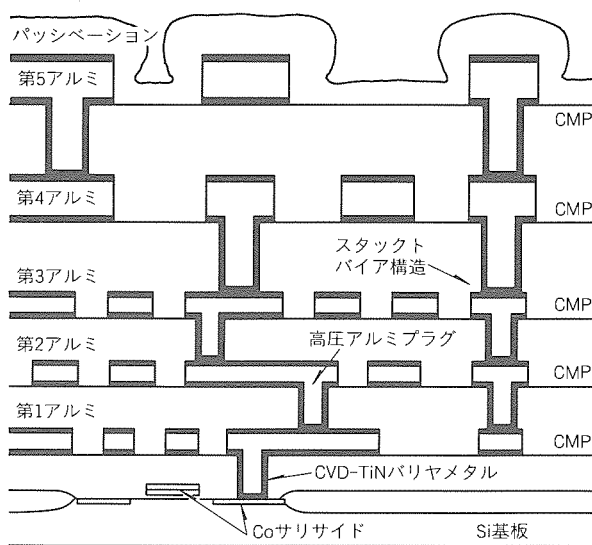


図1. 5層アルミ配線の断面模式図

細化と多層化に伴う多くの技術課題を解決するために多層配線の構造やプロセスが複雑化し、多層配線工程のプロセスコストやTAT (Turn Around Time) の増大という問題点も指摘されている⁽¹⁾。

本稿では、0.25~0.3 μm ルールの先端ロジックデバイスをターゲットとし、高性能化と低コスト化の両立を実現した5層アルミ配線技術について述べる。

2. 5層アルミ配線技術の概要

図1は、5層アルミ配線構造の断面模式図である。

トランジスタのゲート電極や拡散層には高融点金属のシリサイド層を自己整合的に形成するサリサイド構造を採用し、シート抵抗の低減によってデバイス的高速動作に寄与している。

すべての層間絶縁膜をCMP法で研磨し、チップスケールのグローバル平坦化を実現した。これにより、i線(波長=436nm)の露光技術を用いて、表1に示すようなトップクラスの微細化を達成している。信号線などのローカル配線に用いる1層と2層アルミ配線の最小ピッチは0.96 μm で、前世代(0.35 μm ルール)の80%の微細化を達成している。低い配線抵抗値と大きな電流の駆動能力が求められる電源線などのグローバル配線用として、4層と5層アルミ配線では配線の膜厚を1.2 μm と厚くし、MPUなどの性能を最重視するデバイスに対応している。

高いアスペクト比を持つ微細な接続口を低抵抗なアルミ合金によって完全に埋め込んで平坦化することにより、コンタクトホールやバイアホールの直上に接続口を形成するスタックトバイア構造を可能とし、配線の高密度化を実現した。SRAMセルなどのようにコンタクトホールやバイアホールが多数存在する場合に大きな面積縮小効果が得られ、特に、システムLSIの高集積化に有効である。

次章では、この5層アルミ配線構造を実現するプロセス技術のうち、①Coサリサイド技術、②CMP研磨・平坦化技術、③高圧アルミプラグ技術、④CVD-TiNバリアメタル成膜技術について述べる。

3. プロセス技術

表1. 5層アルミ配線の最小寸法

配線	第1層・2層アルミ配線 第3層アルミ配線 第4層・5層アルミ配線	$L/S=0.56/0.4\mu\text{m}$ $0.64/0.48\mu\text{m}$ $1.28/1.28\mu\text{m}$
接続口	コンタクトホール 第1バイアホール 第2バイアホール 第3・4バイアホール	径=0.35 μm 0.35 μm 0.40 μm 0.68 μm

注 L/S : 最小配線幅/最小配線間隔

3.1 Coサリサイド技術

サリサイドの材料としては、コバルトシリサイド (CoSi₂)、チタンシリサイド (TiSi₂)、ニッケルシリサイド (NiSi) などが検討されているが、線幅の細い配線での抵抗値の安定性の観点から、CoSi₂を用いるサリサイド構造は将来のデバイスにとっても有利である⁽²⁾。

CoSi₂は、スパッタ法によって厚さ10nmのCoを形成した後、N₂雰囲気中で450°CのRTA (Rapid Thermal Anneal) 処理を行い、未反応のCoを薬液除去した後、さらに880°Cで二回目のRTA処理を行う2ステップアニール法で形成した。ゲート電極と拡散層のシート抵抗値の線幅依存性を図2に示す。いずれの場合も、配線幅に依存せず、5Ω/□前後の低い抵抗値が得られている。特にゲート電極配線の場合には、仕上り寸法で0.25μmの配線幅でもシート抵抗値の上昇は見られない。

CoSi₂上に形成するコンタクトホールドライエッチングにおいては、C₄F₈/O₂混合ガスを用いる異方性エッチングによって、酸化膜に対する選択比で20以上という高い選択比を実現している。図3は、コンタクトホールの断面SEM写真である。ホール底部でのCoSi₂の削れはほとんど無視できるレベルである。これにより、拡散層上のコンタクトホールに比べて相対的に浅くなるため、エッチング時のCoSi₂の膜減りに関して構造的に厳しいゲート電極上についても、

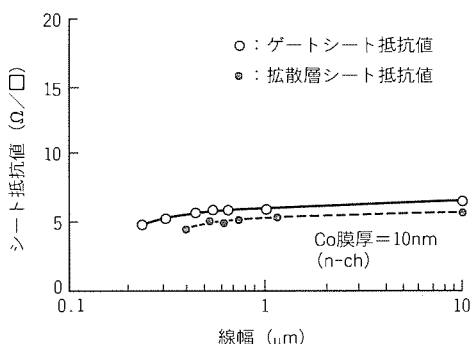


図2. ゲート電極と拡散層のシート抵抗値

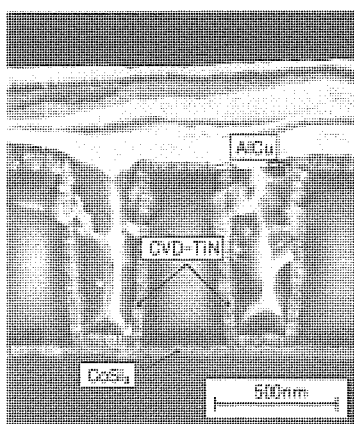


図3. CoSi₂上のコンタクトホール形状

拡散層上と同様に安定したコンタクト抵抗値を達成した。

図4は、n⁺/p型ダイオードにおける接合リーク電流値の分布である。CoSi₂サリサイド構造での接合リーク電流値に劣化はなく、良好な分布を示している。

3.2 CMP研磨・平坦化技術

図5に示すように、CMP研磨による層間絶縁膜の平坦化法は、塗布材料やエッチバック法を用いる従来の手法では困難なグローバルな平坦化が可能である。

CMP研磨・平坦化法においても、一辺が数mmを超える大きなパターンの段差を研磨する場合は、研磨後の平坦性が下層配線のパターン密度やレイアウトに依存する。段差凹部における異常研磨を抑えるため、広いスペース部にストップパを配置する方法や、ダミーの金属配線パターンを配置する手法が検討されている。しかし、製造プロセスのコスト低減や工期短縮の観点からは、研磨布やスラリーを含めた装置側の改良とともに、簡便な予測手法の確立を行い、補足的なプロセスを追加することなく研磨することが望ましい⁽³⁾。ゲートアレー (GA) やスタンダードセル (SC) などのASICでは、TATの遅延やデバイス性能への影響の問題から、この要求は特に強い。図6は、マスクデータにおける配線のパターン密度からCMP研磨後の平坦性を、有限要素法によってシミュレートした結果である⁽⁴⁾。計算による予測結果は実測結果とよく一致し、このような予測手法の有効性を示して

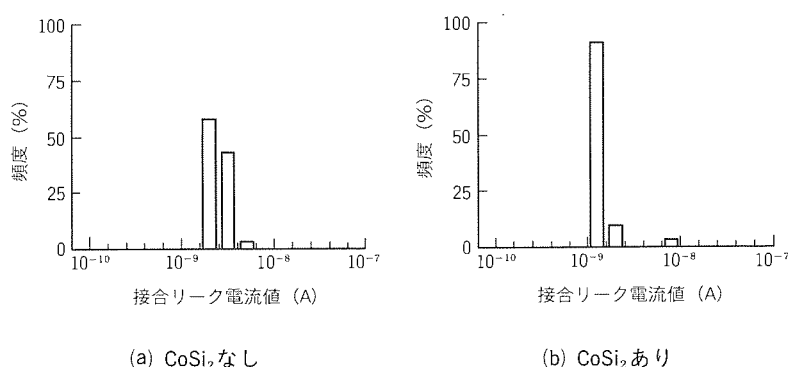


図4. 接合リーク電流値の分布 (n⁺/p接合)



図5. CMP法による層間絶縁膜の平坦化

いる。図7は、0.5 μmルール of ロジック LSI の層間絶縁膜を CMP 法で研磨し、平坦化した場合の、チップ内部の各ポイントでの残存段差率 (初期の段差高さに対する研磨後の段差高さの比) を示す結果である。各評価ポイントでの残存段差は研磨時間に対して指数関数的に減少し、7分間の研磨でチップ内部の表面段差を約 20~30% に低減できることが分かる。

層間絶縁膜の CMP 研磨・平坦化法は、表面段差の低減による写真製版時のプロセス裕度の確保だけでなく、プロセスコストの低減の観点からも、多層配線構造を実現する上で重要な技術である。

3.3 高圧アルミプラグ技術

高圧アルミプラグ技術におけるホール埋め込みの原理を、図8に示す。ホール内部への AlCu 膜の埋め込みに際してぬ

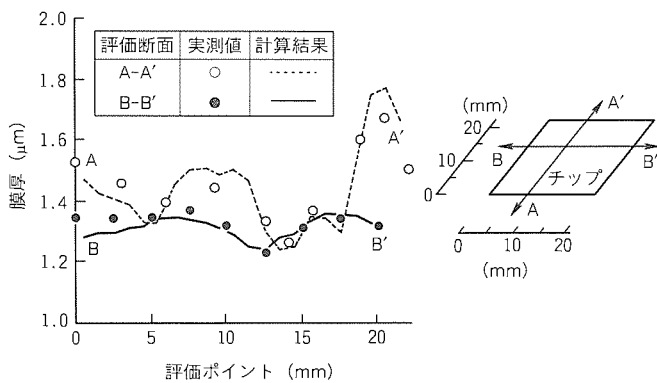


図6. シミュレーションによる平坦性の予測結果

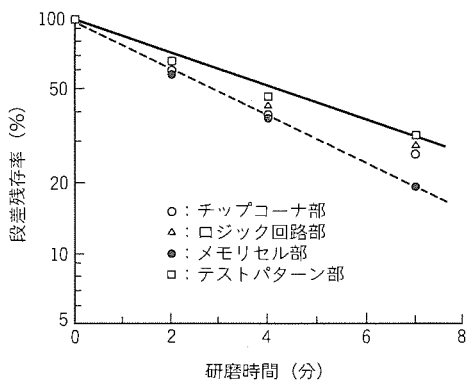


図7. 研磨時間と段差残存率

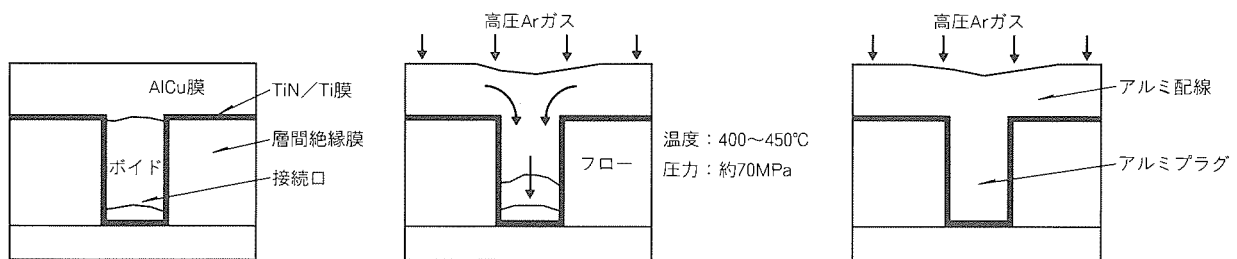


図8. 高圧アルミプラグ技術の原理

れ層としての役割を果たす TiN/Ti 膜を形成した後、連続して、AlCu 膜をスパッタリング法によってたい (堆) 積する。続いて、Ar 雰囲気中において、400~450°C の温度で 70 MPa という高い圧力を印加することにより、ホール内部へ AlCu 膜を押し込む。ウェーハ全面に高い圧力を印加するため、ホール上部が AlCu 膜によってふさがっていることが完全な埋め込みを実現するためのかぎ (鍵) となる。

図9には、バイアホールの抵抗値のホール径依存性を、従来のタングステンプラグと比較して示した。アルミプラグの構造では、ホール内部を比抵抗の小さいアルミ合金 (3.0~3.2 μΩ・cm) で埋め込むため、タングステン (10~12 μΩ・cm) を用いた場合に比べて、バイアホール抵抗値は約 1/2

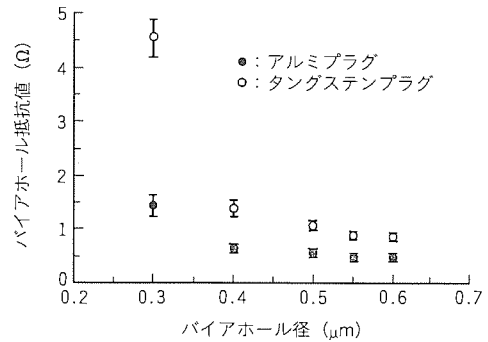


図9. バイアホール抵抗値の比較

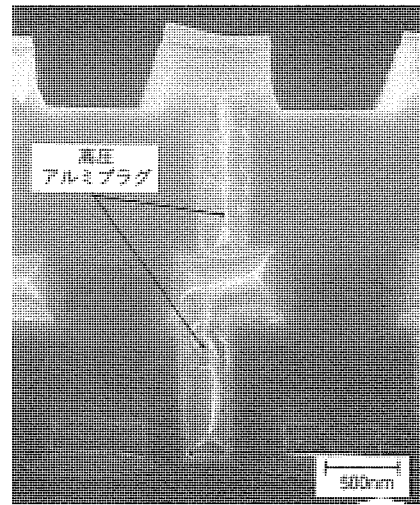


図10. 高圧アルミプラグ技術によるスタックトバイア構造

以下である。ホール径の縮小に伴うバイアホール抵抗値の上昇を考えると、将来のデバイスにとってもアルミプラグの構造がより有利であると言える。

高圧アルミプラグ技術によれば、ホール上部でのアルミ配線の表面形状を平坦にすることができ、スタックトバイア構造の実現が可能である。従来のタングステンプラグを用いた構造では、エッチバックの際のオーバエッチングによってプラグが後退し、アルミ配線の表面がホール上部で凹状にくぼんだ形状となるため、スタックトバイアホールの抵抗値が上昇するという問題があった。高圧アルミプラグでは、ホールの深さや密度に応じてホール上でのアルミ配線の膜厚が多少変動するが、ホール上での配線の表面形状はほぼ平坦であり、図10に示すようにスタックトバイア構造の実現が可能である。

図11にプロセスコストの比較を示す。アルミプラグを用いるプロセスでは、従来のタングステンプラグに比べて約44%のコスト削減が可能であることが分かる⁽⁵⁾。

3.4 CVD-TiNバリヤメタル成膜技術

コンタクトホール径の縮小とともに、アスペクト比の大き

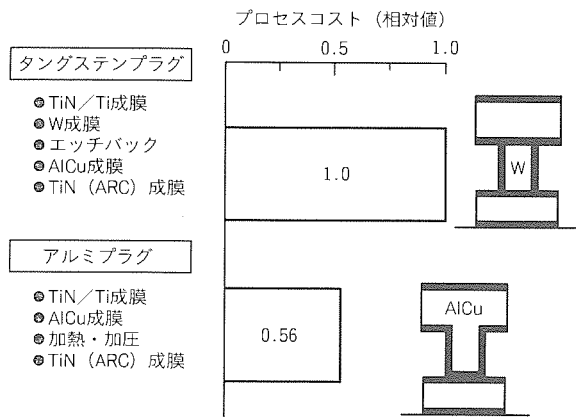


図11. プロセスコストの比較

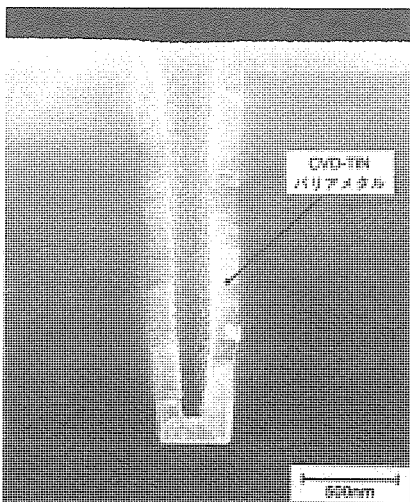


図12. CVD-TiNバリヤメタルの被覆性

なホールにおいて十分なバリエーションを確保することが非常に困難になってきており、コリメーションスパッタ法や遠距離スパッタ (Long Throw Sputtering: LTS) 法を始めとして、様々な方法が検討されている。

この問題を解決するために、四塩化チタン (TiCl₄) とアンモニア (NH₃) ガスを用いて TiN 膜を形成する CVD-TiN バリヤメタル成膜技術を開発した⁽⁶⁾。図12に示すように、650°C の温度で熱CVD法によって成膜を行うこの手法では、アスペクト比が3.5を超えるコンタクトホールの底部においても極めて優れた被覆性を得ることが可能である。CVD-TiN 膜の比抵抗は約 430 μΩ・cm で、NH₃ 雰囲気中で 650°C のアニール処理を行うことで更に 240 μΩ・cm 程度に比抵抗が小さくなる。

図13には、ホール径が 0.5 μm で深さ 1.5 μm (アスペクト比が 3) のコンタクトホールへ適用した場合の、n⁺/p だ

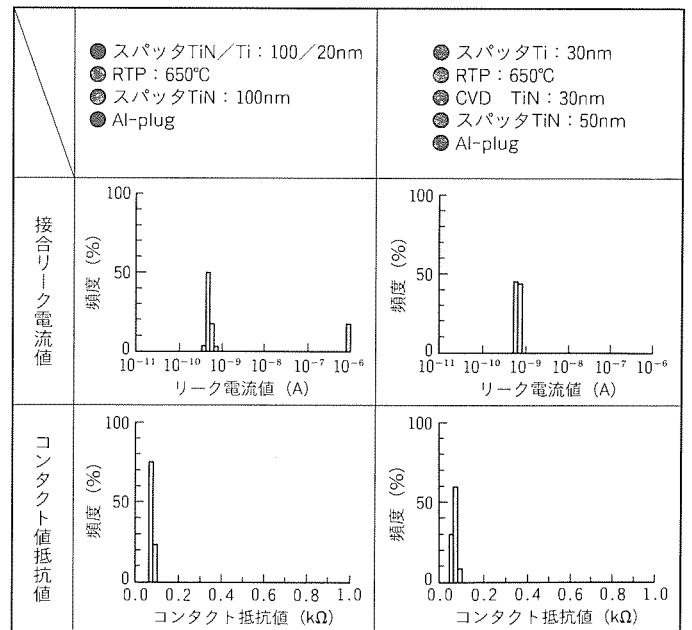


図13. 接合リーク電流値とコンタクト抵抗値の比較

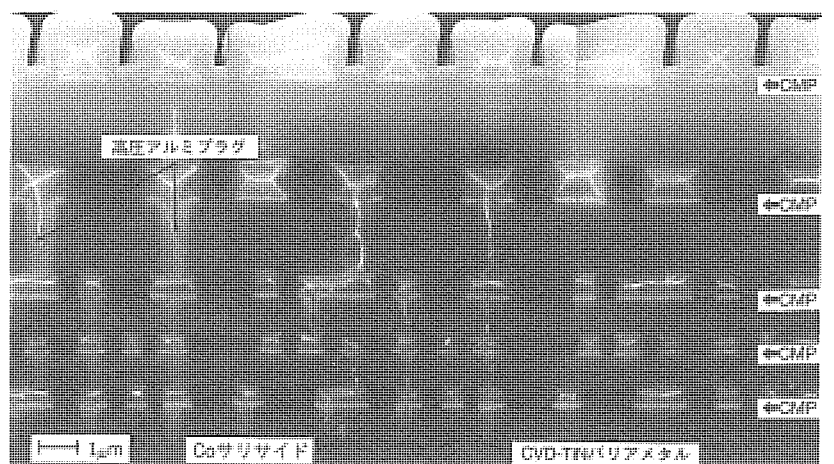


図14. 5層アルミ配線構造の断面SEM写真

イオードにおけるコンタクト抵抗値と接合リーク電流値の分布を、スパッタリング法で形成した TiN 膜との比較で示した。スパッタリング法によって TiN 膜を形成した場合には接合リーク電流値に不良チップの発生が見られるのに対して、CVD法の場合には不良チップの発生はなく良好な分布が得られている。

4. プロセスインテグレーション

これらのプロセス技術を用いる 0.3 μm レベルの 5 層アルミ配線構造の断面 SEM 写真を図 14 に示す。この多層配線技術は、MPU に代表される性能最重視型の高機能デバイスを始め、GA やセルベース (CB) などの性能とともに価格を重要視する ASIC やシステム LSI への応用が可能である。

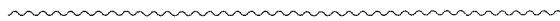
5. む す び

高性能で低コストな多層配線プロセスを開発した。Co サリサイド技術によって拡散層やゲート電極の低抵抗化を達成するとともに、CMP 研磨・平坦化技術によってグローバルな平坦化を行い、0.3 μm レベルの微細配線による 5 層アルミ配線を実現した。高圧アルミプラグ技術により、コンタクトホールやバイアホールを完全に埋め込み、従来の約 1/2 の低抵抗化と製造プロセスの簡略化を図った。CVD-TiN バリヤメタル成膜技術を開発し、従来のスパッタリング法では困難な高いアスペクト比を持つコンタクトホールでの安定した電気特性を実現した。

今後は、微細化に伴って LSI の動作スピードに影響を及ぼすようになりつつある配線容量を低減するために、層間絶縁膜の低誘電率化等の改良を加え、CMOS ロジックデバイスを始め、システム LSI や次世代メモリデバイスの多層配線構造の基幹技術として広く展開していく予定である。

参 考 文 献

- (1) 前田賢二, 福間雅夫, 浅井外寿 編集: ロジック LSI 技術の革新, 67~81, サイエンスフォーラム (1985)
- (2) Wang, D.F., Maex, K., Kubicek, S., Jonckheere, R., Kerkwijk, B., Verbeeck, R., Biesemans, S., De Meyer, K.: New CoSi₂ Salicide Technology for 0.1 μm Processes and Below, VLSI Tech. Symp., 17~18 (1996)
- (3) Norishima, M., Matsuno, T., Anand, M.B., Murota, M., Inohara, M., Inoue, K., Ohtani, H., Miyamoto, K., Ogawa, R., Seto, M., Fukuhara, C., Shibata, H., Kakumu, M.: Fully Integrated Multilevel Interconnect Process for Low Cost Subhalf-micron ASIC Applications, VLSI Tech. Symp., 47~48 (1995)
- (4) Hayashide, Y., Matsuura, M., Hirayama, M., Sasaki, T., Harada, S., Kotani, H.: A Novel Optimization Method of Chemical Mechanical Polishing (CMP), VLSI Multilevel Interconnection Conference, 464~470 (1995)
- (5) 大崎明彦: 高圧スパッタを用いたアルミプラグプロセス, セミコン関西 96 ULSI 技術セミナー講演予稿集, 2-35~2-38 (1996)
- (6) Mori, K., Kubota, M., Maekawa, K., Ohsaki, A., Hirayama, M.: Application of CVD-TiN Films for Advanced Plug Process, Electrochemical Society Proceedings, 96, No.5, 478~483 (1996)



完全被覆Cu配線プロセス

豊田吉彦* 長谷川万希子*
 深田哲生* 三上 登**
 森 剛*

要旨

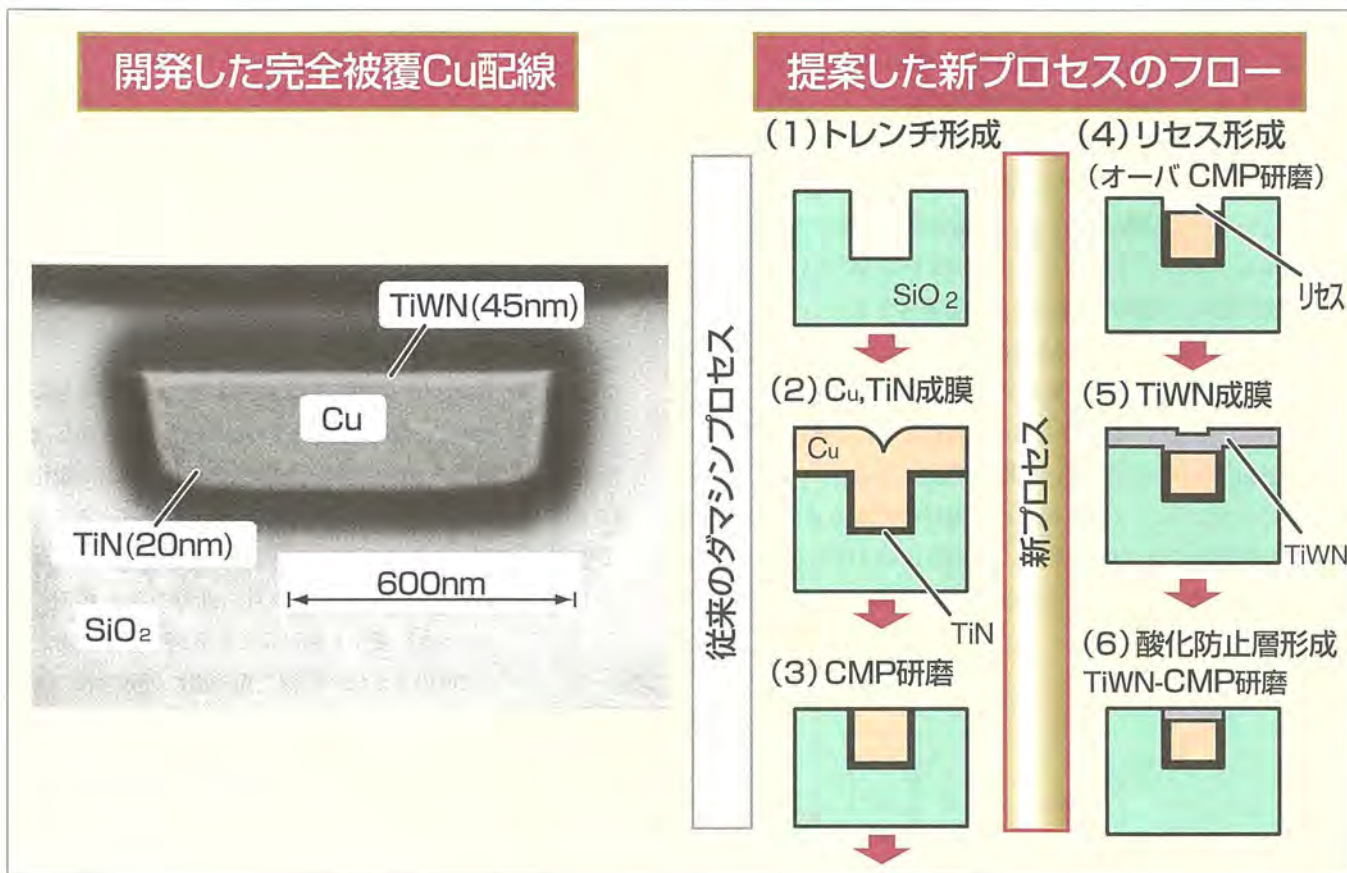
LSIの高速化・大規模化に伴い、従来のAlCu配線よりも低抵抗であり、約3けたの信頼性向上が期待できるCu配線が、次世代(0.18 μm 以降)の配線材料として注目されている。

しかし、Cuは容易に酸化・拡散するため、配線工程においてこれらをいかに抑制するかがCuを配線に適用する上での課題となっていた。この対策として、従来Cu上部に窒化シリコン等の絶縁膜を形成する方法が提案されていた。この方法ではビアホール形成工程で底面のCuが必ず露出するため、底面のCuの酸化によるビア抵抗増加等の問題があった。

バリアメタルで周囲を完全被覆した新構造の埋込みCu

配線を開発することによってこれらの課題を解決した。この構造を実現するために、化学機械研磨を用いたダマシン法を改良した新プロセスを考案した。新プロセスでは、Cu研磨時にリセス(凹部)を形成し、リセスにバリアメタルを埋め込むことにより、Cu配線上部に自己整合的にバリアメタルを形成できる。自己整合プロセスであるので、マスク数・チップ面積が増加することはない。

この完全被覆配線構造により、ビア形成工程を含めた配線工程におけるCuの酸化・拡散を防止でき、安定した埋込みCu多層配線プロセスを構築することができる。今後、量産化を目指し、更に開発を進めていく予定である。



完全被覆Cu配線の断面とプロセスフロー

今回開発した完全被覆Cu配線の断面SEM写真とプロセスフローを示す。バリアメタルでCuの周囲を完全被覆することにより、Cuの酸化・拡散を防止できる。従来のダマシン法を改良した新プロセスにより、バリアメタルを自己整合的に形成できる。このプロセス適用により、マスク数・チップ面積が増加することはない。

*先端技術総合研究所 **同研究所(工博)

1. ま え が き

LSIの大規模化に伴い、半導体技術はパターンサイズの縮小を追求してきた。現在では2000年に向けて0.25 μmの技術開発が本格化し、0.18 μm以降の技術開発も進行しつつある。

LSIの大規模化・微細化・高速化に伴い、多層配線における配線遅延や信頼性の低下等の問題が深刻となりつつある。Cuは従来のAlに比べて30%程度低抵抗であり、約3けたの信頼性向上が期待できるため、これらの問題を解決できる次世代の配線材料として注目されている。しかし、Cuは加工が難しく、容易に酸化・拡散するため、これに対応できるプロセスを確立できるかどうかデバイス適用のかぎ(鍵)となっている。

本稿では、当社におけるCu配線形成技術の開発について紹介する。特に多層配線で大きな問題となる上部バリアメタルの形成方法を新たに開発し、バリアメタルで完全被覆したCu配線を実現した結果について詳しく述べる。

2. LSI配線のトレンド

LSIでは、世代ごとに0.7の割合でサイズが縮小されてきた。これに伴ってトランジスタの性能は向上し、デバイスの高速化が実現されてきた。一方、配線では微細化に伴って次のような問題が生じる。①配線の断面積は微細化に伴って減少するため、配線抵抗や電流密度は増加する。②配線抵抗が増加すると配線遅延も増加し、配線遅延が動作速度を律速するため、トランジスタを高性能にしても動作速度を向上できないという問題点がある。③電流密度が高くなると配線のエレクトロマイグレーション(以下“EM”という)寿命が短くなり、配線の信頼性に悪影響を与える。

図1、図2は配線遅延、EM寿命が微細化に伴ってどのように変化するかを計算した結果である⁽¹⁾。配線遅延は第三世代で1けた増加し、EM寿命は第三世代で2けた低下しており、微細化に伴ってこれらの問題が深刻となる。

表1に示すように、Cuは現状の配線材料であるAlCuと比べて比抵抗は70%以下と低く、信頼性は約3けた高いと報告されており⁽²⁾、上記のような問題を抜本的に解決でき

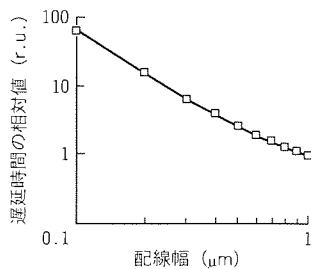


図1. 配線遅延と配線幅の関係

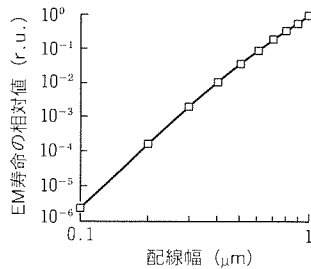


図2. エレクトロマイグレーション寿命と配線幅の関係

る次世代配線材料として注目されている。

3. Cu配線技術

3.1 従来のCu配線技術

CuをLSI配線に適用するための主な課題として、加工性、SiやSiO₂中への拡散防止、酸化防止が挙げられる。これらの問題を解決するため現在までに様々な開発が進められてきた。加工については、基板温度を200~300°Cに上げた反応性イオンエッチング(以下“RIE”という)やグマシン法⁽³⁾⁽⁴⁾が開発され、サブミクロンの配線を形成できるようになっている。拡散・酸化については、バリアメタルを形成することによって防ぐことができる。しかし、従来採用されてきたRIEによって配線を形成した場合、側壁にバリアメタルを形成するのが難しい。これに対し、グマシン法ではトレンチ(溝)を形成した後にバリアメタルを形成できるので、側壁バリアメタルを容易に形成できる。配線上部での拡散・酸化は、SiN、Al₂O₃等の絶縁膜を形成することによって防止できる⁽³⁾⁽⁴⁾。

以上のようにグマシン法には、サブミクロンの配線形成が可能、酸化・拡散防止層の形成が容易といったメリットがあるため、我々はグマシン法によるCu配線の開発を進めてきた。しかし、従来の方法では上部のバリア層として絶縁膜を用いていたため、上層の配線とのバイア(接続孔)を形成する際に下層のCu配線の表面が露出してしまうという問題がある。露出したCu表面には絶縁膜エッチングやレジスト除去時に変質層が形成され、バイアコンタクト不良やバイアにおける信頼性の低下が引き起こされる。バイア形成時にCuの露出を防ぐためには、Cuの上部をバリアメタルによって覆う必要がある。すなわち、バリアメタル完全被覆構造が理想的な構造となる。

3.2 完全被覆Cu配線技術

今回、我々は従来のグマシンプロセスを改良することにより、バリアメタル完全被覆構造を作成することに成功した。配線を作成したプロセスフローを図3に示す。まず、酸化膜にRIEによってトレンチを形成する。Cuをスパッタによって埋め込んだ後、化学機械研磨(以下“CMP”という)によってCuとTiNを研磨し、溝以外の部分を除去する。このとき、更にCMPによる研磨を続けると、溝に埋め込まれた配線上部が更に研磨され、リセス(凹部)が形成されることを見出した。上部バリアメタル材料としてTiWNをスパッタ

表1. AlCuとCuの材料特性

		AlCu	Cu
比抵抗 (μΩ・cm)	バルク	2.8	1.7
	薄膜	3	1.9
EM活性化エネルギー (eV)		0.6~0.8	~1

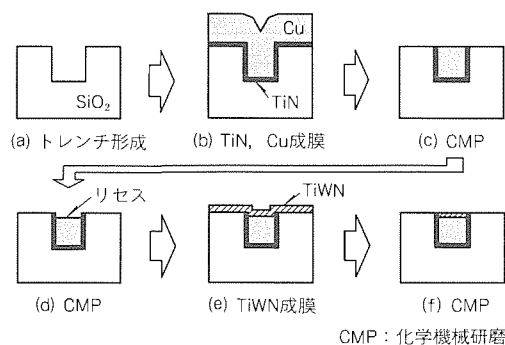


図3. 完全被覆Cu配線のプロセスフロー

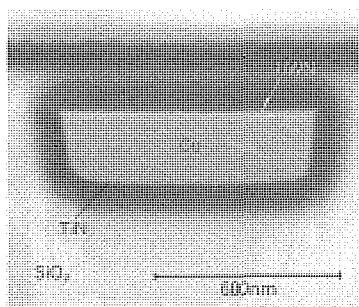


図4. 完全被覆Cu配線の断面SEM写真

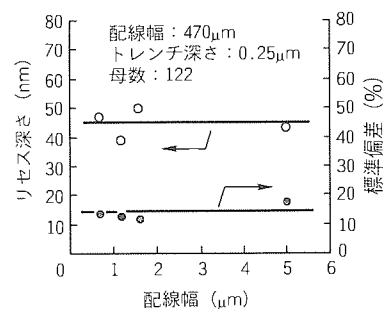


図5. リセス深さとその分布の配線幅依存性

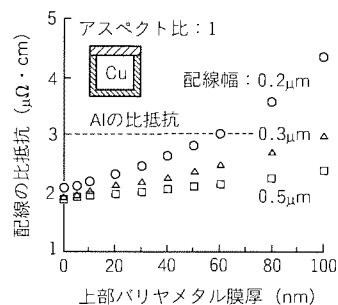


図6. 上部バリアメタルの膜厚が配線の比抵抗に及ぼす影響

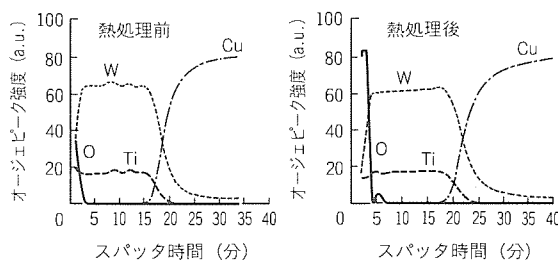


図7. アニール処理前後の各元素の深さ方向分布

表2. TiWN/Cu構造のアニールによる抵抗変化

TiWN膜厚 (nm)	20	30	50
$\Delta R/R$ (%)	∞	-2	-4

注 450°C, 30min, 空气中

によって形成した後、CMPによってリセス以外の部分に形成されたTiWNを除去する。このようにリセスにTiWNを埋め込むことにより、セルフアラインで上部バリアメタルを形成することできる。セルフアラインプロセスであるため、上部バリアメタルと配線のアライメントは不要であり、アライメントマージンを確保するために配線ピッチを大きく取る必要がない。以上のようにして形成された配線の断面SEM写真を図4に示す。配線幅は0.7 μm 、深さは0.24 μm である。TiNのカバレッジはほぼ100%であり、良好な特性である。また上部TiWNはセルフアラインで形成されており、その膜厚は45nmに制御できている。以上のように、バリアメタルで完全被覆した配線をセルフアラインプロセスで実現することができた。

このプロセスで懸念されるのが、リセス形成の制御性である。リセスを制御するには、トレンチ内でのリセス深さの均一性及びモフォロジ、ウェーハ面内でのリセス深さの均一性、配線幅依存性がないといった項目が要求される。図から分かるように、トレンチ内でリセスは均一に形成されている。またCMP後のCuの表面では平均粗さが1nmであり、良好なモフォロジが得られている。図5に示すように、ウェーハ面内でのリセス深さの分布は、45nmに対し、1 σ で5nmと良好である。リセス深さの分布にはCMPの均一性が反映される。今回エアバッグ方式を採用することにより、ウェーハに対して均一に加重することができ、良好な均一性を得ることができた。また、配線幅0.7~5 μm の範囲において、

リセスの深さは配線幅にほとんど依存しない。以上から、今回のプロセスはリセス深さに対して十分な制御性を持っていると言える。

3.3 完全被覆配線の電気的特性

配線の実効的な比抵抗は、バリアメタルと配線材料の比抵抗によって決まることになる。一般に、バリアメタルの比抵抗は、Cuの比抵抗の数十倍~数百倍と高い。このため、バリアメタルの膜厚が厚くなると配線の比抵抗は増加することになる。上部バリアメタルの膜厚が配線抵抗に与える影響を図6に示す。特に、配線幅が狭くなると上部バリアメタル膜厚の影響が大きくなるのが分かる。以上のように上部のバリアメタルを薄膜化することにより、配線の比抵抗を下げることができる。

バリアメタルの薄膜化には、リセスの制御性及びバリアメタルの耐酸化性が必要となる。3.2節で述べたように、リセスの制御性は良好である。また、TiWNは優れた耐酸化性を示し⁽⁵⁾、薄膜化に適している。異なる膜厚のTiWNをCu上に形成し、450°C、30分、大気中で熱処理した後のCuの抵抗変化率($\Delta R/R$)を表2に示す。膜厚30nmにおいてもCuの抵抗は、熱処理前後でほとんど変化せず、酸化による抵抗上昇は観察されない。図7に示すように、このときのTiWNの酸化は表面で止まっている。以上のように、30nmのTiWNによって酸化を防止できる。リセス形成時の分布が1 σ で5nmであることを考慮した場合、上部バリアメタル膜厚には45nm以上が必要となる。このときの配線の比抵抗と配線幅の関係を計算した結果が図8である。上部バリアメタルを薄膜化したことにより、0.15 μm 幅の配線

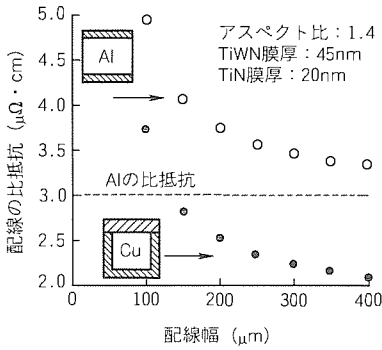


図8. 配線の比抵抗の配線幅依存性

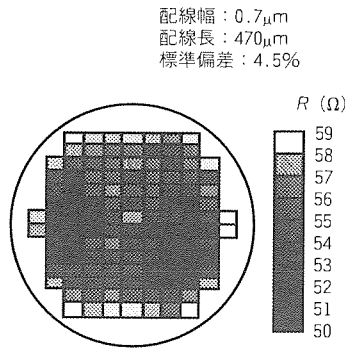


図9. シート抵抗のウェーハ面内分布

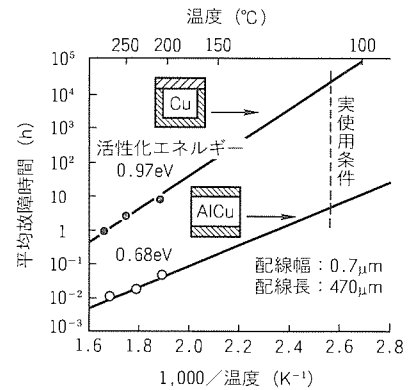


図10. Cu配線とAlCu配線のエレクトロマイグレーション寿命の比較

においても、配線の比抵抗はAlよりも低くなる事が分かる。また、図9に配線抵抗の面内分布を示す。1σで4.5%と良好な値が得られている。

CuのEM寿命を測定した結果を図10に示す。評価はウェーハレベルで、高加速条件で行っている。電流密度は 10^7 A/cm²である。CuのEMに対する活性化エネルギーは0.97 eVで、AlCuよりも高い値が得られている。この値は、他の報告⁽²⁾⁽⁴⁾とほぼ一致した値である。実使用温度でのEM寿命を考えた場合、EM寿命はAlCuよりも約3けた長く、Cuが優れた信頼性を持っている。

4. む す び

CuをLSI配線に適用することにより、LSIの微細化に伴う配線遅延の増加とEM寿命の低下を解決することができる。しかし、Cuは容易に酸化・拡散するため、配線工程でこれらをいかに抑制するかがCuを配線に適用する上での課題となっていた。特にバイアホール形成工程では底面のCuが必ず露出するため、底面のCuの酸化によるバイア抵抗増加等の問題があった。

バリヤメタルで周囲を完全被覆した構造とすることにより、これらの課題を解決した。グマシン法を採用することにより、底面及び側面のバリヤメタルは容易に形成できた。上部バリヤメタルの形成のために、化学機械研磨を用いたグマシン法を改良した新プロセスを考案した。このプロセスでは、Cu研磨時にリセスを形成し、リセスにバリヤメタルを埋め込むことにより、Cu配線上部に自己整合的にバリヤメタルを形成できる。リセスの深さの制御性は、45 nmに対し、1σで5 nmと良好である。

酸化耐性の高いTiWNを採用し、TiWNの膜厚を決めるリセス深さを精密に制御することにより、上部バリヤメタルの膜厚を45 nmまで薄膜化できた。これにより、0.15 μm幅の配線においてもAlより低い比抵抗を得ることがで

きる。配線抵抗の面内分布は1σで4.5%と良好である。また、EMに対してAlCu配線よりも約3けた高い信頼性がある。

今後は量産に向けたプロセス開発を行っていく予定である。

参 考 文 献

- (1) 豊田吉彦, 深田哲生, 森 剛, 長谷川万希子, 三上登: 高信頼性Cu配線の特性, 信学技報, **95**, No.207, 41~47 (1996)
- (2) Ohmi, T., Hoshi, T., Yoshie, T., Takewaki, T., Otsuki, M., Shibata, T., Nitta, T.: Large Electromigration Resistance Copper Interconnect Technology for Sub-half Micron ULSI's, Tech. Dig. of IEDM, 285~288 (1991)
- (3) Ueno, K., Ohto, K., Tsunenari, K.: A Half-micron Pitch Cu Interconnection Technology, Symp. on VLSI Tech. Dig., 27~28 (1995)
- (4) Hoshino, M., Misawa, N., Kakuta, K., Oh-sako, N., Okamoto, S., Ohba, T., Yagi, H., Yamada, M., Furumura, Y.: Comparative Evaluation Study of CMP Copper Interconnect Prepared by Sputter Reflow with the One Prepared by CVD, Proc. of Advanced Metallization and Interconnect Systems for ULSI Applications, 701~707 (1995)
- (5) Fukada, T., Toyoda, Y., Hasegawa, M., Kurokawa, H., Sato, I., Nunoshita, M.: Prevention of Cu Oxidation in ULSI Process, Proc. of Advanced Metallization for ULSI Applications, 109~115 (1993)

CVD法による高誘電率キャパシタ形成技術

川原孝昭* 結城昭正**
山向幹雄* 斧高一**
堀川 剛*

要旨

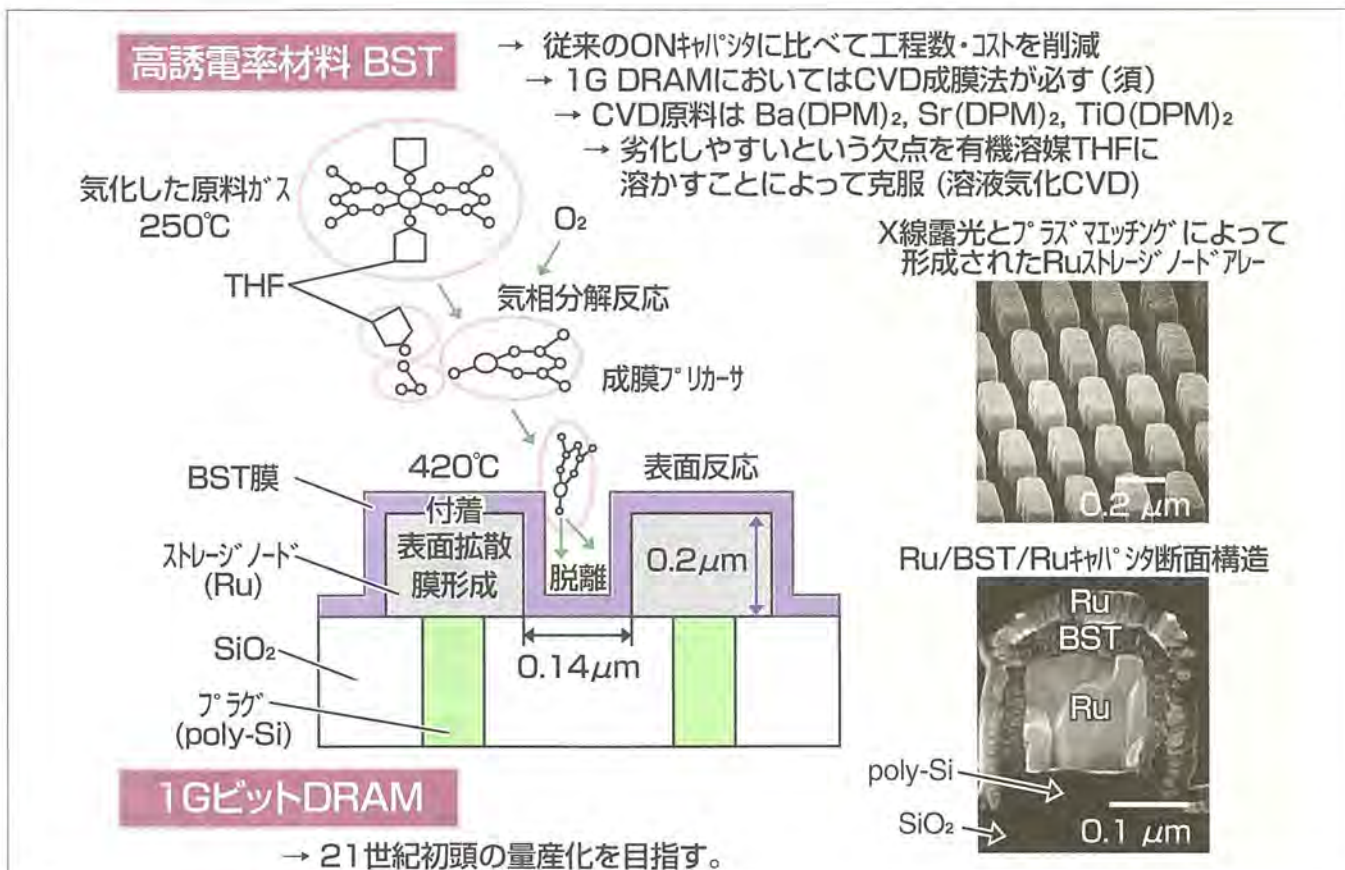
高誘電率材料BSTを用いてギガビットスケールDRAMに必要な $\sim 25\text{fF}/\text{セル}$ の容量を得るには、高さ $\sim 0.2\mu\text{m}$ の厚膜スタックセルが必要とされ、その形成には段差被覆性に優れたCVD成膜法が必ず(須)である。今回、独自の溶液気化CVD装置を製作し、互いに構造の似た独自のBa, Sr, Ti化合物原料を用いることによって、 420°C という低温で良好なステップカバレッジ80%を得るとともに、同条件において生じる膜表面異常(突起物)が成膜初期に熱処理を施して核形成密度を増加させるという2ステップ成膜によって抑制できることを見出した。この 420°C 、2ステップ成膜によるCVD-BST膜において、平面構造のRu電極上で、酸化膜換算膜厚 $t_{\text{eq}} \sim 0.5\text{nm}$ 、リーク電流 $J_L \sim 1.0 \times 10^{-8}\text{A}/\text{cm}^2$ (at+1.1V)の電気特性、さらに、段差構造に

おいて側壁の面積増加分の容量増加を確認し、1G DRAMに要求される電気特性を満足するCVD成膜プロセス技術を開発した。

本稿では、このCVD-BST成膜プロセスに関してこれまで得られたデータを概説するとともに、特にこのプロセスにおいてキーとなるCVD原料、カバレッジ、2ステップ成膜等の要素技術に関して詳細に検討した内容について紹介する。

注：略語説明

DRAM：Dynamic Random Access Memory, BST：(Ba, Sr)TiO₃, ON：SiO₂/Si₃N₄, CVD：Chemical Vapor Deposition, DPM：Dipivaloylmethanato, (C₁₁H₁₉O₂), THF：Tetrahydrofuran, (C₄H₈O)



CVD-BST成膜反応モデルと高誘電率キャパシタ断面構造

三菱電機独自の溶液気化法によってCVDリアクタに安定に供給されたBa, Sr, Ti原料は、O₂雰囲気中で気相分解によって成膜前駆体(プリカーサ)を形成し、これが表面反応によって形成されるBSTキャパシタは良好なカバレッジ特性を示し、ギガビットスケールDRAMに適用可能であることを実証した。

1. ま え が き

半導体メモリの主力製品である DRAM はキャパシタに電荷を蓄積させて記憶動作を行い、一つのトランジスタと一つのキャパシタで構成されるため 1セル当たりの使用素子数が少なく、高集積化に適している。これまでおよそ 3年に 4倍のスピードで高集積化が進み、現在 16 M DRAM の本格的な量産が行われ、次の時代を代表する 64 M DRAM の開発も最終段階にきて量産へ移行しつつある。このように高集積化が進んでも、自然界に存在する α 線によって引き起こされるソフトエラー等を防ぐため、1セルに要するキャパシタ容量はほぼ 25 fF で一定である。16 M DRAM, 64 M DRAM ではキャパシタ材料として SiO_2 や Si_3N_4 が用いられ、キャパシタ面積を確保するために円筒型やフィン型など複雑な三次元構造のメモリセルが適用されている。256 M DRAM において同様な三次元セル構造を用いて 25 fF/セルを得るには、更に複雑な下部電極構造を形成する必要があり、極めて高度な微細加工技術が必要で、また工程数が増加し、プロセスコストの増大が避けられない。これを解決する手段として、 SiO_2 や Si_3N_4 膜に比べて比誘電率 ϵ_r が著しく大きい (Ba, Sr) TiO_3 (以下“BST”という。) をキャパシタ材料として使用する検討を行っている⁽¹⁾⁽²⁾。

図 1 に、64 M ~ 4 G DRAM に対して膜厚 250 Å の BST 薄膜を用いた平面キャパシタを想定した場合のキャパシタ平面面積と、25 fF/セルを得るのに要する BST の比誘電率 ϵ_r を示す。1セル当たりのキャパシタ容量 C は、

$$C (\text{F/セル}) = \epsilon_0 (\text{F/m}) \times \epsilon_r \times S (\text{m}^2/\text{セル}) / d (\text{m})$$

$$\epsilon_0 : \text{真空の誘電率} (= 8.855 \times 10^{-12}),$$

$$S : \text{セルキャパシタ面積}, d : \text{BST 膜厚}$$

と表され、1 G DRAM においては $\epsilon_r = 350$ 程度が必要となる。これまで報告されている膜厚 250 Å 程度の BST 薄膜の ϵ_r は高々 300 程度であり、1 G DRAM において 25 fF/セルを得るには、キャパシタ面積を稼ぐため厚膜ストレージノードである段差構造への BST 膜形成が必須となる。

そこで、段差被覆性に加え、量産性・組成制御性にも優れた CVD (Chemical Vapor Deposition) が BST の成膜手

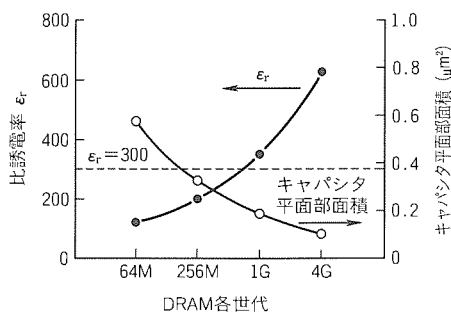


図 1. DRAM 各世代でのキャパシタ平面部面積と要求される比誘電率

法として期待されるが、一般によく使用される Sr (DPM)₂ (Bis - dipivaloylmethanato Strontium) 等の CVD 原料は蒸気圧が低く、重合などによって劣化するなどの欠点がある。当社では、図 2 に示すように、THF を添加すれば重合等を抑制できることを見出し、我々は、CVD 固体原料を有機溶剤 THF に溶かした溶液を気化器で気化することによって CVD チャンネルへ安定に供給が可能な溶液気化 CVD 法による BST 膜たい (堆) 積プロセスと装置の開発を行っている⁽³⁾。

本稿では、この CVD-BST 成膜プロセスに関してこれまで得られたデータを概説するとともに、特にこのプロセスにおいてキーとなる CVD 原料、段差被覆性、2ステップ成膜等の要素技術に関して詳細に検討した内容を述べる。

2. 装置概略及び成膜条件

図 3 に溶液気化法による BST-CVD 装置の概略を、表 1 に代表的な成膜条件を示す。Ba, Sr 原料として、Ba (DPM)₂ (Bis - dipivaloylmethanato Barium), Sr (DPM)₂, Ti 原料として、TTIP (Titanium Tetraisopropoxide : $\text{Ti}(\text{O}-i-\text{C}_3\text{H}_7)_4$), $\text{Ti}(\text{O}-i-\text{C}_3\text{H}_7)_2(\text{DPM})_2$ (Bis - isopropoxy bis - dipivaloylmethanato Titanium), $\text{TiO}(\text{DPM})_2$ (Titanyl bis - dipivaloyl-

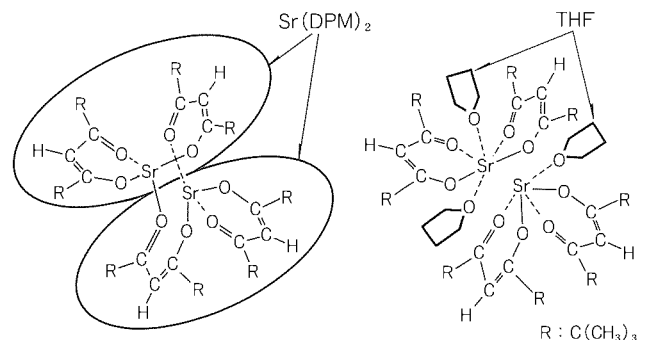


図 2. 溶液気化CVDの概念

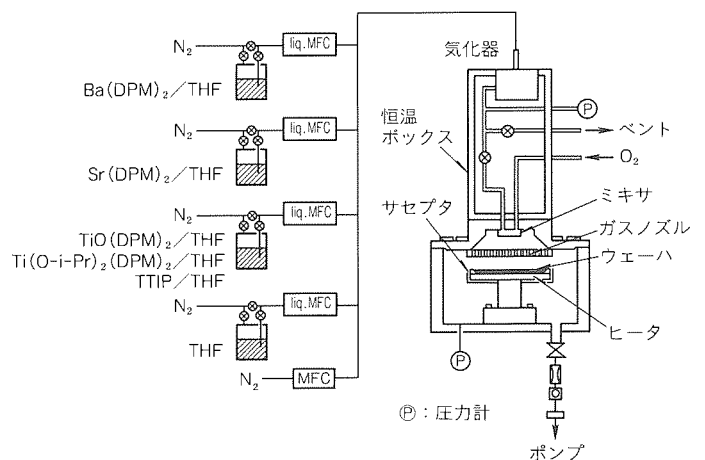


図 3. 溶液気化法によるBST-CVD装置の概略

表 1. 代表的な成膜条件

Ba, Sr, Ti	Ba(DPM) ₂ /THF (0.1mol/ℓ)	0.04cm ³ /min
	Sr(DPM) ₂ /THF (0.1mol/ℓ)	0.03cm ³ /min
	TiO(DPM) ₂ /THF (0.1mol/ℓ)	0.5cm ³ /min
	キャリアN ₂ 流量	200cc/min (標準状態)
	気化器温度	250°C
	気化器圧力	20Torr
酸化剤	O ₂ 流量	1ℓ/min (標準状態)
	反応室圧力	1.5Torr
基板構造	基板温度	420°C
	Pt (700 Å)/SiO ₂ (5,000 Å)/Si	
	Ru (2,000 Å)/Si	

アナライザ (HP 4155 A, HP 4194 A) によって調べた。

3. 結果及び考察

3.1 CVD原料

粉体 Sr (DPM)₂ 7.4 mg 及び 1.5 mol/ℓ の溶液 Sr (DPM)₂/THF 8.0 mg を、気化器とほぼ同じ 20 Torr N₂ 雰囲気において、室温から 300°C まで 10°C/分 で昇温し、30 分ほど 300°C に保持して得られた TG (Thermo-

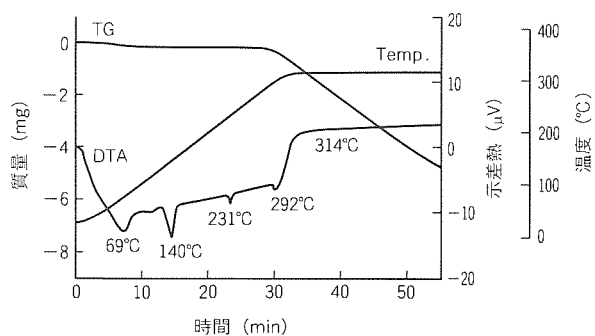
gravimetric analysis) - DTA (Differential Thermal Analysis) 分析結果を図 4(a)(b) に示す。固体 Sr (DPM)₂ は 292°C から気化が開始し、40 分程度ではほぼすべて昇華し、残さ(渣)は観察されなかった。気化の開始温度は、固体 Ba (DPM)₂ の場合はほぼ同じ 294°C、固体 TiO (DPM)₂ はかなり低い 190°C であり、TiO (DPM)₂ の気化開始温度が他の二つに比べてはるかに低いことが分かった。

一方、溶液 Sr (DPM)₂/THF の場合は室温から徐々に THF の気化によると考えられる質量減少が見られ、いったん減少は止まるが、210°C からまた徐々に減少し、300°C に保持してからは 6 分程度ですべて気化し、やはり残渣はほとんど観察されなかった。210°C から 300°C における勾配の緩やかな減少は THF を付加した Sr (DPM)₂ の気化、300°C に保持してからの減少は固体 Sr (DPM)₂ の昇華によると考えられ、Sr (DPM)₂ に THF を付加させることによって気化開始温度を 292°C から 210°C に低減することが可能となった。ただし、TG-DTA 分析時、通常の容器では溶液 Sr (DPM)₂/THF が即座に気化してしまうので、できるだけ溶液 Sr (DPM)₂/THF の昇華を抑制できる構造としており、実際に原料の設置されている容器内圧力は 20 Torr より高く、気化器圧力 (20 Torr 程度) においてはより低い温度で気化すると考えられる。

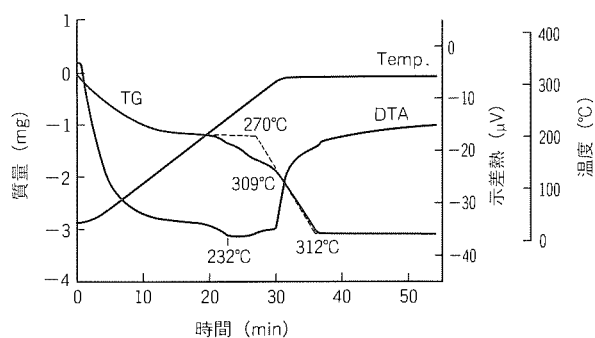
3.2 段差被覆性

CVD は、一般にスパッタ等の物理的な堆積法に比べて段差被覆性 (ステップカバレッジ) が良好であることはよく知られている。しかし、図 5 に示すように、Ti 原料に TTIP を使用し、基板温度 $T_s = 480^\circ\text{C}$ 、反応室圧力 $P = 10$ Torr において得られた CVD-BST 膜のカバレッジが $d_{\min} / d_{\max} = 38\%$ (アスペクト比 $D/W = 0.65$, D (溝の深さ) $= 0.8 \mu\text{m}$, W (溝幅) $= 1.2 \mu\text{m}$) であり、 $T_s = 370^\circ\text{C}$ における Sputter-BST 膜の 30% と大差ないことが分かった。 d_{\max} は段差上面 BST 膜の最大膜厚、 d_{\min} は溝底部の最小膜厚である。

一方、Ba (DPM)₂, Sr (DPM)₂, TTIP 単体からそれぞれ BaO, SrO, TiO₂ を成膜すると BaO, SrO のカバレッジが TiO₂ に比べて良好であることから、Ti 原料を Ba, Sr と同じ DPM 系にすればカバレッジが向上するものと予



(a) 固体Sr(DPM)₂



(b) Sr(DPM)₂/THF 溶液

図 4. TG-DTA 分析結果

methanato) を用い、溶剤である THF に溶かした溶液を liq. MFC (liquid Mass Flow Controller) によって流量制御してキャリアガス N₂ とともに気化器へ供給する。気化した原料は、250°C の恒温ボックス内の配管を通り、ミキサ内で酸化剤 O₂ と混合され、ガスノズルからヒータで加熱された直径 6 インチのウェーハ上へ均一に供給され、成膜に至る。ノズルの径、長さ、ピッチはあらかじめ計算によって最適値を求め、装置を作製した。圧力計は図に示すように 2 か所に設置し、それぞれの指示値は気化器圧力及び反応室圧力である。基板としては、Pt (700 Å)/SiO₂ (5,000 Å)/Si, Ru (2,000 Å)/Si の 2 種類を用いた。膜厚、段差被覆性、表面モフォロジは走査型電子顕微鏡 (SEM) 観察により、膜組成は X 線蛍光分析 (XRF)、膜構造は X 線回析 (XRD) と透過型電子顕微鏡 (TEM)、電気特性はインピーダンス

想された。実際、Ti原料をTi(O-i-Pr)₂(DPM)₂、TiO(DPM)₂とした場合、それぞれのBST膜のカバレッジは図に示すように58%、72%となり、Ti原料としてTiO(DPM)₂を使用した場合にカバレッジが最も良好となることが分かった。

TTIPによるTiO₂膜カバレッジの温度依存性を図5に併せ示すが、この系では低温ほど段差被覆性が良好であることが分かる。また低圧ほど良好でもある。そこで、Ti原料としてTiO(DPM)₂を用い、T_s=420°C、P=1.5 Torrという条件で段差被覆率80%が得られた。

3.3 2ステップ成膜

3.2節に示した段差被覆率80%を達成できた条件において得られるBST膜(1ステップ、単層膜厚600 Å)表面には、

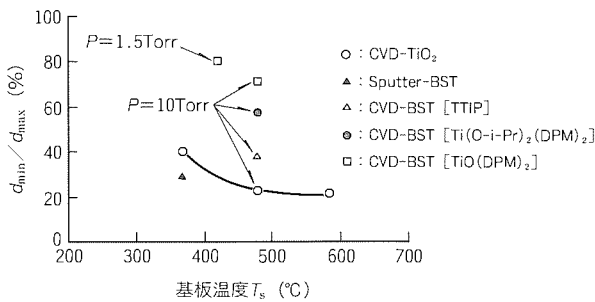
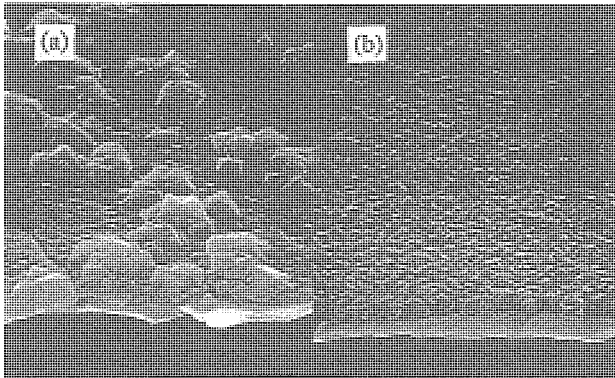


図5. Ti原料及び基板温度T_sと段差被覆性の関係



(a) 1ステップ成膜 (b) 2ステップ成膜

図6. CVD-BST膜の表面モフォロジ

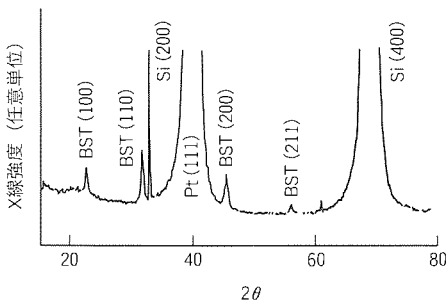


図8. 1ステップCVD-BST膜のXRDスペクトル

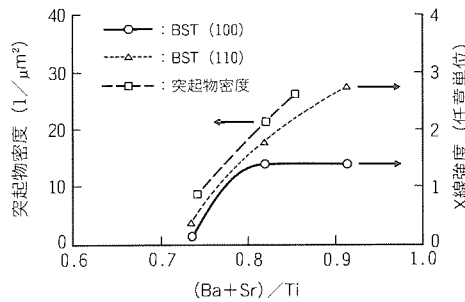
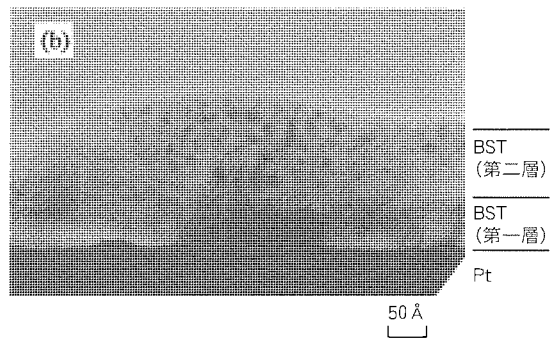


図9. 突起物密度とBST X線強度の(Ba+Sr)/Ti比依存性

図6(a)のSEM像、図7(a)のTEM像に見られるように膜表面に無数の突起物が観察された。突起物があるPt上BST膜のXRDスペクトルを図8に、1μm²当たりの突起物の個数、XRDによるBST(100)とBST(110)のピーク強度と膜組成比(Ba+Sr)/Tiの関係を図9に示すが、膜組成比が化学量論比1に近づくほどこの突起物の密度は増加し、BST(110)のピーク強度も増大することから、突起物がBST結晶であることが分かる。さらに、突起物は成膜初期150 Åにおいて既に形成されており⁽³⁾、突起物のない平坦(坦)な表面を得るには成膜初期において核形成密度を増大させるような処理が必要であると考えられる。そこで、初期膜堆積後、いったんN₂雰囲気中で630°Cの熱処理を施し、



(a) 1ステップ(単層)成膜



(b) 2ステップ成膜

図7. Pt上CVD-BST膜の断面TEM像

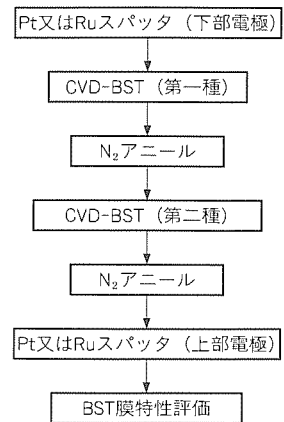


図10. 2ステップ成膜のフロー

さらに上地膜堆積を行うという2ステップ成膜を試みた。図10にプロセスフローを示す。図6(b)のSEM像、図7(b)のTEM像から分かるように、この2ステップ成膜によって突起物がなく平坦なBST膜表面が得られた。したがって、最も良好な段差被覆性が得られる $T_s = 420^\circ\text{C}$, $P = 1.5 \text{ Torr}$ の条件下で、CVD-BST膜形成時に問題となる突起物を抑制するには、初期膜をいったん熱処理する2ステップ成膜が有効であることが明らかとなった。

SiO_2 パターン上にPtをスパッタして形成した段差構造上に、表2に示した2ステップ成膜によって $T_s = 420^\circ\text{C}$, $P = 1.5 \text{ Torr}$ において堆積した初期膜 60 \AA 、上地膜 $2,000 \text{ \AA}$ 程度のCVD-BST膜の断面SEM観察結果を図11に示すが、突起物のない平坦な表面が得られ、かつ80%の良好な段差被覆性を示すBST膜が得られている。

3.4 電気特性

図12に $T_s = 420^\circ\text{C}$, $P = 1.5 \text{ Torr}$ の下でRu及びPt電極上に2ステップ成膜したBST膜のI-V曲線を示すが、共に酸化膜換算膜厚 $t_{\text{eq}} = 0.5 \sim 0.6 \text{ nm}$ 、リーク電流 $J_L \sim 1 \times 10^{-8} \text{ A/cm}^2 (+1.1 \text{ V})$ の良好な電気特性が得られて

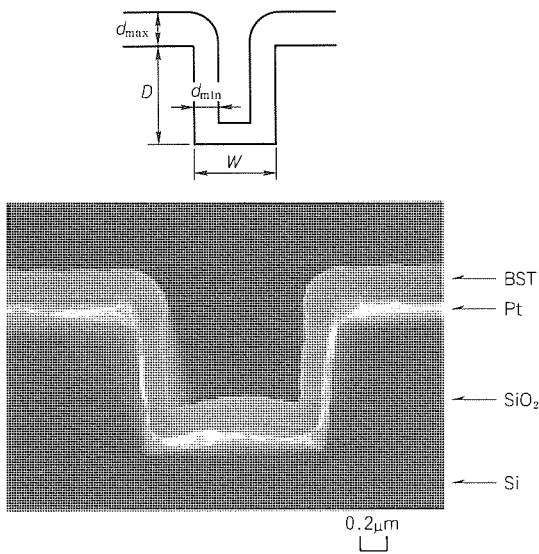


図11. 2ステップ成膜によって得られたCVD-BST膜の段差被覆性

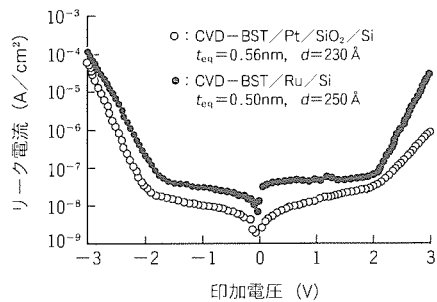
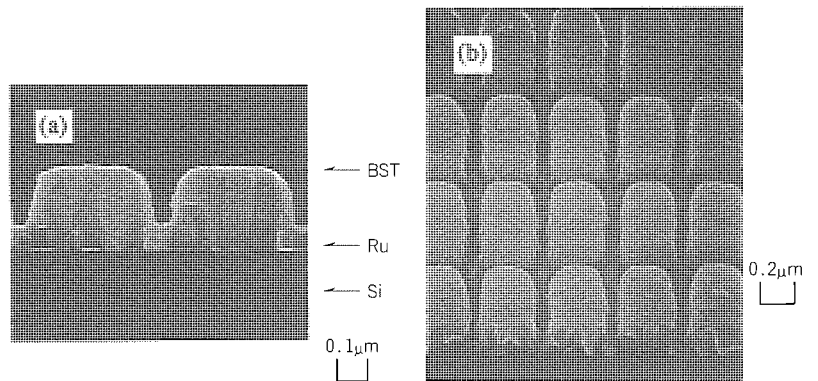


図12. 2ステップ成膜によって得られたRu及びPt電極上BST膜のI-V曲線

いる。RuはPtに比べて加工しやすいという特長以外に酸化しやすいという性質があり、例えば $T_s = 480^\circ\text{C}$, $P = 10 \text{ Torr}$ においては、Ru表面は酸化されるとともに表面荒れを生じるため、Pt電極上に比べてリーク電流が大きくなる。 $T_s = 420^\circ\text{C}$, $P = 1.5 \text{ Torr}$ ではRu表面の酸化及び表面荒れの程度が小さく、Pt上と同程度の良好な電気特性が得られたと考えられる。リーク電流 J_L は共に、BST膜の誘電緩和性によると考えられる低電圧側の平坦な吸収電流⁽⁴⁾の領域と、高電圧側のオーミックなリーク電流の領域に分かれる。また、高電圧側 ($> 2 \text{ V}$) では、+電圧を印加した方が-電圧を印加した場合よりリーク電流 J_L の値が小さい。これは、初期膜のアニールによって結晶化が進行し、下部電極からBST膜へリークする電子が抑制されているためと考えているが詳細は不明であり、この原因の究明はリーク電流のメカニズム解明も併せて今後の課題である。

さらに、エッチング加工によって $0.6 \mu\text{m} \times 0.24 \mu\text{m}$ 、高さ $0.15 \mu\text{m}$ のRu-SN (Storage-node Like) パターンを形成し、その上に2ステップ成膜によって堆積したCVD-BST膜の断面図及び鳥瞰図を図13(a), (b)に示す。Ruのエッチングは、 SiO_2 膜をマスクに O_2 + ハロゲン混合ガスを用いてマグネトロンRIE (Reactive Ion Etching) で行い、このSNパターン上では、平坦な場合に比較して側壁の増加分1.7倍に面積が増加することになる。Ru平面電極上及び段差(SNパターン)上CVD-BST膜の電気特性の結果を図14に示す。平面電極上で蓄積容量 $60 \text{ fF}/\mu\text{m}^2$, $J_L = 7.9 \times 10^{-8} \text{ A/cm}^2 (+1.1 \text{ V})$ のものが、SNパターン上で $93 \text{ fF}/\mu\text{m}^2$ ($23 \text{ fF}/\text{セル}$ に相当)、 $1.7 \times 10^{-7} \text{ A/cm}^2$ となり、リーク電流はほとんど不変で面積増加とほぼ同じ約1.6倍の容量増加が確認された。このように、段差構造にCVD-BST膜を適用し、面積増加分の容量増加を確認できたことによって、1GビットDRAMのセルサイズにおいても、高さ $0.2 \mu\text{m}$ の厚膜ストレージノードを用いて蓄積容量 $25 \text{ fF}/\text{セル}$ を得る可能性が示された。

これまで得られた中心条件 $T_s = 420^\circ\text{C}$, $P = 1.5 \text{ Torr}$



(a) 断面図

(b) 鳥瞰図

図13. 加工形成したRu段差上におけるCVD-BST膜

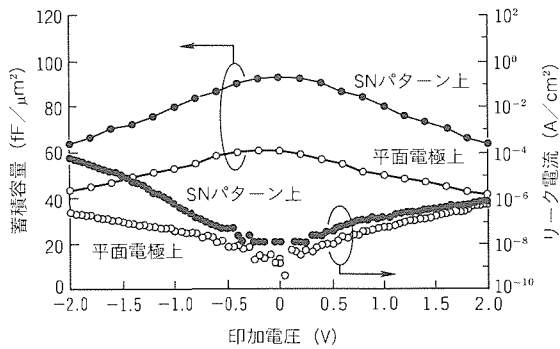


図14. Ru平面電極及び段差 (SNパターン) 上での CVD-BST膜のC-V, I-V曲線

において2ステップ成膜によって得られるCVD-BST膜の比誘電率 ϵ_r は200~300程度であり、また、断面TEM像(図7(b))からは鮮明な粒界は観察されておらず、非晶質に近い結晶構造を形成していると考えられる。今後、更にCVD原料、CVD-BST成膜プロセスと装置構造の最適化を行い、CVD-BST膜質の向上を図りたい。

また、安定なCVD-BST成膜、CVD-BST膜質向上、CVD-BST成膜プロセスと装置構造最適化のためには、CVD原料の特性、分解・成膜反応メカニズムを理解することが必須である。現時点では、表面吸着ラジカルの表面拡散・再結合反応がないと仮定した場合のBST膜を形成する成膜プリカーサ(前駆体)のオーバオールな付着確率 β が $T_s=420^\circ\text{C}$ 、 $P=1.5\text{ Torr}$ においてほぼ0.1であることがトレンチ堆積法によって判明している⁽⁵⁾。この β 値は表面反応速度を表しており、面内の成膜速度分布の推定等が可能である。しかし、前述の0.1という値は、BSTオーバオールに求めた値であり、各CVD原料の β 値は、気化の開始温度と同様、異なると考えられる。そこでまず、各原料の分解・成膜反応メカニズムを理解した上で、BSTを形成する混合した雰囲気における現象について議論することが要求される。

4. むすび

CVD法による高誘電率キャパシタ形成技術に関して、以下の内容が明らかとなった。

- (1) TG-DTA分析により、Sr(DPM)₂にTHFを付加させることによって気化開始温度を292℃から210℃に低減することが可能であることが確認できた。
- (2) Ti原料を一般によく使用されているTTIPからBa, Sr原料と同じDPM系のTiO(DPM)₂への変更及び成膜温度の低温化がカバレッジ向上に有効であること、また、低温条件において生じる突起物が、成膜初期に熱処理を施して核形成密度を増加させるという2ステップ成膜によって抑制できることが判明した。

(3) TiO(DPM)₂を使用した2ステップ成膜によって得られるBST膜の特性はPt及びRu平面電極上で $t_{eq} \sim 0.6\text{ nm}$ 、 $J_L \sim 1.0 \times 10^{-8}\text{ A/cm}^2$ (at +1.1 V)を達成し、また、BST膜を段差構造に適用することにより、アスペクト比0.65において80%のカバレッジ、段差側壁面積増加分の蓄積容量の増加を確認でき、CVD成膜の最大の特長を実証した。これら特性は1GビットDRAM用キャパシタに適用した場合の仕様を十分に満足する。

この研究に関してTG-DTA分析をしていただいたトリケミカル研究所・三原紀久氏、大野英明氏に謝意を表す。

参考文献

- (1) Nishioka, Y., Shiozawa, K., Ohishi, T., Kanamoto, K., Tokuda, Y., Sumitani, H., Aya, S., Yabe, H., Itoga, K., Hifumi, T., Marumoto, K., Kuroiwa, T., Kawahara, T., Nishikawa, K., Oomori, T., Fujino, T., Yamamoto, S., Uzawa, S., Kimata, M., Nunoshita, M., Abe, H.: Giga-bit Scale DRAM Cell with New Simple Ru/(Ba, Sr) TiO₃/Ru Stacked Capacitors using X-ray Lithography, IEDM Tech. Digest, 903 (1995)
- (2) Yuuki, A., Yamamuka, M., Makita, T., Horikawa, T., Shibano, T., Hirano, N., Maeda, H., Mikami, N., Ono, K., Ogata, H., Abe, H.: Novel Stacked Capacitor Technology for 1Gbit DRAMs with CVD-(Ba, Sr) TiO₃ Thin Films on a Thick Storage Node of Ru, IEDM Tech. Digest, 115 (1995)
- (3) Kawahara, T., Yamamuka, M., Yuuki, A., Ono, K.: Surface Morphologies and Electrical Properties of (Ba, Sr)TiO₃ Films Prepared by Two-Step Deposition of Liquid Source Chemical Vapor Deposition, Jpn. J. Appl. Phys., **34**, 5077 (1995)
- (4) Horikawa, T., Makita, T., Kuroiwa, T., Mikami, N.: Dielectric Relaxation of (Ba, Sr) TiO₃ Thin Films, Jpn. J. Appl. Phys., **34**, 5478 (1995)
- (5) Yamamuka, M., Kawahara, T., Yuuki, A., Ono, K.: Reaction Mechanism and Electrical Properties of (Ba, Sr)TiO₃ Films Prepared by Liquid Source Chemical Vapor Deposition, Jpn. J. Appl. Phys., **35**, 2530 (1996)

CuフレームLQFPパッケージ

森 隆一郎*
鈴木康仁*

要旨

半導体デバイスの進展に伴い、多ピン化、高放熱、高速動作への対応がパッケージに要求されている。また、携帯電子機器の増加により、高密度実装への対応も求められている。

これを満たすためにCuフレームを用いたLQFP(Low-profile Quad Flat Package)を開発し、MMP(Mitsubishi Main Package)という位置付けでシリーズ化を進めている。

このLQFPシリーズは、EIAJ/JEDEC標準に準拠した薄型外形・ファインリードピッチを採用して高密度実装を

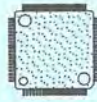
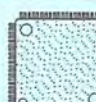
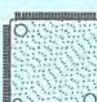


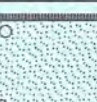



可能にし、また、Cuフレームの採用により、高放熱、高速動作にも対応している。

製品への応用として、高速バーストSRAMなどのメモリ分野、16ビット新コアマイコンM16Cなどのマイコン分野、また、各種ASIC分野に、幅広く使われている。

信頼性の高いパッケージを実現するため、Cuフレームの熱応力緩和に低応力の樹脂ダイボンド材を採用し、吸湿後リフロー時のパッケージクラック耐性向上に低吸水のモールド樹脂を採用した。

CuフレームLQFP ラインアップ

*1：開発中

BODY SIZE(mm)	LEAD PITCH (mm)		
	0.65	0.50	0.40
12×12		 80pin *1	
14×14	 80pin *1	 100pin	 120pin
14×20	 100pin	 128pin *1	 156pin
20×20		 144pin	 176pin *1

CuフレームLQFPのラインアップ

CuフレームLQFPは、熱・電気特性や高密度実装に優れ、メモリ、マイコン、ASICの用途に広く使われている。

1. ま え が き

半導体デバイスの進展に伴い、多ピン化、高放熱化、高速動作への対応がパッケージに要求されている。また、携帯電子機器の増加により、高密度実装への対応も求められている。

これを満たすためCuフレームを用いたLQFPを開発し、MMPという位置付けでシリーズ化を進めている。

このパッケージは、従来のQFPパッケージに対して薄型の外形とファインリードピッチを採用して高密度実装を可能にし、また、Cuフレームの採用により、高放熱、高速動作にも対応している。図1にパッケージの開発プランを示す。

製品への応用として、高速バーストSRAMなどのメモリ分野、16ビット新コアマイコンM16Cなどマイコン分野、

また、各種ASIC分野に、幅広く使われている。

2. パッケージの外形

このLQFPシリーズはEIAJ/JEDEC標準に準拠しており、図2に示すように、パッケージ本体の厚みが1.4mmと薄いことを特長とする。

パッケージ本体のサイズは、12mm×12mm、14mm×14mm、14mm×20mm、20mm×20mmをそろえ、同一本体サイズに対して、リードピッチは、0.65mm、0.50mm、0.40mmをラインアップして多ピン化を図り、高密度実装を可能にしている。

現在、12mm×12mmの本体サイズに対しては80ピン(0.5mmピッチ)を開発中であるが、14mm×14mmの

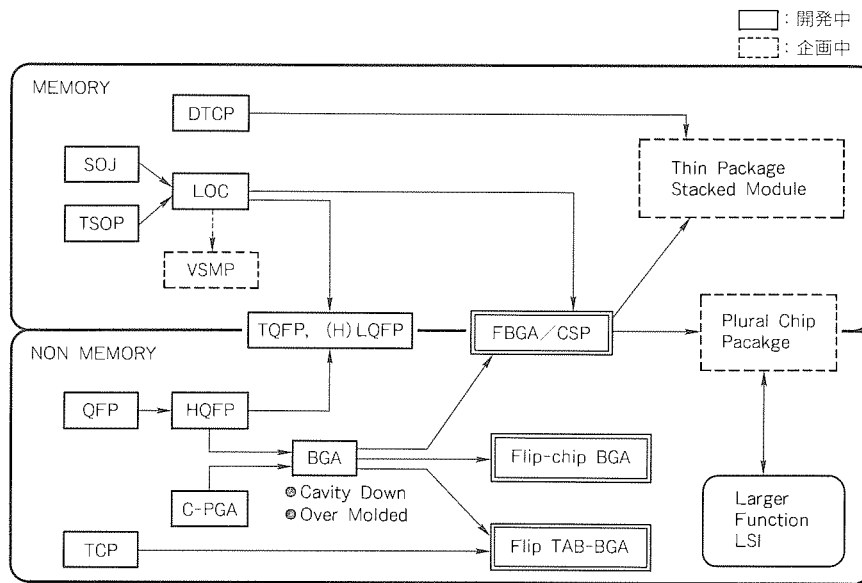


図1. パッケージの開発プラン

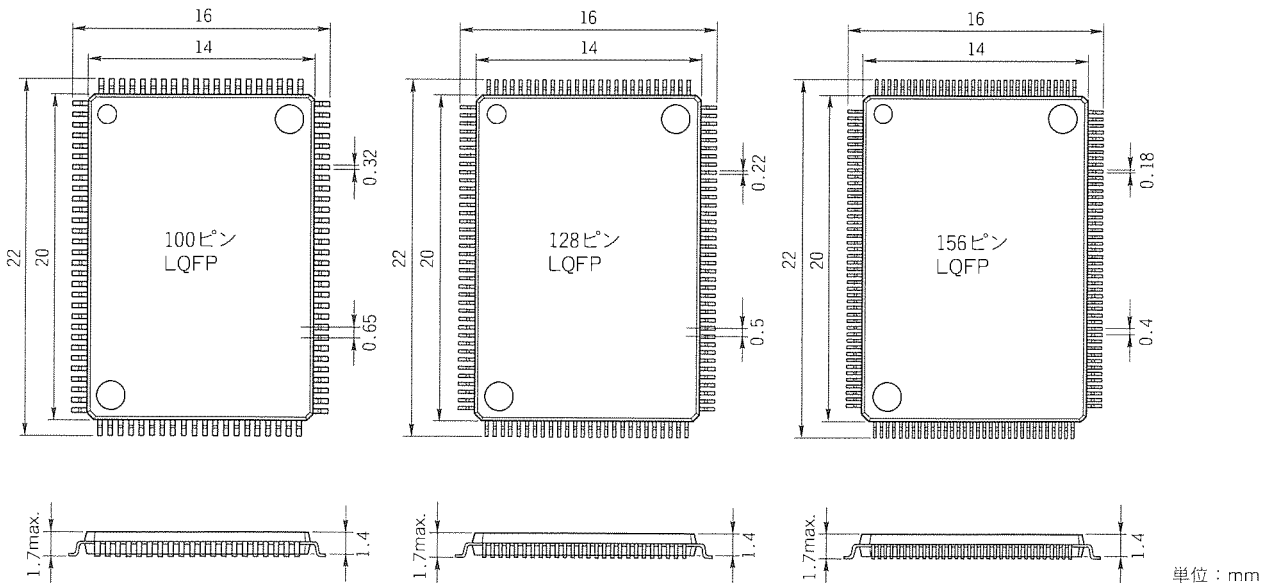


図2. CuフレームLQFPの外形例

本体サイズに対しては100ピン(0.50mmピッチ)及び120ピン(0.40mmピッチ)は開発を完了しており、80ピン(0.65mmピッチ)も開発中である。14mm×20mmの本体サイズに対しては100ピン(0.65mmピッチ)と156ピン(0.40mmピッチ)は開発を完了しており、128ピン(0.50mmピッチ)も開発中である。また、20mm×20mmの本体サイズに対しては144ピン(0.50mmピッチ)は開発を完了し、176ピン(0.40mmピッチ)も開発中である。

3. パッケージ特性

今回のCu合金をリードフレーム材とし使用した場合と、鉄合金である42アロイを使用した場合との、パッケージ本体サイズ14mm×14mmの100ピンLQFPの、リードフレーム材による熱抵抗変化シミュレーション比較を図3に示す。

このパッケージの熱抵抗シミュレーションは、実装基板のサイズは70mm角、基板の厚みは1.6mm、基板材質はガラスエポキシFR-4で、基板上銅箔はく(箔)は1層で18 μ m厚としている。搭載チップサイズはそれぞれ3種類とした。

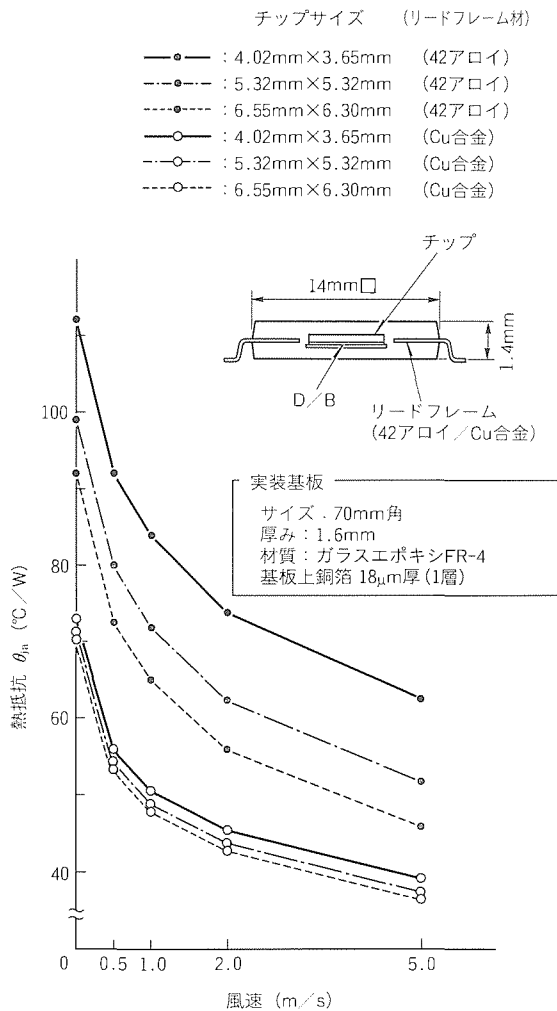


図3. リードフレーム材による熱抵抗変化シミュレーション結果

42アロイの場合は、チップサイズによって熱抵抗が大きく異なっていて、Cu合金の場合は、熱抵抗が大きく改善され、チップサイズ間で顕著な差はないことが分かる。

例えば、風速1.0mm/sの場合、42アロイではチップサイズの大きさによって熱抵抗が約65 $^{\circ}$ C/Wから約85 $^{\circ}$ C/Wまで変わるが、Cu合金では約45 $^{\circ}$ C/Wから約50 $^{\circ}$ C/Wまでの低く狭い範囲に納まっている。

このように、Cu合金をリードフレーム材に採用したことで、高放熱化を達成している。

また、上記と同じパッケージを用いて、Cu合金と42アロイとの、リードフレーム材による電気特性比較を図4に示す。リードの自己インダクタンスの周波数依存性は、42アロイの方が低周波数側で大きくなっていて、Cu合金の場合は、自己インダクタンスが小さく、周波数依存性も小さいことが分かる。

例えば、42アロイでは、周波数が1MHzから100MHzの範囲に対して自己インダクタンスは約7.4nHから約2.4nHまで変化しているが、Cu合金では、周波数が1MHzから100MHzの範囲に対しても自己インダクタンスは約2.8nHから約2.1nHの低い範囲に納まっている。

このように、Cu合金をリードフレーム材に採用したことで、電気特性の改善を達成した。

4. パッケージの信頼性

Cu合金をリードフレーム材としたことによるパッケージの信頼性へのメリットは、はんだ付け部の寿命が42アロイに比べて改善される点である。

上記と同様に100ピンパッケージを用いて、Cu合金と42アロイとの、温度サイクルを与えたときのはんだ付け部の寿命(はんだ付け部に亀裂が発生し始めた時)をシミュレーションした結果を図5に示す。

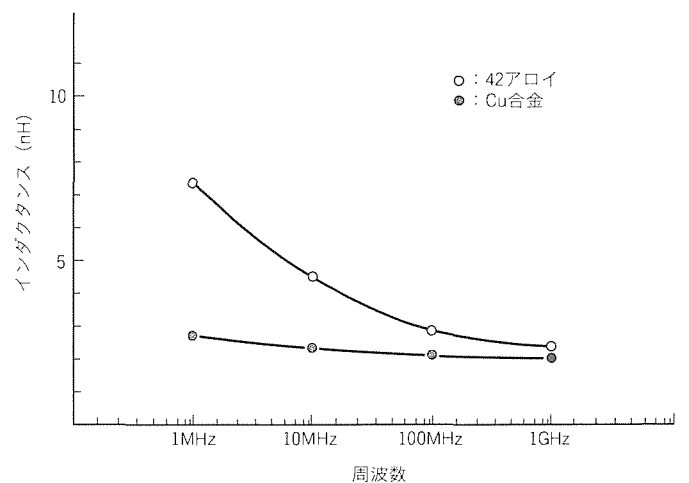


図4. リードフレーム材によるリード自己インダクタンス変化(ボディサイズ14mm×14mm)シミュレーション結果

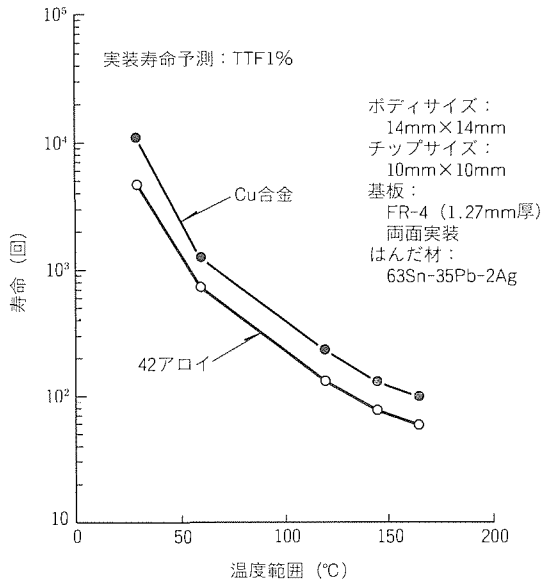


図5. リードフレーム材による実装寿命予測

このシミュレーションは、パッケージ本体サイズ 14 mm × 14 mm に対して、チップサイズは 10 mm × 10 mm、実装基板はガラスエポキシ FR-4 で両面実装とし、はんだ材は 63 Sn 35 Pb 2 Ag とした。

42 アロイも Cu 合金も温度サイクルの温度範囲が大きくなるにつれて寿命は短くなるが、Cu 合金の方が 42 アロイよりも寿命は長いことが分かる。

例えば、温度範囲が 60°C の場合では、42 アロイでは寿命は約 750 サイクルであるが、Cu 合金では約 1,250 サイクルと寿命が長くなっている。

一方、Cu 合金をリードフレーム材としたことによるパッケージの信頼性への懸念点は、シリコンの半導体チップと Cu 合金の熱膨張係数が大きく異なることによる熱応力の問題である。この熱応力が大きいと半導体チップにクラックが発生する危険性があるため、熱応力緩和のために、低応力の樹脂ダイボンダ材を採用した。

また、Cu 合金は 42 アロイに比べ、組立工程中の加熱時に表面が酸化しやすい。モールド樹脂封止前に酸化が進んでしまうと、樹脂とフレームの界面の接着力が低下して、リフロー時のパッケージクラック耐性を低下させるという問題が発生する。このため、ワイヤボンダ温度の低温下を図り、Cu

フレーム表面の酸化を抑制している。

また、半導体チップ側のワイヤボンダをするパッドのピッチとサイズは、チップサイズ縮小のため、小さくなってきている。ワイヤボンダ温度を下げてもボンダ部の接合性の低下がないように、ワイヤボンダ荷重や超音波印加の多段コントロールに工夫をこらしている。

また、モールド樹脂には低吸水性のものを採用し、吸湿後リフロー時のパッケージクラック耐性の向上を図っている。低吸水性にするため、樹脂中のフィラーはより多く充填(填)される傾向にあり、また、Cu 合金になってフレームの機械的強度が下がるが、モールド樹脂注入時にチップの上下位置シフトやインナリードのばたつきなど成形性の問題が起きないように装置とプロセス条件を設定している。

5. むすび

Cu 合金をリードフレーム材に用いた LQFP パッケージを開発し、多ピン化、高放熱化、高速動作への対応を達成した。また、薄型外形、ファインピッチリードの採用により、特に携帯機器への高密度実装に対応した。今後は、外形の追加、一層の信頼性向上を行っていく予定である。

半導体デバイスは、メモリ、マイコン、ASIC 個別のものから、複合化を行った eRAM (embedded RAM) と呼ばれるメモリ内蔵マイコンや、メモリ内蔵 ASIC が製品化されつつある。例えば、M32RD のような eRAM にもこの LQFP パッケージが使われる。

また、新パッケージ開発は、一層の小型化と高速動作対応を目指して、FBGA (Finepitch Ball Grid Array) やモールド CSP (Chip Scale Package) を進めている (図 1)。

参考文献

- (1) 三菱電機株: '96 三菱半導体ハンドブック <IC パッケージ編>
- (2) The Third VLSI Packaging Workshop of Japan, Technical Digest: New Wire Bonding Technology for Fine Pad Pitch: Mitsubishi Electric Corp. Horibe
- (3) SEMI テクノロジーシンポジウム 96 講演予稿集: Road Map in Japan: 三菱電機株, 篠原

クォータミクロンULSI対応 マスク描画データ作成システム

上山欣也* 中尾博臣*
田岡弘展* 三輪久晴*
森泉幸一*

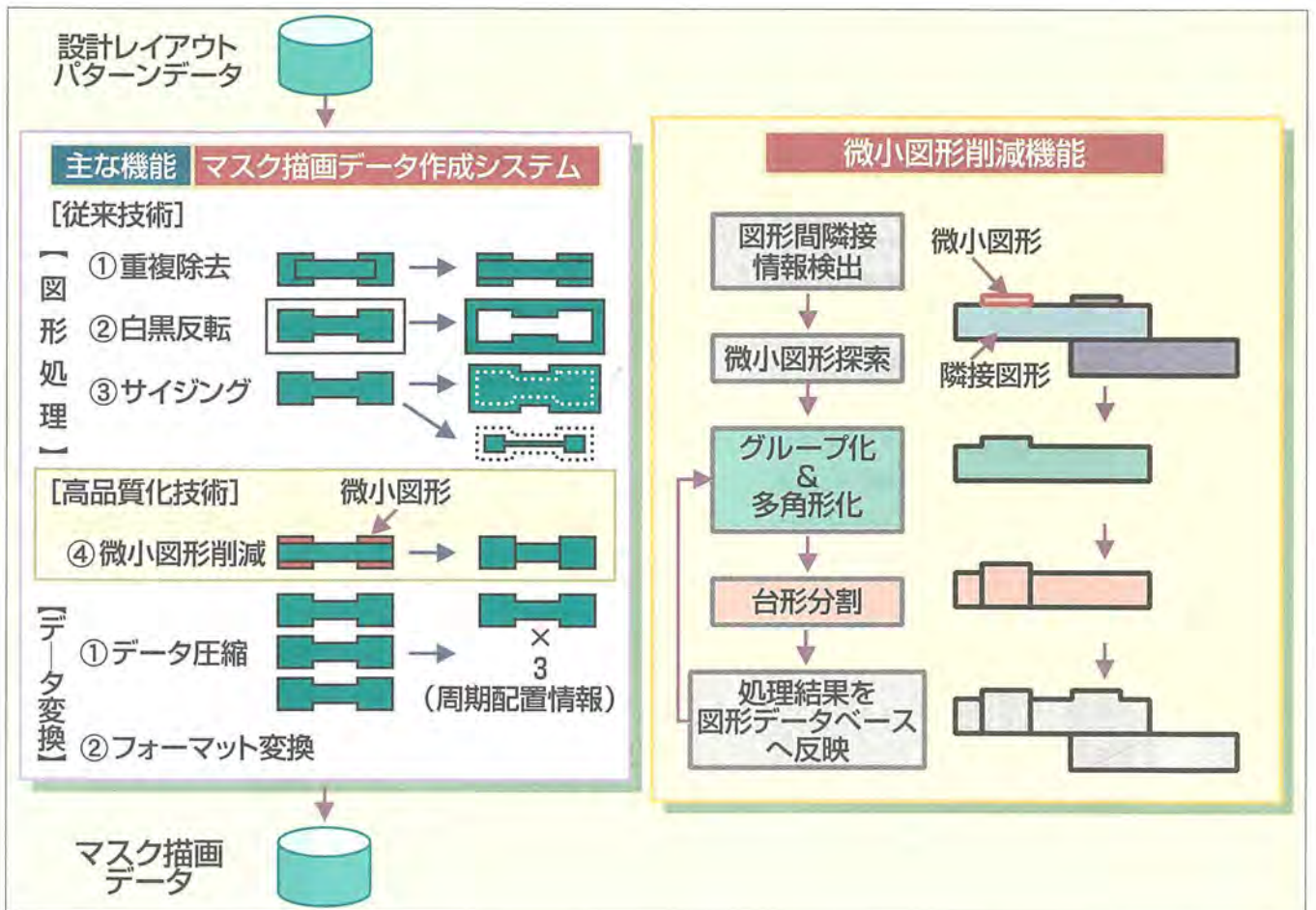
要旨

マスク描画データ作成技術は、従来のように、信頼性、処理速度、データ圧縮を追求するだけではなく、これらに加えて、マスク描画データ自体の高品質化やマスク製作の新技术に対する高機能化が必要となってくる。

クォータミクロン以降のULSI開発に用いるマスクのパターン寸法精度には、 $\pm 0.05\mu\text{m}$ という厳しい値が要求される。このような高精度マスクを作製するためには、マスクプロセス技術からのアプローチだけではなく、マスク描画データ作成技術からのアプローチが必要になる。今回、マスクパターン寸法精度悪化の主要因の一つであるマスク描画データ中の微小図形を高速かつ効率的に削減する機能を開発し、システム化した。

このシステムの微小図形削減機能は、①マスク描画データ中に存在する微小図形を探索し、②その微小図形に隣接する図形へグループ化する。③グループ化した図形群の外周を取って多角形化し、④その多角形図形を微小図形の発生が最小になるように図形分割する。以上の①～④の処理を、残存する微小図形長の総和が最小になるまで繰り返して実施するものである。この機能を実現するために、微小図形の発生が最小になるように分割する台形分割アルゴリズムを開発した。

このシステムは、256MビットDRAM (Dynamic Random Access Memory) の開発マスクに適用され、マスクのパターン寸法精度向上に大きく貢献した。



マスク描画データ作成システムの構成図

クォータミクロン以降のULSI開発用のマスクは、非常に厳しいマスクのパターン寸法精度が要求される。このようなマスクを作製するためには、従来の図形処理に加えて、マスク描画データ自体の高品質化が必要になる。マスクのパターン寸法精度悪化の主要因となるマスク描画データ中の微小図形を効率的に削減する機能を開発し、システム化した。

1. ま え が き

電子ビーム描画装置は、その微細加工性能及び制御性の良さから、半導体デバイス、特に大規模集積回路 (LSI) の製造のためのマスクの製作に広く用いられている。マスク製作に用いられる電子ビーム描画装置は、点ビーム方式のラスタスキャン型 (以下“ラスタ型”という。) と、可変成型型ビーム方式のベクタスキャン型 (以下“ベクタ型”という。) が主流である。ベクタ型は、微小なアドレスユニット (描画データの大きさや座標値を表現するための単位) が使用できる利点があり、クォータミクロン以降の LSI に有力な電子ビーム描画装置である。しかしながら、LSI マスクレイアウトデータから電子ビーム描画装置が読み取れるマスク描画データに変換する過程において、ラスタ型と比較して図形処理が複雑で、かつ処理に長い時間を要するため、これまで LSI が高集積化するとともに、マスク描画データ作成の処理高速化、マスク描画データの削減化、及び信頼性の向上が図られてきた。

さらに、LSI の微細化・高集積化が進むにつれて、マスク製作に必要とされるパターン寸法の高精度化が要求されてきている。図 1 は、LSI のテクノロジドライブである DRAM (Dynamic Random Access Memory) で要求されるマスクのパターン寸法精度である⁽¹⁾。この中で、現在開発が進められている 256 M ビット DRAM では、 $\pm 0.05 \mu\text{m}$ 程度のマスクパターン寸法精度が必要とされている。このような高精度なマスクを製作するためには、マスクプロセス技術からのアプローチだけでなく、マスク描画データ作成技術からのアプローチが不可欠になる。

本稿では、マスクパターン寸法の高精度化のために必要とされるマスク描画データの品質化技術として、マスクパターン寸法精度悪化の主要因の一つであるマスク描画データ中の微小図形を高速かつ効率的に削減する機能を持つ、クォータミクロン ULSI (Ultra Large Scale Integration) 対応のマスク描画データ作成システムについて述べる。

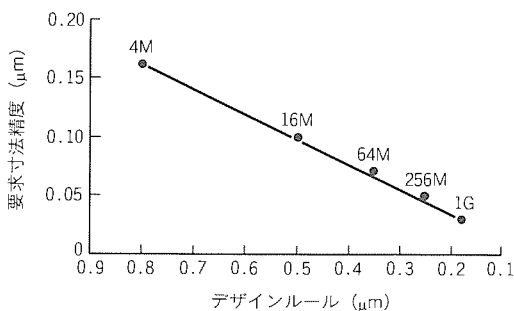


図 1. マスクの要求パターン寸法精度

2. マスクパターン寸法精度

図 2 に、マスク描画データと成形される電子ビーム強度分布を示す。図の上段はマスク描画データであり、下段のグラフは、上段の描画データを基に成形される電子ビームを AB の断面で見た電子ビーム強度分布である。電子ビーム強度分布は完全な短形ではなく、エッジ部分ですそを引いた状態になる。これは一般的には、成形ビームのサイズが大きいくほど、電子ビーム内でのクーロン反発が大きくなり、エッジでの強度分布のスロープは小さくなり、なまった形状になる。その結果、マスク描画データ中に微小な高さ又は幅を持つ描画データ (以下“微小図形”という。) が存在する場合と、しない場合により、図の電子ビーム強度分布は、左側のエッジでの分布が異なり、形成されるレジストパターンの寸法に差が生じ、その結果、マスクパターン寸法精度に影響する。

この現象を実験的に調べたものが、図 3 のグラフである。このグラフから、微小図形幅が $0.5 \mu\text{m}$ より小さくなるにつれてマスクパターン寸法が急激に小さくなり、微小図形がない場合と比較して、最大 $0.06 \mu\text{m}$ の寸法差が生じている。

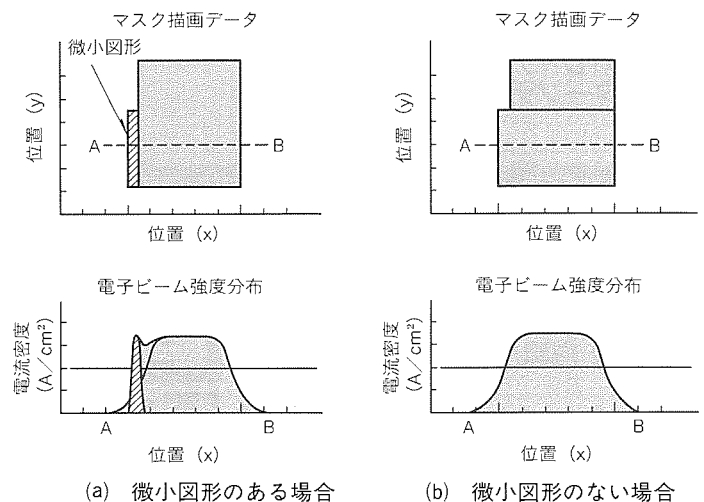


図 2. マスク描画データと成形される電子ビーム強度分布

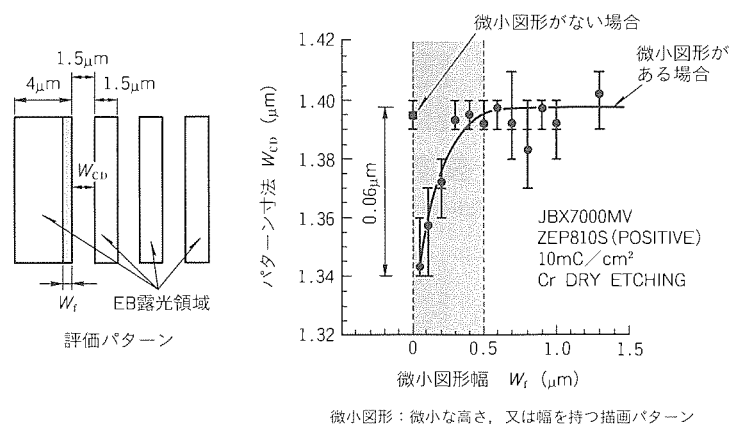


図 3. 微小図形がマスクパターン寸法精度に及ぼす影響 (実験結果)

このような問題を解決するための方法としては、以下の二つのアプローチが考えられる。

- (1) 電子ビーム描画方法からのアプローチ (マスクプロセス技術からのアプローチ)
- (2) マスク描画データ作成方法からのアプローチ (マスク描画データ作成技術からのアプローチ)

前者のアプローチの一つの方法として、成形ビームのサイズに応じて露光量を変更する方法がある。この方法は、マスクプロセスが固定されてかつ安定であれば有効であるが、マスク工程ごとにマスクパターンの粗密や面積等により、マスクごとにプロセス条件が異なる。したがって、この方法を適用することは、実質上困難である。

後者のアプローチは、問題となる微小図形そのものを削減するものであり、この問題の解決には有効な方法である。

以上のように、256 Mビット DRAM レベル以降のマスクに要求されるパターン寸法精度を考えると、ベクタ型では、後者のアプローチが必ず (須) となる。

3. マスク描画データ作成システム

マスク描画データ作成システムは、様々な機能を持っている。この章では、クォータミクロン ULSI 対応に必要なとされる主な機能について述べる。また、マスクのパターン寸法の高精度化に有効な微小図形削減機能と、この機能を実現するために開発した台形分割アルゴリズムについて紹介する。

3.1 マスク描画データ作成システムの概要

マスク描画データ作成システムの主な機能を図4と以下に示す。

(1) 重複除去機能

電子ビームが同じ領域に照射されることを防ぐために実施するもので、可変成型電子ビーム描画装置の描画データ作成に必須の処理である。

(2) 白黒反転機能

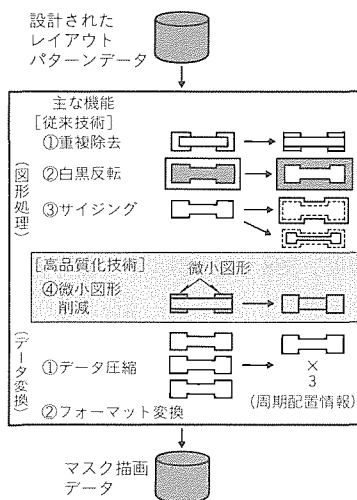


図4. マスク描画データ作成システム

使用するレジストのタイプ (ポジ, ネガ) と設計時のレイアウトに関連して必要になる機能であり、設計時に入力した領域以外の部分に電子ビームを照射しなければならない場合は、図形の白黒反転処理を行う。

(3) サイジング (図形の拡大・縮小) 機能

設計されたレイアウトパターンの寸法と、必要なマスクパターン寸法に変換・補正するために用いられる。

(4) 微小図形削減機能

この機能は、マスク描画データ中の微小図形を削減するためのもので、図形データを再構成するものである。

(5) データ圧縮機能

図形の周期配置情報を探索して図形データを表現することにより、出力されるマスク描画データ量を削減する。

(6) フォーマット変換

電子ビーム描画装置に入力できるフォーマットに変換して、マスク描画データを作成する。

3.2 微小図形削減機能⁽²⁾

図5に微小図形削減機能の機能フローを示す。この機能は、重複除去処理、白黒反転処理、サイジング処理の後、図形間の隣接情報の検出と次の処理を行うものである。

(1) サイジング後の図形データ中に存在する微小図形を探索する。

(2) 探索された微小図形に隣接する図形をグループ化する。

(3) グループ化された図形群のアウトラインを取って多角形化する。

(4) 多角形化された図形を、微小図形の発生が最小になるように台形分割する。

以上の処理は、残存する微小図形の長さの総和が最小になるまで繰り返される。

3.3 台形分割アルゴリズム⁽³⁾

微小図形削減機能を実現するために、微小図形の発生が最小になるように、多角形化された図形を分割する台形分割アルゴリズムを開発した。図6の分割例を用いて台形分割アルゴリズムを説明する。このアルゴリズムの特長は、多角形図

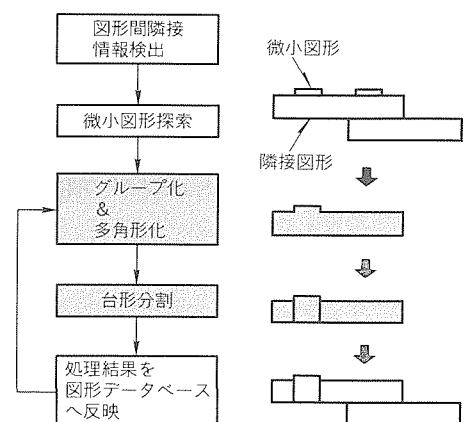


図5. 微小図形削減機能の機能フロー

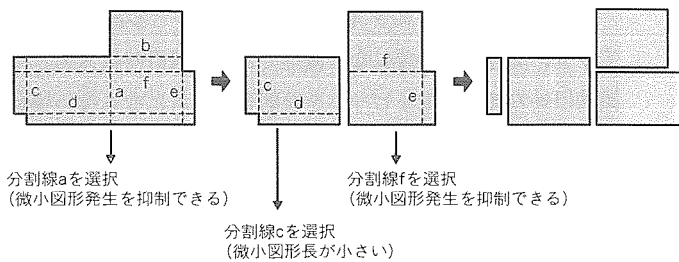


図6. 台形分割アルゴリズムの概要

形の各頂点から挿入することのできる分割線の組合せの選択方法である。分割線を選択基準は、次のようになる。

- (1) 微小図形の発生を抑制できる分割線
- (2) 微小図形を発生させない分割線
- (3) 微小図形が発生するが、微小図形の長さが最小となる分割線

図の例では、まず微小図形の発生を抑制でき、微小図形を発生させない分割線 a が選択される。次に、微小図形を発生させない分割線 f、微小図形が発生するが微小図形の長さが最小となる分割線 c が選択される。以上のような基準で分割線を選択することにより、微小図形の発生を最小にすることができる。

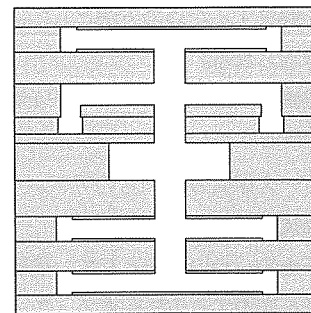
微小図形削減機能による台形分割の処理例を図7に示す。従来の水平方向又は垂直方向の台形分割結果と比較して、この機能適用後では微小図形が発生していない。

4. 製品への適用例

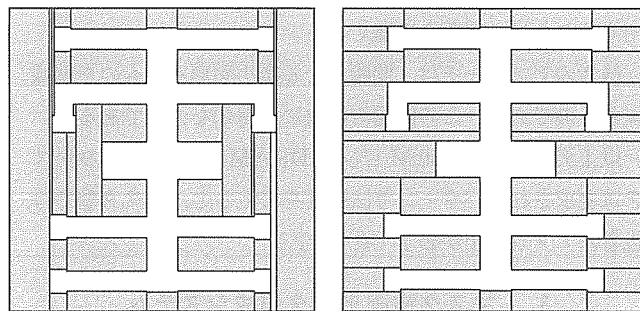
マスク描画データ作成システムは、256 Mビット DRAM に適用された。また、マスク描画データ作成システムの微小図形削減機能により、微小図形削減処理をしない場合と比較して微小図形長の総和が $1/250$ 以下に削減でき、マスクのパターン寸法精度向上に大きく貢献した。

5. むすび

マスクパターン寸法精度悪化の主要因の一つであるマスク描画データ中の微小図形を高速かつ効率的に削減する機能を持つ、クォータマイクロン ULSI 対応のマスク描画データ作成システムを開発した。微小図形削減機能を実現するために、微小図形の発生を最小になるように、多角形化された図形を分割する台形分割アルゴリズムを開発した。マスク描画データ作成システムは、256 Mビット DRAM の開発マスクに



(a) 従来(水平方向の台形分割)



(b) 従来(垂直方向の台形分割) (c) 微小図形削減機能適用後

図7. 微小図形削減機能の処理例

適用され、マスクのパターン寸法精度向上に大きく貢献した。

今後は、主に微小図形削減性能と処理速度の向上を図るため、クォータマイクロン ULSI 対応のマスク描画データ作成システムの改良開発を進める所存である。

参考文献

- (1) 滝川忠宏, 相崎尚昭, 岡崎信次, 森本博明 編集: ULSIリソグラフィ技術の革新, 102, サイエンスフォーラム (1994)
- (2) 上山欣也, 田岡弘展, 森泉幸一, 中尾博臣, 三輪久晴: 可変成形型 EB 描画装置用の高品質描画データ作成方法 (3), 第57回秋季応用物理学学会学術講演会予稿集, 545 (1996)
- (3) Nakao, H., Moriizumi, K., Kamiyama, K., Terai, M., Miwa, H.: A New Figure Fracturing Algorithm for High Quality Variable - shaped EB Exposure - data Generation, Proceedings of SPIE 2793, 398 (1996)



特許と新案

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター

0120-787-200

ワイヤ放電加工装置 (特許 第2079627号, 特公平7-106498号)

発明者 川瀬広恭

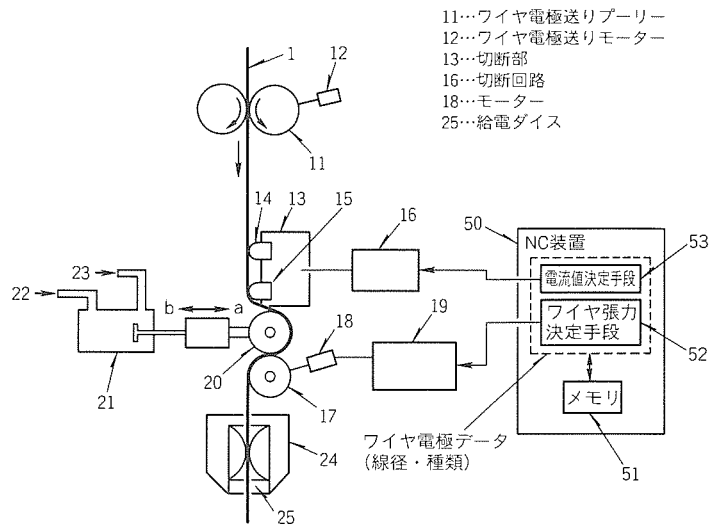
この発明は、ワイヤ電極の太さ、種類に応じてワイヤ電極の張力及び溶融電流を自動的に制御してワイヤ電極を溶断するワイヤ放電加工装置に関するものである。

従来のこの種の装置は構造が複雑な上、ワイヤ電極の太さ、種類に応じてワイヤ電極を加熱及び溶断する電流を、その都度調整する必要があり、操作が面倒であった。

この発明は、従来の問題点を解消するためになされたもので、構成を図に示す。ワイヤ電極(1)を切断する場合、空気圧シリンダ(21)により押えローラ(20)を矢印a方向に移動させ、ワイヤ電極を上部給電子(14)と下部給電子(15)に接触させるとともに、押さえローラ(20)と切断ローラ(17)の間に挟持する。電流決定手段(53)にて、メモリ(51)にあらかじめ入力されたデータからワイヤ電極(1)の溶断に必要な電流値が決定され、切断回路(16)を介して両給電子間のワイヤ電極が加熱される。同様にしてワイヤ張力決定手段(52)にて、メモリ(51)からワイヤ電極(1)の溶断に必要な張力が決定され、制御回路(19)を介して切断ローラ(17)によりワイヤ

電極に張力を加え、ワイヤ電極(1)を溶断する。

このようにして、ワイヤ電極を溶断する電流と張力の最適値を自動的に選択することができ、極めて容易にワイヤ電極を切断することができる。



温水器の制御装置 (特許 第1805997号, 特公平5-7626号)

発明者 伊藤美和, 窪田秀治, 原 和夫

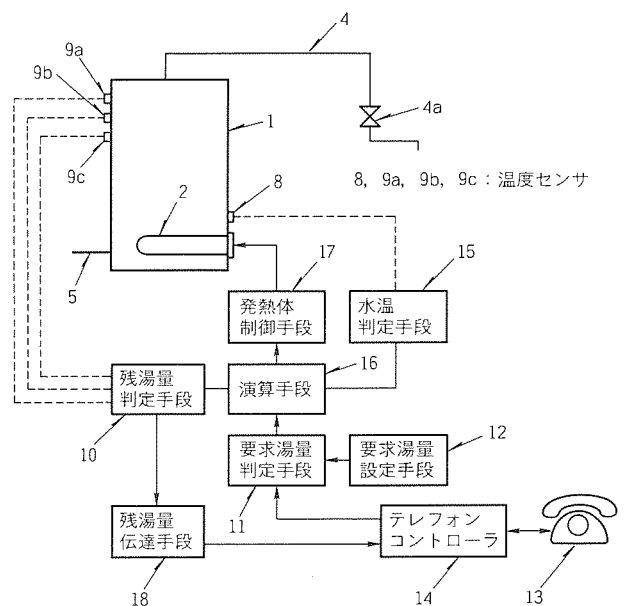
この発明は、深夜電力を利用する貯湯式の電気温水器の制御装置に関するものである。

数日間旅行をする場合など、湯を使用する予定がない場合は、電源ブレーカをOFFにしておくが、帰宅後すぐにONにしても電気温水器は深夜電力で沸き上げるため、翌日からでないで使用できない不具合があった。

この発明は、この点に注目してなされたもので、全体構成を図に示す。貯湯タンク(1)近傍に設置された要求湯量設定手段(12)の出力信号と、電話機(13)からの送信信号をコントローラ(14)にて変換した温水器制御用信号のうち、要求湯量判定手段(11)にて、いずれか一方を使用者からの最終的な要求湯量として判定する。要求湯量の判定後、水温判定手段(15)、残湯量判定手段(10)の判定結果、及び要求湯量に基づき発熱体の発熱時間と沸き上げ温度を算出し、発熱体制御手段(17)にて発熱体(2)の発熱を制御する。

この発明によれば、電話を使用して、貯湯タンク近傍の要求湯量設定手段とは別に遠く離れた場所からでも要求湯量を

設定できるので、使い勝手の良い温水器を提供できる。





特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター
☎ 0120-787-200

自動車用ケミカル蓄熱器 (特許 第2507533号)

発明者 土井 全, 池内正毅, 藤井雅雄

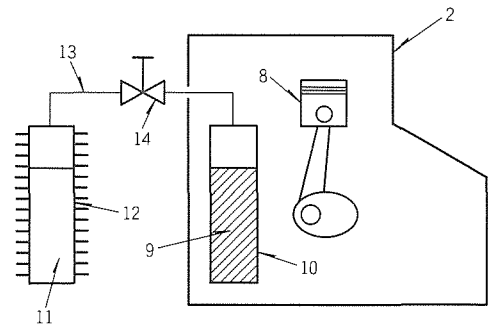
この発明は、寒冷期の暖機運転等の短縮化を行う自動車用ケミカル蓄熱器に関するものである。

自動車エンジンの暖機運転には最低5分、室内暖房には冷却水の温度によるため20分以上かかる問題があった。この発明は、これらの欠点を除去するためになされたもので、図に実施例の構成を示す。第1反応容器(10)に反応材料A(9)として水素吸蔵合金のCaNi₅合金、第2反応容器(12)に反応材料B(11)として水素吸蔵合金のFeTi合金を蓄え、両容器と開閉弁(14)を配管器(13)により接続する。

自動車運転中、エンジン(2)で加熱される第1反応容器(10)内では吸熱反応を起こして水素ガスを放出し、第2反応容器(12)内では水素ガスを吸蔵して、熱エネルギーを化学エネルギーに変換して蓄える。化学反応終了後、開閉弁(14)は閉じられる。

エンジン始動(放熱開始)時、開閉弁(14)を開にすると、第

2反応容器(12)内では吸熱反応を起こしながら水素ガスを放出する。水素ガスは配管路(13)を通して第1反応容器(10)に流れ、第1反応容器(10)内では水素ガスを吸蔵しながら発熱反応を起こす。そして、第1反応容器(10)からの発熱により、エンジンを昇温して短時間で暖機運転を終了させることができる。



<次号予定> 三菱電機技報 Vol.71 No.4 “限界加工への挑戦-ハイテクメカトロ機器の最新動向”

特集論文

- 限界加工への挑戦特集に寄せて
— 電気的加工法の素質と役割 —
- 限界加工への挑戦
- 最近の汎用形彫放電加工機
- 創成放電加工機“EDSCAN”
- 微細穴放電加工技術
- 最近の汎用ワイヤ放電加工機
- 超高精度ワイヤ放電加工技術
- 最近のCO₂レーザー加工機
- 新用途を開く短パルスCO₂レーザー加工機

- 高輝度固体レーザー加工機
- 放電加工機及びレーザー加工機のシステム化
- 微細接合用電子ビーム加工機
- ホログラム型エキシマレーザー加工機
- 普通論文
- 空気原料オゾンナイザの省電力・高濃度化技術
- VZ-D形高圧真空コンタクト コンビネーションユニット
- 衛星通信システムDAMA装置
- 小型オープンPOSターミナル
- 三菱製品情報管理システム“PDMMASTAR”
- スピーカ磁気回路の有限要素解析

<p>三菱電機技報編集委員</p> <p>委員長 山本 彬</p> <p>委員 永田 讓藏 河内 浩明 宇治 資正 内藤 明彦 上杉 豪 山本 延夫 磯田 悟 前田 信吾 畑谷 正雄 才田 敏和 鈴木 軍士郎 鳥取 浩 下村 寛士</p> <p>幹事 宇田川 雅彰</p> <p>3月号特集担当 熊野谷 正樹</p>	<p>三菱電機技報71巻3号</p> <p>(無断転載を禁ず)</p> <p>1997年3月22日 印刷 1997年3月25日 発行</p> <p>編集兼発行人 小林 保雄</p> <p>印刷所 千葉県市川市塩浜三丁目12番地 (〒272-01) 菱電印刷株式会社</p> <p>発行所 東京都港区新橋六丁目4番地9号 北海ビル新橋 (〒105) 三菱電機エンジニアリング株式会社内</p> <p>発売元 「三菱電機技報社」Tel. (03) 3437局2692 東京都千代田区神田錦町三丁目1番地 (〒101) 株式会社 オーム社 Tel. (03) 3233局0641代, 振替口座東京6-20018</p> <p>定価 1部721円(本体700円) 送料別</p>
--	---

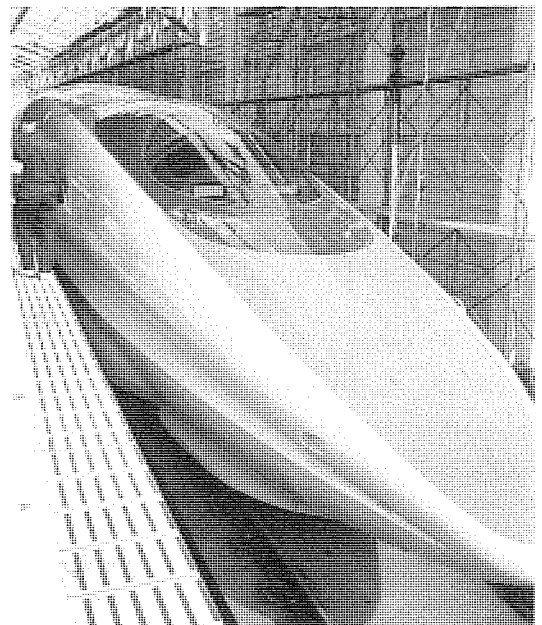
西日本旅客鉄道(株)(JR西日本)の新形新幹線500系“のぞみ”が、フランスのTGVと並ぶ世界最高速の300km/hで、1997年3月から営業運転を開始します。三菱電機(株)は、車両主回路システムのかなめとなる主変圧器の設計・製作を担当し、このたび電車の床下搭載用として世界最大容量の主変圧器を完成しました。

主変圧器は、車両床下に搭載され、車両を駆動するための主回路と空調装置などがつながる補助回路とにパンタグラフで受けた電力を供給します。

従来の300系“のぞみ”では、編成出力が12,000kWであり、5台の主変圧器を通してこれを供給します。一方500系では、編成出力が18,240kWに増えるとともに主変圧器を4台に集約しているため、単器で約2倍の大容量化が必要となりました。床下の限られた搭載スペースと質量制約の中でこれを実現するため、最新の小型・軽量化技術を駆使しています。

特長

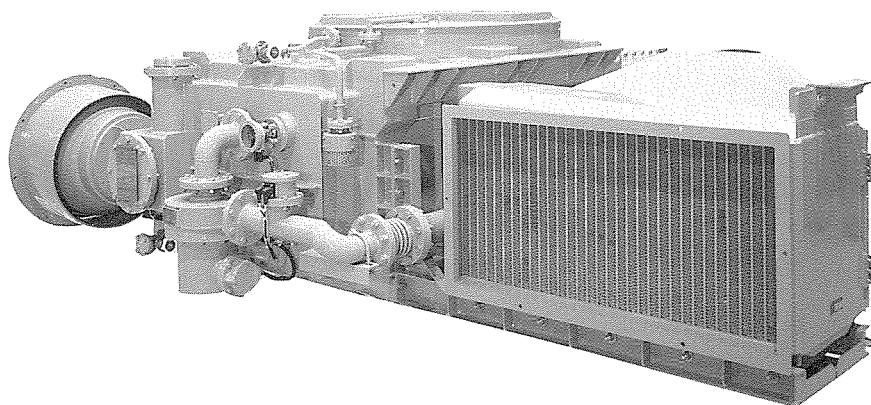
- 試験車両WIN350での開発成果に基づき、コイル、絶縁物、冷却装置を中心に、大幅な軽量化を達成
 300系：3,080kg/2,900kVA (1.06kg/kVA)
 →500系：3,980kg/5,400kVA (0.74kg/kVA)
- PWMコンバータ/VVVFインバータ制御方式に適したインピーダンス特性を得るため、三菱電機開発のギャップ鉄心及びセパレート鉄心をコイル間に設置
- 高調波渦電流解析に基づき、タンク過熱防止用磁気シールドをコイルとタンクの間に設置



500系新幹線車両

仕様

形名	WTM205主変圧器		
方式	外鉄形、送油風冷式、シリコン絶縁油入 PWMコンバータ/VVVFインバータ制御方式対応		
定格	単相、60Hz、連続定格		
	1次：5,400kVA	25,000V	216A
	2次：5,000kVA	1,100V	1,136A×4巻線
	3次：400kVA	432V	926A
質量・寸法	3,980kg (W) 2,341×(L) 2,981×(H) 894 (mm)		



主変圧器外観

新形ノーヒューズ遮断器・漏電遮断器

スポットライト

PSS(400~800Aフレーム)

1995年1月の発売以来ご愛顧をいただいているノーヒューズ遮断器・漏電遮断器PSSに、このたび400~800Aフレームを追加し、フルスケールのラインアップが完成しました。

と同一外形でラインアップ

(4) 内部付属装置のカセット化

- 警報スイッチ(AL), 補助スイッチ(AX), 電圧引き外し装置(SHT)をカセット付属とし、お客様での取付けが可能(400~800Aフレームまで共用)

特 長

- (1) 多彩な電路監視と高度なエネルギー管理を実現
 - 電子式遮断器に電路情報を計測し、デジタル表示する計測表示ユニット(MDU)をオプションとして設定
 - 表示ユニットは遮断器装着とパネル取付けが可能
 - 過電流、漏電の事故電流、及び事故原因を表示
 - B/NET伝送ラインを通して計測データの遠隔・集中監視が可能
- (2) 国際規格への適合
 - IEC947-2に標準適合し、ワールドワイドユースに対応
 - SP, SEP, HEP, UEP形は“ $I_{cs}=100\% I_{cu}$ ” (I_{cs} : O-CO-CO 3回遮断, I_{cu} : O-CO 2回遮断)
 - ハンドルを二重絶縁化。万一ハンドルが破損しても絶縁を確保
 - 標準で“アイソレーション”に適合
- (3) 外形寸法のモジュール化
 - 400~800Aフレームを二つの外形にモジュール化
 - 高遮断容量のREP形(AC460V, 125kA)までCシリーズ



計測表示ユニット (MDU)

計測表示項目	400A フレーム	600A フレーム	800A フレーム
負荷電流 現在値, デマンド値, 最大値	○	○	○
線間電圧 現在値, デマンド値, 最大値	—	○	○
高調波電流 第3次, 第5次, 第7次	○	○	○
電力 現在値, 最大値	—	○	○
電力量累計値	—	○	○
漏電電流 現在値, デマンド値, 最大値	—	○	○

■発売機種一覧

フレーム	ノーヒューズ遮断器			漏電遮断器		漏電アラーム	単3中性線欠相保護付き	
	NF-C	NF-S	NF-U	NV-C	NV-S	NF-Z	NF-N	NV-N
400A	NF400-CP	NF400-SP NF400-SEP NF400-HEP NF400-REP	NF400-UEP	NV400-CP	NV400-SP NV400-SEP NV400-HEP NV400-REP	NF400-ZCP NF400-ZSP NF400-ZEP	NF400-NCP	NV400-NCP
600A	NF600-CP	NF600-SP NF600-SEP NF600-HEP NF600-REP	NF600-UEP	NV600-CP	NV600-SP NV600-SEP NV600-HEP	NF600-ZCP NF600-ZSP NF600-ZEP	—	—
800A	NF800-CEP	NF800-SEP NF800-SDP NF800-HEP NF800-REP	NF800-UEP	—	NV800-SEP NV800-HEP	NF800-ZEP	—	—

A6フルカラービデオコピープロセッサ用

スポットライト

ロールペーパー&インクシート

YMC各色256階調1,670万色、260dpiの高解像度で写真並みの高画質プリントを実現する昇華形熱転写方式プリンタ“CP700シリーズ”は、高画質に加えて、高速印画と低ランニングコストにより、各方面で好評をいただいております。

ロールペーパー方式を採用しているCP700シリーズでは、標準のロールペーパー&インクシートに加えて、各種メディアを用意しており、用途は広がる一方です。

代表的なメディアは次のとおりです。

●オーバコート対応ペーパー&インクシート

印画画像の上に透明コートを施すタイプです。耐候性・耐擦過性が飛躍的に向上し、応用分野が広がります。写真分野から注目されているメディアです。

●プリカットシール紙&インクシート

アミューズメント分野で圧倒的な人気を誇る16分割プリカットシールです。SサイズとLサイズを用意しています。そのほかに、ビジネス用途等、様々な分野で使われております。



Sサイズ 16分割プリカットシール CK710SPC 使用例



CK710SPC

CK710LPC

Sサイズ/Lサイズ 16分割プリカットシール



Sサイズ 16分割プリカットシール CK710SPC 使用例

CP700シリーズ用メディアと対応機種

ロールペーパー&インクシート		CP700シリーズ				
		Color Video Copy Processor			Digital Color Printer	
		インタフェース				
		RGBアナログビデオ信号	RGBアナログ(オートスキャン)	ビデオ信号	SCSI-II	セントロニクス
形名	仕様	SCT-CP700	SCT-CP750	SCT-CP710	CP700DS	CP700D
CK700	Sサイズ/Lサイズ兼用標準ロールペーパー	○	○	○	○	○
PK700S	Sサイズ標準インクシート	○	○	○	○	○
PK700L	Lサイズ標準インクシート	○	○	○	○	○
CK700S4P	Sサイズオーバコート対応ペーパー&インクシート	—	○	○	○	—
CK700L4P	Lサイズオーバコート対応ペーパー&インクシート	—	○	○	○	—
CK710SPC	Sサイズ16分割プリカットシール紙&インクシート	—	—	○	○	—
CK710LPC	Lサイズ16分割プリカットシール紙&インクシート	—	—	○	○	—
CK700SC	Sサイズシール紙&インクシート	○	○	○	○	○
CK700LC	Lサイズシール紙&インクシート	○	○	○	○	○