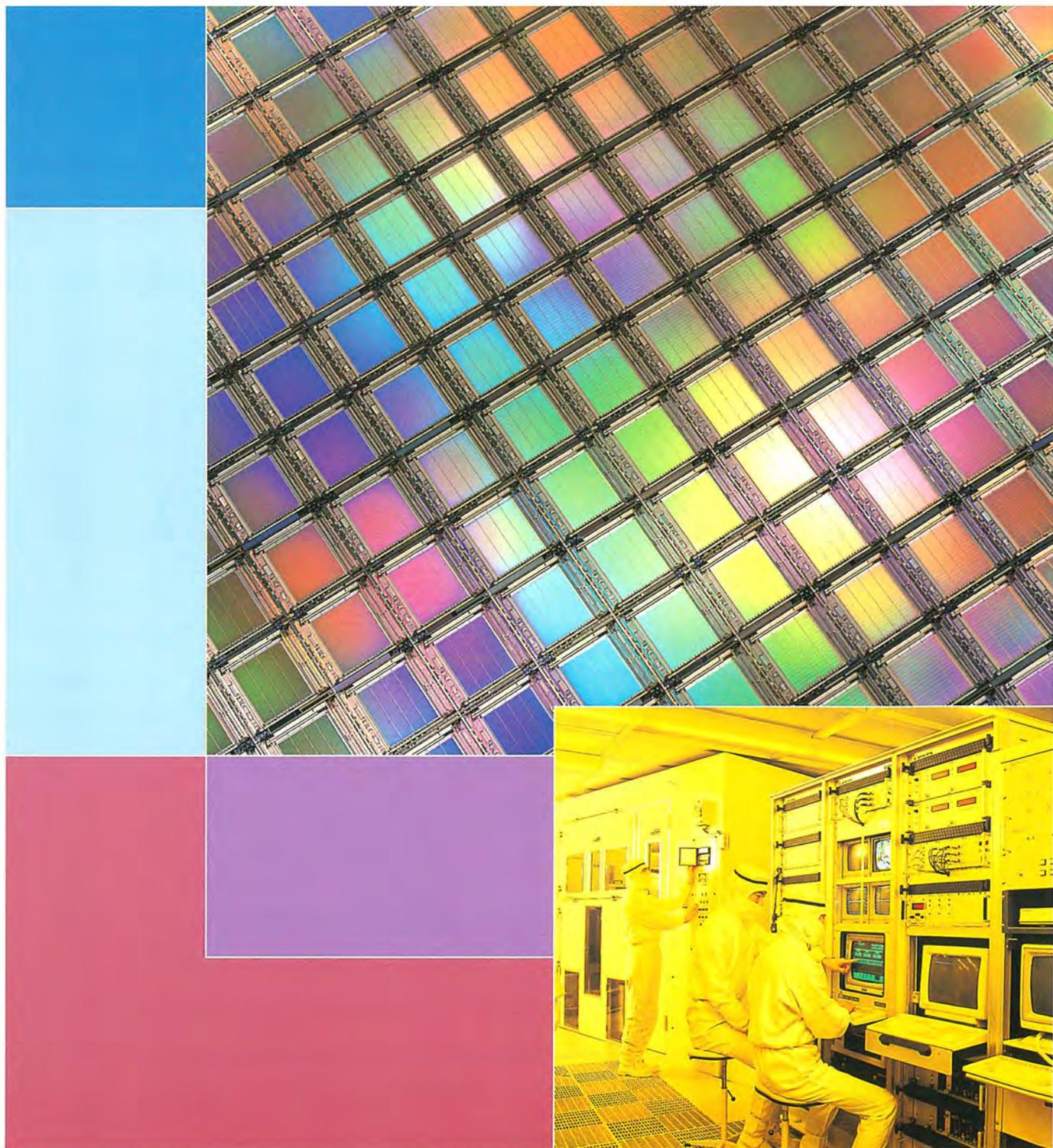


MITSUBISHI

三菱電機技報 Vol.70 No.3

特集 “半導体”

'96 3



特集 “半導体”

目次

特集論文

半導体の進歩による産業革命の新局面	1
室賀三郎	
半導体の現状と動向 — システム LSI に向けて —	2
坂根英生・松本平八	
256MビットダイナミックRAM	6
柴出正樹・朝倉幹雄・有本和民・柴森貴尚・大野吉和	
コントローラ付き16MキャッシュDRAM	11
堂阪勝己・阿部英明・山崎 彰・石原和典・熊野谷正樹	
150MHz動作第二世代32Kワード×32ビットシンクロナスバーストSRAM	16
小杉龍一・千田 稔・井上長武・岡本泰之・池谷正之	
32ビット高性能RISCマイクロプロセッサ M32R	22
是松次郎・清水 徹・坪田秀夫・布村泰浩	
新16ビットマイコンM16Cシリーズ	27
中村和夫・山崎貴志・林 直人・玉城礼二・松井秀夫	
メモリ内蔵1チップ ピクチャ イン ピクチャLSI	32
玉木茂弘・那須正治・山田龍浩・斉藤幸輝・柳川瀬頭夫	
ファクシミリスキヤナ用画像処理コントローラ	38
松本 誠・菅田浩之・石岡裕二・谷口正治	
プログラマブル実時間MPEG2ビデオエンコードチップセット	42
松村哲哉・中川伸一・瀬川 浩・石原和哉・前田 敦・味岡佳英	
0.5 μ m BiCMOSゲートアレイ	48
埴淵敏明・早川 康・須田核太郎・柿沼守男	
2.5Gbps変調器集積型半導体レーザ	52
石村栄太郎・宮崎康典・青柳利隆・木村達也・板垣卓士・竹見政義	
CATV用DFB-LDの高CNR化	57
南原成二・山下光二・渡辺 斉	
Dual Gate HEMTを用いたQ帯低雑音可変利得増幅器MMIC	62
柏 卓夫・加藤隆幸・吉田直人・小丸真喜雄・高木 直	
世界最大容量の8kV/3.6kA光トリガサイリスタ	67
佐藤克己・大田賢児・山元正則・井手和久・田口和則	
アクティブランプ内蔵高圧、大容量IPM	70
森 敏・マジュムダール ゴーラブ・白澤敬和・田中 毅・丸茂高志	
高信頼トンネル酸化膜形成技術	75
寺本章伸・小林清輝・梅田浩司・松井安次・中村 正	
X線転写によるRu/BST/Ruスタックキャパシタを持つ 1GビットDRAMセル	80
西岡康隆・炭谷博昭・結城昭正・堀川 剛・芝野照夫・木村良佳	
LSI用多ピンパッケージ技術	85
富田至洋・上田直人・中川 治	
アーキテクチャに依存しない高位合成用HDLモデル化技術	90
東田基樹・小林直弘・石川淳士・濱田英幸・大倉五佐雄	

特許と新案

「ワイヤカット放電加工におけるワイヤ電極自動供給方法」 「半導体装置」	95
「半導体不揮発性記憶装置の書き込み及び消去方法」	96

スポットライト

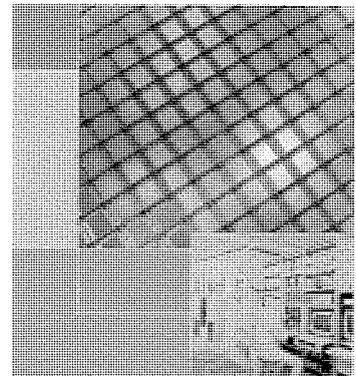
3.3V高速SRAMラインアップ	94
小型高照度液晶プロジェクタ LVP-SV1	97
配線作業工数を低減する分電盤用速結端子付き ノーヒューズ遮断器・漏電遮断器	98
FIFOメモリ M66256FP/M66257FPシリーズ	99
発電プラント総合管理システム“MELJC-500”	100
宇宙開発事業団納め バックアップスキンモード用受信装置	(表3)

表紙

写真は最新の露光装置と、0.5 μ mルールで加工された16Mビットフラッシュメモリのウェーハ上の規則正しいパターンによる、虹色に輝く光の干渉縞の様子を示す。

今日の半導体の飛躍的發展を支えたものの一つに、微細加工技術が挙げられる。限られたシリコン表面に膨大な数のトランジスタを転写するリソグラフィは、使用する光源と露光装置の革新により、サブミクロンからハーフミクロンの量産を可能にしてきた。

微細加工を更に進め、システムオンチップの実現を目指して光源も紫外線からより短波長を求めて、エキシマレーザ光、X線・電子線へと開発は続けられる。



三菱電機技報に掲載の技術論文では、国際単位“SI” (SI第2段階(換算値方式)を基本)を使用しています。ただし、保安上、安全上等の理由で、従来単位を使用している場合があります。

アブストラクト

<p>半導体の現状と動向 — システムLSIに向けて — 坂根英生・松本平八 三菱電機技報 Vol.70・No.3・p.2～5 (1996)</p> <p>パソコンや移動体通信機器の需要を柱として拡大傾向をたどる半導体市場の動向を踏まえ、今後重要性を増すと考えられる半導体とシステムとの融合に向けた取組について述べる。最新の世界半導体市場予測データに基づく分析と、今後の技術の開発トレンドを示した。</p> <p>マルチメディア時代に半導体を取り組む方向として、チップセットによるシステム オン チップの考え方を例と共に示した。</p> <p>また、この特集で取り上げた論文のねらいについて紹介した。</p>	<p>新16ビットマイコンM16Cシリーズ 中村和夫・山崎貴志・林 直人・玉城礼二・松井秀夫 三菱電機技報 Vol.70・No.3・p.27～31 (1996)</p> <p>近年、MCUを取り巻く環境は、C言語の採用によるメモリ容量の増大とそれに伴うコストアップ、高速化や微細化によるEMI、EMSに対するノイズ対策など、様々な問題を抱えている。このたび、このようなニーズにこたえ、高効率C言語マイコンM16C/60シリーズを開発した。M16C/60は、新アーキテクチャにより、高い演算処理能力とROM効率の良さを実現し、さらに、ノイズ対策もほどこした画期的な新マイコンである。</p>
<p>256MビットダイナミックRAM 築出正樹・朝倉幹雄・有本和民・栄森貴尚・大野吉和 三菱電機技報 Vol.70・No.3・p.6～10 (1996)</p> <p>0.25μm微細加工技術による256MビットDRAMを試作した。アレー構成には階層ビット線構成及びそれに適したFOGOSセル配置を採用してチップ面積の大幅削減を実現し、メモリセルには平面スタック型高誘電膜キャパシタを採用して大きな読出し電位を確保した。さらに、メモリセルの“L”レベルをGNDよりわずかに上昇させる昇圧センスGND (BSG)方式を採用し、リフレッシュ特性の大幅改善を実現した。</p>	<p>メモリ内蔵1チップピクチャ イン ピクチャLSI 玉木茂弘・那須正治・山田龍浩・斉藤幸輝・柳川瀬顕夫 三菱電機技報 Vol.70・No.3・p.32～37 (1996)</p> <p>ピクチャ イン ピクチャ(PIP)システムをCMOS上に1チップ化するために、従来アナログ回路で実現していた信号処理を、要素機能を残してデジタル化した。</p> <p>また、フィールドバッファメモリとして96KビットのシングルポートRAMを使用して内蔵化を実現した。</p>
<p>コントローラ付き16MキャッシュDRAM 堂阪勝己・阿部英明・山崎 彰・石原和典・熊野谷正樹 三菱電機技報 Vol.70・No.3・p.11～15 (1996)</p> <p>キャッシュDRAMにタグ(TAG)及びコントローラを内蔵し、CPUとの接続を容易にしたデバイスを開発した。キャッシュDRAM、CPUとI/O制御用ASICだけでシステムを構成でき、携帯端末等に最適である。小規模なPLDを併用すれば、既存のPC用チップセットも使用できる。コントローラはファーストコピーバック、コンカレント動作とページモード制御の採用により、小さなチップ面積、高いヒット率、少ないミスペナルティを実現した。最高動作周波数は66MHzである。</p>	<p>ファクシミリスキャナ用画像処理コントローラ 松本 誠・菅田浩之・石岡裕二・谷口正治 三菱電機技報 Vol.70・No.3・p.38～41 (1996)</p> <p>G3ファクシミリのパersonal機をメインターゲットにした画像処理コントローラを開発した。Personal機に要求される高機能・低価格化に対応するため、センサI/F、A/Dコンバータ、画像処理メモリ、画像処理回路の完全1チップ化を行った。</p> <p>開発に当たって画像シミュレーションを行うことにより、最適アルゴリズム及び最小の画像メモリを決定し、従来の画像処理と同等の画質が得られることを確認した。</p>
<p>150MHz動作第二世代32Kワード×32ビット シンクロナスバーストSRAM 小杉龍一・千田 稔・井上長武・岡本泰之・池谷正之 三菱電機技報 Vol.70・No.3・p.16～21 (1996)</p> <p>近年のCPUの低電圧化・高速化に対応した二次キャッシュメモリとして、32Kワード×32ビット構成、電源電圧3.3V、I/Oバッファ用電源3.3V、2.5Vに対応可能な第二世代1MシンクロナスバーストSRAMを開発した。0.4μm プロセス技術を駆使し、動作周波数150MHzを達成するとともに、最大電源電流を290mAに抑えて、低消費電力化を実現した。</p>	<p>プログラマブル実時間MPEG2 ビデオエンコーダチップセット 松村哲哉・中川伸一・瀬川 浩・石原和哉・前田 敦・味岡佳英 三菱電機技報 Vol.70・No.3・p.42～47 (1996)</p> <p>MPEG2のMP@MLに準拠したリアルタイムエンコーダチップセットを開発した。このチップセットは、制御用コントローラLSI、ピクセルプロセッサLSI、及び動き予測エンジンLSIの3種で構成され、ITU-R601(704画素×480画素、30フレーム/秒)解像度のインタレースビデオをリアルタイムでエンコードできる。このチップセットを用い、MPEG2リアルタイムビデオエンコーダ評価システムを構築した。</p>
<p>32ビット高性能RISCマイクロプロセッサ M32R 是松次郎・清水 徹・坪田秀夫・布村泰浩 三菱電機技報 Vol.70・No.3・p.22～26 (1996)</p> <p>システムオンチップのCPUコアとして使用可能な、コンパクトで高性能な、RISC型32ビットマイクロプロセッサM32Rを新規に開発した。今回、マルチメディア市場をターゲットとし、M32RをCPUコアとして、世界で初めて大容量16MDRAMを内蔵したM32R/Dを開発したので紹介する。M32R/Dは、CPUとDRAMを128ビットバスで接続することで、入力クロック周波数16.7MHz、内部66.7MHz動作時に52.4 VAX MIPSという高性能と、同時に低消費電力化を実現できた。</p>	<p>0.5μm BiCMOSゲートアレー 埴淵敏明・早川 康・須田核太郎・柿沼守男 三菱電機技報 Vol.70・No.3・p.48～51 (1996)</p> <p>0.5μm BiCMOS 3層メタルプロセスを用いて、広帯域ISDNの622Mbpsユーザ網インタフェースに対応できるゲートアレーを開発した。チップ領域を622MHz処理のECL部と156MHz以下のCMOS部に分け、安定動作と低消費電力化を図った。また、Pウェル分離構造を採用することにより、定常電流が流れるCMOS-ECLレベル変換器の数が削減でき、消費電力を低減できた。この構成で、600KゲートのCMOS敷き詰めゲート数は世界最大級である。</p>

Abstracts

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 27~31 (1996)

The New M16C/60 Series 16bit Microcomputers

by Kazuo Nakamura, Takashi Yamasaki, Naoto Hayashi, Reiji Tamaki & Hideo Matsui

Wider use of C language in embedded controller applications has increased memory requirements, raising system costs. Use of higher operating frequencies and smaller circuit geometries has aggravated noise problems. Mitsubishi Electric has addressed these issues in the newly developed M16C/60 Series microcontrollers. The processors implement a new architecture that features efficient C-language execution, rapid arithmetic processing, efficient ROM utilization and advanced noise-suppression measures.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 2~5 (1996)

Present Semiconductor Technology and the Approach of LSI Systems

by Hideo Sakane & Heihachi Matsumoto

Surveying growth of the electronics industry, especially in the fields of personal computers and mobile communications, the article reports on the convergence of semiconductor devices and systems technologies. Forecasts for the world semiconductor market are analyzed and technical trends are suggested. The article presents the system-on-chip philosophy expected to guide implementation of multimedia information systems as special-purpose chipsets. It also introduces common themes for this special issue.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 32~37 (1996)

A One-Chip Picture-in-Picture LSI with Internal Field-Buffer Memory

by Shigehiro Tamaki, Masaharu Nasu, Tatsuhiro Yamada, Kouki Saito & Akio Yanagawase

The authors have implemented picture-in-picture functions for TV displays on a single chip using digital technology to replace all but a small core of analog signal-processing functions. A 96Kbit single port RAM is installed on the chip as a field buffer.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 6~10 (1996)

A 256Mbit DRAM

by Masaki Tsukude, Mikio Asakura, Kazutami Arimoto, Takahisa Eimori & Yoshikazu Ohno

The authors have produced samples of a 256Mbit DRAM using 0.25 μ m process technology. The chip area has been reduced dramatically by employing hierarchical bit line architecture with a unique cell layout. Use of a planar stacked capacitor with a high-dielectric layer ensures a sufficient readout voltage. Refresh characteristics have been improved dramatically by raising the memory-cell L level to slightly above GND.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 38~41 (1996)

An Image-Processing Controller for Facsimile Scanning Units

by Makoto Matsumoto, Hiroyuki Konda, Yuji Ishioka & Masaharu Taniguchi

An image-processing device has been developed for advanced, low-price personal G3 facsimile units. The device comprises a sensor interface, A/D converter image-processing memory and image-processing logic on a single chip. Simulations were used to optimize the image-processing algorithms and to determine the minimum image memory requirement. Picture quality is comparable to current picture-in-picture implementations.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 11~15 (1996)

A 16Mbit Cached DRAM with an Integrated Controller

by Katsumi Dosaka, Hideaki Abe, Akira Yamazaki, Kazunori Ishihara & Masaki Kumanoya

The authors report on a cached DRAM device with on-chip TAG and controller functions that simplify connection with a microprocessor. Systems can be configured using only the cached DRAM, a CPU and a single ASIC for I/O control, making the DRAM especially useful in implementing handheld terminals. Addition of a small PLD enables interface with existing personal computer chipsets. Using a small die area, the controller implements a fast copy-back function, concurrent operation and page mode control for a high hit rate with minimum cache miss penalty. The maximum operating frequency for the device is 66MHz.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 42~47 (1996)

A Realtime Programmable MPEG2 Video Encoder Chipset

by Tetsuya Matsumura, Shin'ichi Nakagawa, Hiroshi Segawa, Kazuya Ishihara, Atsushi Maeda & Yoshihide Ajikawa

Mitsubishi Electric has developed a realtime MPEG2 encoder chipset compliant with main profile at main level (MP @ML) specifications. The three-device chipset comprises a controller, pixel processor and motion-prediction engine, and is capable of encoding an ITU-R601 interlaced video signal (704 \times 480 pixels, 30 frames/s) in realtime. An evaluation system for personal computer use has been produced.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 16~21 (1996)

A Second-Generation 150MHz 32Kword \times 32bit Synchronous Burst SRAM

by Ryuichi Kosugi, Minoru Senda, Osamu Inoue, Yasuyuki Okamoto & Masayuki Iketani

The authors report on a second-generation 32Kword \times 32bit synchronous burst SRAM device with a 3.3V supply voltage and 3.3 or 2.5V I/O buffer supplies. It is suitable for high-speed second-level cache applications. The device is based on a 0.4 μ m process and operates at frequencies up to 150MHz with a maximum current drain of 290mA.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 48~51 (1996)

A 0.5 μ m BiCMOS Gate Array

by Toshiaki Hanibuchi, Yasushi Hayakawa, Kakutarō Suda & Morio Kakinuma

Mitsubishi Electric has developed a 600Kgate BiCMOS gate array with three-layer metalization and half-micron geometry for implementing 622Mbps broadband IDSN interfaces. The chip is divided into an ECL region for 622MHz processing and a CMOS region for processing speeds under 156MHz. This design achieves stable operation with lower power dissipation. Further power savings were achieved by use of P-well isolations that reduce the number of CMOS-ECL level converters, which continuously dissipate power in quiescent conditions.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 22~26 (1996)

The M32R: A 32bit RISC Microprocessor Embedded with a 16Mbit DRAM

by Jiro Korematsu, Toru Shimizu, Hideo Tsubota & Yasuhiro Nunomura

Mitsubishi Electric has developed the M32R 32bit RISC processor, a compact, high-performance device for use as the CPU core in system-on-chip applications. The article introduces the processor and the M32R/D, which combines the processor and a 16Mbit DRAM on a single die. The processor and memory are linked by a 128bit bus, supporting performance of 52.4VAX MIPS with a 16.7MHz external clock input (66.7MHz internal operating frequency). This outstanding performance was achieved with low power dissipation.

アブストラクト

<p>2.5Gbps変調器集積型半導体レーザ 石村栄太郎・宮崎泰典・青柳利隆・木村達也・板垣卓士・竹見政義 三菱電機技報 Vol.70・No.3・p.52~56 (1996)</p> <p>幹線系光ファイバシステムの光源として、2.5Gbpsの長距離伝送が可能な外部変調器集積型レーザを開発した。</p> <p>このレーザは、多重量子井戸光吸収層の最適化、及び変調器-レーザ間領域の高抵抗化により、伝送距離を制限する変調時の波長変動量を20pmにまで抑制できた。この波長変動量から見積もると、従来の直接変調方式と比較して4倍(400km)以上の長距離伝送が可能である。</p>	<p>高信頼トンネル酸化膜形成技術 寺本章伸・小林清輝・梅田浩司・松井安次・中村 正 三菱電機技報 Vol.70・No.3・p.75~79 (1996)</p> <p>フラッシュメモリのトンネル絶縁膜としてSiO₂膜が用いられている。絶縁破壊、電子捕獲、ストレス誘起電流の発生というSiO₂膜の信頼性上の問題が、フラッシュメモリの書換え回数を制限する。絶縁破壊に関して、SiO₂膜の膜厚依存性と面積依存性について述べる。</p> <p>また、ストレス誘起電流の発生がSiO₂膜に注入された正孔に起因することを示すとともに、電子捕獲、ストレス誘起電流の抑制には、SiO₂膜の窒化技術が有効であることを述べる。</p>
<p>CATV用DFB-LDの高CNR化 南原成二・山下光二・渡辺 斉 三菱電機技報 Vol.70・No.3・p.57~61 (1996)</p> <p>CATV用LD光源には、低ひずみ特性と大きな高搬送波対雑音比(CNR)特性が要求される。ここでCNRは、CATVシステムの光分岐数及び伝送距離を左右する重要な項目である。</p> <p>今回、全MOCVD法による1.3μmMQW型DFB-LDのチップパラメータの最適化により、2次相互変調ひずみ=-60dBc,3次相互変調ひずみ=-65dBc時にCNR=55dBを実現した(CNR当社従来比3dB改善)。</p>	<p>X線転写によるRu/BST/Ruスタックキャパシタを持つ1GビットDRAMセル 西岡康隆・炭谷博昭・結城昭正・堀川 剛・芝野照夫・木村良佳 三菱電機技報 Vol.70・No.3・p.80~84 (1996)</p> <p>21世紀初頭に市場の立上りが予測される1GビットDRAMに向けて、0.14μmルールメモリセルを試作した。微細化に伴う課題を乗り越えるためにSRを用いたX線転写、BST((Ba,Sr)TiO₃)を用いたキャパシタ、パターンサイズに依存しない新方式エッチングの三つの技術を適用した。その結果、このメモリセル及びこれらの技術が1Gビット以降のDRAM世代に要求されるスペックを満たし得ることを確認した。</p>
<p>Dual Gate HEMTを用いたQ帯低雑音可変利得増幅器MMIC 柏 卓夫・加藤隆幸・吉田直人・小丸真喜雄・高木 直 三菱電機技報 Vol.70・No.3・p.62~66 (1996)</p> <p>41~46GHz帯において、利得20dB以上、利得制御範囲30dB以上、雑音指数1.8~2.5dBと、低雑音でかつ利得制御が可能なミリ波帯モノリシック増幅器を開発した。低雑音特性・利得制御機能を同時に達成するために、低雑音増幅器MMICと可変利得増幅器MMICの2チップで構成した。この低雑音可変利得増幅器の開発により、将来のミリ波帯通信機器の高性能・高機能化が可能となる。</p>	<p>LSI用多ピンパッケージ技術 富田至洋・上田直人・中川 治 三菱電機技報 Vol.70・No.3・p.85~89 (1996)</p> <p>LSI、特にロジックデバイスのマイコン、及びASICに使用する高放熱・高電気特性で200~700ピンの多ピンパッケージとして、銅リードフレームQFP、キャビティ型BGAパッケージを開発し、量産化した。現在開発中の将来パッケージである1,000ピン級CSP(Chip Scale Package)を含め、多ピンパッケージの開発動向とともに、これら先端パッケージ技術を紹介する。</p>
<p>世界最大容量の8kV/3.6kA光トリガサイリスタ 佐藤克己・大田賢児・山元正則・井手和久・田口和則 三菱電機技報 Vol.70・No.3・p.67~69 (1996)</p> <p>電力分野で、系統連系や安定度向上のために用いられる交直変換装置や無効電力補償装置の小型・高性能化の要求にこたえ、6インチFZウェーハを用い、新たな設計技術を採用して、耐圧8kV、平均オン電流3.6kAの世界最大容量の光トリガサイリスタの開発に成功した。その構造、特長、定格、特性及び応用について概説する。</p>	<p>アーキテクチャに依存しない高位合成用HDLモデル化技術 東田基樹・小林直弘・石川淳士・濱田英幸・大倉五佐雄 三菱電機技報 Vol.70・No.3・p.90~93 (1996)</p> <p>誤り訂正符号の復号処理LSIを対象として、アーキテクチャに依存しない高位合成用HDLモデルの開発に取り組んだ。この論文では、高位合成用HDLモデルの作成手順、及び合成可能なアーキテクチャの範囲を拡大するためのHDLモデルの改良法について述べる。開発のHDLモデルで高位合成を行った結果、面積比で最大10倍、サイクル数比で最大5倍の差異を持った6種類のアーキテクチャを得ることができた。</p>
<p>アクティブランプ内蔵高圧、大容量IPM 森 敏・マジュムダール ゴーラブ・白澤敬昭・田中 毅・丸茂高志 三菱電機技報 Vol.70・No.3・p.70~74 (1996)</p> <p>直流母線電圧1,500Vから2,000Vの電鉄用主電動機制御や補助電源装置等の3レベルインバータ用の対応素子として、定格600AのIPMを開発した。特に、従来のIPM(Intelligent Power Module)になかった過電圧保護を内蔵しており、過電圧からIGBTを保護するだけでなく、IGBTの特性を最大限に引き出すことを可能としたものである。</p>	

Abstracts

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 75~79 (1996)

Technology for Fabricating Highly Reliable Tunnel Oxide Films

by Akinobu Teramoto, Kiyoteru Kobayashi, Hiroshi Umeda, Yasuji Matsui & Tadashi Nakamura

The write cycle lifetime of a flash memory device is limited by the reliability of the SiO₂ tunnel film, whose failure modes include dielectric breakdown, electron capture and excess currents. The authors investigated the relation between dielectric breakdown, film thickness and film area. They also determined that injected holes in the oxide layer are responsible for excess currents. Nitriding the oxide layer was found effective for suppressing electron capture and excess currents.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 52~56 (1996)

A Semiconductor Laser with an Integrated 2.5Gbps Modulator

by Eitaro Ishimura, Yasunori Miyazaki, Toshitaka Aoyagi, Tatsuya Kimura, Takuji Itagaki & Masayoshi Takemi

Mitsubishi Electric has developed a semiconductor laser featuring an integrated external 2.5Gbps modulator for long-haul telecommunications trunks. The wavelength excursion (which limits the transmission distance) has been cut to 20picometers by use of a laser with optimized multiple-quantum-well absorption layers and a high-resistance region between the modulator and laser. This construction quadruples the transmission distance with respect to previous direct modulation systems, supporting repeater spacing of approximately 400km.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 80~84 (1996)

Ru/BST/Ru Stacked Capacitor Cell for a 1Gbit DRAM Fabricated by X-Ray Lithography

by Yasutaka Nishioka, Hiroaki Sumitani, Akimasa Yuuki, Tsuyoshi Horikawa, Teruo Shibano & Yoshika Kimura

The authors have fabricated a memory cell based on 0.14 μ m process technologies for 1Gbit memory devices expected to enter commercial production early next century. They employed X-ray lithography using a synchrotron radiation source, a (Ba, Sr) TiO₃ (BST) capacitor and a new etching process that is independent of pattern size. The results suggest that the memory cell and its fabrication technologies are promising for mass production of memory devices of 1Gbit and larger.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 57~61 (1996)

A High-CNR DFB Laser Diode for CATV Use

by Seiji Minamihara, Koji Yamashita & Hitoshi Watanabe

Laser diodes for cable television (CATV) use require low distortion and a high carrier-to noise (CNR) ratio. The CNR ratio is vital, because it limits the number of branches and the transmission distance. The authors report on a 1.3 μ m multiple-quantum-well distributed-feedback laser diode fabricated entirely by metal-organic chemical vapor deposition. By optimizing the chip parameters, a 55dB CNR ratio has been achieved under conditions of -60dBc composite second order (CSO) and -65dBc composite triple beat (CTB). This represents a 3dB improvement over the corporation's previous CATV laser diodes.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 85~89 (1996)

High Pin-Count Packages for LSIs

by Yoshihiro Tomita, Naoto Ueda & Osamu Nakagawa

Mitsubishi Electric has developed and mass produced high-pin-count copper-lead-frame quad flat packages (QFPs) and cavity ball-grid array (BGA) packages for high-dissipation, 200~700pin logic devices. The articles reviews these packages and development trends in 1,000pin-class chip-scale packages (CSPs).

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 62~66 (1996)

A Q-Band Low-Noise, Variable-Gain Amplifier Based on Dual Gate HEMT MMICs

by Takuo Kashiwa, Takayuki Katoh, Naohito Yoshida, Makio Komaru & Tadashi Takagi

Mitsubishi Electric has developed a low noise, variable gain MMIC-based amplifier for the 41~46GHz band with more than 20dB gain and a noise figure of 1.8~2.5dB. To simultaneously achieve both gain control capability and low noise, the amplifier was implemented as two MMICs, one a fixed-gain amplifier, the other a variable-gain amplifier.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 90~93 (1996)

Architecture-Independent HDL Modeling for Error-Correction Decoders

by Motoki Higashida, Naohiro Kobayashi, Junji Ishikawa, Hideyuki Hamada & Isao Okura

The authors have investigated architecture-independent HDL modeling for error-correcting decoder LSIs. The article describes how software algorithms were used to implement HDL models, and how the HDL model was modified to simulate a wider range of architectures. The HDL model was used to generate six types of architectures with die areas differing tenfold and operating frequencies differing by a factor of five.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 67~69 (1996)

An 8kV/3.6kA Light-Triggered Thyristor

by Katsumi Satoh, Kenji Ohta, Masanori Yamamoto, Kazuhisa Ide & Kazunori Taguchi

Mitsubishi Electric has developed the world's largest capacity light-triggered thyristor using a 6in wafer. Using a new circuit design, the device achieves an 8kV blocking voltage and 3.6kA average current capacity. The article reports on the construction, features, ratings and other characteristics. The device has applications in AC-DC converters and static var compensators for electric power systems.

Mitsubishi Denki Giho: Vol. 70, No. 3, pp. 70~74 (1996)

A High-Voltage, High-Capacity IPM with a Built-in Active Clamp

By Satoshi Mori, Gourab Majumdar, Takaaki Shirasawa, Takeshi Tanaka & Takashi Marumo

Mitsubishi Electric has developed a 600A IPM for three-level inverters used in 1,500~2,000V power systems for electric-train traction motors and auxiliary power supplies. The IPM features a overvoltage protection lacking in previous devices that not only protects the insulated-gate bipolar transistor (IGBT) from overvoltages but also takes better advantage of the IGBT's characteristics.

半導体の進歩による産業革命の新局面



イリノイ大学
計算機学科

教授 室賀 三郎

18世紀末にイギリスに産業革命が起こったが、今アメリカは、産業革命の初期にあると見られている。それは、半導体と通信網の技術の進歩と普及のためである。殊に最近、コンピュータ業界の中心がオフィスから家庭へ移って、家庭ではパソコンがテレビよりも売れるようになった。これからはインターネット使用が社会の隅々にまで普及して、一般消費者の商品購入、銀行の預貯金、企業間の商取引、教育がインターネットに大きく移行しよう。このための技術投資に備えて経営を合理化すべく、今アメリカでは大銀行間の合併吸収が活発に行われている。家庭では、インターネットを通じて、今までにないぐらい膨大なカタログを見ることが、商品の使い方まで知ることもできる。注文した商品が安い料金を翌日配達されるのは、今でも電話で通信販売会社に注文すれば全国一律の送料\$3で行っている所もあるから、問題はなからう。

インターネットによって今までの形態の会社が存続しにくくなるというほか、企業がどんな辺り(鄙)な国や場所に在っても世界中の人々を相手に商売ができるというのは、最も大きな社会的インパクトの一つであろう。

インターネットの普及によってハードウェア、ソフトウェアの技術促進が起っている。例えば、インターネット専用の安いパソコンが、Sun Microsystems社やOracle社によって生まれようとしている。新しい言語JavaによるHotJavaというプログラムで、インターネットからパソコンにビデオソフトウェアが簡単にダウンロードできる。またIntel社が主唱するInterCastは、テレビ信号の帰線を利用して、テレビ放送局が情報をインターネットと同じ形式で家庭のテレビに送る。家庭では、インターネットと同じ

く、インタラクティブに情報を選べる。テレビでニュース番組の時、歴史や場所などの背景をモニタ上の他のウィンドウで見られる。広告もシミュレーションプログラムを使用して商品を家庭でテストできるようになるかもしれない。

こういうものが家庭やオフィスに広く普及すると、新たなハードウェアやソフトウェアが大規模に必要なところ、半世紀も続いたトランジスタのスケールダウンもあと15年ぐらいで困難となり、集積回路チップを小さく高速化できなくなると見られている。したがって、パソコンの絶え間ない小型化・高速化によって人々が始終パソコンを買い換えるという今までのパターンが無くなるであろうか?私はパソコンの変化の性質やテンポは変わっても、他の手段によってやはり高速化は続き、人々が買わざるを得ない新製品が出現し続けるであろうと思う。今まで積み上げてきたハードウェアやソフトウェアの技術の組合せが、新製品の目的に応じて新たに考え出されるであろう。例えば、今まであったEEPROMにレイアウトの工夫を加えることによって、フラッシュメモリという強力なシステムの新しいコンポーネントが生み出された。また画像処理用に、Synchronous DRAMや3D RAM, Rambusなどが、SRAM, DRAM, 論理ゲートの新たな組合せによって出現しつつある。

どういう新製品がマーケットに必要なかということを見極めるのは大事であるが、いち早く商品化するには、CADが今後ますます重要になっていくであろう。多様なビジネスの機会が豊富な面白い時代に突入しつつある。

半導体の現状と動向

— システムLSIに向けて —

坂根英生*
松本平八**

1. ま え が き

1947年のトランジスタの発明に端を発する半導体デバイスは、今日の各種電子機器の飛躍的發展の原動力となり、日常生活・産業社会の至る所で幅広く利用されている。

この半世紀の歩みを振り返ると、'60年代には集積回路(IC)を実用化し、'70年代にはマイクロプロセッサやメモリを代表とするLSIの時代に突入し、'80年代にはパソコンの登場とともに一層の高集積・高性能・高機能LSIへと進展し、半導体は産業として高い成長を遂げた。

'90年代も後半に差し掛かり、21世紀まで余すところ5年、パソコンはオフィスから家庭、さらには個人へと新たな普及の段階を迎え、それらを結ぶ通信ネットワークとともにマルチメディア社会の中心的役割を担うものとして、加速度的に用途の広がりを見せ始めている。

本年は、VTR以来の大型商品として期待されるDVDの市場投入、国内における衛星デジタル放送の開始が予定されており、家庭におけるマルチメディア端末としてのセットトップボックスの立上り等が予想されている。そのため半導体には、これらのシステム実現のために、今まで以上の役割が期待されている。

この論文では、半導体産業の現状と今後の発展に向けた取組について概況を述べる。また、この特集号で取り上げた半導体製品と技術のねらいについて紹介する。

2. 半導体市場の現状と動向

まず、世界の主要半導体メーカーが加盟する世界的統計機関であるWSTSによる半導体市場予測を、実績とともに図1

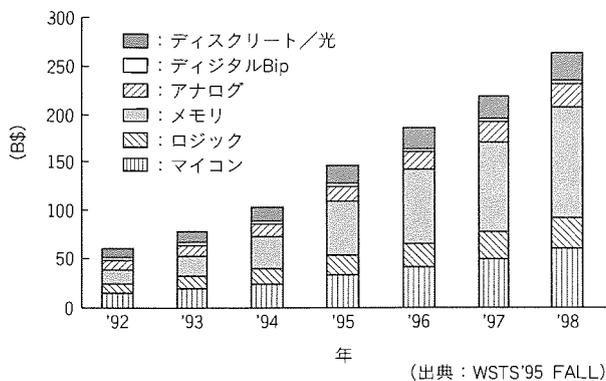
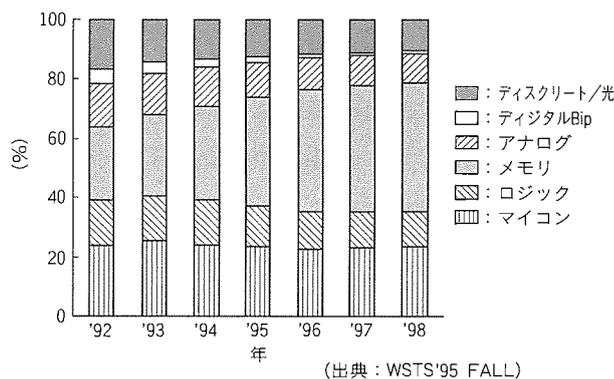


図1. 世界半導体市場の伸び (実績・予測)

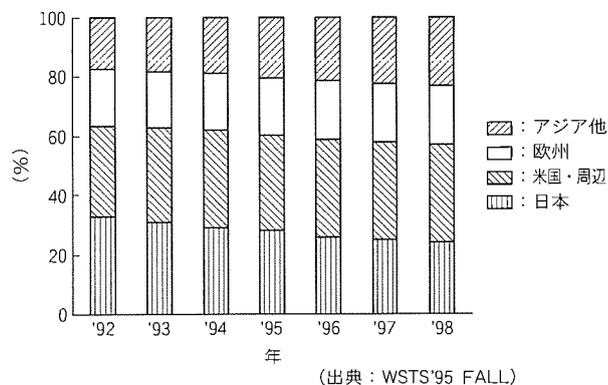
に示す。半導体市場は'88年に景気循環的サイクルのピークを過ぎ、しばらく低成長を余儀なくされていたが、'93年から年率2けたを超える高成長に転じ、'95年は10年来の記録的成長率を達成するのが確実視されている。この後は若干鈍るものの、'94~'98年の平均年成長率は26.6%に達する高成長率が予測され、伝統的シリコンサイクルを乗り越えて拡大基調に入ったとの認識が広がっている。この主たる要因は、半導体需要をけん(牽)引している世界のパソコン需要が好調に推移し、さらに、通信機器分野の半導体需要が世界各地で伸びているからと考えられている。

半導体製品を構造・機能面から6種類に分類するのが通例であるが、図2(a)に示すように、MOS LSIであるメモリ、マイコン、ロジック(ASIC)の占める割合はメモリの増大によって今後も拡大し、成長の牽引役を果たすと考えられる。

地域別に市場を分類して図2(b)に示す。'80年代半ばに世界で最大市場を獲得した日本が、図から'93年に、再び米国



(a) 製品別



(b) 地域別

図2. 世界半導体市場 (実績・予測)

にトップの座を明け渡し、2位に転じている。また、今後韓国・台湾・中国などのアジア地域では、日本・米国・欧州地域からの電子機器生産シフトや域内における電子機器の消費の拡大が予想されることから、半導体需要の目覚ましい伸びが予想され、日本市場に肉薄するものと考えられている。

2.1 半導体とシステム製品

半導体は絶え間ない技術革新により、応用先であるシステム製品の性能向上・高信頼性・低コスト化に寄与し、システム製品は高性能化や新機能を盛り込むことで新たな半導体需要を生み出し続けることにより、半導体とシステムが相乗効果を発揮し、相互に成長を維持してきた。

これまでシステム製品としては、カラーTVやVTRに代表される民生用電子機器、汎用コンピュータやパソコンに代表される産業用電子機器が半導体の発展をもたらしてきた。

'90年代に入り、民生用電子機器は需要一巡から成長に陰りが見られ、汎用コンピュータはダウンサイジングの波にもまれパソコンに主役の座を明け渡し、新たに携帯電話に代表される移動体通信機器が急成長しつつある。

図3に示すように、21世紀に向けてパソコンと携帯電話(自動車電話を含む。)は高い成長性が予測され、両方とも今世紀末には年間一億台レベルの規模が見込まれ、早晚VTRを追い越しカラーTVの需要に匹敵する数量規模になる。

現下の半導体需要の増加は、主要な応用先であるパソコン、携帯電話等の生産増加とシステム製品当たりの半導体製品搭載率の増加の2要因に支えられていると言えよう。電子機器は、デジタル処理の増加、機器の小型化、データ処理量の増加、メカトロニクスの高性能化、処理の高速化等の実現のために、半導体製品搭載率が増加する。

2.2 半導体技術トレンド

システム製品からのおう(旺)盛な需要、厳しい要求性能に対して、半導体はDRAMを先頭に微細加工への挑戦が継続的に行われ、この二十数年の間にメモリにおいては3年で4倍ペースの大容量化が実現され、64MビットDRAMが商用生産されるに至っている。

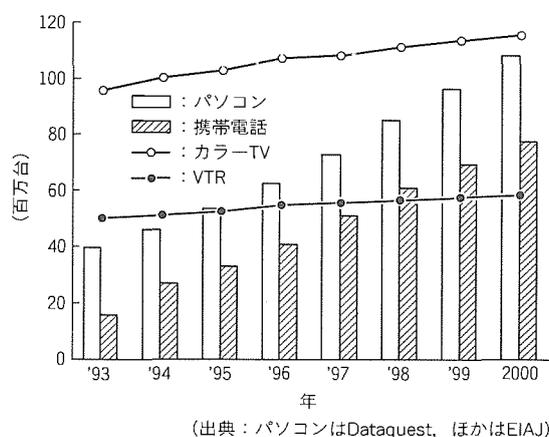


図3. 電子機器の世界需要予測

マイコンについても、最初に世に出たプロセッサはわずか2,300個のトランジスタから構成されていたが、現在では数百万個のトランジスタが集積され、格段の高性能化が図られた。

基本的に過去のトレンドに従った21世紀に至る技術のロードマップを、DRAMを例に図4に示す。これは米国半導体工業会によって半導体及び関連産業のガイドラインとして提示されたものであるが、実現に向けて精力的に技術開発が行われる。この特集でも1GビットDRAMの要素技術が示されているが、この製品の商用生産が21世紀初頭に始まるといった見通しは明るい。もちろん、最先端の微細加工技術の恩恵に浴するのには、メモリだけではなく、マイコン/ASICから高周波・光デバイス、パワーデバイスに至るまで広範な波及効果が期待される。

特に、微細加工技術は、従来実用的シリコンチップサイズで実現できなかった規模の回路・機能を集積する、すなわち“システム オン チップ”を押し進める原動力となると考えられる。

3. システムLSIに向けて

3.1 システム オン チップのニーズと課題

'80年代は、半導体の比例縮小則により、システムを構成するメモリ・マイコン・ロジックの各能動素子ごとの性能向上がシステム性能向上に直接反映された。しかしながら、システムの大規模化に伴う複数の能動素子間の相互接続数の増大は、速度向上のボトルネックとなっている。その解消を図りトランジスタの高性能化と微細化の成果を十分発揮するには、システム機能をチップ上で実現する、すなわちシステムオンチップが解決策として浮上する。

システム オン チップの実現のためには、様々な技術の融合が必要である。すなわち、システム技術と半導体技術の融合であり、半導体の中においては、メモリとマイコン/ロジック間のプロセスの融合等である。また、ハードウェアとソ

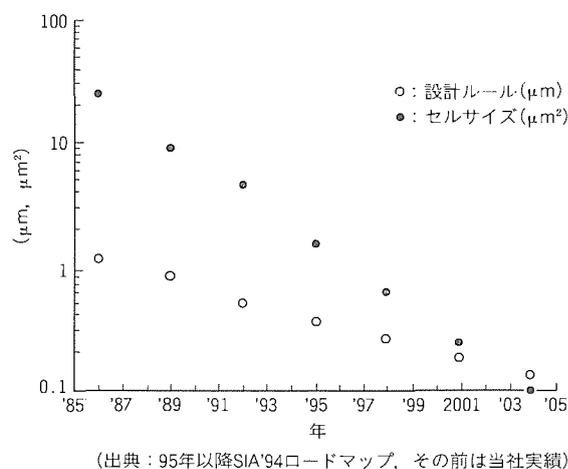
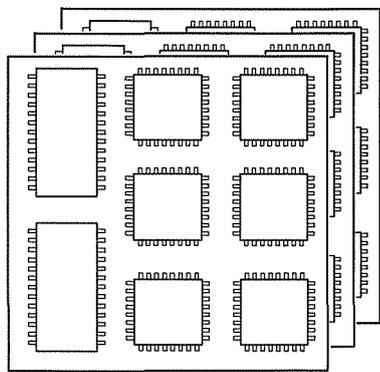


図4. DRAMの技術トレンド

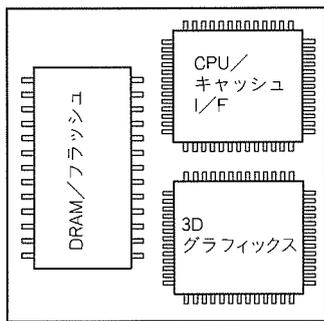
ソフトウェアの間の最適な切り分けが重要である。チップ上にシステムレベルの機能が集積されることにより、設計の複雑性が増大し、膨大な検証作業を伴う。ひいては、設計生産性の低下を招きかねず、設計技術、テスト技術とCAD技術の融合・高度化がシステム オン チップ実現のかぎ(鍵)となる。

3.2 システムLSIの取組

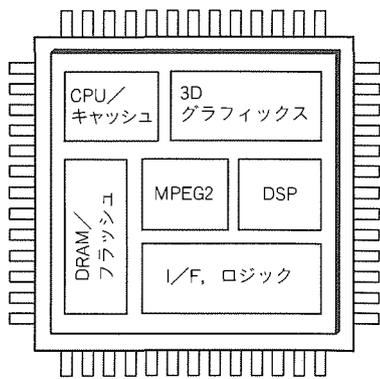
1チップ上にすべてのシステム機能が搭載された形のシステム オン チップは、半導体を目指す究極の姿である。その前段階として、システム機能を最適に分割した複数のシステムLSIで構成することに取り組み始めている。すなわち、チップセットとしてのソリューションである。



(a) マルチボード



(b) シングルボード/カード



(c) システム オン チップ

図5. システム オン チップへのアプローチ

図5に、当社システム オン チップに至るコンセプトを示す。システム LSIによるチップセットの開発対象の一つは、今後大きく広がるマルチメディアの市場であることは言うまでもない。

マルチメディア社会を、パソコンと通信ネットワークの融合により、“いつでも”“どこでも”“だれとでも”がデータ・文字・音声・画像情報をシームレスに自由に取り扱うことができる世界であると定義すると、当面のシステム オン チップへの取組はマルチメディア オン チップを目指したシステム LSI群への取組と言い換えることができる。

図6に、マルチメディア対応システム製品に必要となる半導体技術を示す。注目すべき点は、従来からのコンピュータ分野の要素技術に加え、通信ネットワーク分野の要素技術である圧縮・伸張/誤り訂正/暗号処理等で、半導体が果たすべき役割は大きい。マルチメディア時代に、デジタル化された音声/映像情報を通信ネットワーク上で自由に取り扱うことができる機能を半導体が担うことになる。

当社での取組の例を図7に示す。昨年国内でサービスが開始されたPHSに対するチップセット ソリューションの例であり、将来図5のコンセプトに従ってシングルチップ化されるであろう。

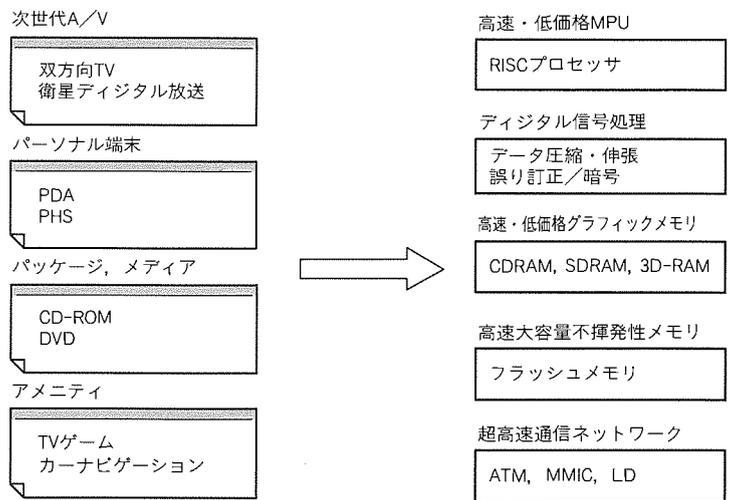


図6. マルチメディアと半導体

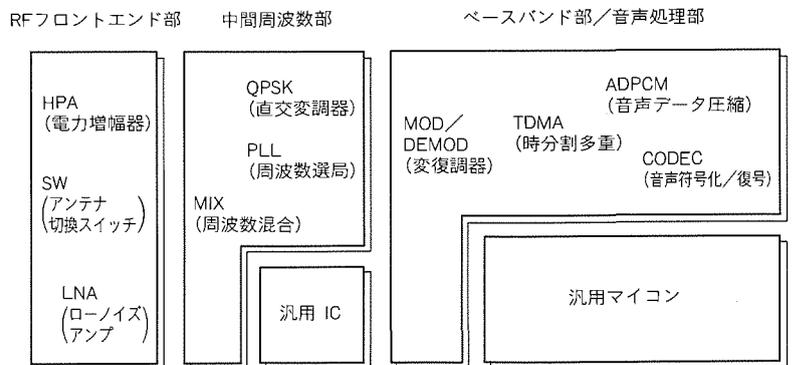


図7. PHSチップセット分割例

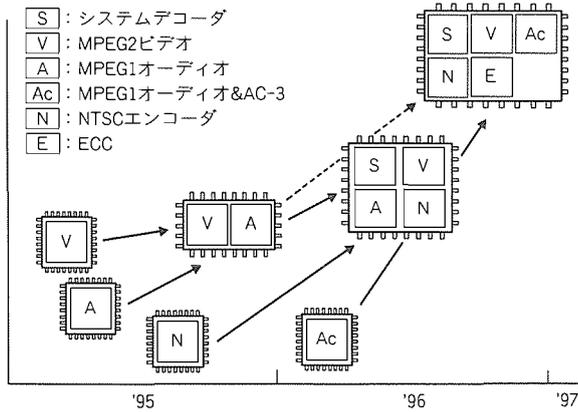


図 8. MPEG2チップセット計画

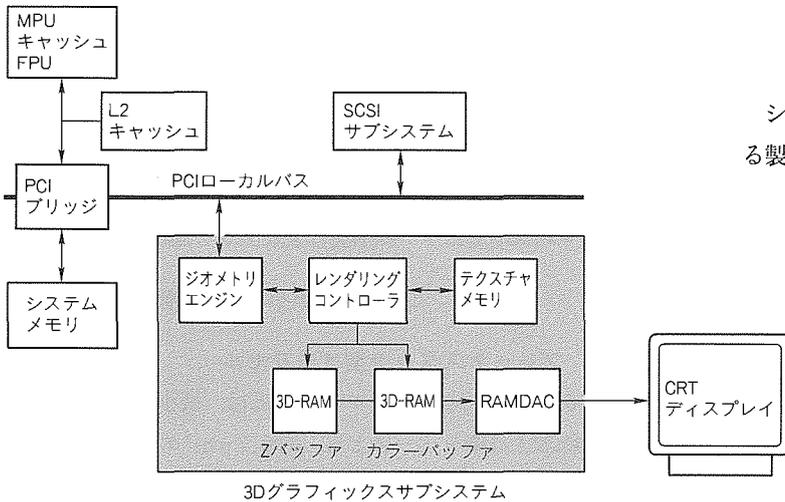


図 9. 三次元グラフィックス デスクトップシステム

動画像の伝送・加工に必ず(須)である MPEG の場合のマルチメディア オン チップの進展の計画を図 8 に示す。

図 9 に示すのは、急増するパソコン上で本格的な三次元グラフィックスを実現し、迫力あるゲーム、旅行の擬似体験、臨場感に富んだカーナビゲーションなどの提供につながるデスクトップ用チップセットの例である。

'80年代は、メモリを中心にいかに大量に生産するかが第一の課題であったが、MPUに見られる知的所有権とパソコン及び周辺機器の仕様・規格のデファクトスタンダード化

の流れを勘案すると、微細加工技術をベースにいかにシリコン上にインテリジェンスを取り込むかが、今後の取組で重要である。言い換えると、最終ユーザが真に望むサービスを喚起するような半導体技術・製品をいかに提供することができるかが、マルチメディア市場に向けてのキーポイントである。

上で述べたシステム オン チップへ向けたチップセットの取組は、電子部品としてスタートした半導体が、ハードウェアであるチップにソフトウェアを吹き込むことにより、電子機器のシステム機能の担い手として飛躍するための新たな挑戦を課すことになる。その成果がポジティブフィードバックとなり、更なるマルチメディア時代の顧客ニーズのシステム LSI 化を促進することになり、半導体とシステム製品の融合と発展に寄与することを期待する。

4. むすび

システム LSI は今後の半導体の進むべき方向をリードする製品と考えられるが、半導体製品は多岐にわたり、家庭・学校・工場・オフィスでの日常生活から、エネルギー・通信・交通・宇宙等の産業社会のあらゆる場面で活躍の場を与えられている。

総合半導体メーカーである当社の幅広い製品と技術の中から、メモリはメインメモリ用の 256 M ビット DRAM を始め高速メモリ 2 件、マイコンは 32 ビット RISC プロセッサと 16 ビット MCU の 2 件、ASIC は画像圧縮用の MPEG 2 チップセットを始め計 4 件、高周波・光素子は MMIC を始め 3 件、パワーデバイスは大電力制御の光トリガサイリスタと IPM 計 2 件、共通基盤技術についてはウェーハプロセス技術から 1 G ビット DRAM セルと極薄酸化膜技術の 2 件、アセンブリ技術から多ピンパッケージ、CAD 技術からは高位合成技術について最新の成果の計 4 件をこの特集号で紹介する。

256MビットダイナミックRAM

築出正樹* 栄森貴尚*
朝倉幹雄* 大野吉和*
有本和民**

1. ま え が き

ダイナミックRAM (DRAM) は、微細化技術と大量生産技術によって低コストを維持し続け、情報電子機器のキーデバイスとして、ほぼ3年で4倍のスピードで大容量化し、開発され続けている。

現在、本格的な量産体制は4M DRAMから16M DRAMに移行している状態であり、研究開発のレベルでは、1993年のISSCC (IEEE International Solid-State Circuit Conference) の発表^{(1)~(3)}を皮切りに、様々な256M DRAMの開発が報告されている。

当社では、プロセス工程の簡略化、チップ面積縮小、及びリフレッシュ特性の改善を最重要課題として、256M DRAMの開発を進めており、本稿では、これに基づいて試作した256M DRAM⁽⁴⁾の特長を述べるとともに、その電気的特性を述べる。

2. 256M DRAMの開発概要

DRAMは、大容量化に伴って、メモリセルのスケールリングが進み、メモリセル容量の確保及び周りの加工マージンが厳しくなり、リフレッシュ特性の悪化をもたらす。しかし、世代が進むに従って、逆にリフレッシュ特性のスペックは厳しくなる。さらに現在、PDA (Personal Digital Assistant) やノート型パソコンを代表とする携帯電子機器の目覚ましい発展に伴い、低消費電力DRAMの要求が強くなり、リフレッシュ時間を延ばす技術はDRAM開発において重要な課題となっている。

また、集積化によるチップ面積削減のために微細化を進めてきたが、サブミクロン以降の微細化技術は逆に複雑になり、

膨大な設備投資とともにプロセス工程の増大も余儀なくされている。したがって、プロセス工程の簡略化も重要な開発課題となる。

そこで、今回試作した256M DRAMは、以下に示す開発ポイントを掲げて開発を行った。

- (1) リフレッシュ特性の改善
 - 高誘電率膜の採用による十分なセル容量の確保
 - 昇圧センスGND方式の採用
- (2) プロセス工程の簡略化とチップ面積の削減
 - 高誘電率膜プレーナスタック型セルと新規セルデザインでプロセス工程の簡略化
 - 新規階層ビット線構造によるチップ面積の削減

3. プロセスデバイス技術

3.1 プレーナスタック型メモリセル

256M DRAMを実現するためには、最小寸法 $0.25\mu\text{m}$ の微細加工技術をベースとし、約 $0.7\mu\text{m}^2$ のセル面積に25fF以上のキャパシタンスを作り込む必要がある。しかし、従来の円筒又はフィンといった三次元型メモリセルで十分なキャパシタ面積を得るためには、更に円筒又はフィンの数を増やすか、縦方向に厚い膜構造を形成することになり、いずれも工程数の増大や大きな段差による微細加工マージンの低下が問題になる。特に、リソグラフィマージンを広げるには、微細化が進む程、初期段差を小さくすることがポイントとなる。我々は、キャパシタの誘電膜として、従来のシリコン系誘電膜に替わって高誘電率薄膜を開発し、少ない工程数でプロセスマージンの大きいプレーナスタック型メモリセル構造を開発した。

3.2 高誘電率膜技術

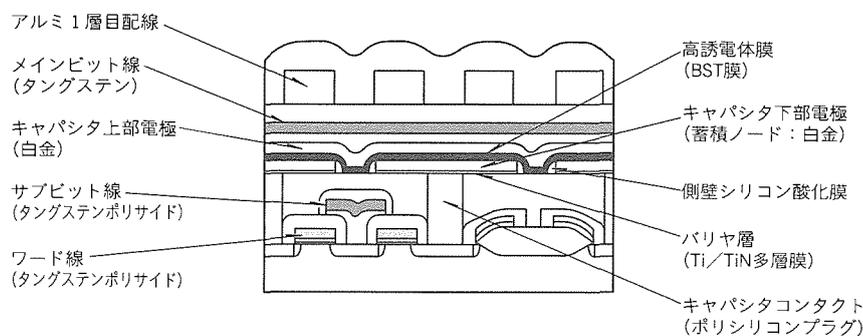


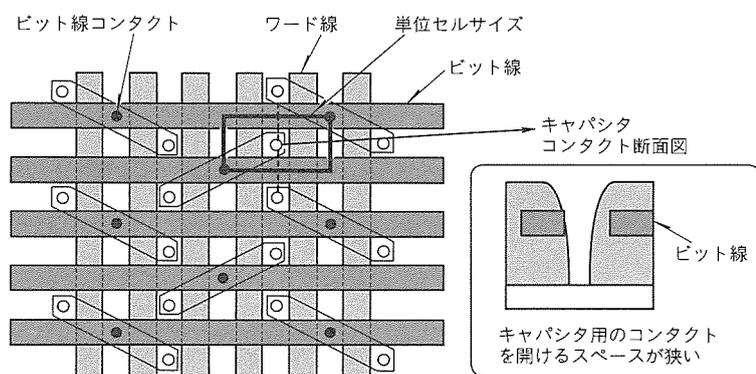
図1. 単純プレーナスタック型セル断面図

高誘電率膜を用いたメモリセルの断面図を図1に示す。我々は高誘電率膜として (Ba, Sr) TiO₃膜 (BST膜) を選んだ。約 300 の比誘電率を持つ BST 薄膜は、使用温度域で絶縁特性劣化につながる自発分極の反転を示さないため、書換え頻度の高い DRAM に適しているが、一方、キャパシタ容量を上げるために薄膜化していくと結晶が柱状となり、リーク電流が増加するという性質を持つ。我々は、高い誘電率を保ちながらリーク電流を減少させる膜構造として、塊状微結晶と柱状結晶がバランスよく混在する成膜条件を見出し、256 M DRAM 動作に十分な誘電率と低いリーク電流を持つ BST 薄膜を実現した⁽⁵⁾。

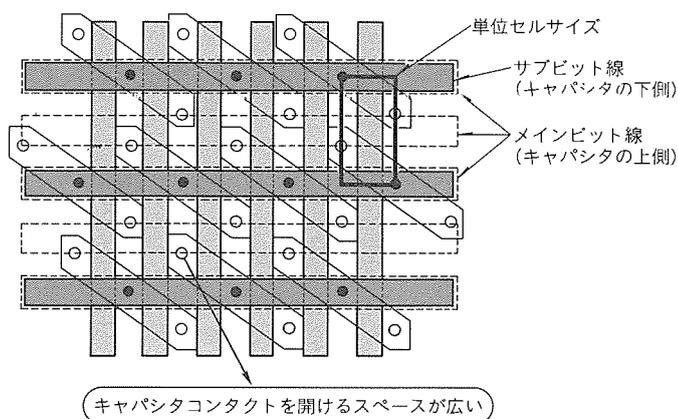
キャパシタ下部電極にはシリコンの拡散防止バリア層と白金の積層膜を、キャパシタ上部電極には白金を用いている。これら電極材料及び BST 材料のエッチング技術も併せて開発した。

3.3 新規セルデザインの採用

高誘電率膜を用いたプレーナスタック型セルは、キャパシタ形成後のプロセスに大きな余裕度をもたらす。我々は、さらに、キャパシタ形成前のプロセスの余裕度を広げるために、新しいメモリセルデザインを適用した。これを FOGOS セル (Folded Global and Open Segment Bit-line Cell)



(a) 折り返しビット線型(従来型)



(b) 新規セルデザイン(FOGOS)

図 2. セルデザイン

と呼ぶ(図2)。このデザインは、ビット線のラインピッチを従来の2倍に広げる一方、同一ビット線上のビット線コンタクトのピッチを従来の1/2に縮めるものである。

この新しいデザインは、従来並みのセル面積を保持しながら、ビット線のパターンニング特性と、ビット線とキャパシタコンタクトの重ね合せ特性に大きな余裕度をもたらす。重ね合せ精度と寸法精度のトータルばらつきは、寸法の微細化率より小さく制御することが非常に難しくなっており、同ピッチで格子状に配線されたワード線とビット線のすき(隙)間に上方からコンタクトを落とす従来型セルでは、コンタクト内導電材料と配線間の短絡防止のため、ワード線とビット線双方に対してセルフアラインコンタクト技術が必要となる。しかし、比較的容易な基板表面のワード線に対するセルフアライン技術に対し、中空配線であるビット線に対するセルフアラインコンタクト技術は、高い難度のエッチング技術又は複合的なプロセス技術が要求され、歩留りの低下又は工程数の増大を招く。

FOGOSセルは、その大きなビット線ピッチにより、ビット線に対するセルフアラインコンタクト技術を免除する一方、従来型セルに比べ、単位セル当たりのビット線容量を約30%低減する効果、及び間隔が約1.2倍に広がったキャパシタコンタクトの転写時近接効果を防ぐ効果も合わせ持つ。

4. 設計技術

4.1 昇圧センスGND方式

リフレッシュ特性を決める重要な要因として、主にメモリセルの二つのリーク経路が挙げられる。

一つは、メモリセルのストレージノードのn領域と基板電位 (V_{bb}) に固定されたp領域とのpn接合間に流れる接合リーク電流であり、このリークを抑えるには V_{bb} を浅くするか接合面にかかわるp型不純物濃度を薄くする必要がある。

二つ目は、ワード線が非選択(Lレベル)状態時にメモリセルのアクセス T_r のチャンネル方向に流れるサブスレシールドリーク電流であり、このリークを抑えるには V_{bb} を深くするかチャンネルドーパ量を濃くして、アクセス T_r のしきい値電圧を上げる必要がある。

ここで、リフレッシュ特性を左右する上記二つのリーク電流の解決策は完全に相反するものであり、現状のままでは大幅なリフレッシュ特性の改善は望めない。

そこで、我々はビット線の“L”レベルを非選択ワード線のレベル(通常GNDレベル)よりわずかに上昇させる昇圧センスGND(Boosted Sense Ground: BSG)方式を提案した。この方

式は、センス用のGND配線にBSG発生回路で発生したBSGレベルを供給する単純な構成で実現できる(図3)。

基本的な原理を図4を用いて説明する。従来方式では、ワード線が非選択のときにはメモセルのアクセスTrのソース電位(ビット線“L”レベル)が0V、ゲート電位(ワード線レベル)が0Vとなる場合があり、この場合、ソースに対するゲート電位(V_{gs})は0Vとなる(点Aの状態)。BSG方式ではソースの電位が0Vより少し高いため、 V_{gs} は負の電位となり($V_{gs} = -0.5V$)、点Aの状態から点Bの状態に遷移する。これにより V_{bb} を深くしたりチャネルドープを濃くすることなく、サブスレシヨルドリーク電流を低減できる。さらに、接合リークを改善するため、 V_{bb} を浅くしたりp型不純物濃度を薄くする処理を施したとする。アクセスTrのドレイン電流カーブは、実線から点線へと移行する。

従来方式では V_{gs} が0Vであるので点Aの状態から点Cの状態へ遷移するため、サブスレシヨルドリーク電流が増加するが、BSG方式では点Bから点Dの状態に遷移するだけで、従来方式よりもサブスレシヨルドリーク電流を抑制しつつ、接合リークを大幅に改善できる。リフレッシュ特性の実測値で、従来方式に比べて3倍の改善効果が得られた。

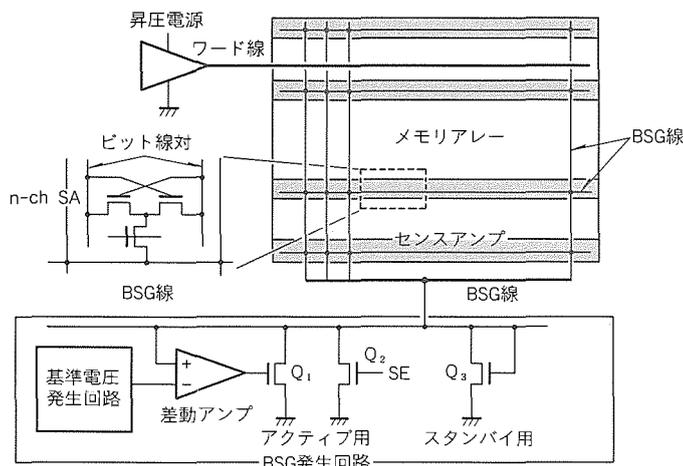


図3. 昇圧センスGND (BSG)方式の構成

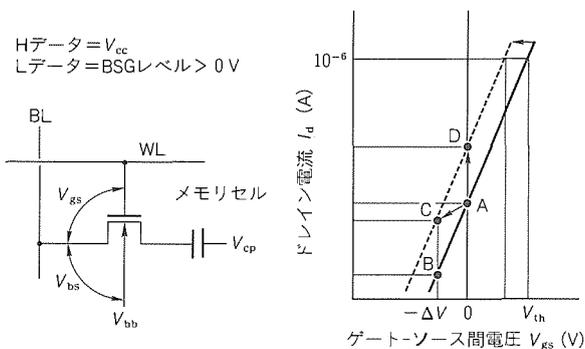


図4. 昇圧センスGND (BSG)方式の原理

さらに、このBSG方式は、センススピードの高速化が可能となる(図5)。ビット線間の電位差が1.0Vとなる時間は、従来方式に比べてBSG方式は1.2ns高速にできる。これは、BSG方式では、センス動作開始時にオーバドライブ状態となり、実質的にGNDレベルからのセンスとなるためである。

4.2 階層ビット線構造

センスアンプの数は、大容量化が進むにつれて増加する傾向にある。一本のビット線に接続されるメモセルの数は、ビット線寄生容量の制限から容易に増やせないためである。したがって、チップサイズに占めるセンスアンプの面積は、256M DRAMでは無視できなくなる。

そこで我々は、劇的にセンスアンプ数を削減でき、チップ面積削減に効果的な階層ビット線構造を提案した。図6に、今回256M DRAMで適用した階層ビット線構成を示す。メインビット線(MBL, \overline{MBL})とセンスアンプ(SA)の関係は、シェアドセンスアンプ構成である。そして、このメインビット線ペアは、ブロック選択信号BSで制御されるスイッチTrを介して、サブビット線に接続されている。サブビット線にはメモセル32個が接続されており、このスイッチTr、サブビット線とメモセル32個からなる構成を一つのサブブロックとする。そして、一つのメインビット線ペアには32個のサブブロックが配置されており、合計で1K個のメモセルが接続されている。これによって、センスア

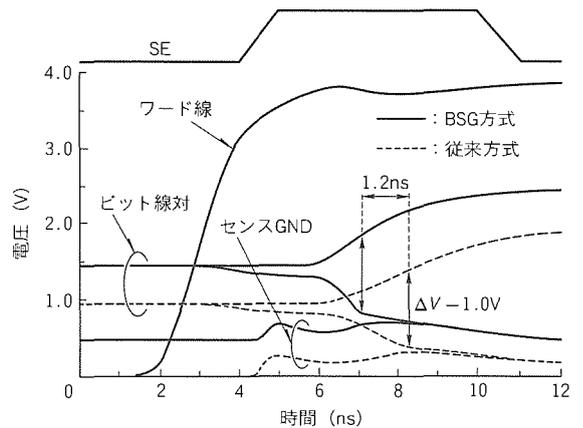


図5. センス波形(Sim値)

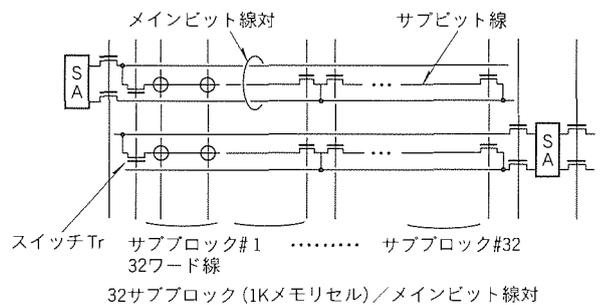


図6. 階層ビット線構造

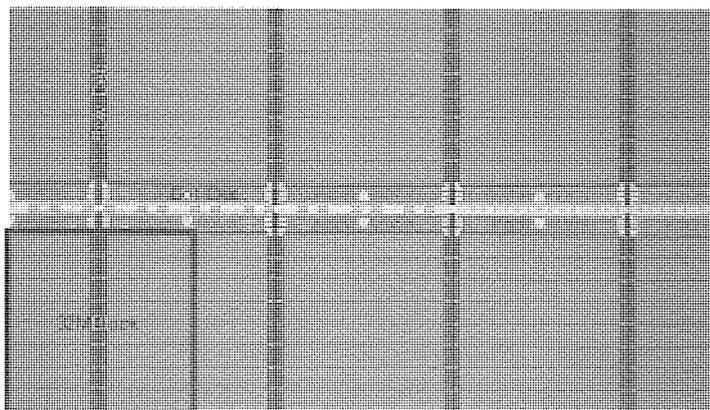


図7. チップ写真

表1. 256M DRAMの仕様

微細加工	KrFエキシマレーザ(設計ルール:0.25 μ m)
素子分離	改良LOCOS
メモリセル	単純プレーナスタック型セル セルサイズ:0.6 \times 1.2=0.72 μ m ² 高誘電率膜 (Ba, St)TiO ₃ 膜(BST膜) C _s =25fF, T _{eq} =0.47nm, リーク電流<2 \times 10 ⁻⁷ A/cm ²
内部配線	2ポリサイド1タングステン2アルミ
チップ面積	13.32 \times 22.84=304mm ²
電源電圧	外部 3.3V(内部:周辺2.5V, アレー2.0V)
アクセス	t _{RAC} =34ns(at V _{cc} =3.3V, RT)
動作電流	62mA(t _c =90ns)
スタンバイ電流	60 μ A
Refサイクル	16,384

ンプの数を256ビット/BL構成時の1/4にし、チップ面積を約10%縮小した。ここで、トータルビット線容量C_b(ただし、SA領域を含む。)は約150fFとなり、メモリセル容量C_s(25fF)との割合(C_b/C_s)は6となり十分な読出し電位差を確保できる。

また、この構成は前述したFOGOSセル構成と実によくマッチした構成であり、サブビット線はオープンビット線構成にもかかわらず、メインビット線は折返しビット線構成となり、トータル的にノイズ耐性の向上が図れる。

5. 256M DRAMの試作結果

今回、試作した256M DRAMのチップ写真を図7に示す。構成は、中心にローデコーダを配置した32Mブロックを長辺方向に四つ、短辺方向に二つ並べ、配線遅延の縮小を図った。セルサイズは0.72 μ m²と普通の大きさであるにもかかわらず、階層ビット線構成を採用した効果によって304mm²という小さなチップ面積を実現できた。外部電源電圧は3.3Vだが、内部降圧回路によって周辺制御回路は2.5V動作、アレーは内部降圧回路とBSG発生回路によって2.0V動作を行い、高速動作を維持しつつ低消費電力化を図って

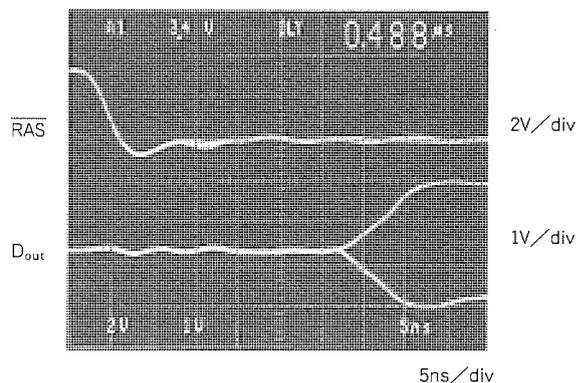


図8. 動作波形

いる。

表1に、試作した256M DRAMの仕様一覧を示す。また、図8に、V_{cc}=3.3V、周辺温度25 $^{\circ}$ Cにおける出力波形を示す。

6. むすび

チップ面積の削減、プロセス工程の簡略化、リフレッシュ特性改善を基本コンセプトとして、0.25 μ m微細加工技術による256M DRAMを試作した。アレー構成には階層ビット線構成及びそれに適したFOGOSセル配置を採用し、チップ面積の大幅削減を実現した。メモリセルには平面スタック型高誘電膜キャパシタを採用し、大きな読出し電位を確保しつつプロセス工程の削減を図った。さらに、メモリセルの“L”レベルをGNDよりわずかに上昇させる昇圧センスGND(BSG)方式を採用し、リフレッシュ特性の大幅改善を実現した。

これらの技術は、今後の大容量DRAMだけにとどまらず、既存の品種にも展開することができ、性能改善やチップサイズ削減に役立つと確信している。

参考文献

- (1) Hasegawa, T., Takashima, D., Ogiwara, R., Ohta, M., Shiratake, S., Hamamoto, T., Yamada, T., Aoki, M., Ishibashi, S., Oowaki, Y., Watanabe, S., Masuoka, F.: An Experimental DRAM with a NAND-Structure Cell, ISSCC Dig. of Tech. Papers, 46~47 (1993)
- (2) Kitsukawa, G., Horiguchi, M., Kawajiri, Y., Kawahara, T., Akiba, T., Kawase, Y., Tachibana, T., Sakai, T., Aoki, M., Shukuri, S., Sagara, K., Nagai, R., Hasegawa, N., Yokoyama, N., Kisu, T., Yamashita, H., Kure, T., Nishida, T.: 256 MbDRAM Technologies for File Applications, ISSCC Dig. of

Tech. Papers, 48 ~ 49 (1993)

- (3) Sugibayashi, T., Takeshima, T., Naritake, I., Matano, T., Takada, H., Aimoto, Y., Furuta, K., Fujita, M., Saeki, T., Sugawara, H., Muratani, T., Kasai, N., Shibahara, K., Nakajima, K., Hada, H., Hamada, T., Aizaki, N., Kunio, T., Kakehashi, E., Masumori, K., Tanigawa, T. : A 30 ns 256 Mb DRAM with Multi - Divided Array Structure, ISSCC Dig. of Tech. Papers, 50 ~ 51 (1993)
- (4) Asakura, M., Ohishi, T., Tsukude, M., Tomishima, S., Hidaka, H., Arimoto, K., Fujishima, K., Eimori, T., Ohno, Y., Nishimura, T., Yasunaga, M., Kondo, T.,

Satoh, S., Yoshihara, T., Demizu, K. : A 34 ns 256 Mb DRAM with Boosted Sense - Ground Scheme, ISSCC Dig. of Tech. Papers, 140 ~ 141 (1994)

- (5) Eimori, T., Ohno, Y., Kimura, H., Matsufusa, J., Kishimura, S., Yoshida, A., Sumitani, H., Maruyama, T., Hayashide, Y., Morizumi, K., Katayama, T., Asakura, M., Horikama, T., Shibano, T., Itoh, H., Sato, K., Namba, K., Nishimura, T., Satoh, S., Miyoshi, H. : New Designed Simple Stacked Capacitor Cell with High - Dielectric Constant Film for 256 Mbit DRAM, IEDM Dig. of Tech. Papers, 631 ~ 634 (1993)



コントローラ付き16MキャッシュDRAM

堂阪勝己* 石原和典***
 阿部英明** 熊野谷正樹+
 山崎 彰*

1. ま え が き

半導体技術の進歩に伴うメモリデバイス、特にダイナミックRAM (DRAM) の記憶容量の増加は、コンピュータシステムが必要とするメモリ容量の増加よりも著しい。このため、1台のコンピュータシステムに搭載されるメモリデバイスの個数は年々減少している。その一方で、DRAMの動作周波数はマイクロプロセッサの外部バス周波数に追いついていない。このため、少ないチップで高性能なメモリサブシステムを構成し得るメモリが必要になる。この問題に対する解として三菱電機ではキャッシュDRAMを提唱し、4M(型名:M5M4V4169)及び16M(型名:M5M4V16169A)の製品を生産している。これは、DRAMとスタティックRAM (SRAM) を1チップ化し、両者を幅の広い高速バスで結んだもので、DRAMの大容量とSRAMの高速性を兼ね備えたデバイスである。

今回キャッシュDRAMにコントローラ及びタグ (TAG) を内蔵し、CPUとの直結を可能にしたコントローラ付きキャッシュDRAM“M5M4V16168A”を開発したので⁽¹⁾、その目的、構成、電気特性を述べる。

2. 目 的

図1に、コンピュータシステムのブロック図を示す。一般的なコンピュータシステムは、図(a)に示すように、CPUとDRAMを用いた主記憶、SRAMを用いたキャッシュ及びメモリとI/Oデバイスを制御するシステムコントロールチップから構成される。一方、コントローラ付きキャッシュDRAMを用いると、これと同一機能のものを、図(b)に示すように、CPU、I/Oデバイスコントローラ及びキャッシュDRAMというより簡単な構成で実現できる。この構成は以下に示す理由により、システムの小型化・低消費電力化・低コスト化に寄与する。

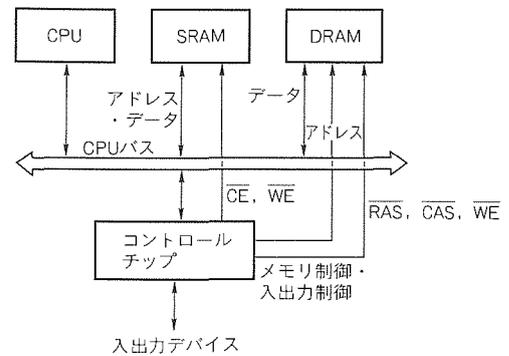
- (1) キャッシュSRAMが必要ない。
- (2) CPUバスを介してのDRAM-SRAM間のデータ転送がなくなるので、CPUバスの充放電電流が削減できる。
- (3) コントロールチップはI/Oデバイスのみを制御すればよく、ロジック数が少なくなる。

また、図(c)に示すように、小規模なPLD (Programmable Logic Device) を用意すれば既存のコントローラチップをI/Oデバイス制御用に流用できる。

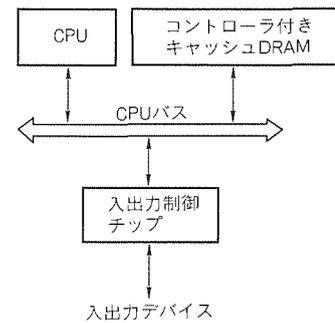
3. 回路構成

3.1 基本構成

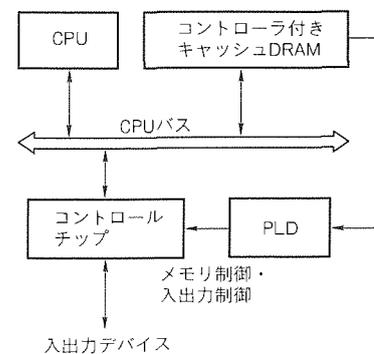
図2に、M5M4V16168Aのブロック図を示す。メモリ部分は16MビットのDRAM、16KビットのSRAM、及び



(a) 一般的なコンピュータシステム



(b) コントローラ付きキャッシュDRAMを用いたコンピュータシステム



(c) 既存のコントロールチップとコントローラ付きキャッシュDRAMの組合せ

図1. コンピュータシステムのブロック図

両者を結ぶ64ビットすなわち4ワードのDTB (Data Transfer Buffer)から構成されており、三菱電機の他のキャッシュDRAMと同じくコンカレント動作⁽²⁾及びファーストコピーバック⁽³⁾が可能である。コントローラ部分にはシーケンサのほか、128エントリのTAG、バンクセクタ、コマンドレジスタ及びリフレッシュタイマの各機能を集積している。なお、語構成は×16ビットである。

キャッシュDRAMのコンカレント動作とは、DTBをマスタ/スレーブ型レジスタで構成し、DTBを境界にしてDRAM動作をSRAM部動作のバックグラウンドで行うもので、DRAM動作をSRAM動作に隠すことが可能である。

ファーストコピーバックは、コピーバックキャッシュにおいてダーティミス時にダーティデータのDRAMへの書戻し

の前に目的のデータを読み出すもので、コピーバックキャッシュの欠点であるキャッシュミス時のアクセスペナルティがない。

コントローラを搭載したことによるチップサイズの増大を相殺するために、DTBの個数をM5M4V16169AやM5M4V4169の8ワードに対して4ワードにした。つまり、物理的なブロックサイズを半分にした。しかし、このままではヒット率の低下を招くので、後述のようにシーケンサ制御を工夫することによって等価的に8ワードのブロックサイズを確保してチップサイズの縮小と性能確保の両立を図った。

キャッシュのマッピングは、キャッシュヒット時のアクセス時間の短縮を目的として、ダイレクトマップ方式を採用した。書込みは、キャッシュヒット時及びキャッシュミス時の動作として、それぞれコピーバック/ライトスルー、ライトアロケート/ノンライトアロケートが選択可能である。この選択は、コマンドレジスタへの書込みによって行う。

3.2 チップインタフェース

図3に、M5M4V16168Aを用いた32ビットコンピュータシステムの例を示す。CPUに直結するために、インタフェース信号は汎用メモリと大きく異なっている。すべての信号線は、シンクロナスDRAMやシンクロナスSRAMと同じく、一つのマスタクロックCLKに同期して動作する。

ADS# (Adress Status) とBLAST# (Burst LAST) は入力信号であり、バスへのデータ転送サイクルの開始と終了を示す。

BRDY# (Burst Ready) とLME# (Local Memory Enable) は出力信号で、BRDY#はデータバス上のデータが有効であることを示し、

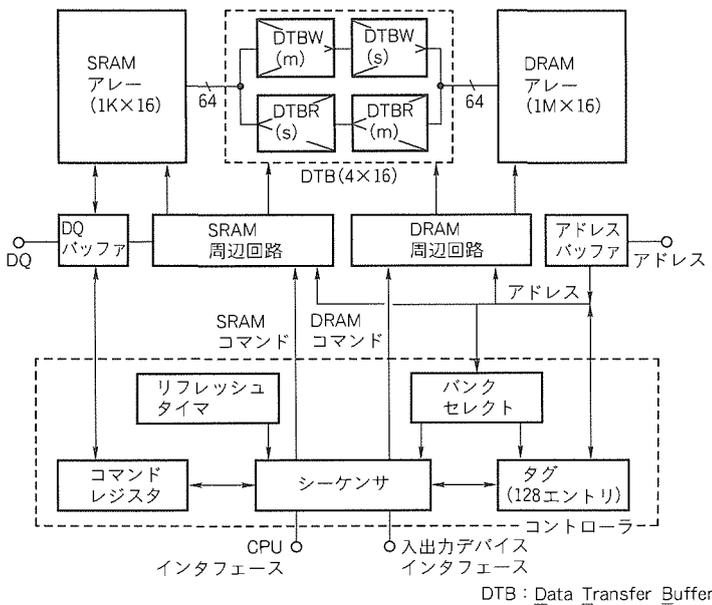


図2. M5M4V16168Aのブロックダイアグラム

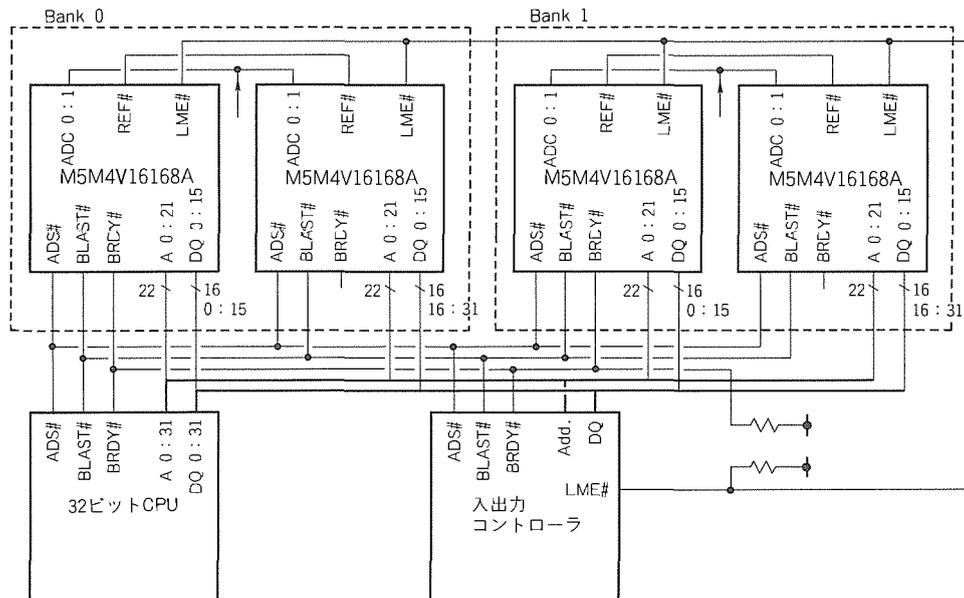


図3. M5M4V16168Aを用いたシステム構成

LME#はキャッシュ DRAMが選択されたことを示す。

CPUを始めとするバスマスタはアドレスやバスステータス信号等を有効にした上で ADS# をアサートし、バスサイクルが開始される。キャッシュ DRAM は、ADS# がアサートされると直ちに、キャッシュ DRAM へのアクセスであるか否かを判定する。前者の場合には、次のクロックサイクルまでに LME# をアサートすると同時にアクセスを開始する。後者の場合には、キャッシュ DRAM は応答せず、LME# はネゲートされたままで、キャッシュ DRAM 以外のスレーブデバイスに制御が渡される。スレーブデバイスはデータバス上にデータが用意できた時点(読出し時)又はデータバス上のデータを取り込んだ時点(書込み時)で BRDY# をアサートする。以後、あらかじめ定められたアドレスの順にデータが転送される。マスタデバイスが BLAST# をアサートすることで、一つのバスサイクルは終了する。

LME# と BRDY# は、増設を容易にするためにオープンドレイン型の出力バッファを採用し、ワイヤード OR 接続を可能にした。ただし通常のオープンドレイン回路では、バスの動作電流の増大又は動作周波数の低下を招く。そこで、図 4 に示すように、出力回路にプルアップトランジスタを付加し、出力をネゲートする際にはプルアップトランジスタを約 1/2 クロックサイクル間だけオンさせることで出力を素早くネゲートさせ、その後 ハイインピーダンス状態とするように制御した。この回路によって、バスの高速かつ低消費電力な動作が実現した。

LME# はバンクセクタによって制御される信号である。ADC0, ADC1 はバンクセクタをプログラムするための

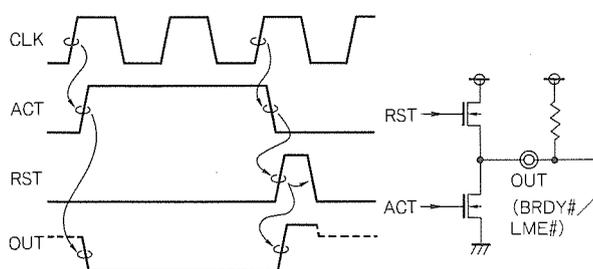


図 4. アクティブプルアップ回路

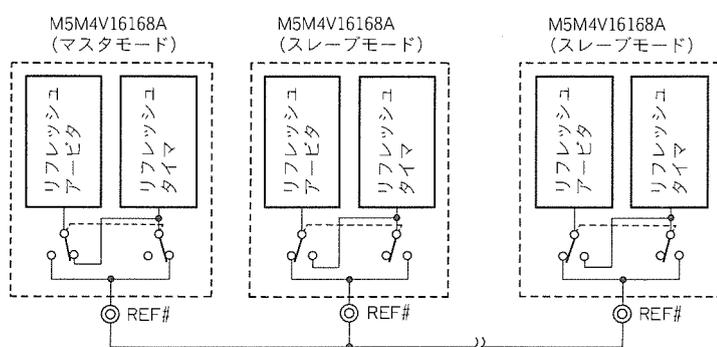


図 5. リフレッシュ制御

端子で、キャッシュ DRAM はリセット時にピンの状態をラッチする。この回路に BIOS 領域を 4~64 K バイトの単位で Read/Write の可否を制御する機能を付加することで、ROM に格納した BIOS の内容を RAM にキャッシングする、いわゆるシャドウ RAM 機能も実現している。

外付け回路なしにリフレッシュを行うために、リフレッシュタイマとリフレッシュアービタを内蔵している。リフレッシュタイマは一定間隔でリフレッシュ要求を出し、アービタは DRAM アクセス要求とリフレッシュ要求の調停を行う。同一バンク内のメモリ動作は完全に同期させる必要があるので、コマンドレジスタへの書込みによって方向制御を行う双方向のリフレッシュ制御端子 REF# を設けた。これを出力端子に設定するマスタモード時には、リフレッシュタイマの出力であるリフレッシュ要求信号が REF# から出力されると同時にチップ内部のリフレッシュアービタに印加される。入力端子に設定するスレーブモード時には、REF# からの入力信号がリフレッシュアービタに印加される。図 5 に示すように、複数のチップの REF# ピンを相互に接続し、そのうち 1 チップをマスタモード、他をスレーブモードに設定することでリフレッシュ動作をマスタモードのチップに同期させることができる。さらに、データ保持のみを行うスレーブモードを備えており、この際はクロック発生回路等を停止させるとともに、REF# 信号線の充放電電流を削減するために REF# ピンの入力/出力の両方の機能を停止させ、各チップに内蔵のリフレッシュタイマによって独立にリフレッシュ動作を行う。

3.3 シーケンサ

図 6 に、66 MHz 動作時のキャッシュ DRAM のシーケンサの動作を示す。

キャッシュ DRAM が選択されたことを検出すると、直ちに TAG に対して TR (TAG Read) コマンドを発行する。メモリリード動作時には、キャッシュヒット又はキャッシュミスにかかわらず SR (SRAM Read) も同時に発行される。

キャッシュヒットリードの場合(図の C1, C19)には、TAG のヒット信号にตอบสนองして BRDY# が直ちにアサートし、TR と同時に発行された SR に対応するデータ出力を有効にすることで、キャッシュヒット時のノーウェートを実現している。

キャッシュミスリードの場合(図の C6)は、BRDY# が直ちにアサートされることはなく、期待データの DRAM からの読出しが開始される。図の 2 番目のバスサイクルは、ダーティミスかつ DRAM がページミスの動作を示している。まず最初に、シーケンサは期待データを読み出すために DRAM に対して PCG (Pre Charge) 及び ACT (Activate) コマンドを発行して、目的の Row の活性化を行う (C7~

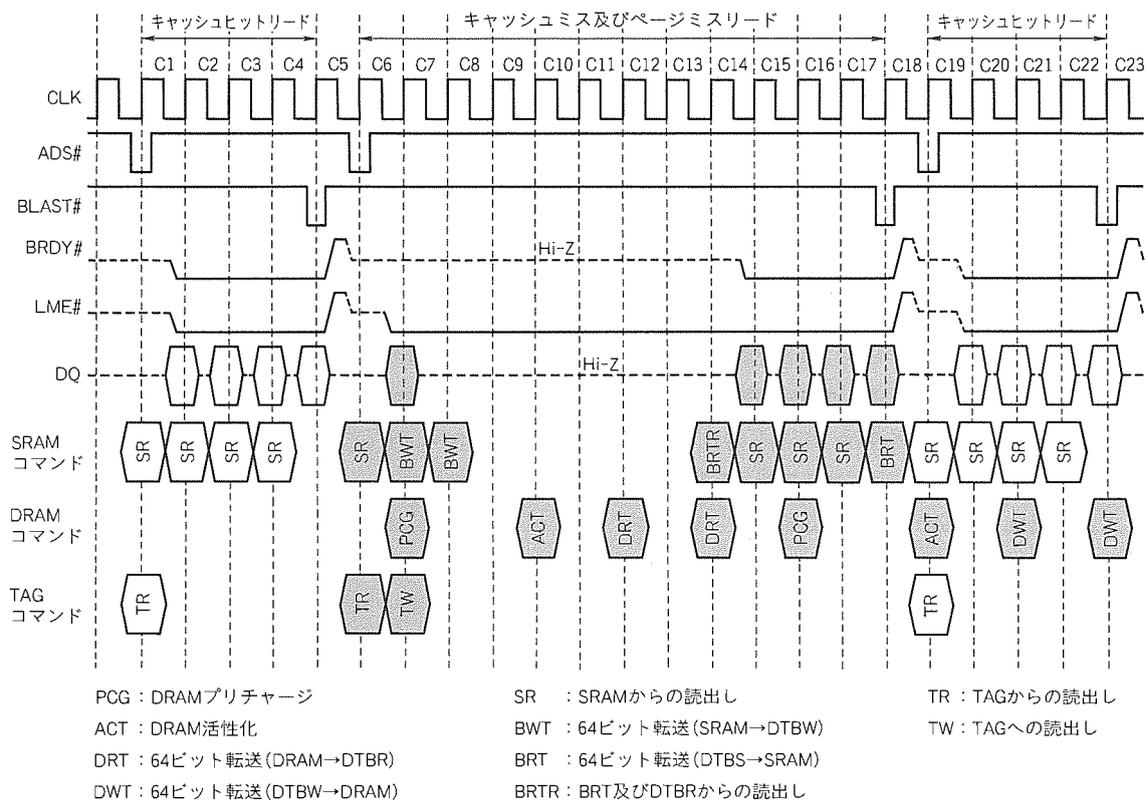


図6. シーケンサの動作タイミング図

14)。これと同時にSRAM部に2回連続してBWT (Buffer Write Transfer) コマンドが発行され、8ワードのミスデータがSRAMからDTBWのマスタ段とスレーブ段に4ワードずつ転送される(C12, C13)。さらに、TAGの内容を更新するために、TAGに対してTW (TAG Write) コマンドを発行する(C7)。DRT (DRAM Read Transfer) コマンドによってDRAMからDTBRへ期待データのうちの最初の4ワードの転送が完了すると(C12, C13), BRTRコマンドによってDTBRからSRAMへの4ワードのデータ転送と、DTBRからの1ワードのデータ出力が行われる(C14)。この場合のウェート数は8である。その後、SRAM部はSR (SRAM Read) コマンドによってデータ出力が行われる(C15~C17)。この間、DRAMに対しては再びDRTコマンドを発生して残り4ワードのデータをDRAMからDTBRへ転送し(C14, C15)、さらに、コピーバックに備えてDRAMアレーのプリチャージ及び活性化を開始する。BLAST#がアサートされると(C18), BRT (Buffer Read Transfer) コマンドによって残りの4ワードのデータがSRAMへ転送され、その後はSRAMは解放される。したがって、次のキャッシュヒット動作はウェートサイクルなしで実行できる(C19~C23)。

一方、DRAMは、新たなRowの活性化完了後、2回のDWT (DRAM Write Transfer) コマンドによってDTBWのスレーブ段、マスタ段に格納された4ワードずつのデータデータをDRAMへライトバックし(C21~C23),

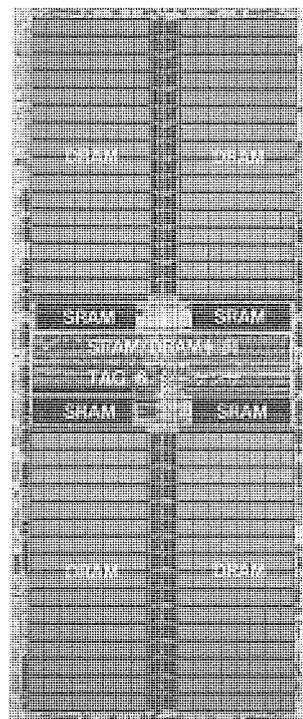


図7. チップ写真

一連の動作を完了する。ページヒットの場合には、ACT及びPCGコマンド(C7~C11)が省略され、ウェート数は3になる。

以上に示したように、キャッシュミスの際は、SRAM動作のバックグラウンドでDRAMをページモード動作させる

表1. M5M4V16168Aの仕様一覧

語 構 成	1,048,576ワード×16ビット (DRAM) 1,024ワード×16ビット (SRAM)
プロセス技術	0.55 μ mトリプルウェルCMOS
動作周波数	33~66MHz
電 源 電 圧	3.3V
電 源 電 流	150mA (at 66MHz, キャッシュヒット) 160mA (at 66MHz, キャッシュミス) 80mA (at 33MHz, キャッシュヒット) 300 μ A (スリープモード)
パッケージ	70ピン400milTSOP typeII (リードピッチ0.65mm)

ことで、8ワードのブロックサイズを最小のアクセスペナルティで実現した。

4. チップ特性

図7に、チップ写真を示す。チップの中央部をSRAM/DRAMの制御回路とTAGやシーケンサ等のコントローラ回路が占め、その両側に8KビットずつのDTBを含むSRAMアレー、さらにその外側に8MビットずつのDRAMアレーを配置してある。このように高速動作が必要な制御回路やSRAM系の回路をチップ中央に局所化したことが、クロックサイクルタイムの短縮及びアクセスタイムの高速化に有効であった。

表1に、M5M4V16168Aの仕様一覧を示す。

5. む す び

CPU直結型のインタフェースを持つコントローラ付き16MビットCDRAM“M5M4V16168A”を開発した。

キャッシュDRAMのコンカレント動作及びファーストコピーバック機能によってキャッシュミス時のウェート数を最少に抑えた。また、SRAM回路と制御回路の局所化によって動作周波数66MHzでのキャッシュヒット時のノーウェートを実現した。このコントローラ付き16MビットキャッシュDRAMによってコンピュータシステムの小型化・低消費電力化・低コスト化が実現できるので、パーソナルコンピュータのほか、携帯端末や組込み応用機器の高付加価値化に有効である。

参 考 文 献

- (1) Dosaka, K., Yamazaki, A., Watanabe, N., Abe, H., Ogawa, T., Ishihara, K., Kumanoya, M.: A 90-MHz 16-Mb System Integrated Memory with Direct Interface to CPU, Symp. on VLSI Cir. Dig. of Tech. Papers, 19~20 (1995)
- (2) Yamazaki, A., Dosaka, K., Ogawa, T., Kuroiwa, M., Fukuda, H., Watanabe, H.: A Concurrent Operating CDRAM for Low Cost Multi-Media, Symp. on VLSI Cir. Dig. of Tech. Papers, 61~62 (1993-6)
- (3) Dosaka, K., Konishi, Y., Hayano, K., Himukashi, K., Yamazaki, A., Iwamoto, H., Kumanoya, M., Hamano, H., Yoshihara, T.: A 100-MHz 4-Mb Cache DRAM with Fast Copy-Back Scheme, IEEE J. Solid-State Circuits, 27, 1534~1539 (1992-11)

150MHz動作第二世代32Kワード×32ビット シンクロナスバーストSRAM

小杉龍一* 岡本泰之**
千田 稔* 池谷正之**
井上長武**

1. ま え が き

近年のパーソナルコンピュータ (PC) における CPU は、メモリ製品の進化とともに高性能化が著しい。このため、CPU とメインメモリ間に高速でデータのやり取りを行うキャッシュメモリは必ず (須) となり、64ビット CPU 搭載のシステムでは、多ビット I/O でかつ CPU に最適な高性能キャッシュメモリが要求されている。こうした背景から、シンクロナスバースト SRAM はキャッシュ市場において、従来使用されていた非同期式高速 SRAM にとって替わり、急速に立ち上がりつつある。特にデスクトップ PC のシンクロナスバースト SRAM 搭載率は、1997 年で 70% になると推定されている。

一方、次期超高性能 CPU に対応するキャッシュメモリとして、以下の三つの点が挙げられる。

(1) シンクロナス・バースト化

高性能 CPU はバーストモード (4 アドレスの高速動作) をサポートしてパフォーマンスを上げており、キャッシュメモリのバースト機能内蔵は標準となってる。また、CPU の動作速度が 100 MHz 以上では、安価な非同期式 SRAM で高速アクセスを実現することが不可能となり、スペック的に有利な同期式 (シンクロナス) SRAM がなお一層主流となる可能性が高い。

(2) 低消費電力・低電圧化

システム全体の低消費電力化のために、システム上のキャッシュメモリ数を減らす方向にある。このためキャッシュメモリは、小容量、小ビット幅から大容量の大ビット幅に移行している。また、電源電圧は従来の 5.0 V から 3.3 V の低電圧化がシステム全体の流れである。

(3) 多ビット・低電圧 I/O 化

高性能 CPU は、64ビットとバス幅が従来の 2~4 倍に拡大されている。現在主流の 8ビット高速 SRAM は、大容量の 16ビットや 32ビットに移行していくと予想される。また、100 MHz 以上の高速データ転送の必要性から、低電圧の I/O インタフェースの傾向が顕著になると考えられる。

以上のような市場動向を踏まえて、第一世代 32Kワード×32ビット シンクロナスバースト SRAM に続き、最大クロックアクセスタイム 3ns、最大クロック周波数 150 MHz、2.5 V I/O 対応の第二世代 32Kワード×32ビット シンクロナスバースト SRAM (以下“32K×32バースト SRAM”という。)を開発した。

本稿では、この 32K×32バースト SRAM の製品概要、プロセス技術、設計技術、電気的特性、及びアプリケーションを紹介する。

2. 製品概要

(1) 語構成

32,768ワード×32ビット

(2) 電源電圧

$V_{cc} = 3.3 \text{ V} (+10\% / -5\%)$

(3) I/Oバッファ用電源

$V_{ccQ} = 3.3 \text{ V} (+10\% / -5\%)$

又は $2.5 \text{ V} (+10\% / -5\%)$

(4) クロックアクセスタイム

3.0 / 4.0 / 5.5 / 7.0 ns

(5) クロック周波数

150 / 125 / 100 / 75 MHz

(6) 消費電力

動作時: 936 mW (最大)

待機時: 7.2 mW (最大)

(7) パッケージ

100ピン QFP/LQFP

ボディサイズ 14.0 mm × 20.0 mm

ピンピッチ 0.65 mm

(8) 機能

●全入出力にレジスタを内蔵し、パイプライン動作を実現

●32ビット同時ライト (グローバルライト) と 8ビットごとのライト (バイトライト) が可能

●リニアとインタリーブのバーストシーケンスが可能

●スヌーズとチップセレクトでのパワーダウンが可能

●バーストリードサスペンド時のパワーダウンが可能

●ノンパイプライン動作のテストモードをサポート

詳細な諸特性一覧を表 1 に示す。

(9) ピン配置

ピン配置を図 1 に示す。左右にデータ I/O、上下にアドレスとコントロールピンを配置している。

3. プロセス技術

プロセス概要を表 2 に示す。3層ポリシリコン 2層アルミ

表 1. 諸特性一覧

語 構 成	32Kワード×32ビット
プ ロ セ ス	3層ポリシリコン2層アルミ
デザインルール	0.4μm
電 源 電 圧	3.3V単一 (ただし、I/Oバッファ用電源電圧は2.5V対応可能)
入出力レベル	LV-TTL ● $V_{ccQ}=3.3V$ 時 $V_{IH}=2.0V, V_{IL}=0.8V$ $V_{OH}=2.4V$ at $I_{OH}=-4mA$ $V_{OL}=0.4V$ at $I_{OL}=8mA$ ● $V_{ccQ}=2.5V$ 時 $V_{IH}=1.7V, V_{IL}=0.7V$ $V_{OH}=2.3V$ at $I_{OH}=-100\mu A$ $V_{L}=0.2V$ at $I_{OL}=100\mu A$
特 長	パイプライン型 MODEピンによって2種類のバースモードに対応可能 ZZピンによるスヌーズモードをサポート
アクセス/サイクル時間	3.0ns/6.7ns(最大)
セットアップ/ホールド時間	2.0ns/0.5ns(最大)
動作時電源電流	290mA at 150MHz(最大)
(バーストリードサスペンド時)	50mA(最大)
スタンバイ時電源電流	2mA(最大)(CLK停止, ZZ="L"時)
(CMOSレベル入力)	2mA(最大)(スヌーズモード時)
パッケージ	100ピンプラスチックQFP/LQFP ボディサイズ 14.0mm×20.0mm ピンピッチ 0.65mm

配線の0.4μmプロセスを用いている。第1ポリシリコンはWSiドープポリで形成し、第2ポリシリコンはワード線、接地用配線、第3ポリシリコンはメモセルの高抵抗に用いている。また、第1アルミ配線はメモセルのビット線とし、データ転送経路を低抵抗化して高速アクセスを実現している。CMOSトランジスタはゲート酸化膜厚を10nm、ゲート長を0.4μmと微細化し、高駆動能力とゲート容量の低減によって高速化を図った。

4. 設計技術

(1) アーキテクチャ

回路ブロックの配置を図2に示す。

チップ左右に、データI/O回路を各16個配置している。チップ上下に、アドレスとコントロール回路を配置している。1メモリブロックのメモリアレーは512ロー×512コラムの256Kビットで、4メモリブロックある。電源はI/Oバッファ回路用と内部回路用を分離しており、また、4個の出力バッファ回路ごとに電源を配置し、電源ノイズ耐性の強化を図っている。

各回路信号の経路を図3に示す。OEバッファ回路以外の回路は、クロック(CLK)によって制御される。各入力信号は、クロックの立上りで内部回路に取り込まれる。バースト動作を可能にするため、カウンタ回路(Counter)を内蔵している。

(2) メモリセル-データバス線

メモセル-データバス線間の回路を図4に示す。ビット線に V_{cc} を供給するため、ビット線負荷はPチャネル型トランジスタを使用し、低電圧での安定動作を可能としている。また、読出し開始直前に相補のビット線(図中のBit, Bit)をスイッチングトランジスタでイコライズするとともに、セ

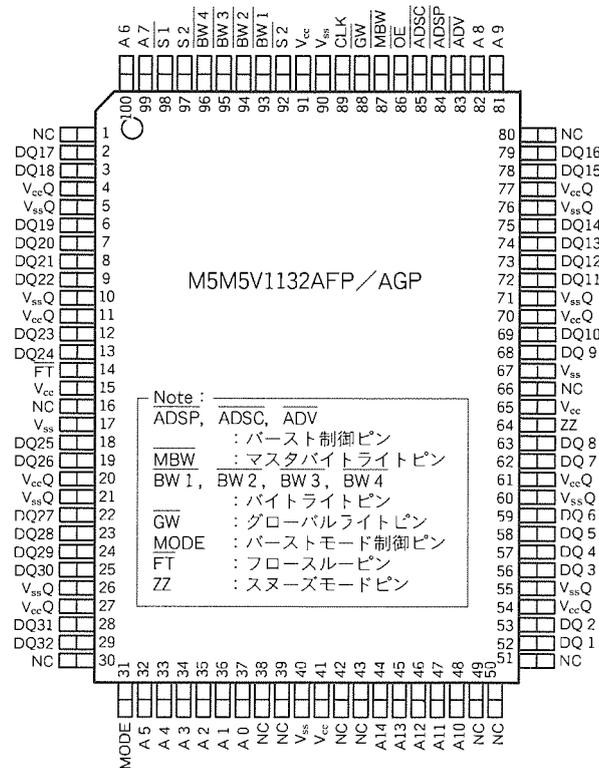


図 1. ピン配置

表 2. プロセス技術一覧

プ ロ セ ス	0.4μm 3層ポリシリコン2層アルミ トリプルウェル
メモセル	高低抗型
ゲート電極	WSiドープポリ
ゲート酸化膜厚	10nm
最小ゲート長	0.4μm

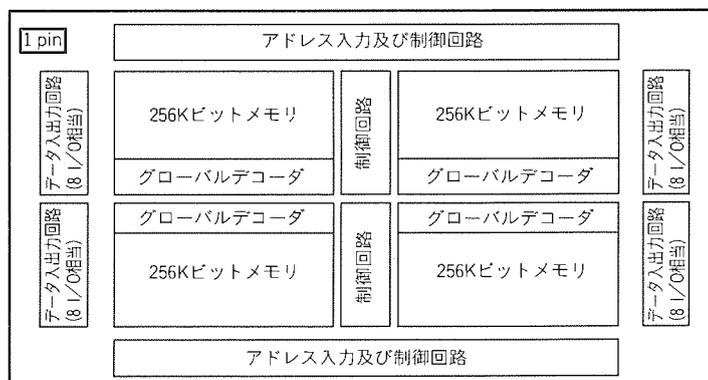


図 2. 回路ブロックの配置

ンスアンプに入力するI/O線(図中のリードI/O線)は、ライトドライバ出力のI/O線(図中のライトI/O線)と分離して寄生容量を低減することでセンスアンプの動作速度を上げている。

(3) デコード方式

デコード方式を図5に示す。三菱電機独自のデバイデッドワードラインをワード線を選択方式に用いている。各メモリアレーには、グローバルデコード線が第2アルミ配線で128本あり、ローカルデコード線が第2ポリシリコン配線で512本ある。一度に活性化されるワード線はグローバルデコード線と下位アドレスのデコード信号線(VDEC, ZDEC)の論理積となり、少なくなるためコラム電流が大幅に低減できる。

各入力信号のクロック信号に対するセットアップ時間とホールド時間を最適化するため、入力レジスタ回路はプリデコーダ内に配置している。特に超高速動作を必要とするバース

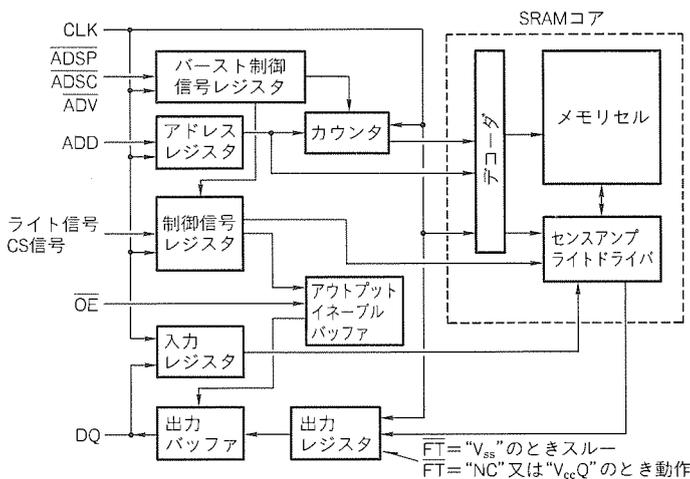


図3. 各回路信号の経路

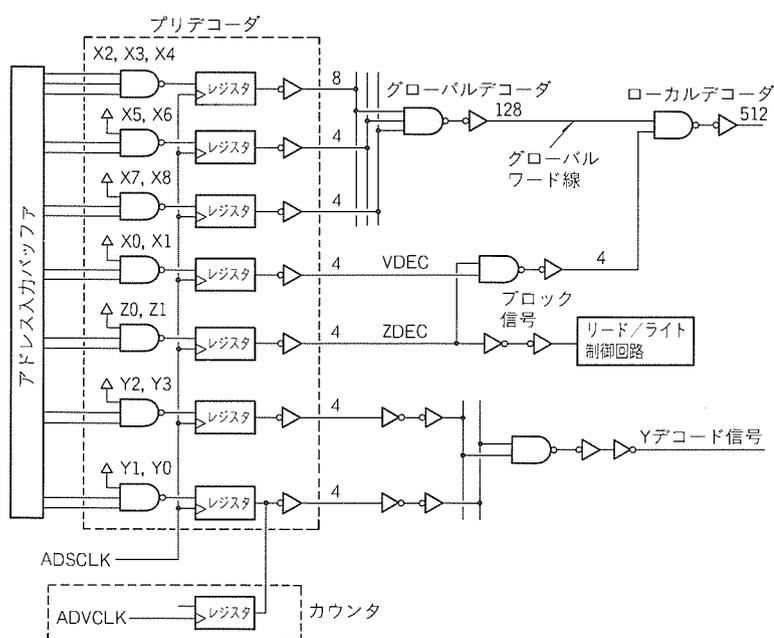


図5. デコード方式

ト動作のカウンタ回路は、負荷が軽い最下位アドレス(Y0, Y1)を用いて高速化を図っている。

(4) 入出力バッファ

入出力バッファを図6に示す。出力バッファのプルアップ側及び入力バッファのPチャネル型トランジスタはバックゲートがI/Oバッファ用電源V_{ccQ}に接続されているため、V_{ccQ}が低電圧であっても、ゲート容量の低減効果によって高速スイッチング動作が可能である。

5. 各種機能

2章で示したように、この32K×32バーストSRAMは、多様な機能を持っている。これらの概略を真値表を用いて説明する。

DC動作の真値を表3に示す。MODEとFTピンはDCレベル入力ピンである。MODEピンはバーストシーケンスを制御し、FTピンはパイプライン動作を制御する。

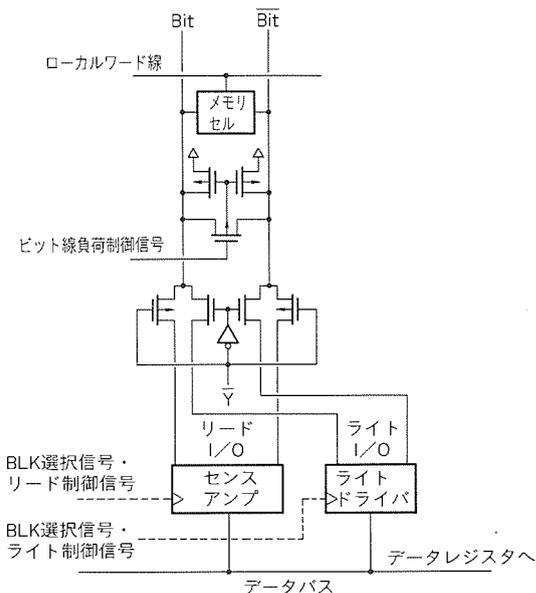


図4. メモリセル-データバス間結線

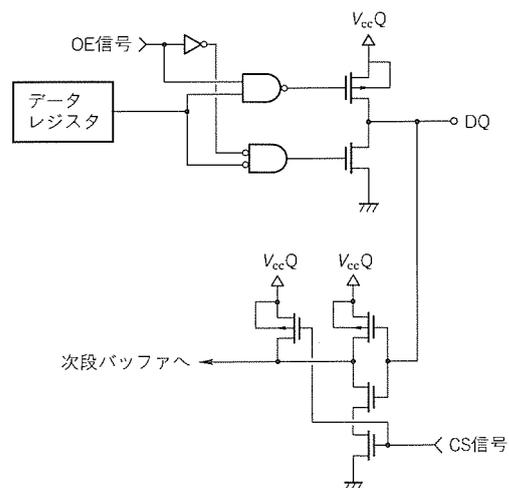


図6. 入出力バッファ

表 3. DC動作の真理値

端子	入力	動作
MODE	$V_{cc}Q$ 又はNC	インタリーブドバースト
	V_{ss}	リニアバースト
\overline{FT}	$V_{cc}Q$ 又はNC	パイプライン
	V_{ss}	ノンパイプライン(テストモード)

表 4. バーストシーケンスの真理値

インタリーブドバーストシーケンス (MODE= $V_{cc}Q$ 又はNC)

動作	A2~A14	A1	A0
第1アクセス, 外部アドレスラッチ	A2~A14	A1	A0
第2アクセス(第1バーストアドレス)	A2~A14 ラッチ	A1 ラッチ	$\overline{A0}$ ラッチ
第3アクセス(第2バーストアドレス)	A2~A14 ラッチ	$\overline{A1}$ ラッチ	A0 ラッチ
第4アクセス(第3バーストアドレス)	A2~A14 ラッチ	$\overline{A1}$ ラッチ	$\overline{A0}$ ラッチ

リニアバーストシーケンス (MODE= V_{ss})

動作	A2~A14	A1, A0			
第1アクセス, 外部アドレスラッチ	A2~A14	0,0	0,1	1,0	1,1
第2アクセス(第1バーストアドレス)	A2~A14 ラッチ	0,1	1,0	1,1	0,0
第3アクセス(第2バーストアドレス)	A2~A14 ラッチ	1,0	1,1	0,0	0,1
第4アクセス(第3バーストアドレス)	A2~A14 ラッチ	1,1	0,0	0,1	1,0

表 5. シンクロナス動作の真理値

$\overline{S1}$	$\overline{S2}$	S2	ADSP	ADSC	ADV	Write	CLK	使用アドレス	動作
H	X	X	X	L	X	X	L-H	なし	非選択サイクル, スタンバイ状態
L	X	L	L	X	X	X	L-H	なし	非選択サイクル, スタンバイ状態
L	H	X	L	X	X	X	L-H	なし	非選択サイクル, スタンバイ状態
L	X	L	X	L	X	X	L-H	なし	非選択サイクル, スタンバイ状態
L	H	X	X	L	X	X	L-H	なし	非選択サイクル, スタンバイ状態
L	L	H	L	X	X	X	L-H	外部	リードサイクル, バースト開始
L	L	H	H	L	X	L	L-H	外部	ライトサイクル, バースト開始
L	L	H	H	L	X	H	L-H	外部	リードサイクル, バースト開始
X	X	X	H	H	L	H	L-H	次アドレス	リードサイクル, バースト継続
H	X	X	X	H	L	H	L-H	次アドレス	リードサイクル, バースト継続
X	X	X	H	H	L	L	L-H	次アドレス	ライトサイクル, バースト継続
H	X	X	X	H	L	L	L-H	次アドレス	ライトサイクル, バースト継続
X	X	X	H	H	H	H	L-H	現行アドレス	リードサイクル, バースト停止
H	X	X	X	H	H	H	L-H	現行アドレス	リードサイクル, バースト停止
X	X	X	H	H	H	L	L-H	現行アドレス	ライトサイクル, バースト停止
H	X	X	X	H	H	L	L-H	現行アドレス	ライトサイクル, バースト停止

表 6. ライト動作の真理値

\overline{GW}	\overline{MBW}	$\overline{BW1}$	$\overline{BW2}$	$\overline{BW3}$	$\overline{BW4}$	動作
H	H	X	X	X	X	リード
H	L	H	H	H	H	リード
H	L	L	H	H	H	バイトライト1
H	L	H	L	H	H	バイトライト2
H	L	H	H	L	H	バイトライト3
H	L	H	H	H	L	バイトライト4
H	L	L	L	H	H	バイトライト1, 2
H	L	H	H	L	L	バイトライト3, 4
H	L	L	L	L	L	全バイトライト
L	X	X	X	X	X	全バイトライト

バーストシーケンスの真理値を表4に示す。MODEピンは通常NCでインタリーブドバーストになり、 \overline{FT} ピンは通常NCでパイプライン動作設定になる。

シンクロナス動作の真理値を表5に示す。チップ選択信号ピンは $\overline{S1}$, $\overline{S2}$, S2で、バーストコントロール信号ピンは \overline{ADSP} , \overline{ADSC} , \overline{ADV} である。

ライト動作の真理値を表6に示す。 \overline{GW} ピンは32ビットのグローバルライトを制御し、 \overline{MBW} と $\overline{BW1}$ ~ $\overline{BW4}$ は8ビット単位(1バイト)のバイトライト制御が可能となる。

非同期動作の真理値を表7に示す。ZZと \overline{OE} ピンはクロックに同期しない。ZZは低消費電力となるスヌーズモードを制御し、 \overline{OE} ピンは出力バッファを制御する。

6. アプリケーション

キャッシュシステムの一例を図7に示す。上段は32K×8標準SRAMの例で、8個使用の256Kバイトのキャッシュシステムである。アドレスラッチ用のバッファ(A5~A17)とコントローラにA3, A4用のバーストカウンタが必要になる。下段は32K×32バーストSRAMの例で、2個使用の256Kバイトのキャッシュシステムである。アドレスはCPUから直結が可能で、コントローラのバーストカウンタが不要になる。また、システム全体の素子数を減らすことができ、低消費電力化が

容易に実現できる。

キャッシュシステムのタイミング例を図8に示す。上段は標準SRAMの例で、下段はバーストSRAMの例である。1バースト動作(4アドレス)を要するのに、標準SRAMでは“3-2-2-2”動作の9サイクルが必要となるが、バーストSRAMでは“3-1-1-1”動作の6サイクルで完了し、1/3の時間短縮が図られ、システムのパフォーマンスを格段に向上できる。

なお、この製品は第一世代32K×32ビットシンクロナスバーストSRAMと互換性があり、置換えが可能である。

表7. 非同期動作の真理値

ZZ	\overline{OE}	同期式入力端子の真理値の動作	動作	I/O 端子
H	X	X	スヌーズモード	ハイインピーダンス
L又はNC	L	リード	リード	データ出力
L又はNC	H	リード	リード	ハイインピーダンス
L又はNC	X	ライト	ライト	ハイインピーダンス-データ入力
L又はNC	X	非選択	非選択	ハイインピーダンス

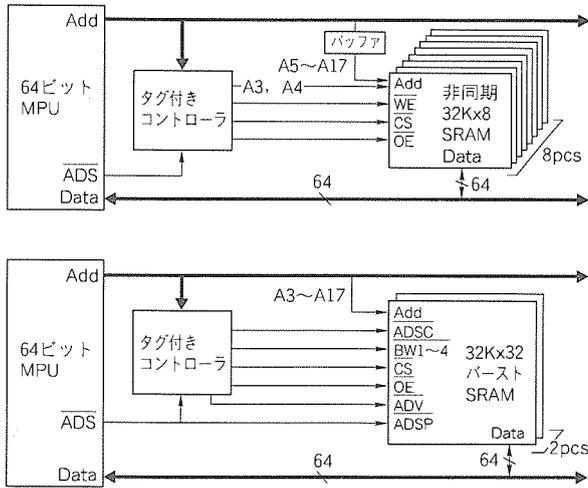


図7. キャッシュシステムの一例

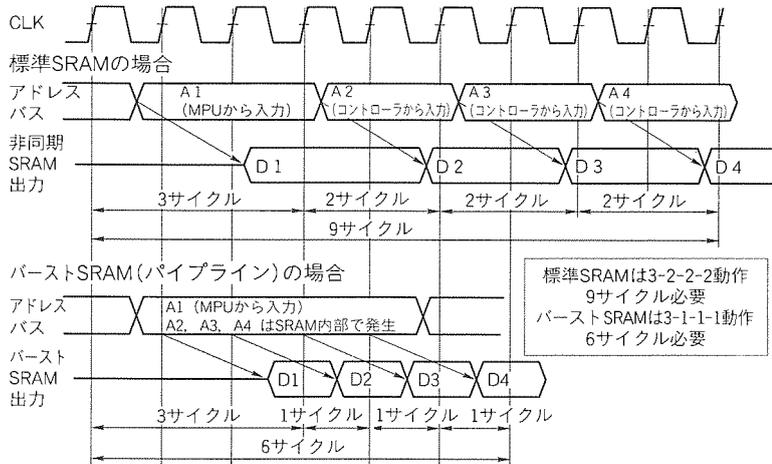
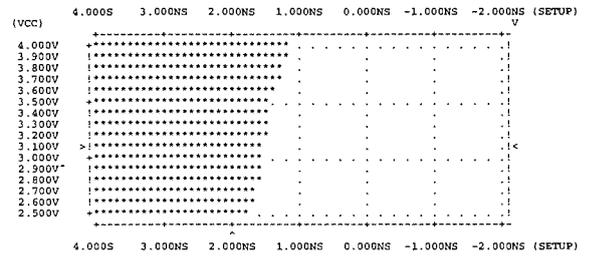


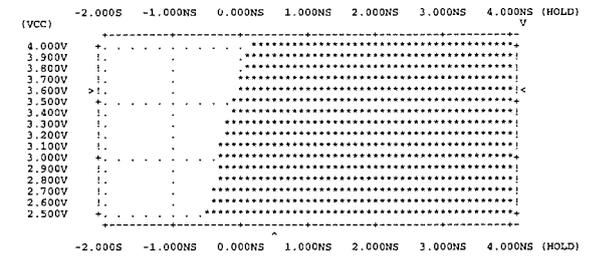
図8. キャッシュシステムのタイミング例

7. 電気的特性

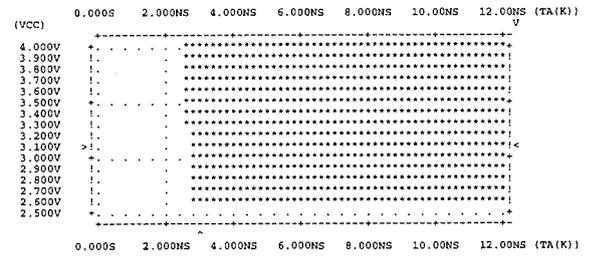
32K×32バーストSRAMの電源電圧依存性のシュミュー



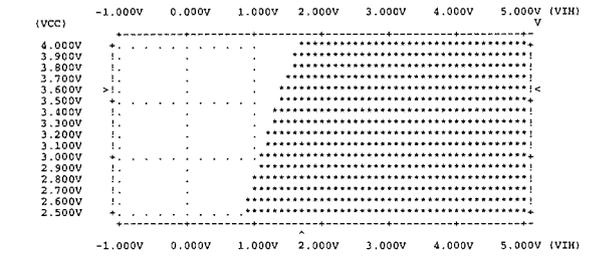
(a) セットアップタイム ($V_{cc}Q=2.5V$)



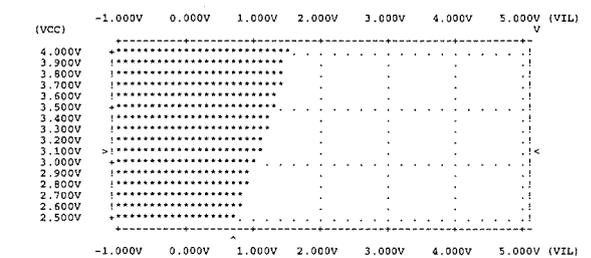
(b) ホールドタイム ($V_{cc}Q=2.5V$)



(c) ロックアクセスタイム $Ta(K)$ ($V_{cc}Q=2.5V$)



(d) V_{IH} ($V_{cc}Q=2.5V$)



(e) V_{IL} ($V_{cc}Q=2.5V$)

図9. 各特性の電源電圧依存性のシュミュープロット

プロットを図9に示す。I/Oバッファ用電源電圧 $V_{ccQ} = 2.5V$ のとき、セットアップタイムは $1.6ns$ 、ホールドタイムは $0.0ns$ 、クロックアクセスタイムは $2.8ns$ であり、動作速度が $150MHz$ のCPUに直結しても、十分にマージンのあるレベルである。また、入力電圧レベル V_{IH} 、 V_{IL} はそれぞれ $1.4V$ 、 $1.2V$ と $2.5V$ I/Oインタフェースを満足する値となっている。

8. む す び

3層ポリシリコン2層アルミ配線の $0.4\mu m$ プロセスを用いて、最大クロックアクセスタイム $3.0ns$ 、最大クロック周波数 $150MHz$ の $32K$ ワード \times 32 ビット シンクロナスバーストSRAMを開発した。高性能CPUのキャッシュSRAMとして要求される①シンクロナス・バースト化、②低消費電力・低電圧化、③多ビット・低電圧I/O化に対して、 $V_{cc} = 3.3V$ 、4アドレスバースト、 32 ビットI/O、 2.5

V I/Oインタフェース、実力クロックアクセスタイム $= 3.0ns$ などすべてを満足する高性能が実現できた。この $32K \times 32$ バーストSRAMをキャッシュメモリとして使用することで、従来に比べて格段にパフォーマンスの向上したシステムが実現できるとともに、更なる高性能CPUのキャッシュメモリとしても使用可能である。

今後も高性能CPUのキャッシュSRAMに対する市場要求にこたえて、次世代キャッシュSRAMの開発を推進していく所存である。

参 考 文 献

- (1) Ng, R: Memory Catches up, IEEE Spectrum Special Report 10, 36~39 (1992)
- (2) Child, J.: RISC and Pentium Drive Demand for SRAMs that are Fastest of the Fast, Computer Design, 3/28, 47~54 (1994)



32ビット高性能RISC マイクロプロセッサ M32R

是松次郎* 布村泰浩*
清水 徹**
坪田秀夫*

1. ま え が き

近年のマイクロプロセッサは機器組込み分野への応用がますます増えてきており、その市場の規模や将来性に対する期待は大きい。特に、CATV 端末、デジタル衛星放送端末、携帯情報端末、カーナビゲーションシステム、インターネット端末などのマルチメディア機器におけるマイクロプロセッサでは、高性能・低消費電力が要求される。また、これらの製品群の特徴として製品段階におけるコスト低減のためのシステムオンチップ化が必ず(須)であり、ASSP (Application Specific Standard Product) のCPUコアとしても使用できるコンパクトなCPUが必要である。

このような背景から、当社オリジナル32ビットマイクロプロセッサ M32R をアーキテクチャを新規に設計した。今回 M32R を CPU コアとして、世界で初めて大容量 16M ビット DRAM を内蔵したマルチメディアの市場をターゲットとする M32R/D を開発した。

M32R/D では、応用分野に特化した周辺コントローラを外部に出し、システムを構築するために必要なメインメモリを内蔵してシステムオンチップ化を行った。その結果、応用分野の拡大と長期にわたる市場への投入が期待できる。さらに、システムの高性能化においては CPU とメモリ間のバンド幅がボトルネックとなっていたが、メモリを内蔵することによって CPU とメモリを 128 ビットバスで接続できた。その結果、入力クロック周波数 16.7 MHz、内部 66.7 MHz 動作時に 52.4 VAX MIPS という高性能を達成した。また、外部メモリへの頻繁なアクセスを排除することで外部ピンのドライブ電力が削減され、低消費電力化も可能となった。

本稿では、M32R の設計コンセプトと M32R/D の特長、及びコンパイラの最適化技術、エミュレータについて述べる。

2. M32R CPU コア設計コンセプト

M32R は、ASSP の CPU コアにも使用できるコンパクトで高性能な当社オリジナルの RISC (Reduced Instruction Set Computer) 型 32 ビットマイクロプロセッサである。図 1 は M32R シリーズの開発ロードマップとターゲットとする応用

技術を示したものである。プロセッサの要素技術としては、M32RX で 2 命令並列実行、M32S でマルチプロセッサ構成のオンチップ化を図る。以下、M32R CPU の設計コンセプトについて述べる。

2.1 コンパクトなチップサイズ

M32R は、高性能化とチップ面積のコンパクト化を図るために RISC アーキテクチャを採用した。その結果、CPU コアのサイズは、0.45 μm CMOS プロセスにおいて約 2.6 mm × 2.2 mm で実現できた。メモリアクセスはロード命令とストア命令で行い、各種の演算はレジスタ間演算命令で実行する。基本命令は全部で 83 種類、32 ビットの汎用レジスタを 16 本備えている。

2.2 コード効率の向上と命令並列実行

M32R では、図 2 に示すように、16 ビット長命令と 32 ビット長命令の二つの命令フォーマットをサポートする。特に、16 ビット長命令をサポートすることによって、コードサイズを圧縮することが可能となった。また、M32R は 32 ビット単位で命令を実行することを基本とし、将来の 16 ビット 2 命令並列実行への展開も考慮した。32 ビット長命令では、実行中の命令アドレスから ± 32 M バイトのリニアな

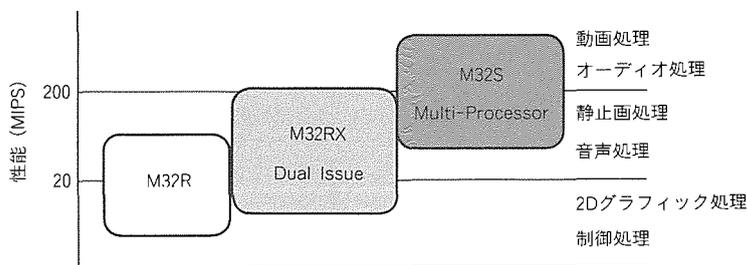


図 1. M32R シリーズの開発ロードマップ

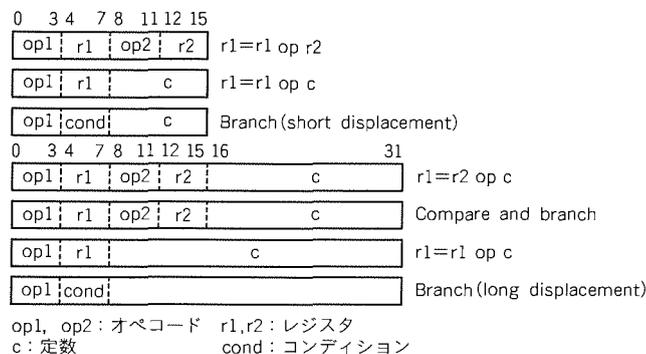


図 2. 命令フォーマット

アドレス空間に直接分岐できる分岐命令をサポートする。高速なデータ転送を可能とするロード&アドレス更新、ストア&アドレス更新などの複合命令もサポートした。

2.3 5ステージのパイプライン処理

M32Rでは、命令フェッチ、デコード、実行、メモリア

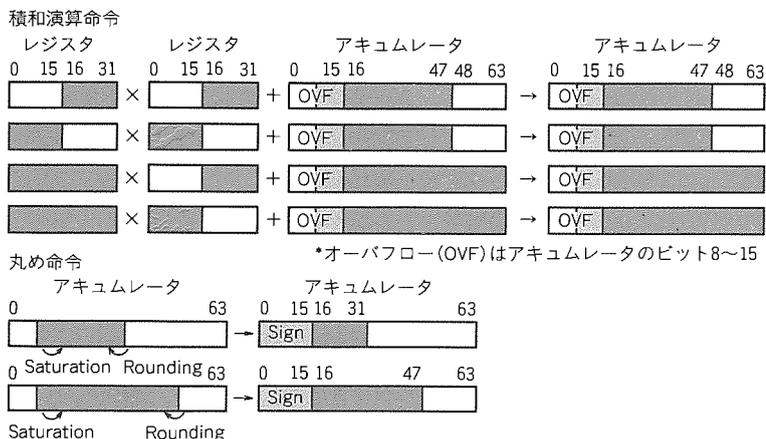


図3. 積和演算機能

表1. M32R/Dの諸元

CPU性能	コア32ビットRISCアーキテクチャ
命令数	52.4MIPS (66.7MHz動作時) DhrystoneV2.1
汎用レジスタ	83種類 (16ビット/32ビット長命令)
パイプライン段数	32ビット×16本
クロック	5段
メモリ	内部: 66.7MHz 外部: 16.7MHz
CPU-メモリバス	16MビットDRAM, 2Kバイトキャッシュ
周辺回路	128ビットバス (66.7MHz動作)
外部バス	32ビット×16ビット 積和演算器
電源電圧	メモリコントローラ
消費電力	24ビットアドレス, 16ビットデータ
チップ寸法	3.3V
トランジスタ数	700mW (Typical), 2mW (Stand-by)
プロセス技術	19.9mm×7.7mm
パッケージ	343K Tr+DRAM
	0.45μm CMOS, 4層ポリシリコン2層メタル
	80ピン プラスチックQFP

アクセス、ライトバックの5ステージのパイプライン構造を採用した。ロード命令、ストア命令、レジスタ間演算命令だけでなく、複合命令も1サイクルで実行する。

命令は、フェッチされた順に実行ステージに投入される。しかし、先に投入されたロード命令やストア命令のメモリア

アクセスにおいてウェートサイクルが挿入されると、後続のレジスタ間演算命令の実行が待たされることがある。M32Rでは、クロックサイクルを無駄にすることなく命令の実行を制御するために out-of-order-completion を採用し、後続のレジスタ間演算命令を先に終了できるようにした。

2.4 積和演算機能

マルチメディアアプリケーションには DSP (Digital Signal Processing) 機能が必須であり、M32Rはその高速化のために次の二つの機能を用意した。

(1) 高速乗算器を内蔵

32ビット×16ビットの高速乗算器を内蔵し、32ビット×32ビットの整数乗算命令を3サイクルで実行する。

(2) 積和演算命令を1サイクルで実行

M32Rは図3に示すように、64ビットのアクムレータを内蔵する。56ビットデータを対象とする4通りの積和演算命令と、アクムレータに格納された値を16ビット又は32ビットに丸める命令をサポートする。いずれの命令も1サイクルで実行する。これらをロード&アドレス更新、ストア&アドレス更新などの命令と組み合わせることで、デジタルフィルタなどのDSP分野におけるデータ処理も可能である。

3. 16MビットDRAM内蔵マイクロプロセッサ M32R/D

マルチメディアアプリケーションを1チップで実現するために、DSP機能を備えたM32R CPUと、16MビットDRAM、2Kバイトのキャッシュ、メモリコントローラなどの周辺機能を搭載したM32R/Dを開発した(表1)。

3.1 128ビット内部バスによる高性能化

M32R/Dは、図4に示すように、DRAMを内蔵することにより、CPU、DRAM、キャッシュを128ビット内部バスで結合できた。更に2段の128ビット命

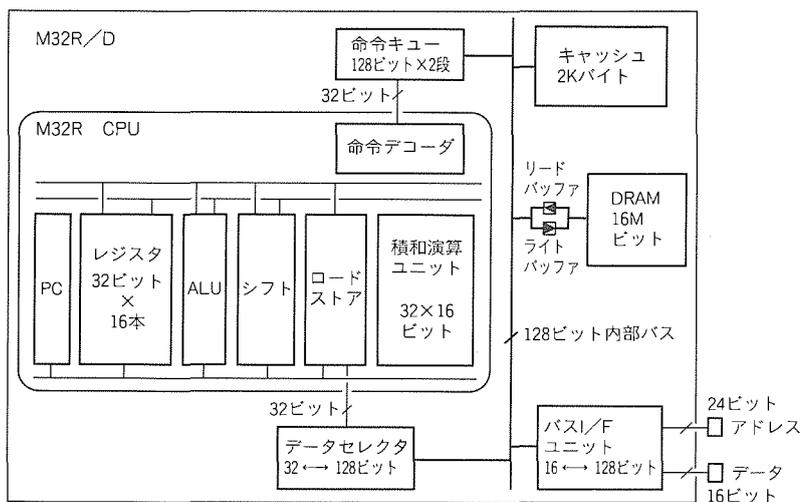


図4. M32R/D機能ブロック

令キューと併せ、DRAMとCPU間の高速度大容量の命令転送やデータ転送が可能となった。M32R/DのCPUと内部バスは、66.7MHz(max.)という高い周波数で動作する。その結果、66.7MHz動作時には、Dhrystone V2.1ベンチマークで52.4 VAX MIPSという高い性能を達成した。

3.2 16ビット外部バスによる低消費電力化

M32R/DはDRAMを内蔵しているので、外部データバスは、プログラムROMや入出力コントローラなどの低速なデバイスと接続する16ビットバスと24ビットの外部アドレスバスとした。M32R/Dは入力したクロック信号の周波数を4逓倍して使用する。例えば、16.7MHzのクロック信号を入力すれば、内部は66.7MHzで動作する。M32R/Dでは、このような外部バスの16ビット化と動作周波数を低くすることにより、従来のCPU、キャッシュ、DRAMの3チップ構成に比べて約400~500mWの電力が削減される。

3.3 メモリ構成に最適なキャッシュモード

M32R/Dは2Kバイトのキャッシュを内蔵しており、

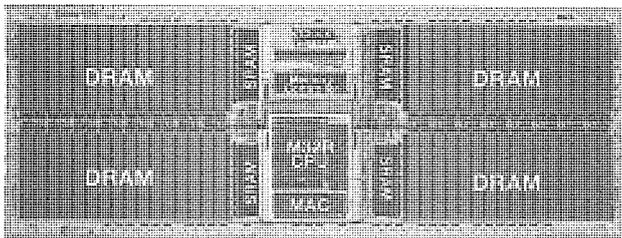


図5. M32R/Dのチップ写真

キャッシュヒット時には1サイクル、キャッシュミス時には5サイクルでDRAMをアクセスできる。キャッシュコントローラは、内蔵DRAM及び外部プログラムROMに対応した次の二つのキャッシュモードをサポートする。

(1) 内蔵DRAMキャッシングモード

内蔵DRAMをメインメモリとして使用するシステムを想定したモードである。キャッシュは、内蔵DRAMに格納された命令/データに対するダイレクトマップ方式のキャッシュとして動作する。データのストアに対してはストアイン方式のキャッシュとして動作し、キャッシュとDRAMのデータトラフィックを最小限に抑える。

(2) 外部ROMキャッシングモード

外部ROMをプログラムメモリ、内蔵DRAMをデータメモリとして使用することを想定したモードである。キャッシュは、外部プログラムROMに格納された命令に対するダイレクトマップ方式の命令キャッシュとして動作する。

3.4 システムコストの低減

M32R/Dでは、メモリアクセスのウェイト制御や以下の二つのモードのDRAMリフレッシュ制御をサポートしている。

(1) オートリフレッシュモード

CPU動作中に自動的にリフレッシュサイクルを挿入する。

(2) セルフリフレッシュモード

CPUのスリープ中に消費電力をセーブするため、DRAMのセルフリフレッシュサイクルを起動する。

M32R/Dは高性能なシステムを実現するために必要なメインメモリやキャッシュなどをすべて内蔵しているので、

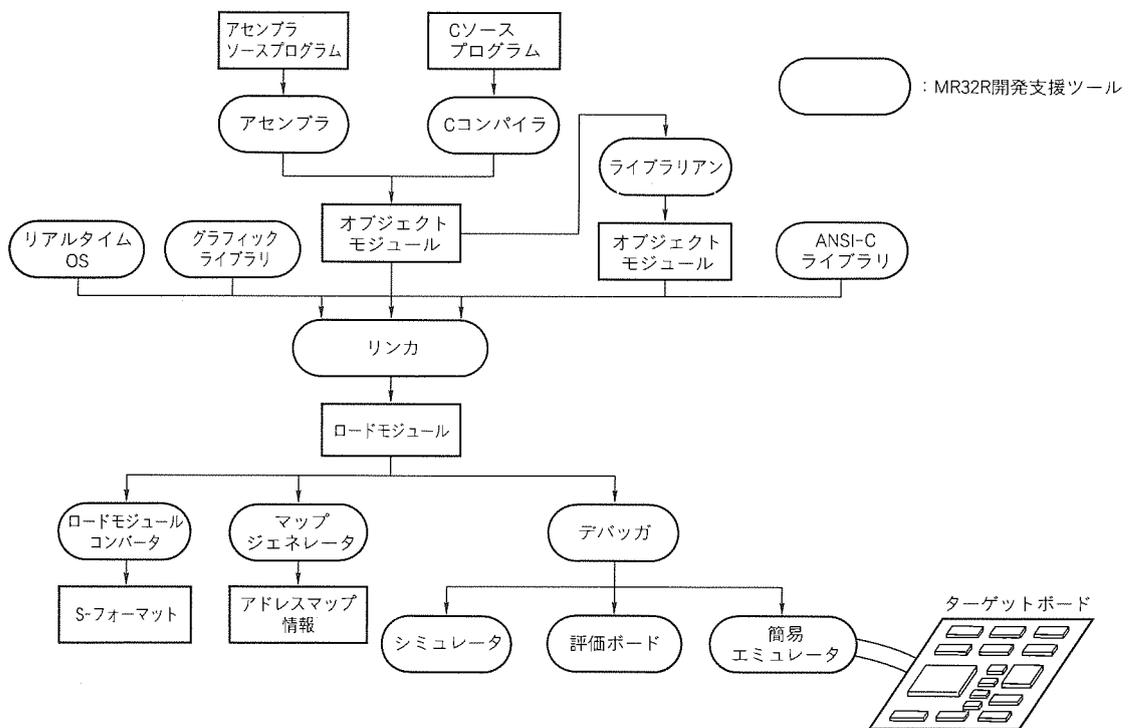


図6. M32R開発支援ツール



図7. ワードアライメントを考慮したスケジューリング

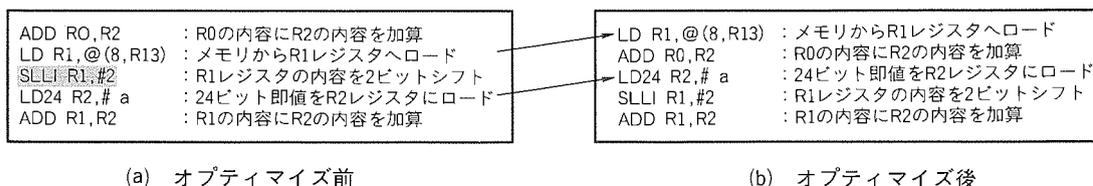


図8. Load Latencyを考慮したスケジューリング

システムコストも含めた実用的な性能を得ることができる。

3.5 チップレイアウト

M32R/Dのチップ写真を図5に示す。M32R/Dは、19.9mm×7.7mmに343KTr(トランジスタ)と16MビットDRAMを集積する。M32R CPU, 積和演算器, パスインタフェースやクロックジェネレータ等をチップの中心に, その周辺に四つのDRAMブロックとキャッシュSRAMを配置した。これは, CPUコアとDRAMの配線領域を削減するためである。

4. M32R/D用開発支援ツール

M32Rシリーズでは, 図6に示す開発支援ツールを提供する。ここでは, CコンパイラのM32R用最適化技法とエミュレータの実現方法について述べる。

4.1 Cコンパイラによる最適化技法

M32R用ツールの開発に当たり, M32R設計当初からコンパイラなどを同時開発して命令セットに対する評価を行い, アーキテクチャへ反映させてきた。特に, コンパイラのコード最適化を見込んだソフトウェアソリューションを想定し, CPUのハードウェアコストを大幅に軽減することができた。Cコンパイラでは, 標準的な最適化機能に加えて, 次のようなM32Rアーキテクチャ特有の最適化を行う。

(1) ワードアライメントを考慮した命令配置

2.2節で述べたように, M32Rは16ビット長命令をサポートすることで, 32ビット固定長の命令セットに比べてコード効率の向上をねらった。これは, コンパイラが命令を効率良く配置することによって更に効果的となる。

例えば, 図7(a)のような命令列において32ビット長命令をワード境界に整合するためには, SLLI命令の直後に擬似的なNOP命令が必要となる。このような命令列に対し, コンパイラはSLLI命令とLD24命令の順序を入れ替えることにより, NOP命令が不要なコンパクトなコードを出力する。

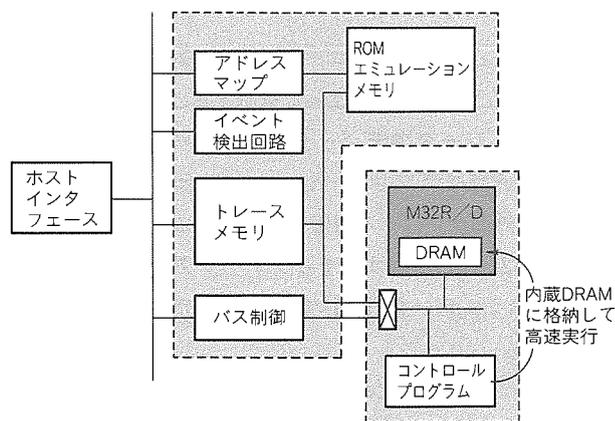


図9. エミュレータの構成

(2) Load Latencyを考慮した命令スケジューリング

M32Rは2.3節で述べたように out-of-order-completionを採用しているので, 先行するロード/ストア命令のメモリアクセスが伸びても, 後続のレジスタ間演算命令を先に終了することができる。しかし, メモリからのロード直後にその値を用いる命令では, データハザードの発生によってメモリからの値の読出しが完了するまでパイプラインがストールされる。

例えば, 図8(a)のような命令列ではLD命令でメモリからレジスタR1へロードされた値が直後のSLLI命令で参照されるため, SLLI命令以降の実行は待たされる。コンパイラはこのような命令列に対して図(b)のような命令のスケジューリングを行い, LD命令のメモリからの読出しが完了するのを待つことなく, 次のADD命令とLD24命令を実行することができる。

このような命令の入れ替えは, 命令間のレジスタとメモリの参照や定義の依存関係を解析して基本ブロック(実行フローにおける入口と出口をそれぞれ一つしか持たないような命令列。)ごとに行う。“32ビット長命令はワード境界に整合することによってCPUの命令デコードのハードウェアコ

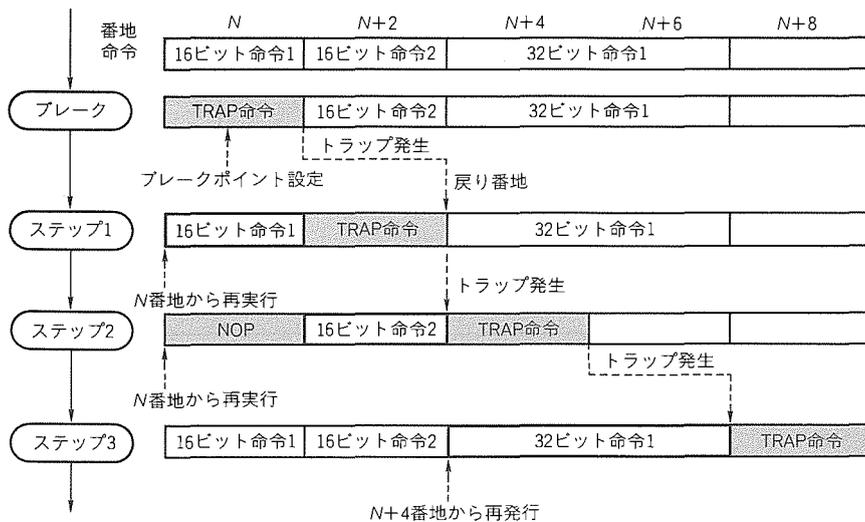


図10. ブレークポイントとステップ実行の実現

ストを軽減し、そのためのコードサイズに対するペナルティを、コンパイラの最適化によって抑制することができた。

4.2 エミュレータのデバッグ機能実現

内蔵 DRAM でアプリケーションが実行されると、M32R/D では外部からはその情報を検出することができない。また、M32R/D ではオンチップデバッグ機能が厳選されており、エミュレータ (図9) での柔軟なデバッグ機能を実現している。

(1) ブレークポイントとステップ実行

M32R は 16 ビット長命令もサポートしているが、TRAP 命令で起動されるハンドラからの復帰は 32 ビットアライメントで行われる。例えば、 N 番地に格納された 16 ビット長の TRAP 命令の復帰先は $N+4$ 番地となり、 $N+2$ 番地の 16 ビット長命令は実行されない。したがって、図10に示すようにして、32 ビットに配置される二つの 16 ビット長命令のステップ実行を実現した。

まず、 N 番地からのステップ実行では N 番地を元の命令 1 に戻し、 $N+2$ 番地を TRAP 命令に置き換えて N 番地から実行する (ステップ1)。すると、 N 番地の命令だけが実行されトラップが発生する。次に $N+2$ 番地を元の命令に戻して N 番地を NOP 命令に、 $N+4$ 番地を TRAP 命令に置き換えて N 番地から再実行する (ステップ2)。これで $N+2$ 番地の命令が実行されて $N+4$ 番地でトラップが発生する。次に、 $N+4$ 番地に 32 ビット長命令がある場合は $N+8$ 番地を TRAP 命令に置き換え、 N 番地、 $N+4$ 番地を元の命令に戻して $N+4$ 番地から実行する (ステップ3)。エミュレータではこのような命令の置き換えを行うこ

とによって、ブレークやステップ実行を実現する。

(2) トレース機能の実現

M32R/D に内蔵されているのはすべて RAM なので、命令やデータを外部から書き換えることができる。そこで、4.2 節(1)項のブレークポイントとステップ実行を図9のエミュレータのコントロールプログラムで実行して、CPU 内部状態を外部に出力する。

例えば、内蔵 DRAM で実行されるアプリケーションの状態を参照する PC トレース機能は、TRAP 命令で保存される PC の値をエミュ

レータのトレースメモリにステップ実行しながら格納することで実現する。さらに、コントロール、プログラムを内蔵 DRAM に格納すれば、より実時間に近いトレースができる。

5. むすび

マルチメディア市場をターゲットとして、当社オリジナル RISC 型 32 ビットマイクロプロセッサ M32R を開発した。この M32R を CPU コアし、システムオンチップ化への新たな提案として、世界で初めて大容量 16 M ビット DRAM を内蔵する M32R/D を開発した。DRAM を内蔵することにより、高性能化・低消費電力化・低コスト化が可能となり、今後のマルチメディア分野への幅広い応用が期待される。

参考文献

- (1) Shimizu, T., et al.: A Multimedia 32-bit RISC Microprocessor with 16M-bit DRAM, '96 ISSCC Submitting Paper (1996)
- (2) Yamazaki, A., Dosaka, K., Ogawa, T., Kuroiwa, M., Fukuda, H., Johnson, G., Kumanoya, M.: A Concurrent Operation CDRAM for Low Cost Multi-Media, Symp. on VLSI Cir. of Tech. Paper, 61~62 (1993-6)
- (3) Dosaka, K., Yamazaki, A., Watanabe, N., Abe, H., Ogawa, T., Ishikawa, K., Kumanoya, M.: A 90-MHz 16Mb System Integrated Memory with Direct Interface to CPU, Symp. on VLSI Cir. of Tech. Paper, 19~20 (1995-6)

新16ビットマイコンM16Cシリーズ

中村和夫* 玉城礼二*
山崎貴志* 松井秀夫*
林 直人*

1. ま え が き

近年、MCU (マイコン) を取り巻く環境は、C言語の採用によるメモリ容量の増大、高速化や微細化によるEMI (Electromagnetic Interference), EMS (Electromagnetic Susceptibility) に対するノイズ対策、それらによるコストの増大など様々な問題を抱えている。

このたび、このようなニーズにこたえてユーザの立場から発想し、全く新しいコンセプトで新16ビットマイコン“M16C/60シリーズ”を開発した。M16C/60シリーズは、新アーキテクチャにより、高い演算処理能力とROM効率の良さを実現し、さらに、強力なノイズ対策もほどこした画期的な新マイコンである。

本稿では、このM16C/60シリーズの最初の製品であるM30600M8-xxx FP/GPの性能概要、新アーキテクチャ、及び特長と実現方法について述べる。

2. M16C/60シリーズの 開発コンセプト

M16C/60シリーズの開発に際して、まずユーザの立場から考え、次の項目を開発コンセプトとした。

- (1) 命令セットの徹底的な見直しによる演算処理能力の強化
- (2) C言語効率の向上
- (3) 低電圧、低消費電力の継承
- (4) ノイズ誤動作耐量の向上
- (5) 不要ふく(輻)射ノイズの低減
- (6) プログラムバグ対策
- (7) 高機能化

3. M16Cの概要

M30600M8-xxx FP/GP (以下“M30600M8”という。)は、CPUコアとしてM16C CPUコアを使用したワンチップマイコンである。

チップ写真を図1に、その概略仕様を表1に示す。

動作周波数は、

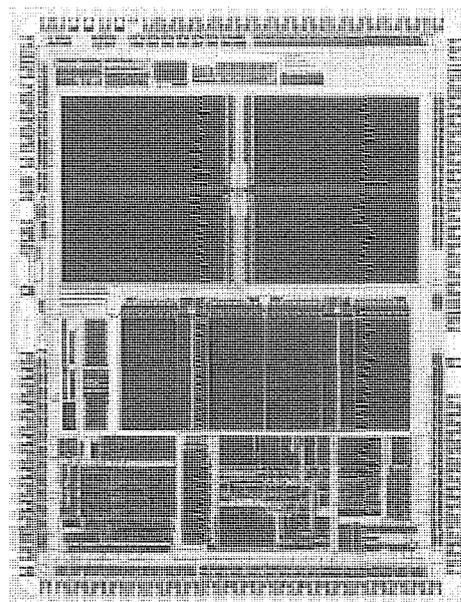


図1. チップ写真

表1. M30600M8-xxx FP/GPの概略仕様

1.	CPUコア	三菱オリジナル16ビットCPUコア
2.	メモリ	ROM 64Kバイト RAM 10Kバイト
3.	命令数	105
4.	最短命令実行時間	100ns ($f(X_{in}) = 10\text{MHz}$)
5.	電源電圧	2.7~5.5V
6.	低消費電力	22mW ($V_{cc} = 3\text{V}$, $f(X_{in}) = 7\text{MHz}$, ウェートあり)
7.	割込み	内部17要因, 外部5要因, 7レベル NMI機能, キーオンウェークアップ機能
8.	多機能16ビットタイマ	出力系5本+入力系3本
9.	UART	2本(クロック同期形も可能)
10.	CRC演算回路	CRC-CCITT方式
11.	A-D変換器	10ビット×(8+2)チャンネル入力
12.	D-A変換器	8ビット×2チャンネル
13.	DMAコントローラ	2チャンネル, 15要因, 2バス転送
14.	監視タイマ	内蔵
15.	プログラマブル入出力	88本(うち1本は入力専用)
16.	メモリ拡張	可能(最大1Mバイト)
17.	チップセレクト出力	4本
18.	クロック発生回路	2回路内蔵 (帰還抵抗内蔵, セラミック共振子, 又は水晶共振子外付け)
19.	動作周囲温度	-40~85°C
20.	素子構造	CMOS高性能シリコンゲート
21.	パッケージ	100ピンプラスチックモールドフラットQFP (FP: 0.65mmピッチ) (GP: 0.5mmピッチ)

$V_{cc} = 4.0 \sim 5.5 \text{ V}$ 時: $f(X_{in}) = 10 \text{ MHz (max.)}$

$V_{cc} = 2.7 \sim 5.5 \text{ V}$ 時: $f(X_{in}) = 7 \text{ MHz (max.)}$
(ウェートあり)

で動作する。周波数としては決して高くはないが、1サイクル当たりの処理能力が非常に高いので、能力的には当社マイコン7700シリーズの同一周波数品の約6倍の処理能力を持っている。

内蔵メモリはROM 64 Kバイト、RAM 10 Kバイトである。RAMサイズは最初のターゲットアプリケーションであるMD (ミニディスク) などのRAM容量を多く必要とする用途に仕様を合わせている。タイマ、UARTは、実績がありユーザの評判が高い7700シリーズの周辺機能をベースに、仕様を一部追加し、使いやすさを増して内蔵した。A-D変換器は、サンプル & ホールド付き高速10ビットA-D変換器を採用した。逐次比較方式ながら10 MHz動作時、3.3 μs で変換終了することが可能になっている。D-A変換器は8ビット精度のものを2ch内蔵した。また、周辺機能の能力を更に引き出すため、2chのDMAコントローラを内蔵している。

割込みは7レベルの優先順位を持ち、キーオンウェークアップ割込みやアドレス一致割込みなどの新機能を内蔵した。特にアドレス一致割込みは、外付けのEEPROMにより、内蔵のマスクROMプログラムの不具合を修正することが可能であり、マスク版マイコンでの画期的機能といえる。

消費電流も、様々な工夫により3V、7MHz、ウェートありのときで約8mAと低消費電力を実現した。

パッケージは、0.65 mmピッチ100ピンQFP又は0.5 mmピッチ100ピンQFPの2種がある。

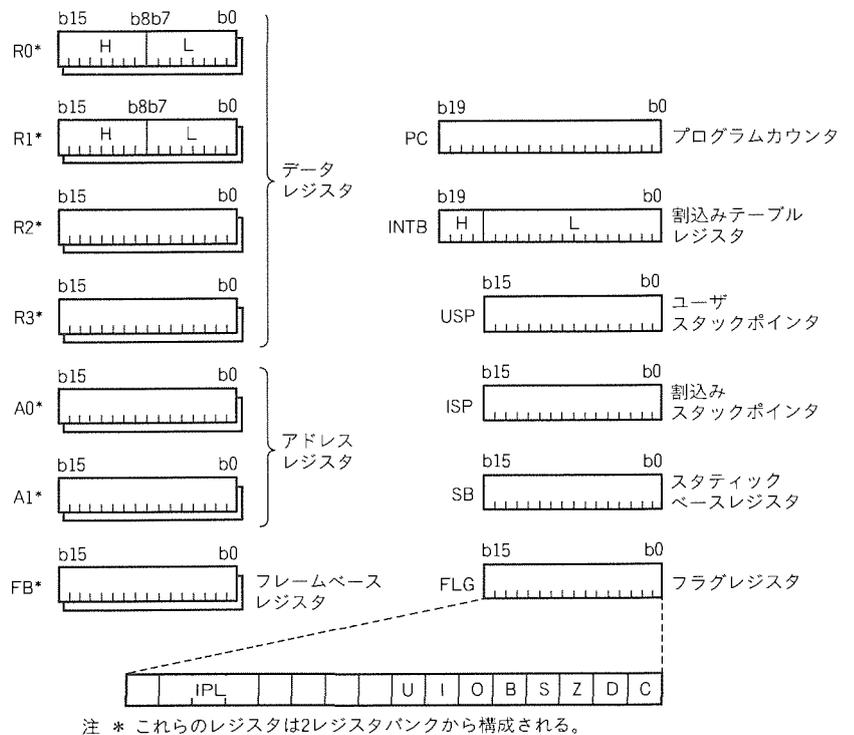
4. CPUアーキテクチャ

図2は、M16Cのレジスタセットを示したものである。M16CにはR0~A1の6個の汎用レジスタ、SBとFPの2個のベースレジスタ、及び6個の専用レジスタから構成される。汎用レジスタは演算命令のオペランドとなるほか、A0とA1はアドレスレジスタとしても使用できる。またR0、R1は、R0L、R0H、R1L、R1Hの8ビットの四つのレジスタとしても使用できる。SBは静的データのベースレジスタとして使用するもので、プログラムモジュールごとに定義された静的データを短い変位でアクセスできるようになっている。プログラムカウンタPCは20ビットであり、プログラム領域は1Mバイトのリニアな空間となっている。

FBはスタックフレームのベースレジスタとして設けられているもので、スタックフレームの構築・解除のためのENTR命令とEXITD命令とともに用いることにより、C言語など的高级言語のサブルーチンで使用される局所変数を効率良くアクセスできるようになっている。USPは通常のスタックポインタである。ISPは、割込みスタックポインタである。M16Cでは、割込みが発生したとき、PCとFLGがスタックに待避される。このときスタックポインタとして用いられるのがISPである。INTBは、割込みのベクタテーブルのベースアドレスを指定するもので、割込みベクタテーブルをROM上固定ではなく任意のメモリ領域に設定することができる。

FLGのうちC、Z、Sはそれぞれキャリ、ゼロ、サインフラグである。Oはオーバフローフラグであり、符号なし整数だけでなく符号付き整数の比較も可能としている。Dはシングルステップ割込みのためのフラグである。Iは割込み許可フラグであり、IPLは割込み優先順位を3ビットで指定する。汎用レジスタR0~A1とFBは2セットあり、二つのバンクを構成している。フラグBによってこのバンクの指定を行う。最優先割込み処理などの処理時間短縮に効果を発揮する。Uは、割込み以外のときにスタックポインタとして、ISPとUSPのいずれを用いるかを指定する。

図3は、M16Cの四つのタイプのおペコードとアドレッシングモードを示したものである。タイプ1は、デステネーションにR0LとR0Hを指定し、ソースにR0L/R0H又はメモリを指定する。タイプ2は、ソースが即値で、デス



注 * これらのレジスタは2レジスタバンクから構成される。

図2. M16Cのレジスタセット

デネーションがR0L/R0H/メモリである。これらは、演算長が8ビットであり、指定できるアドレッシングモードも限られているが、オペコードが8ビットであり、ポートの制御など8ビットの演算においてROM効率の向上に役立っている。タイプ3は、デステネーション、ソースともに汎用レジスタ/メモリを指定できる。タイプ4は、ソースが即値、デステネーションが汎用レジスタ/メモリである。いずれも演算長は8と16ビットに対応している。これらの命令を用いれば、メモリに対する演算のときその内容をいちいち汎用レジスタにロードする必要がなくなるので、速度、ROM効率の向上になるほか、汎用レジスタが多く備わっているCPU以上に、プログラム開発が容易になる。

M16Cの演算長は16ビット、8ビット、4ビット、1ビットである。16ビットと8ビットについては、符号付き、符号なしの加減乗除算、AND、OR、XOR、シフトなどの論理演算及び10進の加減算が可能である。特に符号付き除算には、丸めを正確に行うために余りの符号を除数に合わせるか被除数に合わせるかで、2種類に命令を設けてある。例えば、グラフィックス分野では、通常、丸めを0の向きではなく $-\infty$ の向きに行う必要がある。これには、余りの符号を除数に合わせるDIVX命令が有効となる。

4ビットデータについては、R0Lと汎用レジスタ/メモリの間で上位4ビット下位4ビットを自由に相互に転送を行う命令がある。これは、電話番号など10進のデータを“バック”して記憶するために設けられており、8ビットに2けたの番号を割り当てることによってRAMの使用効率を向上できる。ビットについては、セット、リセット、反転、テストのほか、Cフラグとの間の論理演算と大小比較結果の状態をビットとしてロードすることが可能である。これらは制御分野の応用で複雑な条件の計算する場合に威力を発揮する。

このほかに、M16Cでは、R0～A1及びSB、FBの中の複数の任意のレジスタをプッシュ/ポップするPUSHM、POPM命令を設けている。汎用レジスタの数が多いアーキテクチャではレジスタのプッシュ/ポップが速度やROM効率を低下させることが多いが、M16Cでは、PUSHM、POPM命令により、2バイトの命令長で上記の任意のレジスタをレジスタ当たり2サイクルでプッシュ/ポップができ、この低下を最小限にとどめている。

5. ノイズ対策

動作周波数の高速化や、設計ルー

ルの微細化に伴い、組込み型マイコンにおいても、ノイズ問題は避けては通れなくなってきている。ノイズには、外来ノイズに対する妨害耐性を示すEMSと、発振回路などからの不要輻射による電磁妨害EMIがある。

M16Cでは、これらのノイズ対策として様々な工夫を施している。ここではその一部を紹介する。

M30600M8-XXX FPのピン配置図を図4に示す。

このピン配置図において、 X_{in} と X_{out} は発振用の端子であり、ここに入るノイズは誤動作の原因となることが多い。この両端子は、 V_{cc} 、 V_{ss} 、RESETという非常に安定した電圧を供給する端子で挟み込まれている。これによってノイ

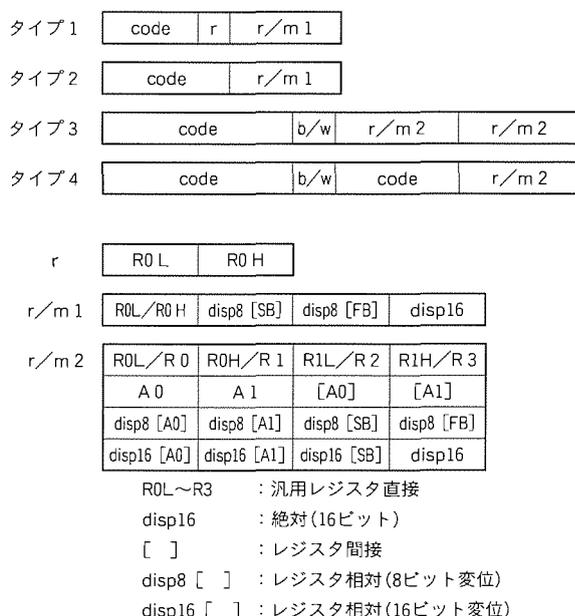


図3. オペコードとアドレッシングモード

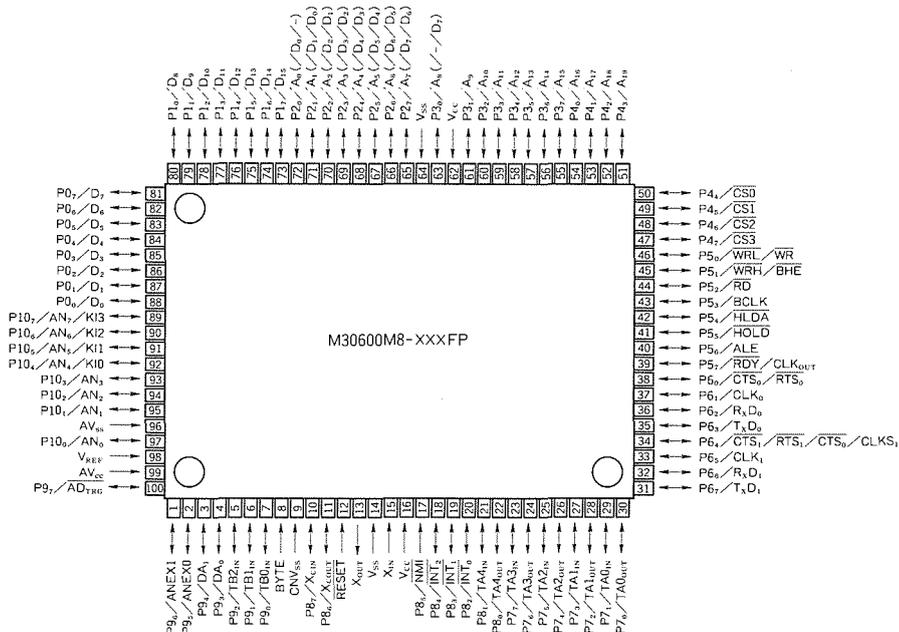


図4. ピンレイアウト

ズが入らないようにしている。また、 X_{in} と X_{out} の間に V_{ss} を配置することで3端子の発振子を接続しやすいという利点もある。また電源ピンの位置は、 V_{cc} と V_{ss} を近くに配置することで、デカップリングコンデンサを接続しやすいようにした。また、電源ショートを防ぐため、 V_{cc} (AV_{cc})と V_{ss} (AV_{ss})は隣り合せに配置しないようにしている。このようにM16Cでは、ピンレイアウト一つでも、ノイズ対策や基板設計の容易さを考えて配置している。

また、内部の制御レジスタにもノイズ対策の工夫を施している。その例として、プロテクトレジスタが挙げられる。プロセッサモードやクロックの切換えなどは、通常、レジスタによって切り換えることができるが、ノイズによって万一暴走した場合に、これらの重要なレジスタが簡単に書き換えられてしまっは問題である。そのため、M30600M8にはプロテクトレジスタを内蔵した。ユーザはこのプロテクトレジスタのプロテクトビットに1を書き込んでロックを解除しなければ、モードレジスタやクロック制御レジスタを書き換えることはできないようにした。これらのノイズ対策はほんの一部にすぎない。様々なノイズ対策を施した結果、ノイズ耐量の評価においては、図5のように高いノイズ耐量を示している。

不要輻射についても対策を施している。図6はM30600M8の $I-V$ 特性である。従来のマイコンに比べ、出力トランジスタの駆動能力を低く抑えている。M16C/60コアは低い周波数でも高い処理能力を持っているため、高速動作に合わせて出力トランジスタの駆動能力を大きくする必要はない。また、 $X_{in}-X_{out}$ の駆動能力も2段階に切換えできるようになっており、リセット解除後は強く駆動して早く発振を立ち上げ、発振が安定した後は駆動能力を低くして不要輻射を抑えるだけでなく、消費電流を抑える効果も期待できるようになっている。

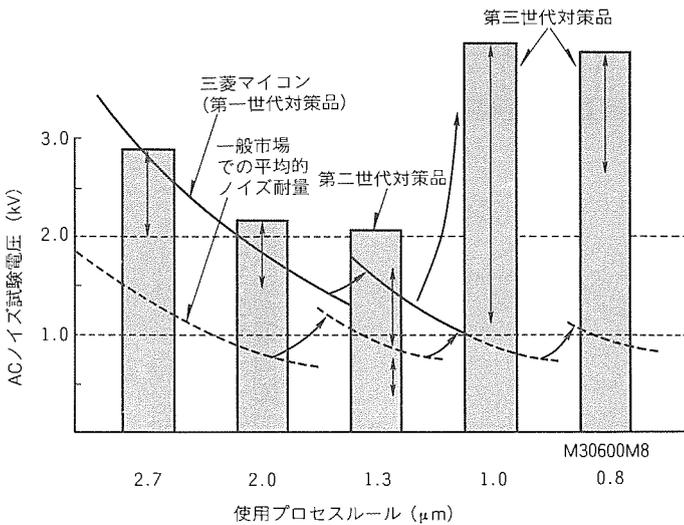


図5. ノイズ耐量 (三菱マイコンの市場でのノイズ誤動作試験結果の平均的推移)

6. 低消費電力設計

三菱電機のワンチップマイコンは、従来から低消費電力が大きなメリットとなっている。M16C/60もこの低消費電力設計を継承している。

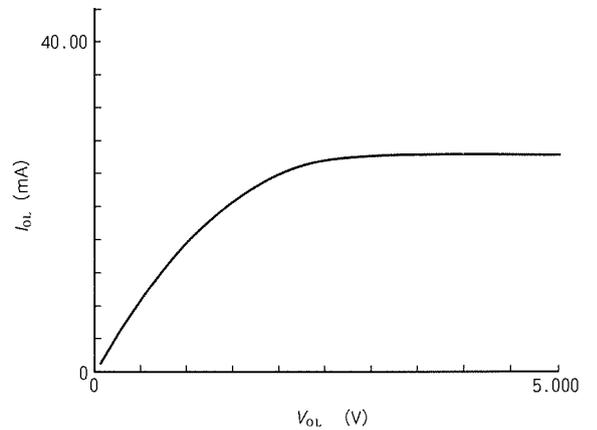
マイコンの消費電力 P は一般に、

$$\begin{aligned}
 P &= P_c + P_s + P_d + P_l \\
 &= f \cdot \rho \cdot C \cdot V^2 \quad (\text{負荷容量の充放電電流成分}) \\
 &\quad + f \cdot \rho \cdot I_{sc} \cdot \Delta t_{sc} \cdot V \quad (\text{過渡的貫通電流成分}) \\
 &\quad + I_{DC} \cdot V \quad (\text{直流電流成分}) \\
 &\quad + I_{LEAK} \cdot V \quad (\text{リーク電流成分})
 \end{aligned}$$

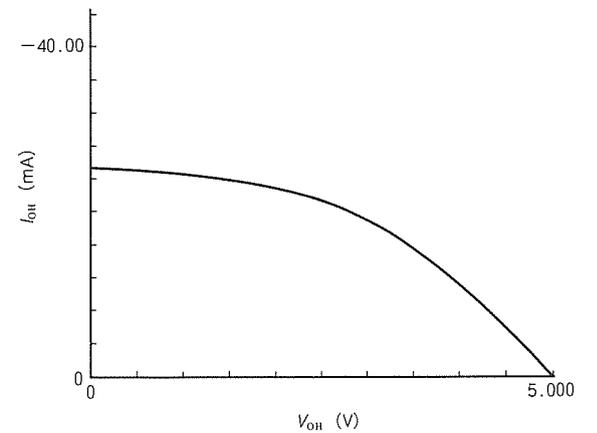
で与えられる。ここで、 f は動作周波数、 ρ はスイッチング確率、 C は負荷容量、 V は電源電圧又は信号振幅、 I_{sc} は貫通電流 (平均値)、 Δt_{sc} は I_{sc} が流れる時間、 I_{DC} は直流電流 (差動アンプ、ラダー抵抗など)、 I_{LEAK} はリーク電流 (接合リーク等) である。

まず、M16C/60では、低い周波数で高い処理能力を実現できるアーキテクチャとしているので、 f を低く抑えることが可能になっている。

一般に、内部データバス、アドレスバスの負荷容量 C は



(a) $I_{OL}-V_{OL}$ 特性



(b) $I_{OH}-V_{OH}$ 特性

図6. $I-V$ 特性

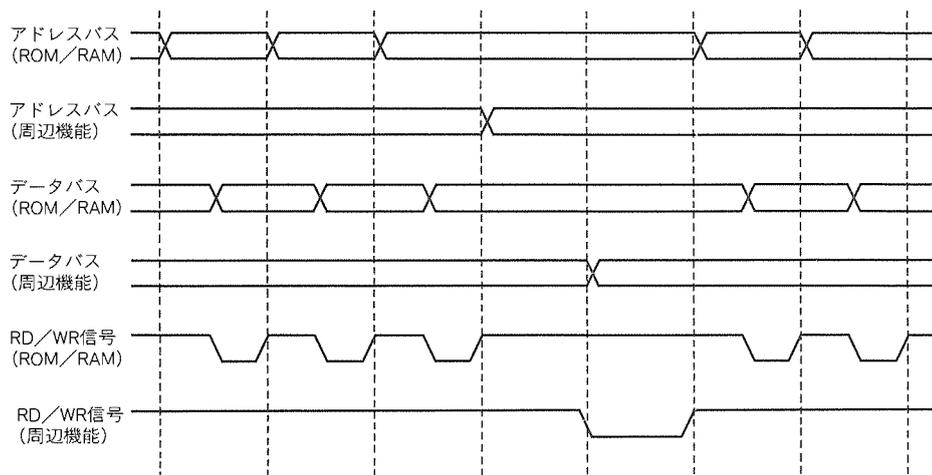


図7. M16Cにおけるバスタイミング

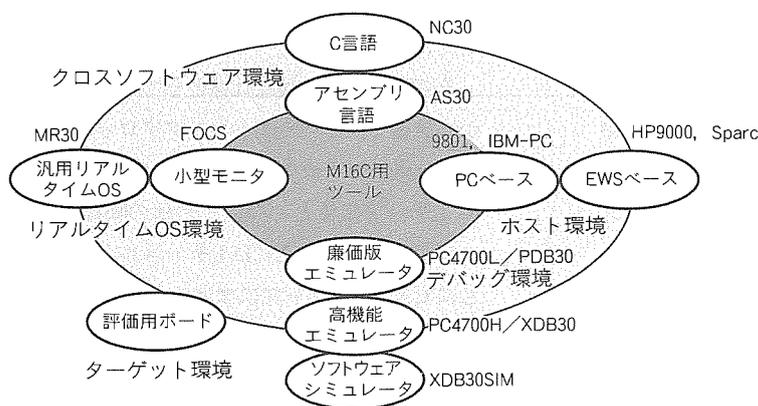


図8. 開発ツール説明図

かなり大きい上、スイッチング確率 ρ も高いため、内部データバス、アドレスバスにおける充放電電流 P_c は無視することはできない。また、様々なアプリケーションプログラムにおいて、ROM/RAMのアクセスは全アクセス中の約90%を占めることが分かっている。ところが、周辺機能はチップ全体の至る所に配置しているのでデータバス、アドレスバスはチップの全周を走らせる必要があり、負荷容量 C は相当大きくなってしまふ。大きな負荷容量を頻繁にアクセスすることはそれだけで消費電流の増大につながってしまう。

そこでM16Cでは、ROM/RAM用のバスと周辺機能用のバスとを分離し、ROM/RAMをアクセスするときは周辺用のバスは変化せず、周辺機能をアクセスするときはROM/RAM用のバスは変化しないようにした(図7)。これにより、ROM/RAM用のバスの負荷容量は従来の約20%に削減することができ、トータルのバスの充放電による消費電流を約25%に減らすことができた。

また、システムクロック発生回路では、クロックの分周比

をダイナミックに切り換えることができるようにした。リセット解除後は8分周が選択されており、プログラムにより、分周なし/2/4/8/16分周に切り換えることが可能になっている。これにより、同一クロックを使用した場合でも、処理速度重視のときは分周なしに設定し、消費電流重視のときは適当な分周に設定することができる。

そのほかにも、トランジスタサイズを最適化したり、負荷容量が小さくなるような工夫を施している。

これらの低消費電力化の更なるアプローチにより、5V、10MHz、ノーウェイトアクセス時に19mAの低消費電力を実現した。

7. 開発環境

M16C/60のソフトウェア開発環境を図8に示す。

M16C/60は、開発ツールも既に開発が進んでおり、既に三菱電機セミコンダクタソフトウェア

(株)では、アセンブラAS30、CコンパイラNC30の量産を開始している。デバッガXDB30、WDB30も1996年2月現在、サンプル出荷中である。これらは、PC98、IBM-PC、SUN上で動作可能である。エミュレータポッドとしては現在サンプル出荷中で、4月中旬から量産出荷開始の予定である。

サードパーティでは、横河デジタルコンピュータ(株)、ソフィア(株)、日本ヒューレットパッカード(株)からデバッガが、ガイオ(株)、IAR(株)からCコンパイラがリリースされる。

8. むすび

M16C/60は現在、M30600M8のROM/RAM展開品の開発やスマートカードインタフェース仕様対応UART内蔵のM30610M4の開発を進めている。

今後は、低電圧対応や、フラッシュメモリ内蔵版などの開発を行っていく予定である。

メモリ内蔵1チップ ピクチャ イン ピクチャLSI

玉木茂弘* 齊藤幸輝**
那須正治* 柳川瀬顕夫***
山田龍浩*

1. ま え が き

二つのTV番組、又はビデオ/LDの再生画とTV番組を同時に表示するというピクチャ イン ピクチャ(PIP)機能は、国内市場においては大型・高級TV製品の一部にしか搭載されていない状況である。しかしながら北米市場では、トップシェア各社(米国メーカ)が中級機種以上に戦略的に搭載しており、TV製品全生産台数2,400万台/年のうちの10~15%の市場規模が形成されている。今後も普及機への展開が進むと予想されており、機能価格の低減化とTVセットのデジタル化進展に伴う機能の高付加価値化が望まれている。このような市場要求に対して三菱電機(株)は、'86~'87年に初代PIP製品を開発した。以来、PIPシステムを構成するIC数をプロセス的・システムの的に削減した製品を継続して開発してきた。現在開発中の次期製品においては、システムの1チップ化を実現する段階に至っている。

本稿では、PIPシステム製品の推移と1チップPIP LSIの開発仕様、機能構成と処理の概要について述べる。特に、今回初めて内蔵化されたフィールドバッファメモリの仕様と構成を説明する。

2. PIPシステム製品の推移

'89~'90年に業界に先駆けて製品化したPIPシステムは、12個のICで構成されていた。デジタル処理が必要である

メモリ周りのみのデジタルICとメモリICのほかは、すべてアナログ回路(IC)で映像信号処理を実現していた。'91年までは映像信号処理のアナログ/デジタル(A/D)回路の切り分けは変わらず、システムを実現するアナログICの個数の削減が進められた(図1)。「91~'93年に開発された現行量産品は、最終的に1チップPIPシステムが可能となるシステム設計が行われた。すなわち、それまでアナログ回路技術で実現してきた映像信号処理を大幅にデジタル化した。

その結果、この製品仕様としては、アナログ回路が不可欠かつ最適であるバーストロック発生、親信号の同期信号分離、アナログスイッチ及びクランプ機能を、アナログIC1チップにまとめた。その他の映像信号処理をすべてデジタル化して、A/D1チャンネル・D/A2チャンネルとともにCMOS1チップにまとめた。フレームバッファメモリとしての256Kデュアルポートメモリと合わせて合計3個のICでPIPシステムを構成した(図2)。

現在開発中の1チップPIP LSIは、上記現行量産品のシステムを受け継いでおり、開発ポイントを無調整化とメモリ内蔵化に置いている。CMOS化が比較的容易に可能なアナログ回路機能のみを残し、次章に示す回路機能の切り分けを行って開発仕様とした。また、現行量産品では外付けであったフレームバッファメモリについては、最新0.5μmプロセスで搭載可能なメモリ容量と、現行量産品パフォーマンスの市場フィードバック情報(TVセットの中級~普及機市

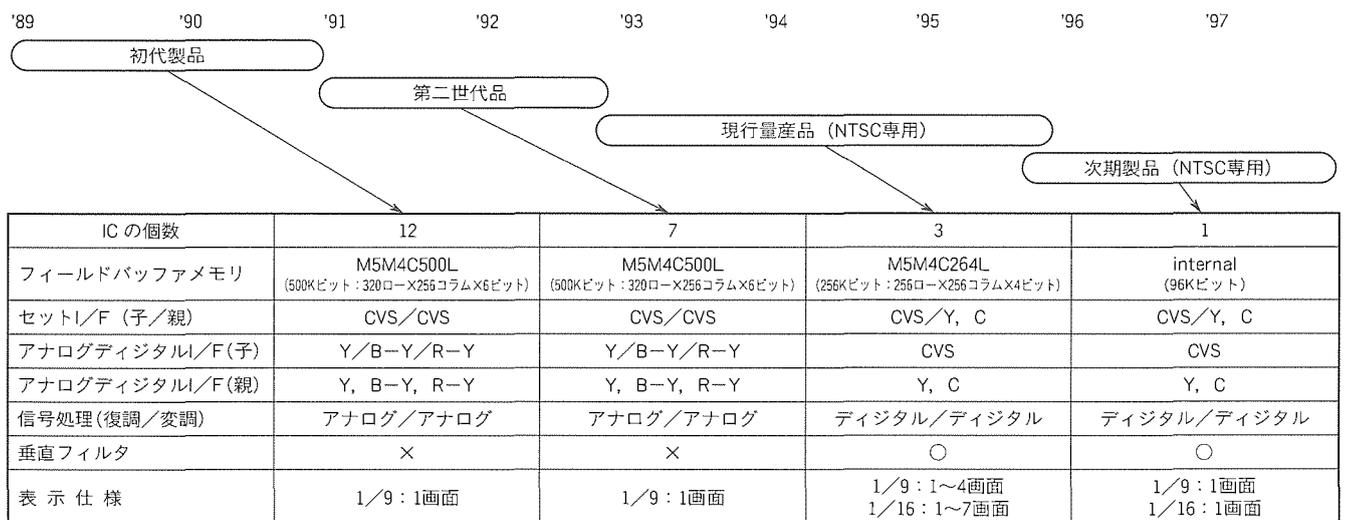


図1. 三菱PIPシステム製品の推移

場で、PIP に必要とされる画質の所要メモリ量は、現行量製品の 25%以上の増量が必要。)を勘案し、次章に示す仕様のフィールドバッファメモリを内蔵した。

3. 1チップPIPシステム開発仕様

1チップ PIP LSI (M65617SP) の開発仕様を以下に示す。

(1) アナログ回路機能

VCXO (Voltage-Controlled Crystal Oscillator) & チャージポンプ、シンクチップクランプ (子画面複合映像信号、親 Y 入力)、アナログスイッチ 2 チャンネル (親/子切換え Y, C)、8ビット A/D 2 チャンネル (子画面 CVS (Composite Video Signal)、親 Y 入力)、8ビット D/A 2 チャンネル (子画面出力 Y, C)

(2) デジタル回路機能

LPF (Low Pass Filter)、BPF (Band Pass Filter)、ペDESTALクランプ、同期信号処理、AFC、垂直補間フィルタ、色復調 (色位相検出、ヒュー補正、ACC (Auto-

matic Chroma Level Control) & カラーキラー)、色変調 (NTSCフォーマッティング)

(3) フィールドバッファメモリ

容量：96 K ビット (現行量製品の 50%増量)

格納映像情報量：171 ピクセル/1 ライン×70 ライン/1 フィールド (輝度信号)

28.5 ピクセル/1 ライン×70 ライン/1 フィールド (色差信号)

(4) TV セットとのインタフェース

子画面：複合映像信号

親画面：輝度信号、搬送色信号、水平帰還信号 (垂直帰還信号)

(5) 表示フィーチャ

表示画面：1 子画面 PIP, バックグラウンド上 1 子画面 (いずれも枠あり/無選択可)

表示サイズ (圧縮率)：1/9, 1/12, 1/16

表示位置・面積可変：水平方向 280 ns/ステップ、垂直方向 1 フィールドライン/ステップ

(6) 機能制御方式

3 ピンシリアルインタフェース (外部回路を付加して IIC バス準拠 2 線式シリアルインタフェース化可能)

(7) 適用プロセス (電源電圧)

0.5 μm (3.3 V 単一)

(8) パッケージ

52 ピンシュリンク DIP

なお、図 3 にチッププロットを示す。

4. LSIの機能構成と処理の概要

以下に、信号の流れに沿って、機能及び処理の内容を説明する (図 4、図 5)。

4.1 子画面信号入力処理

TV シャーシ側で、子画面ソースとしてビデオスイッチ選択された映像信号を、複合映像信号の形態にして入力する。子画面映像信号処理としては、この複合

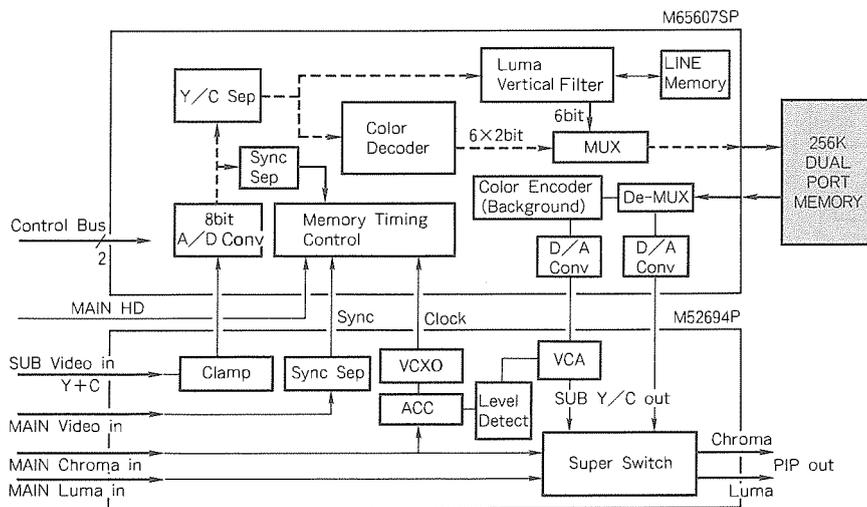


図 2. 三菱 PIP システム (現行量製品)

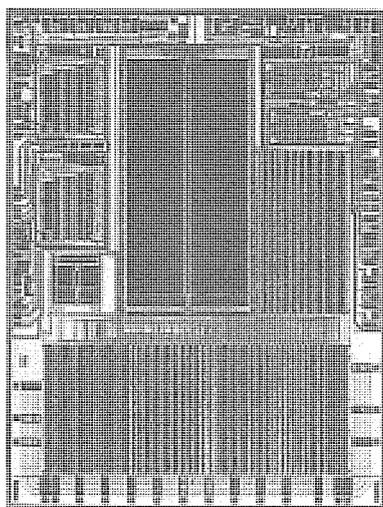


図 3. チッププロット図

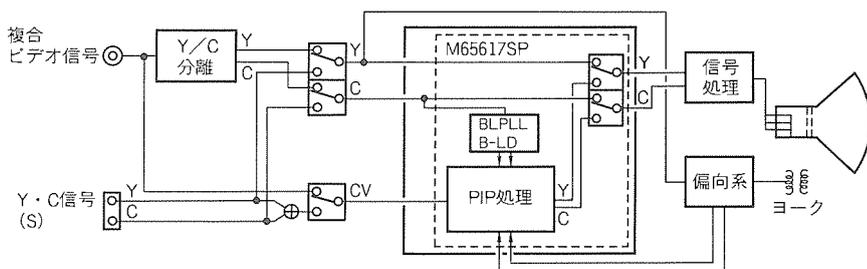


図 4. TV セットシステム構成

映像信号1本のみで、映像情報と同期情報をインタフェースしている。LSI内部で、クランプ回路(アナログ)によってシンクチップクランプした複合映像信号を、8ビットA/Dで量子化する(サンプルレート; $4f_{sc}=14.318\text{MHz}$)。同時にシンクチップレベルスライスを行うことで、子画面用複合同期信号を検出している(図6)。なお、入力する複合映像信号に対しては、入力レベル条件を設定することによって複合映像信号中の搬送色信号のゲインを外部で大きめにして色情報の量子化精度を高める構成としている(図7)。

4.2 子画面映像信号処理

量子化された複合映像信号を、LPF及びBPFにより、輝度信号と搬送色信号に分離する。後段での水平圧縮のための再サンプルレート1/4に対応して、輝度信号の通過帯域

制限を約1.7MHzとしている。輝度信号をペDESTALクランプ処理する。ペDESTALレベルがボトム値で、入力ダイナミックレンジが7ビットに相当する8ビット情報にする。ペDESTALクランプされた輝度信号に、ラインアキュムレータ方式の垂直補間フィルタ処理を行う⁽¹⁾。これは毎ラインの重み係数を巡回的に変更して、1水平期間の水平圧縮サンプル数分の蓄積を行うことで実現される(図8)。PIPシステムが強制必要とするフィールド重心を持つラインデータ生成をこの処理で行っている。

搬送色信号は、色復調処理によってACCを施した色差信号R-Y、B-Y各8ビット情報に復調される。ここでの色復調処理内容は、アナログ回路技術での色復調処理と機能上は同一である。処理の実現の仕方の違いについて簡単に説明

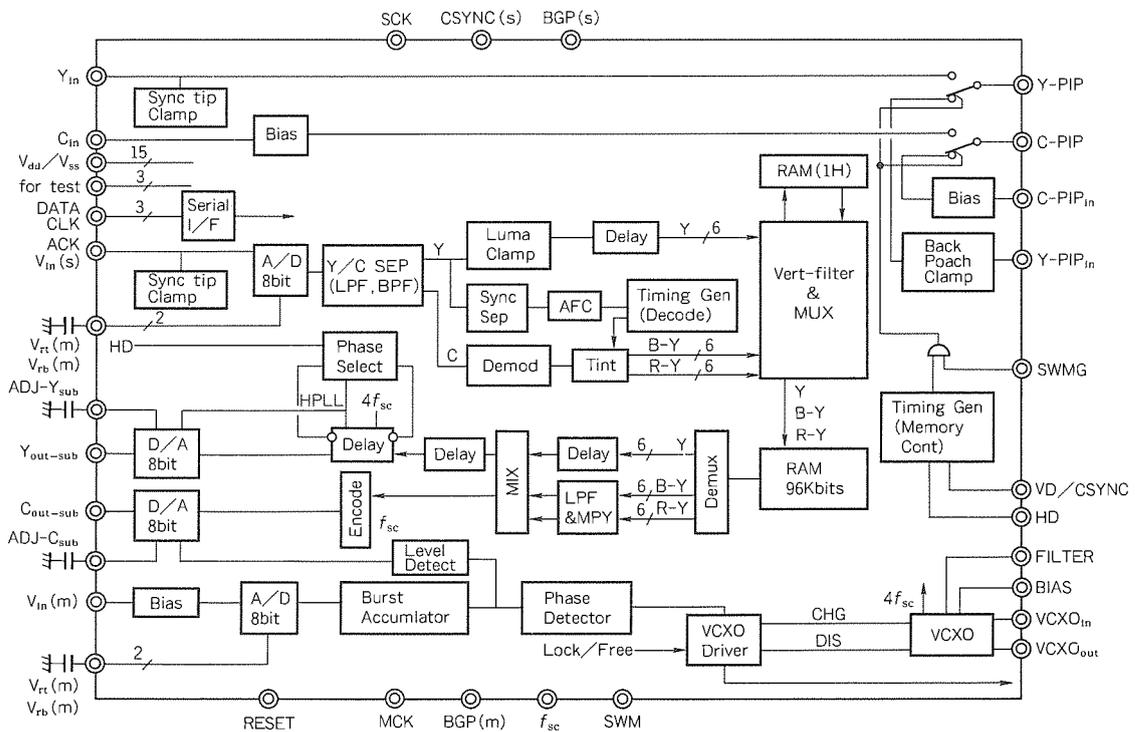


図5. M65617SP機能ブロック図

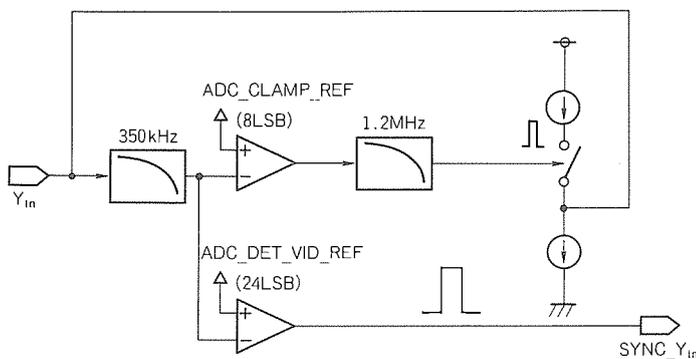


図6. シンクチップクランプ&同期分離機能構成

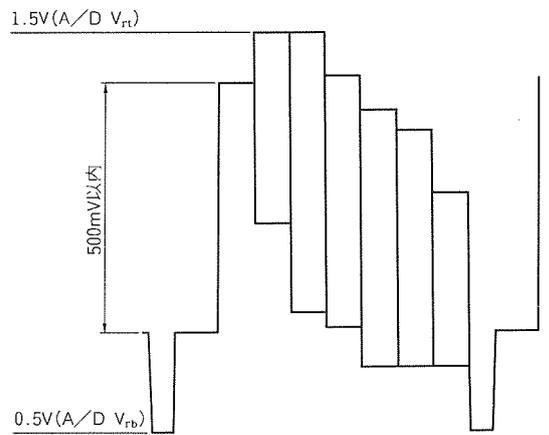


図7. 子画面複合映像信号入力条件

する。

アナログ回路技術での処理には、子画面バーストロック PLL を設ける。搬送色信号に ACC 処理を施した後に、搬送色信号のクロマバースト情報と VCXO ($4f_{sc}$ 又は f_{sc} 発振) 出力の 4 分周周波数と位相比較した出力を、チャージポンプ&VCXO に導いて構成する。入力バーストに位相ロックした VCXO 出力から、 0° 及び 90° の f_{sc} 周波数信号を作る。入力搬送色信号に各々の信号を掛け合わせるにより、色差信号を生成する。すなわち、搬送色信号中の離散的に埋め込まれているクロマバースト信号の位相情報を保持することと、連続的に直交変調信号を復調させる正弦波を生成することを、バーストロック PLL 出力から 0° 及び 90° の f_{sc} 周波数信号生成することに集約して復調を実現している。

これに対してデジタル回路技術では、マスタクロックによる離散的処理となる。マスタクロックは、子画面入力信号中のクロマバースト情報には位相ロックしていない。クロマバースト期間のサンプルデータに含まれる現在の入力位相・レベル情報と規定の値(位相・レベルリファレンス値)との誤差を補正する情報(位相・レベル補正值)を演算検出し、巡回的に毎ライン補正蓄積を行う。アナログ回路技術での

ACC&バーストロック PLL 機能と同じ機能を実現している。デジタル回路技術では、毎ラインの位相・レベル補正蓄積値として保持されて使われる。マスタクロックが周波数としては $4f_{sc}$ であるので、演算周期を $0^\circ/90^\circ$ に対応するように制御する。 f_{sc} サイクルの倍数周期ごとに復調軸が異なった演算を隣接周期で実行した後、出力周期をそろえた色差信号 R-Y, B-Y を生成している。

このようにして得た輝度情報と色差情報(Y:R-Y: B-Y=9:2:2, 各6ビット)を8ビットデータにマルチプレクスしてフィールドバッファメモリ内のシングルポート RAM に格納する。

4.3 フィールドバッファメモリシステム

この LSI に内蔵しているフィールドバッファメモリは 96 K ビット (6,144 ワード×16 ビット) のシングルポート RAM を使用している。メモリへのデータ割付けを工夫して映像情報の解像度の向上を図っている(図9)。9 サンプル×8 ビットを1ブロックとして、輝度情報9サンプルと色差信号各2サンプルを格納する割付けを行っている。この割付けでは所要メモリ量が不足する。そこで、各サンプルごとの色差情報については深さ情報を半減させて書込みデータ

とし、読出し後のデータ補間処理によって深さ情報の再生を図るという変則的な手法を用いている。

また、書込み時の水平圧縮率は $1/4$ 固定としている。水平圧縮率 $1/3$ の画面の表示方法を説明する。メモリからの読出しレートを3サンプル/4周期とする。輝度情報についてはデータ補間演算による伸長を行う。色差信号については6周期ごとのデータ更新を行う(図10)。

入力データレートが f_{sc} という低いレートであることから、子/親非同期クロック間のデータ渡しは簡単な回路で実現している。書込み入力データ及び書込み許可信号を子画面信号処理系のクロックからフィールドバッファメモリ&表示処理系のクロックにシェークハンド形式で

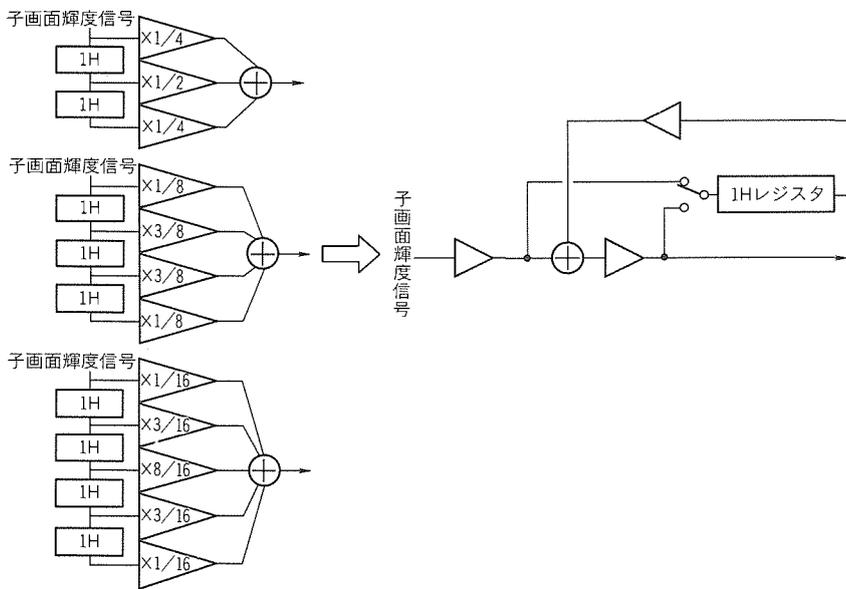


図8. ラインアキュムレート式垂直補間フィルタ機能・構成

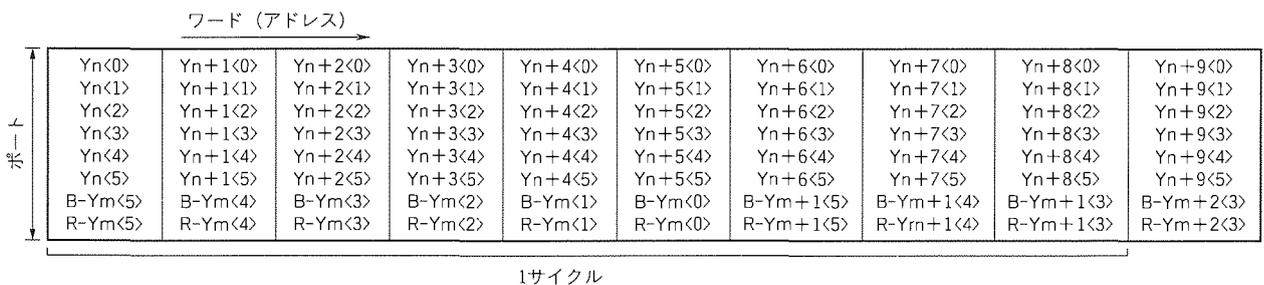


図9. アドレス・ポート割付け仕様

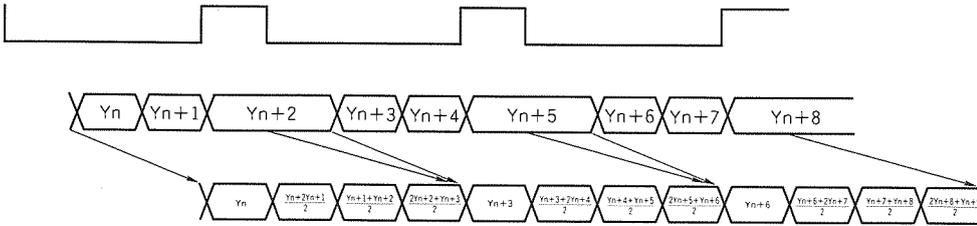
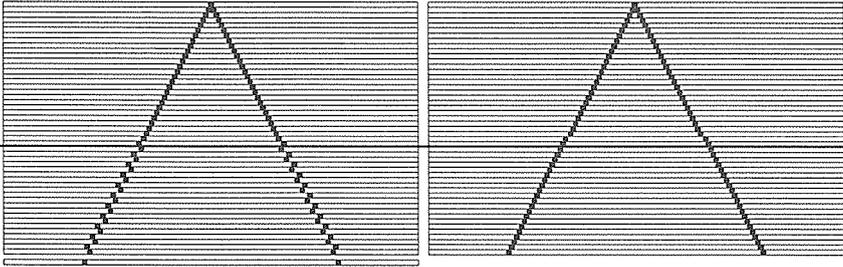


図10. 水平データ4/3伸長動作

<インタレース不整合の場合 画面内追越しのケース>

<インタレース整合の場合 画面内追越しのケース>



<処理構成&仕様>

1. 書き込み系/読み出し系各フィールド識別信号を検出・用意する。
第1/第2フィールド [0/1] (第2フィールドデータが画面上は上に位置する。)
2. メモリへの書き込み情報としては、入力(書き込み系)フィールドがいずれのフィールドでも読み出しフィールドとして要求する情報が生成できるように、垂直フィルタ回路部において生成ラインデータの重心を選択可能である機能を用意する。

書き込み情報生成指定No.	子入力フィールド	親入力フィールド
0	第1	第1
1	第1	第2
2	第2	第1
3	第2	第2

以上の構成によって親子の入力フィールド組合せに従って、親入力フィールドを優先したラインデータを一義的に生成できる。

さらに、このような環境においては、画面内でのメモリアドレス追越し発生に対する処理として、第1フィールド表示中には追越し発生時以降は1ライン先のデータを出力、第2フィールド表示中には追越し発生にかかわらずに連続ラインデータを出力を行うことによってインタレースを保つことが実現される。

図11. メモリ書き込み/読み出し追越し現象

<フィールドバッファメモリ書き込み/読み出し追越し時表示補正仕様>

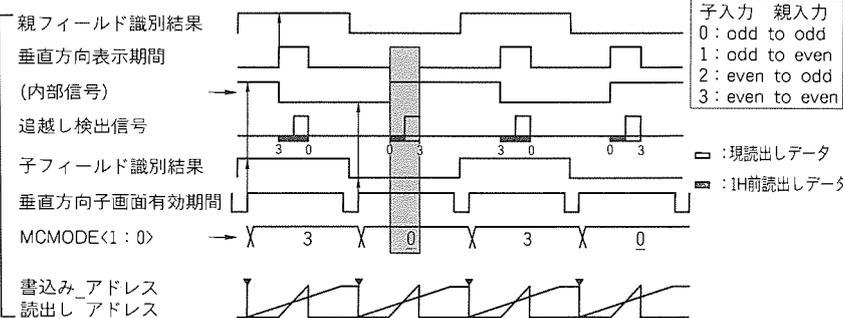


図12. メモリ書き込み/読み出しアドレス追越し回避制御法

受け渡す構成としている。

以上のような多くの動作仕様条件を満たすために、シングルポート RAM を要素セルとして PIP システムに特化した FIFO (First In First Out) 機能をマクロ機能として開発した。マクロ入出力信号としては、入力データ 8 ビット、書き込みアドレス初期化信号 1 ビット、書き込み許可信号 1

ビット、出力データ 8 ビット、読み出しアドレス初期化信号 1 ビット、読み出しアドレス水平送トリガ信号 1 ビット、及び読み出し許可信号 1 ビットで構成してい

る。入力データ深さの倍のデータ幅のシングルポートメモリにリード、モディファイ、ライトを行うシリアル→パラレル→シリアル処理を行っている。このマクロ FIFO 機能の概略動作をシステム駆動面から説明する。書き込み映像情報の垂直有効期間の始まりに格納先頭アドレスを初期化する。以降は 1 水平有効期間に規定のサンプル数を、サンプルすべきデータ発生周期ごとに、連続したアドレスに過不足なく取り込む。書き込み映像情報は有効期間の情報だけを連続格納して扱うことでメモリ使用効率は最良となる。1 水平有効期間中の書き込みサンプル数を固定化して連続的に詰め込む。こうすると、メモリ読み出しにおいて水平有効期間を垂直方向にそろえる RAM アドレス操作を定型化できる。また、1 水平有効期間が一度開始した後は、規定のサンプル数のアドレスを内容更新する動作とする。これにより、映像入力が喪失した場合にも、ノイズがフリーズ表示されない。親画面信号の垂直有効期間の始まりに、読み出し先頭アドレスを初期化する。以降は読み出すべき周期に連続したアドレスのデータを読み出すことを基本動作とする。ただし、水平有効期間が始まるたびに次の水平有効期間の開始アドレスを計算して用意し、次の水平有効期間の始まり時にアドレスジャンプしている。これにより、親画面信号が異常な同期動作をした場合にも、水平周期ごとに確実にフィードされたライン情報を表示する動作が得られる。次に、PIP システムにおいて特有である、メモリ書き込み/読み出しの追越し動作発生時にフィールドインタレースを維持する処理について述べる。前述の輝度信号の垂直補間フィルタによって任意の入力フィールドから表示するフィールドに適合するデータを生成

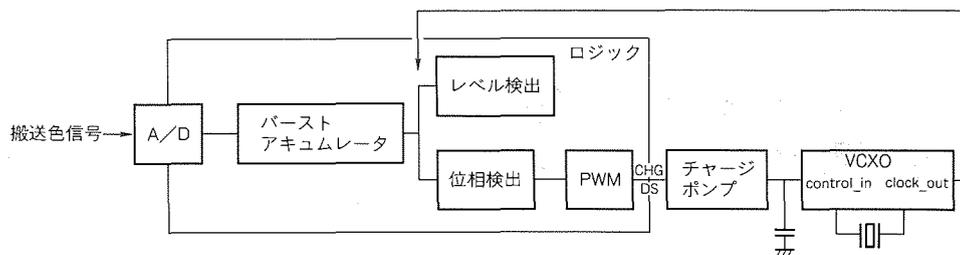


図13. バーストロックPLL構成

する。書込み/読出しフィールドとも第1フィールドである場合のみ、メモリ書込み/読出しの追越し動作発生後に1水平期間先のラインデータを読み出す。この動作は当該フィールドの読出しが終了するまでは継続する。以上の処理でインタレースが維持できる(図11, 図12)。

4.4 PIP出力信号処理

TVシャーシ側で、親画面ソースとしてビデオスイッチ選択された輝度信号、搬送色信号を入力する。入力された輝度信号を、LSI内部でクランプ回路(アナログ)によってシンクチップクランプして、親/子切換え用アナログスイッチへ導く。同期情報としてはTVシャーシ偏向系からの水平帰還信号と垂直帰還信号又はそれらの複合信号を入力することを原則とする。ただし、子画面側と同様にシンクチップレベルスライスして得ている親画面用複合同期信号も水平/垂直同期情報として選択(水平/垂直独立的)できる構成としている。親画面同期情報をトリガとした任意の表示位置・表示面積において、RAMから子画面映像情報を読み出す。輝度情報は付け足し用複合同期信号(入/切可能)、ブランキング期間ベテスタルレベル、バックグラウンドレベル(枠レベルを兼用)をミクシングした後に、親画面水平同期入力に対して $4f_{sc}$ 1サイクル内の追従位相誤差を5 ns (typical)に補正して、8ビットD/A出力する。子画面色差信号は付け足し用カラーバースト信号(色差信号レベル設定可変、入/切可能: 付け足し用複合同期信号入/切と連動)、ブランキング及び枠期間無信号レベル、バックグラウンドレベルをミクシングした後にNTSCフォーマット化(搬送色信号化)して、8ビットD/A出力する。

デジタル信号処理用のマスタクロックを生成する構成について述べる。親画面搬送色信号を8ビットA/Dで量子化した後に、デジタル信号処理によってクロマバースト情報との位相誤差を検出する。この検出信号をチャージポンプ&VCXO回路へ入力することで、親画面バーストロックPLLの $4f_{sc}$ クロック出力を生成する。なお、子画面映像信

号処理回路部へのクロック入力は上記親画面バーストロックPLLの $4f_{sc}$ クロックと外部クロック入力(子画面バーストロックPLL又は自走の $4f_{sc}$ クロック)との入力選択が可能である。また、親画面バーストロックPLL回路部では、親クロマバーストのレベルを測定している。測定結果で子画面搬送色信号D/A出力のゲイン制御を行い、親画面クロマレベルトラッキング機能を実現している(図13)。

5. むすび

フィールドバッファメモリ(96 Kビット)の内蔵化と映像信号処理のデジタル化によってCMOS 1チップ化を実現した1チップPIP LSIのシステム概要、機能構成及び処理内容について述べた。

今回開発したLSIは、NTSC信号対応の1子画面表示のものである。今後のPIP製品としては、TVセットの新規市場へ展開するにはNTSC/PAL対応版・多画面表示版が考えられる。また、TVセットにおける基板レベルでの合理化に寄与する主(親)信号の高画質化機能の内蔵化の要求や、国内でのワイドTV対応としてPAP(Picture And Picture)の要求もある。

内蔵メモリ容量の増設と同時に、データ圧縮技術を適用したメモリシステムの効率化とPIP機能実現回路の合理化(機能記述、機能のコア化)を推し進めなければならないと考えている。

末尾ではあるが、これらのシステムやLSIの開発に際して多大なる御指導、御協力をいただいたライン・協力会社・TVセットメーカー設計部門各位に深い謝意を表す。

参考文献

- (1) 高松正英・斎藤幸輝・溝井 誠・牛頭紀子・玉木茂弘: ピクチャ・イン・ピクチャ用垂直補間フィルタの開発, MSC技報, No.4, 13~21 (1991)

ファクシミリスキャナ用 画像処理コントローラ

松本 誠* 谷口正治*
 菅田浩之*
 石岡裕二*

1. ま え が き

情報化時代を迎え、ファクシミリは国内市場を始め欧州や
 北米市場でも急速な成長を続けており、用途も業務中心から
 パーソナルユースへと拡大している。

これに伴い、ファクシミリに要求される性能は、高速化・
 高画質化、メモリ機能などの高機能化と、コストを優先した
 低価格化の二極化が進んでいる。

当社では、このようなニーズにこたえるため、G3ファク
 シミリの普及機や複合機に最適な1チップ画像処理コント
 ローラ“M66335FP”を開発した。

本稿では、M66335FPの仕様・構成・出力画像について
 述べる。

2. M66335FPの開発コンセプト

G3ファクシミリにおいて、パーソナル機に代表される普
 及機では、経済的なコストを維持し、いかに高画質化・高機
 能化を進めるかが重要な問題となっている。その一つの方向
 として、従来単純2値画像のみであったものが、擬似中間
 調の機能を取り込み、高画質化へと進んでいる。

また、オフィス機では、複写機・プリンタ・スキャナ等と

の複合化が進み、ファクシミリ機能が付加的な形で各セッ
 トに取り込まれて高機能化が進んでいる。

これらの動向を踏まえ、パーソナル機(普及機)や複合機
 をメインターゲットとして、経済的なコストで画像処理を実
 現するために外付け部品なしで画像処理を行う1チップ化
 の実現と、また、更なる高画質化・高機能化を実現するこ
 とを開発コンセプトとした。

外付け部品なしで画像処理を実現するためには、以下のブ
 ロックの内蔵が必要になる。

- (1) イメージセンサ用 I/F (アナログ回路)
 (サンプル&ホールド, ゲインコントロール等)
- (2) A/D コンバータ
- (3) 画像処理用メモリ (SRAM)
- (4) 画像処理アルゴリズム (デジタル回路)

これらのブロックを1チップに内蔵して、かつ経済的な
 コストを実現するためには、内蔵するメモリ容量の大小が最
 も支配的である。そこで、機能及び仕様検討段階で、画像処
 理メモリ容量の最適値を求めるために、ワークステーション
 上で画像シミュレーションを行った。

3. M66335FPの仕様

表1. 画像処理機能一覧

画像処理機能	仕 様	備 考
読 取 り 幅	● A4, B4	
解 像 度	● 8画素/mm, 16画素/mm (主走査方向)	
読取りスピード	● 標準5ms/ライン, 最高2ms/ライン	● システムクロックで操作
不均一補正	● 白補正, 黒補正 ● 補正範囲は50%	● 補正メモリを内蔵 ● MPUからリード/ライト可能
γ 補 正	● 対数補正	● γ補正メモリを内蔵 ● 文字/写真ごとに補正可能
解像度補償	● 二次元処理によるラプラシアンフィルタ回路	● 補正メモリを内蔵 ● 文字/写真ごとに補正可能
単純二値化	● 背景・文字レベル検出回路による フローティングスライス方式	
擬似中間調化	● 誤差拡散: 6ビット処理 (64階調) ● 組織的ディザ法: 8×8マトリックス (64階調)	● エラーバッファメモリを内蔵 ● 64ワード×6ビットディザメモリ内蔵
像 域 分 離	● 輝度差による二次元処理	
画 像 縮 小	● 変換率50~100% (1%刻み)	● 間引きラインを次ラインと平均化出力できる。
画 像 拡 大	● 変換率100~200% (1%刻み)	● 繰返しラインを次ラインと平均化出力できる。
イメージセンサの 制御信号	● 密着イメージセンサ (クロックデューティ: 75%) ● 縮小型イメージセンサ	
アナログ処理	● サンプル/ホールド回路, ゲインコントロールアンプ, 黒レベルクランプ回路, 7ビットA/Dコンバータを内蔵	

M66335FPは表1に示すように、多彩な画像処理機能を持っている。これにより、各種入出力機器特性にマッチングした処理を行うことが可能となり、画質の向上を行うことができる。

従来品種であるM66334FPに対して大きく異なった点は、アナログ回路の内蔵、各種画像処理用メモリの内蔵、解像度変換(拡大・縮小)機能の追加である。

デザインルール及びプロセスは、1層ポリシリコン、2層アルミ配線からなる0.8 μ mCMOSプロセスを採用した。

パッケージは、80ピンのプラスチックQFP(Quad Flat

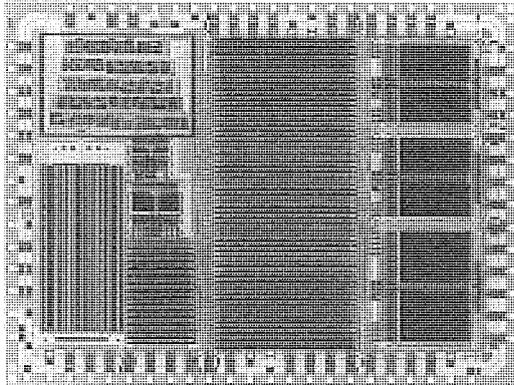


図1. チップ写真

Package)である。

図1に、M66335FPのチップ写真を示す。

3.1 イメージセンサ用I/F(アナログ回路)

アナログ回路のブロック図を図2に示す。

イメージセンサからの出力信号は、サンプル&ホールド回路によってサンプリングされ、次にゲインコントロール回路によって振幅調整後、黒レベルクランプ回路を経由して、イメージセンサの黒レベルを基準とした信号へ変換される。このような信号処理を行うことで、原稿照射用光源ばらつきや経時変化、イメージセンサの黒レベルや感度ばらつき、温度変化等を補正することができ、イメージセンシング機能の向上が可能である。また、縮小型CCD(Charge-Coupled Device)や密着イメージセンサ(Contact Image Sensor: CIS)などの各種センサと接続できるセンサ制御回路を持たせている。

このほか、A/Dコンバータ用の基準電圧源が内蔵されているため、外部にオペアンプなどを実装しなくてもよく、実装基板の省スペース化が図れる。

3.2 7ビットフラッシュタイプA/Dコンバータ

画像データをデジタルに変換した後の画像処理において、64階調の画像(内蔵データバス:6ビット)を実現するために、画像処理初段での不均一補正処理(50%補正まで対応)

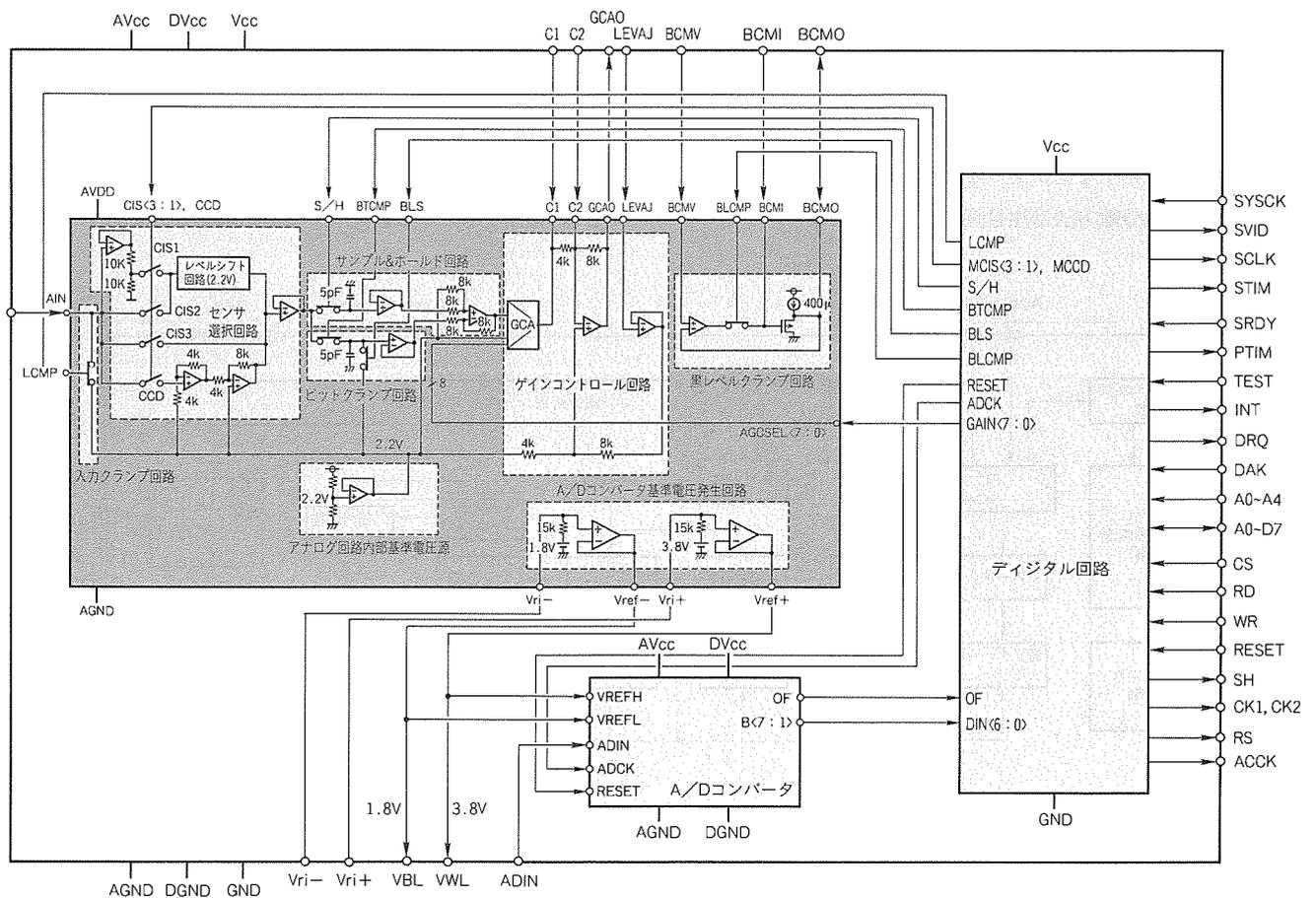


図2. アナログ回路ブロック図

による1ビットデータ欠落を考慮し、A/Dコンバータはデータ最小幅の7ビットとし、また、構成が単純なフラッシュタイプとした。

3.3 画像処理機能

デジタル回路のブロック図を図3に示す。

デジタル回路ブロックをソフトウェア言語であるC言語での完全モデル化と画質評価の実行により、従来品と同等な画質で、メモリ容量を1/2~1/4にすることができ、以下のような多彩な画像処理機能と画像処理用メモリを1チップにまとめることができた。

(1) 不均一補正処理

黒・白補正が可能であり、補正範囲は50%補正とした。

センサでの隣接画素のばらつきが少ないという点、また不均一補正以降でも各種の画像処理で補正が可能であるという点で、黒補正用/白補正用メモリに格納するデータの平均化処理とビット削減を併用し、従来のメモリ容量に対し、1/2~1/4以下の容量に削減した。

(2) MTF (Modulation Transfer Function) 補正処理

空間周波数の高域強調を行うため、通常のラプラシアンフィルタを使用している。また、像域分離の結果からMTF係数を変化させることができる。

注目画素(処理対象画素)に対する参照画素は、注目画素ほどデータの信頼度が高くなってもよい。そのため、ラインメモリに蓄える前ラインデータ情報を、平均化処理によって減少させている。これにより、従来のメモリ容量に比べて1/2~1/4の容量に削減できた。

(3) 像域分離処理

文字領域はフローティングスライス、写真領域は誤差拡散処理を行う。像域分離方法は注目画素を中心とするウィンド

ウ(5画素×2ライン相当)を形成し、文字領域と写真領域の濃度分布の違いで、文字画素か写真画素かの検出を行っている。

(4) 誤差拡散処理

擬似中間調処理として、条件付き決定法である誤差拡散法を用いた。この処理では、更に従来の誤差拡散法に加えて組織的ディザを付加し、誤差拡散特有のテクスチャを抑制すると同時に、以下のメモリ削減の影響を減少させた。

誤差拡散時の量子化誤差の演算時に、量子化誤差の平均化処理を行い、データ容量を減少させて使用した。これにより、従来のメモリ容量に比べて1/2~1/4の容量に削減できた。

(5) 解像度変換

主走査方向及び副走査方向において、50~200%までの解像度変換(拡大・縮小)を行うことができる。

主走査方向は、初期設定時に内蔵倍率テーブルに倍率を設定することにより、変換処理を実現している。副走査方向は、各処理ラインごとにレジスタで制御することで、変換処理を実現している。

主走査・副走査とも、画像により、拡大処理時は単純繰返しによる方法と隣接画素との平均値を内挿画素とする方法を、また同様に、縮小時は単純間引きによる方法と隣接画素の平均を縮小画素とする方法を選択可能である。

(6) γ 補正

テーブル(6ビット×64)を初期設定時にダウンロードする方式である。また、像域分離結果を使用することにより、 γ 補正の特性を変化させることができる。

(7) 組織的ディザ

誤差拡散処理時にも使用するが、単独でも使用することが

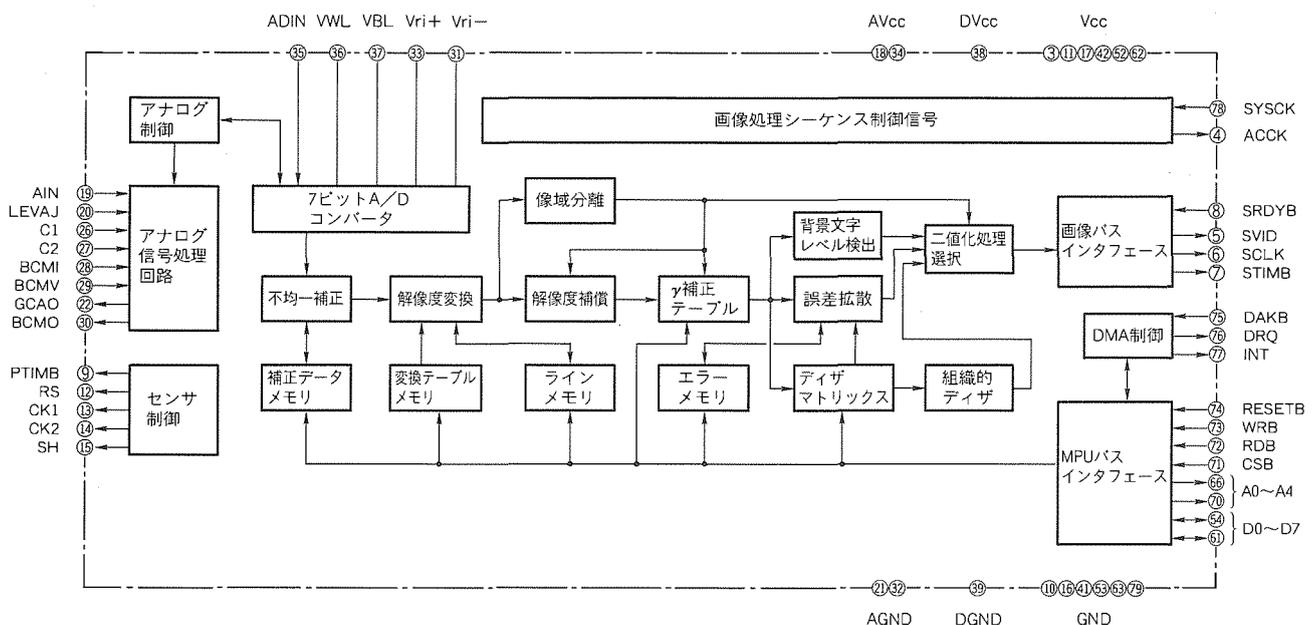
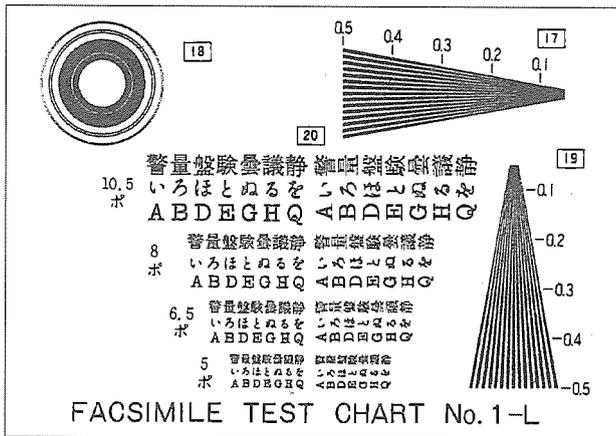


図3. デジタル回路ブロック図



(a) 写真画像



(b) 文字画像

図 4. 出力画像

できる。γ補正と同様にテーブル (最大 6 ビット×64) を初期設定時にダウンロードする方式である。

(8) 単純二値化

背景・文字レベル検出によるフローティングスライス方式を採用した。この方式により、常に注目画素に対して背景・文字レベルを検出し、最適なスライスレベルを発生させる。

これによって原稿濃度の細線を再現することが可能である。

(9) 領域指定

各種の出力機器に対応するため、画像の切出しが任意サイズで可能である。

(10) 多値データ出力

スキャナ機能との複合化に対応するために、多値出力機能を追加した。不均一補正後の画像データ (6 ビット) が CPU バスを経由して出力できる。

(11) 読取り解像度

現在のパーソナル機の主流はセンサ読取り解像度が 200 dpi であるが、将来の高画質化に備えて 400 dpi 化にも対応している。

4. 出力画像

入力画像として画像電子学会テストチャート No. 1 を用い、M66335FP 用画像評価システムを使用して出力した画像を図 4 に示す。

この画像は、センサとして 400 dpi の CIS 使用し、インクジェットプリンタで出力し、画像処理としては像域分離処理と解像度変換処理 (主走査・副走査とも縮小率として 0.9 倍を指定) 等を行っている。

5. むすび

M66335FP は、G3 ファクシミリ向けの普及機/複合機用 1 チップ画像処理コントローラであり、アナログ回路、7 ビットフラッシュタイプ A/D、画像処理用メモリを内蔵したことを大きな特長としている。これにより、外付け回路なしで、各種画像処理を行うことが可能である。

従来品である M66334FP に比べ、機能・使い勝手の良さの点で向上しつつ、コスト・実装面積で約 50% 減を実現している。

今回開発した画像処理コントローラは、G3 ファクシミリの普及機/複合機の高性能化やコストパフォーマンスの向上に貢献するものと確信する。

最後に、開発に当たり、御指導及び御協力をいただいた関係各位に対し深く謝意を表する。

プログラマブル実時間MPEG2 ビデオエンコーダチップセット

松村哲哉* 石原和哉*
中川伸一* 前田 敦**
瀬川 浩* 味岡佳英*

1. ま え が き

MPEG 2 (Moving Picture Experts Group Phase 2) ⁽¹⁾の国際標準化作業の完了により、デジタルCATV、デジタル衛星放送、次世代マルチメディアコンピューティングの柱であるビデオサーバシステムなど、様々な応用分野での市場が活性化し始めている。これに伴って、MPEG 2のMP@ML (Main Profile at Main Level) に対応したリアルタイムビデオエンコーダへは、高画質化・低価格化の要求が急速に高まりつつある。

MPEG 2のMP@MLの符号化アルゴリズムは、インタレース構造のビデオ信号の高効率符号化を目的としているため、基本的に画素サイズがMPEG 1⁽²⁾の4倍である。これに加えて、動き予測やDCT (Discrete Cosine Transform) 処理に対してフィールド対応の演算を実施する必要があるため、MPEG 1の十数倍の演算処理量を必要とする。現状のLSI技術では、これらの処理を1チップで実現することは困難であり、最適なチップ分割手法及びメモリ構成が求められる。

近年、幾つかのMPEG符号化LSI又はチップセットが発表されている。これらは画面分割型⁽³⁾と機能分割型^{(4)~(6)}に分類される。しかし、従来の画面分割型のLSIでは、MPE

G 2の高画質・高解像度に対応するためには、符号化LSIとメモリを組み合わせたモジュールを十数組必要とし、低コスト化の実現が困難である。また、従来の機能分割型のLSI又はチップセットは、MPEG 1対応であり、強力な動き予測や適応処理を必要とするMPEG 2のリアルタイムエンコーディングには処理能力が不足するため、実現できない。

今回、MPEG 2のMP@MLの応用を対象とし、必ず(須)の条件である高画質を実現しつつ低コストでビデオエンコーダを構築可能な、機能分割型のチップセットアーキテクチャを開発した。さらに、チップセットアーキテクチャに従って、3種類のLSIの開発を行った。この論文では、チップセットのアーキテクチャ設計、LSI設計開発、及びこれを用いたMPEG 2エンコーダの評価システムについて述べる。

2. チップセットアーキテクチャ

2.1 機能分割方式

図1に、チップセットにおける機能分割方式を示す。以下に示す基本的な概念を基に、MPEG 2のすべてのレイヤにわたり符号化処理機能を分割し、各チップの処理内容を決定した。

(1) 適応処理が主体となるシーケンスレイヤ、GOP (Group

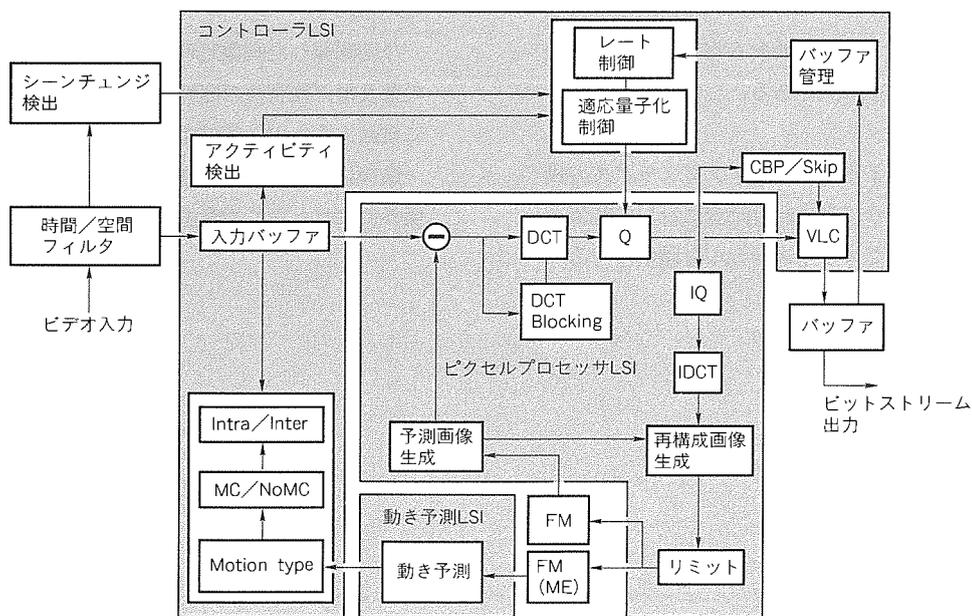


図1. チップセットにおける機能分割方式

of Pictures) レイヤ、ピクチャレイヤ及びスライスレイヤの処理と、演算処理が主体となるマクロブロックレイヤ以下の処理とに分割し、前者の処理はプロセッサを内蔵するデバイスで処理を行わせる。

(2) DCT/IDCT (Inverse DCT), Q (Quantization)/IQ (Inverse Q), 及びランレンクス変換などマクロブロックレベルの処理に対しては、画素演算用デバイスを割り当てる。画素演算用デバイスは、1チップでマクロブロックレイヤの処理を実現させるため、4GOPS (Giga Operation per Second) 以上の性能がある。

(3) 100 GOPSの処理量を必要とする動き予測においては、全探索を実現する専用のハードウェアを搭載したデバイスを割り当てる。高画質を実現するために、原画像ではなく再構成画像をサーチウィンドウデータとして用い、フィールド・フレームの適応動き予測を行う。探索範囲の拡大は、動き予測デバイスをカスケード接続することによって行う。

上記の仕様を実現するために、符号化処理全体を三つのパ

ーティションに分割し、それぞれに対応するLSIの機能及び仕様、そしてシステム構成を決定した。

2.2 システム構成

図2に、この機能分割方式を用い、これを3種類のLSIで構成したMPEG2エンコーダシステムのブロック図を示す。

MPEG2エンコード処理においては、約140Mサンプル/sのデータ転送が必要となる。このシステムでは同期型RAM (SDRAM) を採用し、4画素を一組とする縦方向の画素パッキングによって転送効率を上げた。さらに、データ転送効率を上げるために、32ビットのデータバスを2系統用いるダブルバス構成を採用した。表1に、MPEG2エンコードにおけるデータ転送量と各バス構成での1マクロブロック当たりのメモリアクセスの回数を示す。1マクロブロックに許容されるサイクル数を900サイクルとすると、64ビットバス1系統では、1マクロブロックの許容値である900サイクルを超えるため転送ネックとなる。16ビットバス4系統では、バスの均等な分割が困難であることに加えて、4

系統のアドレスを含む制御回路が必要となる。そこで、32ビットのバスを2系統持つ構成とし、それぞれのバスに、メインフレームメモリとサーチウィンドウメモリを接続した。ピクセルプロセッサLSIで生成される再構成画像は、ピクセルプロセッサLSIが持つ二つの32ビットのデータポートからそれぞれのバスを經由して、二つのフレームメモリに同時に再書き込みする構成とした。

さらに、ピクチャ単位で処理パイプラインをフラッシュし、ピクチャタイプやソース画像の素材を基にピクチャごとに動き予測範囲を動的に切り換えることができる動的探索範囲拡張方式 (Dynamic Search Window Expansion) を採用した。例えば、Pピクチャの予測時には、動き予測エンジンLSIをすべて前方向予測に割り当て、Bピクチャの予測時には、動き予測

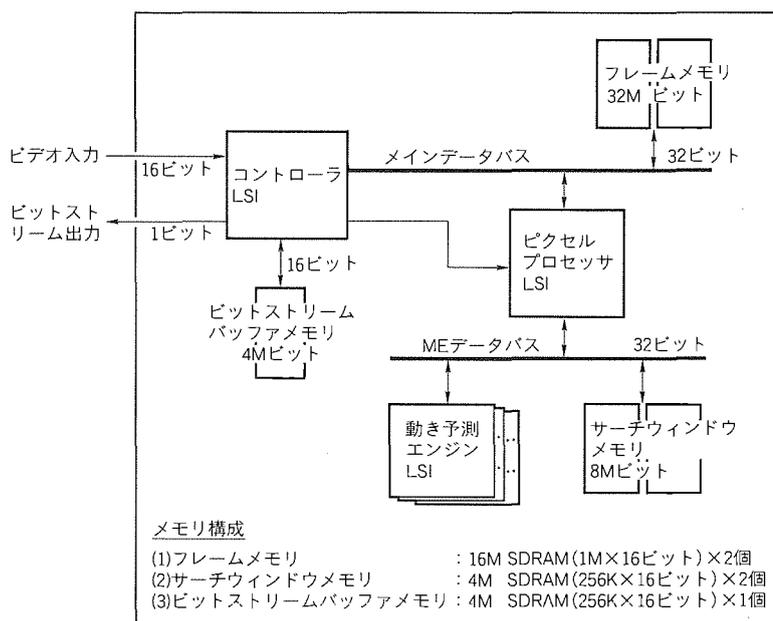


図2. MPEG2エンコーダシステムのブロックダイヤグラム

表1. MPEG2エンコーダにおけるデータ転送量

項目	単位マクロブロック当たりのデータ転送量 (ピクセル)	メインデータバス上の転送サイクル (サイクル)	サーチウィンドウバス上の転送サイクル (サイクル)
原画MB書込み	384	96	—
テンプレートMB読出し (予測用)	256	64	—
テンプレートMB読出し	384	96	—
リファレンス画像読出し	451	544	—
再構成画像書込み	384	96	96
サーチウィンドウデータ転送	1,152	-	768
合計	3,011	896	864

1マクロブロックに許容される転送サイクルは900サイクル(クロック)以下

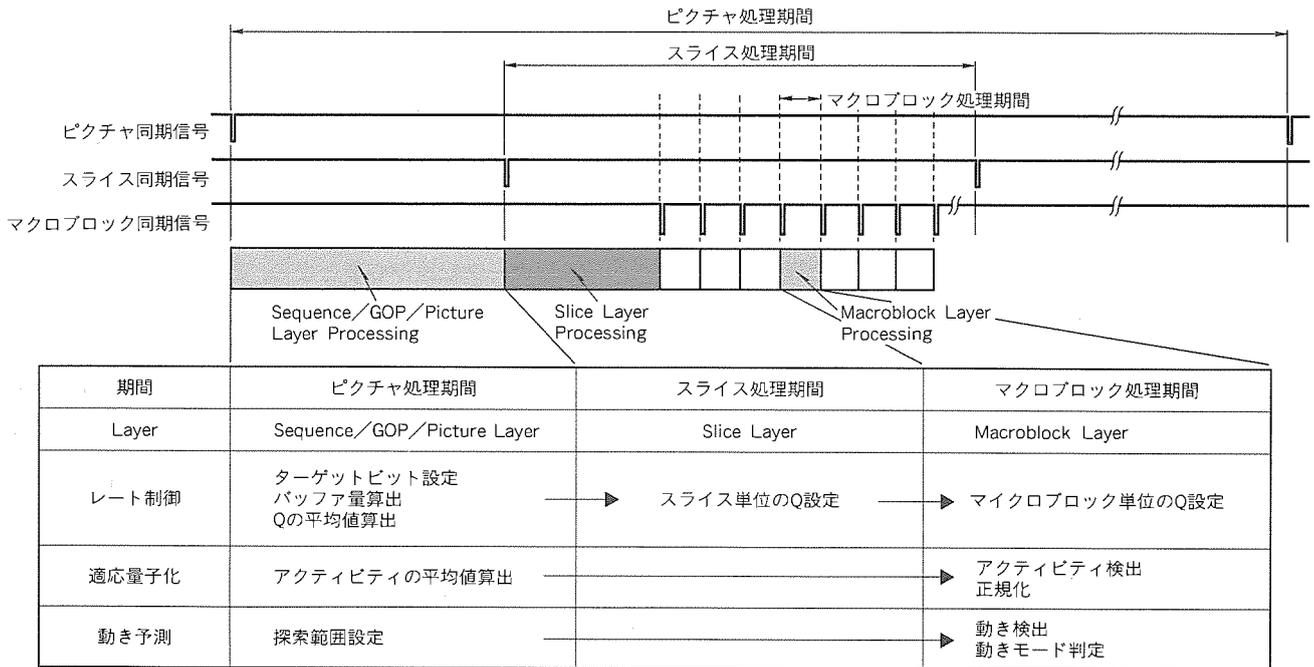


図3. 階層パイプライン方式

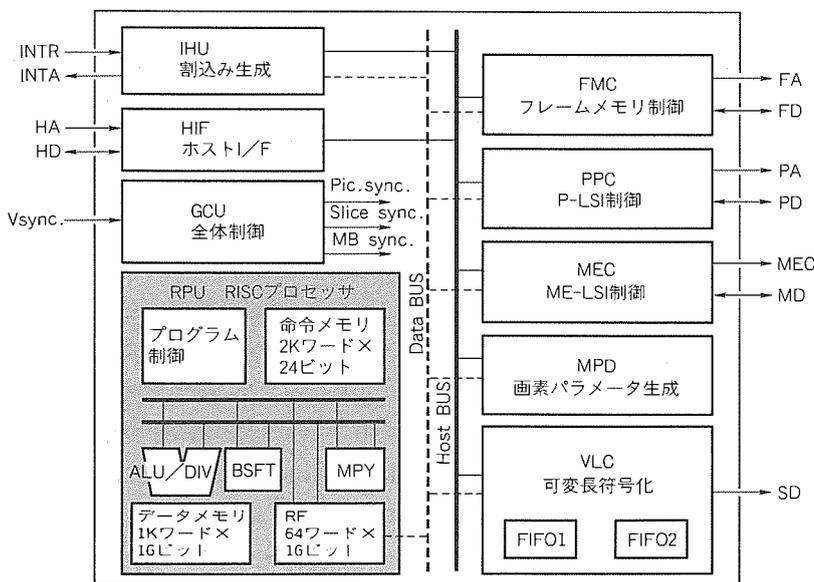


図4. コントローラLSIのブロックダイアグラム

エンジンLSIを前方向予測、後ろ方向予測に2分割して割り当て、これに対応するため動き予測エンジンとサーチウィンドウメモリを制御するものである。この方法により、同一ハードウェアの符号化システムでありながら、よりフレーム距離の遠いPピクチャの予測に対して2倍の水平探索範囲を実現でき、効率の良い符号化が可能である。

2.3 階層パイプライン方式

ピクチャ、スライス及びマクロブロックの各レイヤで処理期間を適応的に管理するために、階層的パイプライン方式を採用した。図3に、階層的パイプライン方式を示す。各レイヤの処理期間は階層的に管理され、コントローラLSIの制

御下にある。すなわち、各レイヤごとに必要な処理量によってレイヤの処理期間をユーザが自由に設定することができる。この方式では、各レイヤにおける適応処理において、任意のレイヤでより多くの処理サイクルを必要とした場合においても、各レイヤの処理期間を調整可能である。したがって、コントローラLSIのRISCによる適応処理に対して、プログラミングの柔軟性を与えることができる。この方式は、特に高画質化にかかわる動き予測方式、レート制御、適応量子化等の実現において有用である。

3. LSI設計

3.1 コントローラLSI

コントローラLSIは、ピクセルプロセッサと動き予測エンジン、及び3系統合計5個のSDRAMを完全に直接制御する(図2)。さら

にシーケンス、ピクチャ、スライス、マクロブロックのすべてのレイヤに対してピクチャシーケンス制御、レート制御、強制処理等の適応処理を随時行い、符号化全体を制御する。

コントローラLSIのブロック図とチップ写真を図4及び図5に示す。

コントローラLSIは、フレームメモリ制御部(FMC)、ピクセルプロセッサ制御部(PPC)、ME制御部(MEC)、3個の外部制御部と、VLC(Variable Length Coding)部、パラメータ演算部(MPD)、16ビットのRISC(RPU)、及びこれらを管理する全体制御部(GCU)で構成される。さらにホストバスとメインプロセッサバスの2系統の独立した

バスを持ち、符号化動作中にホストCPUが内部のハードウェアに自由にアクセスすることを可能にした。

GCUは、符号化シーケンスを実行するための同期信号生成とピクチャシーケンスの制御を担当する。マクロブロック単位の画像データはFMCによってメインフレームメモリに取り込まれて順序変換された後、MECにより、動き予測エ

ンジンに対してサーチウィンドウとともに転送される。ここで処理された動き予測結果を基に、PPCはピクセルプロセッサに予測画像とテンプレートを転送し、ループ内処理を行わせる。VLCは、各レイヤのヘッダの生成とピクセルプロセッサからのランレングスデータのコード生成を行い、シリアルインタフェースを介して最大20Mbpsのビットストリームデータの転送を可能にする。メインプロセッサ部は16ビットのRISCプロセッサで、ALU(16ビット)、MPY(16×16ビット)、BSFT(16ビット)、レジスタファイル(64ワード×16ビット)及びデータメモリ(1Kワード×16ビット)を持っている。命令メモリは2K×24ビットである。さらに、チップ内の各ブロックの約200種のレジスタに1サイクルでアクセスすることができる。これにより、符号化の状態を常にモニタし、かつ、符号化状態によってレジスタに任意の値を設定することができるため、適応的な判断を行える。

3.2 ピクセルプロセッサLSI

ピクセルプロセッサのブロック図とチップ写真を図6及び

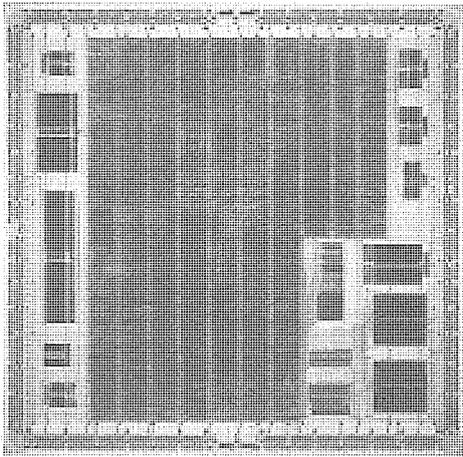


図5. コントローラLSIのチップ写真

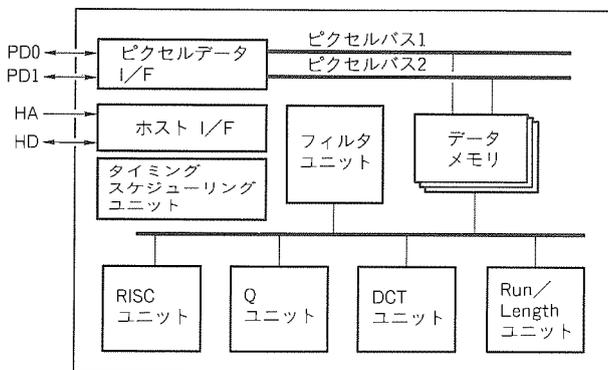


図6. ピクセルプロセッサLSIのブロックダイアグラム

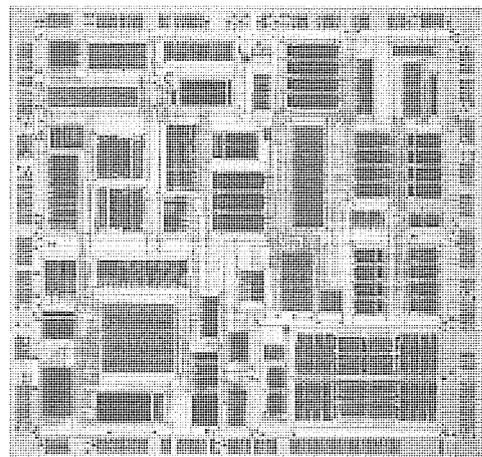


図7. ピクセルプロセッサLSIのチップ写真

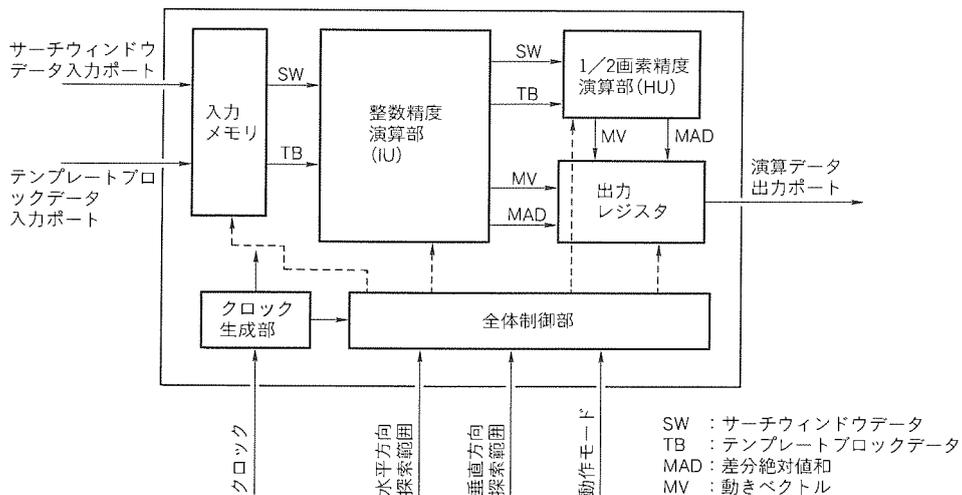


図8. 動き予測エンジンLSIのブロックダイアグラム

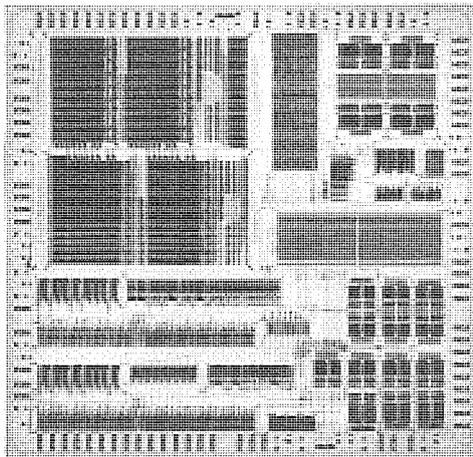


図9. 動き予測エンジンLSIのチップ写真

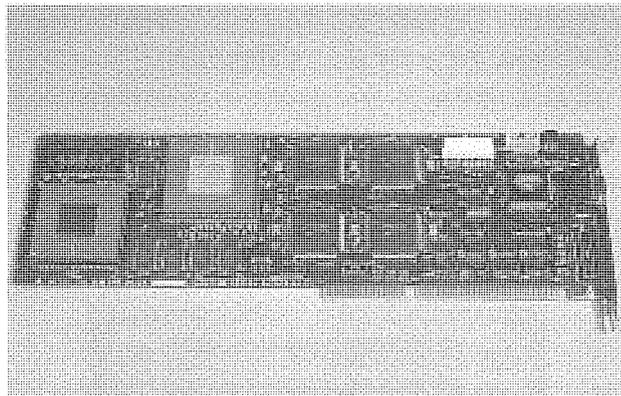


図10. MPEG2ビデオエンコーダボード

表2. チップセットの諸元

項目	コントローラLSI	ピクセルプロセッサLSI	動き予測エンジンLSI
チップサイズ	14.98mm×14.84mm	14.54mm×14.89mm	13.85mm×13.55mm
総トランジスタ数	1,140Kトランジスタ	920Kトランジスタ	850Kトランジスタ
動作周波数	40.5MHz	81MHz(40.5MHz)	40.5MHz
プロセステクノロジー	0.5μm 2A1-CMOS	0.5μm 2A1-CMOS	0.5μm 2A1-CMOS
消費電力	3.0W	3.5W	1.9W
電源電圧	3.3V	3.3V	3.3V
パッケージ	393PGA	257PGA	152プラスチックQFP

表3. エンコーダシステムの諸元

アルゴリズム	MPEG2(MP@ML) MPEG1
解像度	ITU-R-601(720画素×480画素)
フレームレート	最大30フレーム/秒
ビットレート	最大20Mbps
ピクチャ構成	フレーム/フィールド
ピクチャタイプ	I/P/Bピクチャ
動き補償	全探索方式
最大探索範囲	Pピクチャ 水平: ±63.5, 垂直: ±15.5
	Bピクチャ 水平: ±31.5, 垂直: ±15.5
探索精度	整数画素, 1/2画素
動き予測モード	フレーム構成時 フレーム/フィールド予測
	フィールド構成時 フィールド/16×8MV予測
DCT	フレーム/フィールド適応DCT
レート制御	ユーザ独自の制御可能
量子化	適応量子化

図7に示す。ハーフペルフィルタ機能を持つ前後2個の予測画像生成部, DCT演算部, 量子化演算部, ランレングス変換部, シグザグ/オルタネートスキャン変換部, 及びRISCプロセッサからなる。データポートとして, 32ビットのデータポート(ポート0/ポート1)が用意されている。内部の動作周波数は81MHzである。

3.3 動き予測エンジン

動き予測エンジン⁽⁷⁾のブロック図とチップ写真を図8及び図9に示す。このLSIはMPEG2のすべての予測モードをサポートしており, 整数精度及びハーフペル精度の動きベクトルの全探索を3種類同時に実行する。さらに, 複数個用

いることによってサーチウィンドウデータの転送量を増加させることなく探索範囲の拡張を可能とするアーキテクチャを採用した。1チップで, 水平探索範囲±7.5, 垂直探索範囲±15.5の探索が可能である。

表2に, それぞれのLSIの諸元を示す。

4. MPEG2エンコーダ評価システム

4.1 パソコン用符号化ボード

チップセットで実現されるエンコーダシステムの諸元を表3にまとめる。チップセットは4:2:2又は4:2:0フォーマットのビデオを入力とし, 最大20Mbpsでビットストリームを送出する。レート制御はすべてチップセットで実行される。

このチップセットを用いてMP@ML対応のパソコン用符号化ボードを開発した。ボード写真を図10に示す。ボードは40.5MHzのシステムクロックで動作し, ボードの表面にはコントローラLSI, ピクセルプロセッサLSI各1個, 及び動き予測エンジンLSI4個の合計6チップが実装される。さらに裏面に4個の動き予測エンジンLSIの実装が可能であり, 最大構成の10チップを1ボード上に実現できる。これによって最大, 水平探索範囲±63.5, 垂直探索範囲±15.5の探索を実現している。

4.2 MPEG2エンコーダ評価システム

MPEG2エンコーダボードを組み込んだMPEG2評価システムを開発した。図11に, MPEG2評価システムの構成を示す。入力ボードはデジタル/アナログのソース画像を

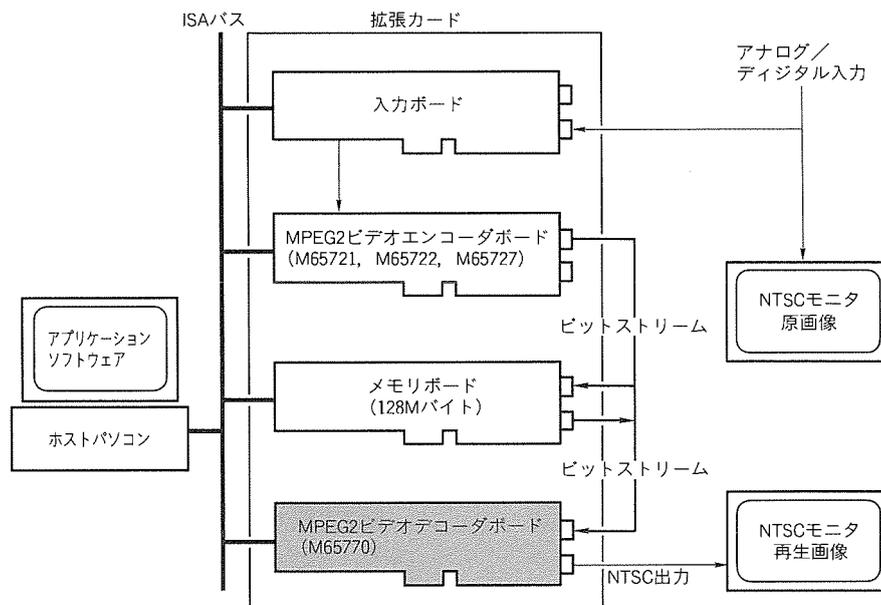


図11. MPEG2評価システム

受け、ブロック単位のデジタル映像をエンコーダボードに転送する。エンコーダボードは、符号化処理を実行し、ローカルポートを介して、ビットストリームをMPEG2デコーダボードに転送する。これにより、実時間での符号化・復号が可能となり、原画像と再生画像を同時にモニタリングすることが可能になった。また、蓄積系の応用に対応するために、大容量のメモリボードにビットストリームを蓄積し、その後バスを介してアップロード可能な構成を実現した。このシステムは、ホストパソコン上でのウィンドウズベースのアプリケーションソフトウェアで動作する。

5. む す び

MPEG2のMP@MLに準拠したリアルタイムエンコーダチップセットのアーキテクチャとそのLSI仕様、及びこれを用いたMPEG2評価システムについて述べた。

このチップセットは、動き予測エンジンLSI、ピクセルプロセッサLSI、及び制御用コントローラLSIの3種類で構成される。この3種類のLSIとSDRAMのみによってMPEG2のMP@MLに完全準拠した低コストで高画質なリアルタイムビデオエンコーダシステムを構築できる。

参 考 文 献

- (1) ISO-IEC/JTC1 SC29, DIS 13818, Part 2, (1994)
- (2) Rao, S. K., Hatamian, M., Uyttendaele, M. T., Narayan, S., O'Neill, J.H., Uvieghara, G. A.: A Real Time P*64/MPEG Video Encoder Chip, ISSCC Digest of Technical Papers, 32~33 (1993)
- (3) Lee, B. W., Kwon, H. S., Kim, B. N., Stii, D., Kopet, T., Mager, S.: Data Flow Processor for Multi-standard Video Codec, Proceedings of CICC, 6.4.1~6.4.4 (1994)
- (4) Tamitani, I., Ohta, M., Ooi, Y., Yoshida, A., Nomura, M., Koyama, H., Nishitani, T.: An Encoder/Decoder Chip Set for MPEG Video Standard, Proceedings of ICAS-SP, V-661~664 (1992)
- (5) Bose, S., Purcell, S., Chiang, T.: A Single Chip Multistandard Video Codec, Proceedings of CICC, 11.4.1~11.4.4 (1993)
- (6) Toyokura, M., Saishi, M., Kurohmaru, S., Yamauchi, K., Imanishi, H., Ougi, T., Watabe, A., Matsumoto, Y., Morishige, T., Kodama, H., Miyagoshi, E., Okamoto, K., Gion, M., Minemaru, T., Ohtani, A., Araki, T., Aono, K., Takeno, H., Akiya, T., Wilson, B.: A Video DSP with Macroblock-level-pipeline and a SIMD Type Vector-pipeline Architecture for MPEG2 CODEC, ISSCC Digest of Technical Papers, 74~75 (1994)
- (7) Ishihara, K., Masuda, S., Hattori, S., Nishikawa, H., Ajioka, Y., Yamada, T., Amishiro, H., Yoshimoto, M.: A Half-pel Precision MPEG2 Motion Estimation Processor with Concurrent Three-vector Search Scheme, ISSCC Digest of Technical Papers, 288~289 (1995)

0.5 μ m BiCMOSゲートアレー

埴淵敏明* 柿沼守男*
早川 康*
須田核太郎**

1. ま え が き

近年、高度情報化社会の進展に向けて、情報処理機器や通信機器の目覚ましい発展が続いている。この原動力となるのがASIC (Application Specific IC) であり、システムの高性能化のため、より一層の高速化・大規模化・低消費電力化が求められている。このASICの中で、バイポーラトランジスタの回路技術とPMOS及びNMOSトランジスタからなるCMOS回路技術を結合したBiCMOS LSIは、バイポーラトランジスタ回路の高速信号処理とCMOS回路の高集積・低消費電力の特長を1チップに集積したLSIとして注目されている。

当社では、BiCMOS LSIの特長を生かして、通信分野の広帯域ISDN (Broadband Integrated Services Digital Network) に対応できる最高動作周波数156MHzのLSI⁽¹⁾⁽²⁾を開発してきた。一方、広帯域ISDNの速度階層であるSDH (Synchronous Digital Hierarchy) は伝送速度156Mbpsをレベル1とし、次のレベルは4倍速になる階層になっている。近年、レベル4である622Mbpsの開発⁽³⁾が行われており、622Mbpsを直接処理するために動作周波数622MHzのLSIが要求されてきた。

今回、この622Mbpsユーザ網インタフェースに対応できるLSIを念頭に置き、高集積でかつ低消費電力化を図った0.5 μ m BiCMOSゲートアレーを開発したのでその概要について述べる。

2. LSI設計

2.1 設計方針

図1に示す通信システム構成例において、インタフェースLSIは、O/E (光/電気) 変換後の高速信号をS/P (直列/並列) 変換して動作速度を落としてから様々な処理を施し、接続している機器にデータを渡している。また逆に、接続機器からのデータを処理してから、P/S (並列/直列) 変換で速度を上げて、E/O (電気/光) 変換用の通信データとして送り出している。

今回開発したゲートアレーは、この構成に見合うように、高速のS/P、P/S部分はECL (Emitter Coupled Logic)、低速の処理部分はCMOSでそれぞれ回路が組めるECL/CMOS混在チップとした。ECL回路は、622MHz処理において安定動作が見込めるとともに、消費電力の面からも、

低振幅であるため、フルスイングのCMOS回路よりも一般的に有利である。またCMOS部分は、高集積性を生かして深い階層の処理まで取り込めるゲート数とし、通信システムの部品点数削減に寄与できることを目指した。

2.2 チップ構成

図2と表1に、それぞれマスタチップの構成と主要諸元を示す。ここで、レベル変換器は、ECL回路とCMOS回路の信号接続をする回路であり、当社0.8 μ m BiCMOSゲートアレー⁽¹⁾のECL入出力回路を基本にしている。

搭載数は、CMOSベーシックセル1,825,152ベーシックセル(608,384ゲート)、BiCMOSセル172セル、ECLベーシックセル3,912ユニット(1,956ゲート)、レベル変換セル94セルである。ここで、内部CMOSセルは0.5 μ m CMOSゲートアレー⁽⁴⁾と同じベーシックセルを使用し、セルライブラリの共有化を図った。

I/Oバッファは622MHzの高速動作ECLバッファを下辺の中心付近に24個配置し、この両側に156MHz動作のECLバッファを30個配置した。残りの辺には、TTL/CMOS/ECLのレベルが選択できるバッファを194個配置した。

3. ゲートアレーの特長

3.1 電源構成

TTL/CMOS信号とECL信号を混在したLSIでは、正負両方の電源が必要であるが、接続方法によって必要プロセスや消費電力が異なる。この比較として図3に2例を示す。図(a)は従来例⁽⁵⁾であり、TTL/CMOS入出力回路だけを正電源で動作させ、残りは負電源を使用する構成である。これはプロセス上の工程追加は必要ないが、すべてのTTL/CMOS入出力信号ごとにレベル変換回路が必要である。図(b)は今回のゲートアレーで採用した構成で、ECLの内部ゲートと入出力回路に負電源を使用し、残りは正電源

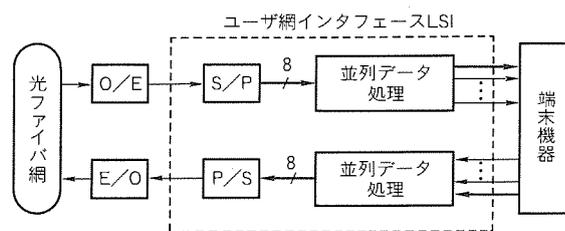


図1. 通信システムの構成例

動作である。CMOS回路を正電源で動作させるには、Pウェルと基板(負電源電位)間を分離するN型拡散層が必要で

ある。この場合、必要とするレベル変換回路は、内部ECL回路の並列側の信号数だけとなる。

表1. BiCMOSゲートアレーの主要諸元

使用プロセス	Pウェル分離型0.5 μ m BiCMOS 3層配線プロセス	
ゲート数	CMOS	608,384ゲート(敷詰め) 200,000ゲート(使用可能)
	ECL	1,956ゲート(敷詰め=使用可能)
I/O数	高速ECL専用	24
	ECL専用	30
	CMOS/TTL/ECL選択	194
チップサイズ	14.9mm \times 14.75mm	
電源電圧	+3.3V/-3.3V	
遅延時間	CMOS	190ps(2NAND, 高駆動力型, 標準負荷)
	ECL	150ps(2NOR, 高駆動力型, 標準負荷)

ECL-CMOSレベル変換回路は、正の電源から負の電源まで定常的に電流を流すことによって動作するため、消費電力が大きい。したがって、この回路数を削減することが低消費電力化につながる。図3の二つの場合について、TTL/CMOS入出力信号に対するレベル変換部のDC消費電力の変化を図4に示す。ここで、内部ECL回路は1:8 S/P及び8:1 P/S回路であるとした。図4からTTL/CMOS入出力信号数が20程度以上なら、図3(b)の構成が有利であることが分かる。一般に、通信用インタフェースLSIのTTL/CMOS入出力信号数は200程度なので、消費電力の差は1Wに達することになる。

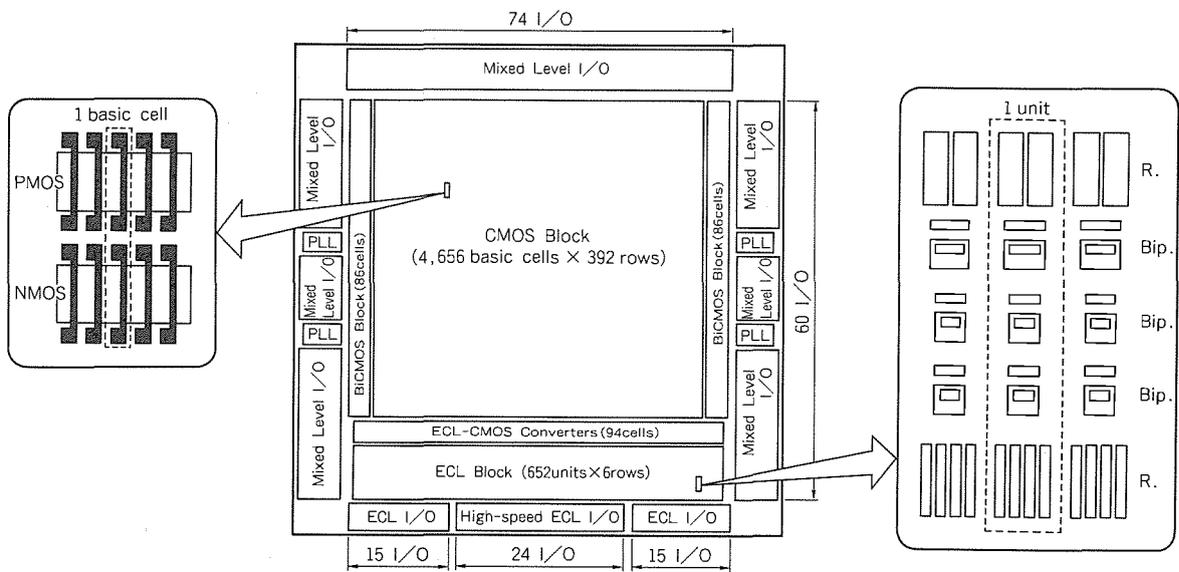
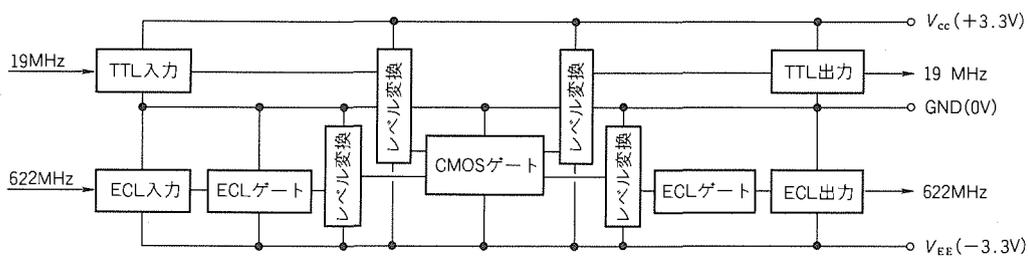
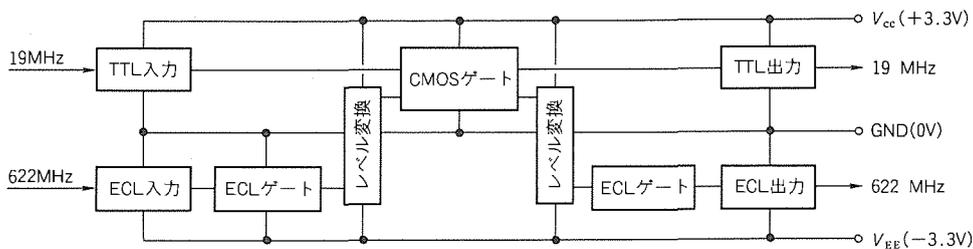


図2. マスタチップの構成



(a) 従来の電源構成



(b) 今回のゲートアレーの電源構成

図3. 正負電源の接続方法

3.2 低消費ECL回路

今回のゲートアレーは、ECL部分が主にS/P、P/S回路であるため、これを構成するフリップフロップ (FF) の低消費電力化を図った。FFの低消費電力化には、シリーズゲート構成が有効であり、このゲートアレーでもこの回路⁽⁶⁾を採用した。このECL回路の電源電圧 (V_{EE}) は、一般的な $-5.2V$ から $-3.3V$ に低電圧化している。この電圧でシリーズゲートを組むため、LCML (Low Level Current Mode Logic) 方式を使用した。これにより、ラッチ、FF、セクタ等を少ない電流パス数で構成できる。図5はLCMLの例で、DFP (Dフリップフロップ) の要素部分 (2mWの消費電力) である。S/P、P/S回路はこのDFPをカスケード接続して構成するため、低消費電力化が可能である。例えば1:8のS/P、8:1のP/S回路は、それぞれ76mW、53mWで構成できる。

3.3 パッケージ

パッケージは、システムボードへの実装性・取扱い性から、419ピンの千鳥ピン配置のセラミックPGA (Pin Grid Array) を新規開発した。この中に622MHz信号を通す必要があり、高速信号用のパッケージ内配線はインピーダンス整合のパターンとした。

3.4 設計用CADシステム

このゲートアレーのCADシステムは、CMOS用のシステムを流用して構築されているが、以下の機能を新しくした。

- (1) これまでのCMOSセルやBiCMOSセルに比べてECLセルは、電源電圧や温度の変動による特性の変化が、立上りと立下りで大きく異なる。したがって、遅延算出精度が悪化することを防ぐために、セルの特性変化を立上りと立下りで区別して遅延値を算出するように改良した。
- (2) このゲートアレーは、これまでと異なり、内部信号としてCMOSレベル信号のほかにECLレベル信号も混在する。異なるレベルの信号接続を防止するため、接続ルールチェックプログラムを新たに開発した。

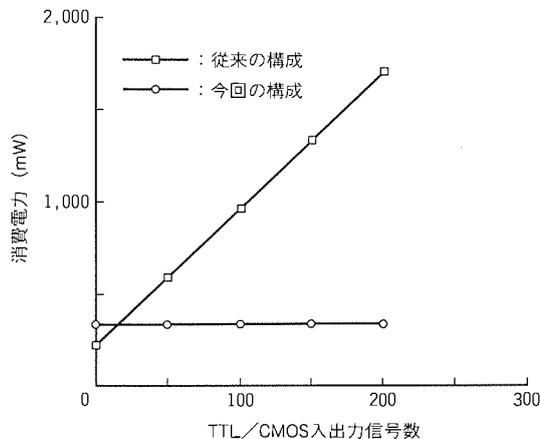


図4. TTL/CMOS入出力信号数とレベル変換部のDC消費電力

(3) このLSIの動作周波数は主に19MHzから622MHzまでにわたるため、これまでの50MHz固定動作を前提とした配線容量エラーチェック方式では、擬似エラーが多発する問題があった。そこで、各セルの動作周波数に応じた配線容量エラーをチェックできるプログラムを導入した。

(4) レイアウト後の配線容量エラーを解消するためには、セルを手で移動し、自動で再配線することが効果的である。この作業を短時間で終わるためには、“もぐらたたき”的な新規エラーの発生を防ぐだけでなく、可能なセル移動のうちで当該エラーの解消により有効なセル移動を見付けることが重要である。このために、移動するセルや伸縮させる信号を容易に決定するためのユーティリティツールを開発した。

4. 製造プロセス

製造プロセスは $0.5\mu\text{m}$ ルールのBiCMOSであり、断面構造を図6に示す。3.1節に述べたPウェルとP基板の電気的分離は、Nウェル及びボトムNウェルによって実現している。

MOSトランジスタのゲート長は、P・N両チャンネルとも $0.5\mu\text{m}$ である。さらに、両チャンネルともホットエレクトロン耐性に優れたゲートオーバーラップLDD構造を採用してお

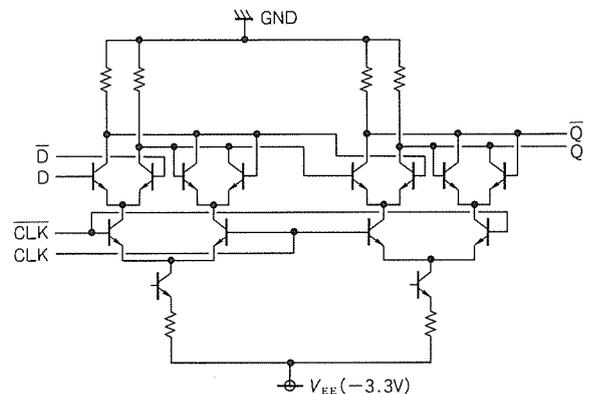


図5. LCML方式のECL DFF回路

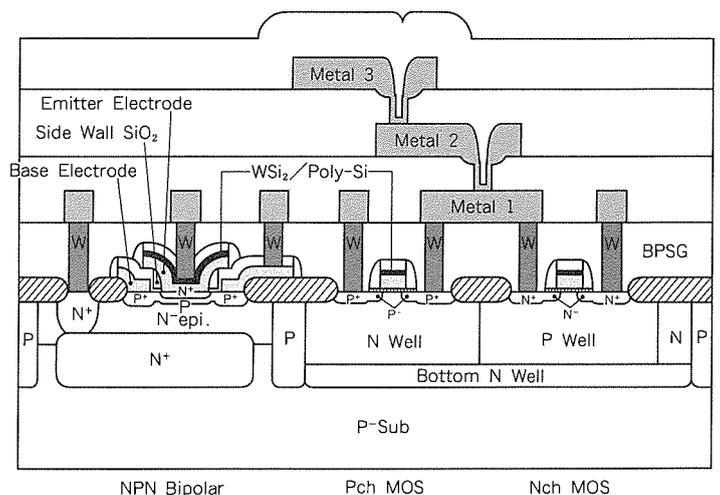


図6. $0.5\mu\text{m}$ BiCMOSプロセスの断面構造

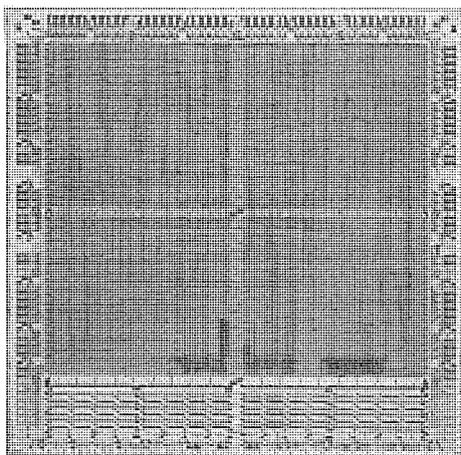


図7. 評価用試作LSIチップ写真

り、当社が開発した $0.5\mu\text{m}$ CMOS ゲートアレー⁽⁴⁾と同等の性能を持っている。

ECL回路の高速動作を実現するために、NPNバイポーラトランジスタには、最小エミッタ幅 $0.5\mu\text{m}$ のDPSA (Double Poly-Si Self-Aligned) 構造を新たに開発した。エミッタ電極とベース電極は、幅 $0.15\mu\text{m}$ のサイドウォール酸化膜によって絶縁されており、相互の位置ずれが生じない。したがって、ベース領域が縮小され、動作速度を規定する要因となる寄生容量を大幅に低減することができた。また、エミッタ電極をMOSトランジスタのタングステンポリサイドゲートと同時に形成することにより、マスク枚数の削減を図った。

配線は3層メタル配線である。各メタル配線は、AlCuとTiN系からなる積層構造を採用することで高い信頼性を確保した。また、1層配線下部の層間絶縁膜には、BPSG (Boro-Phospho Silicate Glass) 膜のリフロー技術を用い、バイポーラトランジスタによって生じる段差を平坦化した。これによって、デザインルール上の制約も大幅に軽減することができた。

5. 主要特性

このゲートアレーの特性を評価するための試作チップを作成した。このチップ写真を図7に示す。このチップの評価において、S/P、P/S回路を構成するECL部分のクリティカルパスの 1.4GHz 動作が確認できた。また、高速ECL出力バッファは振幅の面から 1.1GHz まで動作している。図8に、 622MHz での出力波形を示す。

また、ECL内部ゲート、ECL入出力バッファ及びECL-CMOSレベル変換回路の消費電力は、ほぼ設計値どおりの結果が得られた。

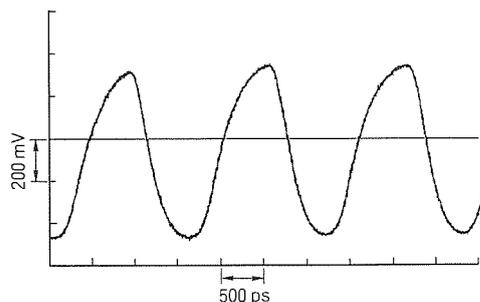


図8. 622MHz 信号のECL出力波形

6. むすび

622Mbps インタフェースに対応できるLSIとしては世界最大級の 600K ゲート規模で、低消費電力化を図った $0.5\mu\text{m}$ BiCMOSゲートアレーを開発した。試作チップの評価から、 622MHz の信号を扱うには十分な性能があることが分かった。実際にこのゲートアレーを使用して、B-ISDN 622Mbps ATM (Asynchronous Transfer Mode) インタフェースのTC (Transmission Convergence) サブレイヤ機能を持つLSIを作成している。

今後は、このゲートアレーを使用して高速・低消費電力LSIの製品展開を図る予定である。

参考文献

- (1) 植田昌弘, 埴淵敏明, 東谷恵市, 川畑英雄, 飛田康夫: 広帯域ISDN対応BiCMOS LSI, 三菱電機技報, **67**, No.3, 274~277 (1993)
- (2) 久保和夫, 東坂範雄, 植田昌弘, 岡田克也, 武内良祐: SDHインタフェース用LSI, 三菱電機技報, **68**, No.6, 573~577 (1994)
- (3) 大久保啓示, 小崎成治, 部谷文伸: 32並列処理による 622Mb/s ATMインタフェース回路の試作, 1995年電子情報通信学会総合大会, B-595, 41 (1995)
- (4) 荒川隆彦, 前野秀史, 東谷恵市, 齊藤健, 加藤周一: $0.5\mu\text{m}$ CMOSゲートアレー, 三菱電機技報, **67**, No.3, 234~237 (1993)
- (5) Denda, A., Yamada, K., Hatano, T., Okamura, H., Aoki, N., Iruka, M., Kusunose, N., Ogawa, H., Saigo, S.: A $270\text{ps}/24,000$ gate BiCMOS Gate Array, Proceedings of 1989 CICC, 8.4.1~8.4.4 (1989)
- (6) Hayakawa, Y., Hanibuchi, T., Sawada, K., Ueda, M., Suda, K., Kato, S.: 0.5Micron Low-power BiCMOS Gate Array for B-ISDN 622Mb/s User-Network Interface, Proceedings of 1994 CICC, 607~610 (1994)

2.5Gbps変調器集積型半導体レーザー

石村栄太郎* 木村達也*
 宮崎泰典* 板垣卓士*
 青柳利隆* 竹見政義*

1. ま え が き

光ファイバを用いた公衆通信網では、国内外とも情報量の増大に備えて、幹線系の高速度(2.5Gbps)が進められている。2.5Gbpsの光伝送は国際標準規格のSDH(Synchronous Digital Hierarchy)や米国の標準規格SONET(Synchronous Optical Network)等で採用されるなど、世界の標準になっている。

現状のほとんどの2.5Gbps光送信器には、半導体レーザーに注入する電流の変化によってレーザー光強度を変調する、いわゆる直接変調方式が採用されている。この場合、半導体レーザーを2.5Gbpsのような高速で変調すると、レーザー光の波長が変動し(波長チャージングと呼ばれる)、これによって伝送距離が制限される。これは、光ファイバ中では波長の相違によって光の伝搬速度が異なるために、光源の波長が変動するとパルス波形の変形・劣化が生じるからである。このために、直接変調方式では100km程度が伝送限界であった。

一方、半導体レーザーを一定強度で発振させておいて、光の透過量を変化させることができる変調器を通すことによって変調を行う外部変調方式では、変調時の波長変動が小さいため、直接変調方式よりも長距離の伝送が可能である⁽¹⁾⁽²⁾。しかし、外部変調方式では、変調器とレーザーとの光結合が難しく、直接変調方式と比較して光送信器の部品数が多くなるなどコスト面でのデメリットがあり、従来は用途が限られていた。このような外部変調方式のデメリットを克服するためには外部変調器と半導体レーザーをワンチップ上に集積することが必要であり、これらのモノリシック集積化に向けた研究・開発が近年活発に行われている^{(3)~(6)}。

電界吸収型変調器と単一波長レーザーを集積した変調器集積

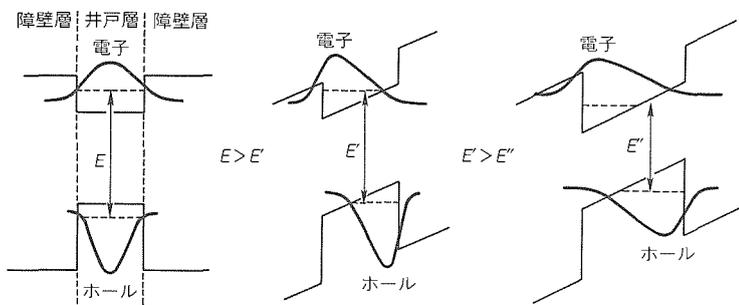


図1. 量子閉じ込めシュタルク効果の模式図

型レーザーにおいて、多重量子井戸吸収層の最適化と変調器-レーザー間領域の高抵抗化を行った。これにより、2.5Gbpsの伝送速度において、従来の直接変調方式と比べて、約4倍の長距離伝送が可能となった。

2. 設 計

2.1 量子井戸構造の検討

半導体変調器において、量子閉じ込めシュタルク効果(Quantum Confined Stark Effect)を用いたものは、低い動作電圧で高い消光比(ON時とOFF時の光透過量の比: Extinction Ratio)が得られるため、高速伝送に適している。量子閉じ込めシュタルク効果とは、多重量子井戸層(Multi Quantum Well)に電界を印加するとエキシトンのエネルギーレベルが変化する現象をいう(図1)。エキシトンのエネルギーレベルが変化すると、エキシトンによる吸収波長が変化(長波長側へシフトする。: 図2)し、その結果、光の透過量が変化する。電界によるエキシトンのエネルギーレベルのシフト量 ΔE は、多重量子井戸構造に依存し、電界が小さい場合は以下の近似式で与えられる⁽⁷⁾。

$$\Delta E \propto - \frac{m^* e^2 F^2 L_z^4}{\hbar^2 / 4\pi^2} \dots \dots \dots (1)$$

ここで、 m^* は正孔又は電子の有効質量、 F は電界、 L_z は量子井戸幅である。式(1)から、エキシトンのエネルギーレベルのシフト量 ΔE は量子井戸幅 L_z の4乗に比例するので、 L_z をできるだけ大きくすることが必要である。

一方、エキシトンの吸収係数 a は、式(2)で示されるように、正孔と電子の波動関数の重なり積分に比例する。

$$a \propto \left| \int \psi_e(z) \psi_h(z) dz \right|^2 \dots \dots \dots (2)$$

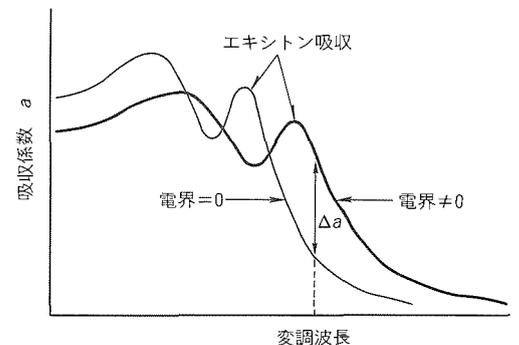


図2. 量子井戸の吸収スペクトル

ここで、 $\psi_e(z)$ と $\psi_h(z)$ は電子と正孔の波動関数である。量子井戸に電界を印加した場合、図1に示すように、正孔と電子は互いに逆方向のバリヤ層へ押し付けられる。このように、電界印加時には正孔と電子の波動関数の重なり積分は小さくなり、エキシトンによる光の吸収が減少する。特に井戸幅 L_z が大きい場合には(図(c))、前記のように ΔE は大きくなるが、重なり積分が小さくなるために、エキシトン吸収が減少してしまう。

また、変調器がOFF時(電界印加時： $F \neq 0$)のエキシトンの吸収波長 λ_{ex} と変調されるレーザー光の波長 λ_{mod} がおお

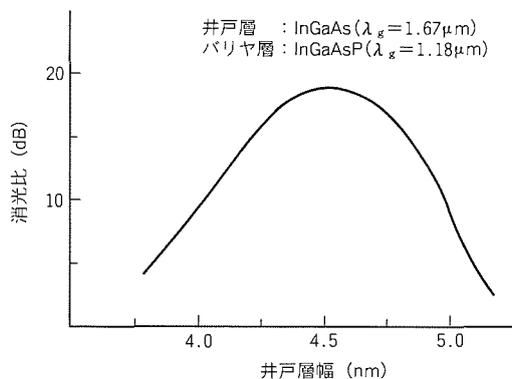


図3. 消光比の井戸層幅依存性

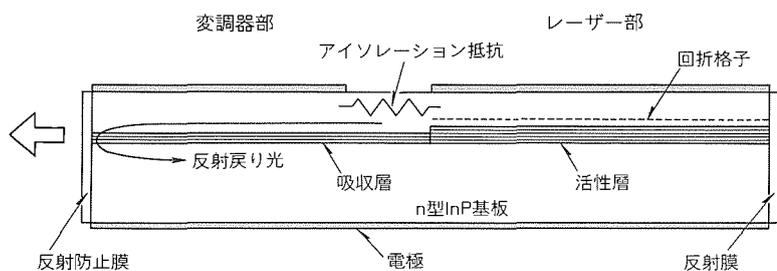


図4. 変調器集積型レーザーの模式断面図

よそ等しく($\lambda_{mod} = \lambda_{ex}$)なるように、変調器のバンドギャップを設定する必要がある(図2)。このように、エキシトンのエネルギーレベルのシフト量 ΔE の観点、電子とホール波動関数の重なり積分の観点と変調される光の波長 λ_{mod} の観点から、最適な井戸幅 L_z が決定される。

例えば、無ひずみのInGaAsとInGaAsP($\lambda_g = 1.18 \mu m$)をそれぞれ井戸層とバリヤ層とする量子井戸の場合について、 $1.55 \mu m$ の波長における消光比を計算した結果を図3に示す。消光比は井戸幅が4.5 nmのときピークの値を示す。この結果から、今回試作した変調器では井戸幅を4.5 nmに設定した。

2.2 変調器-レーザー間分離抵抗の増大

変調器集積型レーザーの模式断面図を図4に示す。変調器をレーザーと集積する場合の課題は、両素子間の光及び電気的干渉をどのように抑えるかにある。光の干渉は、変調器の前端面から反射してレーザーに戻ってくる光の量が、変調器のON/OFFに合わせて増減するために生じる。レーザーへの戻り光が増減すると、レーザー光の波長変動が発生して伝送特性を損なう。変調器端面の反射率を抑えるために、0.5%の反射防止コーティングを施した。

電気的な干渉は、変調器-レーザー間の抵抗の低い層を伝って流れるリーク電流によって生じる。変調器からレーザーへの変調電流の漏れは、戻り光の場合と同様に、レーザー光の波長変動の原因となる。変調器とレーザーを結ぶ抵抗の最も低い層は、n型InP層(ホールトラップ層)である(図5)。変調器に印加された高周波は、p型InP層からこのホールトラップ層へ流れる。この対策として、p型InP層とホールトラップ層の間に半絶縁性InP層を挿入した(図5)。これにより、p型InP層とホールトラップ層間の接合容量が減少し、ホー

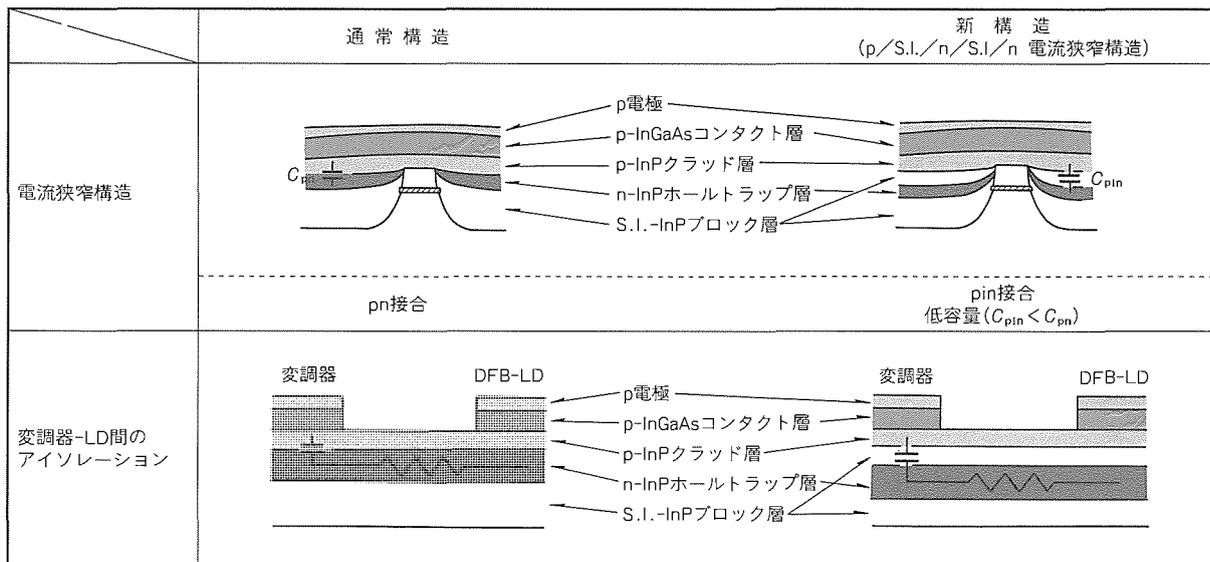


図5. 新電流狭さく(窄)構造による電気的アイソレーション制御

ルトラップ層へ流れ込む高周波電流が減少する。実際に測定したところ、変調器-レーザ間の干渉が5 dB改善されることが分かった(図6)。

3. 素子作製

試作した変調器集積型レーザの構造図を図7に示す。n型InP基板上に、MOCVD (Metal Organic Chemical Vapor Deposition) 法を用いて、SiO₂をマスクとする選択領域成長 (Selective Area Growth) により、バンドギャップの異なるレーザの活性層と変調器の吸収層とを同時に成長させた。

選択領域成長とは、ウェーハ上で成長防止マスク (SiO₂等) を付けた部分近傍での結晶成長速度がマスクから十分離れた場所の成長速度よりも速くなる性質を利用したものである。

この選択領域成長を量子井戸層形成に適用すると、一回の成長でウェーハ面に井戸幅 (バンドギャップ) の異なる領域が形成できる。活性層 (吸収層) は井戸層とバリア層がそれぞれInGaAs ($\lambda_g = 1.67 \mu\text{m}$) と InGaAsP ($\lambda_g = 1.18 \mu\text{m}$) からなり、井戸層数は8、変調器部の井戸幅は選択領域成長によって4 nm, 4.5 nm, 5 nm ($\lambda_g = 1.51 \mu\text{m}$) の3仕様を作製した。レーザ部の井戸幅は7.5 nm ($\lambda_g = 1.55 \mu\text{m}$) になるよう、選択領域成長マスクパターンを設定した。

当社独自の埋込み型回折格子 (Buried Grating) (8) を活

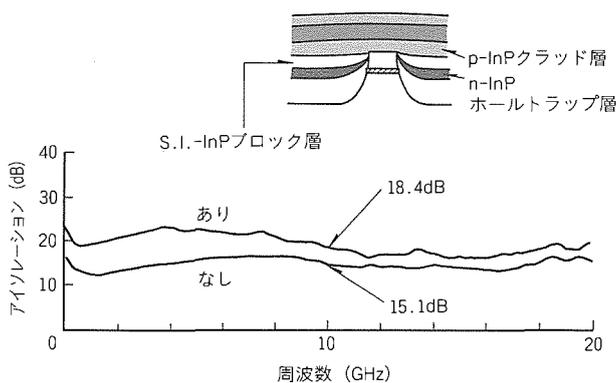


図6. 変調器とレーザ間のアイソレーション

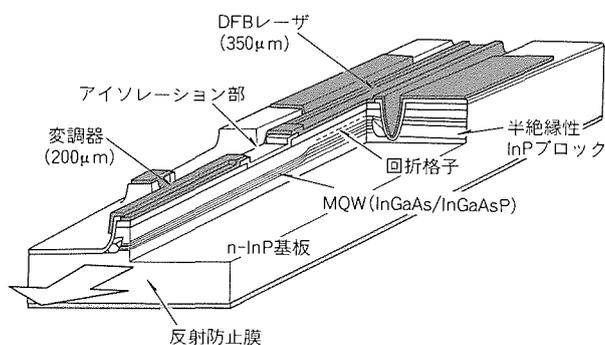


図7. 外部変調器集積型レーザ

性層 (吸収層) の上部全面に形成した後、変調器部とアイソレーション部の回折格子をエッチングによって除去した。回折格子の結合定数 κL は副モード抑圧比が大きくなるよう1.0に設定した。ブロック層は前記のように半絶縁性InP/n-InP/半絶縁性InPからなる3層構造である。コンタクト層 (p-InGaAs) を全面に形成した後、アイソレーション部のみコンタクト層を除去した。

変調器、アイソレーション部、レーザ部の長さはそれぞれ200 μm , 50 μm , 350 μm であり、変調器とレーザ間のアイソレーション抵抗は約3 k Ω である。変調器端面とレーザ端面には、それぞれ0.5%の低反射率コーティングと90%の高反射率コーティングを施した。

4. 評価結果

4.1 静特性

試作した素子の発振波長は1.55 μm 、しきい値は15 mA、5 mW出力時の動作電流は80 mA (変調器のバイアス電圧: $V_{\text{mod}} = 0 \text{ V}$) であった。図8に示すように、変調器の消光比として、-2.5 Vバイアス時で15 dBが得られ、一般に必要なとされる13 dBを満たした。変調器のみを分割して両面を低反射コーティングした後、波長可変光源を用いて消光比 (at

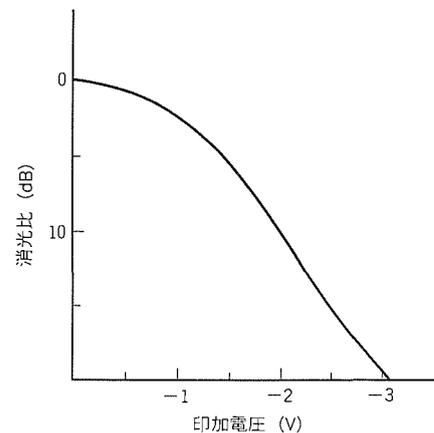


図8. 消光特性

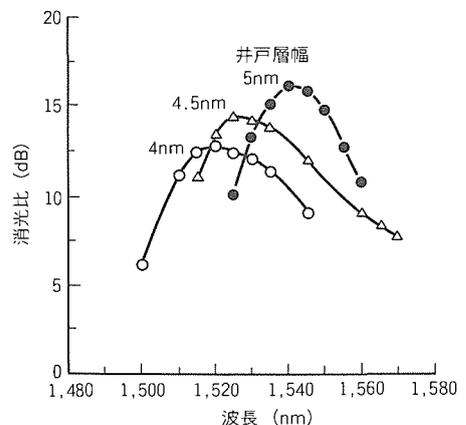


図9. 消光比の井戸層幅依存性

$V_{mod} = -2\text{ V}$ の波長依存性を調べた結果を図9に示す。井戸幅をパラメータとしてプロットとすると、図のように消光比がピークとなる波長は井戸幅に依存することが分かる。設計値(井戸幅=4.5 nm)にはほぼ一致する5 nmの井戸幅のとき、1,540 nmの波長で消光比がピークになった。

4.2 動特性

この素子の周波数応答は、図10に示すように、広帯域(遮断周波数=7~8 GHz)で2.5 Gbpsの伝送に十分な特性である。遮断周波数は、CR時定数から求められる値(=8 GHz)にはほぼ一致する。2.5 Gbps変調時の波長スペクトルを図11に示す。2.5 Gbps変調時にも単色性は確保されており、副モード抑圧比は40 dB以上が得られている。

変調時に変調器からレーザへ高周波電流が漏れるとレーザが変調を受け、波長変動が生じる。この変調器集積型レーザでは、前記のように3層構造(2.2節参照)の半絶縁性InPブロック層を使用しているため、変調器とレーザ間の高周波での干渉は少なく、変調時の波長変動量は20 pmと非常に小さい値であった。この値は、半導体レーザを直接変調する場合の数十分の1の値である。変調器の波長変動の度合いを示す指標として α パラメータが用いられ、 α が大きいくほど伝送可能な距離が短くなる。波長変動量から見積もられる α パラメータは0.2より小さく、伝送特性シミュレーションで

は400 km伝送後も最小受信感度の劣化(パワーペナルティ)がほとんど生じないと考えられる(図12)。したがって、従来の半導体レーザ直接変調方式と比較して、約4倍の長距離伝送が可能である。

2.5 Gbps変調時のアイパターンを図13に示す。立上り時間と立下り時間はともに50 psであった。図14に伝送試験結果を示す。170 km伝送後(PRBS $2^{23}-1$)の最小受信感度の劣化量は0.4 dBであった。

5. 信頼性試験結果

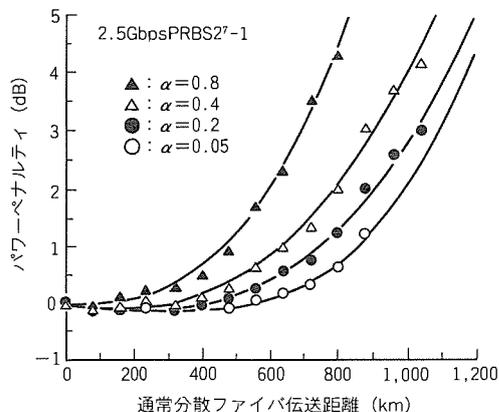


図12. 2.5Gbps伝送特性シミュレーション

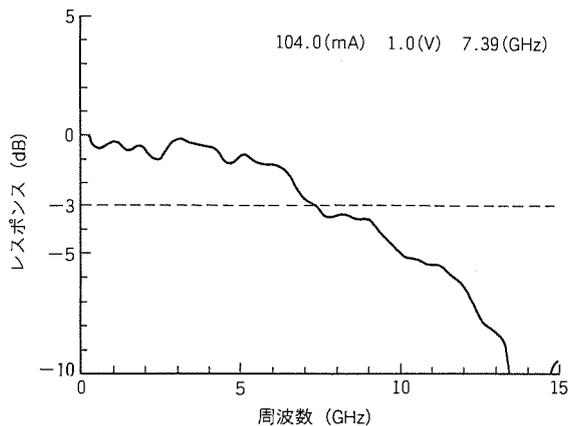


図10. 周波数応答特性

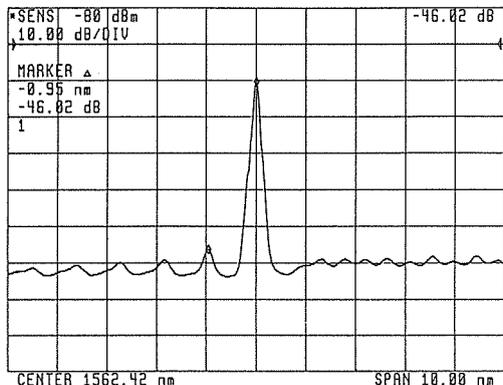


図11. 変調時のスペクトル

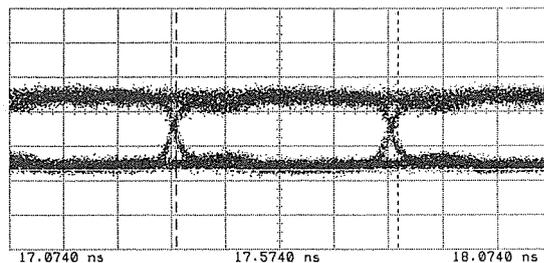


図13. 2.5Gbpsでのアイパターン

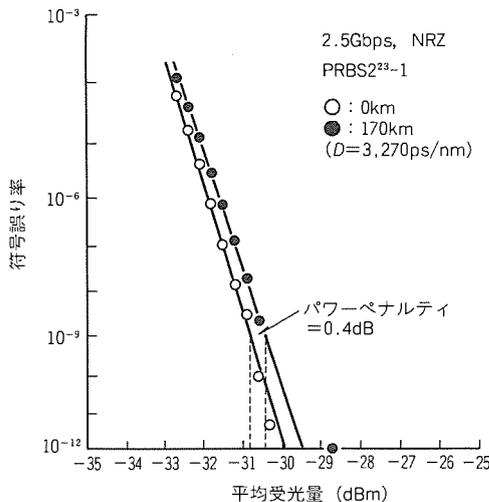


図14. 伝送試験結果(2.5Gbps, 170km)

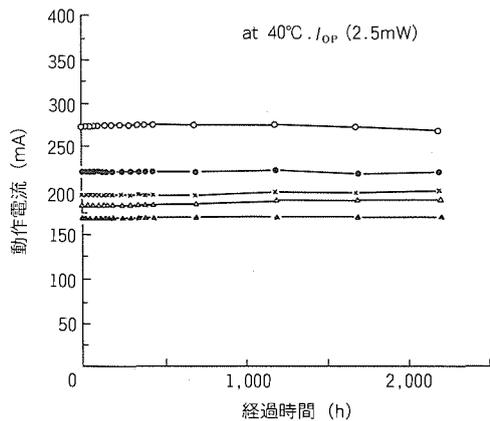


図15. 寿命試験結果

図15に、試験温度40°Cでの信頼性試験結果を示す。変調器バイアスが0V時に前端面出力光が2.5mWになるように定出力通電を行った。後面から出る光で出力モニタを行い、変調器には常に1Vのバイアスを印加した。2,300時間経過後、動作電流、消光比ともに変化が認められなかった。

6. むすび

幹線系光ファイバシステムの光源として、2.5Gbpsの長距離伝送が可能な外部変調器集積型レーザを開発した。

このレーザでは、多重量子井戸光吸収層の最適化と、変調器とレーザ間の分離抵抗の高抵抗化により、伝送距離を制限する変調時の波長変動量を20pmにまで抑制することができた。この波長変動量から見積ると、従来の半導体レーザ直接変調方式の4倍に相当する400km以上の伝送が可能である。

参考文献

(1) Mitomi, O., Nojima, S., Kotaka, I., Wakita, K., Kawano, K., Naganuma, M.: Chirping Characteristic and Frequency Response of MQW Optical Intensity Modulator, *J. Light-wave Technol.*, **10**, No.1, 71~76 (1992)

(2) Yamada, K., Murai, H., Nakamura, K.,

Satoh, H., Ozeki, Y., Ogawa, Y.: 10-Gbit/s EA Modulator Module with a Polarization Dependence of less than 0.3dB, *OFC'95 Technical Digest TuF4*, 24~25 (1995)

(3) Aoki, M., Sano, H.: High-performance Modulator / Integrated Light Sources grown by an In-plane Band-gap Energy-control Technique, *OFC'95 Technical Digest TuF5*, 25~26 (1995)

(4) 井元康雄, 阪田康隆, 山崎裕幸, 加藤友章, 山口昌幸, 小松啓郎, 北村光弘, 蓮見秀世: 低電圧駆動・高出力DFB-LD/変調器集積化光源, 1995年春季電子情報通信学会, C-347 (1995)

(5) Morito, K., Sahara, R., Sato, K., Kotaki, Y., Soda, H.: High Power Modulator Integrated DFB Laser Incorporating Strain-compensated MQW and Graded SCH Modulator for 10 Gbit/s Transmission, *Electronics Letters*, **31**, No.12, 975~976 (1995)

(6) Johnson, J.E., Morton, P.A., Nguyen, T., Mizuhara, O., Chu, S.N.G., Nykolak, G., Tanbun-EK, T., Tsang, W.T., Fullowan, T. R., Sciortino, P.F., Sergent, A.M., Wecht, K.W., Yadavish, R.D.: 10-Gbit/s Transmission using an Integrated Electroabsorption-Modulator / DFB Laser grown by Selective-area Epitaxy, *OFC'95 Technical Digest TuF2*, 21~22 (1995)

(7) 多田邦雄: 光交換用光デバイス, 光スイッチング技術研究会資料, PST91-31, 13~27 (1991)

(8) Takemoto, A., Sakakibara, Y., Nakajima, Y., Fujiwara, M., Kakimoto, S., Namizaki, H., Susaki, W.: 1.3μm InGaAsP / InP Distributed-feedback p-substrate Partially inverted Buried-heterostructure Laser Diode, *Electronics Lett.*, **23**, No.11, 546~547 (1987)

CATV用DFB-LDの高CNR化

南原成二*
山下光二*
渡辺 斉**

1. ま え が き

CATVの歴史は古く、米国においては1950年ごろから同軸ケーブルを用いたシステムがスタートした。その後、1985年ごろから光ファイバの導入が加速的に進められ、現在は、大半が光ファイバと同軸ケーブルのハイブリッドシステムである。また、システムの光化によって性能・信頼性が向上した。その結果、映像チャンネル数もここ数年の間に20チャンネル→42チャンネル→60チャンネル→77チャンネル→110チャンネルへと増加している。さらに最近では、TV信号を送信するだけでなく、ビデオ、データ、ホームショッピング等のサービスや、音声・情報等の双方向通信機能をこのCATVシステムに付加させる形でマルチメディア化が進められている。

多チャンネルのTV映像信号伝送用光源としては、DFB-LD (Distributed Feedback-Laser Diode) が使用されている。現在のCATVシステム構成では、このDFB-LDの性能がシステム全体の性能を左右する。

本稿では、CATV用光源への要求性能とDFB-LD構造パラメータの関係を明確にし、特に、今回開発した素子の搬送波対雑音比CNR (Carrier to Noise Ratio) を中心に評価結果をまとめ、今後の開発指針について述べる。

2. CATV市場動向

2.1 光・同軸ハイブリッドCATVシステム

図1に、光ファイバ導入によるCATVシステムの変化を示す⁽¹⁾。旧来のシステムでは、テレビ局(ヘッドエンド: HE)から家庭まで長い同軸ケーブルと多数の増幅器をカスケード接続していた。これに対して光・同軸ハイブリッドシステムでは、HEからノードまで光ファイバで伝送した後、ノードで光/電気(O/E)変換し、そこから各家庭までは既設の同軸ケーブルで伝送する。この光・同軸ハイブリッドシステムの特長は以下のとおりである。

- (1) 光ファイバ長距離伝送が可能となり、サービスエリアが拡大
- (2) 増幅器台数減でCNRが改善され、伝送画質が向上
- (3) 増幅器台数減/伝送経路スリム化による信頼性の向上
- (4) メンテナンス頻度が減少できて経済的
- (5) 双方向通信に対応可能

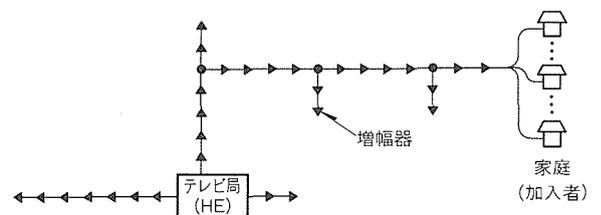
2.2 伝送信号の周波数分配

CATVサービスも多様化しつつある。図2に、CATVシステムの周波数分配推移を示す。まず画像伝送チャンネル数は年々増加し、現在は77チャンネルが主流である。さらに、周波数帯域550~750MHzでは、見たい時に見たいビデオが見られるデジタル画像圧縮技術を用いたVOD (Video on Demand) や、周波数帯域10~50MHzを家庭からの上り回線として用いたデータや音声等の双方向通信の検討が進んでいる。

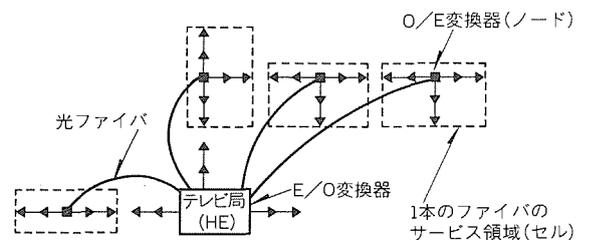
このような光・同軸ハイブリッドCATVシステムでのサービス拡充とともに、光源であるDFB-LDや増幅器に要求される性能はますます厳しくなっている。伝送チャンネル数の増加とともに各チャンネル帯内に落ちるビート数が増えるため、2次相互変調ひずみCSO (Composite Second Order) や3次相互変調ひずみCTB (Composite Triple Beat) は劣化する。また、使用周波数が高くなることによるCSO, CTBのひずみ特性やCNRの雑音特性が劣化する。すなわち、77チャンネル伝送でも20チャンネル伝送時と同一画質を満足させるためには、DFB-LDや増幅器の性能改善が必ず(須)である。

3. CATV用光源に要求される性能

3.1 要求性能



(a) 同軸ケーブルによるCATV映像分配



(b) 光・同軸ハイブリッドによる映像分配

図1. 光ファイバ導入によるCATVシステムの変化

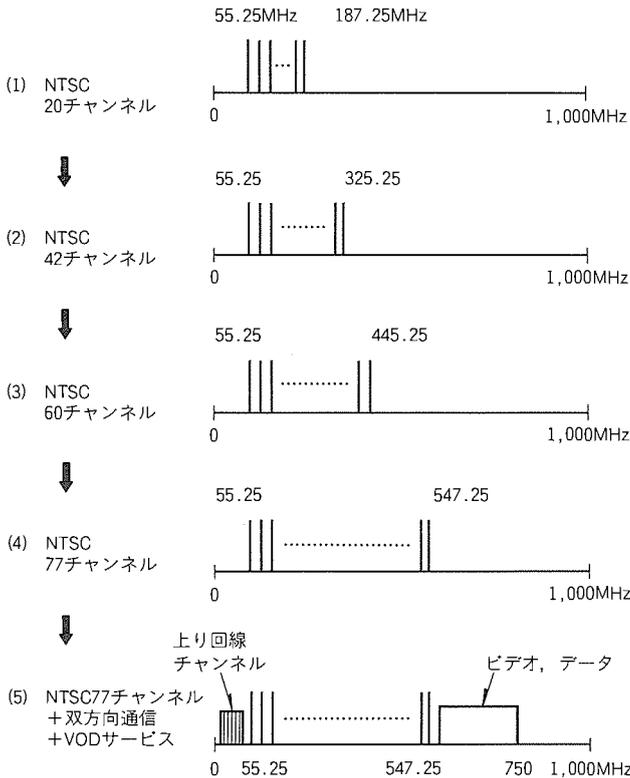


図2. 多チャンネル化と周波数配列推移

表1. CATV用DFB-LDに要求される性能

動作ケース温度 $T_c=25^\circ\text{C}$			
項目	記号	条件	規格値
①しきい値電流	I_{th}	CW	<30mA
②動作電流	I_{op}	CW, $P_o=10\text{mW}$	<60mA
③発振波長	λ_p	CW, $P_o=10\text{mW}$	1,290~1,320nm
④サイドモード抑圧比	SMSR	CW, $P_o=10\text{mW}$	>35dB
⑤水平ビーム半値全角	θ_H	CW, $P_o=10\text{mW}$	<40°
⑥垂直ビーム半値全角	θ_V	CW, $P_o=10\text{mW}$	<45°
⑦搬送波雑音比	CNR	77チャンネル伝送	55dB
⑧2次相互変調ひずみ	CSO	NTSC55.25~	<-60dBc
⑨3次相互変調ひずみ	CTB	547.25MHz	<-65dBc
⑩スロープ効率	η	CNR, CSO, CTB が規格を満足する 光出力	>0.35mW/mA

表2. 各パラメータの関係式

$\text{CNR} = \frac{1/2(m \cdot R_s \cdot P_{in})^2}{\{RIN \cdot P_s^2 \cdot P_{in}^2 + 2q(R_s \cdot P_{in} + I_d) + 4KT \cdot F/R_1\} B}$	(1)
$\propto 20 \log m$	(2)
$P_{in} = P_o \cdot \eta_t \cdot 10^{-L_B/10}$	(3)
$\text{CSO} \propto 20 \log m$	(4)
$\text{CTB} \propto 40 \log m$	(5)
m : 1チャンネル当たりの変調度	I_d : PDの暗電流
RIN : DFB-LDの相対強度雑音 (dB/Hz)	K : ホルツマン定数 1.38×10^{-23} (J/K)
P_{in} : 光信号受光PDの受光光出力 (W)	T : 周囲温度 (K)
R_s : PDの受光感度 (A/W)	R_1 : PDの負荷抵抗 (Ω)
B : 1チャンネル当たりの映像帯域幅 4MHz	F : 受信機増幅器の雑音指数
q : 電荷素量 1.6×10^{-19} (C)	L_B : 光損失許容量 (dB)
P_o : レーザの光出力 (W)	η_t : ファイバとの結合効率

CATV用光源であるDFB-LDに要求される性能を表1にまとめた。項目①~⑥は、CATV用に限らず一般的に要求される性能である。画質を劣化させることなく映像信号を伝送するためにCATV用光源として重要なパラメータはまず低ひずみ特性であり、2次相互変調ひずみCSOは-60dBc以下、3次相互変調ひずみCTBは-65dBc以下が要求される。

また、光ファイバの伝送距離を延ばしたり分岐させることによる信号強度の低下の対策として、55dB以上の大きなCNRが光源に必要となる。さらに、DFB-LDをドライブする駆動回路の制限から、バイアス電流としきい値電流の差が50mA以下の範囲でこれらの性能を満足しなければならず、必然的に0.40mW/mAレベルの高スロープ効率 η が必要となる。

3.2 CNRと各パラメータ

上述したCATV用光源としての種々のパラメータは、個々に独立したものでなく、互いに密接な関連がある。そこで、これらの関係を十分に把握して開発の指針としなければならない。

表2に、これらのパラメータの重要な関係式を示す。CNRの理論値は式(1)で与えられる。すなわち、CNRは光源であるDFB-LDの特性だけでなく、受光素子であるPD (Photo Diode) 及び増幅器の特性まで関連する。また、式(2)、式(4)、式(5)から分かるように、CNR、CSO、CTBはすべてキャリア当たりの変調度 m の関数である。DFB-LDを駆動する変調電流を大きくすると光信号が大きくなり、その結果、CNRが大きくなる。その反対に変調電流が大きくなると、その変調電流領域での光出力-電流 ($P-I$) 特性の曲がりが大きくなり、CSO、CTBが劣化する。すなわち、CNRとCSO、CTBは変調度 m に対してトレードオフの関係がある。

以上を整理すると、高CNR化のためには、①低ひずみ化による変調度 m の向上、②高スロープ効率/高出力化によるPDの受光光出力 P_{in} 向上、③DFB-

LD自身の低RIN化が検討課題として挙げられる。

4. CATV用DFB素子構造

図3に、今回開発した当社のCATV用DFB-LDの構造を示す。結晶はすべて有機金属気相成長MOCVD (Metal Organic Chemical Vapor Deposition) 法で形成し、FSBH (Facet Selective Growth Buried Heterostructure) 型と呼ぶ当社独自の構造⁽²⁾を採用した。この製法によってリークパス幅と呼ばれる活性層とn型InP電流ブロック層の距離を0.1 μ m程度まで狭く制御でき、その結果、ひずみ発生の要因の一つであるリーク電流⁽³⁾による光出力-電流特性の曲がりを改善できた。また、空間的ホールバーニングによる光出力-電流特性の曲がりを抑えるために埋込み型の回折格子構造を採用し⁽⁴⁾、結合定数 κL は1とした。活性層には多重量子井戸(MQW)構造を採用したことにより、ひずみの発生要因の一つでもある緩和振動周波数⁽⁵⁾も向上

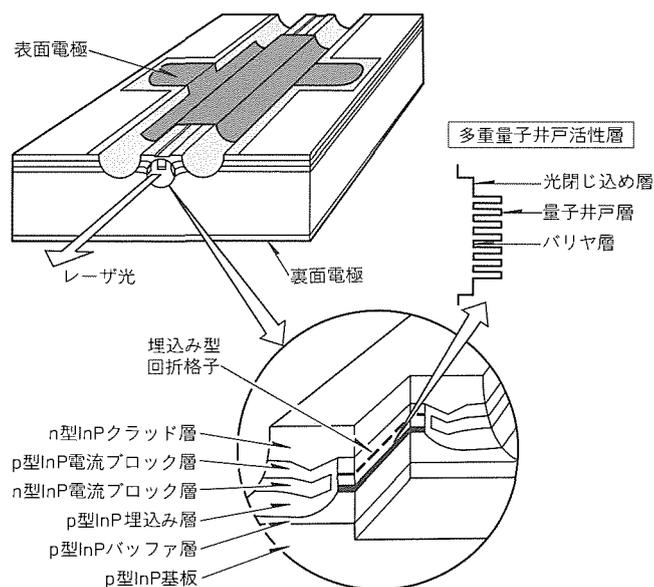


図3. CATV用低ひずみレーザの構造

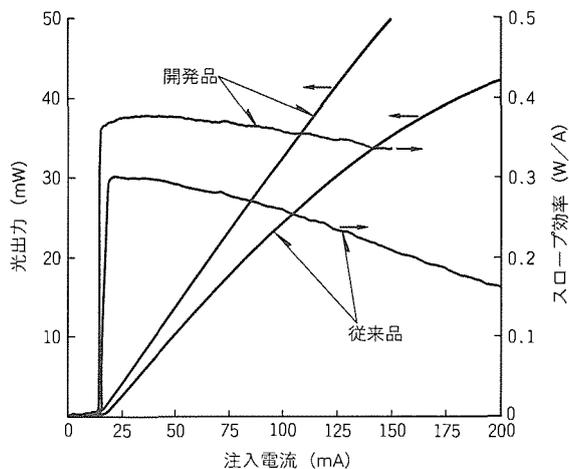


図4. 光出力及びスロープ効率特性

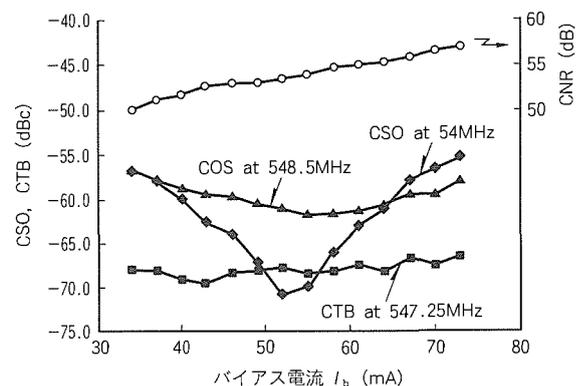
した。しかしながら、開発当初はスロープ効率 η の改善効果⁽¹⁾が小さく、要求仕様を満足できる素子がなかなか得られなかった。

今回は、高スロープ効率化を目的として、多重量子井戸活性層の井戸数、層厚及び共振器長等のチップ構造パラメータの最適化を実施し、光の吸収損失を大幅に低減した。図4に、今回開発したDFB-LDの光出力及びスロープ効率-電流特性例を示す。FSBH構造採用により、リーク電流が低減されたことを反映して、光出力-電流特性の直線性が良くなり、高出力領域までスロープ効率の変化量が小さい。また、スロープ効率中心のチップ構造パラメータの最適化により、従来のバルク型活性層の0.25mW/mAから0.40mW/mAへと約50%の大幅な改善ができた。

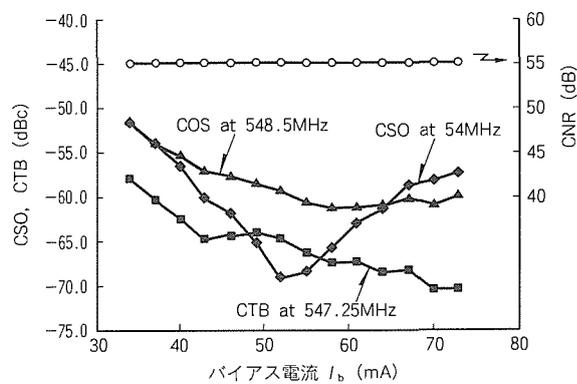
5. 素子特性

5.1 素子評価結果(CSO, CTB, CNR)

図5(a)に、前章で述べた製法で作成したDFB-LDを77チャンネルのCATVサブキャリアで直接変調したときのCSO, CTB及びCNRのバイアス電流 I_b 依存性例を示す。ここでは、チャンネル当たりの変調度を $m = 3.5\%$ 固定とした。CNRは周知のとおり、バイアス電流 I_b の増加に伴って変調電流も増加するため、単調に大きくなる。一方、



(a) 変調度 $m = 3.5\%$



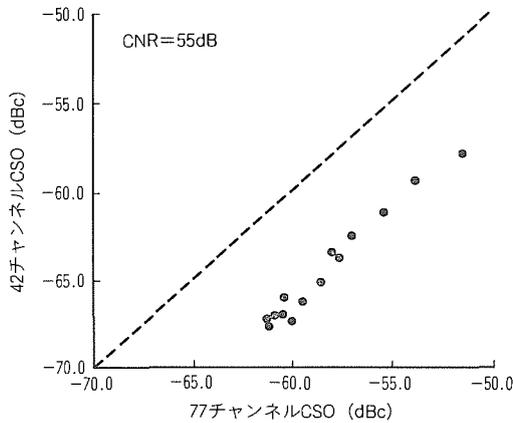
(b) NCR = 55dB換算

図5. 77チャンネルでのCSO, CTB, CNR特性

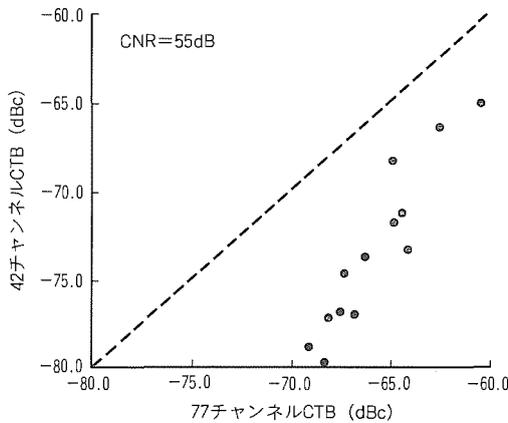
CSOは下に凸の形状を示し、あるバイアス電流で最良値が得られる。CTBのバイアス電流依存性はCSOに比べて小さい。この結果を表2の変調度 m とCSO, CTB, CNRとの関係式を用いて、より実システムに近い条件である $CNR = 55 \text{ dB}$ に換算した結果を図5(b)に示す。バイアス電流が小さい領域では、CNRを55dBにするため変調信号強度すなわち変調度 m を3.5%より大きくする必要があり、その結果、CSO及びCTBは悪化する。反対にバイアス電流が大きい領域では、CSO及びCTBは良くなる。このサンプルの場合は、バイアス電流 $I_b = 55 \sim 65 \text{ mA}$ の範囲で、要求性能 $CNR = 55 \text{ dB}$, $CSO < -60 \text{ dBc}$, $CTB < -65 \text{ dBc}$ を満足する。

図6(a), (b)に、先ほどと同一サンプルを42チャンネル、変調度 $m = 3.5\%$ で評価し、 $CNR = 55 \text{ dB}$ 換算したCSO, CTBと77チャンネル変調時のCSO, CTBの相関を示す。42から77チャンネルに伝送チャンネル数が増すことにより、CSOは約5dB, CTBは約8dB劣化する。これは、チャンネル数が増えても同じ画質を得るには、光源であるDFB-LDにはより厳しい性能が要求されることを意味する。

図7には、同一サンプルで評価したCSO, CTB及び



(a) CSO



(b) CTB

図6. 42チャンネルと77チャンネルのひずみ特性比較

CNRの変調度 m 依存性を示す。測定条件は、77チャンネル変調、バイアス電流 $I_b = 58 \text{ mA}$ である。理論的にはCSOとCNRは $20 \log m$ に、CTBは $40 \log m$ に比例するとされている。しかしながら、この理論値と実測値がフィットするのは変調度 m が4%程度までであり、それ以上の変調度ではいずれも理論値よりも大きく悪化する。これは、77チャンネル信号の変調度4%以上では、全チャンネルの変調電流の実効値がレーザのしきい値電流以下に振り込まれるためである。したがって、この77チャンネル伝送で $CNR > 55 \text{ dB}$, $CSO < -60 \text{ dBc}$ を満足するための変調度 m としては、3~4%の狭い領域でしかないのが実体である。

5.2 高CNR化

このように、レーザを駆動する変調度 m が最大で4%程度までしか使用できないことと、レーザドライブ回路の変調電流制限から、高CNR化には必然的に高スロープ効率化が必要とされる。図8に、バルク型活性層構造の従来品と、今回開発した多重量子井戸型活性層構造を採用したFSBH品の、CNRのバイアス電流 I_b 依存性を示す。測定条件は、77チャンネル変調、変調度 $m = 3.5\%$ である。FSBH品は従来品に比べて約3dBの改善結果が得られた。

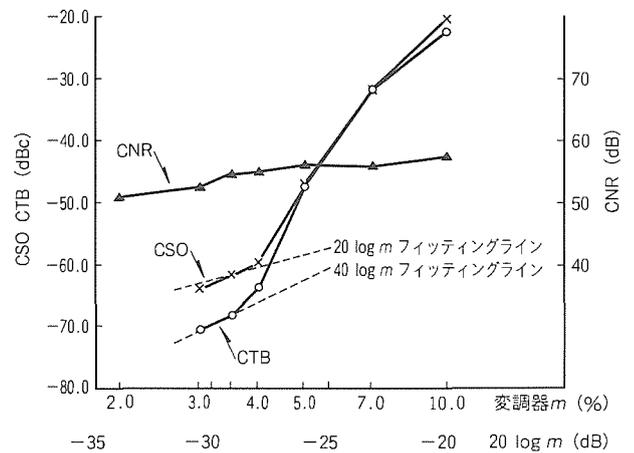


図7. CSO, CTB, CNRの変調度依存性

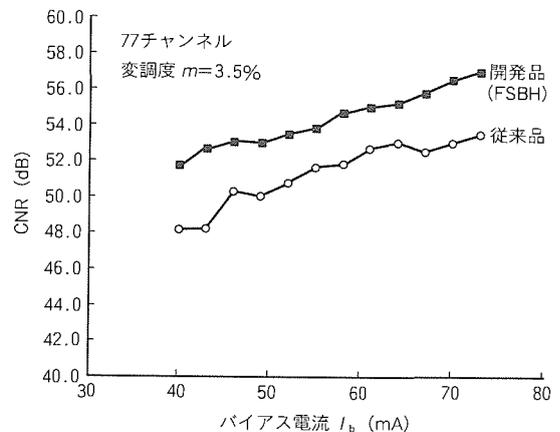


図8. 従来品と開発品のCNR特性

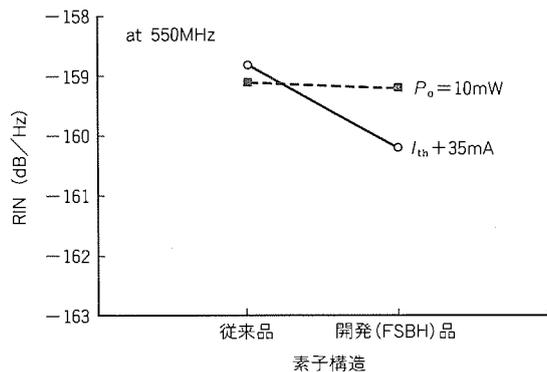


図9. 素子構造によるRIN特性

図9に、CNR改善の一つのパラメータであるレーザ単体の相対雑音強度RIN評価結果を示す。測定は光出力 $P_o = 10\text{mW}$ 及び実使用条件に近いしきい値電流 $I_{th} + 35\text{mA}$ の2条件で行った。測定周波数は、77チャンネル伝送での最も高い周波数の550MHzとした。従来品とFSBH品を比較すると、 $P_o = 10\text{mW}$ の同一光出力では優位差はないが、 $I_{th} + 35\text{mA}$ ではFSBH品で約1dB/Hz程度改善する。これは、FSBH品はスロープ効率が高いため、 $I_{th} + 35\text{mA}$ での光出力が従来品に比べて大きいからである。

今回開発したFSBH品ではRIN改善は特に検討していないが、今後更なる高CNR化のためには、低雑音化を目的としたチップ構造パラメータの設計も必要である。

6. むすび

CATV用光源に要求される性能とその関連性をまとめ、高スロープ効率化を中心にチップ構造パラメータの最適化を進めた。その結果、77チャンネル変調時のCNR = 55dB、

CSO < -60 dBc, CTB < -65 dBcの特性を持つ素子が得られた。ただし、実際に得られた素子の性能は要求性能に対してほとんどマージンがないのが実状であり、今後更なる改善を進めていく予定である。

また、今回はLD素子単体の内容しか述べていないが、実際のCATVシステムでは、伝送路上に存在する光コネクタや長距離光ファイバ自身からの反射戻り光によるひずみや雑音特性の劣化が起きる。今後の素子開発・改善には、これらの影響も考慮する必要がある。

参考文献

- (1) 山下光二, 武本 彰, 八田竜夫, 足立明宏: CATV用低ひずみDFBレーザとそのモジュール, 三菱電機技報, **68**, No.6, 554~558 (1994)
- (2) Ohkura, Y., Kimura, T., Nishimura, T., Mizuguchi, K., Mutotani, T.: Low Threshold FSBH Laser on p-InP Substrate Grown by All-MOCVD, Electron Lett., **28**, 1844~1845 (1992)
- (3) Lin, M.S., Wang, S.J., Dutta, N.K.: Frequency Dependence of Harmonic Distortion in InGaAsP Distributed Feedback Lasers, Technical Digest of OFC'90, 215 (1990)
- (4) 榊原 靖, 柿本昇一, 武本 彰: 光CATV用DFBレーザ, 三菱電機技報, **64**, No.10, 851~855 (1990)
- (5) Darcie, T.E., Tucker, R.S.: Intermodulation and Harmonic Distortion in InGaAsP Lasers, Electron Lett., **21**, No.16, 665~666 (1985)

Dual Gate HEMTを用いた Q帯低雑音可変利得増幅器MMIC

柏 卓夫* 小丸真喜雄*
加藤隆幸* 高木 直**
吉田直人*

1. ま え が き

近年、情報社会が進展し、通信機器に対する需要が高まっている。今後は、各種通信機器もマルチメディアへの対応が要求され、高速大容量化が求められている。このような伝送システムには、通信帯域の広帯域化が必要とされるためマイクロ波帯では対応しきれず、ミリ波の利用が検討されている。1993年に郵政省が、59～64 GHzを開発目標周波数帯に、そのうちの59～60 GHzを実験周波数帯に割り当てるガイドラインを示した。このような状況下で、ミリ波回路に関する研究は、近年のヘテロデバイスの高性能化とあいまって、盛んに行われている。

ミリ波帯は大容量通信には魅力的な周波数ではあるが、その波長が1 cm以下と短く、波長の大きさに対して素子の大きさが無視できないため、高精度の組立加工が要求される。このためには、回路素子の半導体技術によるモノリシック化が有効である。

MMIC (Monolithic Microwave IC) は、従来のHMIC (Hybrid Microwave IC) に比べてワイヤなどによる接続部分を少なくでき、かつ半導体回路との接続に起因する寄生リアクタンスの影響を少なくできる。このため、信頼性及び量産性が高いという利点がある。

ミリ波帯でのMMIC開発の課題は、高利得・低雑音な特性を持つトランジスタの開発、整合回路の低損失化、トランジスタなどの素子の正確なパラメータの把握などが挙げられる。ミリ波帯で利用されるデバイスでは、GaAs基板やInP基板を用いたHEMT (High Electron Mobility Transistor) がある。

当社ではミリ波帯の素子としてHEMTの開発を進めており、60 GHzにおける最小雑音指数は、GaAs系HEMTでは1.6 dB⁽¹⁾、InP系HEMTでは0.9 dB⁽²⁾と世界トップレベルの性能を達成している。しかし、ミリ波帯において増幅器などを設計する際に必要である雑音パラメータなどの設計パラメータは、直接測定によって求めることが測定系の損失や素子の安定性などの点から難しい。このため、安定にかつ比較的容易に測定できるマイクロ波帯での実測値から計算によって設計パラメータを求めることが有効である⁽³⁾。

一方、マイクロ波帯では、将来の衛星通信における温度補償やレーダシステムにおける出力補正を行うための利得制御に関する研究が行われている。この利得制御には、Dual

Gate構造やカスコード接続型のトランジスタがよく用いられる⁽⁴⁾。しかしながら、ミリ波帯での利得制御に関する研究はまだほとんど行われていない。また、ミリ波帯で低雑音特性を持つ可変利得増幅器の検討例はない。

今回、Single Gate HEMTを用いた超低雑音MMIC増幅器とDual Gate HEMTを用いた可変利得増幅器MMICを開発することにより、Q帯(40～50 GHz)において利得20 dB、雑音指数1.8～2.5 dB、利得制御範囲30 dB以上と良好な特性を持つ可変利得増幅器を実現した。この増幅器の特性は、同帯域で発表されているInP系HEMTを用いた低雑音増幅器と同等の、世界トップレベルの性能である⁽⁵⁾⁽⁶⁾。

本稿では、低雑音HEMTの素子モデリング、Dual Gate HEMTの構造、及びそれらのMMICへの適用例について述べる。

2. Q帯可変利得増幅器の設計

図1に、開発した可変利得増幅器の構成を示す。可変利得増幅器は、低雑音特性と利得制御機能を同時に実現するために、Single Gate HEMTを用いた低雑音増幅器MMICと、Dual Gate HEMTを用いた可変利得増幅器MMICに分けて構成した。

2.1 デバイスマデリングと低雑音増幅器MMICの設計

ミリ波帯においてMMICを設計・試作する場合、設計に用いるSパラメータは、オンウェーハ測定技術の向上によってW帯(75～110 GHz)まで可能になっている⁽⁷⁾。しかしながら、低雑音特性を解析するための雑音パラメータ(最適電源インピーダンスなど)は市販の高精度測定装置を用いてもミリ波帯での実測が困難であり、26 GHzまでが現状の限界となっている。このため、前段に設置する低雑音増幅器MMICの設計には、実測可能なマイクロ波帯のパラメータから計算によってミリ波帯での設計パラメータを求める手法を用いた。

低雑音増幅器MMICの設計に用いた能動素子は、Single

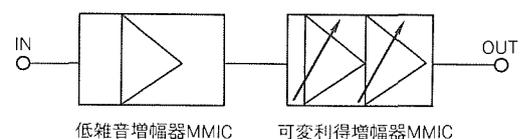


図1. Q帯可変利得増幅器の構成

Gate構造のAlGaAs/InGaAs Pseudomorphic HEMTであり、そのゲート長及びゲート幅はそれぞれ0.15 μ m及び80 μ mである。図2に断面構造図を示す。ミリ波においては、素子の寄生抵抗を低減することが利得特性及び雑音特性の向上に大きく寄与する。このため、ゲートの断面はゲート抵抗を低減するためにT型構造とした。T型ゲートの形成は、電子ビーム (EB) 露光と光学露光を組み合わせた光・EBハイブリッド露光法で行った⁽⁶⁾。図3に、小信号等価回路パラメータ及び雑音パラメータを抽出するフローを示す。

先にも述べたが、ゲート抵抗などのFET (Field Effect Transistor) の寄生パラメータは雑音特性に大きく影響するため、この寄生パラメータを正確に求めることが雑音モデリングを行う上で重要である。寄生パラメータを正確に求めるため、小信号等価回路パラメータの抽出はコールドバイアス状態 (ドレイン-ソース間電圧0V) におけるFETのSパラメータを測定し、バイアスに依存しない寄生パラメータを計算によって求めた。次いで、得られたパラメータからなる外部寄生回路を動作点で測定したSパラメータから取り除くことで、真性部のパラメータを計算して求めている。雑音パラメータは、実測可能な周波数 (例えば12GHz) における実測値から相関雑音行列を求め、外部寄生回路の効果を取り

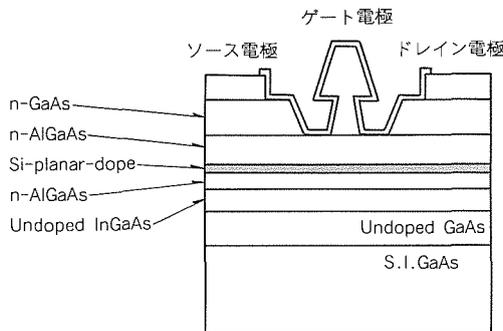


図2. Single Gate HEMTの断面構造

除くことによって真性トランジスタ部での雑音パラメータを求める⁽⁹⁾。

図4に、得られた小信号Sパラメータと実測されたSパラメータの比較を示す。周波数5~50GHzにわたり、実測値と計算値はよく一致しており、雑音特性に影響を与える外部回路を正確に抽出できており、これによって雑音パラメータも正確に求めることができる。また、得られた雑音パラメータの妥当性を評価するために、素子の最小雑音指数の周波数特性を測定した。最小雑音指数は、スカラー量であるため、チューニングによって30GHz以上のミリ波でも精度良く実測することが可能である。図5に、測定結果と計算値を比較して示す。60GHzのミリ波帯においても実測値と計算値はよく一致しており、得られたパラメータの妥当性が評価できた。低雑音増幅器MMICは、1段のシングルエンド型である。先に述べたデバイスモデリングによって得られたパラメータを基に整合回路の設計を行った。整合回路はオープンスタブで構成しており、整合条件は雑音指数と入力VSWRとのト

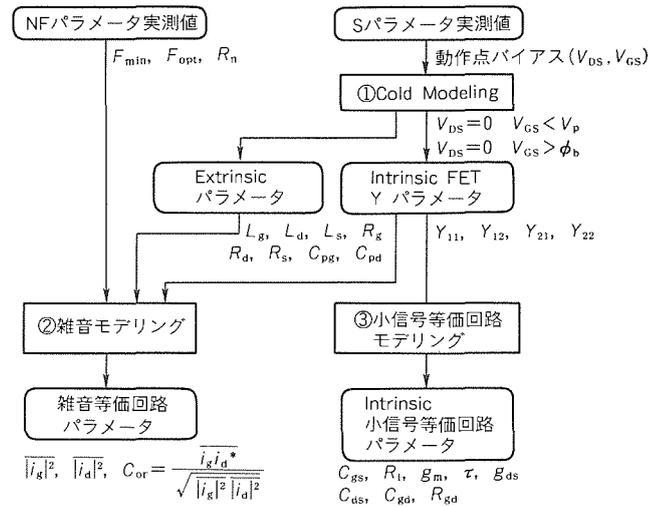
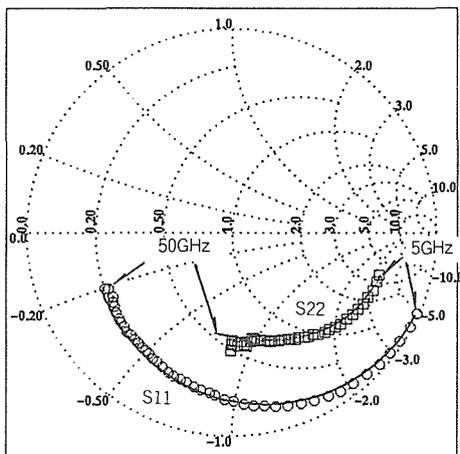
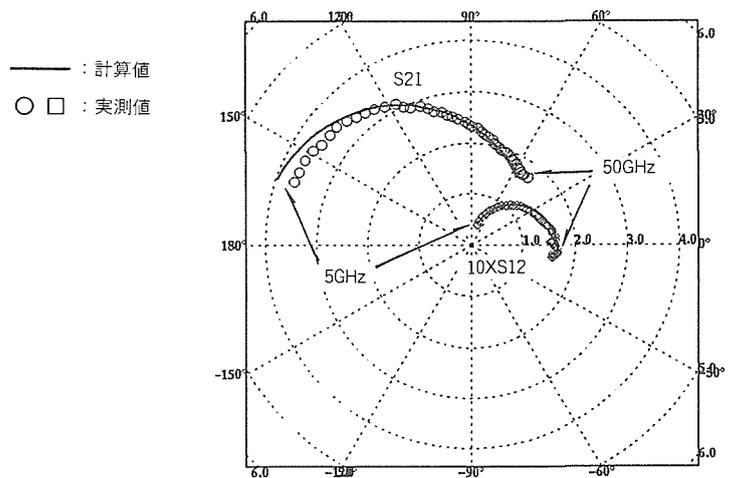


図3. 設計パラメータの抽出フロー



(a) S11とS22



(b) S21とS22

図4. Sパラメータの実測値と計算値の比較 (Single Gate構造)

リードオフで設計している。バイアス回路は、40～50GHzにおいて低損失でかつ整合に影響を与えないように、1/4波長の高インピーダンス線路とラジアルスタブで構成している。また、低周波での安定化のため、抵抗とキャパシタを用いている。回路の接地は、異方性エッチングによって形成した小型バイアホールをHEMT近傍に配置し、寄生インダクタンスを低減するとともに回路レイアウトの自由度を上げている。

2.2 Dual Gate HEMTの構造と可変利得増幅器の設計

Dual Gate, カスコード接続のトランジスタは、利得制御素子などによく用いられる。図6に、Dual Gate HEMTの断面構造図を示す。HEMTのソース側に第1ゲート、ドレイン側に第2ゲートを配置している。HEMTのエピタキシャル構造はシングルゲートと同じであり、同じプロセスフローで同時に形成できる。

図7に、今回試作したDual Gate HEMTの平面パターン図を示す。HEMTのゲート電極配置はT型である。利得制御に用いる第2ゲート電極は第1ゲートの給電点とは反対側から給電されており、くし(櫛)形のゲート電極構造で形成されるDual Gate構造に比べ、給電点付近の寄生容量の影響を受けにくくしている。

Dual Gate構造のトランジスタのMAG (Maximum

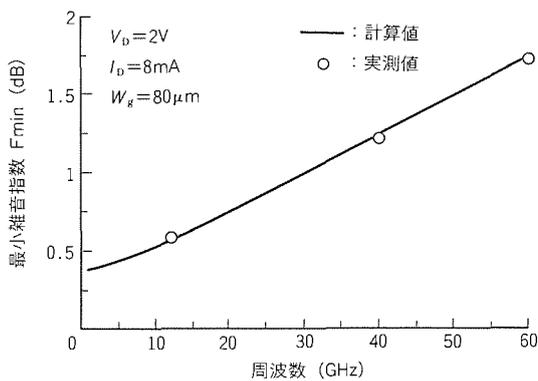


図5. 最小雑音指数の実測値と計算値の比較 (Single Gate構造)

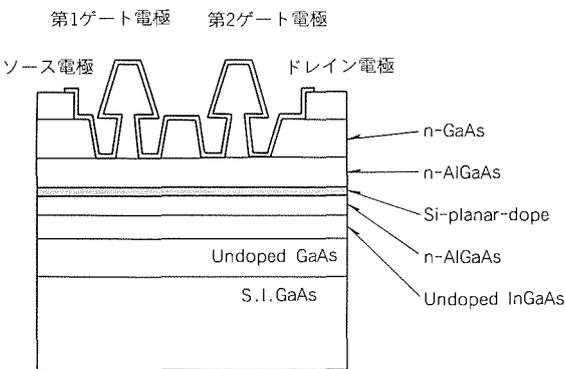


図6. Dual Gate HEMTの断面構造

Available Gain) / MSG (Maximum Stable Gain) と安定係数 K は次式で表される⁽¹⁰⁾。

$$MAG = MSG [1 - (K(\text{dual})^2 - 1)^{1/2}] \dots\dots\dots (1)$$

$$K(\text{dual}) \approx K(\text{single}) + 2(\omega C_{gs2} / g_{m2}) \dots\dots (2)$$

ここで、 $K(\text{dual})$, $K(\text{single})$ はそれぞれ Dual Gate HEMT 及び Single Gate HEMT の安定係数、 C_{gs2} と g_{m2} は Dual Gate HEMT のコモンゲート FET 部のゲート-ソース間の容量及び相互コンダクタンスである。Dual Gate HEMT はアイソレーション特性が良く、MSG 領域で高い利得が得られるが、安定係数 K は Single Gate HEMT より大きいため、比較的低い周波数で MAG 領域に変わる。図8に、Dual Gate HEMT と Single Gate HEMT の MAG/MSG を比較して示す。Dual Gate HEMT の方が低い周波数で MAG になり、約 9 dB/Octave で低下する。しかし、MSG 領域での利得が十分高いため、40

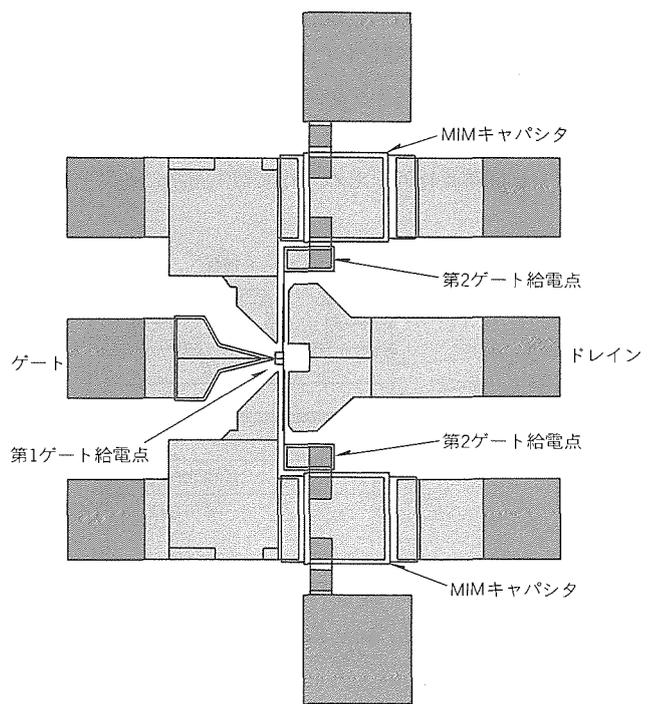


図7. Dual Gate HEMTの平面パターン

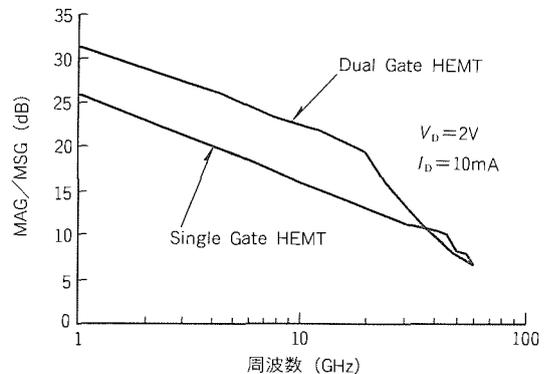
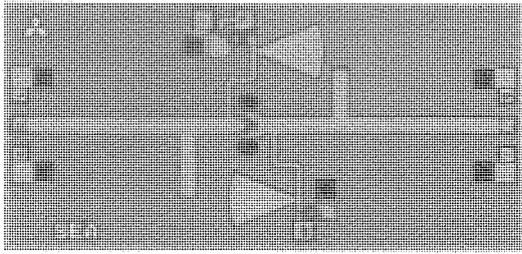
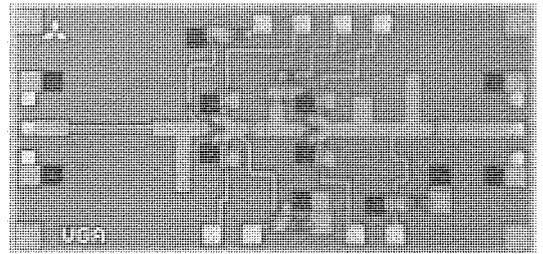


図8. Dual Gate HEMTとSingle Gate HEMTのMAG/MSG特性



(a) 低雑音増幅器MMIC



(b) 可変利得増幅器MMIC

図9. 試作したMMICの外観写真

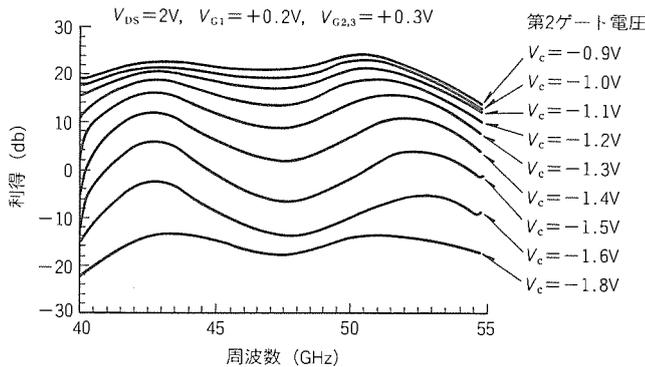


図10. 可変利得増幅器の周波数特性と第2ゲート電圧依存性

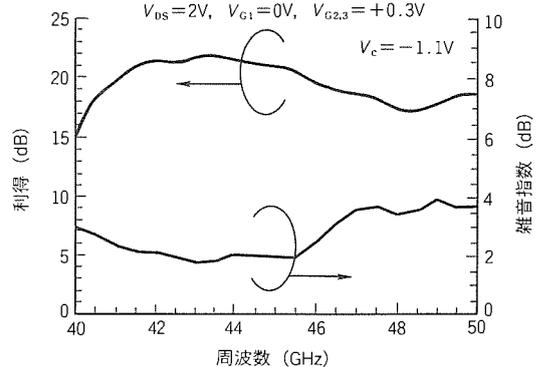


図11. 可変利得増幅器の雑音特性

～50 GHzでも約8～10 dBの利得を持っており、この帯域における可変利得増幅器に用いられるトランジスタとして十分な利得を持っている。

可変利得増幅器 MMICは、2段のシングルエンド型である。使用している HEMTのゲート幅は各段とも $80\mu\text{m}$ である。Dual Gate HEMTの第2ゲートは、MIM (Metal-Insulator-Metal) キャパシタを用いて RF的に接地している。増幅器の段間の整合回路は、回路の小型化を図るため、共役整合である。バイアス回路は、段間のバイアス回路を除き、 $1/4$ 波長の高インピーダンス線路を用いた。増幅器の回路は、容量性のオープンスタブが主体である。このため、整合回路はローパスフィルタの特性を示す。これから、低周波で非常に高い利得を持つ Dual Gate HEMTは、低域側で不要な利得を持つものと考えられる。ここでは、入力側に直流阻止を兼ねて $1/4$ 波長の結合線路を用いて、低周波側でのこの不要な利得を低減した。

3. 試作結果

可変利得増幅器は、低雑音増幅器 MMICを前段に、可変利得増幅器 MMICを後段に配置する構成で、直列にキャリア上に実装して評価した。図9に、各MMICの外観写真を示す。チップサイズはそれぞれ $2.6\text{mm} \times 1.3\text{mm}$ である。

図10に、利得の周波数特性と、その第2ゲートの電圧依存性を示す。41～52 GHzにおいて利得 20 dB以上が得られ、50 GHzにおいて最大利得 24.5 dBが得られた。また、

同帯域における第2ゲート電圧 (V_c) による利得制御量は 30 dB以上であった。

図11に、雑音指数が最も低くなるバイアス条件での雑音及び利得の周波数特性を示す。41～46 GHzにおいて、利得 20 dB以上、雑音指数 2.5 dB以下であった。43 GHzにおいて、最小雑音指数 1.8 dBが得られ、また、そのときの利得は 22 dBであった。

4. むすび

Dual Gate HEMTを用いて、低雑音増幅器 MMICと可変利得増幅器 MMICで構成される Q帯可変利得増幅器を設計し、試作した。低雑音特性を実現するために初段に用いる低雑音増幅器 MMICには雑音モデルを適用し、利得制御を行うために Dual Gate HEMTを開発し、適用した。

試作の結果、43 GHzにおいて、雑音指数 1.8 dB、利得 22 dB、利得制御範囲 30 dB以上と、世界トップレベルの優れた性能が得られた。今後は、この増幅器のミリ波帯フロントエンドへの適用を検討していく。

参考文献

- (1) Katoh, T., Yoshida, N., Minami, H., Kashiwa, T., Orisaka, S.: A 60 GHz-Band Ultra Low Noise Planar-doped HEMT, 1993 IEEE MTT-S Int. Microwave Symposium Digest, 337～340 (1993-6)

- (2) Yoshida, N., Kitano, T., Yamamoto, Y., Katoh, T., Minami, H., Kashiwa, T., Sonoda, T., Takano, H., Ishihara, O.: A Super Low Noise AlInAs/InGaAs HEMT Fabricated by Selective Recess Etching, IEICE Trans. Electron., **E78-C**, No.9, 1279~1285 (1995-9)
- (3) Kashiwa, T., Tanino, N., Minami, H., Katoh, T., Yoshida, N., Itoh, Y., Mitsui, Y., Imatani, T., Mitsui, S.: Design of W-Band Monolithic Low Noise Amplifiers using Accurate HEMT Modeling, IEEE MTT-S Int. Microwave Symposium Digest, 289~292 (1994)
- (4) Eppich, R.D., Heston, D.: A Monolithic Variable Gain Ku-Band LNA, IEEE MTT-S Int. Microwave Symposium Digest, 529~532 (1989-6)
- (5) Lo, D.C., Lay, R., Wang, H., Tan, K. L., Dia, R. M., Streit, D.C., Liu, P., Velebir, J., Allen, B., Berenz, J.: A High-performance Monolithic Q-Band InP-Based HEMT Low Noise Amplifier, IEEE Microwave Guided Wave Lett., **3**, 299~301 (1993-9)
- (6) Isobe, R., Wong, C., Potter, A., Tran, L., Delaney, M., Rhodes, R., Jang, D., Nguyen, L., Le, M.: Q- and V-Band MMIC Chip Set using 0.1 μ m Millimeter-wave Low Noise InP HEMTs, 1995 IEEE MTT-S Int. Microwave Symposium Digest, 1133~1136 (1995-5)
- (7) Katoh, T., Kashiwa, T., Matsubayashi, H., Inoue, A., Itoh, Y., Takagi, T., Ishihara, O.: A Novel CAT System for Millimeter-wave On-wafer Measurement, 25th EuMC Proceeding, 135~139 (1995-9)
- (8) Hosogi, K., Nakano, H., Minami, H., Katoh, T., Nishitani, K., Katsumata, M., Nagahama, K., Otsubo, M.: Photo/EB Hybrid Exposure Process for T-shaped Gate Super Low Noise HEMT, Electronic Letters, **27**, No.22, 2011~2012 (1991-10)
- (9) 谷野憲之, 塚原良洋, 三井康郎: FET雑音等価回路モデリング, 1993年信学秋季全大, C-21, 2-383 (1993)
- (10) Kim, B., Tserng, H. Q., Saunier, P.: GaAs Dual-Gate FET for Operation up to K-Band, IEEE Trans. Microwave Theory Tech., **MTT-32**, No.3, 251~256 (1984-3)



世界最大容量の8kV/3.6kA 光トリガサイリスタ

佐藤克己* 井手和久**
大田賢児* 田口和則**
山元正則*

1. ま え が き

光トリガサイリスタ(以下“LTT”という。)を用いたスイッチング装置は、光信号で直接大容量のパワーを制御できることから、従来のサイリスタに比べて駆動回路と主回路の電氣的絶縁が容易にでき、直列接続した場合の同時点弧が容易にできるなど、装置の高性能化・高信頼度化に有効な特長を持っている。

これらの特長から、LTTは大容量直流送電システムを始めとして、特に高信頼度を要求される交直変換装置に用いられてきた。LTTの容量は、4インチウェーハを用いて耐圧6kV、平均オン電流2kA級のものまでが製品化されており、125kV、300MW級の大容量交直変換装置が実用化されている。近年、更なる大容量、高性能交直変換装置を実現するために、より一層の大容量LTTの実現が望まれていた。

今回、この要求にこたえ得る8kV/3.6kAの低損失LTT“FT 4000 FU-160”を開発したので、その製造技術と構造、電気特性について述べる。

2. 適用技術

LTTは、一般に光信号で点弧する微小サイリスタ(以下“受光部”という。)と、受光部の点弧電流を受けて点弧に至り、主サイリスタが速やかに点弧するのに十分な電流を供給する補助サイリスタと主サイリスタからなる増幅ゲート構造を持つ。LTTは通常のサイリスタの点弧電気信号に比べて1けた以上小さいエネルギーの光信号で点弧しなければならず、点弧感度(P_{LT})とトレードオフ関係のあるオフ電圧上昇率(dv/dt)耐量の改善がLTT開発の課題の一つである。

サイリスタを高耐圧化するためにはウェーハの比抵抗を上げ、かつウェーハを厚くしなければならず、一方、大電流化するためにはウェーハ径を大きくしなければならない。しかしながら、ウェーハの厚みの増加はオン電圧(V_{TM})及び逆回復電荷(Q_{rr})の増加・悪化とオン電流上昇率(di/dt)耐量の低下を、ウェーハ径の増加は Q_{rr} 及び漏れ電流の増加・悪化を招く。これらの特性改善が高耐圧化・大電流化の課題である。

このLTTは、これらの技術課題を解決するため、以下の技術を適用した。

- (1) 6インチ大口径ウェーハの適用
- (2) 新受光部の採用

- (3) 新增幅ゲート構造の採用

- (4) シリコンウェーハとモリブデン等の熱緩衝板をろう付けせずに圧接のみで、電氣的に接触させる非合金化(テアロイ化)

- (5) シリコンウェーハ内のライフタイム分布を制御する局所ライフタイム制御

2.1 大口径ウェーハの適用

8kV/3.6kAの大容量を実現するため、FZシリコン単結晶のウェーハでは、世界最大の6インチウェーハを採用し、イオン注入技術の導入によって大口径ウェーハ面内の不純物濃度分布の均一化を図るとともに、高純度プロセス技術の開発・確立により、200時間以上に及ぶ高温熱処理中に起きるウェーハの汚染を防止し、ライフタイムの改善を図った。

2.2 新受光部の採用

ウェーハ内部に導かれた光信号が光励起電流を発生させ、この電流がゲート電流として作用し、受光部を点弧させるが、点弧に寄与する光電流の主たる発生領域は、点弧時に空乏層を形成している中央接合(J2)部である。従来の受光部構造ではJ2接合がほぼフラットで、耐圧維持のためウェーハ表面から数十 μm の深さに位置し、最大光励起電流部であるウェーハ表面近傍を活用していなかった。これに対し、図1に示す新規に開発した受光部は、イオン注入技術導入によるメリットの一つである選択拡散技術を適用し、ウェーハ表面近傍にJ2接合が位置するよう、J2接合を湾曲させ、光を有効活用できる構造とした。電界緩和のため、部分的に深いP層を設けている。

2.3 新增幅ゲート構造の採用

P_{LT} と dv/dt 耐量のトレードオフ特性を改善するため、

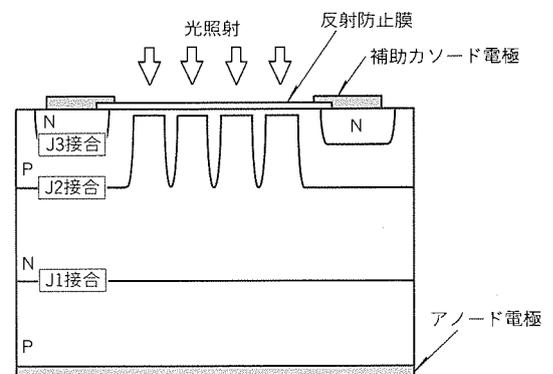


図1. 新受光部の断面構造

カソードですべての補助サイリスタを取り囲み、補助サイリスタに dv/dt 誤点弧防止機能 (エミッタ逆バイアス機能) を持たせた4段増幅ゲート構造を新たに開発した。図2に、ゲート部断面構造模式図を示す。

さらに、 di/dt 耐量を改善するため、主サイリスタ全域が速やかに点弧に至るよう、主サイリスタ領域に主サイリスタ点弧電流を供給する補助サイリスタを複数個点在させた多点ゲート構造を開発した。“エミッタ逆バイアス多点増幅ゲート構造”を採用したLTTのゲート・カソードエミッタパターンの外観を図3に示す。

2.4 デアロイ化

このLTTでは、大口径素子での圧接圧力分布を均一化し、サージ電流通電時の電流集中を緩和するため、シリコンウェーハとモリブデン等の熱緩衝板をろう付けしないデアロイ構造を採用した。図4に、その構造の断面模式図を示す。

2.5 局所ライフタイム制御

LTTの動作時に発生するロス低減手段として、ウェーハ内のキャリアライフタイムを制御して定常ロスと逆回復ロスのトレードオフの最適化を図る技術があるが、従来は、このライフタイムキラーとして、金や白金等の重金属を拡散したり、電子線を照射する技術が一般に用いられてきた。これらのライフタイム制御技術では、シリコンウェーハの厚み方向のライフタイムを部分的に制御することができないため

にウェーハ全体のライフタイムが短くなってしまい、トレードオフの改善には限界があった。

このLTTでは荷電粒子としてプロトンを採用し、照射エネルギーを制御することによって特定された部分のみのライフタイムを短くすることにより、オン電圧 (V_{TM}) の増加を抑えながら逆回復荷電 (Q_{rr}) 及び漏れ電流を減少させた。

この局所ライフタイム制御技術の採用により、定常ロスと逆回復ロスのトレードオフを大幅に改善した。

3. 電気特性

以上の大口径ウェーハの適用、新受光部の採用、新增幅ゲート構造の採用、デアロイ化、局所ライフタイム制御技術によって8kV/3.6kA低損失LTT (FT4000FU-160)の開発に成功した。

FT4000FUは定格電圧からのターンオンが可能であり、オン電圧2.8Vで4,000Aの通電能力があり、 P_{LT} を従来の50%以下に低減しながら、 dv/dt 耐量を2倍に向上している。以下に、電気特性の詳細を示す。

3.1 dv/dt 特性

一般にLTTは、 P_{LT} と dv/dt 特性がトレードオフの関係にあり、従来の受光部構造の設計パラメータの最適化による関係改善には限界があった。FT4000FUでは、受光部構造の改良により、 dv/dt 耐量に影響を及ぼす設計パラメータを変更することなしに光信号を有効活用することで dv/dt と P_{LT} のトレードオフ関係の改善を行った。図5は、

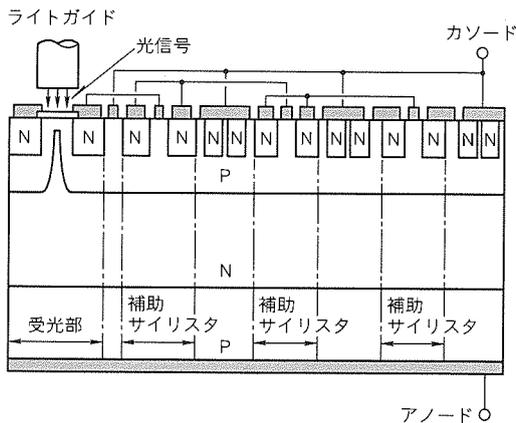


図2. ゲート部断面構造

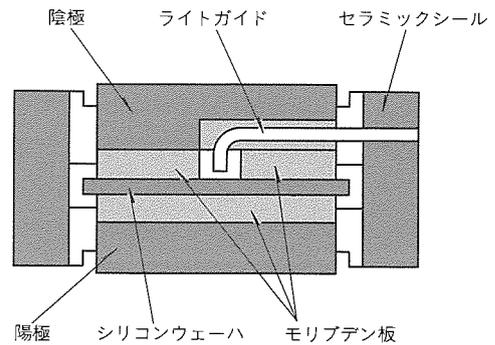


図4. 断面構造模式図

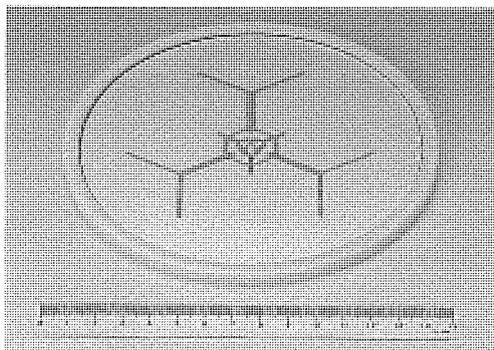


図3. ゲート・カソードエミッタパターン

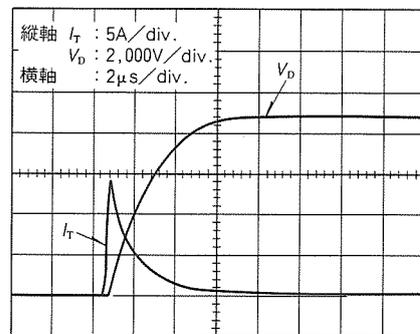


図5. dv/dt 波形例

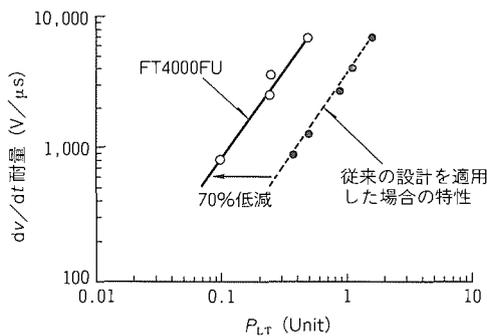


図 6. dv/dt 耐量と P_{LT} のトレードオフ関係

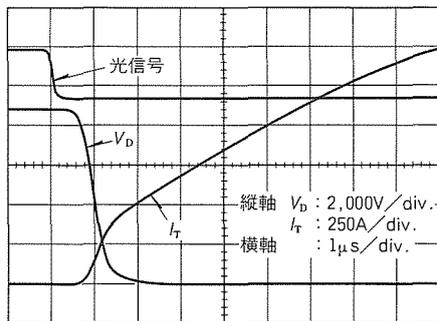


図 7. ターンオン波形例

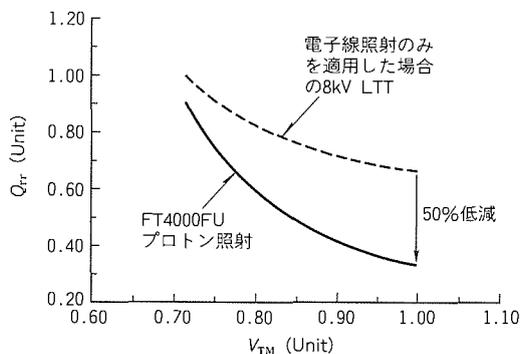


図 8. V_{TM} と Q_{rr} のトレードオフ関係

dv/dt 特性を示す V_D 及び I_T の波形である。 dv/dt 耐量が $3,000\text{ V}/\mu\text{s}$ で V_D が $8,800\text{ V}$ の電圧を印加しても、誤点弧せずに電圧阻止特性を示している。

図 6 に、 dv/dt 耐量と P_{LT} のトレードオフ関係を示す。

FT 4000 FU では、 dv/dt 耐量が $2,300\text{ V}/\mu\text{s}$ の場合、従来の LTT に比べて、 P_{LT} は $1/3$ 以下に低減、改善している。

3.2 ターンオン特性

LTT のターンオン能力は、広がりスピードと光駆動条件（ハイゲート率など）等に依存する。LTT としては、高耐圧化に伴って低下する広がりスピードの増大が課題となる。FT 4000 FU では、新たに開発した多点 4 段増幅ゲート構造の採用によってこの問題を解決し、非繰返しオフ電圧からのターンオンを可能にした。

表 1. 最大定格

項目	記号	最大定格値	単位
非繰返しオフ電圧	V_{DSM}	8,800	V
最大ターンオン電圧	V_{DM}	8,800	V
非繰返し逆電圧	V_{RSM}	8,800	V
平均オン電流	$I_{T(av)}$	3,600	A
実効オン電流	$I_{T(RMS)}$	5,650	A
オン電流上昇率	di/dt	200	$\text{A}/\mu\text{s}$
サージオン電流	I_{TSM}	43	kA
圧接 力	—	8,000	kgf

1kgf=9.8N

表 2. 主要電気特性

項目	記号	条件	特性値	単位
オン電圧	V_{TM}	$I_T=4,000\text{ A}$	2.8	V
オフ電圧上昇率	dv/dt	$V_D=V_{DSM}$	2,300	$\text{V}/\mu\text{s}$
光点弧感度	P_{LT}	$\lambda=860\text{ nm}$	8.0	mW
ターンオン時間	t_{gt}	$I_T=3,600\text{ A}$ $V_D=1/2 V_{DRM}$	10.0	μs
ターンオン遅れ時間	t_d	$I_T=3,600\text{ A}$ $V_D=1/2 V_{DRM}$	3.0	μs
ターンオフ時間	t_q	$I_T=3,600\text{ A}$ $V_D=1/2 V_{DRM}$	400	μs
熱抵抗	$R_{th(j-f)}$	—	0.004	$^{\circ}\text{C}/\text{W}$

図 7 に、FT 4000 FU の V_D 及び I_T の波形を示す。この例では、 $V_D=8.8\text{ kV}$ から、 $di/dt=200\text{ A}/\mu\text{s}$ で $I_T=3,600\text{ A}$ をターンオンさせている。

3.3 回復特性

FT 4000 FU は、プロトン照射による局所ライフタイム制御技術を用い、これを最適化することで、 V_{TM} と Q_{rr} のトレードオフ関係を大幅に改善した。

図 8 に、 V_{TM} と Q_{rr} のトレードオフ関係を示す。電子線照射のみによってライフタイム制御をしていた従来の LTT に比べ、FT 4000 FU は、 Q_{rr} を約 50% 低減している。

3.4 その他の特性

表 1 に FT 4000 FU の最大定格を、表 2 に主要電気特性を示す。デアロイ化により、4 インチ級サイリスタと同等の圧接力に抑えながら、熱抵抗を約 40% 低減している。

4. むすび

6 インチウェーハを用い新設計技術を採用して開発に成功した高性能 $8\text{ kV}/3.6\text{ kA}$ 光トリガサイリスタ“FT 4000 FU-160”は、従来の 4 インチ級光トリガサイリスタに比べて 2 倍以上の制御容量を持つ。

FT 4000 FU は、大容量パワーエレクトロニクス機器の応用において、装置に使用する素子数の大幅な低減を可能にし、装置の小型軽量化・信頼度向上・低損失化をもたらすため、今後の大容量パワーエレクトロニクス機器の発展に貢献できるものとする。

して損失の増加につながるため、その抑制が必要となる。今回、シリコンウェーハの n^+ バッファ層プロファイルとライフタイムコントロールの最適化により、裏面の p^+ 基板からの正孔注入の抑制を実現し、ターンオフ損失の低減を図っている。また、ターンオン損失については、IGBT自体の特性改善以上に、内蔵フリーホイールダイオードの逆回復特性の改善が重要である。高耐圧化でかつ良好な高速逆回復特性を持つダイオードの開発において、pn接合ダイオードのp層不純物濃度、深さ及び n^- 層構造の最適化を図り、逆回復電流が小さく、逆回復時の di/dt の緩いソフトリカバリタイプの高速ダイオードを実現した。

4.3 定常損失の低減と自己消費(過電圧クランプ)耐量の確保

このIPMで重要なポイントが、このアバランシェ(過電圧クランプ耐量)である。前述のとおり、過電圧クランプ保護動作時には、IGBTチップとして通常のターンオフ時の数十倍のエネルギーを消費することになる。このために、自己消費エネルギー耐量を十分確保する必要がある。そこで、前述の高耐圧化のための最適化設計に加え、更にライフタイム制御の最適化を図った。

5. パッケージ

図6及び図7に、今回開発したIPMの外観と内部電極構造を示す。このIPMのパッケージ構造は、既存の600A、1,200VのIPMと基本的には同じコンセプトで開発を行っている。

- (1) 主端子の配置を、上下アームを構成する配線が最短となるように、線対象にした。
- (2) 内部電極構造は、リードインダクタンスを低減するために、コレクタとエミッタの各主電極を平行に配列した。

- (3) 絶縁耐量5,750V保証のため、端子間に沿面距離を稼ぐためのフィンを設けた。

6. IPMの定格, 特性

今回開発した素子の代表的な定格と特性を表1に示す。飽和電圧は、最適特性化を図り、常温で3.4V、 $T_j = 125^\circ\text{C}$

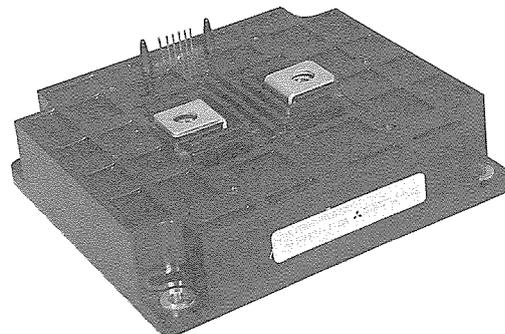


図6. IPMの外観

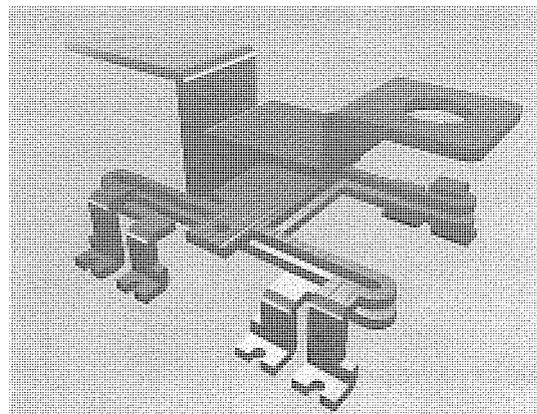


図7. 内部電極構造

表1. 定格及び諸特性

	記号	項目	条件	定格/特性	単位
定 格	I_c	コレクタ電流	$T_c = 25^\circ\text{C}$	600	A
	T_j	接合温度		-20 ~ +150	$^\circ\text{C}$
	V_{iso}	絶縁耐力	正弦波60Hz 1分間	5,750	V
	V_{CE}	コレクタ-エミッタ間電圧		1,050	V
特 性	$V_{CE(sat)}$	コレクタ-エミッタ間飽和電圧	$I_c = 600\text{A}$ $T_j = 25^\circ\text{C}$	3.4	V
	V_{EC}	FWD順電圧降下	$I_c = -600\text{A}$ $T_j = 25^\circ\text{C}$	2.7	V
	$t_c(\text{on})$	スイッチング時間	$V_{ce} = 800\text{V}$, $I_c = 600\text{A}$ $T_j = 125^\circ\text{C}$, 誘導負荷	1.6	μs
	$t_c(\text{off})$			2.8	μs
	$E_{sw}(\text{on})$	スイッチングロス	$V_{ce} = 800\text{V}$, $I_c = 600\text{A}$ $T_j = 125^\circ\text{C}$, 誘導負荷	380	mJ/pulse
	$E_{sw}(\text{off})$			580	mJ/pulse
	$R_{th(j-c)}$	接合-ケース間熱抵抗	インバータIGBT部	0.023	$^\circ\text{C}/\text{W}$
	OV	過電圧保護	$V_D = 15\text{V}$, クランプ電流 $\leq 0\text{C}$	1,500	V
	OC	過電流保護	$V_D = 15\text{V}$	1,300	A
	OT	過熱保護	$V_D = 15\text{V}$	110	$^\circ\text{C}$
UV	制御電圧低下保護	$T_j \leq 125^\circ\text{C}$	12	V	

で2.9Vとなっている。これは、前述したとおり、過電圧クランプ時のアバランシェ耐量を確保するための結果である。

スイッチング特性は、一般のIPMに比べてかなり遅く設定している。この素子が主にGTOサイリスタの置き換えとして考慮したものであることを示している。

このIPMでは、1～5kHzまでの使用に十分耐え得る仕様となっている。この場合のスナバ回路は、かなり小さくできる。

7. 応用技術

電力系統の制御にパワーエレクトロニクス機器の応用が期待されており、大容量で効率・信頼性の高い変換装置が要求されている。また、低騒音化、高周波ノイズの低減のためにもスイッチング周端数を高めたいという要求がある。この要求にこたえるため、電鉄用変換器はGTOからIGBT(高周

波数化)、IGBTからIPM(高信頼性化)へと変わりつつある。

そこで、今回開発した過電圧クランプ付きIPMを3レベルインバータに使用した場合の動作について説明する。

図8において、例えばQ1、Q2がオン、Q3、Q4がオフし、誘導負荷Lに直流母線P側から電流 I_L が流れている状態から、制御回路の故障などの予測ができない原因によってQ2がオフしたときの動作について説明する。なお、3レベルインバータのタイミングチャートを図9に示す。

まず、Q1、Q2がオンし、Q3、Q4がオフし、誘導負荷LにはP-N間電圧 E_d が印加され、電流 I_L が流れる。このとき、 I_L は

$$dI_L/dt = E_d/L$$

の電流上昇率で上昇していく(領域1)。

次にQ2がオフすると、 E_d はQ2の過電圧クランプ値

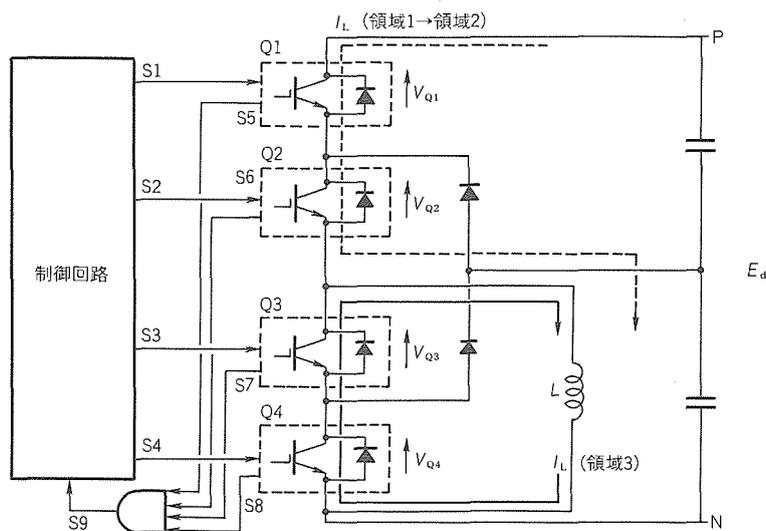


図8. 3レベルインバータの動作

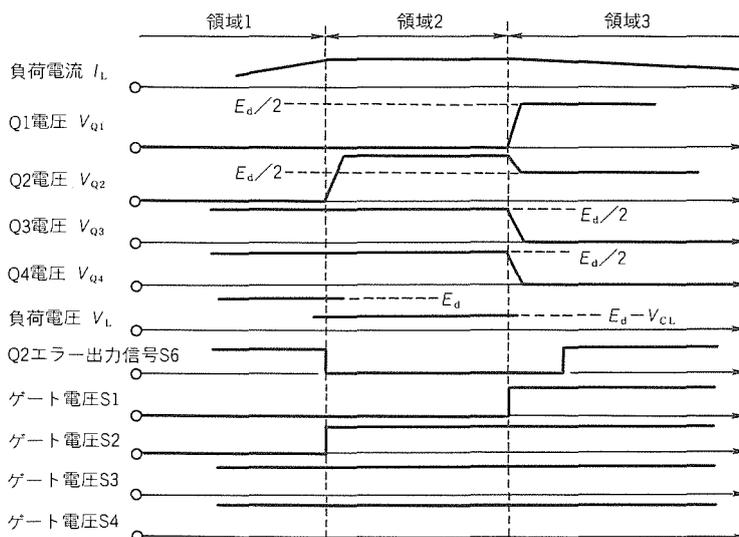


図9. 3レベルインバータのタイミングチャート

V_{CL} よりも高いため、Q2は V_{CL} にクランプされ($E_d - V_{CL}$)の電圧が L に印加される。この状態においては、 I_L は、

$$dI_L/dt = (E_d - V_{CL}) / L$$

の上昇率で更に直流が増加する(領域2)。

しかし、Q2がクランプされた時点でQ2からエラー信号S6が一定時間出力され、論理回路が全ゲートオフ信号S9を出力し、エラー停止回路によってゲート信号S1~S4がすべてオフにされるため、これら論理回路、エラー停止回路の回路動作の遅れ時間を待ってQ1がオフする。Q1、Q2両者がオフすることにより、 I_L はQ3、Q4に内蔵されたフリーホイールダイオードに転流されるため、 E_d はQ1とQ2の直列回路に印加される。したがって、Q1とQ2の電圧は E_d が分圧され、それぞれ、 $E_d/2$ となる(領域3)。

一方、エラー表示回路によってQ2のエラー信号S6がラッチされ、LEDによってエラー表示される。この表示は外部からリセット信号が入力されるまで表示し、3レベルインバータのエラー停止の原因を追求することに役立てることができる。

以上のように、この3レベルインバータは、適用するIPMの電圧阻止能力が直流母線P-N間電圧以下の状態でも、制御回路の故障や異常動作などで一つのIPMにクランプ能力以上の電圧が印加されたとき、その電圧を阻止能力以下にクランプし、その間に他のIPMをすべてオフすることで印加される電圧を分担させ、IPMを安全に保護できる。また、このことにより、直流母線P-N間IPMの電圧阻止能力以上に設定することが可能となり、3レベルインバータの高耐圧化が図れる。

8. むすび

本稿では、新しく過電圧保護機能を内蔵した大電流・高電圧IPMの開発に成功したことを紹介した。この素子は、直流母線電圧1,500V~2,000Vで190~200kW定格の3レベルインバータ用として開発を行い、電鉄用として高信頼性の確保、スナバ回路等の低減、に大きく寄与した。

また、この最新技術は、次世代の大電力分野において必然的に取り入れられて、IGBT及びIPMの高耐圧化が図られるようになる。

参考文献

- (1) Majumdar, G., Hiramoto, T., Yoshida, S., Mori, S., Maruno, T., Thal, E.: Intelligent Power Module Rating Reached 600A, 1200V, PCIM (1994)
- (2) Yamazaki, T., Seki, Y., Hoshi, Y., Kumagai, N.: The IGBT with Monolithic Overvoltage Protection Circuit, Proc. ISPSD (1993)
- (3) Yoshida, S., Yu, Y., Yamaguchi, H., Thal, E.: 3rd Generation High Performance Intelligent Power Module Series, PCIM (1993)
- (4) Majumdar, G., Hiramoto, T., Shirasawa, T., Tanaka, T., Moshizuki, K.: Active Surge Voltage Clamped 600A IPM for High Power Application, Proc. ISPSD (1995)

高信頼トンネル酸化膜形成技術

寺本章伸* 松井安次**
 小林清輝* 中村 正***
 梅田浩司*

1. ま え が き

近年、電氣的に書き換えが可能な不揮発性メモリとしてフラッシュメモリが注目を浴び、携帯端末や小型コンピュータの記憶媒体としての活用が期待されている。コンピュータの記憶媒体として用いる場合には、一層の高集積化や書換えの高速化が必要となろう。

フラッシュメモリのメモリセルは、絶縁膜で囲まれたフローティングゲート (FG) を持つ MOS (Metal-Oxide-Silicon) トランジスタである。トンネル絶縁膜を介して電子を出し入れすることによって FG の電位を制御し、メモリセルトランジスタのしきい値電圧が変わることを利用して、メモリ動作を行っている。

三菱電機(株)で開発し、事業化している NOR 型 1 M フラッシュメモリの書換え動作では、チャンネル中でエネルギーの高い電子 (チャンネルホットエレクトロン) を生成し、その一部をトンネル絶縁膜を介して FG に注入する手法を採っている。しかし、電源の単一化・低電圧化という要請から、書込み・消去動作におけるトンネル酸化膜を介しての電子の輸送は、Fowler-Nordheim 型のトンネル電流 (F-N トンネリング) を利用して行うことが望まれている。

現在、開発を行っている DINOR 型フラッシュメモリにおいては、図 1(a) に示すように、データの書込み時には、コントロールゲート (CG) に負バイアス、ドレインに正バイアスを印加することによって FG から電子を引き抜く動作を行う。消去時には、図 (b) に示すように、ソースと p 型ウェルに負バイアス、CG に正バイアスを加えることによ

て FG に電子を注入する動作を行う。書込み・消去のいずれの場合にも F-N トンネル電流を用いており、トンネル絶縁膜には 10~14 MV/cm という高電界のバイアスを印加する必要がある。通常、トンネル絶縁膜には熱酸化で形成した SiO₂ 膜が用いられる。SiO₂ 膜は、バンドギャップが 8~9 eV と大きく、膜中のトラップ準位密度も小さいため、3 MV/cm 以下のような低電界を印加した状態では優れた絶縁性を示す。しかし、情報の書換え (トンネル酸化膜を介して電子のやりとり) を繰り返すことにより、トンネル酸化膜中に電子捕獲中心の生成や絶縁破壊が引き起こされる。これらの現象は、フラッシュメモリの書換え回数を制限するとともに、微細化・高速化に不可欠なトンネル絶縁膜の薄膜化に対して大きな問題となっている。フラッシュメモリの特性劣化の要因とトンネル絶縁膜に要求される性能は、以下の 3 点に整理できる。

(1) トンネル絶縁膜の絶縁破壊

高電界下で電荷が SiO₂ 膜を通過すると膜は劣化し、著しい場合には絶縁破壊に至る。1 回の書換えに必要な電荷移動量は一定であるから、絶縁破壊までに SiO₂ 膜を通過する電荷量が書換え回数を制限する。それ故に、トンネル SiO₂ 膜としては、破壊までに通過する電荷量 (Q_{BD}) が大きい必要がある。

(2) トンネル絶縁膜への電子捕獲

トンネル SiO₂ 膜を電子が通過する際、その一部は膜中に捕獲される。電子が膜中に捕獲されると、トンネル SiO₂ 膜を介しての電子輸送を妨げ、FG の電位が十分変化しなくなる現象 (Window Narrowing) や、書換え速度が小さくな

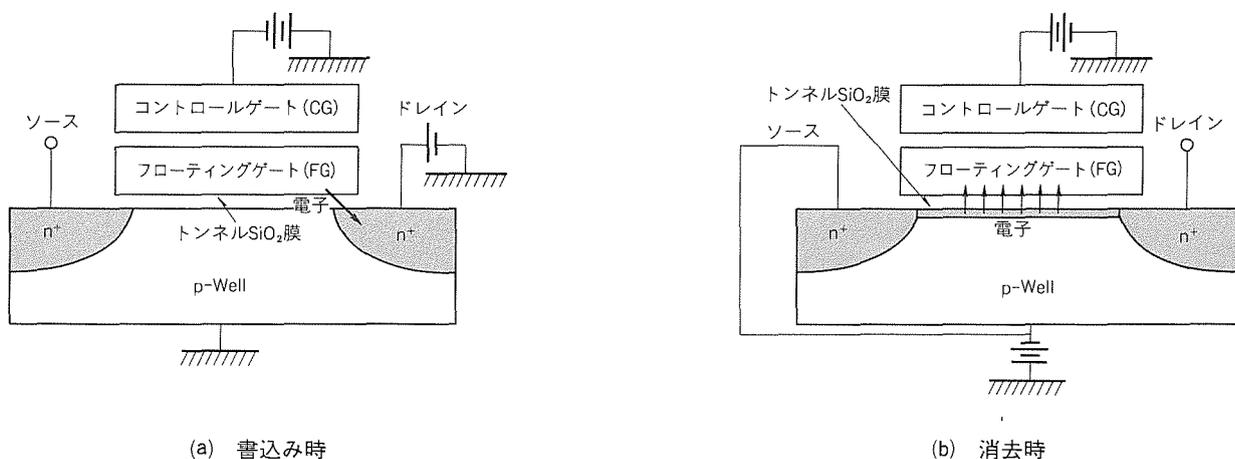


図 1. フラッシュメモリの書込み・消去動作

る現象を引き起こす。このために、SiO₂膜としては、電子捕獲を起こしにくいことが必要である。

(3) トンネル絶縁膜のストレス誘起電流

電荷がSiO₂膜を通過すると、その電気的ストレスによって、低電界で流れる電流が増加する。フラッシュメモリにおいては、FGに蓄えられた電荷を10年間保持する必要があるため、そのために電気的ストレスを受けた後も、低電界においてトンネルSiO₂膜を介しての電荷のリークを許容値以下にしなければならぬ。

以上のような要請から、SiO₂膜の絶縁破壊、劣化特性を律速する要因を解明し、絶縁膜の性能向上を目標としてトンネル絶縁膜の開発を進めている。以下では、前記の(1)~(3)の問題点に関し、薄い絶縁膜の絶縁破壊、電気的特性、劣化特性について述べ、信頼性の高い絶縁膜の形成技術を紹介する。

2. トンネルSiO₂膜の絶縁破壊特性

トンネルSiO₂膜が絶縁破壊するまでに流すことができる電荷量Q_{BD}は、MOSダイオードに高電界を印加し、SiO₂膜が経時絶縁破壊 (Time Dependent Dielectric Break-

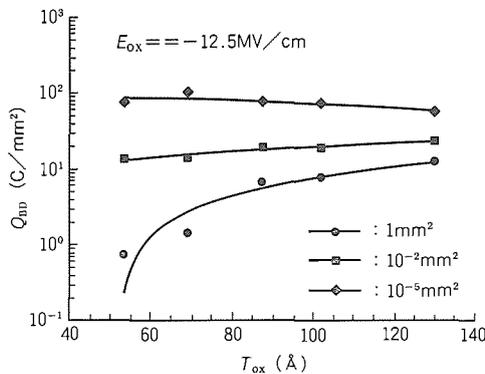


図2. 面積が異なる場合のQ_{BD}の酸化膜厚依存性

down : TDDB) を起こすまでに流れた電荷量を測定することによって得られる。図2は、面積が1mm²、10⁻²mm²、10⁻⁵mm²のMOSダイオードにおけるQ_{BD}とSiO₂膜厚の関係を示している⁽¹⁾。1mm²ではSiO₂膜厚の減少とともにQ_{BD}は減少しているが、10⁻²mm²では膜厚によらずほぼ一定であり、10⁻⁵mm²ではわずかに増加している。これらのデータは、測定するMOSダイオードの面積により、Q_{BD}の値そのものだけでなく、膜厚依存性までも変わってしまうことを示している。通常、これらの評価はデバイスそのもので測定するのではなく、構造を単純化したTEG (Test Element Group) で測定するので、ターゲットとするデバイスの面積を十分考慮に入れて測定する必要がある。

今後、フラッシュメモリの高集積化によって1チップ当たりのトンネルSiO₂膜の面積は増加し、微細化に対応して薄膜化が必要になる。これらはいずれもQ_{BD}が小さくなる方向であり、今後のフラッシュメモリの高集積化にはQ_{BD}の大きなSiO₂膜形成技術が必要である。

3. トンネルSiO₂膜の電子捕獲

トンネルSiO₂膜への電子注入時に起きる電子捕獲の抑制に対し、N₂OやNOを用いた窒化、NH₃窒化+高温ドライ酸化が有効であることが指摘されている⁽²⁾。図3(a)(b)(c)は、ウェット酸化法で形成したSiO₂膜をNOガスを用いて窒化した試料のSIMS (Secondary Ion Mass Spectroscopy : 二次イオン質量分析) 分析結果である。窒素はSi基板とSiO₂膜の界面に分布しており、窒化の高温化に伴って窒素濃度が増加している。

図4は、MOSダイオードのゲートに一定電流のストレスを加え、ゲート電圧変化から陰極近傍の電界の変化(ΔE_{ox})を求めたものである。ストレス中の電界変化は膜中の捕獲電荷密度を反映しており、ΔE_{ox} < 0の場合には正電荷の捕獲が、ΔE_{ox} > 0の場合には負電荷の捕獲が優位に現れている

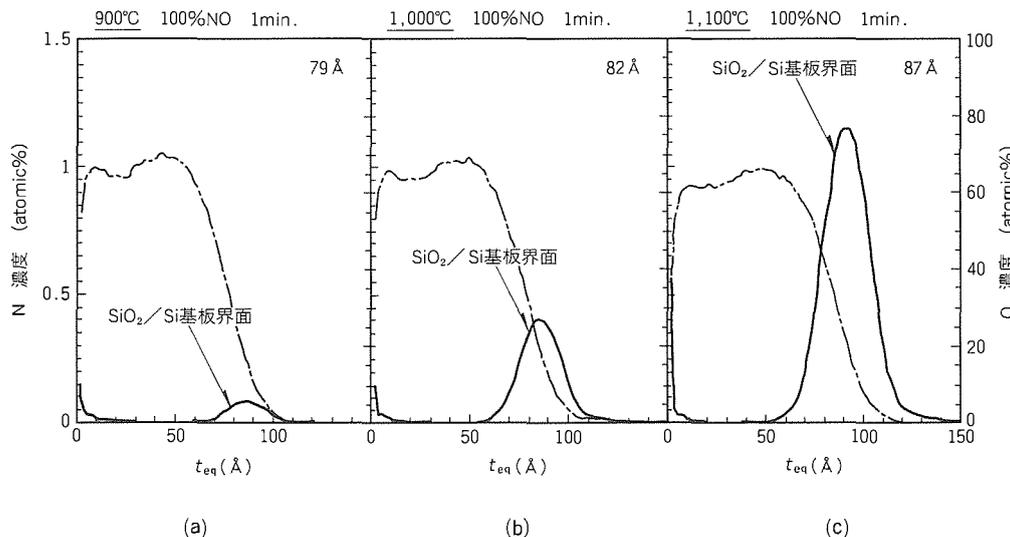


図3. NOガスでSiO₂膜を窒化した場合のSiO₂膜中の窒素分布

ことを示している。窒化温度が高いほど ΔE_{ox} は小さく、強力に窒化するほど電子捕獲が小さくなることが分かる。このような電子捕獲が小さくなる効果は、 N_2O ガスで窒化を行った場合でも得られている。

図5は、 SiO_2 膜と N_2O で窒化した膜 ($SiON$) をトンネル酸化膜とした DINOR 型フラッシュメモリのメモリトランジスタで、書込み・消去を行ったときのしきい値電圧 (V_{TH}) の書換え回数依存性を示したものである。 SiO_2 膜に比べ、窒化酸化膜 ($SiON$) の方が V_{TH} の変化が小さく、Window Narrowing に対して有効であることが分かる。以上のように、トンネル絶縁膜として窒化酸化膜を用いることは、電子捕獲に起因する書込み・消去特性の劣化の抑制に対して極めて有効である。

4. トンネル SiO_2 膜のストレス誘起電流

SiO_2 膜に高電界において電子注入のストレスを印加すると、比較的低い電界において、F-N 電流に比べて大きな電流が流れる。この過剰電流をストレス誘起電流という⁽³⁾。前述のようにフラッシュメモリにおいては、書換え・消去後に FG に蓄えられた電子を 10 年間保持する必要がある。言い換えれば、書換え時の高電界ストレスを印加した後、低電

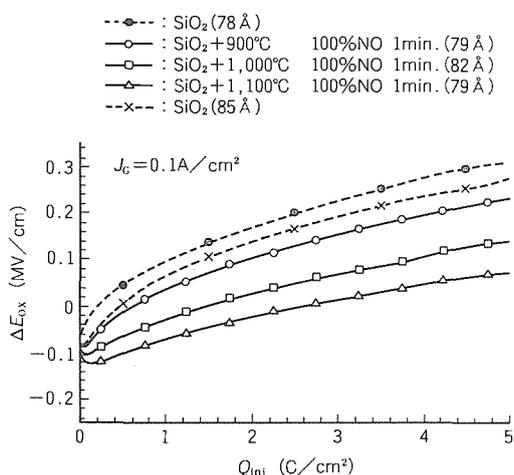


図4. 窒化酸化膜にF-N電子注入を行ったときのゲート電界変化

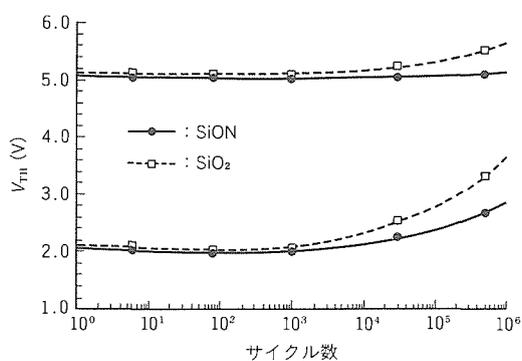


図5. フラッシュメモリの書換え回数に対する V_{TH} の変化

界下においてトンネル SiO_2 膜を介して流れるリーク電流を許容値 (約 $10^{-6} A/cm^2$) 以下にしなければならない。

図6は、131Åの SiO_2 膜に F-N 電子注入を行った前後のゲート電流密度 (J_g) - ゲート電界 (E_{ox}) 特性であり、7.5 MV/cm 以下でストレス誘起電流が現れている。ここで、F-N 電子注入時には、トンネル SiO_2 膜には電子が捕獲されるとともに、正電荷 (正孔) も捕獲される。図7のエネルギーバンド図に示すように、 SiO_2 膜に F-N 注入された電子は、陽極側で電子-正孔対を生成し、生成された正孔の一部が SiO_2 膜に放出され、その一部が膜中に捕獲されると考えている⁽⁴⁾。一方、FG から電子を n^+ 拡散層に引き抜く際には、図8に示すような電子のバンド間トンネルによって、電子-正孔対を生成することが知られている。生成された正孔は、接合に印加されている高電界によって加速され、アバ

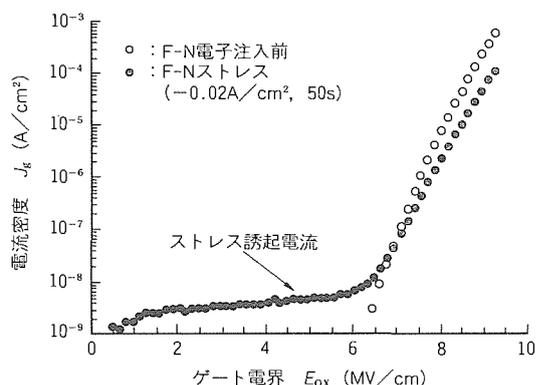


図6. F-Nストレスを加えたときの SiO_2 膜の J - E 特性

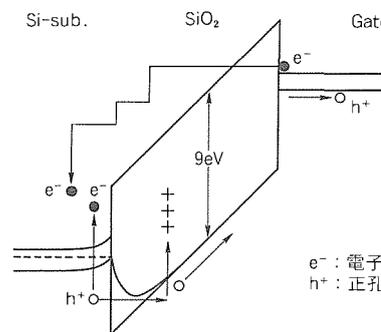


図7. F-Nストレス時のエネルギーバンド図

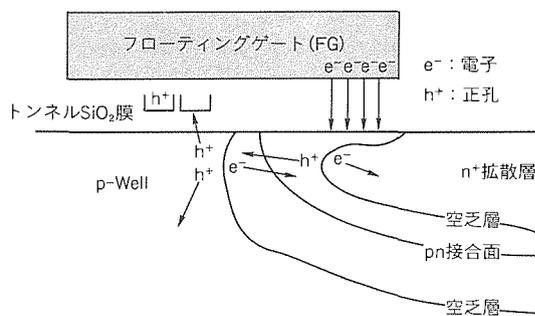


図8. 電子引き抜き時の電子・正孔の移動

ランシェ崩壊の結果生じた正孔がトンネル SiO₂膜に注入される。このため、トンネル SiO₂膜に対するストレスとして、正孔の影響を考慮することが極めて重要である。

基板ホットホール注入法を用いて 60Åと 131Åの SiO₂膜に正孔を注入した前後の電流密度 (J_G) - 電界 (E_{ox}) 特性を図 9 に示す⁽⁶⁾。基板ホットホール注入法は、Pチャネル MOSFET を用いてゲート SiO₂膜に選択的に正孔を注入する方法である。いずれの膜厚においても、正孔注入後にストレス誘起電流が観測される。正孔注入に引き続き、電子をシリコン基板側から $1 \mu A/cm^2$ の電流密度で注入した後の J_G - E_{ox} 特性も図 9 に示す。図(b)131Åの SiO₂膜では、正孔注入後に観測されていた電流の増加が観測されなくなっている。一方、図(a)60Åの SiO₂膜では、電流量は減少するものの、ストレス誘起電流が観測される。これによって、131Åの SiO₂膜で観測されるストレス誘起電流は、ストレス中に誘起された電子捕獲中心への電子充電成分であると解釈できる。一方、60Åの SiO₂膜で観測されるストレス誘起電流は、電子充電を行った後でも観測されることから、電子充電成分だけでなく SiO₂膜を通過するリーク成分が含まれていると考えられる。以上の正孔注入による誘起電流の特性は、F-N ストレスで誘起されるものと極めてよく似ている

ことから、F-N ストレスによる誘起電流は、ストレス印加中に絶縁膜に注入される正孔に起因しているものと考えられる。

SiO₂膜の薄膜化に伴うこのようなリーク成分の発生は、フラッシュメモリのデータの保持特性を劣化させる原因となる。このため、フラッシュメモリの微細化によるトンネル SiO₂膜の薄膜化に対して、ストレス誘起電流の抑制は極めて重要な課題である。そこで、本稿で述べたように、トンネル SiO₂膜の薄膜化の指針として、正孔注入ストレスに強いことが挙げられる。F-N ストレスに起因するストレス誘起電流の抑制には、電子捕獲の抑制と同じく N₂O や NO の窒化、N₂O と O₂ の混合ガスで形成した SiO₂膜が有効であろう。図 10(b)は、SiO₂膜を N₂O 窒化した試料に対して基板ホットホール注入を行った場合の J_G - E_{ox} 特性を示している。N₂O 窒化した SiO₂膜は、正孔注入に対してもストレス誘起電流が小さく、SiO₂膜の窒化は、電子捕獲に対してだけでなく、ストレス誘起電流に対しても有効である。

また、本稿では、N₂O、NO ガスの 2 種類の窒化を示したが、NO ガスの方が N₂O に比べて処理温度を低くできること (低温プロセス)、窒化処理時にトンネル絶縁膜の膜厚を増加させにくい特性がある (膜厚制御性良好) ことから、

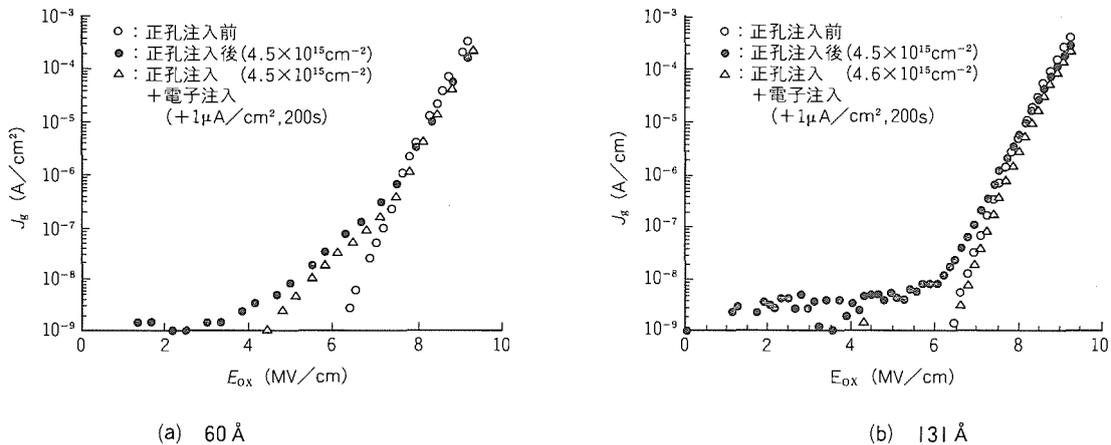


図 9. 基板ホットキャリア注入前後の J - E 特性

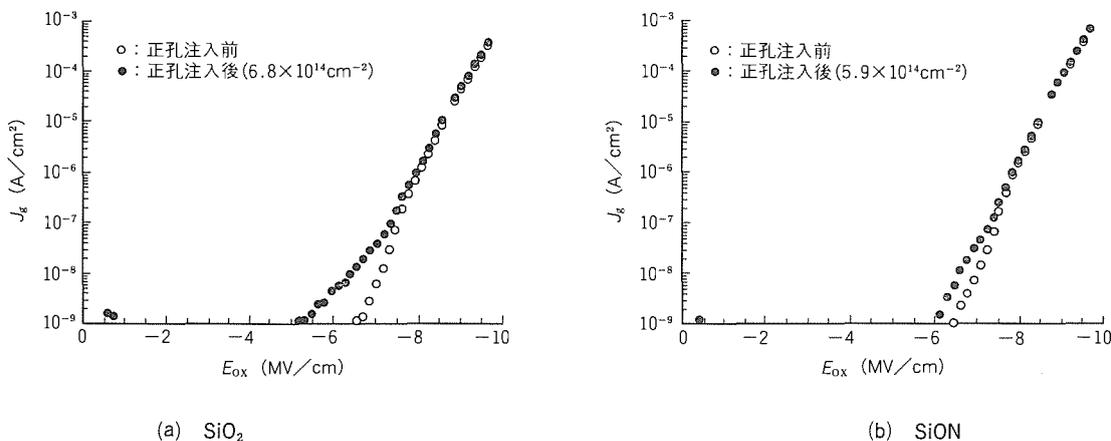


図10. 基板ホットキャリア注入前後の J - E 特性 (SiO₂ と SiON の比較)

今後のフラッシュメモリの微細化の観点から、NO ガスによる窒化が有効であると考ええる。

5. む す び

以上、薄い SiO₂ 膜の絶縁破壊特性、電子捕獲、ストレス誘起電流の観点から信頼性が高い SiO₂ 膜の形成について述べ、電子捕獲、ストレス誘起電流の抑制には、SiO₂ 膜の窒化技術が有効であることを示した。また、SiO₂ 膜の劣化には、電気的ストレス中に SiO₂ 膜に注入される正孔の影響が大きいことを明らかにし、今後の開発指針として、正孔注入ストレス耐性を評価すべきことを示した。

フラッシュメモリのスケーリングによるトンネル SiO₂ 膜の薄膜化や高速化、書換え回数の増大など、デバイスからの要求に対し、トンネル SiO₂ 膜に対するストレス誘起電流、絶縁破壊特性の改善が強く望まれる。このような観点から、本稿で示した窒化 SiO₂ 膜をしのぐ性能を持つトンネル絶縁膜の開発が急務となっている。

参 考 文 献

(1) 寺本章伸, 小林清輝, 平山 誠: 熱酸化膜の TDDB 特性における面積及び膜厚依存性, 電子情報通信学会技術報告会, **94**, 29 (1994)

- (2) Hori, T., Iwasaki, H., Tsuji, K.: Electrical and Physical Properties of Ultrathin Reoxidized Nitrided Oxides Prepared by Rapid Thermal Processing, IEEE Trans. Electron Devices, ED-36, 340 (1989)
- (3) Maserjian, J., Zamani, N., : Observation of Positively Charged State Generation near the Si / SiC₂ Interface during Fowler-Nordheim Tunneling, J. Vac. Sci. Technol., **20**, 743 (1982)
- (4) Kobayashi, K., Teramoto, A., Hirayama, M.: Model for the Substate Hole Current based on Thermionic Hole Emission from the Anode during Fowler-Nordheim Electron Tunneling in n-Channel Metal-Oxide-Semiconductor Field-Effect Transistors, J. Appl. Phys., **77**, 3277 (1995)
- (5) Kobayashi, K., Teramoto, A., Hirayama, M.: Electron Traps and Excess Current Induced by Hot-Hole Injection into Thin SiO₂ Films, Pro. of 1995 Int. Reliability Phys. Symp., 168 (1995)

X線転写によるRu/BST/Ruスタックキャパシタ を持つ1GビットDRAMセル

西岡康隆* 堀川 剛*
炭谷博昭* 芝野照夫*
結城昭正** 木村良佳***

1. ま え が き

半導体デバイスの中でダイナミック型メモリ (DRAM) は市場規模の大きさとして重要である一方、微細化技術開発のリーディングデバイスとしての役割も担ってきた。現在の市場の主流は最小寸法 $0.4 \sim 0.5 \mu\text{m}$ レベルの 16 M ビット DRAM であるが、学会発表レベルでは 3 年に一世代の速度で開発が進められ、最小寸法 $0.25 \mu\text{m}$ レベルの 256 M ビット DRAM に続き、現在最小寸法が $0.2 \mu\text{m}$ を切る 1 G ビット DRAM の世代に突入している。しかし、1 G ビット DRAM を実現するには、微細加工技術を中心として、特に次に述べる三つの大きな課題を克服しなければならない。

(1) 転写 (リソグラフィ) 技術

$0.25 \mu\text{m}$ 世代の KrF エキシマ転写技術に対し、1 G ビット時代に必要 $0.2 \mu\text{m}$ 以下の微細パターンを形成する転写技術に関しては、現状の光転写技術を延命するか光以外の新規な転写技術を実用化するかの二つの選択肢がある。

前者の場合、ArF エキシマレーザによる転写や超解像技術を従来の露光装置に適用する方法が挙げられる。これらは、現在までの光転写技術で蓄積したデータが有効活用できるメリットがあるため、解像性能も含めて $0.2 \mu\text{m}$ 以下の世代の本命の転写技術とするために精力的に研究されている。しかし、装置も含めて開発が始まったばかりであるのに加え、①パターンの微細化が進むにつれて焦点深度が浅くなり、デバイス表面の段差で転写条件のマージンが小さくなる、②下地基板からの光の反射が、パターン形状に悪影響を与える、③孤立パターンと繰返しパターン間での寸法ばらつきが大きい、などの現在の光転写技術の深刻な問題点があるまま持ち越される。

一方後者には、X線転写技術や電子ビーム直接描画技術があり、光転写技術をしのぐポテンシャルの高さによって以前から研究されているが、現在のところまだ光転写技術に置き換わるには至っていない。これは、1 G ビット DRAM の検討が開始される現在まで、光転写技術の限界に直面しなかったためである。

(2) キャパシタ技術

微細化によって単位セル面積は減少の一途をたどっているが、ソフトエラー耐性、リフレッシュ特性等の観点から、DRAM としての動作を保証する下限の容量はほぼ一定と見積もられている。したがって、微細化に伴って容量値を確保

するために、円筒型、フィン型などの電極を複雑に三次元化してキャパシタ電極表面積を増加させる手法が採られてきた。しかし、単位セル面積が小さくなるに従い、①セル構造や作製プロセスを複雑にしても容量が十分に確保できなくなる、②キャパシタの高さが高くなることに起因するデバイス表面の段差の増大が、キャパシタ形成以後の工程に悪影響を与える、などの問題点が顕著になってきた。

このため近年活発に、作製プロセス及び構造が単純で将来への技術展開の可能性が高い高誘電率材料薄膜の DRAM キャパシタへの応用が研究されている。しかし、1 G ビット DRAM レベルへの応用には膜特性、電極材料・構造、作製プロセス、信頼性などまだ多くの課題を解決する必要がある。

(3) エッチング技術

1 G ビット時代に要求される $0.1 \mu\text{m}$ レベルまでの幅広い寸法範囲における高精度なエッチング技術にはまだ解決すべき重要な課題が数多く残されている。例えば、超微細化・高アスペクト化とともに、高選択比化や、上に述べた高誘電率材料など LSI プロセスに導入される新材料のエッチング技術、マイクロローディング効果 (パターン寸法が小さくなるにつれてエッチング速度が低下する現象。) の低減等が挙げられる。

今回、我々は上記の課題を克服して 1 G ビット DRAM に相当する $0.14 \mu\text{m}$ ルールのメモリセル構造の開発・試作を行った。その際に特に重要視したのは、1 G ビット DRAM だけでなく、4 G ビット以降の世代にも対応できるポテンシャルを持つ技術を開発するという点である。次にその試作結果について述べる。

2. 1GビットDRAM対応メモリセルの試作

1 G ビット DRAM に相当するメモリセル構造の開発・試作に当たって前述の課題を克服するために、超微細化リソグラフィ技術に対して X 線転写技術、キャパシタ作製技術に対しては BST ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$) を用いた高誘電率膜キャパシタ、そして、エッチング技術に対してガスバフプラズマ源を用いた改良 ECR (Electron Cyclotron Resonance) プラズマエッチング技術を各々開発し、適用した。以下に、各々の技術開発の結果とその適用による試作工程を詳しく述べる。

2.1 メモリセル構造の概要

試作チップの設計は、セルサイズ $0.38 \mu\text{m} \times 0.76 \mu\text{m}$,

セル面積約 $0.29 \mu\text{m}^2$ 、最小寸法 $0.14 \mu\text{m}$ で行った。セルレイアウトの上面模式図とその断面構造模式図をそれぞれ図1と図2に、試作したメモリセルの断面構造 SEM 写真を図3に示す。原則として最小寸法で設計された工程のパターン形成に X 線転写を適用したが、コンタクトホール工程の転写は、X 線転写のポジレジスト転写技術が確立していなかったため、電子ビーム直接描画技術を適用した。

セル内の素子分離には、従来の LOCOS (Local Oxidation of Silicon) 分離に代えて深さ 300 nm 、幅 $0.14 \mu\text{m}$ のトレンチ分離を採用し、また、線幅 $0.14 \mu\text{m}$ のワード線及びビット線には、 WSi_2 を用いた厚さ 100 nm のポリサイド構造を採用している。ストレージノード金属と基板の拡散層との接続(プラグ)は、多結晶シリコン (Si) 埋込みで行った。プラグの上部径はおよそ直径 $0.1 \mu\text{m}$ であり、約 $3 \text{ k}\Omega$ ストレージノードとプラグの接触抵抗を確保した。

2.2 X線転写技術

近接露光方式の X 線転写技術は、 $0.1 \mu\text{m}$ レベルまでの微細パターンの転写に十分なマージンをもって対応でき、次世代の転写技術として有望視されている。それは、転写特性

がデバイス表面の段差に対して影響を受けない、基板からの反射によるパターン形状の劣化がほぼ無視できるなどの利点を持つためである。

今回の試作には、当社先端技術総合研究所内に設置されているシンクロトロン放射光 (SR) 設備を光源とした X 線転写設備を用いて行った⁽⁴⁾。使用した X 線のピーク波長は約 0.69 nm である。X 線マスクには、パターンを縮小露光する光転写用マスクとは異なり、等倍の寸法でのマスクパターンが用いられる。そのため、X 線転写を実用化するためにはそのマスクの作製精度の向上が必ず(須)である。

今回、X 線の吸収体としての Ti-W を SiC 薄膜上に形成する構造のマスク基板を用いて、膜のストレスに起因するマスクのひずみを低減した。さらに、レイアウトパターンを形成する電子ビーム描画技術に、多重描画方式を採用した。図4に、分離パターン上に形成したワード線パターンの SEM 写真を示す。素子分離上に重ね合わせたワード線パターンが良好に形成されていることが分かる。また、今回の試作において得られたパターン寸法誤差及び重ね合せ誤差の 3σ 値は、図5、図6に示すように各々 $0.014 \mu\text{m}$ 、 $0.08 \mu\text{m}$ という値が得られ、デバイス試作に十分耐え得るプロセス精度を確保できた。

2.3 BST高誘電率膜キャパシタ技術

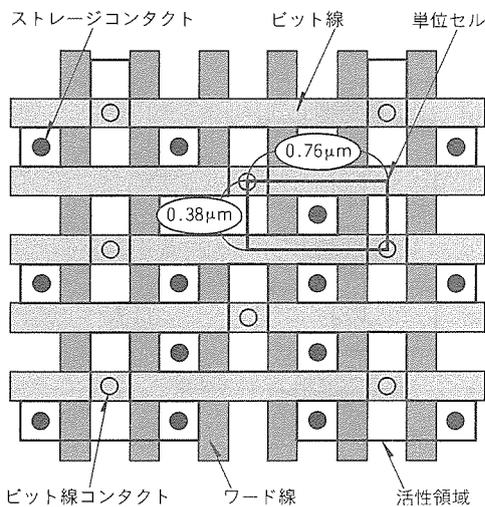


図1. セルレイアウトの上面模式図

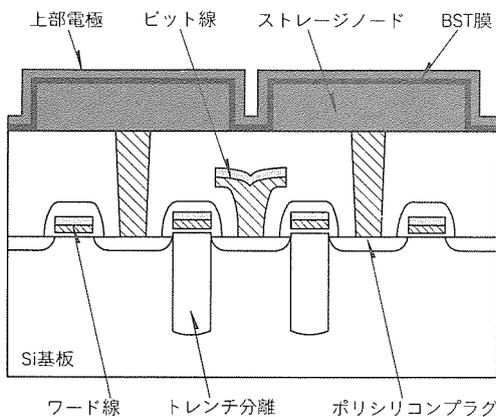


図2. セル構造の断面模式図

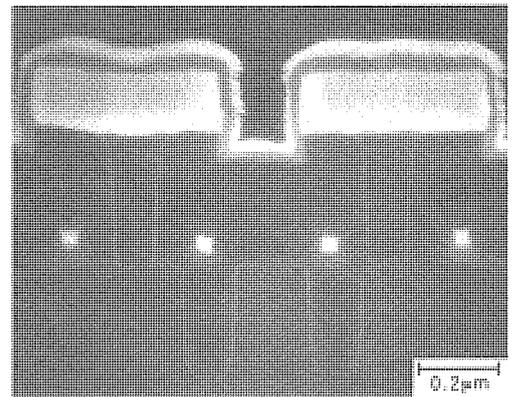


図3. 試作したメモリセルの断面構造SEM写真

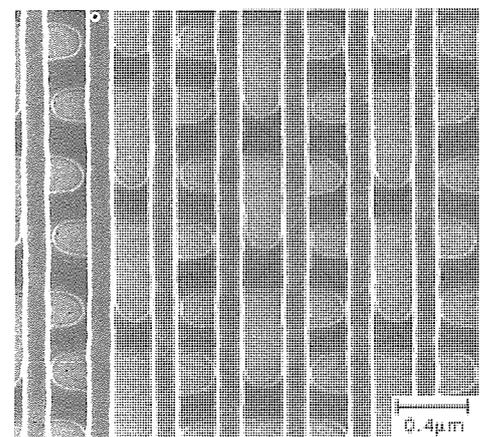


図4. 素子分離上に形成したワード線パターン

当社は、256 M ビット世代以降の DRAM に適合するキャパシタ技術として、従来の窒化酸化膜に代わるより誘電率の高い BST 薄膜の開発を行ってきた⁽²⁾。しかし、BST を用いても平面型キャパシタでは 1 G ビット以降の DRAM の要求を満足させることは困難と予想されるため、電極側壁を利用できる単純スタック構造に重点を置いて開発を行った。キャパシタ作製プロセスフローを図 7 に示す。

このプロセス開発のキーポイントは、BST 成膜を平面型キャパシタで用いたスパッタ成膜法から、ストレージノード側壁部のカバレッジ特性が良好な CVD (Chemical Vapor Deposition) 成膜法に変更することである。キャパシタ特性のターゲットとして、確保すべき容量の下限を 25 fF と決定した。この容量を確保できる SiO₂ 換算膜厚 (t_{eq}) として 0.6 nm 以下、10 秒の保持時間に耐え得るリーク電流として $2 \times 10^{-7} \text{ A/cm}^2$ 以下を目標値に設定し、ストレージノード高さを 200 nm に設定した。

BST の成膜は酸化性の雰囲気で行われるため、ストレージノードは耐酸化性の金属が用いられる。従来用いられている白金 (Pt) は Si との反応性が高いため、プラグ上部の多結晶 Si と Pt の相互拡散を抑制して反応を防ぐ目的で TiN

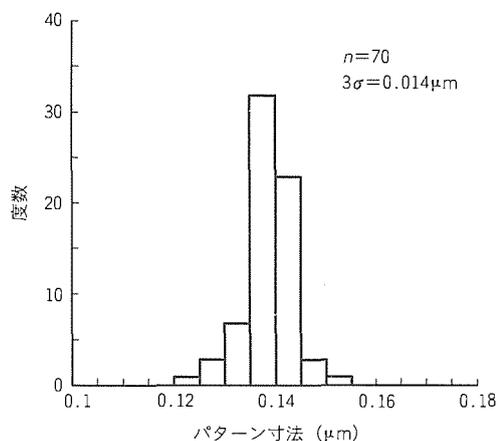


図 5. ワード線レジストパターン寸法のヒストグラム

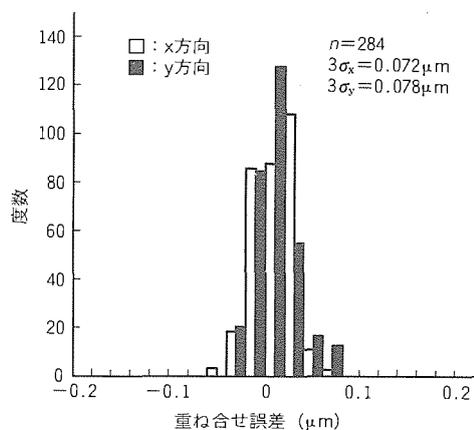


図 6. 素子分離-ワード線層間の重ね合せ誤差のヒストグラム

などのバリア膜をストレージノードとプラグの間に積層することが必要である。しかし、電極側壁も BST を成膜する単純スタック構造では BST の成膜時にバリア膜が酸化されるということが懸念されるため、電極材料としてルテニウム (Ru) を検討し、今回の試作に初めて適用した。Ru は BST 成膜時や BST 成膜後の膜質改善のためのアニールに対してほとんど酸化されず、さらに Si との相互拡散も小さいため、窒化チタン等の拡散バリア膜を必要としないことが分かった (図 8)。200 nm 厚の Ru の加工は、50 nm 厚の SiO₂ をマスクにして O₂+Cl₂+CF₄ の混合ガスによるドライエッチングで行った。図 9 に、加工後のストレージノードアレーの SEM 写真を示す。テーパ角が小さく表面荒れの少ない、優れた形状が得られている。Ru と SiO₂ の選択比は 20 を確保できた。また、マスクに用いた SiO₂ の除去と同時に Ru 電極下部の SiO₂ を後退させ、電極面積の有効活用を図っている。

BST 成膜は、有機金属錯体を原料に用いる CVD 法で行

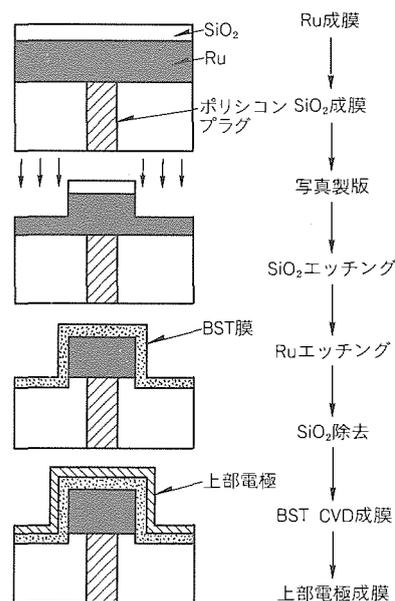


図 7. キャパシタ作製工程フロー

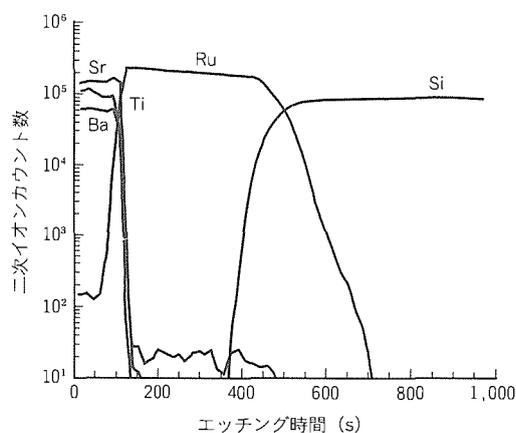


図 8. 多結晶 Si/Ru 電極界面近傍の深さ方向の SIMS 分析結果

った。表面モフォロジを良好に保つために二段階成長で成膜し、各成長ごとに窒素雰囲気中 700°C で結晶化の熱処理を行った。420°C という比較的低温の成膜温度は、BST のステップカバレッジを向上させるのに有効である。また、BST のエッチングは HBr+CH₄ の混合ガスを用いて行った。上部電極はストレージノードと同様に Ru をスパッタ法で形成している。キャパシタ部の断面 SEM 写真を図 10 に示す。CVD 法で成膜した BST は、75% 以上の良好なカバレッジを達成している。このようにして形成した膜厚 25 nm ($t_{eq} = 0.56$ nm) の BST キャパシタの電流-電圧特性を図 11 に示す。印加電圧 1.1 V において 7×10^{-9} A/cm² という低いリーク電流を達成し、1 G ビット DRAM に必要とされる基本特性をクリアできた。図 12 には、今回の試作結果から見積もったキャパシタ容量とストレージノード高さとの関係を示す。計算の際には、ストレージノード高さによるステップカバレッジの劣化を考慮した。この図から、今回の単純スタックキャパシタ構造 (ストレージノード寸法 0.24 μm × 0.60 μm, ストレージノード高さ 200 nm) で 25 fF/セル以上を確保できること、及びより高いストレージノード高さで

4 G ビット以降の世代に相当するサイズでも十分な容量を実現できる可能性があることが分かる。

以上の結果から、今回検討した Ru/BST/Ru スタック構造のキャパシタは 1 G ビット以降の DRAM のキャパシタ構造として有望であることが確認できた。

2.4 高精度エッチング技術

0.14 μm 幅のワード線及びビット線の加工には、改良型の ECR プラズマ源を用いたドライエッチングを適用した。8 nm のゲート酸化膜上のワード線のエッチングは、選択比 50 以上を達成した。また、0.14 μm レベルから数百 μm レベルまでの幅広い寸法範囲にわたって同時に高精度のパターンを形成するときに顕著な問題となる、マイクロローディング効果及びノッチング (パターン底部の欠け) を低減することは重要である。このようなエッチングのパターン寸法依存性を抑えるために、ガスパフプラズマ源を用いたビームプラズマによるエッチング技術を開発した⁽³⁾。使用した装置の概略を図 13 に示す。ガスパフプラズマ源とは、高速で作動するガスパフバルブからエッチングガスをプラズマチャンバに導入する機構を持つ ECR プラズマ源である。プラズマチャンバよりもエッチングチャンバを低圧にでき、その結果、プラズマ生成チャンバで発生したプラズマがエッチングチャ

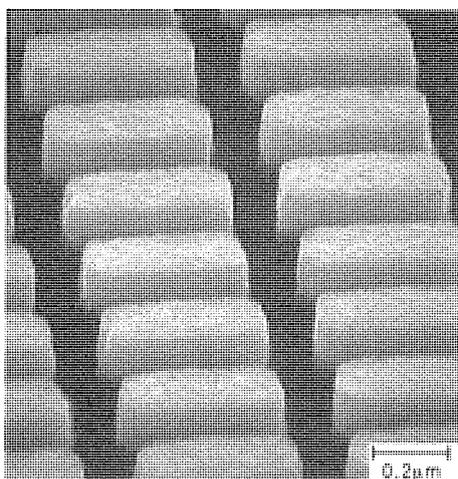


図 9. Ru を用いたストレージノードアレー

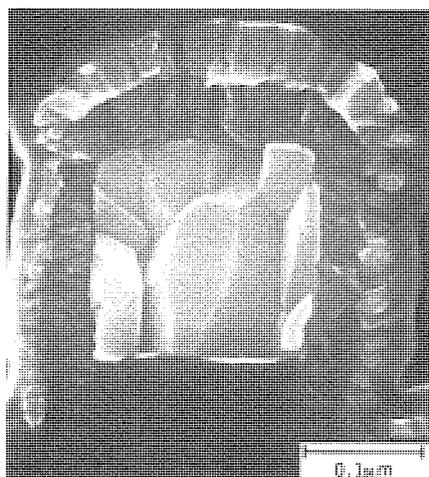


図 10. キャパシタ部断面 SEM 写真

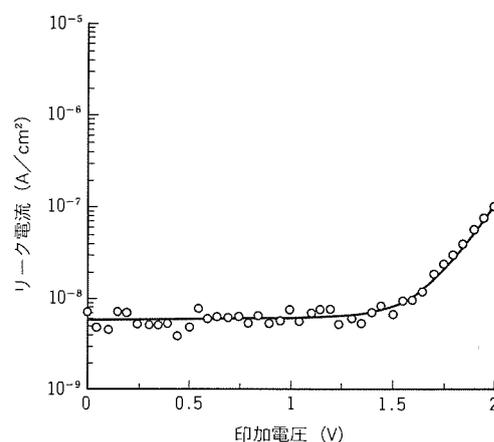


図 11. Ru/BST/Ru キャパシタの電流-電圧特性

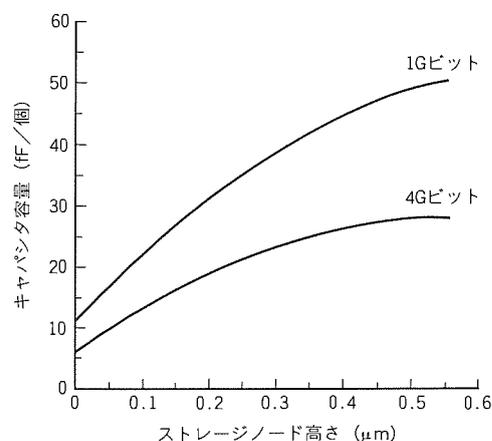


図 12. ストレージノード高さとキャパシタ容量の関係

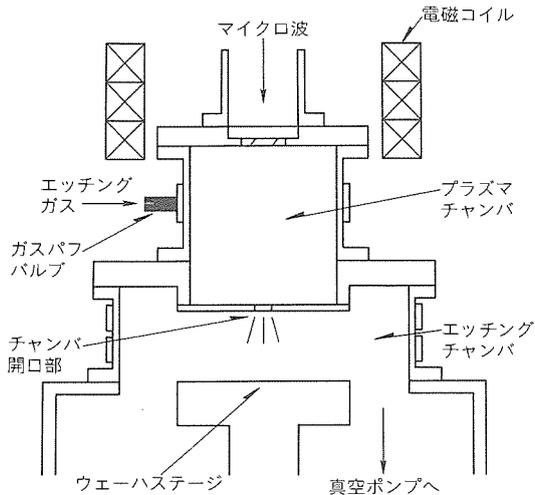


図13. エッチング装置の概略図

ンパへビーム状に引き出されるため、マイクロローディング効果やノッチングの改善に有効である。種々のコンタクトホール寸法における SiO₂ のエッチング速度について調べた結果を図 14 に示す。今回のビームプラズマによるドライエッチングでは 0.15 μm レベルのパターン寸法までエッチング速度がほとんど変化せず、0.15 μm レベルのデバイス試作に十分適用可能であることが確認できた。

3. む す び

21 世紀初頭に市場の立上りが予想される 1G ビット DRAM に向けて、デバイスの基本となる 0.14 μm レベルのメモリセル構造を試作した。キーとなる三つの新規技術を開発・適用したこのメモリセル構造が 1G ビット DRAM の要求を満足すること、及びこれらの新規技術が 1G ビット及びそれ以降の DRAM 世代へ適用できる可能性があることを確認した。

今後は量産性を念頭に置き、さらにプロセスやデバイスの改善や信頼性の検証、向上等に取り組んでいく必要がある。

最後に、この研究を行うに当たって X 線露光装置の開発・運用に全面的に御協力いただいたキャノン(株)ナノテク研究所を始め、多くの関係各位に深く感謝する。

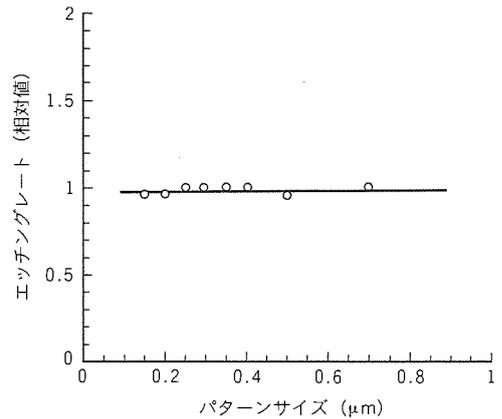


図14. 種々のパターン寸法におけるエッチング速度の変化

参 考 文 献

- (1) Sumitani, H., Itoga, K., Inoue, M., Watanabe, H., Yamamoto, N., Marumoto, K., Matsui, Y.: Replicating Characteristics by SR Lithography, SPIE, International Symp. on Microlithography, 2437 (1995)
- (2) Eimori, T., Ohno, Y., Kimura, H., Matsufusa, J., Kishimura, S., Yoshida, A., Sumitani, H., Maruyama, T., Hayashide, Y., Moriizumi, K., Katayama, T., Asakura, M., Horikawa, T., Shibano, T., Itoh, H., Sato, K., Namba, K., Nishimura, T., Satoh, S., Miyoshi, H.: A Newly Designed Planar Stacked Capacitor Cell with High-dielectric-constant Film for 256 Mbit DRAM, IEDM Tech. Digest, 149 (1994)
- (3) Oomori, T., Taki, M., Nishikawa, K., Ootera, H.: Etching for 0.15 μm Level Patterns with Low Microloading Effect using Beam Plasmas Generated by Gas Puff Plasma Sources, Proc. of 8th International Symp. Microprocess Conf., 152 (1995)

LSI用多ピンパッケージ技術

富田至洋*
上田直人*
中川 治**

1. ま え が き

電子機器の高機能化・小型化は近年著しい。特にコンピュータの分野では、その傾向が目覚ましく進んでいる。パーソナルコンピュータなどによるダウンサイジングが進み、軽量で、かつ大量なデータを高速に処理することが可能な端末へのニーズが確実に増加している。

一方、EWS (Engineering Work Station) やハイエンドのパーソナルコンピュータは、サーバとして情報システムの核となりつつある。システム単位でのダウンサイジングを可能とするように下位の複雑な情報処理を担い、かつネットワーク全体の処理速度に支障を来さぬよう、より一層高速で、マルチタスクが可能な性能が求められている。

こうした発展の背景には、LSIのデザインルールの微細化による高集積化・小型化の技術の進歩がある。LSIパッケージにおいては、特にロジック系のデバイスであるマイコン、ASIC回路の大規模化に伴う入出力端子の増加による多ピン化への要求が強い。図1に、パッケージの最大ピン数の増加の傾向を示す。

現在、多ピン用のパッケージとしては100～300ピンの製品が広く使用されているが、更なる多ピン化が要求されつつある。最新システムでは既に500ピン級のパッケージが用いられ、今後1,000ピンを超えることも予想される。また、より一層の高速化・高機能化に伴い、放熱特性・電気特性の

向上も強く要求されている。

さらに製品の小型化には、高密度な実装が可能なよう、パッケージサイズも小型・薄型化する必要がある。図2は、多ピンパッケージのピン数と実装面積を比較したものである。端子を四辺に並べて配置するQFP (Quad Flat Package) ではピッチを狭くすることで小型化が進められているが、300ピンを超える領域では、外部リードのファインピッチ化に伴い、実装性の観点から端子を粗いピッチで面状に配置した、より実装性の良いBGA (Ball Grid Allay) が小型パッケージとして米国を中心に普及しつつある。200ピン級ではコスト上優位で実績の高いQFP、200～300ピン級では小型化が可能でかつ比較的 low コストなモールド型BGA、さらに、500ピン級以上では高放熱・高電気特性を持つ高性能な多層プラスチックBGAが要求されている。

こうした要求にこたえるため、特にロジックデバイス用の高放熱・高電気特性を持つ200～700ピンの多ピンパッケージとして、銅リードフレームQFP、モールド型BGA、及び多層プラスチック基板を使用した中空型BGAパッケージを開発し、量産化した。

また、現在開発中の将来パッケージである1,000ピン級CSPを含め、多ピンパッケージの開発動向とともにこれら先端パッケージ技術を紹介する。

2. パッケージ構造、パッケージングプロセス

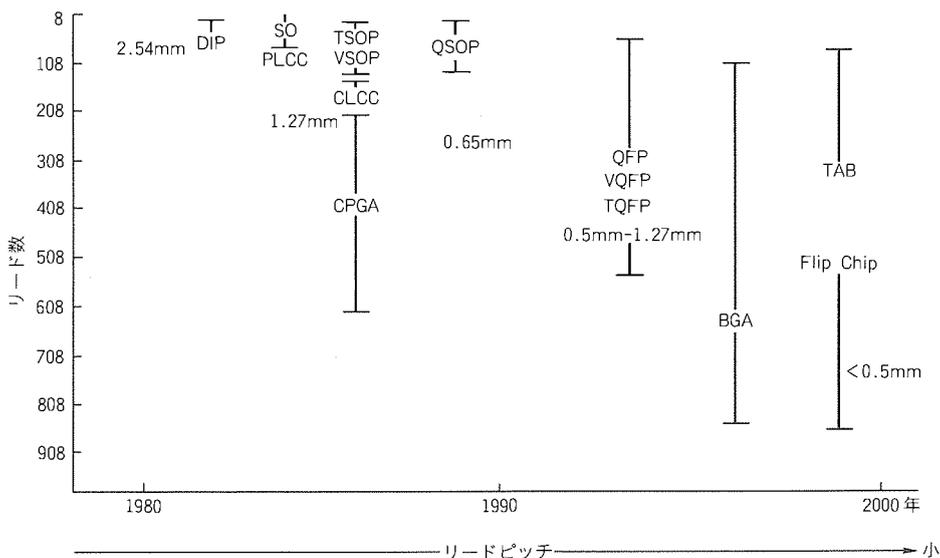


図1. パッケージ最大ピン数の傾向 (出典: Dataquest (1994-3))

以下に、開発した多ピンパッケージが優れた性能を得るための構造、組立プロセスについて述べる。

2.1 銅フレームQFP

開発した高放熱タイプの銅フレーム QFP には、銅系材料のフレーム材料を使用した 2 W 級のもの、及び同一ボディサイズで銅系材料のヒートスプレッドをパッケージに内蔵したことでより一層の放熱性を確保した 3 W 級のものの 2 種

類がある。

図 3 は、ヒートスプレッド内蔵タイプの QFP の構造を示す斜視図である。従来は、信頼性の観点から Si とリードフレームの熱膨脹係数差による熱応力を考慮し、鉄系リードフレームを用いていた。今回の構造では、銅フレームとチップとの熱応力によるチップへの応力を緩和するために、ダイボンダ材は従来のはんだ材ではなく高接着で低弾性の樹脂系材料を採用した。

パッケージの外形寸法は、図 4 に示すように、208 ピンで 28 mm 角、240 ピンで 32 mm 角である。リードピッチはテスト及び実装性を考慮して 0.5 mm ピッチを採用し、パッケージ厚は 3.0 ~ 3.6 mm である。現在は外形のシリーズ化を進めており、ピン数は 0.4 mm ピッチ化によって 296 ピンまで対応する予定である。

さらに今後、薄型・小型化の要求があるものには厚みが 1.7 mm 厚と薄型の LQFP (Low-profile QFP) を中心に開発し、より多ピンの領域では小型でかつファインピッチな 0.4 mm ピッチの LQFP を開発する。更に高放熱性を要求されるものには、図 5 に示すように、薄型・高放熱版として、薄型パッケージの欠点である放熱性の低下を補うため、

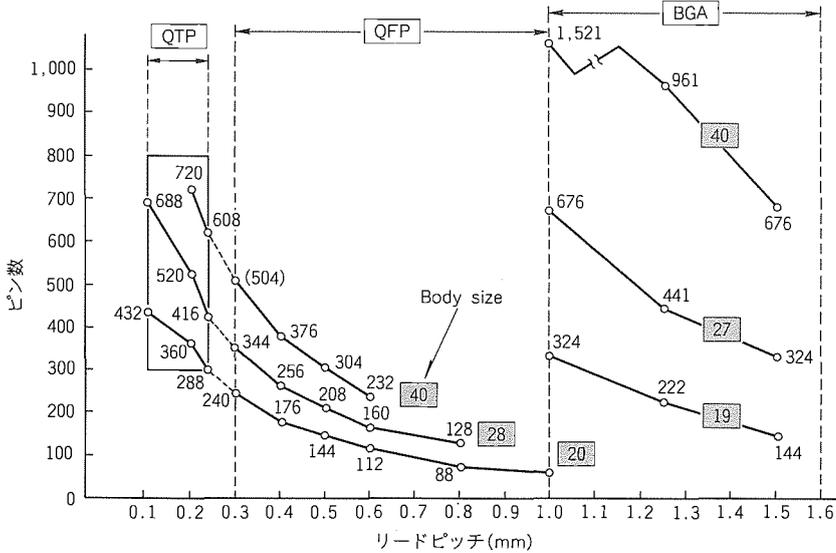


図 2. 多ピンパッケージのピン数と実装面積の比較

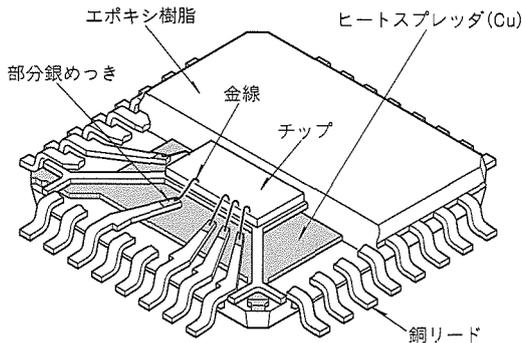


図 3. 銅フレームQFP(ヒートスプレッド内蔵タイプ)の構造

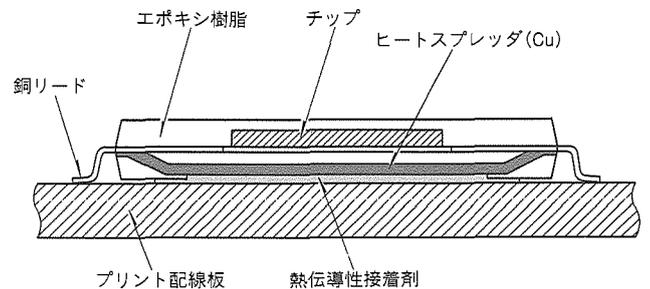


図 5. ヒートスプレッド露出薄型QFP構造

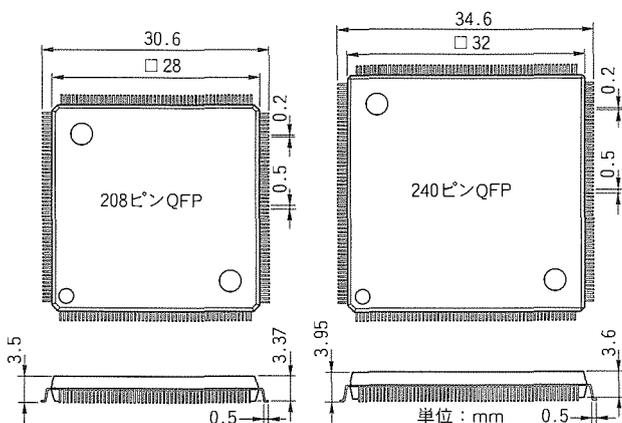


図 4. 銅フレームQFPパッケージ外形寸法

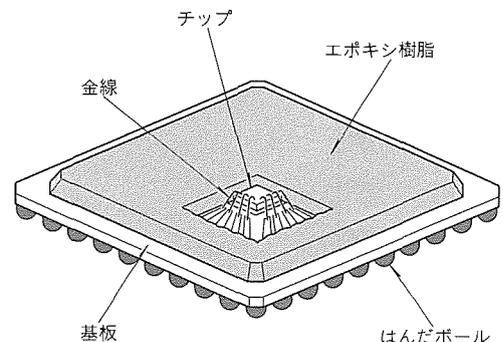


図 6. モールド型BGAの構造

ヒートスプレッドを外部に露出する薄型パッケージ構造の開発を検討している。

2.2 モールド型BGA

図6は、モールド型BGAの構造を示す斜視図である。主に両面プリント配線板を用い、配線板上にチップを搭載して配線板パターンと金線で接続した後、片面をトランスファモールドで封止する。配線板裏面には実装基板と接続する端子をはんだボールで形成する。図7に、225ピンモールドBGAの外形寸法を示す。ボディサイズは27mm角で、はんだボールを1.5mmピッチで面状に配置する。同程度のピン数の208ピン、240ピンQFPと比較して端子ピッチが3倍であり、実装性が良好で、かつ実装面積を同等以下に縮小できる。プリント配線板は厚みが0.5mm程度であるため、パッケージの薄型化が比較的容易である。また、リードフレームのように数個のICを搭載し、枚葉単位で処理して生産性を向上させることにより、コスト競争力のある多ピンパッケージとなっている。

今後300～400ピン級への展開に関しては、コストメリットを保ちつつ、より一層の熱・電気特性が得られるとともに、従来からモールドBGAの技術課題となっている耐リフロークラック性の向上と、パッケージの反りの低減を図りながらより大型とするパッケージの構造開発が課題となる。

2.3 中空(キャビティ型)BGA

図8は、当社が開発した中空型BGAの構造を示す斜視図

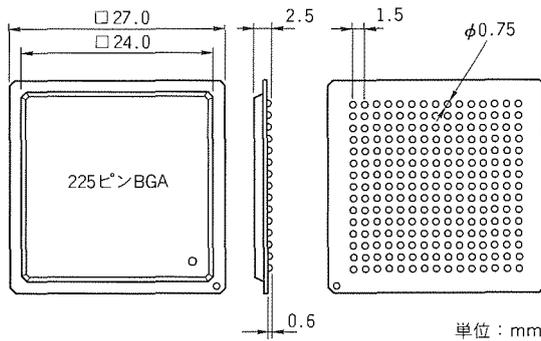


図7. モールド型BGA外形寸法

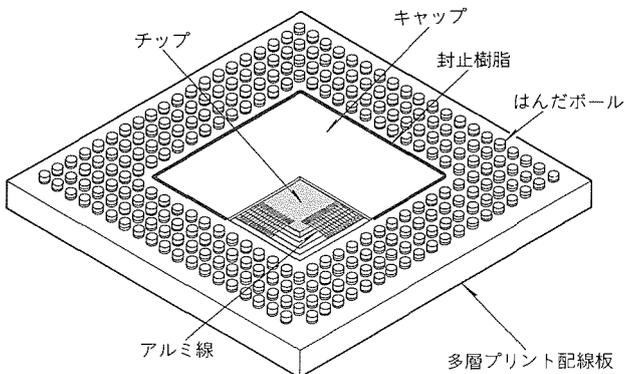


図8. 中空型BGAの構造

である。キャビティを形成した多層プリント配線板の使用により、シグナル/グラウンドプレーンを設けることが可能である。また、信号線に関してはマイクロストリップ構造とすることでインダクタンスを低くでき、電源・グラウンドに関しては配線長を最短とするような配線と構造設計によって電氣的に優れている。

また、チップ下に基板を貫通したサーマルビアを設け、チップ取付け面を下に向けるフェスダウン方式とすることで熱が放熱フィンに伝達しやすい構造とし、7～8W級の高放熱パッケージの実現が可能となった。図9は、開発した256ピン、及び500ピンBGAの外形寸法を示すものである。ボディサイズはそれぞれ27mm角、40mm角であり、厚みは約3mmである。

段状となった基板のフィンガへのワイヤボンドを高精度に行うため、ループ形状が制御しやすく、狭ピッチでワイヤ接続が可能なアルミ線のウェッジボンド技術を導入しており、チップ寸法の縮小によるコスト低減に寄与している。また信頼性を考慮して、ふた付け方式による中空構造とした。ボール付けは、生産性を考慮して自動機を開発した。図10は、ボール搭載自動機の外観図である。フラックス塗布、ボール搭載、及びリフローを一貫ラインで処理する。

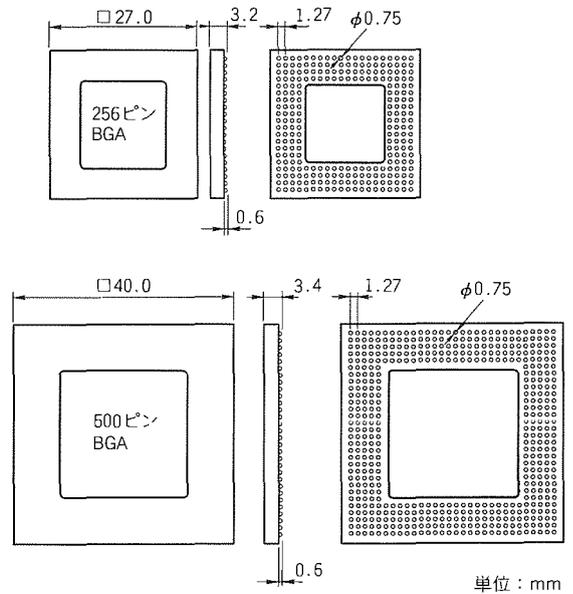


図9. 中空型BGA外形寸法

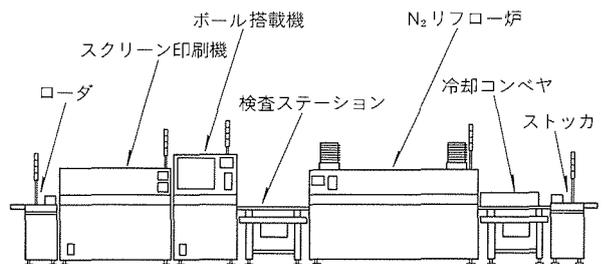


図10. ボール自動搭載機

今後は更に、700ピン級之多ピンパッケージまでの対応を検討している。多層プリント配線板の低価格化により、コスト競争力を上げることが今後の課題である。

3. 各パッケージの性能

以下に、208ピンと240ピンの銅フレームQFP、225ピンのモールド型BGA、及び256ピンと500ピンの多層プラスチック基板を用いた中空型BGAを例にして、各パッケージの性能、特に熱・電気特性に関して述べる。表1は、各パッケージの熱・電気特性のシミュレーション値を比較した表である。

まず熱特性については、風速1.0m/s時の許容消費電力のデータを比較した。同一サイズで比較すると、ヒートスプレッド内蔵型のQFPや中空型BGAと比べて、モールド型BGAは若干劣る。チップの発熱の伝達に抵抗が少なく、かつ放熱性が良好な放熱フィンを備えた中空型BGAが最も良好である。

また電気特性については、グラウンドバウンスに代表される信号ノイズ発生の原因の一つである、リードと配線部の自己インダクタンスで比較した。高速デバイスではノイズが大きな問題となり得るため、インダクタンスの値が少ないほど良好な電気特性であることを示す。リード、配線長さ、及びパッケージ構造等によって差異があるため、表には最大値と最小値を示している。電気特性は、中空型BGA、モールド型BGA、銅フレームQFPの順に優れている。いずれも、強磁性体である鉄系フレームを使用した従来の多ピンQFPパッケージよりも優れた熱・電気特性が得られている。

4. 次世代多ピンパッケージ技術

以下に、現在開発中の究極の薄型・小型多ピンパッケージであるCSP (Chip Scale Package) の構造、組立プロセス及び今後の展開に関して述べる。

CSPは、ICメーカーに対してKGD (Known Good Die) と呼ばれるバーンインテスト済み良品チップ供給への要求が高まるにつれ、ベアチップと同等に小型で、かつ良好なテスト性・リペア性を持つ最先端のパッケージとして各社が開発を加速してきた。図11に、当社が開発中のCSPの構造を

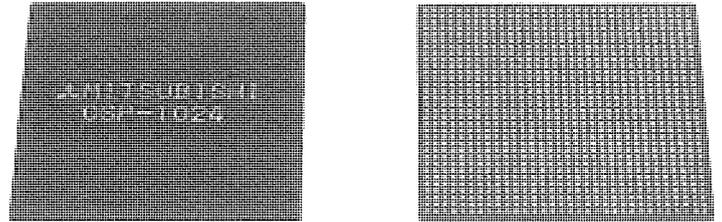


図11. CSPの構造(1,024ピン, 0.5ピッチ)

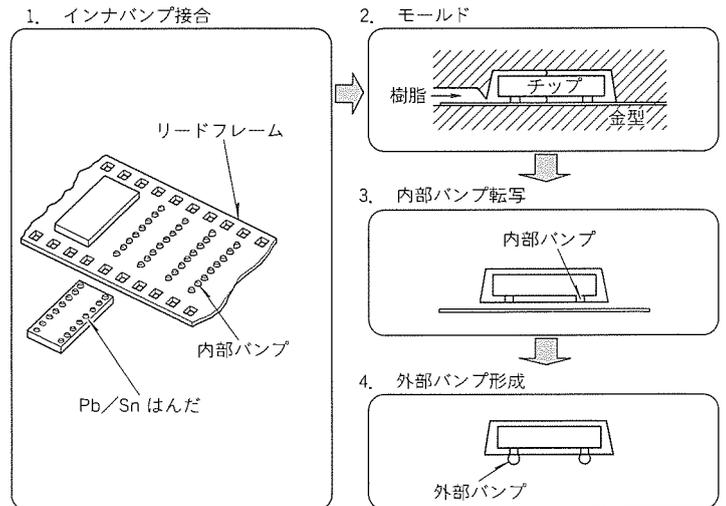


図12. CPS組立プロセス

表1. 熱・電気特性の比較

	パッケージ	ボディサイズ	リードピッチ	許容消費電力 (1m/s)	インダクタンス (nH) (1MHz)	
		(mm)	(mm)			
PQFP(鉄系フレーム)	208ピンQFP	28	0.5	1W以下	12.1~16.1	
PQFP (銅フレーム)	208ピンQFP	28	0.5	2W	10.6~13.4	
	208ピンQFP ヒートスプレッド内蔵型	28	0.5	3W	9.7~12.3	
	240ピンQFP	32	0.5	2.5W	12.1~15.1	
	240ピンHQFP ヒートスプレッド内蔵型	32	0.5	3.5W	9.4~11.4	
BGA	モールド型	225ピンBGA	27	1.5	2W	7.5~14.4
	中空型	256ピンBGA (フィン付き)	27	1.27	3W	3.4~ 8.3
		500ピンBGA (フィン付き)	40	1.27	7W	4.4~ 9.7

示す。0.5 mmピッチのはんだバンプを、約17 mm角のパッケージ表面に、1,024ピンを配置することが可能である。

信頼性の観点から、内部バンプ間の狭間げき(隙)に、トランスファ成形技術による樹脂封入技術開発により、モールド封止してあることが特長である。従来のプラスチックパッケージで実績のあるモールド樹脂の適用により、同等の信頼性を持つことが期待できる。

その組立プロセスには、図12に示すように、フリップチップボンダ技術、バンプ転写技術、及び狭ピッチはんだバンプ形成技術のような、いずれも従来のICアセンブリ技術を応用しながら新しい技術を開発している。はんだバンプ形成はコストを考慮して印刷法を採用し、ピン数が増えても組立コストに影響しないコスト競争力のあるパッケージを目指している。電気特性は、フリップチップ方式の採用によってパッケージ内の配線長が短いため、従来のパッケージに比べて優れている。

CSPは、KGDとして用い得る点から、将来的には高歩留りのMCM (Multi Chip Module) への展開の可能性も高い。一方、接続バンプをエリアアレー状に配置した場合、

実装基板側の配線ルールの微細化・多層化が必要である。今後CSPが広く用いられるには、基板配線を含めた実装設計とプロセスのインフラ整備が重要であろう。

5. むすび

高放熱・高電気特性を持つ200～700ピンの多ピンパッケージとして、銅リードフレームQFP、モールド型BGA、及び中空型BGAパッケージを開発し、量産化した。

今後は、外形のシリーズ化、より一層の高機能化・小型化、及び生産性の向上、基板の低価格化を可能とする構造設計等によってコスト競争力を上げることが課題となる。また将来技術として、CSPの構造・要素技術開発を進め、究極の薄型・小型多ピンパッケージであるMCMへの展開も検討する。

参考文献

- (1) 馬場伸治, 上田直人, 中川 治: CSP (Chip Scale Package) の開発, SHM 会誌, 11, No.5, 15～19 (1995)

アーキテクチャに依存しない 高位合成用HDLモデル化技術

東田基樹* 濱田英幸*
小林直弘* 大倉五佐雄**
石川淳士*

1. ま え が き

マルチメディア時代を迎え、画像/音声処理、通信における変復調処理、また誤り訂正符号の符号化/復号処理等のLSIが各企業で盛んに開発されている。これらの処理アルゴリズムは、標準化が進められていることもあり、ソフトウェアレベルでの動作アルゴリズムは固定的である。しかし、この動作アルゴリズムをLSIとして実現する場合、入出力の速度や、データバス幅、クロック周期等により、ハードウェアのアーキテクチャは大きく変わる。このため、これらのLSIは、アプリケーションごとにアーキテクチャを検討し直す必要がある。

最近、ソフトウェアレベルのHDL (Hardware Description Language) モデルから要求性能の制約に応じたアーキテクチャを自動合成する高位合成ツールが開発された。この高位合成ツールを利用すれば、上記のようなLSIは、単一のHDLモデルからの自動合成が可能になると期待できる。

しかし、ソフトウェアレベルの動作アルゴリズムを単純に変換したHDLモデルからは、現状の高位合成ツールでは、ほとんどの場合、様々な要求仕様に応じた多様なアーキテクチャを合成できない。これを可能にするためには、アーキテクチャに依存しない高位合成用HDLモデルのモデル化技術が必要となる。

今回、誤り訂正符号の復号処理LSIを対象として、アーキテクチャに依存しないHDLモデルの開発に取り組んだ。この論文では、開発における、ソフトウェアレベルの動作アルゴリズムから高位合成ツールに適用可能なHDLモデルの作成手順、及び合成可能なアーキテクチャの範囲を拡大するためのHDLモデルの改良法について述べ、さらに、開発したHDLモデルで多様なアーキテクチャを高位合成した結果について述べる。改良したHDLモデルからは6種類の異なったアーキテクチャを合成させ、面積比で最大10倍、サイクル数比で最大5倍の差異を持ったアーキテクチャを得ることができた。

2. 高位合成ツール

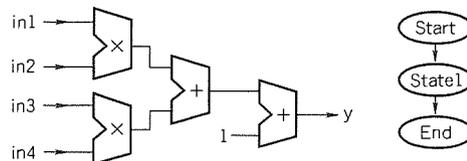
2.1 高位合成ツールの概略

高位合成ツールは、動作記述を入力し、アプリケーションに応じた最適なデータバス構成とデータバスの制御論理を計算し、論理合成ツールに入力可能なレジスタトランスファレベルの記述として出力するツールである⁽¹⁾。

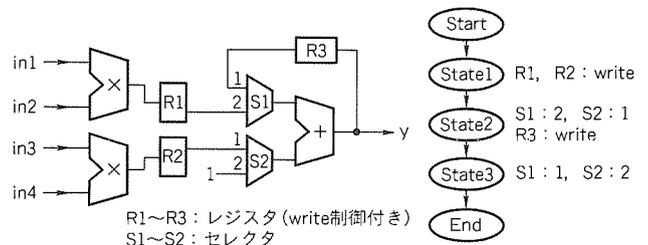
図1に、高位合成ツールの簡単な入出力例を示す。図(a)は入力となる動作記述である。図(b)~(d)は、合成されたデータバスアーキテクチャと対応する制御論理(状態遷移)である。従来の論理合成ツールでは、図(a)の動作記述を1クロックサイクルで動作すべき論理と解釈する。したがって、論理合成ツールでは、図(b)の回路しか生成できない。高位合成ツールでは、この動作記述の実現に複数クロックサイク

$$y = in1 \times in2 + in3 \times in4 + 1$$

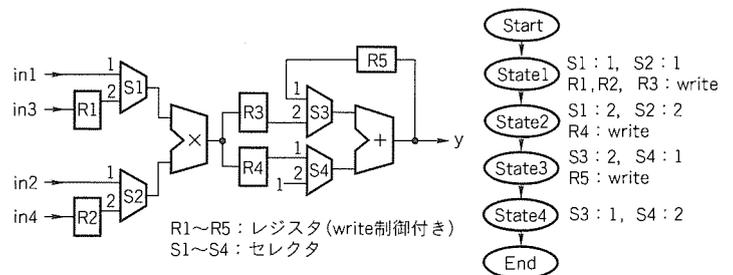
(a) 動作記述



(b) アーキテクチャ1(乗算器2, 加算器2, 1サイクル動作)



(c) アーキテクチャ2(乗算器2, 加算器1, 3サイクル動作)



(d) アーキテクチャ3(乗算器1, 加算器1, 4サイクル動作)

図1. 高位合成ツールが合成する様々なアーキテクチャ

ルを使用してもよいと解釈する。このため、図(c)、図(d)に見られるように、それぞれ二つある乗算演算や加算演算の実行サイクルを変化させて、乗算器や加算器の共有化を行うことができる。演算の実行サイクルを変化させてリソースの共有化を行う手法を、スケジューリングと呼ぶ。高位合成ツールでは、このスケジューリングが中核となる処理である。

高位合成ツールを用いることにより、動作サイクルとリソース数のトレードオフといった、アーキテクチャレベルの最適化を行うことができる。

2.2 使用した高位合成ツール

HDLモデルは、ツールに独立な記述となることが望ましいが、現実には、ツールに特化した記述となる。以降の章では、Behavioral Compiler^(注1) (以下“BC”という。)を対象として行った高位合成用HDLモデルの開発手順、及び高位合成の適用結果について述べる。

BCは、入力の記述言語としてVerilog-HDLとVHDLの両方をサポートしている。また、スケジューリングの自由度に応じて、cycle-fixed I/O, superstate-fixed I/O, free-floating I/Oの三つのスケジューリングのモードを持っている。

今回は、記述言語としてVerilog-HDLを、スケジューリングのモードとしてsuperstate-fixed I/Oを用いた。superstate-fixed I/Oを使用した理由は、外部との通信プロトコル等についてはスケジューリングを固定させ、その他の部分についてはBCに自由なスケジューリングを行わせるためである。

3. 高位合成用HDLモデルの開発

3.1 動作アルゴリズム

リードソロモン誤り訂正符号(以下“RS符号”という。)の復号処理の動作アルゴリズムのフローを図2に示す⁽²⁾。

復号処理アルゴリズムの基本的な演算は、ガロア体の乗除算、及び加算演算である。ガロア体の乗除算は、通常に加減算演算を1回用いて実現できる。ガロア体の加算は、通常減算演算を2回と定数テーブル参照を用いて実現できる。このガロア体演算の量が、アルゴリズムの複雑度を表し、また、実行時間を決定する。

この復号処理の動作アルゴリズムをVerilog-HDLを用いて記述した。記述量は、378行(そのうち定数テーブルの記述が73行)である。HDLには、三重にネストしたループを含む30個のループ記述が

存在する。このHDLモデルは、1シンボルのビット幅8、情報シンボル数7、パリティシンボル数8、訂正可能シンボル数4のRS符号に対して記述したものである。しかし、ガロア体の加減算演算に使用する定数テーブルを変更し、動作アルゴリズム内のループ回数を変更するだけで、これらのパラメータが異なったRS符号の復号処理アルゴリズムとすることができる。

3.2 外部インターフェースの付加

実際のLSIの動作を表現するためには、上記HDL記述に外部インターフェースの動作記述を加える必要がある。

高位合成対象であるRS符号の復号処理LSIとその入出力を含むシステムの構成を図3に示す。データは受信FIFOに蓄えられる。受信FIFOにデータがあるとき、DataEx-

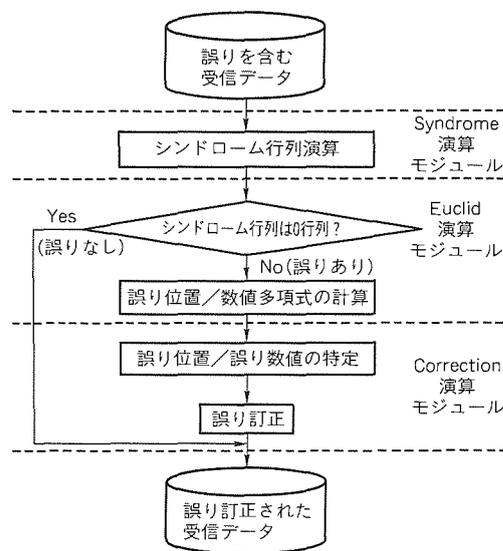


図2. 動作アルゴリズムのフローと階層分割

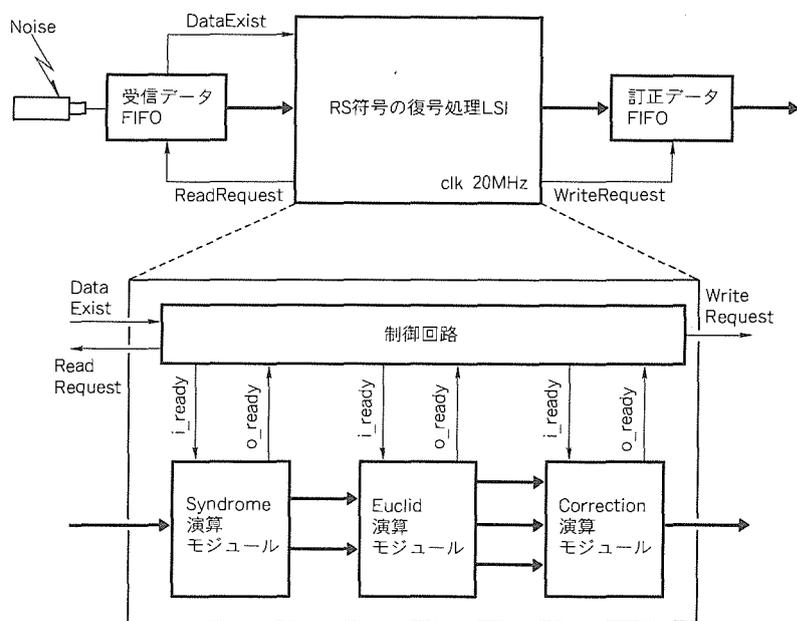


図3. 全体のシステム構成とLSI内部のモジュール構成

(注1) “Behavioral Compiler”は、Synopsys社の登録商標である。

ist信号がアクティブとなる。復号処理LSIは、この信号を検出して、ReadRequest信号をアサートし、受信データを1ブロック分取り込む。1ブロック分の誤り訂正が完成すれば、WriteRequest信号をアサートして、訂正データFIFOへ誤り訂正後のデータを出力する。以上が外部とのインタフェースの仕様である。この外部インタフェースをHDL記述で表すと、図4のようになる。純粋な動作アルゴリズム部はクロックを意識しない記述となるが、外部インタフェース部は、“@ (posedge clk)”文を使用したクロックを意識した記述となる。

3.3 階層分割

BCが一度に扱うことのできる演算の量は、高々150程度である⁽³⁾。したがって、前節の記述を直接BCの入力記述とすることはできない。そのため、図2及び図3に示すように、動作記述を三つに分割して、それぞれの動作を三つのサブモジュールで実現するようにした。また、それぞれのサブモジュールがパイプラインの実行ができるように、前節と同様にサブモジュール間の通信プロトコルの記述を付加した。

さらに演算を削減するために、動作記述中に多数現れるガロア体の演算(関数として表現してある。)を、単独の新しい演算として登録した。

3.4 HDLモデルの改良

図1の例からも分かるように、高位合成ツールは、並列実行可能な動作(演算)に着目して、面積(リソース数)とサイクル数のトレードオフを図る⁽¹⁾。トレードオフできる範囲が大きいほど、様々な要求仕様に対応した多様なアーキテクチャを合成できる。したがって、多様なアーキテクチャを合成できるHDLモデルとするためには、トレードオフの範囲ができるだけ拡大するように、並列実行を意識したHDLモデルとする必要がある。ここでは、シンドローム行列演算に

```

module RS_LSI(clk, rst, DataExist, ReadRequest, WriteRequest,...);
input  clk, rst;
input  DataExist;
output ReadRequest, WriteRequest;
reg    ReadRequest, WriteRequest;

<他の入出力や、レジスタ記述の定義>

always begin
    ReadRequest <= 0;
    WriteRequest <= 0;
    @(posedge clk);
    forever begin
        while (!DataExist) begin @(posedge clk); end
        @(posedge clk);
        ReadRequest <= 1;
        @(posedge clk);
        <外部からのデータ入力>
        ReadRequest <= 0;

        <動作記述本体>

        <外部へのデータ出力>
        WriteRequest <= 1;
        @(posedge clk);
        WriteRequest <= 0;
        @(posedge clk);
    end
end

<関数/タスク記述>

endmodule
    
```

図4. 外部インタフェースのために付加する記述

対して行ったHDLモデルの改良について述べる。

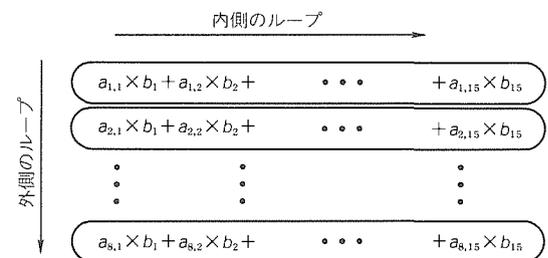
シンドローム行列演算の基本動作は、8行15列の行列 a_{ij} と15行1列の行列 b_j の行列積(ただし、乗算/加算演算には、ガロア体の乗算/加算を用いる。)である。HDLモデルでは、この動作を二重にネストしたforループの記述によって表現している。当初のHDLモデルでは、図5(a)に示すような、内側のループで1行分の行列演算を行うようなアルゴリズムとなっていた。これでは、内側のループを展開した場合でも、加算演算に依存関係があり、並列実行ができない。一方、図5(b)に示すように、内側のループで1列分の乗算と加算の演算を行うような記述に変更した場合、内側のループを展開すると、8個の乗算/加算演算が並列に実行可能となる。

4. 様々なアーキテクチャの高位合成

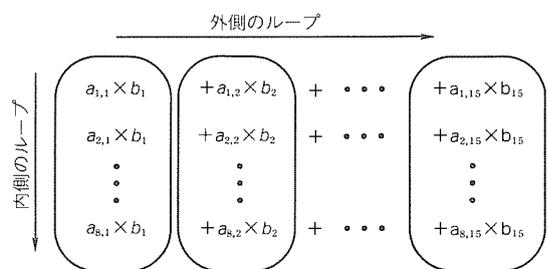
4.1 Syndrome演算モジュールの高位合成

Euclid及びCorrection演算モジュールは受信信号に誤りがあるときだけ動作するモジュールなので、Syndrome演算モジュールが、LSI全体の動作速度を決定するモジュールである。この節では、このSyndrome演算モジュールのHDLモデルを入力として、サイクル数制約、及びガロア体の加算器を変化させた6種類の高位合成を行った結果を示す。

図6に、合成した6種類のアーキテクチャの回路面積とサイクル数の関係を示す。面積の尺度に用いたbc数とは、ゲートアレーの基本セルの個数である。2入力NANDゲートは、3個の基本セルを用いて実現できる。ガロア体加算器としては、高速版と小面積版の2種類を用いた。小面積版のガ

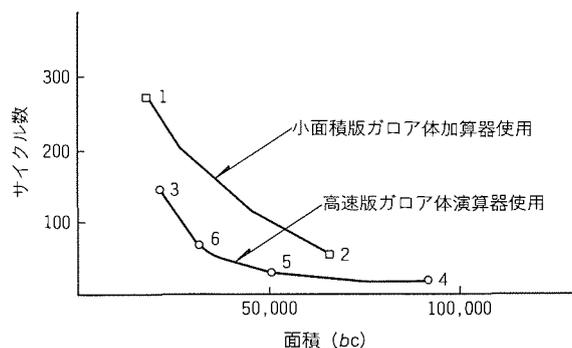


(a) 改良前のHDLモデル



(b) 改良後のHDLモデル

図5. 並列動作を考慮したHDLモデルの改良



1. 小面積版ガロア体加算器使用, 面積最小の制約
2. 小面積版ガロア体加算器使用, サイクル数最小の制約
3. 高速版ガロア体加算器使用, 面積最小の制約
4. 高速版ガロア体加算器使用, サイクル数最小の制約
5. 高速版ガロア体加算器使用, ループサイクル2の制約
6. 高速版ガロア体加算器使用, ループサイクル4の制約

図6. 面積とサイクル数のトレードオフ

ロア体加算器は、面積が2,754 (bc), 遅延が43.24 (ns) であり、高速版は、面積が4,712 (bc), 遅延が23.89 (ns) である。小面積版のガロア体演算器を用いる場合はガロア体の乗算と加算に2サイクル必要であるが、高速版を用いる場合は1サイクルで実行できる。なお、クロック周期は50 (ns) と指定した。

一度の高位合成に要したCPU時間は Sparc10 (Sun 製) で、1,000~1,500s である。また、使用メモリは40~80 Mバイトである。

合成したアーキテクチャは、面積比で最大10倍、サイクル数比で最大5倍の差異を持つ。したがって、このHDLモデルは、この範囲に収まる要求仕様のアーキテクチャなら合成可能であるといえる。また、ガロア体加算器の小面積版と高速版のトレードオフ曲線の差に見られるように、演算器を変化させることにより、トレードオフの範囲を拡大できることも判明した。

4.2 全体の高位合成

さらに、Euclid演算モジュールとCorrection演算モジュールについても高位合成を行った。表1に、サイクル数最小と面積最小の高位合成を行った結果を、Syndrome演算モジュールの結果と合わせて示す。ガロア体の加算器には小面積版を使用した。

サイクル数最小と面積最小のアーキテクチャの差異は、Euclid演算モジュールで、面積比が1.05倍、サイクル数比が1.5倍、Correction演算モジュールで、面積比が1.4倍、サイクル数比が1.5倍である。Syndrome演算モジュールに比べると、アーキテクチャの差異が小さい。

これは、アルゴリズム内に並列性が少なく、複数リソース

表1. 全体の面積とサイクル数のトレードオフ

モジュール	最適化目標	面積 (bc)	サイクル数
Syndrome	面積最小	18,286	271
	サイクル数最小	65,341	52
Euclid	面積最小	47,133	1,408
	サイクル数最小	47,885	928
Correction	面積最小	38,574	840
	サイクル数最小	57,171	467

の並列実行による高速化が余りできなかったためと思われる。逆に考えると、高位合成を有効に使用するには、大きな並列性を持つようなアルゴリズムを検討し記述することが重要であることが分かる。

5. むすび

この論文では、リードソロモン誤り訂正符号の復号処理LSIを対象とし、アーキテクチャに依存しない高位合成用HDLモデルの開発について述べた。

開発したHDLモデルで高位合成を行った結果、LSIの動作速度を決定するSyndrome演算モジュールについて、面積比で最大10倍、サイクル数比で最大5倍の差異を持つ6種類のアーキテクチャを合成できた。

今回作成した動作記述は、階層分割を行っていたり、外部インタフェースのための記述を付加していたりして、完全にアーキテクチャに依存していないとはいえない。階層分割の必要性については、ツールの今後の発展に期待するとともに、実際の運用面では、アーキテクチャのトレードオフの可能性を減じないような分割を行うようにしていく計画である。また、外部インタフェースについては、インタフェース記述部と動作記述部を分離し、インタフェース記述部については幾つかのテンプレートを準備し、そのテンプレートと動作記述を組み合わせるにより、様々なLSIに対応可能となるような構成にする予定である。

参考文献

- (1) Gajski, D., Wu, Wu., Dutt, N., Lin, S. : High - Level Synthesis, Kluwer Academic Publishers (1992)
- (2) 今井秀樹：誤り訂正符号化技術の要点, 日本工業技術センター (1986)
- (3) Synopsys : Behavioral Compiler Methodology Version3.2b, Synopsys (1995)

スポットライト 3.3V高速SRAMラインアップ

近年、マイクロプロセッサの高性能化とともにその性能を生かすため、高速SRAMを用いたキャッシュメモリの要求が急激に増えてきました。また、マイクロプロセッサの低消費電力化のため電源電圧が5Vから3.3Vに低電圧化してきました。そのため、マイクロプロセッサと直接インタフェースをとるキャッシュメモリも3.3V化する必要が出てきました。この要求にこたえていくために、三菱電機では高速、低消費電力で3.3Vインタフェースを持った高速SRAMを開発し、製品化をしました。表にそのラインアップを示します。

●256K高速SRAM

語構成は32K×8で、8個使用することで256Kバイトのキャッシュシステムを構築できます。現在量産中のM5M5V278Dはアクセスタイム15nsでプロセッサの動作周波数66MHzまで対応可能であり、現在開発中のM5M5V278Eはアクセスタイム10nsでプロセッサの動作周波数100MHzまで対応可能です。

用途として、先に説明したデータキャッシュメモリのほかタグメモリや通信分野等でのバッファメモリとして最適です。またパッケージはDIP、SOJのほかノートブックパソコン等に最適なTSOPも用意しております。

●1MパイプラインバーストSRAM

現在主流のマイクロプロセッサは、バーストモード(4アドレスの高速動作)をサポートし、システムの性能を上げています。このバーストモードをサポートし、かつチップ内部にレジスタ回路を内蔵しパイプライン動作を可能にした1MパイプラインバーストSRAMを開発しました。これによりバースト動作(4アドレス動作)必要サイクル数は、従来のSRAMの3-2-2から3-1-1-1と3サイクル減少できます。また256Kバイトのキャッシュシステムを構築する場合32K×8の8個使用から32K×32の2個使用に部品数を削減することができます。以上の点から、今後のキャッシュメモリはパイプラインバーストSRAMに急激に移行していくと思われれます。

現在量産中のM5M5V1132はアクセスタイム5.5nsでプロセッサの動作周波数100MHzまで対応可能であり、現在開発中のM5M5V1132Aはアクセスタイム3nsでプロセッサの動作周波数150MHzまで対応可能です。またパッケージはQFPのほかノートブックパソコン等に最適な薄型のLQFPも用意しております。

今後、標準SRAMとパイプラインバーストSRAMの更なる高速化・大容量化を図る予定です。

三菱3.3V高速SRAMラインアップ

	256K高速SRAM		1M Pipeline Burst SRAM	
	M5M5V278D	M5M5V278E	M5M5V1132	M5M5V1132A
語構成	32K×8	32K×8	32K×32	32K×32
デザインルール	0.6μm	0.4μm	0.6μm	0.4μm
アクセスタイム (動作周波数)	15ns	10ns	5.5ns (100MHz)	3ns (150MHz)
消費電流	100mA	120mA	300mA	220mA
パッケージ	DIP SOJ TSOP	DIP SOJ TSOP	QFP LQFP	QFP LQFP
V _{cc} spec.	3.3V+10%/−5%	3.3V+10%/−5%	3.3V+10%/−5%	3.3V+10%/−5%
スケジュール	量産中	ES'96/1 CS'96/8 MP'96/9	量産中	ES'96/3 CS'96/6 MP'96/7



特許と新案 * * *

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター
Tel(03)3218-2174

半導体不揮発性記憶装置の書込み及び消去方法

(特許 第1878212号, 特公平4-80544)

発明者 松尾龍一

この発明は、電気的書込み及び電気的消去が可能な半導体不揮発性記憶装置の書込み及び消去方法に関するものである。

従来のこの種の装置では、書込み時と消去時において同一のトンネルSiO₂膜を電子が通り抜けるので、書込みと消去を繰り返す回数に比例して、トンネルSiO₂膜に残留する電子数の増加する割合が大きくなって、書換えが不可能になり、メモリセルの寿命が短くなる欠点があった。

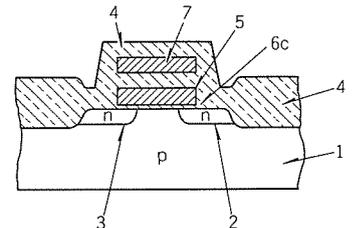
この発明は上記の欠点をなくすためになされたもので、図に実施例を示す。浮遊ゲート(5)直下のSiO₂膜は、ドレイン(2)上、ソース(3)上及びその間のSi基板(1)上で10~300 Å程度に形成され、トンネル現象が生じるように構成されている。

書込みの場合は、ソース(3)及びSi基板(1)を接地し、正の電圧を制御ゲート(7)とドレイン(2)に印加すると、電子がSi

基板(1)からソース(3)を経てソース側トンネルSiO₂膜を通り抜けて浮遊ゲート(5)に注入され、書込みが完了する。

消去の場合は、制御ゲート(7)、ソース(3)及びSi基板(1)を接地し、正の電圧をドレイン(2)に印加すると、浮遊ゲート(5)に蓄積されている電子がトンネルSiO₂膜を通り抜けてドレイン(2)を経て、Si基板(1)に放出されて消去が終了する。

以上のように、この発明によれば、浮遊ゲート(5)への電荷の書込みと、消去を異なる経路で実行でき、トンネルSiO₂膜中の電荷の滞留を減少でき、寿命を長くすることができる。



〈次号予定〉三菱電機技報 Vol.70 No.4 特集“電力情報制御システム”

特集論文

- 電力情報制御システム特集に寄せて
- 電力情報制御システム技術の現状と展望
- 情報制御計算機システム
- 分散型系統制御システム
- 電力系統運用業務支援システム
- 配電総合自動化システム
- 電力マッピングシステム
- 現場作業支援システム
- 電力設備ドキュメント管理システム
- 火力発電プラント設備運用・管理支援システム
- 電力基幹系通信網システム

●給電情報ネットワーク

- お客さま情報ネットワーク
- 電力設備映像監視システム
- 九州電力(株)納め小容量衛星通信システム

普通論文

- プラント建設工事におけるEOA化の現状
- 東京電力(株)納め臨海副都心向け屋外形変圧器装置
- 東海旅客鉄道(株)納め機械設備保守保全支援エキスパートシステム
- 宇宙開発事業団納め地球観測プラットフォーム技術衛星用地球観測情報受信設備
- グラフィックオペレーションターミナルGOT'800シリーズ
- ビジョンセンサ“AS50VS”
- FAコントローラ“MELSEC-LM”シリーズ

三菱電機技報編集委員

委員長 黒田 紀典
委員 永田 讓蔵 下村 寛士
永田 裕之 河内 浩明
上杉 豪 内藤 明彦
磯田 悟 山本 延夫
畑谷 正雄 才田 敏和
中井 良雄 鳥取 浩
幹事 小林 保雄
3月号特集担当 外山 毅

三菱電機技報70巻3号

(無断転載を禁ず)

1996年3月22日 印刷
1996年3月25日 発行

編集兼発行人 小林 保雄
印刷所 千葉県市川市塩浜三丁目12番地 (〒272-01)
菱電印刷株式会社
発行所 東京都港区新橋六丁目4番地9号
北海ビル新橋 (〒105)
三菱電機エンジニアリング株式会社内
「三菱電機技報社」Tel. (03) 3437局2692
発売元 東京都千代田区神田錦町三丁目1番地 (〒101)
株式会社 オーム社
Tel. (03) 3233局0641(代), 振替口座東京6-20018
定価 1部721円(本体700円) 送料別



特許と新案 * * *

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター
Tel(03)3218-2174

ワイヤカット放電加工におけるワイヤ電極自動供給方法 (特許 第1746430号, 特公平3-75289号)

発明者 弥富 剛, 山本政博, 尾崎好雄

この発明は、ワイヤカット放電加工装置におけるワイヤ電極自動供給方法において、ワイヤ電極の自動供給中にトラブルからくる供給の失敗を検出して、再度ワイヤ自動供給をやり直し、成功に結び付ける方法に関するものである。

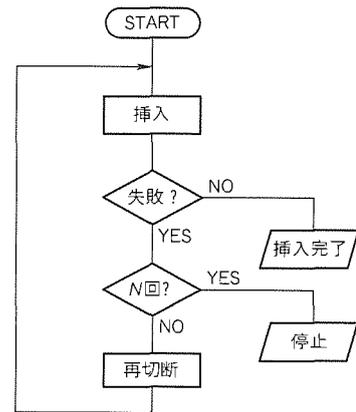
ワイヤカット放電加工装置におけるワイヤ自動供給方法は、加工開始穴が変わるたびに切断動作をした後、挿入動作をして加工のできる状態に自動的に持っていく方法である。

従来のワイヤ自動供給方法は、挿入動作中のトラブルによって、挿入失敗が発生した場合は、挿入動作の続行が不可能となってしまう欠点があった。

この発明は、上記のような欠点を除去するためになされたものである。すなわち、図に示すように、挿入指令を出して挿入動作を行わせる。そこで失敗を検出しない限り挿入完了となるが、もし、失敗を検出した場合は、その回数が N 回に達しているかを判断し、 N 回に達している場合は、挿入動作を停止させる。しかし、 N 回に達していない場合は、ワイヤ電極の切断動作を行わせ、切断完了後は、再度挿入指

令を出して挿入動作を行わせるといったサイクルを繰り返す。このように、挿入が成功するまで、すなわち失敗が N 回に達するまでは繰り返すようにしたものである。

以上のように、ワイヤ挿入中の失敗を検出することにより、再度挿入をやり直すことによって成功に導くものであり、高信頼度のワイヤ自動供給方法を提供するものである。



半導体装置 (米国特許 第4,808,844号)

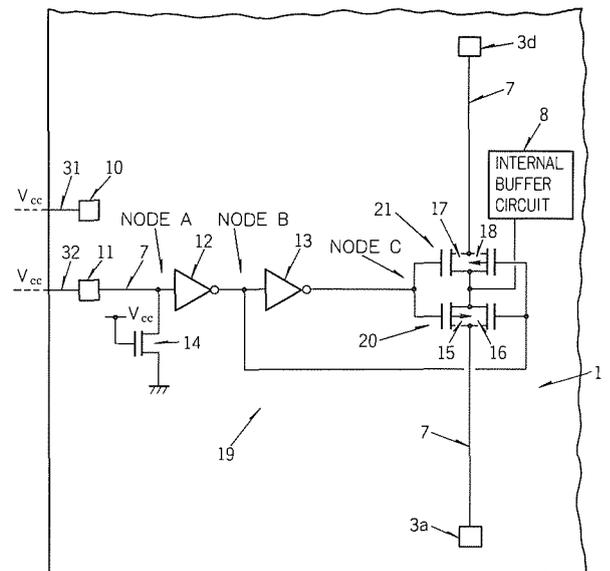
発明者 尾崎秀之, 平山和俊, 藤島一康, 日高秀人

この発明は、半導体チップ上に同一外部信号用ボンディングパッドを複数個設けた半導体装置に関するものである。

従来のこの種の半導体装置では、外部信号に対して2個の同一外部信号用ボンディングパッドが常に接続され、入力容量が過大になる問題点があった。

この発明は、上記の問題点を解決するためになされたものである。図の実施例に示すように、半導体チップ(1)上に、半導体チップ(1)の同一回路に接続される2個の同一外部信号用ボンディングパッド(3a, 3d)と、それらの接続経路系を内部回路(8)に選択的に接続するスイッチ手段(10)と、その選択状態を決定するための信号を入力するスイッチ切替用ボンディングパッド(11)が構成されている。この構成により、同一外部信号用ボンディングパッド(3a, 3d)の一方が内部回路(8)に接続され他方は切り離されるので、半導体チップ(1)上に同一外部信号用ボンディングパッドを2個設けているにもかかわらず、外部信号入力ピンから見た入力容量を、半導体チップ上に1個の外部信号用ボンディングパッ

ドのみを設けている場合の入力容量とほぼ等しくすることができる。



小型高照度液晶プロジェクタ

スポットライト

LVP-SV1

このたび三菱電機では、小型・軽量でパソコンを直接接続でき、また手軽に映像を大画面で楽しめる高照度液晶データプロジェクタ LVP-SV1を開発しました。

LVP-SV1は、昨春発売し好評を得ているLVP-EP1の顧客アンケート、販売店その他市場情報から小型・軽量、高解像度、高照度を生かしたミニプレゼンテーションツールとして開発しました。

1.3インチ30万画素高開口率ポリシリコン液晶パネルを2枚使用した三菱電機独自の輝度・色画像分離方式を用いパソコン、ビデオ映像ともに解像度の高い高画質の画像を再現します。

特長

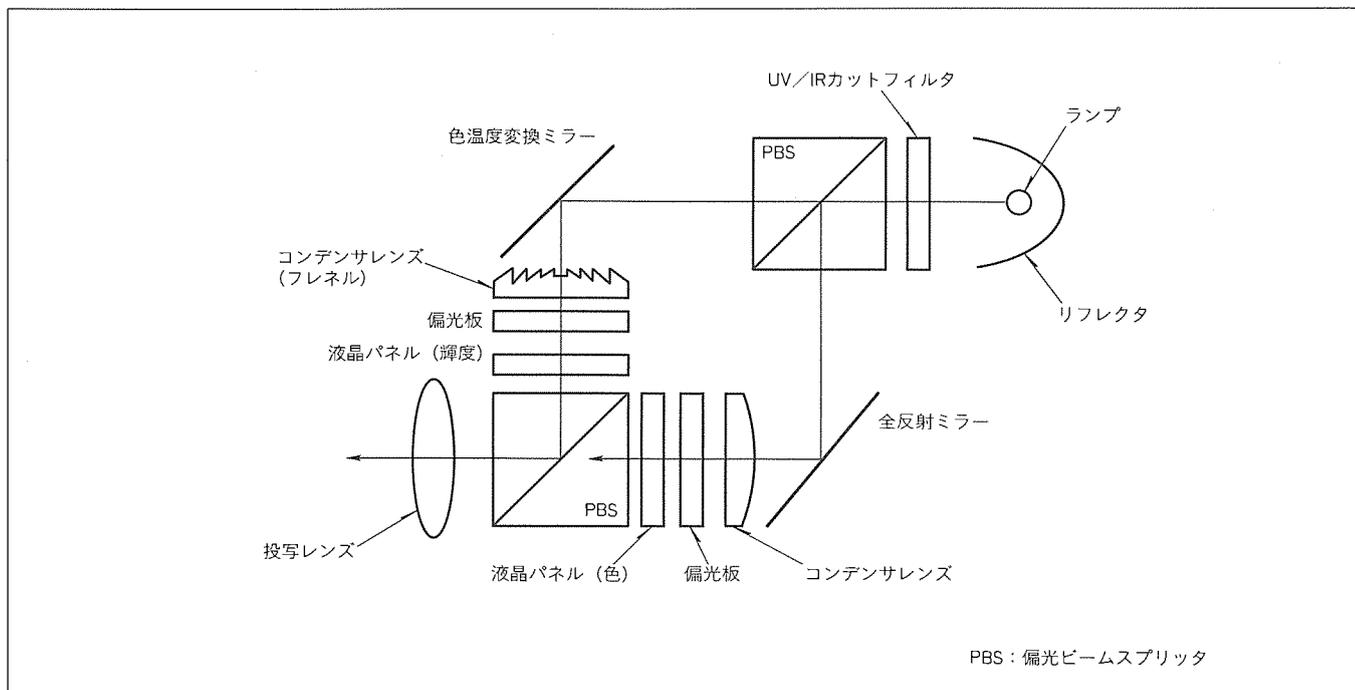
- 1.3インチ30万画素高開口率のモノクロ液晶パネルとカラー液晶パネルの採用によりケーブルを接続するだけでパソコン画像を映し出します。また映像画像も水平解像度480TV本の高画質で再現します。
- カラー液晶パネルに新カラーフィルタを採用することにより一段と白色、青色の再現性が向上しました。
- 100Wのハロゲンランプと偏光ビームスプリッタ、及びダイクロミックミラーにより6,000Kの色温度と、40インチ160ルクスの高照度を得ました。
- ビデオ入力端子及びミニD-sub15ピンのアナログRGB入力端子を備えており、パソコンをこの端子に接続するだけでパソコン画像を、また映像画像はビデオ入力端子に接続することにより20型から100型まで投写できるA4サイズの小型機を実現しました。



LVP-SV1外観

液晶プロジェクタ概略仕様

型名	LVP-SV1	LVP-EP1
標準価格	24万円	13.8万円
入力信号方式	NTSC アナログRGB	NTSC
液晶サイズ	1.3インチ×2	1.3インチ×2
画素数	30万画素×2	17万画素×2
投写サイズ	20~100型	20~100型
照度(40インチ)	160 lx	60 lx
ランプ	100Wハロゲン	100Wハロゲン
消費電力	140W	140W
質量	4.7kg	4.2kg
外形寸法(mm) W×D×H	200×306×155	200×306×155



基本光路図

配線作業工数を低減する分電盤用速結端子付き

スポットライト

ノーヒューズ遮断器・漏電遮断器

産業用分電盤の分岐回路用遮断器としてご愛顧いただいているJIS協約寸法ブレーカBH-K形及びNF/NV-KBシリーズに、このたび、負荷側端子へ速結端子を装着した速結端子付き遮断器を品ぞろえしました。

負荷側端子にねじを使用しない構造のため、増し締め作業が不要となり、保守工数の省力化が図れます。

* “ケーシクランプ” は、WAGO Kontakttechnik GmbH社の商標（申請中）です。

特長

(1) 配線作業工数の省力化

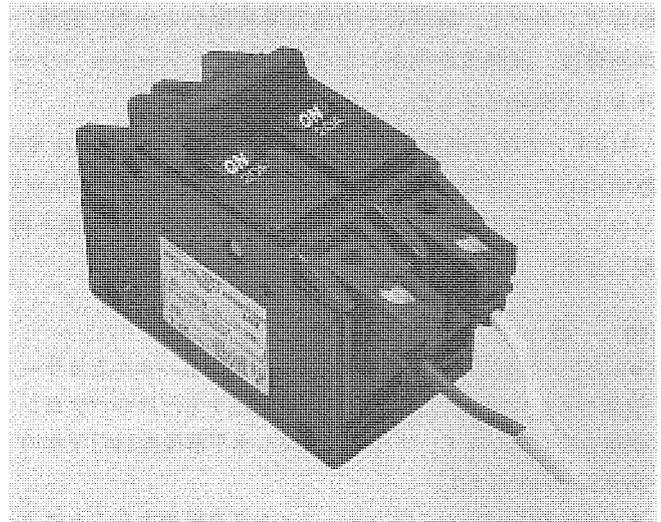
速結端子の採用により、負荷側配線作業工数が大幅に低減しました。従来のような端子ねじの緩め、締付けや電線への圧着端子のカシメが不要となり、操作レバーを用いたツーアクションの簡単な作業で、スピーディに結線が行えます。

(2) 接続作業の信頼性向上

●ばね力により接触圧力を得るので、ねじ端子のような締付けトルクのばらつきの影響がなく、接続作業の安定性を向上できます。

●ケーシクランプ方式を用いることにより、従来の電線押し込み式に比べて高接触圧力を実現し、接続部の信頼性を向上させています。また、単線ばかりでなくより線（最大3.5mm²）にも適用可能です。

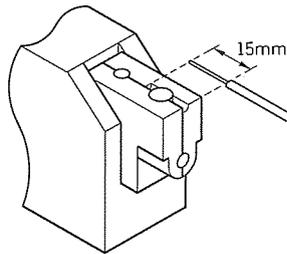
(3) 増し締め保守工数の省力化



速結端子付きBH-K形2極品の外観

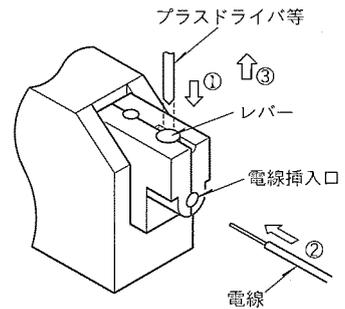
1. 電線の皮むき

ワイヤストリップゲージに合わせ、15mmの皮むきを行ってください。



2. 電線の接続

- ① レバーをプラスドライバ等でいっぱい押し下げてください。
- ② レバーをいっぱい押し下げた状態で電線挿入口から電線を奥まで差し込んでください。
- ③ レバーを押すことを中止してください。レバー押込みを解除すれば接続完了です。



電線接続手順

機種一覧

機種	アンペア フレーム	形名	極数	定格電流 (A)	接続方式	速結端子の適用 電線サイズ
ノーヒューズ 遮断器	50	BH-K	1	10, 15, 20	電線側： M5押え 負荷側： 速結端子	φ1.6, φ2 の単線 2mm ² , 3.5mm ² のより線
			2			
	30	NF30-KB	2	3, 5, 10, 15, 20		
漏電遮断器	50	NF50-KB	2	(5), (10), 15, 20		
			2			

注：定格電圧、定格遮断容量、定格感度電流（漏電遮断器のみ）は、速結端子なしの同一形名品と同じです。

三菱電機では、デジタル画像処理に最適なFIFO^(注1)メモリシリーズを開発・量産中ですが、今回新たにM66256FP及びM66257FPをラインアップに加えました。

近年デジタルPPC^(注2)に代表されるように、OA機器のデジタル化が進み、より高度な画像処理機能が求められています。そこで注目を集めているのが、画像情報を高速で記憶・出力するFIFOメモリです。以下にM66256FP及びM66257FPの特長を示します。

1. M66256FPの特長

●高速動作

当社従来品であるM66251AFPと比較して1.6倍高速化し、サイクルタイム25nsを実現しました。これにより、例えばデジタルPPCでは、従来品と比べて同じ時間で1.6倍の枚数のコピーが可能です。

●A 3短辺1ライン分のメモリ容量

400dpiというCCD^(注3)イメージセンサの解像度とA 3サイズ短辺1ライン297mmという長さからメモリ容量を5,120ワード×8ビットに設定しています。

●書込み、読出し機能の独立

書込み端子と読出し端子が独立しており、またアドレスを与えることなくメモリ内のデータが書き込まれた順に読み出されるため、画像処理に適した仕様となっております。

●パッケージ

基盤実装の高密度化を考慮し、パッケージボディサイズ375mil幅の24ピンSSOP^(注4)を採用しました。

2. M66257FPの特長

●高速動作

当社従来品であるM66253FPと比較し、1.6倍高速化しサイクルタイム25nsを実現しました。これにより、例えばデジタルPPCでは、従来品と比べて同じ時間で1.6倍の枚数のコピーが可能です。

●A 3短辺2ライン分のメモリ容量

この製品は5,120ワード×8ビットのFIFOメモリを2回路カスケード接続して1チップに納めています。これにより、5,120ワード×8ビットのFIFOを2個用いた場合に比べ、部品点数は1/2に、基盤面積は約40%に削減されます。

●書込み、読出し機能の独立

書込み端子と読出し端子が独立しており、またアドレスを与えることなくメモリ内のデータが書き込まれた順に読み出されるため、画像処理に適した仕様となっております。

●パッケージ

基盤実装の高密度化を考慮し、36ピン450mil幅のSSOPを採用しました。

3. デジタルフィルタへの応用

FIFOメモリは、デジタルPPCなどのOA機器で、CCDイメージセンサが原稿から読み取ったデータを記憶し、画像処理の必要に応じてデータを出力するメモリです。また、FIFOメモリは読取りデータの記憶用としてだけでなく画像処理技術の一つであるデジタルフィルタへの適用が可能です。

デジタルフィルタとは、当該ラインとその前後1ラインずつのデータを比較し、読取りデータを加工する画像処理技術です。M66256FPを用いたデジタルフィルタの適用回路例を図に示します。この例ではM66256FPが2個使われていますが、M66257FPを用いて同じ回路を構成すれば1個で済みます。

4. 今後の展開

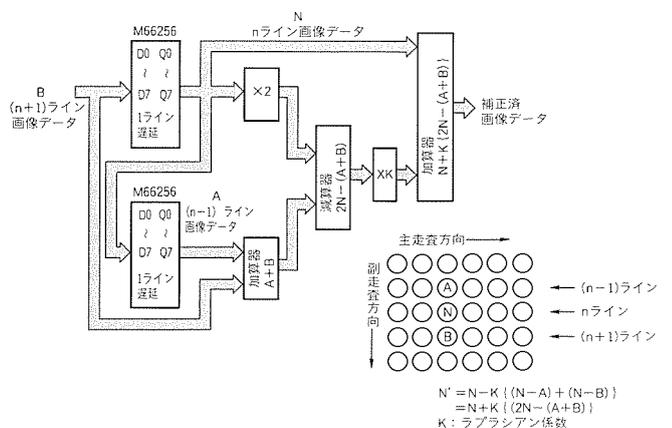
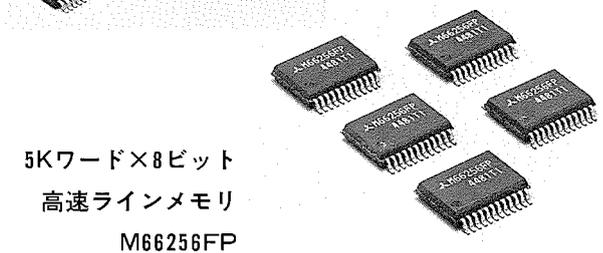
今後の当社の展開としましては、OA機器分野の高速化・高機能化・低電圧化の要求にこたえるべく、FIFOメモリの更なる高速化・大容量化・低電圧化を推進していきます。

(注1) FIFO : First-In First-Out

(注2) PPC : Plain Paper Copier

(注3) CCD : Charge-Coupled Device

(注4) SSOP : Shrink Small Outline Package



応用回路例 (ラプラシアンフィルタによる副走査解像度補償回路)

発電プラント総合管理システム

スポットライト

“MELJC-500”

1993年に電力系統管理システム“MELJC-100”を自家発電電力系統の管理・運用に特化したシステムとして発売しました。MELJC-500は、更にこのコンセプトを発展させ、ボイラ・タービン計装、電力系統制御、ガバナ制御、保安インタロックシステム及び管理までを包括する発電プラントの総合管理システムです。

特長

- 標準ハードウェアによるビルディングブロック方式
- ステーション間で自由にデータ交換ができる分散形グローバルデータベース
- 1秒間に16,000点の同報通信を行うシステムバス監視用として、さらに16,000点の通信を拡張可能
(アナログデータでもデジタルデータでも可)
- 通信路は同軸、光ファイバいずれでも可。標準は冗長化構成
- 同一システムバスに254ステーション接続可
- カードレベルでの自己診断機能
- コントローラは、フローティング演算とロジックソルバを持つ32ビットマイクロプロセッサ。CPU部及び電源部は冗長化(標準)。0.01秒から30秒までのマルチスピードによるループ制御
- リモートI/Oと直結I/Oの混在が可能
- 専用ドライブカードの採用による危険分散(オプション)
1 制御ループ/1ドライブカード
(3AI、1AO、2DI、2DO/枚)
2 補機(電動機・電動弁)/1ドライブカード
(12DI、8DO/枚)
- 事故時の解析に必要な1msの分解能を持つイベント記録機能
- 発電プラント管理に必ず(須)の性能計算(プラント、ボイラ、タービンなど)、寿命消費計算(ボイラ、タービンなど)

適用

各種発電プラント(国内事業用火力を除く。)

発電所付帯設備

ユーティリティプラント

エネルギー最適運用

コゼネレーションシステム



MELJC-500 OPS

オペレータステーション仕様

機種	OPS650	OPS450
項目		
ハードディスク装置	500Mバイト	
補助記憶装置	FD:1.44Mバイト(2HD) 光磁気ディスク(オプション)	
C 接続数	最大2台	1台
R サイズ(インチ)	21	14, 20, 21
T 解像度(ドット)	1,472×1,152	736×576
表示色	30色	
タッチパネル	超音波式	
オペレーションキーボード	シートタイプ	
外部通信機能	Ethernet* 1ch(オプション)	
外部ビデオ表示入力 (ITVウィンドウ)	ウィンドウサイズ:3サイズ 映像トレンド機能	

*1 “Ethernet” は、米国Xerox Corp.の商標である。

基本ソフトウェア仕様

機種	OPS650	OPS450
項目		
サポートタグ数	13,296点	5,024点
グラフィック画面数	512枚	64枚
ウィンドウ	512枚	64枚
アラームメッセージ	7,632点	2,880点
ガイダンスメッセージ	7,488点	2,816点
リアルタイムトレンド (期間:約56分~約28時間)	256点 周期:1, 2, 3, 4, 5, 6, 10, 20, 30秒	
ヒストリカルトレンド (期間:2~5日)	7,488点	2,816点
	周期:1, 2, 3, 4, 5, 6, 10, 20, 30, 60秒	
帳票	60種類	45種類

コントローラ仕様

メモリ	制御プログラム:288kバイト データベース:122kバイト
プログラム実行周期	10ms~30s 5種類
I/Oカード枚数	最大:96枚/CPU
I/Oカード種類	デジタル入力 デジタル出力 アナログ入力(各種信号) アナログ出力(各種信号) パルス入力 イベントレコーダ入力 その他各種

データハイウェイ仕様

通信方式	トークンパッシング方式
最大通信点数	標準:16,000点 拡張時:32,000点
データ更新周期	100ms~1s
冗長化	可(二重系)

宇宙開発事業団納め

スポットライト

バックアップスキンモード用受信装置

このたび三菱電機では、バックアップスキン (Back-Up Skin) モード用受信装置を宇宙開発事業団野木精測レーダ設備に納入しました。

野木精測レーダ設備は、昭和49年に整備され、種子島宇宙センターから打ち上げられたロケットの追尾を行い、ロケットの飛行軌道の監視に使用されるほか、取得データは打上げ後の飛行解析にも使用されています。バックアップスキンモードは、ロケット追尾におけるデータ取得の信頼性を向上させるために付加されたものです。

通常、ロケットの追尾はビーコン (Beacon: 二次レーダ) モードで運用し、レーダからの送信波にロケットに搭載されたレーダトランスポンダが応答して返信波を返し、それを既設装置で追尾していますが、同時にレーダの送信波がロケットの機体で反射されてくる電波をスキン (Skin: 一次レーダ) モードで追尾する機能をバックアップスキンモードと呼んでいます。

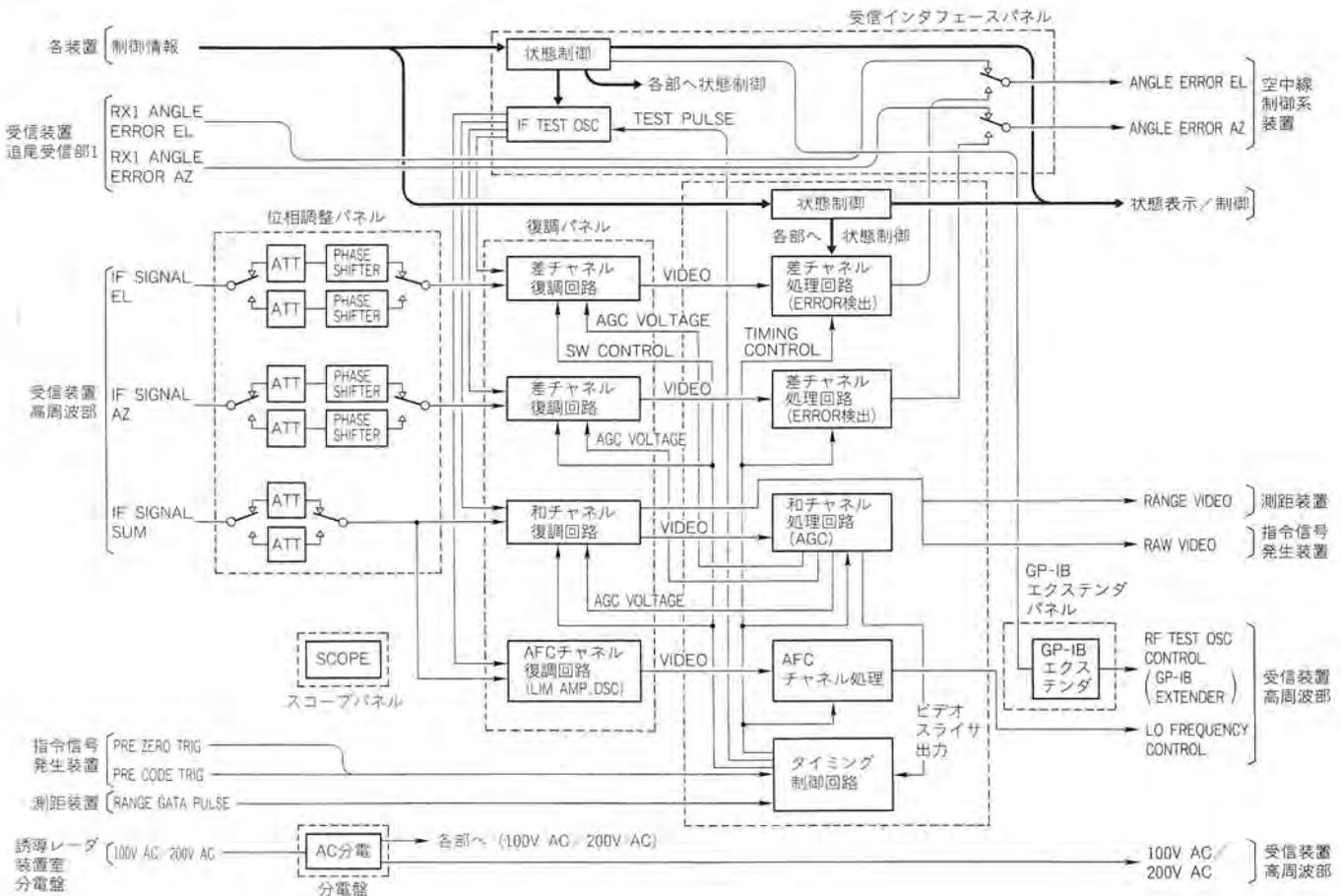
この受信装置は、従来のビーコンモード及びスキンモードの機能も併せ持っており、バルーン追尾総合試験において、バックアップスキンモードはもとより、従来機能も既

設装置に比べて良好な結果が得られました。

特長

デジタル処理により、以下の特長を持っています。

- (1) 高速A/D変換器、高速信号処理プロセッサを使用して、検波後の信号処理をデジタル化することにより、アナログ回路のドリフトによる不平衡誤差を実質的になくしました。
- (2) AGCループの可変減衰器をデジタル化することにより、チャンネル間レベル変動0.1dB以下を達成しました。
- (3) AGCループ、AFCループを信号処理プロセッサで処理することにより、スキン/ビーコン/バックアップスキンの各モードにおける最適動作を実現しました。



受信装置ブロック図