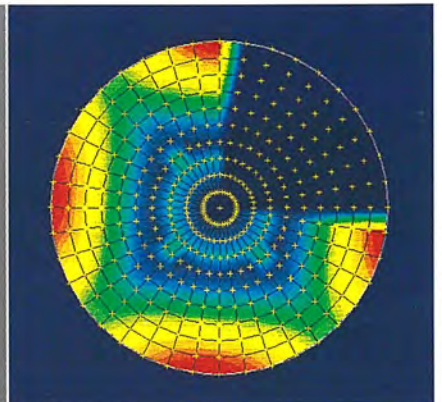
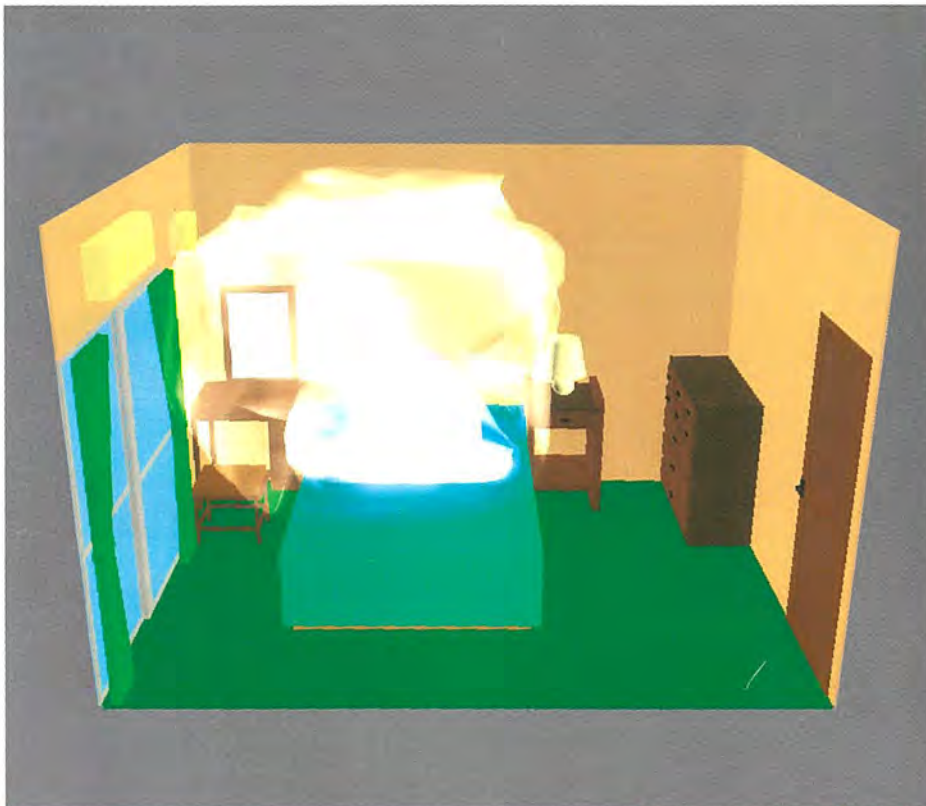


MITSUBISHI

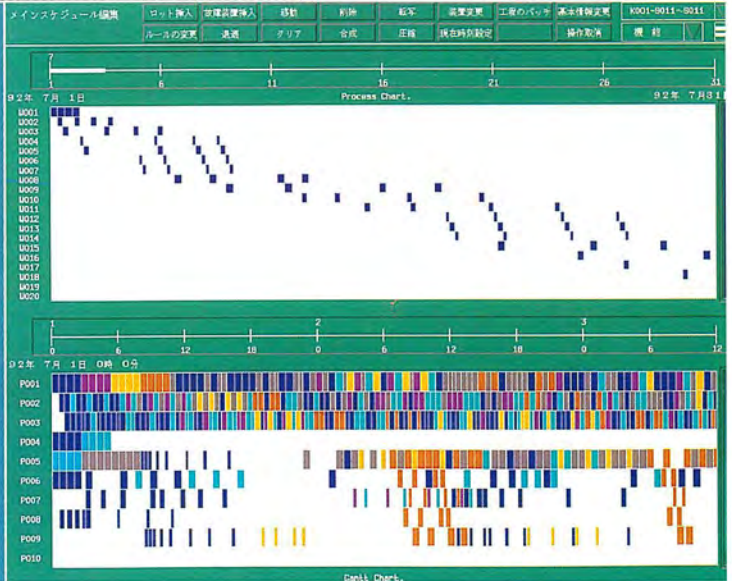
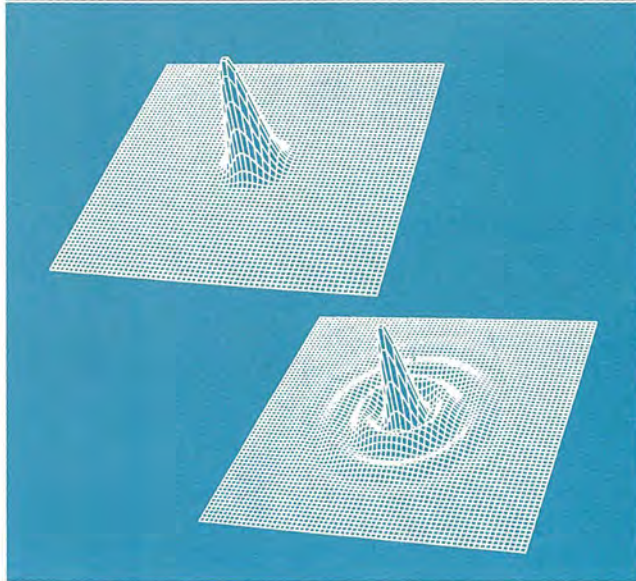
三菱電機技報 Vol.70 No.2

特集 “シミュレーション技術”

'96 2



Simulation
Technology



特集 “シミュレーション技術”

目次

特集論文

知識集約・利用技術としてのシミュレーション 木村文彦	1
シミュレーション技術における現状と展望 伊藤利朗	2
テレビジョンにおける画像シミュレーション技術 伊藤 浩・幡野喜子・賀井俊博・長谷川仁志・長谷川 弘・奥村 明	6
システムレベル大規模論理シミュレーション手法 三部 健・平岡精一・近江谷康人・岩崎光孝・中野 哲	11
電子機器統合化設計システムとその応用事例 鈴木文雄・清尾克彦・西村芳郎・小口正史・田中基夫	17
高速ASIC設計技術 齊藤成一・佐伯 稔・加藤哲朗・山岸圭太郎・牧野博之	22
人工衛星搭載用電子回路モジュール配置設計システム 隅田幸子・岩本直子・滝 寛和・大槻博由紀	28
三次元有限要素法による電子機器のEMIシミュレーション 田邊信二・村田雄一郎・伊藤恭彦・長野宣行・酒井謙行	33
AV機器の機構開発におけるシミュレーション技術 古石喜郎・則武康行・中川那彦・岡田克巳	38
RF-MOSFETデバイスシミュレーション技術 追田真也・太田 淳・久間和生・藤田光一	43
微細パターンエッチングにおける 局所チャージアップ現象のシミュレーション 大寺廣樹・西川和康・滝 正和・大森達夫	47
ICパッケージの電気特性シミュレーション技術 蔵淵和彦・関 博司・中川 治	52
半導体封止成形の流動解析 三谷徹男・椋田宗明・馬場文明・樋口徳昌	58
機能性材料の分子設計 信時英治・蔵田哲之・角田 誠	62
レーザ共振器波動光学シミュレーション技術 安井公治・西前順一	66
換気シミュレータによる室内空気質の解析 土井 全・古川 誠・山田恵子	71
上水道管網シミュレーション技術 寺下尚孝・築山 誠	76
生産シミュレーション技術とそのスケジューリングへの応用 森 一之・築山 誠	80
数値解析を用いた接着接合体の設計技術 春名一志・原賀康介	86
塑性加工シミュレーションによる金型設計・製作期間の短縮 岡崎康隆・永井重治・深津 諭・鈴木秀志・丸山恒昭	91
回路網法による汎用熱流体解析システム“TherfBENCH” “MelTHERFY” 大串哲朗・後藤明広・羽下誠司・三浦哲朗	96

特許と新案

「対物レンズ駆動装置」「ワイヤ放電加工装置」	101
「電子管陰極の製造方法」	102

読者アンケート	104
---------	-----

スポットライト

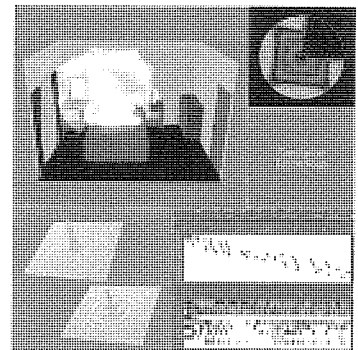
三菱PHS電話機 TL-PH7	103
インテリジェントネットワーク開発支援装置	(表3)

表紙

シミュレーション技術の適用事例

近年、コンピュータの高速化とともに、シミュレーション技術も進歩し、電子・電気・機械・材料設計のあらゆる分野で、従来できなかったシミュレーションが製品の開発時に有効に利用されるようになってきている。さらに、機器専用のシミュレータも開発され、製品設計に効果的に用いられている。

表紙は、ロスナイを使用した場合の室内の炭酸ガス濃度分布の計算結果、宇宙で使用される電子部品の放射線解析結果、レーザ共振器から発生されるビームパターン、生産スケジューリング結果を示している。(詳細は本文参照)



三菱電機技報に掲載の技術論文では、国際単位“SI” (SI第2段階(換算値方式)を基本)を使用しています。ただし、保安上、安全上等の理由で、従来単位を使用している場合があります。

アブストラクト

<p>シミュレーション技術における現状と展望 伊藤利朗 三菱電機技報 Vol.70・No.2・p.2~5 (1996)</p> <p>半導体の高集積化技術の急激な進歩がトリガとなった電子技術のパラダイムシフトは、情報技術革命を引き起こし、製品開発環境を大幅に変えつつある。マーケットオリエンテッドで創造的な新製品を開発するためには、エンジニア個人のアイデアをマルチメディアを利用して総合し(集合天才化)、固められた製品コンセプトを、シミュレーションを活用したラビッドプロトタイピングで、迅速に具現化することが重要である。</p>	<p>人工衛星搭載用電子回路モジュール配置設計システム 隅田幸子・岩本直子・滝 寛和・大横博由紀 三菱電機技報 Vol.70・No.2・p.28~32 (1996)</p> <p>設計業務の生産性向上をねらいとして、人工衛星中継器搭載用の電子回路モジュールの配置設計システムを開発した。</p> <p>このシステムは、電子モジュール配置設計のためのノウハウやルールを組み込んだエキスパートシステムとCAE業務を融合したシステムである。</p> <p>本稿では、その構成と機能、及び実際の設計業務への適応事例を紹介する。</p>
<p>テレビジョンにおける画像シミュレーション技術 伊藤 浩・幡野喜子・賀井俊博・長谷川仁志・長谷川 弘・奥村 明 三菱電機技報 Vol.70・No.2・p.6~10 (1996)</p> <p>テレビジョン受像機にデジタル回路が多用されるのに伴い、デジタル処理の評価をコンピュータ上で行う画像シミュレーションが広く行われている。本稿では、シミュレーション設備を構成する汎用シミュレータと画像処理専用シミュレータについて述べる。</p> <p>また、画像シミュレーションを用いた開発事例として、画像圧縮、ハイビジョン、第二世代EDTVにおける新しい信号処理方式を紹介する。</p>	<p>三次元有限要素法による電子機器のEMIシミュレーション 田邊信二・村田雄一郎・伊藤恭彦・長野宣行・酒井謙行 三菱電機技報 Vol.70・No.2・p.33~37 (1996)</p> <p>電子機器の出荷に際しては、機器からのEMI(電磁波干渉)を規格(VCCI, FCC等)の値以下に収めることが義務づけられている。製品の迅速な開発や出荷のためには、今後、設計段階からのEMIへの考慮が必要となる。今回、三次元有限要素法を用いた電磁場解析により、ATM-DSU, ファックス, 移動体通信端末, TFT-LCDなどの製品のEMI低減のため、きょう(筐)体と基板設計を行った。</p>
<p>システムレベル大規模論理シミュレーション手法 三部 健・平岡精一・近江谷康人・岩崎光孝・中野 哲 三菱電機技報 Vol.70・No.2・p.11~16 (1996)</p> <p>LSIの再製作をなくすための計算機システムとして、システムレベル大規模論理シミュレーション手法の概要・構成・方法、及び最近の適用事例について述べる。この手法を用いることにより、実システムで行う初期デバッグを、LSI作成前にシミュレーションによって行うことができる。また、LSIを作り直すことなく、機能診断プログラムからシステム診断プログラムによるテストを経て、オペレーティングシステムまでの動作を確認した。</p>	<p>AV機器の機構開発におけるシミュレーション技術 古石喜郎・則武康行・中川邦彦・岡田克己 三菱電機技報 Vol.70・No.2・p.38~42 (1996)</p> <p>VTR, テレビ, プリンタ等のAV機器の開発に当たっては、設計期間の短縮や性能・品質の確保等の設計の効率化を図る上で、シミュレーション技術の活用が不可欠である。</p> <p>本稿では、VTRデッキ開発へのテープ走行系シミュレーション技術の適用と、熱転写ビデオプリンタのインクシート搬送機構におけるシミュレーション技術の活用について述べる。</p>
<p>電子機器統合化設計システムとその応用事例 鈴木文雄・清尾克彦・西村芳郎・小口正史・田中基夫 三菱電機技報 Vol.70・No.2・p.17~21 (1996)</p> <p>“マルチメディア”時代の電子機器の開発では、映像・音声・情報・通信などの機能の複合化と進歩の著しい半導体技術によるSOC(System On Chip)化を結び付け、創造的な機能を短期間に実現することが求められている。この論文では、新しいアイデアの抽出とユーザーズとのトレードオフを短期間に繰り返し、SOC化による高付加価値製品を短期間に開発するための電子機器統合化設計環境を提案し、製品及び試作開発に適用した事例を述べる。</p>	<p>RF-MOSFETデバイスシミュレーション技術 追田真也・太田 淳・久間和生・藤田光一 三菱電機技報 Vol.70・No.2・p.43~46 (1996)</p> <p>RF-MOSFET (Radio Frequency Metal-Oxide Semiconductor Field-Effect Transistor) は、携帯電話や自動車電話などの移動体通信における高周波高出力トランジスタとして採用される。</p> <p>本稿では、RF-MOSFETのプロセス条件から電気特性を導出するプロセスデバイスシミュレーション技術を用いて、DC, 容量特性に対し、イオン注入量、電極構造の最適化を行ったので紹介する。</p>
<p>高速ASIC設計技術 斉藤成一・佐伯 稔・加藤哲朗・山岸圭太郎・牧野博之 三菱電機技報 Vol.70・No.2・p.22~27 (1996)</p> <p>システムの高性能化に対応し、100MHz超級の世界最高速クラスのバスに直結するASICを、0.5μmCMOS・ECA(Embedded Cell Array)によって開発した。ECAによる高速化実現のため、100MHzから50MHzへの速度変換機能を持つセルの開発などを、各種高速化対策と最適なタイミング系シミュレーションを駆使することによって実現した。</p> <p>本稿では、シミュレーションの観点から、高速ASIC技術について述べる。</p>	<p>微細パターンエッチングにおける局所チャージアップ現象のシミュレーション 大寺廣樹・西川和康・滝 正和・大森達夫 三菱電機技報 Vol.70・No.2・p.47~51 (1996)</p> <p>サブミクロンレベルの微細パターンをプラズマを用いて加工する場合、ウェーハ表面に入射する電子とイオンの角度分布が異なるため、微細な凹凸を持つウェーハ表面で局所的なチャージアップが生じ、加工形状異常やダメージを生じることがある。ここでは、局所電荷の影響を考慮したシミュレーションによって表面上に入射する荷電粒子の挙動、加工形状への影響等の検討結果と、これらの問題点の解決法を述べる。</p>

Abstracts

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 28~32 (1996)

Electronic Circuit Layout System for Satellite-Relay Modules

by Sachiko Sumida, Naoko Iwamoto, Hirokazu Taki & Hiroyuki Onuki

The authors have developed a high-productivity electronic-circuit layout system for the design of satellite-relay modules. The system combines CAE tools with an expert system incorporating module layout technology. The article introduces the system configuration, functions and practical applications.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 2~5 (1996)

The Present State and Future Trends in Simulation Technology

by Toshio Ito

A paradigm shift in electronics technology triggered by dramatic advances in semiconductor integration scales has created an information technology revolution and dramatically changed product development environments. In order to develop creative, market-oriented products, rapid prototyping technology is needed that can simulate the performance of various product concepts. This will give engineers latitude to experiment with novel design ideas in a multimedia environment.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 33~37 (1996)

Three-Dimensional EMI Simulations Using the Finite-Element Method

by Shinji Tanabe, Yuichiro Murata, Takahiko Ito, Nobuyuki Nagano & Kaneyuki Sakai

The Voluntary Control Council for Interface by Information Technology Equipment (VCCI) and the U. S. Federal Communication Commission (FCC) set standards for permissible EMI from electronic equipment at the time of shipping. To meet demand for faster product development will require that EMI be taken into consideration from the initial stages of product design. The authors report on a three-dimensional electro magnetic-field analysis tool using the finite-element method. The tool has been used to design low-EMI chassis and circuit boards for asynchronous transfer mode digital service units (ATM-DSUs), facsimile machines, cellular phones and thin-film-transistor LCD screens.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 6~10 (1996)

The Use of Computer Simulation in Television Systems Development

by Hiroshi Ito, Yoshiko Hatano, Toshihiro Gai, Hitoshi Hasegawa, Hiromu Hasegawa & Akira Dkumura

Now that much of the signal-processing circuitry in television receivers is digital, it is important to use computer simulations to estimate how various processing algorithms will affect picture quality. The article describes general-purpose simulators and dedicated image-processing simulators. Also presented are new signal processing algorithms developed through computer simulation for applications in bandwidth compression, Japan's analog HDTV system and the nation's second-generation extended-definition TV (EDTV) system.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 38~42 (1996)

Mechanical Simulation Technology for AV Equipment Design

by Yoshiro Furuishi, Yasuyuki Noritake, Kunihiko Nakagawa & Katsumi Okada

Mechanical simulation technology can shorten the time required to design VCRs, televisions, printers and other AV equipment while ensuring high standards of quality and performance. The article reports on mechanical simulation technology applied to the design of VCR tape-transport mechanisms and color thermal printer ink-sheet transport mechanisms.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 11~16 (1996)

Large-Scale System-Level Logic Simulation Methods

by Ken Sambu, Seiichi Hiraoka, Yasuhito Omiya, Mitsutaka Iwasaki & Satoshi Nakano

Large-scale logic simulation methods that can deal with computer-system-level behavior promise to reduce iterations of prototype production and testing. Use of this technology makes it possible to perform early debugging in simulation, before LSIs are actually manufactured. By employing this technology to conduct function- and system-level diagnostic tests, the authors modified LSI designs and assessed performance at the operating system level in software, so that only a single production run is required. The article reports on current concepts, methods, configurations and implementations.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 43~46 (1996)

Simulation of RF MOSFET Devices

by Masaya Dita, Jun Ota, Kazuo Kyuma & Kouichi Fujita

RF MOSFETs are used as RF power devices in portable cellular phones. The article introduces process and device simulations that the authors used to determine RF MOSFET electrical characteristics from process parameters. The simulations were used to optimize ion-implantation dosages and pin configurations with respect to DC behavior and capacitance.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 17~21 (1996)

Integrated Design Systems for Electronic Equipment and their Applications

by Fumio Suzuki, Katsuhiko Seo, Yoshio Nishimura, Masashi Oguchi & Motoo Tanaka

The development of electronic equipment in the multimedia era calls for the rapid implementation of creative functions that combine elements of video, audio, information, communications and other technologies with the increasingly sophisticated technologies for creating system-on-chip (SOC) devices. The article proposes an integrated design environment for electronic equipment that enables the trade-offs involved in implementing new ideas and meeting user needs to be made quickly, and facilitates the rapid development of high added-value products embodying SOCs. Also described are actual examples of application to products and prototype development.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 47~51 (1996)

Simulation of Local Charging in Fine Pattern Etching Processes

by Hiroki Ootera, Kazuyasu Nishikawa, Masakazu Taki & Tatsuo Domori

When plasma etching is used to form submicron circuit patterns, electrons and ions gather at tiny irregularities on the wafer surface, forming charges that can distort the etching process and thereby cause defects. The authors describe how simulations are used to determine the effects of localized charge buildup on the behavior of charged particles impinging on the wafer surface, and the resulting changes in the etching profile and the electric fields in gate oxide layers. Through use of this simulation, such effects have been minimized.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 22~27 (1996)

High-Speed ASIC Design Technology

by Seiichi Saito, Minoru Saeki, Tetsuro Kato, Keitaro Yamagishi & Hiroshi Makino

Mitsubishi Electric has developed an ASIC that can be directly connected to high-speed buses that operate at over 100MHz. The ASIC was exploited with an embedded-cell-array (ECA) in 0.5 μ m CMOS process. To achieve the necessary high-speed, technologies, such as a new 100MHz-to-50MHz speed-conversion cell design methodology, and the utilization of advanced simulations for optimizing timing design, have been used. The article discusses simulation-related issues in high-speed ASIC design.

アブストラクト

<p>ICパッケージの電気特性シミュレーション技術 蔵瀬和彦・関 博司・中川 治 三菱電機技報 Vol.70・No.2・p.52～57 (1996)</p> <p>電磁界シミュレーションによるICパッケージの電気特性モデリング技術、及び測定技術を含めた精度検証手法を開発した。モデリングによって抽出されたパッケージモデルの精度を、集中定数的なL、C、Rの検証、及びSパラメータを用いた周波数領域での検証によって確認した。このパッケージモデルは、チップ設計・ボード設計の各段階での動作検証シミュレーションに適用される。</p>	<p>上水道管網シミュレーション技術 寺下尚孝・築山 誠 三菱電機技報 Vol.70・No.2・p.76～79 (1996)</p> <p>上水道管網シミュレータは、管網設計計画段階における管網状態の推定などに適用される。昨今、より詳細な配水管網(大規模配管網)に対する解析や、制御計画などの動的挙動を扱えるシミュレータの開発が望まれている。一般に管網解析モデルは、非線形連立方程式で構成され、繰返し演算が用いられるため、実時間性が求められる解析には不向きである。本稿では、大規模化へも適用できる動的挙動を解析する手法について述べる。</p>
<p>半導体封止成形の流動解析 三谷徹男・椋田宗明・馬場文明・樋口徳昌 三菱電機技報 Vol.70・No.2・p.58～61 (1996)</p> <p>薄肉・多ピン化が進むICパッケージの金型設計や封止樹脂の硬化特性を最適化するため、樹脂の流動シミュレーション技術を開発した。封止樹脂は熱硬化性であるため、シミュレーションでは硬化反応の進行による流動特性の変化が重要である。硬化過程での反応速度と粘度変化を解析する流動特性評価法を確立し、ICパッケージの配置や樹脂の流動性に依存した流動挙動をシミュレーションで予測できることを示した。</p>	<p>生産シミュレーション技術と そのスケジューリングへの応用 森 一之・築山 誠 三菱電機技報 Vol.70・No.2・p.80～85 (1996)</p> <p>生産シミュレーションは、生産システムの最適な構築と効率的な運用を目的に、生産システムの設計・解析・評価・計画・運用の各段階で用いられる。FPSSは、ペトリネットを基礎とするシミュレーション型の汎用スケジューリングシステムであり、生産システムの効率的な運用を支援することが可能である。このシステムは、免疫アルゴリズムと併用することで、更に運用効率を高めることができる。</p>
<p>機能性材料の分子設計 信時英治・蔵田哲之・角田 誠 三菱電機技報 Vol.70・No.2・p.62～65 (1996)</p> <p>コンピュータシミュレーションにより、原子・分子レベルから機能性材料の物性や反応を解明する分子設計技術を開発した。この技術で新規機能性材料の創出とともに、材料開発期間の短縮やコスト低減等の効率化を図ることができる。この技術には独自の解析法が備えられており、高分子の反応や物性、特に導電性の詳細な解析が初めて可能になった。また、分子設計技術をレジスト材料に適用することによって、エキシマレーザ用レジスト材料を効率良く開発することができた。</p>	<p>数値解析を用いた接着接合体の設計技術 春名一志・原賀康介 三菱電機技報 Vol.70・No.2・p.86～90 (1996)</p> <p>複雑な三次元形状接着接合体の有限要素法応力解析を行う場合、計算量が膨大になり、高精度な解析が困難である。そこで、シェル要素とビーム要素からなる擬三次元モデルを開発した。従来のソリッド要素モデルに対し、計算量が1/100以下に削減され、複雑形状接着接合体の応力解析が可能になった。また、解析結果にPoint Stress Criterionを適用する強度予測手法を提案し、実測値とよく一致することを明らかにした。</p>
<p>レーザ共振器波動光学シミュレーション技術 安井公治・西前順一 三菱電機技報 Vol.70・No.2・p.66～70 (1996)</p> <p>レーザ共振器から発生するレーザ光の空間的な形状であるビームモードについて、強度分布・位相分布に加えて偏光状態の分布を計算できるベクトル波動光学シミュレーション技術を開発した。また、このシミュレーション技術の活用により、高出力で高品質なレーザ光を発生させる新しいレーザ共振器を開発した。</p>	<p>塑性加工シミュレーションによる 金型設計・製作期間の短縮 岡崎康隆・永井重治・深津 諭・鈴木秀志・丸山恒昭 三菱電機技報 Vol.70・No.2・p.91～95 (1996)</p> <p>プレス加工は、量産性に優れた加工法である。しかし、これに必要な金型は、試行錯誤を繰り返す非効率な作業によって設計されていた。このシステムは、計算機上で仮定した形状の金型を用いて、製品の形状寸法や成形不良の発生予測を行い、金型開発期間の短縮をねらうものである。既に数多くの金型設計に適用され、開発期間短縮に貢献している。本稿では、シミュレーションの基本的な考え方と、適用事例を述べる。</p>
<p>換気シミュレータによる室内空気質の解析 土井 全・古川 誠・山田恵子 三菱電機技報 Vol.70・No.2・p.71～75 (1996)</p> <p>近年、集合住宅やオフィスビルなど建物の高気密・高断熱化が進み、室内居住環境が大きく変化している。これに伴い、室内空気質(温熱、湿度、CO₂、じんあい、臭気等)の向上が求められ、その把握と改善が重要な課題となっている。当社では、空調換気機器分野におけるシミュレーション技術として独自の換気シミュレータを開発し、数値解析によって目に見えない気流現象の再現と可視化を行っている。ここでは、換気シミュレータを用いた室内空気質の解析事例を紹介する。</p>	<p>回路網法による汎用熱流体解析システム “TherfBENCH” “MeITHERFY” 大串哲朗・後藤明広・羽下誠司・三浦哲朗 三菱電機技報 Vol.70・No.2・p.96～100 (1996)</p> <p>汎用熱・流体解析ソフトウェアMeITHERFYと、そのプリポストTherfBENCHを用いた熱・流体解析システムの構成・機能・特長・実用例について述べる。このシステムは回路網法を使用しているため、複雑な機器の解析に対応できる。解析モデルや計算結果の画面上でのビジュアルな表示・解析に必要なデータベースの内蔵により、解析業務の時間短縮や特殊な境界条件下での解析を可能とした。</p>

Abstracts

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 76~79 (1996)

Simulation of Drinking-Water Pipe Distribution Networks

by Naotaka Terashita & Makoto Tsukiyama

Simulations of drinking-water pipe distribution networks are used at the pipe network design stage to predict the eventual state of the network. The need for development of a simulator capable of analysing a large-scale distribution network, and of handling the dynamic characteristics of the control plan, has been expressed. Analytical models of pipe networks generally involve non-linear simultaneous equations that must be solved using repeated iterations. They are therefore unsuitable for real-time operations. The article describes an analytical method for dynamic systems that can be extended to very large systems.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 52~57 (1996)

Simulation Technology for Analyzing the Electrical Properties of IC Packages

by Kazuhiko Kurafuchi, Hiroshi Seki & Osamu Nakagawa

The authors have developed an electrical modeling technique for IC packages using electromagnetic field analysis and an accuracy verification method to predict the electrical characteristics of the packages. The accuracy of the package model was verified by inductance, capacitance and resistance, C and R measurements, and by Scattering parameter measurements and simulation at operating frequencies. The electrical modeling technique is being used for SPICE simulations of device and circuit-board designs.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 80~85 (1996)

Manufacturing Systems Simulation Technology and its Application to Scheduling Systems

by Kazuyuki Mori & Makoto Tsukiyama

Manufacturing systems simulation technology is used in the design, implementation and operation of manufacturing system to optimize the system configuration and operating parameters. The flexible production scheduling system (FPSS) is a general-purpose scheduling simulator that uses Petri Net theory to enhance the efficiency of manufacturing systems when used in conjunction with an immune algorithm.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 58~61 (1996)

Flow Analysis in Molding Semiconductor Packages

by Tetsuo Mitani, Muneaki Mukuda, Fumiaki Baba & Noriaki Higuchi

The authors have developed simulation techniques for the flow of resins in order to optimize the mold design and curing properties of the molding resin used for IC packages, which are becoming increasingly thinner and employing a greater number of pins. Because the molding resin is a thermo-setting plastic, changes in the flowability as the curing reaction proceeds are an important part of the simulation. The article describes how, by establishing a method of evaluation from the analysis of reaction rate and changes in viscosity during the curing process, simulation can predict flow behavior depending on IC package position and resin flowability.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 86~90 (1996)

Numerical Analysis of Adhesive Joints

by Kazushi Haruna & Kosuke Haraga

Finite-element stress analysis is ill-suited for modeling three-dimensional adhesive joints. It is computation-intensive and its predictions are unreliable. The authors have developed a quasi-three-dimensional model employing shell elements and beam elements that successfully predicts the stress associated with bonding of complicated shapes while requiring less than 1% of the computing time of solid-element models. The strength predictions, based on point-stress criterion, closely match measured results.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 62~65 (1996)

Molecular Design of Functional Materials

by Hideharu Nobutoki, Tetsuyuki Kurata & Sei Tsunoda

The authors have developed a method that accurately predicts electrical conductivity, reactivity and other physical and chemical properties of certain classes of functional materials based on molecular quantum mechanics. The technology is expected to lead to the invention of new materials, as well as contribute to faster and cheaper materials development. The authors have used this technology to efficiently develop conducting polymers and resist materials for excimer laser processing.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 91~95 (1996)

Reductions in Die Design Time through Stamping Simulation Technology

by Yasutaka Dkazaki, Shigeharu Nagai, Satoru Fukazu, Hideshi Suzuki & Tsuneaki Maruyama

Stamping is an excellent mass-production technique, but die sets are designed in a laborious trial-and-error process. The authors' system reduces die development time by predicting the dimensions and defect probability of stamped products based on die set specifications. The system is in routine use, reducing die development time by as much as 40%. The article introduces the concepts of this simulation and major applications.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 66~70 (1996)

Wave Optics Simulation Code for Optical Resonator Development

by Koji Yasui & Jun'ichi Nishimae

The authors have developed a vector wave optics simulation program for laser oscillators that can predict the spatial intensity distribution of output beams as well as phase and polarization properties. The code has been applied to develop new optical resonators that generate high-power, high-quality beams.

Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 96~100 (1996)

A General-Purpose Thermal and Fluid-Flow Analysis System for Circuitry Networks

by Tetsurou Dgushi, Akihiro Goto, Seiji Haga & Tetsurou Miura

The article introduces the configuration, features and application examples of a general-purpose thermal and fluid-flow analysis system and its pre- and post-processing package. The system employs a network model to predict the behavior of complex equipment. The analysis model and simulation results are displayed in easily assimilated visual form. Database support is included to allow rapid analysis without a special operating environment. Several examples of equipment-design applications demonstrate the system's usefulness.

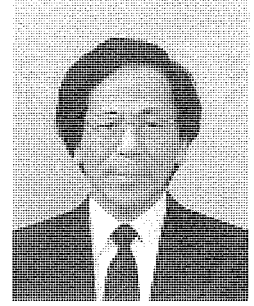
Mitsubishi Denki Giho: Vol. 70, No. 2, pp. 71~75 (1996)

A Ventilation Simulator for Indoor Air Quality Analysis

by Akira Doi, Makoto Furukawa & Keiko Yamada

Newly constructed condominium units and office buildings in Japan feature well-sealed and insulated designs. Ventilation systems for these environments need to control humidity, carbon dioxide, dust and odors without compromising the energy efficiency of heating and air-conditioning systems. Mitsubishi Electric has developed original ventilation simulation technology that assists in the design of such systems by revealing airflows that are scarcely detectable. The article introduces a ventilation simulator for indoor ventilation quality analysis.

知識集約・利用技術としてのシミュレーション



東京大学大学院工学系研究科
精密機械工学専攻

教授 木村 文彦

一般用語としての「シミュレーション」には「ものまね」という意味から「にせもの」という語感まであるのかもしれない。しかし、製造業において、計算機を援用した現代のシミュレーションは「まね」をしようとした本物を越える独自の意義を持ち始めている。計算機の飛躍的能力向上や情報ロジスティックスの発展により、もし同様のことができるならば物を操作するよりは情報処理や通信を活用したほうが格段に速く安くできる。試作品製作やそれに関する種々の実験、さらにはそれらを実行した技術者の知識までも「情報缶詰」として集約し、必要に応じて利用することが可能になりつつある。従来ならば、製品開発途中で技術的困難に遭遇したときにその道の権威にお伺いを立てたことを、「情報缶詰」を開けて利用することで代替できるようになるかもしれない。もちろん、現状ではこのようなシナリオには何重にも疑問符が付くのであるが、我々の技術は確実にそのような方向に向かっている。

製造業におけるシミュレーションは、製品やその製造プロセス、更には生産に関わる組織体やシステム、人などを計算内にモデル化し、そのモデルを駆使して、現実の振る舞いを予測、評価しようとする。シミュレーション対象の相違によりその利点は様々であろう。対象が良く理解されており実験技術も確立している場合でも、リードタイムやコスト、あるいは精度で十分な利点があればシミュレーションを利用する意義がある。航空機の翼強度設計計算で、実機実験との誤差数パーセントなどという信頼性の高い例がある。実験では条件を純粋化できず極限状態を検証できない、あるいは条件を網羅的に変えて実験することが困難

である、というような場合には、シミュレーションにもっと積極的な意義が認められるであろう。計算機シミュレーションと併せて、CADを利用して迅速試作により実体製品あるいはそのモデルを効率的に作り出し、実験により評価の完全化を図る、というような手法から、徐々に計算機シミュレーションの比重を高めていくことが現実的であろう。

エンジニアリングと離れてシミュレーションを考えてみれば、対応する現実が必ずしも正確には存在しない仮想現実のモデルに基づくシミュレーションなどというものも意義がある。ゲームやVR(Virtual Reality)などである。ここではモデルをいかに現実から遊離させるかが重要である。基礎となる情報処理の技術は類似だが、現実との一体化を指向するエンジニアリングのシミュレーションとは適用の発想が異なる。シミュレーションに基づく生産を仮想生産と呼ぶことがあるが仮想化を指向しているようで、あまり良い呼び方ではないのかもしれない。

人が意識的あるいは無意識的に先を予測して行動するように、実現象が起きる前にシミュレーションにより予測し不都合を回避することは、あらゆる場合に有効な手段である。製造業の環境はますます複雑になってくる。情報通信インフラストラクチャの整備により、人のアイデアを迅速に実体製品化していくことが望まれている。アイデアの世界と現実とを結合する知識集約・利用技術としてのシミュレーションは、コンカレントエンジニアリングなどの製造革新のための必須の中核技術である。

シミュレーション技術における現状と展望

伊藤利朗*

1. ま え が き

製品開発のグローバル化は、冷戦構造の破壊や円高に伴い、ますます加速されてきた。また、大量生産・販売による製品の価格破壊は、メーカーに、より良い、安い製品の提供を求めている。これらのメーカーを取り巻く厳しい急激な環境変化に対応するためには、独創性のある企業集団への脱皮が重要である。言い換えれば、市場のニーズを先取りする独創的な新製品をタイムリに開発し、グローバル市場に提供しなければ企業の存続はありえない。マーケットオリエンテッドで独創的な新製品を開発するためには、多くのエンジニアのアイデアを効果的に総合し(集合天才化)、個人のアイデアを超えた集合天才のアイデアでコンセプトを創出し、固められた製品コンセプトを、シミュレーションを活用したラピッドプロトタイピングで、迅速に具現化することが重要である。

幸いなことに、このような独創的な新製品を開発する技術的な環境は整備されてきている。すなわち、半導体の高集積化技術の急激な進歩がトリガとなった電子技術の発展は、情報技術革命を引き起こし、製品開発環境を大幅に変えつつある。この特集では、この情報技術を駆使した製品開発の現状の到達点を紹介している。

2. 製品開発における新パラダイム

2.1 コンピュータの飛躍的進歩

半導体の高集積化技術の進歩は目覚ましく、それが引き金になり、図1に示すように、LSI、コンピュータ、S/W

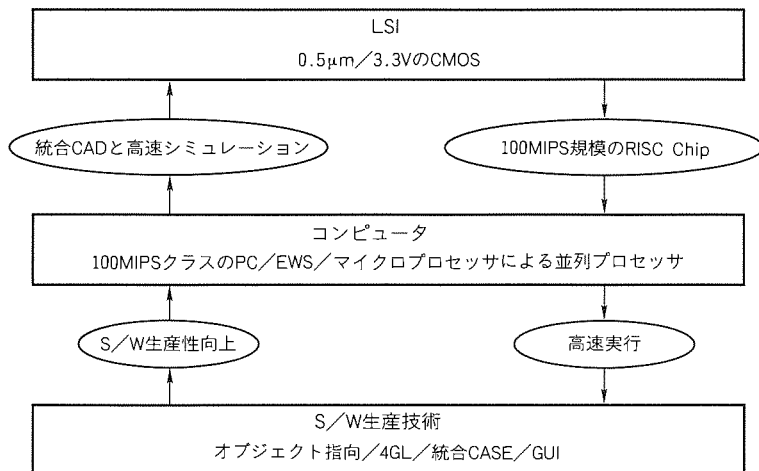


図1. 半導体の高集積化技術の進歩によるシナジー効果(半導体連鎖)

(Soft Ware)生産技術の三つの中で、お互いがお互いの進歩を加速する(シナジー効果)現象が起こっている。すなわち、LSIの開発では、微細度が0.5 μ m以下(ディープサブミクロン)、動作電圧が3.3V以下のLSIが実用化され、100 MIPS (Million Instructions per Second) 規模のRISC Chipが開発されている。それに伴い、コンピュータも100 MIPSクラスのEWS (Engineering Work Station)やPC (Personal Computer)が開発・実用化されてきた。

また、マイクロプロセッサ(μ P)を並列につないだスーパーコンピュータの低価格化も進んでいる。高性能で低価格のコンピュータの出現は、S/W生産技術の進歩を促す。すなわち、オブジェクト指向技術の発達、第四代言語(4GL)や統合化CASE (Computer Aided Software Engineering) ツールの発達、GUI (Graphical User Interface)の発達により、S/Wの開発力が飛躍的に向上してきた。

これらのH/W (Hard Ware)、S/Wの進歩は、統合化CADと高速シミュレーション技術を用いたLSIの設計の高速化を促し、さらに、高性能で安価なLSIを市場に提供させている。以上のような、半導体連鎖とも言うべきループの中で、コンピュータのH/W、S/Wは飛躍的に進歩している。

2.2 マルチメディア時代の製品開発における新パラダイム

LSIの発達は、コンピュータ分野にとどまらず、後述するようなSOC (System On Chip)化という電子技術のパ

ラダイムシフトを引き起こし、高速で大容量の情報交換を双方向で可能とした。そのため、技術的には、文学・音声・画像などの多様なメディアがマルチで利用できるようになってきた。また、コンピュータの低価格化とコストパフォーマンスの向上、及び通信網の発達により、コンピュータが一般に開放され、だれでもが簡単にコンピュータを利用できるようになってきた。すなわち、マルチメディア社会が現実的なものになりつつある。

マルチメディア社会では、例えば、TVショッピングなどにみられるように実際に物がなくても物の取引が行え、見たい時に好きなビデオが見られ、着たいときに好きな服が

買えるようになり、企業は顧客が欲する物を迅速に開発し提供することが求められるようになる。また、もっと広く、企業間では、物の取引や、技術文書の交換、製品データの交換などがネットワークを介して電子化情報で行われようとしている (Continuous Acquisition and Lifecycle Support or Commerce at Light Speed: CALS)。

すなわち、現実の世界 (Real World) から仮想の世界 (Virtual World) での企業間取引が行われるようになる。そのため、企業における製品開発は、従来の企業主導型の製品開発からマーケットインの開発へ、従来製品の延長的開発から新製品のコンセプト創出型の開発へとパラダイムシフトが必要であり、しかも、開発のスピードが企業間競争の要因 (諦) となる。

2.3 新パラダイムに対応した新製品開発の方法

マルチメディア社会における新製品開発では、コンピュータを用いた情報システムの活用による協調作業がキーとなる。協調作業には、非同期型協調作業と同期型協調作業がある。前者は、電子メール、クライアント・サーバシステムの活用により、移動を伴わないで複数人が知恵を出し合い、その結果をコンピュータが管理する (グループウェアの活用) 作業形態である。後者は、複数人がネットワーク上で一同に会い、リモート TV 会議や PC 上でお互いの顔を見ながら、必要なデータを実時間で交換するなどして会議をするデスクトップ会議システムの活用による協調作業形態である。いずれにしても、複数人がお互いに知恵を出し合い、マルチメディアを利用することにより、エンジニアが集団となり、個人の知能指数を超えた“集合天才”を形成しなければならない。

この集合天才が、新製品開発のプロジェクトリードの下に、マーケットオリエンテッドで創造的な新製品のコンセプトを固め、次に、固められた製品コンセプトを、次章で述べる情報技術を活用したラピッドプロトタイプングで、迅速に具現化することが重要である。ラピッドプロトタイプングとは“バーチャル又はリアルにコンセプトを迅速に試作・検証する”ことで、迅速な試作・検証は新製品の提案者・開発者の思考の連続性を確保し、発想を刺激する。ラピッドプロトタイプングによって製品コンセプトの実現性を短期間で検証でき、開発期間の大幅な短縮が可能になる。また、ラピッドプロトタイプングにより、早い時期から顧客に製品イメージをよりビジュアルな形で提案でき、顧客に理解されやすく、顧客ニーズを的確に反映した魅力的な製品コンセプトを早期に確立することができる。

マルチメディア社会では、情報武装した集合天才による新製品のコンセプト創出と、それを迅速に具現化する情報技術を活用したラピッドプロトタイプングが、製品開発プロセスの変革 (パラダイムシフト) を引き起こすことになる。

3. ラピッドプロトタイプング

プロトタイプングには、現実の物としてのリアルプロトタイプングと、情報技術を活用したシミュレーションによるバーチャルプロトタイプングとがある。後者の具体的な例はこの特集集中に示されるが、以下に、両者を駆使した代表的なラピッドプロトタイプングの例を紹介する。

3.1 SOC化のラピッドプロトタイプング

LSIの発達は、2章で述べたコンピュータ分野にとどまらず、電子技術のパラダイムシフトを起している。LSIの高集積化技術は、30万ゲート規模のLSIの開発を可能とし、LSIをプリント基板上の一部品から、一システムに格上げさせた。すなわち、一つのチップ上にシステムを作り上げるSOC化を可能とした。これにより、電子機器の部品数は激減し、組立て・調整の合理化による品質の向上を促進させることになった。また、情報処理がデジタル化されることによって電子回路がソフト化され、電子回路技術が個人の技術から組織の技術に変化し、技術の組織的蓄積が可能となった。さらに、コンピュータの高性能化は、製品開発における設計から生産に至るトータルシミュレーションの迅速化を加速している。このように、LSIの発達は、電子技術を取り巻く開発設計環境を大幅に変革するパラダイムシフトを引き起こしつつある。

マルチメディア時代の電子機器では、映像・音声・情報・通信などの機能の複合化と進歩の著しい半導体技術によるSOC化を結びつけ、創造的な機能を短期間に実現することが求められている。このような新しい時代に対応した高付加価値製品の短期開発には、図2に示す概念のように、次の(1)~(3)のステップを迅速に繰り返し、SOC化のラピッドプロトタイプングを実現することが不可欠である。

(1) コンセプトメイキング

抽象モデルによって問題の解決方法を探索し、複数の論理機能検証オブジェクトを創出するステップ

(2) バーチャルプロトタイプング

コンピュータ上でオブジェクト指向で機能を記述し、高速機能シミュレーションで評価・検証するステップ

(3) リアルプロトタイプング

試作されたユーザチップと既存の μP 、ASSP (Application Specific Standard Product)などを基板上に搭載して、実スピードに近い状態で評価・検証を行い、エンジニアリングサンプルとして活用できるステップ

具現化された製品モデルデータは、LSI配線設計などの製造プロセスに伝送される。このようなSOCの設計から生産に至るトータルシミュレーションを、SOCトップダウン設計という。

3.2 機械系三次元ラピッドプロトタイプング

エンジニアが着想した新製品のイメージ情報を、エンジニア以外の関係者 (営業、組立て、顧客など) に迅速に伝達し、共同作業を円滑に進めるためには、エンジニアにしか理解で

きない紙の二次元図面ではなく、コンピュータ上での三次元モデルを活用することが重要である。さらに、三次元モデルの活用は、CAD/CAE/CAM一貫システムの構築による設計生産性の向上にも貢献する。SOC化のラピッドプロトタイピングと同様に、図3に示す概念の下に、下記のステップで製品開発を進める。

(1) コンセプトメイキング

エンジニアが頭に描いた製品イメージを、具体的な造形イメージ(意匠)として表現すると同時に、抽象モデルによって機能を検証するステップ

(2) バーチャルプロトタイピング

三次元CADを利用した製品モデルデータを設計基準などと比較検証し、CAE解析で機能を詳細に検証するステップ

(3) リアルプロトタイピング

三次元CADデータで試作された紙造形や光造形モデルで意匠確認をすると同時に、本モデル又は本モデルをマスクとした樹脂型を使用して機能評価が迅速にできるステップ

(1)~(3)は、機械機能の設計(機能オブジェクトの創出)

と意匠の設計(意匠オブジェクトの創出)から具体的な機械(合成オブジェクト)を設計するプロセスで、このプロセスを繰り返し検討し、新製品のイメージを具現化する。特に、商品設計では、造形にかかわる意匠設計におけるラピッドプロトタイピングが重要で、三次元モデルの活用がキーとなる。具現化された製品モデルデータは、CAMデータとして、製造プロセスに伝送される。このような電気機械製品の設計から生産に至るトータルシミュレーションからなる設計プロセスを、機械系三次元トップダウン設計という。

3.3 シミュレーション

ラピッドプロトタイピングの中でも特に重要な技術は、この特集で取り上げられているシミュレーション技術である。“シミュレーションとは、情報・知識をコンピュータ上に固定化し道具化したものを製品開発に利用すること”で、それを活用することにより、最終的には次の3点を目指すことになる。

(1) 製品モデル全系をコンピュータ上で迅速に構築し、精密な評価を行う。

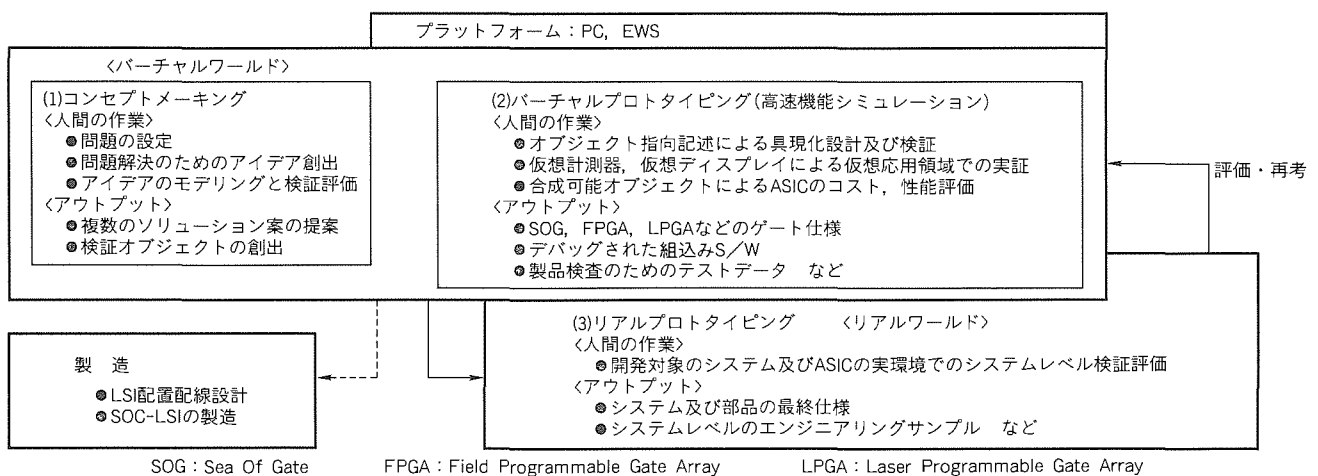


図2. SOCトップダウン設計概念

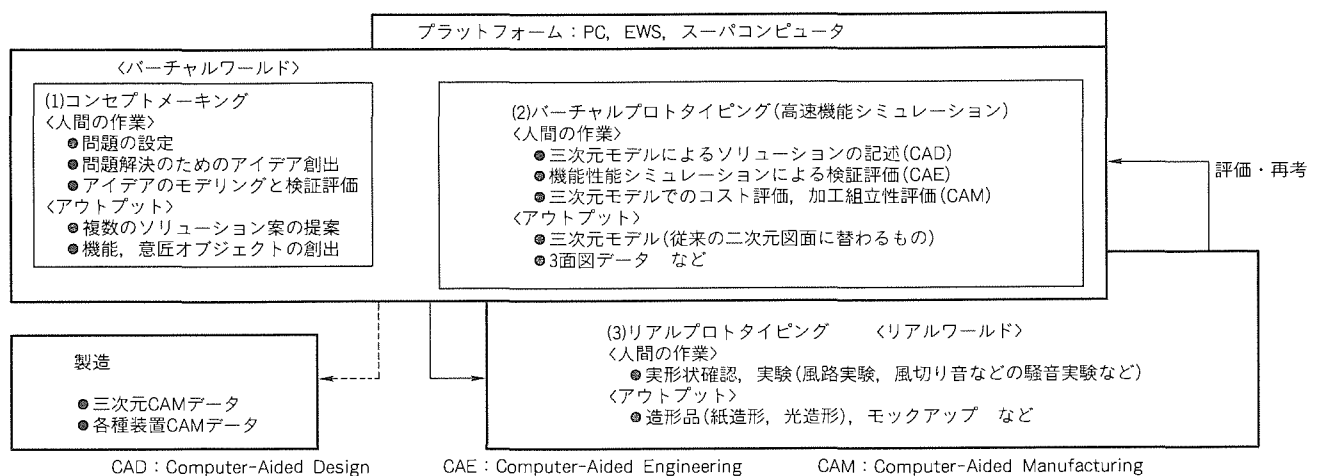


図3. 機械系三次元トップダウン設計概念

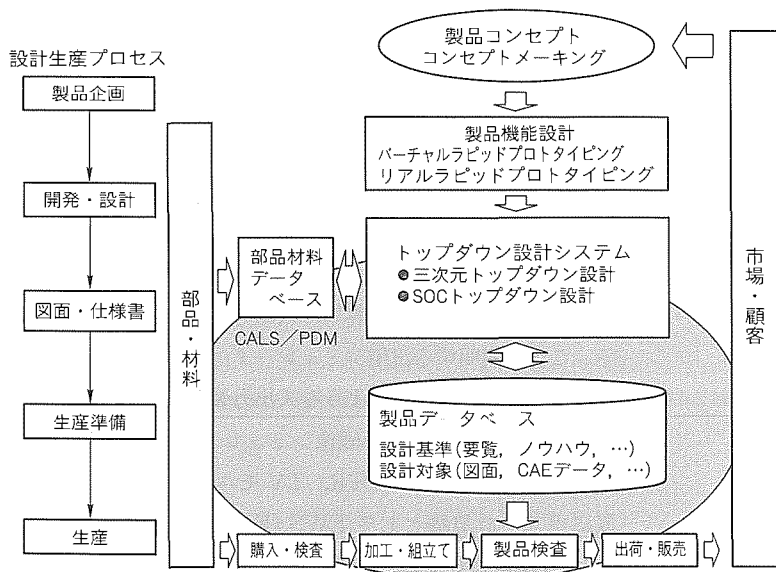


図4. 設計生産システム

- (2) モデリングレス (可能な限り近似を排除する) で、上記
- (1)項を実現する。
- (3) 製品試作回数の最小化を図り、製品開発の生産性を上げる。

現実には、物理現象そのものの不確定さ、現象の細密な模擬に必要なモデルの膨大さ、計算機の性能の制約などで、なんらかのモデル化が必要である。このモデルを使用して、コンセプトメイキングの段階では、PC上での応用数学パッケージ S/W の活用による機能検証が有効となる。バーチャルプロトタイピングの段階では、スーパーコンピュータなどを使った高速シミュレーション技術の活用による詳細設計が有効となる。エンジニア個人の創造性を促すためには、内外のデータベースの徹底的活用と、計算できるものはすべて計算し尽くすように、簡略計算には表計算ソフトの活用を、高度な計算にはシミュレーションツールの活用ができる開発環境の構築が重要である。

4. 新設計生産システム

マーケットオリエンテッドで新製品を迅速に開発するためには、エンジニアが抱いた製品イメージを迅速に機能検証し、ユーザが満足できるものかどうかを造形物で確認する設計の上流過程でのラピッドプロトタイピングが最も重要である。この段階では、確立された製品コンセプト (意匠、機能仕様など) は電子化情報とされ、製品開発にかかわるすべての関係者がネットワークを介して情報を共有できる協調作業環境の構築がなされていなければならない。次に、これらを実際の製品として仕立てるためには、製品化設計を行うことになる。この製品化設計では、設計基準・設計対象などを記述した製品データベースの活用が重要である。

図4は、コンピュータ上に知識を固定化し、すべてのエンジニア (集合天才) が情報を共有化することによって生まれた新設計生産システム概念であり、また、電子化情報でシームレスに設計生産プロセスを結合した新製品開発環境である。すなわち、市場・顧客のニーズにより、上述したラピッドプロトタイピングで製品機能設計を行い、次に、電子化された製品データベースをネットワークを介して活用し、設計から生産までをベーパーレスで、情報を伝達する製品化設計 (トップダウン設計システム) 環境である。このような設計環境の確立は、創出された製品イメージの製品としての具現化を迅速にし、将来的には、製品のライフサイクル (誕生から廃棄まで) にわたるシミュレーションも可能とするだろう。

この製品開発環境で構築された製品モデルデータは、製品データ管理システム (Product Data Management : PDM) で管理されるとともに、企業間の製品モデルデータの交換など (CALS) にも利用される。

5. むすび

情報技術革命によるコンピュータの発達、製品開発におけるラピッドプロトタイピングを可能にした。特に、この特集で取り上げられているように、コンピュータ上でのシミュレーション技術の発達は目覚ましいものがある。つい最近まで、シミュレーション技術は一部の専門家にしか扱えない特殊な技術のように考えられてきた。しかしながら、コンピュータにかかわる H/W, S/W の機能向上や低価格化は、通常の設計の現場でのコンピュータの活用を加速し、シミュレーション技術そのものが、設計の現場で日常業務として取り入れられるようになってきている。

また、研究・設計・生産情報の電子化は、各所で国際的な広域ネットワークを介しての情報の共有化を可能としている。このことは、情報システムで作られた協調作業環境でのエンジニアの能力の結集 (集合天才) を可能とし、また、共通情報の利用による、エンジニア個人レベルの作業の質と迅速性の向上をもたらすことを意味する。

このような集合天才による製品開発は、一企業内に限ったことではなく、社外のネットワーク上での仮想企業 (Virtual Corporation) における製品開発の効率化ももたらすことになる。近い将来、全世界でのエンジニアによる集合天才が協調して、製品のライフサイクルにわたってのシミュレーションを行い、地球に優しい製品をラピッドに開発するようになるだろう。

テレビジョンにおける 画像シミュレーション技術

伊藤 浩* 長谷川仁志*
 幡野喜子* 長谷川 弘*
 賀井俊博* 奥村 明*

1. ま え が き

ハイビジョンやEDTV (Extended Definition Television) が実用化され、デジタル放送が審議されるなど、テレビジョンを取り巻く環境は確実にデジタル化の方向に進んでいる。このような状況の中で、コンピュータによる画像シミュレーションは新しい技術の実現に多大な貢献をしてきた。

画像シミュレーションは、信号処理方式をコンピュータのプログラムで実現し、ソフトウェアによって方式の性能評価を行うことである。画像シミュレーションの特長は、コンピュータの持つ汎用性に起因して幅広いアプリケーションに対応できることと、処理結果がすぐ次の方式改良にフィードバックできることにある。そのため、デジタル信号処理がテレビジョン機器に多用されるにつれて、画像シミュレーションは、新しい処理方式の実現性や性能の検証、システムパラメータの調整などに広く用いられるようになってきた。

以下、2章で画像シミュレータの構成について述べ、3章で、画像シミュレーションを用いた開発事例として、ハイビジョン、EDTV、画像圧縮における信号処理技術を紹介する。

2. シミュレーション設備

2.1 汎用シミュレータ

デジタル画像処理システムが一般のデータ処理用のシス

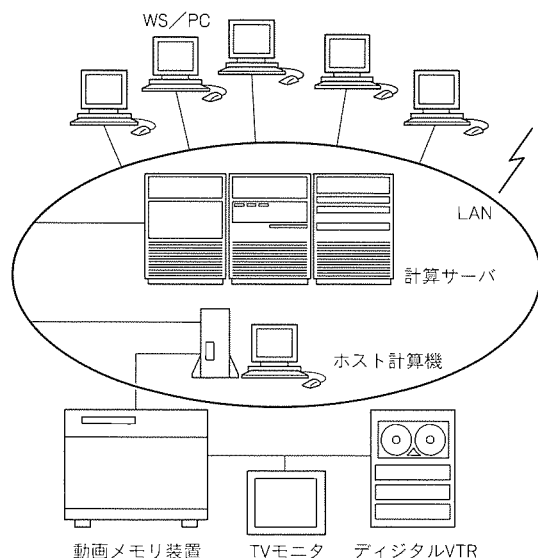


図1. 汎用シミュレータの構成

テムと異なる点は、画像専用の入出力装置が必要なことである。ここで説明する汎用シミュレータは、ワークステーションなどの計算機に、このような入出力装置を接続したものである。図1に、代表的な画像シミュレーション設備の構成を示す。動画メモリ、VTR、TVモニター等の画像入出力装置にホスト計算機としてEWS (Engineering Work Station) が接続されており、これらのEWSに自部門の計算機からLANなどのネットワークを経由してアクセスすることによってシミュレーションを行う。

筆者らは、図のように、バックエンドの計算サーバとして並列計算機を導入し、シミュレーションの効率化を図った。表1は、60個のCPUを持つ超並列コンピュータで符号化処理を行ったときの演算時間の実験値である。ここでは、アフィン変換を含む繰返し演算の多い処理を、 $1,920 \times 1,035$ 画素のハイビジョン画像（静止画）に適用した。CPUの数を増して処理を並列化することにより、演算時間は大幅に減少し、60CPUのときには、その台数効果は約30倍になっていることが分かる。例えば、今まで一週間かかっていたシミュレーションは、並列コンピュータの利用によって約6時間に短縮され、演算時間を現実的な待ち時間の範囲内に入れることができる。

汎用シミュレータは、言語の一般性が高いことによるプログラムの組みやすさと、多種多様なアルゴリズムに対応できる柔軟性が大きな特長である。また、上記のような計算サーバの導入により、ハイビジョンのような情報量の多い信号に対しても、効率良くシミュレーションが行えるようになってきている。

2.2 画像処理専用シミュレータ

表1. CPUの並列化による計算時間の短縮

CPU数	処理時間 (s)	台数効果
1	5,565	1.00
2	3,101	1.79
3	2,196	2.53
5	1,425	3.91
10	845	6.59
15	594	9.37
20	473	11.77
30	328	16.97
40	279	19.95
60	190	29.29

画像処理専用シミュレータは、A/DやD/A変換器、CPU、ビデオRAM等を、画像処理専用に組み込んだものである。CPUを複数化して並列処理を行うことにより、リアルタイムで画像処理が行える。ここでリアルタイムとは、画像が入力される速度で処理が行われることを指す。したがって、アルゴリズムの評価において、汎用シミュレータのように処理結果をハードディスクやフレームメモリ(RAM)に蓄積していく必要がない。また、動画によるアルゴリズムの評価が迅速に(リアルタイムで)行える。

画像処理専用シミュレータとして、CPUにトランスピュータを用いたシステムが商品化されている。このシステムは、CPUモジュールを持つMPC(Massively Parallel Cluster)と呼ばれる部分と、アナログ信号の入出力、画像処理等の各種機能ボード、及びホストコンピュータからなり、最大1,024個のCPUで並列演算を行う。

画像処理専用システムの特長は、リアルタイム処理を可能にする演算速度の速さである。しかし、符号化などの複雑な処理に対しては性能がまだ十分でなく、また、様々なシミュレーションに対応するフレキシビリティの面で汎用システムに劣るため、現在のところ、汎用システムほどには広く用いられていない。

3. 開発事例

3.1 画像圧縮規格(MPEG2)対応コーデック

MPEG2はスタジオ規格のテレビジョン信号を圧縮する規格として注目されており、当社においても、MPEG2の画像圧縮を利用したコーデックを開発している⁽¹⁾。MPEG2は、動き補償予測を用いた符号化方式である。予測モードとして、フレーム内符号化を行うIピクチャ、過去のI又はPピクチャから動き補償予測を行うPピクチャ、前後のI又はPピクチャから両方向予測を行うBピクチャがある。

MPEG2は主としてデコーダの規格であり、エンコーダ側での、動きベクトルの検出方法、GOP(Group of Picture)の構成、その他各種パラメータの設定等には、かなりの自由度がある。そこで、ハードウェアを製作する前に、各方式による性能評価が重要である。

表2. 探索範囲とSN比

探索範囲	画像1	画像2	画像3	画像4
16×16	31.18	33.37	33.29	34.38
32×32	31.18	33.55	34.30	34.54
64×64	31.17	33.54	34.58	34.98

表3. Bピクチャの有無とSN比

Bピクチャ	画像5	画像6	画像7	画像8
あり	29.54	27.11	31.39	40.08
なし	28.12	25.59	31.29	40.47

表2は、動きベクトルの探索範囲とSN比の関係を示すシミュレーション結果である。動きの遅い画像1は、探索範囲によるSN比の差がない。これは、過剰な探索範囲を与えても、ベクトルを表すビット数の増加によるSN比の劣化がほとんどないことを示している。一方、画像2ないし画像4のように速い動きの場合は、探索範囲が動きに追いつくまで、範囲を広げるほど、SN比が向上する。したがって、ハードウェア規模の許す限り、探索範囲は広い方がよい。

また、表3にシミュレーションによって得られたBピクチャの有無とSN比の関係を示す。通常の画像の場合、Bピクチャありの方が画質が良いが、画像8のように非常に速い画像の場合、Bピクチャなしの方が画質が良いこともある。このことから、ハードウェア上の理由で動きベクトルの探索範囲を大きくできない場合、探索範囲を超えるような動きの画像に対しては、Bピクチャなしで符号化することも考えられる。

そのほかシミュレーションでは、動きベクトルの検出方法など、ハードウェアでの比較検討が困難な部分についても検証を行っている。

3.2 ハイビジョン

ここでは、ハイビジョンテレビに現行のNTSC信号を表示するために開発した1,125高精細変換について述べる⁽²⁾。

1,125高精細変換は、NTSCの有効走査線480本を2倍の960本に変換し、ハイビジョンの有効走査線1,035本の中に配置する。図2に、1,125高精細変換のフローチャート

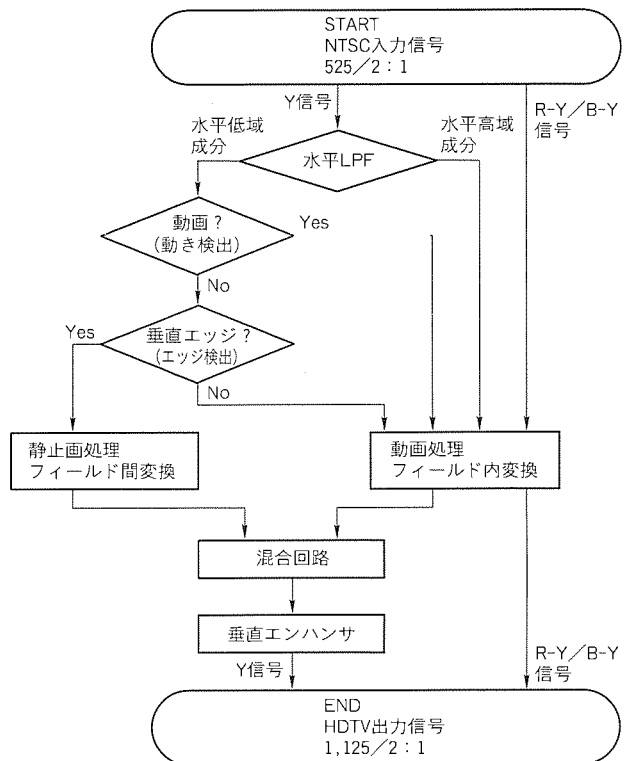


図2. 1,125高精細変換のフローチャート

トを示す。走査線変換用に、フィールド間フィルタとフィールド内フィルタを持ち、それぞれ、画像中の静止部分と動き部分に切り換えて用いる。このような動き適応処理は、従来から、静止部分と動き部分の画質の落差、動き検出のエラーに起因する新たな画質妨害が指摘されていた。そこで、この方式では、まず、信号を水平LPF (Low Pass Filter)により、高周波成分と低周波成分に分解し、低周波成分の垂直エッジ部分にのみフィールド間変換を適用した。このように、フィールド間処理を最も顕著な効果が見られる部分に限定することにより、上述の問題点を巧妙に回避することができる。また、フィールド間処理のために必要なメモリは、前フィールドの低周波成分を記憶しておくだけで済むため、信号をサブサンプルすることにより、メモリ容量を減らすことができる。

図3は、シミュレーションによって得られた変換後の解像度チャートの画像である。比較のため、図4にフィールド内処理によって変換された同じチャートの画像を示す。適応処理により、垂直の解像度が大きく向上していることが分かる。また、適応処理に起因する新たな画質劣化はなく、総合的に非常に高画質な再生画像が得られている。このほか、レーザーディスク、放送波から得た動画像に対してもシミュレ

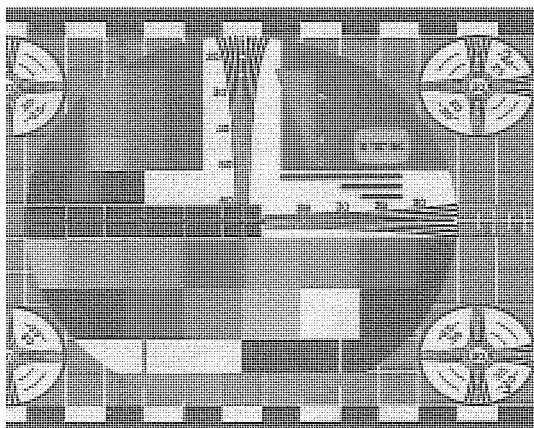


図3. 1,125高精細変換によって変換された解像度チャート

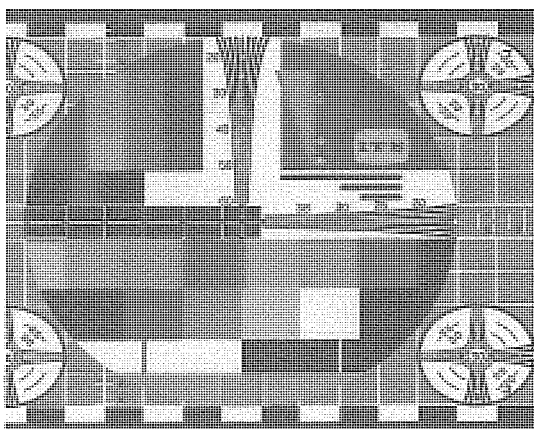


図4. フィールド内フィルタによって変換された解像度チャート

ーションを行い、方式の有効性を確認した。

なお、上記の技術は三菱電機製 36 インチハイビジョンテレビ 36 D-HD 2 に搭載された。

3.3 第二世代EDTV

第二世代 EDTV 放送 (以下“EDTV-II”という。)は、現行の NTSC 方式と両立性を保ちながら画面のワイドアスペクト化、高画質化を目的とした放送方式であり、平成7年7月から本放送が開始されている。

当社は、高性能なYC分離と輝度の水平高精細信号の復調を1チップで行うデコードLSIを開発した⁽⁴⁾。ここでは、このLSIに用いられた信号処理技術とそのシミュレーション結果について述べる。

3.3.1 三次元YC分離^{(3)~(5)}

EDTV-IIでは、時間-垂直周波数平面の第2象限と第4象限に色信号が、第1象限と第3象限に輝度信号の水平高精細信号が多重されている。これらの信号は輝度信号への妨害を防ぐために水平方向にも帯域制限されているので、デコードにおいては、時間-垂直-水平の三次元フィルタ (以下“TVHフィルタ”という。)によって信号を分離することができる。

YC分離における色信号と輝度信号の不完全な分離は、クロスカラー (輝度が色として再生される。), ドット妨害 (色が輝度として再生される。)などの画質劣化となる。TVHフィルタは、三次元周波数空間において色信号の存在する領域のみを抽出しているため、多くの場合、動きのある部分においてもクロスカラーを最小限に低減することができる。しかし、画像信号のスペクトルは画像の特徴によってダイナミックに変化しているため、この変化に対応し、かつ、TVHフィルタの特長を最大に生かすため、図5に示すような適応処理を開発した。すなわち、画像の静止部分では時間フィルタ (フレーム間くし形)、動き部分のうちで、垂直エッジでは水平フィルタ、水平エッジでは垂直フィルタ、いずれで

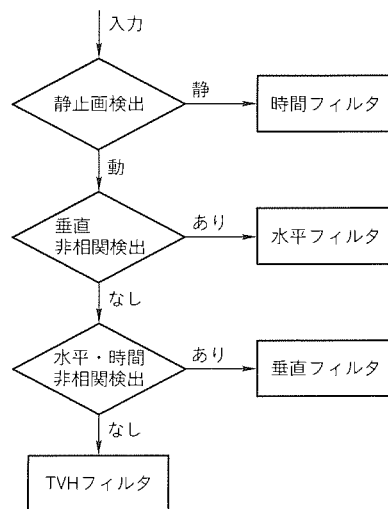


図5. 三次元YC分離のフローチャート

もないときは TVH フィルタを用いる。これにより、動き部分のクロスカラーを低減しながら、画像のエッジ部分に生じるドット妨害を防ぐことができる。

図 6 に、この YC 分離方式のシミュレーション結果を示す。原信号は、下方向に低速で移動するゾーンプレートである。本来この信号には、色信号が多重されていない。この方式では、すべての領域で正しく輝度信号が再生されていることが分かる。比較のため、図 7 に、従来の動き適応 YC 分離フィルタのシミュレーション結果を示す。従来、動き領域では、すべてフィールド内フィルタを用いているので、輝度の斜め高域部分にクロスカラーが見られる。

3.3.2 水平高精細信号復調⁽³⁾

水平高精細信号 (以下“HH”という。) は、輝度信号の水平高域成分 (約 4~6 MHz) を約 2~4 MHz の低域に周波数変換し、前述のスペクトル空間に多重した補強信号である。受信機において TVH フィルタによって抽出された HH は、次に水平周波数軸上で 2~4 MHz から 4~6 MHz の帯域にシフトされる。

EDTV 信号は、その周波数帯域と処理の簡単化からカラーサブキャリアの 4 倍 (14.3 MHz) でサンプリングするのがよいが、このとき、水平高精細信号のシフトにおいて、隣

接する周波数帯に不要成分が現れ、高精細信号の 4 MHz 付近の信号成分が著しく妨害される。これを防ぐため、周波数シフトの前に複素係数のデジタルフィルタを用いる復調方法が提案されている⁽⁶⁾。当社は、この方式を用い、LSI 化に適した複素係数デジタルフィルタの設計を行った。

図 8 は、シフト演算と加減算だけで実現できる 5 タップの複素フィルタを用いて復調した解像度チャートのシミュレーション結果である。比較のため、図 9 に、HH 信号がない場合の解像度チャートを示す。HH 信号による水平解像度の向上が明らかである。また 4 MHz 付近で、信号が途切れなく復調されているのが分かる。このような簡単なフィルタで十分な HH 復調性能が得られることが、シミュレーションによって示された。

4. む す び

テレビジョン機器の開発に用いられる画像シミュレーションの設備構成と、その事例について説明した。コンピュータ性能の向上により、ここ数年の間に、フィルタ処理の簡単なものから MPEG 符号化等の複雑なものまで、シミュレーションが可能になった。言い換えると、静止画から動画のシミュレーションは当然となり、EDTV-II やハイビジョン等

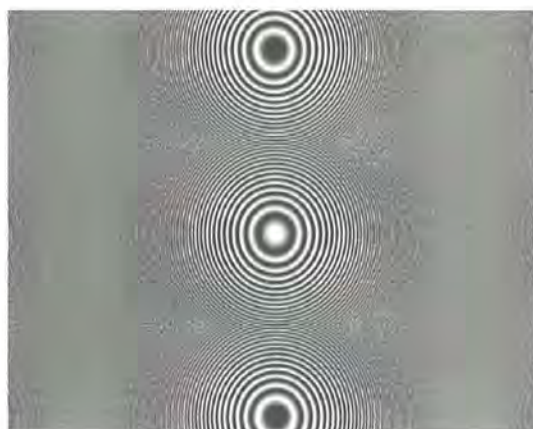


図 6. 提案方式による YC 分離結果

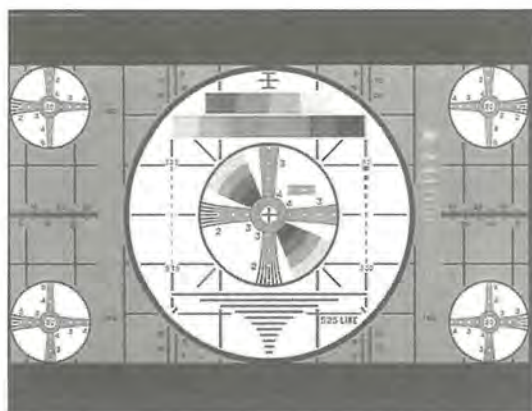


図 8. HH 復調後の解像度チャート



図 7. 従来方式による YC 分離結果

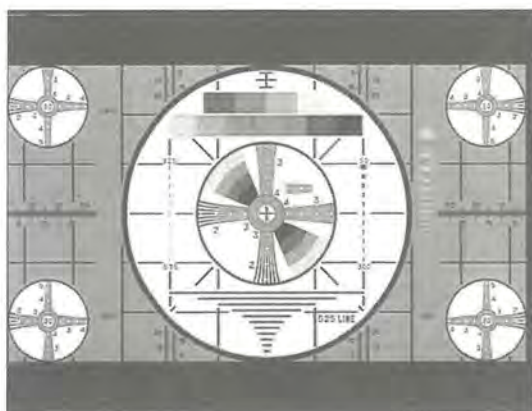


図 9. HH なしの解像度チャート

の広帯域信号までカバーできるようになった。これにより、多くのテレビジョン機器の開発に計算機シミュレーションが利用されている。

シミュレーションの魅力は、画像の処理アルゴリズムやハードウェア方式を実際のプロトモデルを製作しないで開発できるところにある。テレビジョン機器の信号処理が複雑になり、より大規模なLSIが必要になる今後、ますます計算機シミュレーションの重要性が増加するであろう。

参考文献

- (1) Nakai, T., Hatano, Y., Kasezawa, T., Ito, H., Nishida, M.: Development of HDTV Digital Transmission System Through Satellite, ICCE 95, THAM 9.7, 158 ~ 159 (1995-6)
- (2) 石塚 充, 大西 宏, 辻 雅之, 長谷川仁志, 杉本 貢, 山本祐治: 新走査線変換方式の開発, テレビジョン学会全国大会, 81 ~ 82 (1993)
- (3) 栗崎一浩, 山川正樹, 朝本洋一, 賀井俊博, 奥村 明, 森川泰宏, 吉田俊之: S-VHS VTR HV-V 900 Lの高画質化技術, テレビジョン学会技術報告, CE 95-16, 19, No.60, 31 ~ 36 (1995-11)
- (4) 蔵下拓二, 賀井俊博, 大橋知典, 大井真澄: 3次元YC分離LSIの開発, テレビジョン学会全国大会, 73 ~ 74 (1993)
- (5) 吉田俊之, 西原明法, 藤井信生, 山川正樹, 栗崎一浩: NTSC信号用多次元輝度/色信号分離フィルタの構成とその実験的検証, 電子情報通信学会, デジタル信号処理シンポジウム (1994)
- (6) 大西 誠, 石倉和夫, 鈴木教洋: 複素信号処理による周波数変換法の一検討, 電子情報通信学会秋季全国大会, A-1-42 (1988)

システムレベル大規模論理シミュレーション手法

三部 健* 岩崎光孝**
平岡精一* 中野 哲**
近江谷康人*

1. ま え が き

LSIの高集積化が進み、数百万ゲートを集積するLSIが登場している。このような高集積のLSIを多用した計算機システムでは、論理回路のほとんどがLSI内に入るため、不具合要因もLSIの内部に起因することになる。したがって、不具合要因の究明が非常に困難になり、原因が明確になった場合にも、不具合修正作業はLSIの再製作となる。このため、設計に必要なコストは膨大なものとなる。設計コストを削減し期間を短縮するためにも、LSIを製造する前の設計段階における論理検証の段階で不具合の要因を完全に除去し、シミュレータ上で動作確認を完了させておく必要がある。

従来から行われているLSI単体検証では、バスの競合動作・エラー処理など複数LSIの同時動作、又はシステムとしての動作の検証ができないため、上記のような要求に十分にこたえることができない。そのため、実際のシステムにシミュレーション環境を近づけて、より大きな回路規模でより多くのテストデータを用いてシミュレーションを行う必要がある。

当社の計算機開発では、1982年にバス解析によるタイミング検証とシミュレーションによる論理検証を分離して以来、市販のシミュレータを用いて大規模論理シミュレーションの回路規模の拡大を図ってきた。1984年にはCPUレベルを、1990年からは多段記憶階層と周辺装置を含むシステムレベルの検証を行っている。これは、シミュレータ自身の進歩やホストマシンの高速化によるところが大きい。しかし、シミュレータの扱え得る回路規模と速度は十分なものではない。

したがって、シミュレータの性能を最大限に生かしたモデル化技術と、計算機システムの動作状態を考慮することによって効率良い試験データを作成するアーキテクチャに精通した試験技術が重要である。

この論文では、システムレベル大規模論理シミュレーションに関し、システムレベル検証手法、システムレベルシミュレータの概要と構成、

シミュレーション方法について述べる。次に、網羅性を高めるために採用したランダムテストについて述べ、最後に最近の適用事例を紹介する。

2. システムレベル検証手法と概要

2.1 システムレベル検証

LSI単体検証、計算機システムのシステムレベル検証と実システムによるデバッグ(以下“実機デバッグ”という。)の比較を表1に示す。

実システムでは、LSIやCPUボードは単体では動作せず、DISK装置などのI/Oを接続して動作する。実機デバッグでは、診断用のプログラム(以下“診断プログラム”という。)を実行し、結果の確認は主記憶メモリ、アーキテクチャレベルのレジスタの内容、周辺回路に転送されたデータ等で確認する。

システムレベル検証の目的は、検証対象であるLSIやCPUボードが実機と同一の動作環境で正しく動作することをあらかじめ保証することである。そのため、テストデータはLSI外部ピンへの入力パターンではなく、実機デバッグで使われる診断プログラムや、LSIの動作を検証できるようなプログラムを用いる。

結果の確認は、1クロックずつの動作ではなく、テスト終了後の主記憶メモリ、キャッシュメモリ、アーキテクチャレベルのレジスタの値などを期待値と比較することによって行う。バスプロトコルの検査や不具合解析の手段として、LSI内部の信号も確認できる。

表1. 検証の比較

	LSI単体検証	システムレベル検証	実機デバッグ
対 象	LSI	計算機システム	計算機システム
ね ら い	仕様どおりできているかを確認	仕様の正当性を確認 正常動作を確認 システム性能測定 (一部予測)	正常動作を確認 システム性能測定
テスト方式	LSI内部レジスタ・ 入力信号に値を設定	周辺回路からのバスオペレーション及び診断プログラムを使用	診断プログラムを使用
期 待 値	LSI内部レジスタ LSI出力信号	主記憶 キャッシュメモリ アーキテクチャレベル レジスタ LSI内部レジスタ	主記憶 キャッシュメモリ アーキテクチャレベル レジスタ
観 測 信 号	LSI外部の信号 LSI内部の信号	LSI外部の信号 LSI内部の信号	LSI外部の信号

このように、システムレベル検証とは、従来、実機デバッグで行っていた実システムによる動作確認作業を、シミュレータ上で行うことである。

2.2 設計作業とシステムレベル検証

計算機システムの開発の流れを図1に示す。システムレベル検証は、計算機システムの開発に合わせて、以下のステップで行う。

(1) インタフェース確認とシミュレータ構築

設計側が作成した各LSIの仕様書を基に、検証側はインタフェース信号と基本的な機能が動作するLSIの擬似モデル及びCPUボードモデルを作成する。また、システム仕様に基づき、検証に必要な周辺回路を作成し、擬似モデルとCPUボードモデルとを組み合わせて、システムレベルシミュレータを構築する。ここでは、各LSI間インタフェース及びCPUボード内外のインタフェースの確認と、システムレベルシミュレータの構築を目的としている。

(2) テストプログラム作成と仕様確認

各LSIの仕様書を基に、検証側はインタフェース確認用の擬似モデルの機能を更に充実させ、ほとんどすべてのLSIの機能が動作する仕様確認用の擬似モデルを作成する。システムレベル検証用のテスト仕様の作成も並行して行う。テスト仕様からテストプログラムを作成し、仕様確認用の擬似モデルを用いたシステムレベルシミュレータ上でデバッグする。テスト仕様作成・テストプログラム作成で、明らかに

LSI仕様に問題があるならば設計側に報告する。このモデルの目的は、テストプログラム作成とLSIの詳細仕様の検証を行うことである。

(3) 検証

設計側で単体検証が終了したLSIのRTL (Register Transfer Level) モデルを用いて、システムレベルシミュレータを構築する。複数LSIの開発では、各LSIの開発進捗(捗)は異なる。この場合には、一部のLSIに擬似モデルを使用し、RTLと擬似モデルのミックスドレベルシミュレータを構築する。

設計側は単体検証完了後、論理合成を行い、LSIのゲートモデルを作成する。検証側は、ゲートモデルのリリースを受け、システムレベルシミュレータを構築し、検証を実施する。検証は単一オペレーションの確認に関するテストから始めて、連続動作、診断プログラム、競合テスト、エラーテストの順で行う。

検証側でLSIのタイミング改善が終了したモデルを検証し、バグが存在しなければ、LSIのレイアウト設計に入る。

(4) 実機デバッグサポート

実機デバッグで不具合が生じたときには、実機上で採取した信号波形を基にシステムレベルシミュレータ上で不具合状況を再現し、LSIの内部動作の解析を行う。実機上では観測できない詳細情報が得られるため、非常に有効な解析手段である。

2.3 モデル化手法

シミュレータの性能を最大限に生かすためのモデル化技術の一つとして、論理検証では遅延情報を取り除く。タイミング検証は、静的なパス解析で代用する。その結果、詳細なタイミング情報を考慮したシミュレーションに比べると、シミュレーションに必要なメモリを1/2に削減でき、また約5倍のシミュレーション速度を確保できた。

また、ゲートモデルを検証の対象とした理由は次のとおりである。

- (1) 論理合成ツールが作成したゲートモデルとRTLモデルとの等価性を検証する必要がある。
- (2) RTLモデルを用いるよりもゲートモデルを用いた方が約4~5倍シミュレーション速度が速い。

検証で不具合が発見された場合の解析は、RTLモデルを用いて行う。RTLモデルは論理合成ツールやライブラリに依存せず、ゲートモデルに比べて解析が容易だからである。

3. シミュレータのモデルとその機能

3.1 システムレベルシミュレータの構成

図2に、今回使用したシステムレベルシミュ

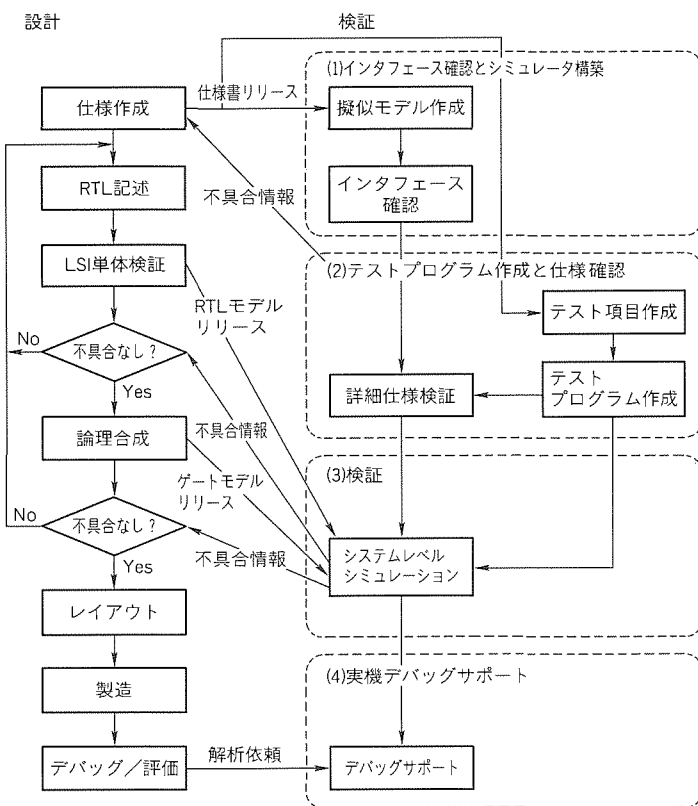


図1. 計算機システム開発の流れ

レータの構成を示す。計算機システムのモデルと、検証の実行管理を行うテストエグゼキュータの二つの部分からなる。システムレベルシミュレータは、ハードウェア記述言語である Verilog-HDL^(注1)を用いて記述している。

計算機システムのモデルは、複数の大規模 LSI が搭載された検証対象である CPU ボードと、非検証対象の周辺外部回路からなる。

非検証対象の周辺外部回路は、実物と全く同等の機能を持つ必要はない。実物と同等の周辺回路を用意すると、それを制御するためのプログラムが複雑になる。それゆえ、各種 I/O バスの基本的なオペレーションと基本的なエラー処理が行える擬似モデルのみを用意した。周辺外部回路を制御するプログラムは、I/O バスのオペレーションに対応させた。

検証対象の LSI、CPU ボード自体は、LSI の開発ステップに合わせて検証側が用意した擬似モデル、設計者が作成した論理合成前の RTL モデル、合成後のゲートモデルを用いる。各モデルにはテストエグゼキュータとのインタフェースを付け加え、検証時や不具合解析時の各モデルとテストエグゼキュータとの情報の受渡しを容易にしている。各レベルでの LSI モデルとテストエグゼキュータのインタフェースを同一にすることにより、各 LSI の工程に影響されず、RTL /ゲートモデルがリリースされる前にテストプログラムのデバッグを行うことが可能である。

(注 1) “Verilog-HDL” は、米国 Cadence Design Systems, Inc. の登録商標である。

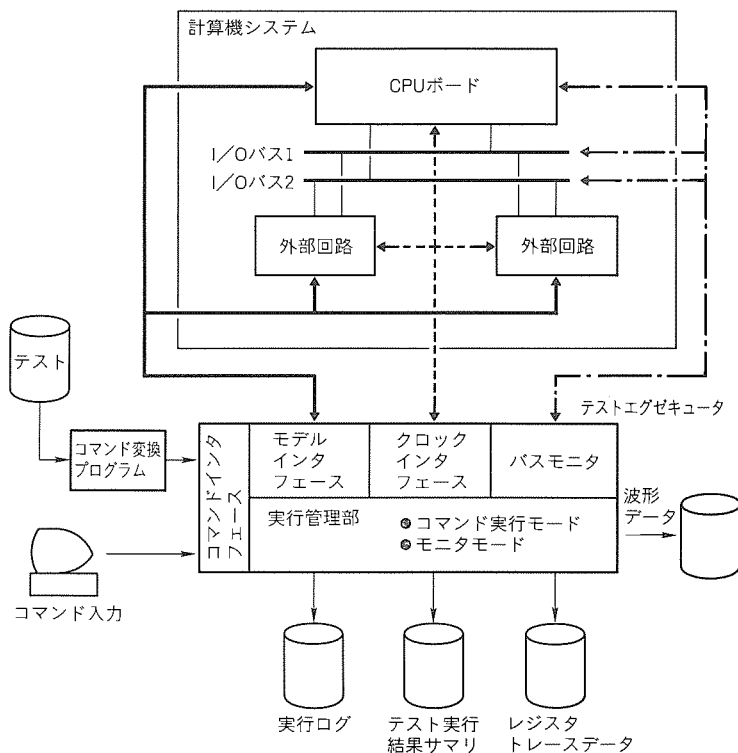


図 2. システムレベルシミュレータ

3.2 テストエグゼキュータ

テストエグゼキュータは、システムレベルシミュレーションのモニタ機能とシミュレーション環境の構成を制御をするもので、実機デバッグ時のシステムコンソール、制御パネル、ロジックレコーダ、診断プログラムのモニタ部に相当する。

具体的には、テストプログラムを解析するコマンドインタフェース、計算機システムのモデルとのインタフェースであるモデルインタフェース、CPU ボードクロックや周辺回路へのクロックを供給するクロックインタフェース、CPU ボードの内部バス、外部バスをモニタリングするバスモニタ、テスト実行を管理するテスト実行管理部がある。

テストエグゼキュータは以下の機能を持っている⁽¹⁾。

(1) 計算機システムの構成情報の設定

テストエグゼキュータ内の構成制御スイッチを設定することにより、計算機システムの構成、CPU ボード内の構成(プロセッサの個数、キャッシュメモリ容量、主記憶容量など)、シミュレーション時の各種制御情報を変更することが可能である。

(2) デバッグ機能

シミュレーション時のデバッグ機能を強化するために、主に以下のものを表示することが可能である。

- アーキテクチャレベルのレジスタ
- LSI の内部レジスタ
- 各種バス
(I/O バス、プロセッサバス、システムバス)
- キャッシュメモリ、主記憶メモリ
- シミュレーション中の構成情報

テストエグゼキュータのコマンドを会話的に入力する機能により、上記の内容を簡単に変更することができる。また、命令アドレスやマイクロプログラムアドレスに対するブレークポイントや、1クロックずつのステップ実行機能を持たせている。そのため、指定した条件が発生したときにテストプログラムの実行を一時的に止め、CPU の状態を変更し、テストプログラムの実行を再開することが可能である。

(3) 波形解析、トレース機能

各種バス、アーキテクチャレベルのレジスタをトレースする機能や、キャッシュメモリの内容をダンプする機能を持ち、解析やバグレポートに必要な情報を出力する。バスのトレース結果は、別に作成したプログラムを用いると、波形出力に変換できるようなフォーマットにしている。エラー信号に対してもトレース機能を設け、エラー報告バスの検証ができる。

(4) 実行結果管理機能

テストプログラムの実行ログに加え、テスト

プログラム終了時に各テストプログラムごとの期待値と実測値との比較結果を出力するので、バッチで複数のテストプログラムを実行したときには、後でテストプログラムのパス/フェールをまとめて確認することができる。

3.3 テストプログラム実行フロー

各テストプログラムは、図3に示すフローで実行する。テストエグゼキュータはテスト開始時にはコマンド実行モードであり、必要に応じてレジスタ、キャッシュメモリ、命令アドレスレジスタ等に初期値をセットする。システムクロックを動かし、テストエグゼキュータはモニタモードに入る。モニタモードでは、各テストプログラムに記述されているテストプログラムの終了条件のモニタ、ブレイクポイントのモニタを行う。以下のような終了条件が成立したときは、テストプログラムを終了する。

- 命令アドレスが指定したアドレスと一致
- 周辺回路からの終了条件
- プロセッサの状態が指定した状態と一致

テストプログラムの実行にはバッチ機能を持たせ、複数テストプログラムの連続実行を可能にした。また、以下の条件が発生したときは、テストプログラムを強制的に終了する。

- 各種バスのハングアップ
- テストの実行クロック数が指定した値を超えた
- テストの実行命令数が指定した値を超えた
- 一命令の実行クロック数が指定した値を超えた
- 予期しないエラーが発生した

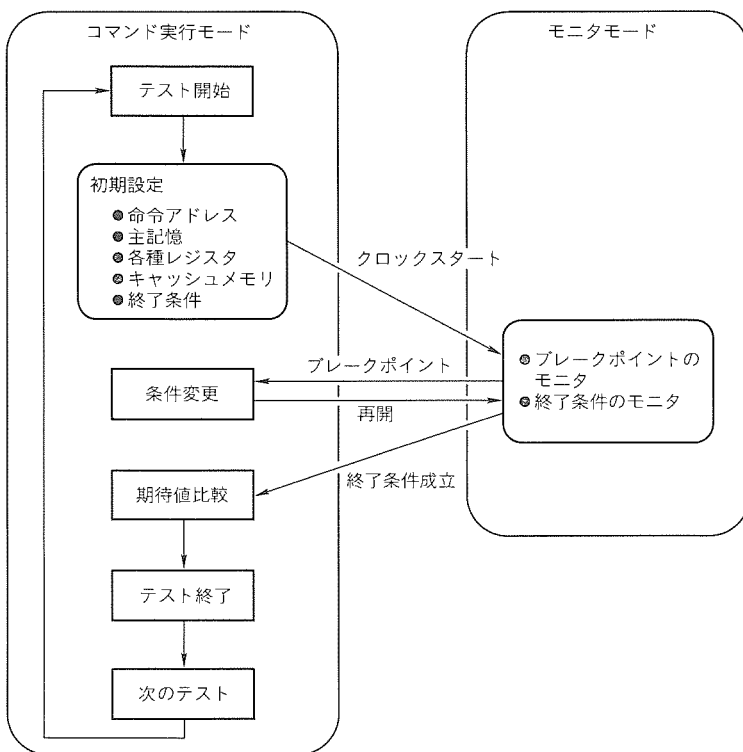


図3. テストプログラム実行フロー

テストプログラムの実行が終了するとテストエグゼキュータはコマンド実行モードに戻り、テストプログラムに記述された期待値とシミュレーションモデルでの実測値の比較で、テストのパス/フェールを判定する。フェール時には、バグ解析に必要な情報をファイルにダンプする。

以上が、テストエグゼキュータの特徴であるが、テストエグゼキュータを用いてのシミュレーションでは、アーキテクチャレベルの検証には向いているものの、バスオペレーションの検証には向いていない。なぜなら、バスオペレーションの検証のように多くの組合せ条件が存在する場合には、個々の条件に対して1件1葉にテストを記述しては膨大な時間がかかり、条件漏れや偏りが起きるからである。

そこで我々は、ランダムな条件でテストプログラムを自動生成するツールを開発して、テストエグゼキュータに付加した。

3.4 テストプログラム自動生成ツール

テストプログラム自動生成ツールは、バスオペレーションの競合動作とCPUの状態に着目した条件を組み合わせたテストプログラムを自動生成するシミュレーションツールである。

テストプログラム生成方式は、ランダムに試験条件を設定する方式と、人手によって試験条件を指定する方式がある。これら二つの方式を単独で選択したり、組み合わせて選択することが可能である。テストプログラム開発者は、単純な試験項目に関しては、試験条件を指定だけでテストプログラムの作成が可能である。複数の条件を組み合わす試験項目に関しては、主な試験条件だけを指定し、その他の条件をランダムにすることで、テストプログラムの作成が可能である。

また、試験項目を設定せずに、すべての試験条件をランダムにしたテストプログラムの作成も可能である。しかし、条件を絞り込んで不具合の検出効率を上げるのが通常の使い方である。

テストプログラムの実行は、生成したテストケースを基に、周辺外部回路の制御プログラムと、CPUの初期状態を設定した後に試験対象を動作させる。オペレーション実行後は、期待値と実行結果を比較することで、試験対象の正当性を確認する。

テストプログラム自動生成ツール⁽²⁾の構造と動作を以下に述べる。

(1) 構造

図4に示すように、テストエグゼキュータに自動生成ツールを付加し、シミュレーション環境を構築する。試験条件が指定された外部ファイルを基にテストプログラムを生成する機能、生成したテストプログラムからシミュレータ環

境に合わせてテストエグゼキュータのコマンドを生成する機能、試験実行後の期待値を比較する機能から構成されている。

(2) 動作

生成するテストプログラムは、以下に示したバスの動作条件と CPU の状態をランダムに組み合わせたものである。

(a) バス動作の条件

- リクエストのタイミング
- バスのオペレーション
- アドレスとデータのパターン
- 割込み信号

(b) CPU の状態

- キャッシュメモリの状態
- ストアバッファの状態
- メモリの状態

また、自動生成ツールは、テストプログラム実行後の期待値生成に加えて、各種バスに対するタイミングのチェック機

能を持っている。この機能により、試験対象で意図した試験が行われていることが確認できる。

4. 適用事例

システムレベルシミュレーションと自動生成ツールの事例として、図 5 に適用例のシステムを示す。CPU ボードでは、MCU (メモリ管理ユニット)、CMU (キャッシュメモリユニット) とプロセッサが、プロセッサバスとシステムバスで結合されている。また、ボードと I/O の間は当社独自の 2 種類の I/O バスのほかに PCI バスがあり、ボード内のバスブリッジ BSB 1, 2 でシステムバスに接続されている。システムバスに接続されている LSI のほとんどが、能動的にシステムバス上にリクエストを出力することができる。PCI バスには三つのエージェント、I/O バス 1 には七つの I/O、I/O バス 2 には三つの I/O が接続されて、それぞれが能動的にリクエストを出力できる。

目標の試験カバレッジを達成するために、必要なテストケースの数、クロックの見積り、マシンパワーの算定を行った。今回は、約 1 週間で全システムテストが完了するように、当社の EWS “ME/R 7500” (SPECmark=77.5) 5 台と “ME/R 7550” (SPECmark=146.8) 3 台を用意した。

図 5 の計算機システムを検証するときに、システムレベルシミュレータによる検証と自動生成ツールを用いた検証を、以下のような分担で進めた。

(1) システムレベル検証

システムレベル検証では、CPU ボードにおけるアーキテクチャレベルの検証が主体となった。

- CPU ボードにおける仕様書レベルの検証
- バス競合の検証 (最大三つのリクエストが競合)
- 例外処理, エラー機能の検証
- 診断プログラムによる検証

システムレベル検証では、従来プロト機デバッグに持ち越されていたプログラムデバッグ機能, 例外処理, エラー処理を完全に検証することができたため, 検証時のカバレッジが向上した。

(2) 自動生成ツールを用いた検証

自動生成ツールを用いた検証では、バス上でのオペレーションの競合の検証が主体となった。さらに、一つのテストを基にしてリクエストのタイミングをランダムに変化させることにより、より一層の検証度を上げている。

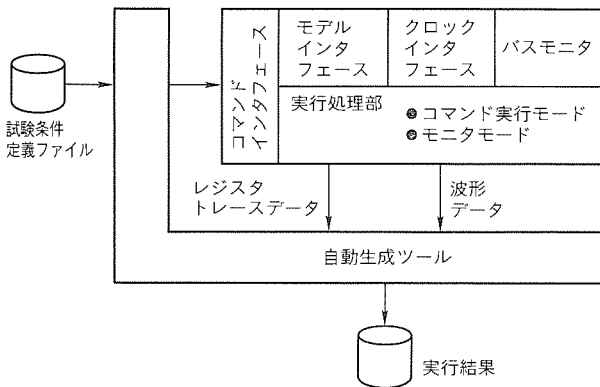


図 4. プログラム自動生成ツールを付加したテストエグゼキュータ

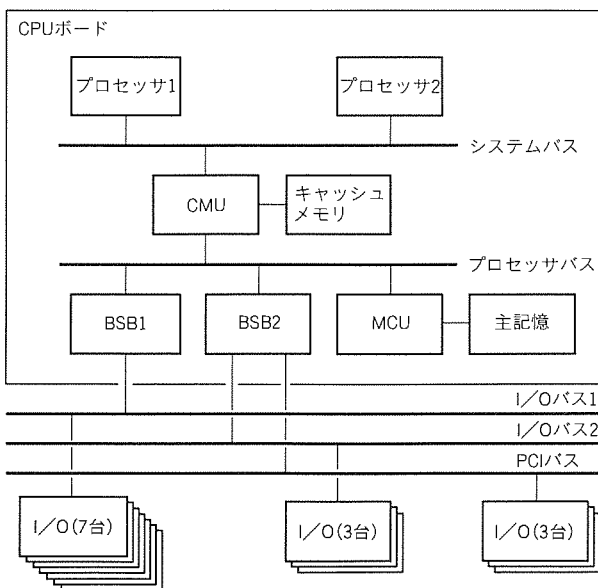


図 5. 対象の計算機システム

表 2. 実施テストの内容

テストの種類	件数	クロック数
仕様書レベル	800	350万
診断プログラム	3,500	1,500万
ランダムテスト	—	2,000万
例外・エラー処理	500	300万

●システムバス上でのオペレーションの競合

(最大六つのリクエストを競合させた。)

●I/Oバス上でのリクエストの競合

今回用意したテストケースの種類、テストケースの数、クロック数を表2に示す。

擬似モデル作成の時期から、テストエグゼキュータとモデルとのインタフェースを共通にすることにより、早い段階からテストを行うことができた。また、ランダムテストを時間の許す限り実行したことにより、人手作成で見落としやすい部分をカバーすることができた。

新たに開発した診断プログラムは、システムレベルシミュレータを用いて動作確認を行った。

5. むすび

この論文で紹介したシステムレベル検証及びテストプログラム自動生成ツールによるランダムテストにより、LSI作成前に実システムで行うデバッグの初期段階をシミュレーションによって行うことができた。これにより、今回もLSI

を作り直すことなく、機能診断プログラム及びシステム診断プログラムによるテストを経て、オペレーティングシステムの動作を確認することができた。

また過去のプロジェクトにおいても、実システムで発生した障害をシステムレベルシミュレータ上で再現し、LSIの内部動作を解析して、実システム上で起きた動作の解明を容易にかつ確実に進めることが立証された。

参考文献

- (1) 三部 健, 近江谷康人, 橋詰雅樹, 井関秀行, 原島忠雄, 山口一良: 1チップCPUプロセッサの設計検証(3), シミュレータ上でのシステムレベル検証, 第46回情報処理学会全国大会, 6-153 (1993)
- (2) 上野 仁, 中野 哲, 木村富蔵, Cook, K., 近江谷康人, 飯田博之: テストプログラム自動生成ツール「MTST」の開発, 第50回情報処理学会全国大会, 6-87 (1995)

電子機器統合化設計システムと その応用事例

鈴木文雄* 小口正史*
清尾克彦* 田中基夫**
西村芳郎*

1. ま え が き

半導体技術の著しい進歩(大規模・高速・低消費電力 ASIC, 高性能マイクロプロセッサ等)により, デジタル化技術を駆使したマルチメディア市場(コンピュータ・通信・映像・音声等の融合技術)の展開と制御分野のデジタル化による技術革新が急速に進んでいる。

この急速に進歩する技術を有効に活用し, マーケットに受け入れられる製品を短期間に開発するためには, どのように作るか(How)から, どのようなシステム機能を製品(チップ)に織り込むか(What)を主体とした設計プロセスへの変革が必要であり, ユーザが満足できる高付加価値機能をシステムオンチップ(SOC)として実現することが求められている。

そこで筆者らは, マルチメディア時代に象徴されるように, デジタル処理による新しいアイデアの抽出とユーザーニーズとのトレードオフを短期間に繰り返し, ニーズに合った機能を短期にSOCとして実現できる応用分野指向の“電子機器統合化設計システム”を提案し, 製品試作評価及び製品開発に適用した。

このシステムは, システムを構成するモジュールを応用分野に適した形でモデル化を行いシステムに組み上げていくモデリング機能と, 組み上げられたモデルを高速にビジブルな環境でシミュレーションを行うシステム検証機能, 及びハードウェア(H/W)としての実現性(ゲート数, タイミング)を短期間に評価できLSI設計システムとのインタフェースを持つ論理合成機能から構成される。

特に, システム検証においては, 従来0, 1のパターン又は波形パターンでしか評価できなかったシミュレーション結果を, シンクロスコープや画像ディスプレイを模擬した仮想計測器によってビジブルに表示することができるようになり, 設計者が直感的に設計結果を評価でき, かつ設計者間で設計結果を共有することが可能となる。

本稿では, まず2章でマルチメディア時代に要求される開発環境について述べる。3章で電子機器統合化設計システムについて, 設計対象のモデリング機能, ビジブルで高速なシステム検証機能及び高速な論理合成機能について述べる。4章で応用分野に対応した設計環境の構築例として音声処理及び画像処理分野の適用事例を述べ, 5章で本稿のまとめを述べる。

2. マルチメディア時代に要求される開発環境

マルチメディア機器は, 映像・音声・通信・情報などの機能の複合化が進む中で, ニーズが多様化し変化が著しい。本質的には一般の産業機器とは異なり, 小型・軽量・低消費電力・低価格などの要求が強く, また映像・音声といった人間の感性・知覚との“好み”に合ったトレードオフを要求されることが多い。したがって機器の開発に当たっては, アイデアの抽出, アルゴリズムの検証及びこれを具現化(SOC化)した場合のイメージを短期間に確認する必要がある。

また, 制御機器におけるデジタル信号処理においても, 制御対象となるモータやアクチュエータの動作を確認しながら制御方式の検討及び評価を行い, 装置の効果・機能の満足度が最大である実現方法が求められている。

ここで求められる環境は, 応用分野に近いところでアイデアと具現化のステップを満足が得られるまで繰り返して高速に回し, システムに要求される規模・機能・性能・コスト・開発期間などからシリコンチップの中にシステムに要求される機能の一部又はすべてを, 最適なH/W及びソフトウェア(S/W)の役割分担の下に協調設計(コデザイン)を行いながら実現することにある⁽¹⁾。特に高性能なEWS上で実現する開発環境として求められる機能は以下のとおりである。

- (1) 設計対象と制御される対象を応用分野に適した形で効果的にモデリングすることができ, 設計の過程において抽象的なモデル(C言語)から順次精細なモデル(RTLレベル)への置き換えを行っていけること。
- (2) 応用分野に合ったビジブルなシミュレーション環境で実際のデータを使ってシステム全体を高速に検証し, 評価を繰り返し行えること。マイクロプロセッサを含む場合には, 命令セットレベル又はサイクルベースで高速にシミュレーションできること。
- (3) 半導体技術を最大限に生かし, 検証されたアイデアをSOCとして実現するために, どの程度のゲート数でどの程度の性能が出せるかの評価を繰り返し短時間に行えること。繰り返しにおいては短時間で予測できることが重要であり, 最適化のためのチューニングは, 標準インタフェースによって専門のツールにゆだねることができること。

3. 電子機器統合化設計システム

3.1 システムのねらい

電子機器統合化設計システムのねらいは、できるだけ応用分野に近いところでシステム設計者のための創造的な設計環境を提供し、システム全体としての満足解を短期間に実現することにある。

図1に示す設計フローにおいて、方式設計の段階ではアーキテクチャやアルゴリズムの評価・検証を、機能設計の段階では設計対象と外部の制御対象をそれぞれモデル化してシステム全体のシミュレーションによる検証を、論理設計の段階ではH/Wとしての実現性の評価を、それぞれ迅速に繰り返し行うことによってねらいを実現する。

3.2 システムの概要と特長

図2に、設計システムの概要を示す。設計システムは、ESDA (Electronic System Design Automation) ツール⁽²⁾⁽³⁾をベースに開発したもので、大別して以下の3機能から構成される。

(1) モデリング機能

システム設計者が、設計対象物及び外部の制御対象物を、蓄積されたライブラリを参照してモデル化を行う。

モデル化は、対象物のレベルに応じて、S/W指向のモデリング(C言語)と論理合成可能なH/W指向のモデリング(ブロック図, H/W記述言語)によって行う。

方式設計の段階では、C言語による動作記述モデルによってアーキテクチャやアルゴリズムの評価を行う。機能設計の段階では、設計対象物は順次論理合成可能なブロック図又はH/W記述言語による表現に置き換えていく。外部の制御対象物はC言語のモデルのまま、両者を組み合わせてシステム全体のシミュレーションを行う。

ブロック図表記においては、クロック信号やリセット信号を隠ぺい(蔽)したり、パラメタライズされた部品のビット幅の伝搬等オブジェクト指向の考え方によってシンプルで効率の良い表現方法を採用している。

(2) システム検証機能

同期設計を前提としたサイクルベースのシミュレーションにより、C言語、ブロック図及びH/W記述言語で記述されたモデルに対して、

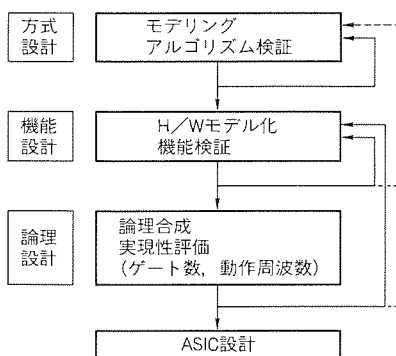


図1. 設計フロー

高速な検証環境を実現している。また、実際の波形生成器、信号表示器や画像表示器を模擬した仮想計測器によるビジュアルなマンマシンインタフェースを実現している。高速なシミュレーション機能により、システム全体を実際のデータを使って検証することが可能となり、結果を実際と同じようにビジュアルに表示することにより、迅速な評価・判断を可能としている。

(3) 論理合成機能

ブロック図及びH/W記述言語で記述されたH/Wモデルは、モジュール合成と論理合成機能によってまず一般的な論理セルに変換され、ASICベンダごとのセルライブラリによって物理セルにマッピングされる。高速な合成処理により、短時間でゲート数や動作周波数を見積もることが可能であり、H/Wとしての実現性について迅速な評価・判断を可能としている。ASICベンダとのネットリストI/F(インタフェース)があり、短期間で設計データをASICベンダに渡すことが可能である。また、標準ハードウェア記述言語I/Fを介して、専用の論理合成ツールに接続することにより、さらにゲート数を削減したり、性能を向上させることが可能である。

3.3 システムシミュレーション設計

電子機器統合化設計システムにおけるシステムシミュレーション設計の活用方法について示す。

(1) デジタル映像処理の例

図3にシステムの適用例を、図4にシミュレーションの画面例を示す。

まず設計対象を、想定される複数の実現方式について動作記述レベル(C言語)でモデル化を行い、それぞれについて

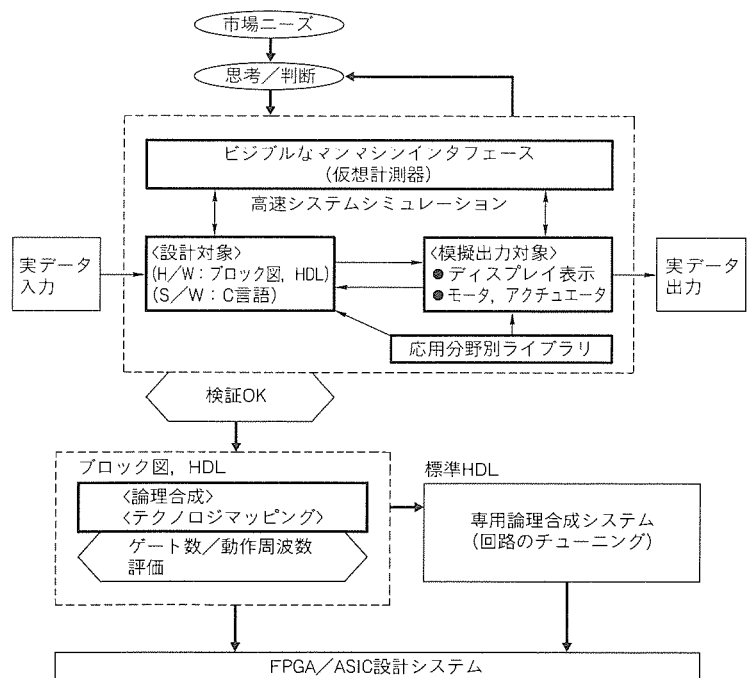


図2. 電子機器統合化設計システムの概要

実信号 (TV のコンポジット信号) を入力する。処理した結果を仮想計測器のディスプレイ画面に表示し、システム設計者が、評価・変更を繰り返す中で、満足のいく実現案の選択を行っていく。選択された方式を順次論理合成可能なモデルに置き換えていき、同様のシミュレーションを行い、機能の検証を行う。機能の検証が終了したら、論理合成によってゲート数及び動作周波数の評価を行い、目標を満足するかの評価を行う。満足すれば、ネットリストに変換して ASIC ベンダに渡す。不満足であれば、機能設計の変更、又は専用の論理合成ツールの活用によってゲート数の削減や性能の改善を図る。

(2) デジタルモータ制御の例

図 5 に、シミュレーションの画面例を示す。

制御対象のモータの動作を C 言語によってモデル化を行い、設計対象であるモータを制御する PID (比例・積分・微分制御) 回路を、まず動作記述モデル (C 言語) で表現し、システム全体のシミュレーションによって仮想計測器に表示される動作波形やパネル表示を見ながら検証・評価を繰り返す。最終的に選択された PID 制御方式を論理合成可能な H/W モデルで置き換えてシミュレーションを行うことで機能の確認を行う。機能を満足し、論理合成結果も満足いけば、ネットリストに変換して ASIC ベンダに渡す。

3.4 適用レベル

方式設計から論理設計までトップダウンで適用可能であるが、以下のように設計対象の特質に最も合った形態で活用することができる。

- (1) 方式設計から論理設計までトップダウンで活用することにより、開発期間優先で実現する。
- (2) 方式設計での評価から H/W としての実現性評価までを迅速に行い、製品化についてはコスト重視で既存の ASIC 設計方式を利用する。
- (3) ビジブルで高速なシミュレーション機能を生かし、方式設計での動作記述による評価検証に適用する。また、機能設計以降は既存の RTL (Register Transfer Level) レベルの設計方式を適用する。

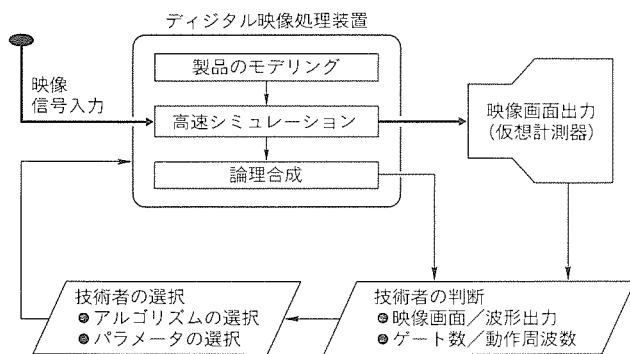


図 3. デジタル映像処理への適用例

4. 適用事例

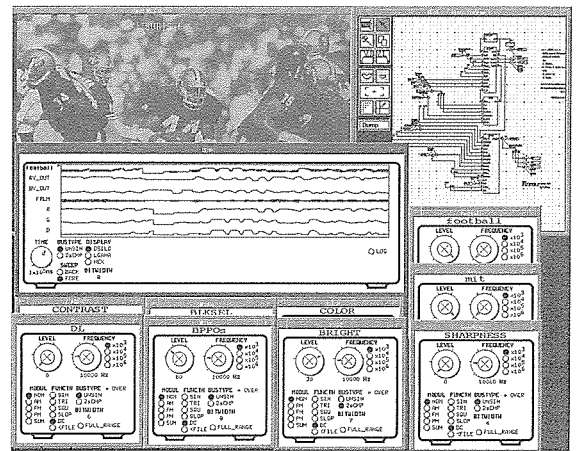
4.1 音声処理への適用

マルチメディア機器開発には、忠実な音の再生方法の採用や音をデジタル信号処理することにより、臨場感あふれる音に変換したりして音の付加価値を高めるケースが多い。

今回、スピーカ及び信号伝達系の特性改善へ適用した事例を紹介する。

通常のスピーカシステムに対して、デジタル信号処理を適用し、スピーカシステムで生じる音響共振の悪影響を取り除く再生方式について検討を行った。デジタル信号処理では、スピーカの音圧周波数特性と位相周波数特性の逆特性を実現する FIR (Finite Impulse Response) 型デジタルフィルタを構成し、入力信号補正を行う。その結果、デジタルフィルタを含む統合再生特性は音圧周波数特性がほぼ平坦 (坦) で、位相周波数特性が補正前と比較し、大幅に改善された。特性改善の補正回路の概念図を図 6 に示す。

今回開発した音声処理全体の開発環境を図 7 に示す。この



米国Kodak社フォトCDサンブラから引用

図 4. デジタル映像処理システムシミュレーション画面例

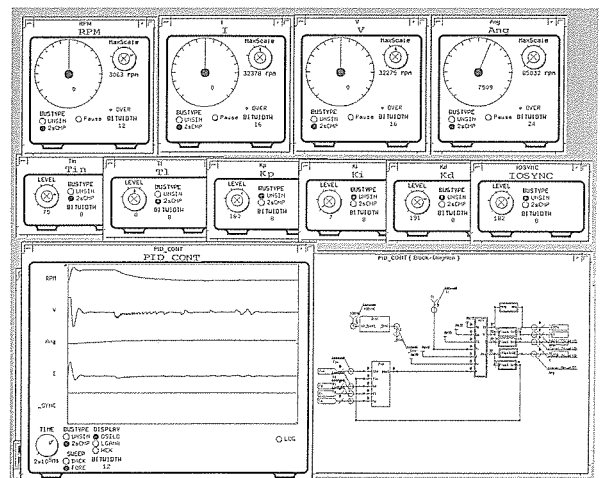


図 5. デジタルモータ制御処理システムシミュレーション画面例

環境は、音に関するアイデア→理論とアルゴリズム→実回路→試聴と評価のサイクルを早く回すために計測環境、分析環境、フィルタ設計環境、リアルタイム処理環境、ASIC設計環境の各環境が相互にオンライン化され、音の知覚・認識の評価と改善が早く行われるように構成されている。

この中で、フィルタのアイデアを適用して実回路の設計から試聴及び評価に至るプロセスを以下に示す。

(1) 方式設計

忠実な音の再生は、スピーカ及び同信号系統における周波数特性(音圧及び位相)ができるだけ平坦であることが望ましい。これを実現するアイデアとして、入力信号に対して逆特性を持つフィルタを通すことによって特性を平坦にすることを考え、各種フィルタの実現方式による評価を行い、最終的に任意の振幅特性(音圧)と位相特性を実現することができるFIR型デジタルフィルタを採用した。タップ数やビット数についても動作記述や専用評価装置による評価を繰り返すことにより、フィルタとしての実現仕様を確定していった(タップ長256タップ、データ語長16ビット)。また、ターゲットとなるスピーカシステムの回路の特性を分析(周波数特性分析)するためにインパルス応答を求め、逆フィル

タを動作させるためのフィルタ係数を求めた。

(2) 機能設計

求められたフィルタ仕様に基づき、H/Wとして実現できるようにブロック図とH/W記述言語によってモデル化を行い、固定小数点処理やビット数による精度を考慮しながら評価を繰り返し実施した。求めた逆フィルタ係数とインパルス応答との間で畳込み演算を行うことにより、スピーカシステムの総合特性を算出し、実機で試聴する前に改善された音の総合周波数・位相特性をWSで直視することができた。また、論理合成機能によってゲート数及び動作周波数の評価も併せて行い、音声品質H/W量のトレードオフを検討し、最終的な実現仕様を確定した。

(3) 試作評価

音声の評価の場合、EWS上のシミュレーション結果を蓄積した後で連続して試聴することもできるが、時間が非常に短いことから、プロトタイプによって実機に近い環境でリアルタイムでの音声評価が必要である。今回、システムエミュレーションボードにダウンロードし、実信号を入力してリアルタイムで音を試聴することにより、短期間にいろいろな聴感補正を繰り返し、試験することができた。

(4) 適用結果

方式設計から試作評価まで、音声処理に関して短期間に繰り返し評価できる環境を実現したことにより、従来の開発方法では約3か月の規模に相当する開発工程であったが、この事例では約1か月でASICベンダにネットリストを渡すことができた。

4.2 画像処理への適用

マルチメディア機器では、画像(静止画、動画)データを取り扱う場合、データ量が膨大になることから、伝送したり蓄積するときにデータを圧縮し、表示するときに伸長することによって画像を再生することが行われる。

再生される画像(静止画、動画)に要求される画像品質レベルは、適用されるアプリケーション及び伝送路の能力によって異なる。基本的に人間を対象とすることから、要求レベルに応じて、どの程度まで解像度(精度)や動きに対する追従性を確保するか、人間の感度・知覚による評価が必要となる。

今回、リアルタイム画像圧縮/伸

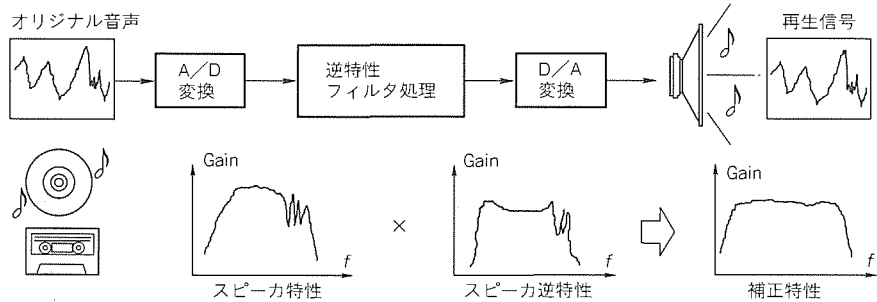


図6. 音声特性補正回路の構成

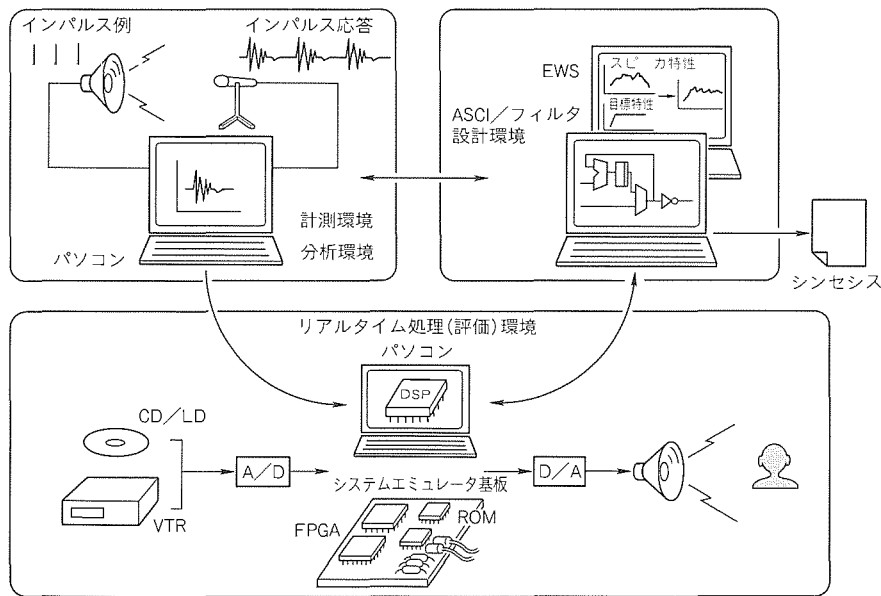


図7. 音声処理の開発環境例



米国Kodak社フォトCDサンブラから引用

図 8 . 画像圧縮／伸長方式のシミュレーション画面例

張を実現する試作評価システムに適用した事例を紹介する。

(1) 方式設計

画像圧縮／伸長方式については標準化が進められているが、特定領域や将来をにらんで、圧縮率、演算量、コスト面での改善が進められている。リアルタイムで双方向の画像伝送を実現するための新しいアルゴリズムのモデル化を行い、シミュレーションによって再生画像を表示し、繰り返して評価を行うことによって目標とする圧縮／伸長方式の仕様を定めた。

(2) 機能設計

方式設計で提案されたアルゴリズムに基づいて、チップとしての実現性を考慮した上で、H/Wのモデル化を行い、高速なシステムシミュレーションによって画像品質の評価を行った。システムシミュレーション結果をフレーム単位にメモリに蓄積し、後で連続的に表示することによって数秒間にわたる動画としての評価が可能である。システムシミュレーションの例を図 8 に示す。

ビット数及び演算回路の丸め処理等の実現方法を変えて再生画像品質の評価を繰り返すとともに、論理合成機能によるゲート数及び動作周波数の評価も併せて行い、バランスの良い H/W 構成を確定していった。

(3) 試作評価

EWS 上では数秒間の動画評価しかできないので、画像の高速処理を実現できる専用化されたプロトタイプ基板を採用した。論理合成によって生成された画像圧縮／伸長回路の論理ネットを、FPGA (Field Programmable Gate Array) 及び LPGA (Laser Programmable Gate Array) にマッピングすることにより、短期間でプロトタイプングを実現し、実際の動作レベルで人間の目による画像品質の評価を行うことができた。

(4) 適用結果

方式設計から試作評価まで、画像処理に関して短期間に繰

り返して評価できる環境を実現したことにより、従来の開発方法の約 1/2 である約 4 か月で機能設計から専用試作基板による実機評価を実現することができた。

5. むすび

マルチメディア時代に対応した応用分野指向の電子機器統合化設計システムのねらいと特長及び適用事例について紹介した。

このシステムにより、デジタル処理による新しいアイデアの抽出とユーザーズとのトレードオフを短期間に繰り返し、ニーズに合った機能を短期間に SOC として実現することを可能とした。

また、音声処理及び画像処理分野への適用事例で紹介したように、人間の感性・知覚とアイデア抽出のトレードオフを短期間で行い、機能の SOC 化に非常に有効な手段であることを示した。

今後の課題として、組込みシステムを含めた S/W との協調設計への展開⁽⁴⁾、及びプログラマブルな素子や基板を活用した実機に近い環境での試作検証環境との連携強化を図り、統合的なラピッドプロトタイプング環境の構築を図っていく予定である。

さらに、音声処理及び画像処理分野のみならず、情報・通信・制御分野の開発にも同様に効果があることが予測され、応用分野に適合した設計システムの適用拡大を進めていく。

最後に、本稿を執筆するに当たり、御支援いただいた関係各位に深謝の意を表する。

参考文献

- (1) Koizumi, H., Seo, K., Suzuki, F., Ohtsuru, Y., Yasuura, H.: A Proposal for a Co-design Method in Control Systems using Combination of Models, IEICE Trans., E 78-D 3, 237 ~ 244 (1995)
- (2) Culbertson, W.B., Osame, T., Otsuru, Y., Schackelford, J.B., Tanaka, M.: The HP Tsutsuji Logic Synthesis, Hewlett - Packard Journal, 8, 38 ~ 51 (1993)
- (3) Tsutsuji Reference Manual : (株) 図研
- (4) Ghosh, A., Bershteyn, M., Casley, R., Chien, C., Jain, A., Lipsie, M., Tarrodaychik, D., Yamamoto, O.: A Hardware - Software Co - simulator for Embedded System Design and Debugging, ASP - DAC '95 / CHDL '95 / VHDL '95, 155 ~ 164 (1995)

高速ASIC設計技術

齊藤成一* 山岸圭太郎*
佐伯 稔* 牧野博之**
加藤哲朗*

1. ま え が き

高位マイクロプロセッサのクロック周波数は、年を追うごとに高速化してきている。高性能化・差別化をねらうシステムを構成する上で、そのキーデバイスとなる ASIC の高速化への対応が特に重要となってくる。

このようなシステムの高性能化に対応し、100 MHz 超級の世界最高速クラスのバスに直結できる ASIC を、当社製 0.5 μ m CMOS・ECA (Embedded Cell Array) によって開発した。

このような高機能かつ高速な ASIC をファーストシリコンから確実に動作させるには、先進の高速 ASIC 設計技術とシミュレーション技術が不可欠であり、それらを融合・駆使することが求められる。

本稿では、シミュレーションを観点として、高速 ASIC 設計技術について述べる。

2. 高速ASIC設計概要

2.1 高速ASIC設計方針

この ASIC は、図 1 に示すように、64 ビット 100 MHz の転送速度を持つ高速プロセッサの外部高速バスに直結でき、メモリ制御と I/O 制御の機能を持つ LSI である。そして、高速バスに直結するための専用の I/O バッファとバスの制御回路を内蔵するとともに、メモリ制御と I/O 制御回路を内蔵 (ピンプログラマブルで機能指定) する仕様である。

この ASIC の最大の特長は、ECA による高速化実現である。そのため、ASIC の基本設計方針として、高速処理機能及び速度の変換機能を入れた高速バス制御セルを開発し、高速動作の難しい SOG (Sea of Gate) 部のクロック速度を半分の 50 MHz で動作させることで、ASIC として 100 MHz の処理速度を実現させることにした。図 2 にこの ASIC の内部構成を示す。なお、高速動作の設計及びシミュレーションを確実なものとするため、セル部及び SOG 部とも完全同期設計とした。

ASIC 設計では、ECA の利点を生かすため、フルカスタム設計のセル部とゲートアレイ設計の SOG 部の設計を並行させ、最新のシミュレーションを駆使して、短期開発を目指した。

開発するセルは、上記高速バス制御セル及び高速 I/O バッファセルの 2 種類とし、フルカスタム設計によって 100 MHz の動作を実現させることにした。そして、高速化に対する検討・設計を徹底して行い、トランジスタサイズ、配置及び配線の最短化など、設計による最適化とシミュレーションによるフィードバックを繰り返す方法を採用した。

一方、SOG 部は高集積論理となるため、設計効率の高い設計及び自動レイアウトを中心とした方法を採用した。上記高速バス制御セルの働きで SOG 部はクロック速度が半分に抑えられるが、それでも SOG 部としては高速である。そこで SOG 部に対しても、各種高速化対策及びタイミングシミュレーションの強化を行った。

2.2 高速ASIC開発ツール

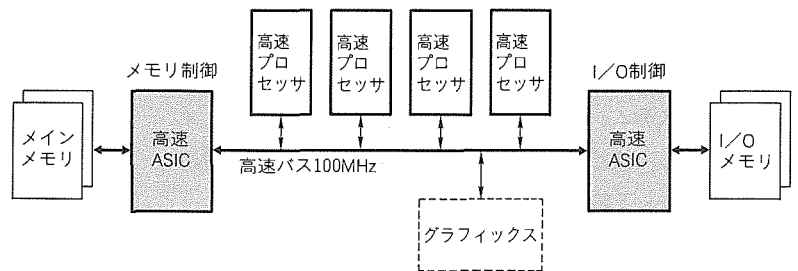


図 1. 高速システムのブロック図

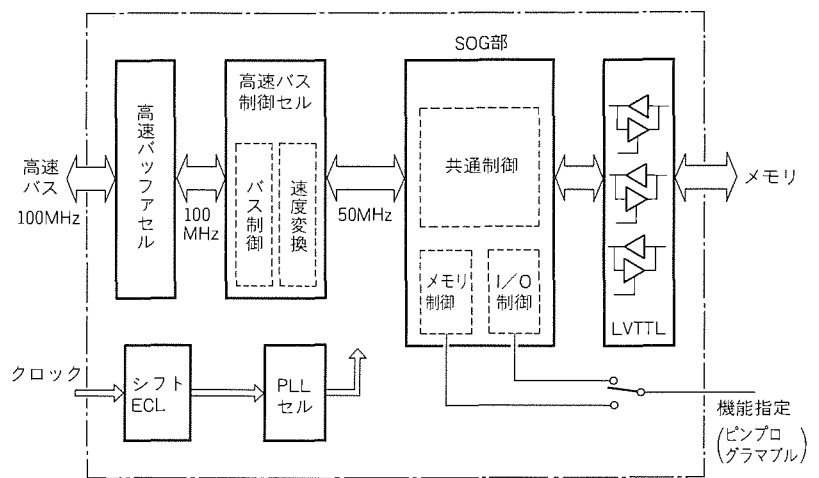


図 2. 高速ASIC構成

開発ツールは、最新の当社 ASIC 統合設計環境の下、各開発に最適なツールを図 3 のように組み合わせて用いた。

今回使用した開発ツールにおいて特徴的なことは、論理設計及び検証を確実かつ効率的に行うため、SOG 部を機能記述中心の設計としただけでなく、専用セルに対しても機能記述を併用する設計を採用した点である。この具体的方法については次章以降に述べる。

フルカスタム設計による専用セルとゲートアレー設計による SOG 部とでは設計方法が異なるため、それぞれに適した開発環境を使用して、並行して設計・検証を行った。そして、総合レイアウト設計及びタイミングシミュレーション段階では、専用セル側と SOG 部側の両方のデータを使用してチップ総合の設計・検証を行った。

高速 ASIC を実現する上で特に重要となるのは、タイミング関連のシミュレーションである。

専用セル部分のフルカスタム設計では、SPICE シミュレータ^(注1)を使用してアナログ解析を行った。SPICE シミュレータは、長時間のコンピュータ処理が必要であるが、トランジスタサイズを変化させたときの応答特性、内部回路の任意のバスの遅延特性、ASIC 外部のバス負荷を変化させたときの波形変化など、詳細な確認と検討を行うことが可能であり、セルの設計には適している。

SOG 部分は汎用のタイミングシミュレータを用いた。タイミングシミュレータは、トランジスタなどの基本素子の諸特性を抵抗とコンデンサの線形素子に置き換えて扱うため、解析時間が短い利点があり、大規模ゲート回路のタイミング検証に適している。汎用のタイミングシミュレータとしては、

(注1) “SPICEシミュレータ”は、米国カリフォルニア大学バークレイ校の開発品である。

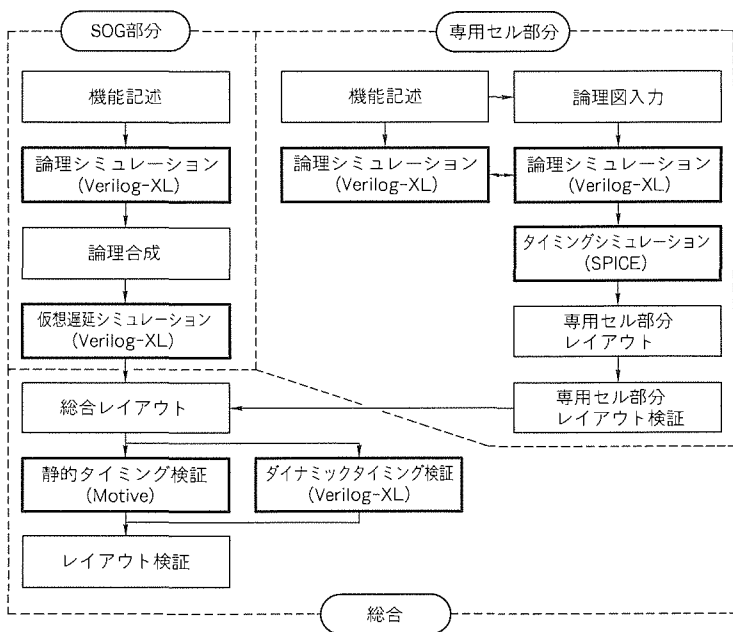


図 3. 開発ツール一覧

Cadence Design System 社の Verilog-XL シミュレータ、及び全バスの遅延を静的に解析できる Quad design 社の Motive の両方を使用して万全を期した。

3. 高速 I/Oバッファセルの設計

3.1 高速 I/Oバッファセルの設計方法

高速 I/Oバッファセルの基本仕様は、100 MHz のクロック速度でバスを駆動し、バス上のプロセッサなどに所定時間内で信号を伝送することである。速度仕様としては、バスによって発生する反射や ASIC のグランドバウンスによる波形ひずみによる遅れを含め、クロック立上りから 5 ns 以内を目標とした。

このセルの設計方法の特徴は、高速バスを正確にモデル化し、バス上の分布定数線路のパラメータを入れた SPICE シミュレーションを実行しながら高速化対策を行ったことである。100 MHz 級の高速信号になると、外部負荷を単純なコンデンサ負荷に置き換えたシミュレーションではバス波形が実際と大きく異なってしまい、I/Oバッファの最適解を得ることができないためである。

このセルの設計フローを図 4 に示す。

このセルはトランジスタレベルの回路設計が基本のため、設計上のエントリを図面入力とした。ただし、総合論理シミュレーションに備えて、Cadence 社の Verilog-HDL による機能記述も行った。そして、この図面入力したものと機能記述したものが論理的に同一であることを調べるため、Verilog-XL シミュレータを各々に対して実行させ、その論理検証結果が等しくなることを確かめた。

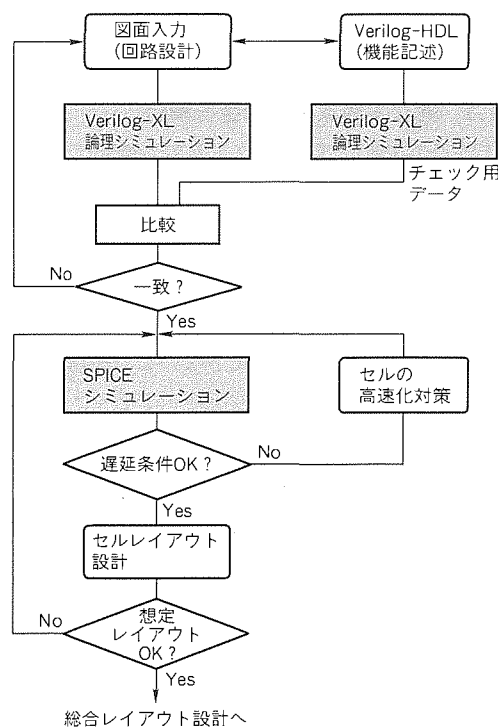


図 4. セルにおける設計フロー

セルレイアウト設計では、SPICEシミュレーション時に想定したレイアウトになっていることを確認し、もし想定したレイアウトを満足できずに配線長が長くなる場合は、再度SPICEシミュレーションをやり直す必要がある。これは開発期間を最小化する上で、極力避けることが望ましい。このセルにおいては、SPICEシミュレーションの際、仮想セルレイアウトを念頭に置いて配線長にマージンを持たせる対策を行い、手戻りをなくすことができた。

3.2 高速I/Oバッファセルの高速化対策

このセルの設計において、以下の高速化対策を行った。

- (1) トランジスタサイズ及びドライブ回路を工夫し、バス駆動能力と電流供給速度をバスに合わせて最適化
- (2) クロックの立上りからの遅延を最小化するため、ラッチ回路構成及びそのトランジスタサイズの最適化
- (3) グランドバウンスによって発生する波形ひずみや遅延を最小化するためにグランド系を強化

これらの高速化対策を組み合わせることで実施した結果、バスによって発生する反射やグランドバウンスによる影響を最小にすることができ、目標仕様を達成した。

図5は、既存のI/OバッファセルによるSPICEシミュレーション結果の例である。ここで、スレショルド電圧は、 $V_{in}=2.0V$ 、 $V_{il}=0.8V$ である。このセルでは、外部負荷を単純なコンデンサ負荷とした場合には応答するが、実際的高速バスの駆動ができないことが分かる。

また図6は、単純にトランジスタサイズを大きくして駆動能力を高めた例である。回路上の遅れとグランドバウンスが大きく発生し、クロック立上りからの応答時間5ns以内を満足することができていない。

そして図7が、上記の高速化対策によって実現したI/OバッファセルによるSPICEシミュレーションの結果である。

3.3 異なる地点間での並行検討

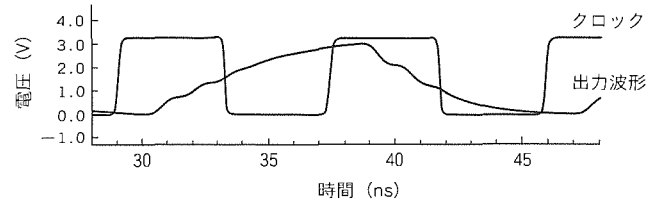
今回の高速I/Oバッファセルの設計において、非常に有効であった設計環境上の工夫点について以下に述べる。

このセルの設計では、セル設計者とボード側システム開発者との共同検討と検証が不可欠である。ところが、セル設計者とシステム設計者の地理的な距離が離れており、並行して検討・検証を行うことができないことが判明した。

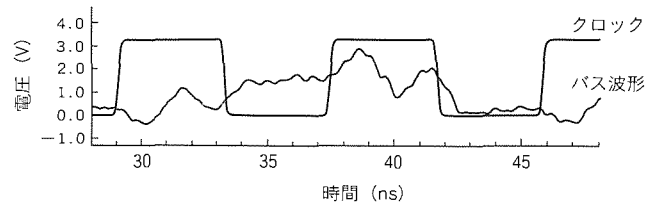
そこで、図8のイメージ図に示すように、セル設計者側のSPICEシミュレータからSPICEネットデータを抽出し、電子メールを使ってシステム開発者側設計環境に転送する方法を採った。この方法により、異なる地点間であっても設計状況をリアルタイムに反映できるため、セル側の変更がボード側システムにどのように影響を与えるか即座に検討を行い、セル設計を最小限の時間で行うことができた。

4. 高速バス制御セルの設計

4.1 高速バス制御セルの設計方法

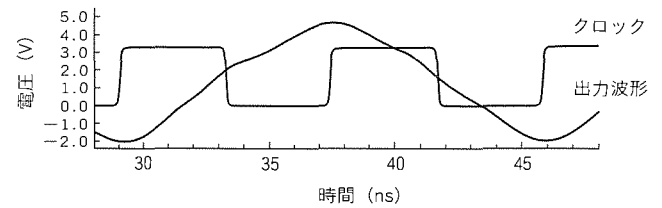


(a) コンデンサ負荷のとき

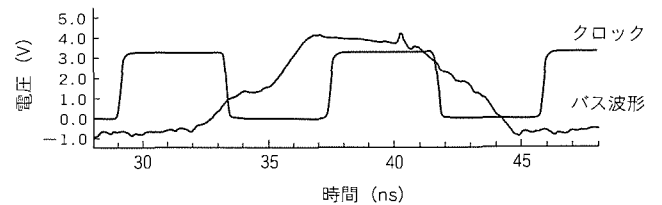


(b) 分布定数線路を含むバス負荷のとき

図5. 既存I/OバッファセルのSPICEシミュレーション結果

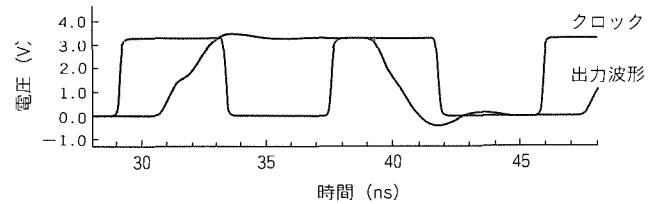


(a) コンデンサ負荷のとき

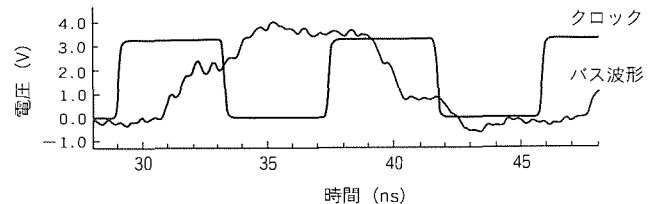


(b) 分布定数線路を含むバス負荷のとき

図6. 駆動能力を高めたときのSPICEシミュレーション結果



(a) コンデンサ負荷のとき



(b) 分布定数線路を含むバス負荷のとき

図7. 高速化対策によって実現したI/OバッファセルのSPICEシミュレーション結果

高速バス制御セルは、高速バスの動作を制御するとともに、速度変換機能によって SOG 側の動作を可能にして、ASIC としての 100 MHz 処理速度を確保させるためのセルである。

このセルは完全同期設計とするとともに、すべての F/F (フリップフロップ) と F/F 間のゲート遅れを、各種変動の最悪条件及びセットアップ時間を考慮した上で、1クロック (10 ns) 内に収めることを基本仕様とした。

このセルの設計方法の特徴は、Verilog-HDL の機能記述からゲートレベルへの変換を論理合成ツールではなく高速論理設計者の人手による最適化変換作業として、F/F と F/F 間のクリティカルパスを最小化した点にある。この方法は、このセルのような中規模回路セルを高速化する上で効果があった。なお、人手による変換誤りをなくすため、人手による変換結果と Verilog-HDL 機能記述したもの的一致を確認する方法として Verilog-XL シミュレータを使った。このセルの設計フローを図示すると、前記図 4 の I/Oバッファセル設計フロー図と同様となる。

このセルの SPICE シミュレーションにおいて、セル全体に対するシミュレーションを行うと非常に長い時間を必要として効率が悪いので、論理を数十の論理にブロック化して行った。なお、この SPICE シミュレーション精度を上げるため、この段階で仮セルレイアウト設計を行い、ファンアウトが多く配線が長くなる部分に予想配線長相当の容量分を付加する設計方法を採用した。

4.2 高速バス制御セルの高速化対策

高速バス制御セルの高速化対策では、論理設計段階とセルのトランジスタ設計段階におけるもの

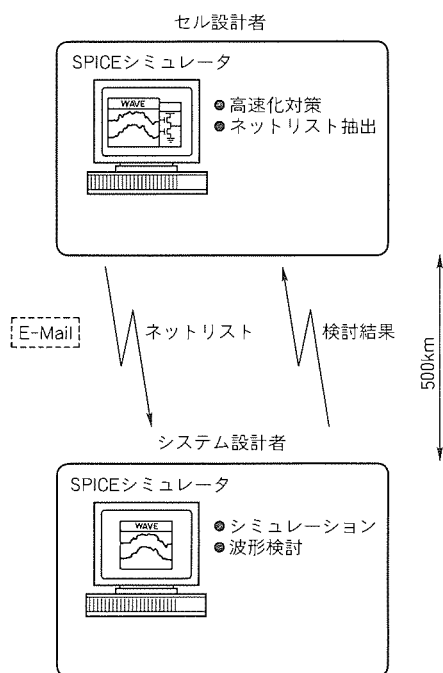


図 8. 電子メールによる SPICE データの転送

が中心となる。

4.2.1 理論設計段階

このセルの論理設計段階では、人手による最適化変換として次のような高速化対策を行った。

- (1) 機能記述をゲート変換する際、実際には不要な条件部分のゲートを削除
- (2) 到達時間のかかる信号を F/F の入力直前に入力することによって、ゲート時間遅れ分の影響を最小化
- (3) ゲートライブラリの中から、遅延時間の最も小さい組合せを選択

上記高速化対策による改善例を図 9 に示す。

4.2.2 トランジスタ設計段階

このセルのトランジスタ設計段階では、次のような高速化対策を行った。

- (1) ゲート遅延が大きい部分は、トランジスタサイズを大きくして駆動能力を上げて高速化 (例を図 10 に示す。)
- (2) トランスミッションゲートの採用など回路の高速最適化 (例を図 11 に示す。)

5. SOG 部の設計

5.1 SOG 部の設計方法

SOG 部は、高速バス制御セルと同様に完全同期設計とし、

```
function [0:1] arbitrate;
input  a;
input  [0:2] trans;
input  ff, f;
input  [0:1] current_owner;

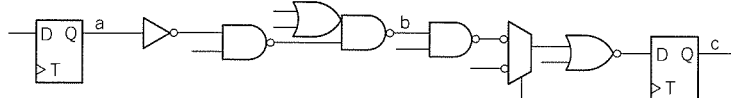
if (a) arbitrate = current_owner;
else if (trans[0:1] == 2'b00) arbitrate = 2'b01;
else if (ff & f) arbitrate = 2'b10;
else arbitrate = 2'b00;

endfunction

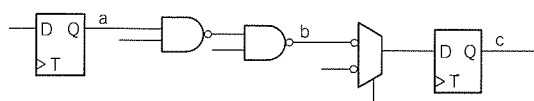
wire [0:1] b = arbitrate(a, trans, ff, f, current_owner);

always @(posedge clk or negedge rst) begin
if (!rst) begin
c <= 1'b0;
end
else begin
if ((push_done & !c) | retry) begin
c <= 1'b1;
end
if (c && (b == 2'b10)) c <= 1'b0;
end
end
```

(a) Verilog-HDL による機能記述



(b) 論理合成ツールによる自動変換結果



(c) 高速化対策結果 (人手変換)

図 9. 機能記述からゲートレベルへの変換・高速化対策例

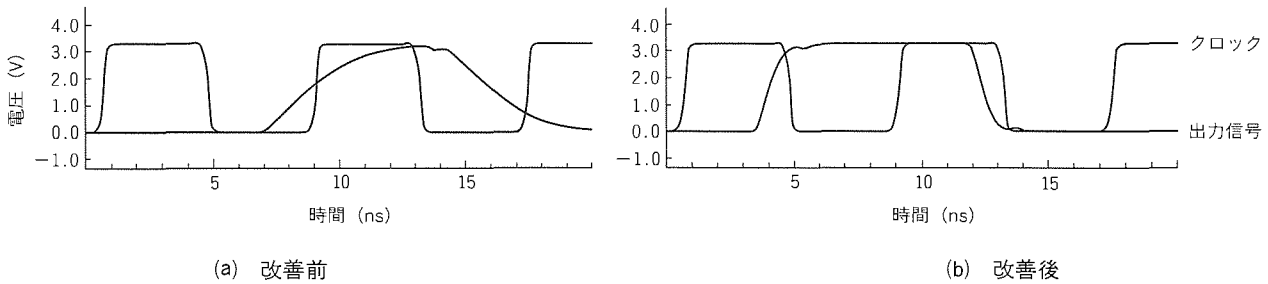


図10. トランジスタサイズ変更による改善例

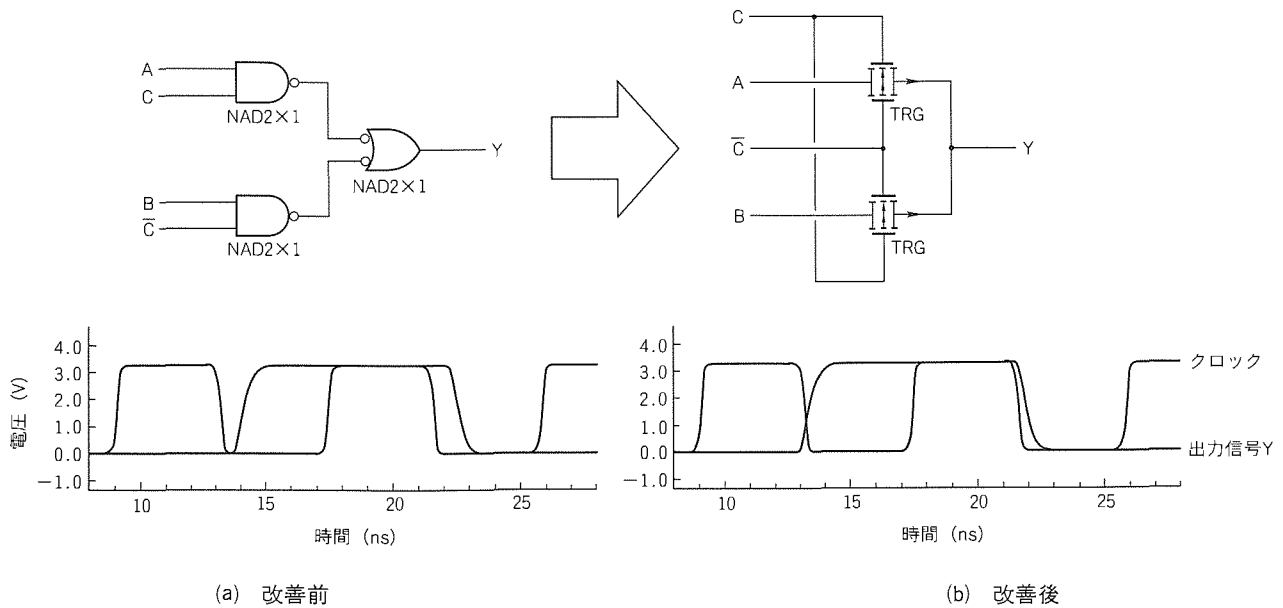


図11. 回路の最適化による改善例

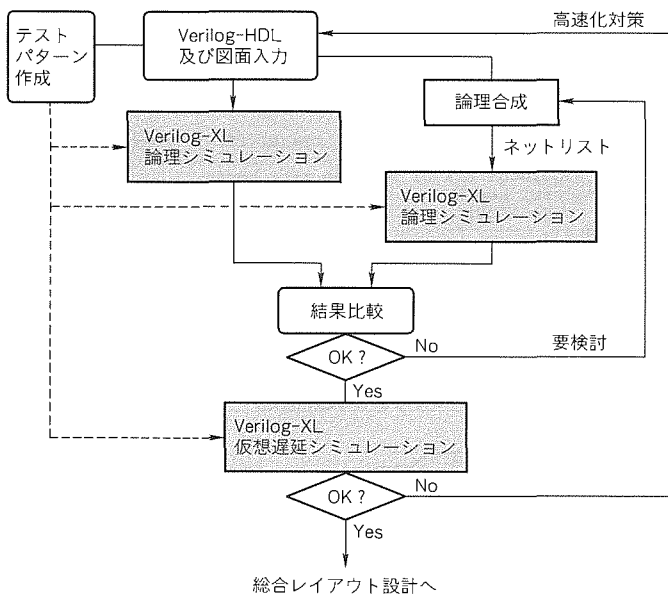


図12. SOG部設計フロー

各種の変動の最悪条件及びセットアップ時間を考慮した上で、すべての F/F と F/F 間のゲート遅れが 50 MHz 1 クロック (20 ns) 以内とすることを速度仕様の基本とした。

SOG 部では高速動作を確実に実現するため、入力パター

ンによるダイナミックなタイミングを解析する Verilog-XL シミュレータ、及び全パスの遅延を静的に解析する Motive の両方を実遅延シミュレータとして使用した。Motive を使用したことにより、高速 ASIC の設計で不可欠となるすべてのクリティカルパスの遅延をチェックすることができた。

SOG 部の設計フローを図 12 に示す。

SOG 部の設計は、Verilog-HDL による機能記述を主とし、大量の記憶素子ブロックの図面入力を併用する形とした。この理由は、大量の記憶素子に対する論理合成の時間が長くなり効率が悪いためである。

Verilog-XL シミュレータによる論理検証では、プロセッサの動作を模擬した高速パスのトランザクションを発生する Verilog モデルの提供を受け、ASIC 及びプロセッサを含めたシステム全体の検証を効率良く行うことができた。この環境を用いると、プロセッサに対して出力してほしいトランザクションの種類と時刻を指定するだけでパターンが生成され、シミュレーションが可能である。指定した時刻が ASIC からのデータリターン時刻と重なる場合には、相当するアービトレーションを自動的に実行する。したがって、単体 ASIC に対する入力を時刻ごとに設定する方式に比べてはるかに容易であり、誤りも発生しない利点がある。バス接

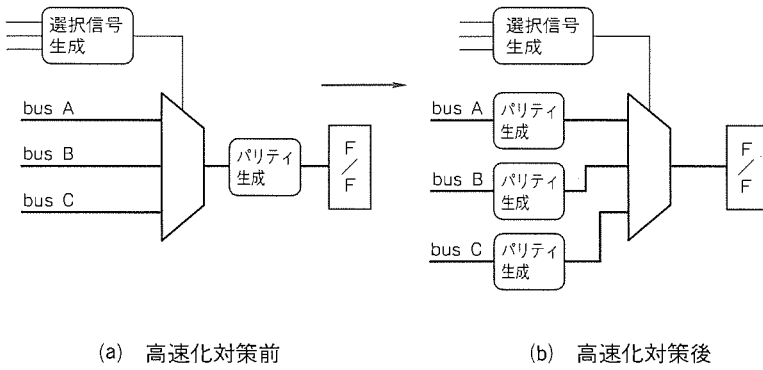


図13. パリティ回路における高速化例

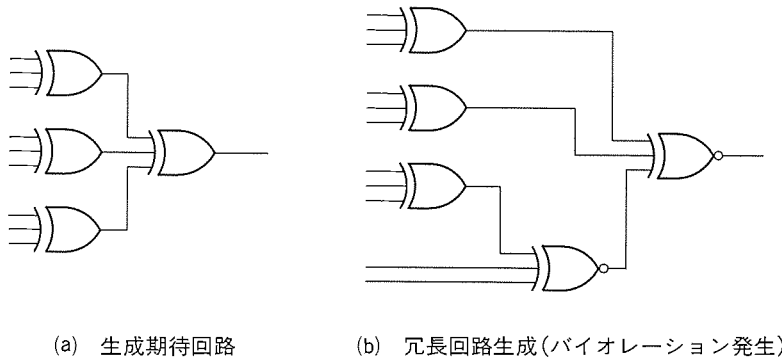


図14. 厳しすぎる時間制約による論理合成例

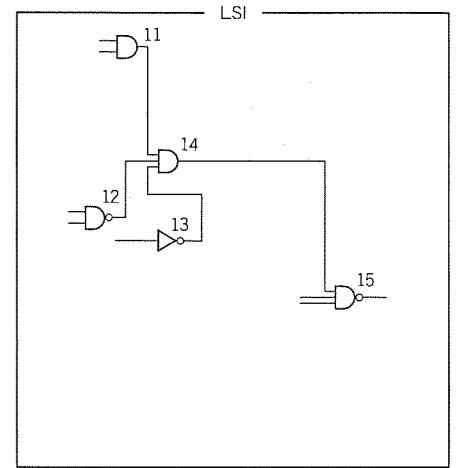
続の ASIC の開発にこのような Verilog モデルを使用する方法は一般化しつつあるが、非常に有効であるとの認識を新たにした。

5.2 SOG 部の高速化対策

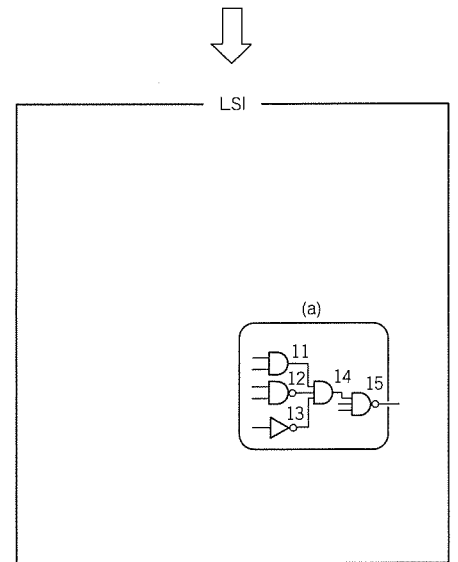
SOG 部の高速化対策は、CAD の持つ特性を十分に理解して利用することによって初めて可能となる。

高速化対策の内容は以下のとおりであり、論理設計からレイアウト段階まで各段階で行った。

- (1) 機能記述時に、機能・遅延を考慮してブロック分割を最適化し、論理規模に応じた F / F の段数を意識して記述
- (2) 回路の並列処理化によって遅延部分の影響を減らす最適化を実施 (例を図 13 に示す。)
- (3) 論理合成時に、駆動能力が低い遅延時間の増大を招きそうなセルを不使用に指定
- (4) 論理合成時に、適切な遅延時間制約を指定 (特定パスを速くしようと厳しすぎる指定をした論理合成例を図 14 に示す。)
- (5) レイアウト時に、結合度の強い素子群を論理ブロックとする指定 (グループのリージョン指定) により、ブロック内配線短縮 (イメージ図を図 15 に示す。)
- (6) 複数素子のチップ上の相対位置を固定 (トライステートバッファ部など配線長が長くなるのを防止。)



(a) グループリージョン指定なし



(b) グループリージョン指定

図15. グループのリージョン指定による高速化例

6. む す び

プロセッサの外部クロック周波数も 100 MHz 級が求められる時代を迎え、そのために不可欠となる高速 ASIC 設計技術について、シミュレーションを切り口として述べた。

ASIC は、出来上がってから性能が出ないといって、内部を変更することは簡単ではない。特に高速 ASIC を開発する上で、先進の高速 ASIC 設計技術とともにシミュレーション技術が高速動作を可能にするか否かが重要なかぎ (鍵) となる。

ASIC の更なる高性能化及び設計効率化を目指し、高速 ASIC 設計技術をシミュレーション技術と融合させつつ進展させていくことが、今後ますます求められていくと考える。

人工衛星搭載用電子回路 モジュール配置設計システム

隅田幸子* 大横博由紀***
岩本直子*
滝 寛和**

1. ま え が き

現在、当社の各種設計業務では、設計の生産性向上を目的として、各業務作業における統合化・標準化・知能化・迅速化、及び業務全体の最適化を目指した設計方式の整備が進められている。ここでは、活動の一環として行った、人工衛星中継器の電子回路設計業務をシステム化した例について述べる。

人工衛星中継器の電子回路設計は、家電品などとは異なり、多品種・少量生産に属する典型的な例である。この分野でも、国内・海外の市場での競争力の強化のため、製品の小型化・軽量化・原価低減・工期短縮が望まれている。宇宙という特殊環境下での設計ということから、宇宙空間でのあらゆる状況を想定したシミュレーションによる安全性のチェックが不可欠なものとなっている。そのため、シミュレーションによる検討項目は多岐にわたっており、シミュレーションに要する時間が全設計時間の大きな部分を占めている。

以上のような現状に対応するため、今回、“電子回路モジュール配置設計支援システム MIRACLE”を開発した。MIRACLEは、電子回路設計の生産性を向上するために構

築されたエキスパートシステムと CAE を融合した設計システムで構成している。このシステムのエキスパートシステムでは、設計業務内容を分析し、設計ノウハウやルールをシステムに組み込むことで、設計仕様や制約条件を入力することにより設計候補案を自動生成することができる。

また、このシステムでは、エキスパートシステムと CAE 解析を融合しただけでなく、一連の設計業務の流れを一つの計算機上に統合化することで、設計の効率化、設計品質の向上、最適設計化を実現した。

2. 電子回路モジュール配置設計

2.1 電子回路モジュール

設計の対象となる電子回路モジュールとは人工衛星の中継器に搭載するもので、生産は注文設計、個産製品である。構造は、図1に示すように、“シャーシ”と呼ぶ箱の中に“モジュール”と呼ぶ個々の電子部品を配置した構成となっている。

この電子回路モジュールの配置のために重要な構成要素として“スルー回路”と呼ぶものがある。この部品はモジュールの配置を調節するため、間をあけたり、パスを曲げたりする目的で使用される。モジュール同士の接続要求を満たしな

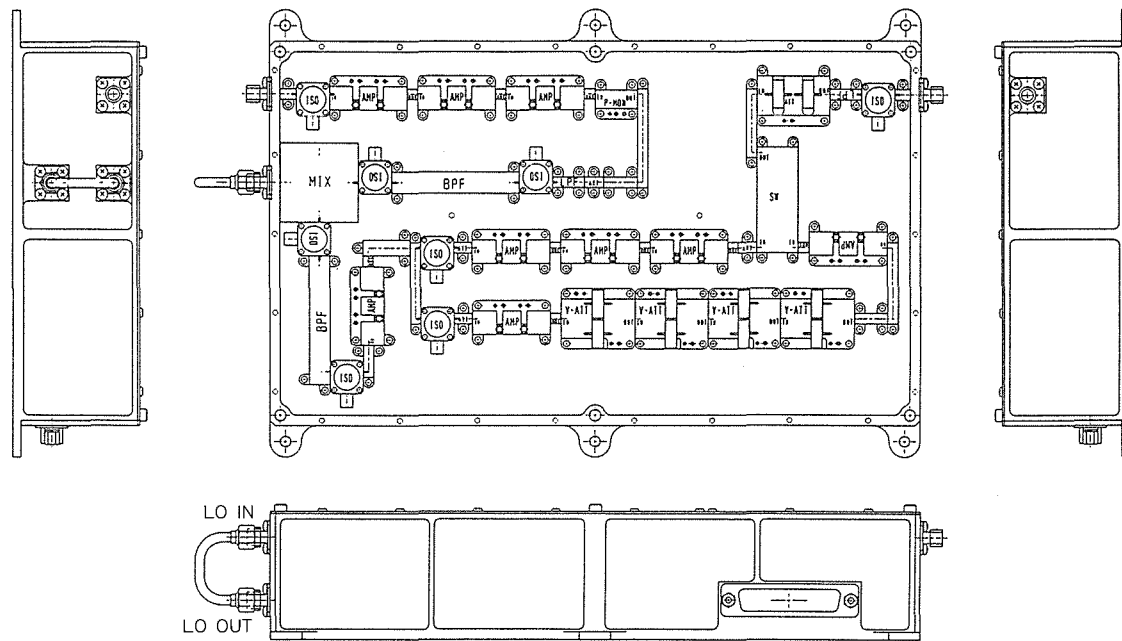


図1. シャーシの構成

がらモジュールをシャーシ内に配置するためには、モジュール間にこのスルー回路を挿入しながら配置していく必要がある。ただし、使用するスルー回路の個数が少ない方がより軽量の配置となる。

そこで、モジュールの配置設計では、モジュールの大きさや形状、モジュール間の接続などを考慮しながら、要求されたシャーシ形状内にモジュールを配置し、より軽量かつ小型となるような配置案の選出が重要となっている。そのために、スルー回路を幾つどこに使うかが重要な検討項目となる。

2.2 設計方法

まず、中継器の設計・生産業務の流れについて述べる。設計・生産業務は、モジュールの設計を行う電気設計業務とシャーシ構造の設計を行う構造設計業務、そしてモジュール、シャーシを製造する生産業務に分かれる。今回システム化の対象とした業務内容は、構造設計の業務である。

次に、この業務内容を中心に設計業務の流れについて述べる。

客先の注文に応じてモジュールの接続情報が描かれた接続図や個々のモジュールの形状が決定され、構造設計が開始される。

シャーシの構造設計業務での最初の処理は、電気設計情報・要求情報を基に、モジュールの配置設計を二次元上で行うことである。このとき、シャーシ上の信号の入出力の位置、各モジュールの信号の入出力の位置、モジュールの形状、モジュール間の接続情報、スルー回路の挿入位置と個数を考慮しながら、よりコンパクトで軽量となる配置案を検討する。検討結果によっては、モジュールの形状変更や入出力位置の変更など、モジュールについての再設計が必要となる場合がある。

このようにしてモジュールの配置案が決定した段階で、初めて最終的なシャーシ形状が決定される。

続いて、決定されたシャーシ形状に対して、人工衛星中継器への搭載時を考慮した、振動に対する固有値解析、モジュールからの発熱に対する熱解析、各モジュールが宇宙空間で浴びる放射線の影響を調べる放射線解析を行い、客先の要求に対する設計の妥当性のチェックが行われる。

以上の内容をすべて検討し、客先の要求を満たしていることを確認して初めて電子回路モジュール配置設計が完了し、工作基準などを加味した詳細設計を経て、次の生産への工程へ流れていく。

2.3 現状の問題点

設計業務の生産性向上に当たって構造設計業務を分析したところ、問題点として以下の点が挙げられた。

(1) モジュールの配置案を検討する際に、シャーシ形状、モジュール形状、モジュール間接続、スルー回路の挿入などを考慮しながら配置案を決定するのに非常に時間がかかる。さらに、複数の配置案を比較検討する場合は、配置設計は限ら

れた範囲内でしか実施されていなかった。

(2) シャーシの構造が決定した後、設計の妥当性のチェックのための各種解析処理を行うが、解析用データを毎回解析ツールごとに作成する必要があった。他の配置候補案についての解析検討を行う場合も同様に、データ作成のために膨大な時間を費やしていた。

(3) 従来の設計手順どおりでは、前記(1)、(2)の理由のため、設計期間の短縮が難しい。

3. システムの概要と構成

3.1 システム開発の目的

今回のシステムの開発は、設計品質の向上、設計の効率化、設計期間の短縮、設計技術の伝承を目的として進めた。目的を達成するために、前記の問題点を解決する必要があった。そこでこのシステムの機能として、以下の点を組み込んだ。

(1) シャーシ形状、モジュール形状、モジュール間の接続情報などの設計仕様と設計制約条件、設計ノウハウなどから一度に複数の条件を満たす配置候補案を生成し、設計者は生成された配置候補案を比較検討することによって配置案を決定できるようにすること。

(2) 解析データ内での共通なデータの作成は計算機側で自動的に作成及び一元管理できるようにし、設計者の解析データ作成の作業を極力減らすこと。

(3) 解析結果の把握及び判断を支援するポスト処理機能を充実させること。

(4) 上記の計算機上での操作は、すべて同一計算機上 (EWS) で行えること。

(5) 計算機操作のための特別な知識がなくても設計者がすぐに使いこなせるように、グラフィカルなユーザインタフェースを準備すること。

このシステムを利用することによって、設計者は従来の設計業務のうち、定形作業については計算機に支援され、本来の設計業務である検討・決定作業に集中できるようになることが期待される。また、配置設計のルールやノウハウなどの情報を、設計者間で共有することも可能となる。

3.2 システムの構成

システムの構成を図2に示す。このシステムが対象としているのは構造設計の業務で、図中では、だ円で囲まれた範囲である。機能的に大きく分けると、シャーシやモジュールの設計仕様を入力するユーザインタフェースの部分、配置候補案を作成する配置設計システム、そして各種解析 (CAE) を行う部分の三つになる。また、すべての部分が同一の計算機上 (EWS) で動作し、前段階で入力・生成されたデータは後の作業用データとして受け継がれ、データの一元管理が行える構成となっている。

設計仕様を入力するユーザインタフェースについては、汎用表計算ソフトウェア“Wingz”^(注1)を利用して、プルダウン

ンメニューやプッシュボタン、ダイアログボックスなどを駆使した GUI (Graphical User Interface) を構築しており、計算機操作に不慣れなユーザでも特別な知識がなくても容易に導入できるように作成した。また、この Wingz はモジュールの配置結果の表示や、本来は表計算のソフトウェアであるので、解析結果の処理や表出力などにも利用している。

CAE 解析部分は、構造解析や熱解析などの解析用データ作成と各種解析結果のポスト処理 (コンタ図表示など) を行う部分で、三次元 CAD ソフトウェア “MSC/ARIES”^(注2) を利用した。解析の際のシャーシモデルの三次元形状作成については、配置設計システムで決定されたシャーシ形状のデータから自動作成を図っている。

また、モジュールの配置案から IGES (Initial Graphics Exchange Specification) ファイルへの出力を自動化することにより、生産部門へ渡す二次元図面の作成も行うことができる機能も取り入れた。

4. 電子モジュール自動配置

4.1 自動配置のアルゴリズム

電子回路モジュールの配置候補は数多く存在するが、良い候補を生成するためには、多くの候補案を検討し、よりよく要求を満たした候補を選び出す必要がある。そこで、このシステムにおいては、配置案生成の基本アルゴリズムとして人工知能の一般的なアルゴリズムである “生成・検査法” を採用した。

この生成・検査法とは、“生成” と呼ばれる設計案を作り出す作業と “検査” と呼ばれる設計条件を満たしているかをチェックする処理を繰り返して行い、条件を満たした配置案を生成していく方法である。処理の内容を以下に述べる。

(注 1) “Wingz” は、米国 Informix Software 社の登録商標である。

(注 2) “MSC/ARIES” “MSC/NASTRAN” は、MacNeal-Schwender Corp. (MCS社) の登録商標である。

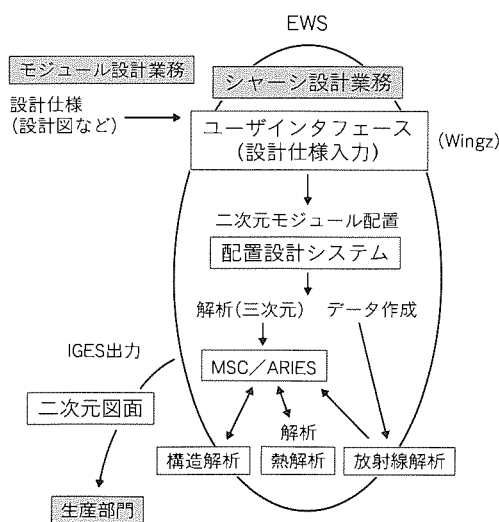


図 2. システムの構成

生成による処理では、各モジュールの入出力の位置とモジュール間の接続情報を単純につないでいくだけではモジュールの並び方は 1 通りとなり、設計仕様に適した配置は行えない。そのため、モジュールの入出力の向きを変える役割をするスルー回路をモジュール間に組み込みながら、モジュールを配置する処理を行っている。

次に検査の処理では、生成処理で生成されたモジュールの並びに対して、モジュール同士の重なりチェックや、シャーシからモジュールがはみ出して配置されていないかなどの検査を行う。条件を満たしていなければ、その配置案は削除して新たな配置案生成処理へ移り、条件を満たしていれば、生成処理へ戻って次のモジュール配置を行う。最後のモジュール配置まで検査の処理で条件を満たしているとされたモジュールの並びについては、配置案として結果が保存される。

4.2 入力データ

配置案自動生成のための入力データとして、以下の項目を、GUI で構成された画面に対して入力し、設定していく。

- (1) シャーシ形状とシャーシの入出力位置
- (2) モジュール形状とモジュールの入出力位置
- (3) モジュール間の接続情報
- (4) 配置制約条件

以上の項目の中で(1)～(3)については、モジュール設計の段階で決定される設計仕様の内容である。また(4)については、自動配置の際の制約条件、配置案選出のルールとなるものである。

4.3 配置ルール

具体的な配置ルールを以下に示す。

- (1) モジュール同士の重なり面積
- (2) シャーシからのモジュールのはみ出し長さ
- (3) モジュール間の接続ずれ量 (長さ)
- (4) シャーシの出力位置と配置後の最後のモジュールの出力位置とのずれ量 (長さ)
- (5) 使用を許すスルー回路の個数

(1)～(4)の項目についてはそれぞれ許容量を入力し、その値以下であれば、検査処理の中で条件を満たしているとしている。許容量の値は設計ノウハウによるものである。

(1)～(5)の条件を満たした配置案が配置候補として画面上に順次出力されるが、出力時の優先順位は、配置されたモジュール全体を含む面積の小さい案から順に表示している。このシステムでは、配置案の選出の最終決定は、画面上に表示された配置案を基に設計者が判断して行うものとなっている。

4.4 配置例

4.2 節で示した入力データ (設計仕様) と 4.3 節で示した配置ルールに基づいて生成された配置案の一例を図 3、図 4 に示す。この例では配置候補は 12 ケースあり、このうち図 3 は占有面積が最小となる 1 番目のケースで、図 4 は占有面積が最大となる 12 番目のケースを示している。

配置案はモジュールの大きさと名称とともに画面上に表示される。また、画面上に表示されたモジュールは、マウス操作や座標値のキー入力などによって、それぞれの位置を個別に変更することも可能となっている。

5. CAE解析

5.1 解析処理の概要

人工衛星の打上げ時に起きる振動、モジュールからの発熱、宇宙から受ける放射線による部品の劣化に対する対策のため、各配置案について構造解析(固有値解析, 強度解析), 熱解析, 放射線解析を行っている。設計の妥当性のチェックなど

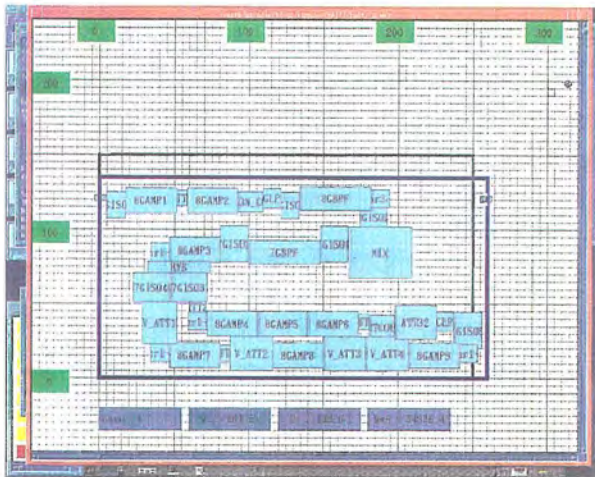


図 3. 配置案(最小面積)

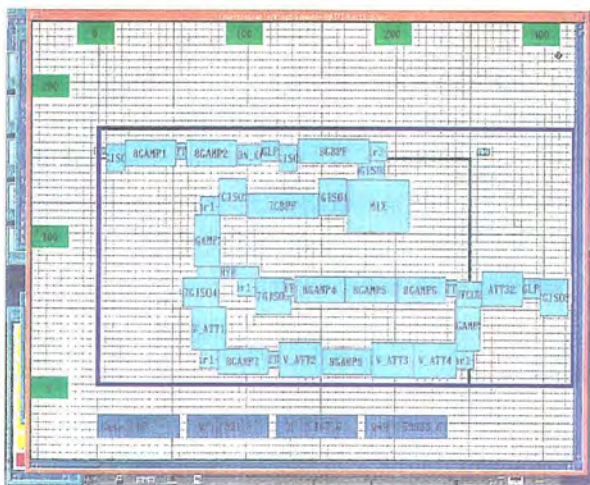


図 4. 配置案(最大面積)

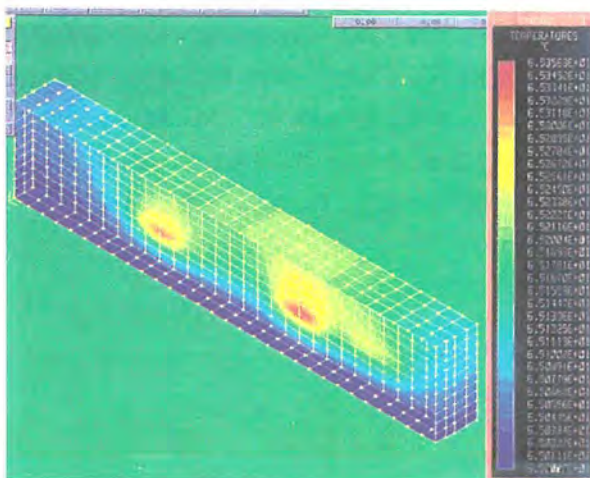


図 5. 熱解析結果(温度分布)

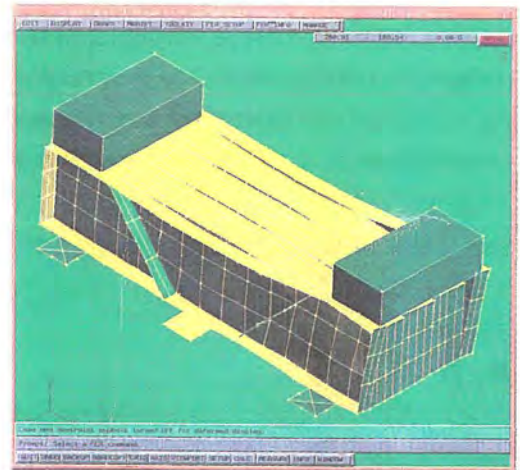


図 6. 構造解析結果(シャーシの変形図)

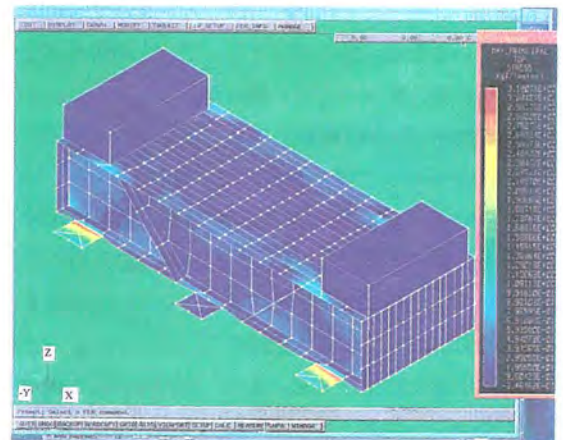


図 7. 構造解析結果(Z軸方向の応力コンタ図)

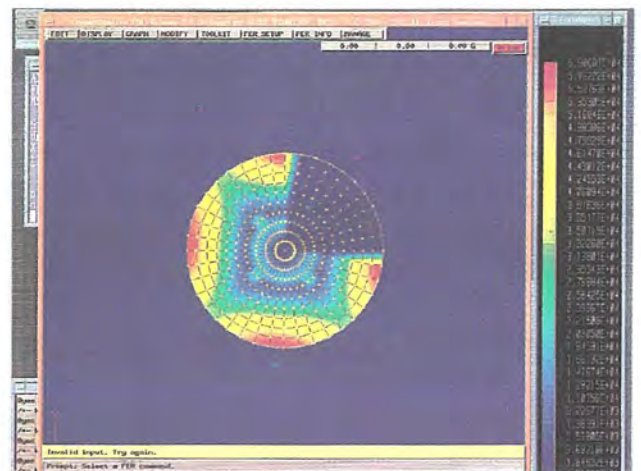


図 8. 放射線解析結果

を含めてモジュールの配置案の最終決定は、解析に対する全要求項目を満たした上で行われる必要がある。従来は、各解析ごとに解析モデルの作成、データ作成を行ってきた。

このシステムでは、4章で述べた方法で生成された配置案の中から選択された配置案のシャーシ形状データなどを共有して用いている。このために、解析データ作成時の形状データの入力などの重複した作業の手間を、大幅に削減することが可能となった。

構造解析や熱解析のための解析モデル作成には市販の三次元 CAD MSC / ARIES を利用し、マクロプログラムを組み込むことによって三次元形状のモデルの自動作成や、解析データの自動作成を行っている。また、それぞれの解析結果データは MSC / ARIES が取込み可能なファイル形式でも出力しており、解析結果のポスト処理も可能となっている。

次に各解析の解析例を示す。

5.2 熱解析

シャーシ上に配置されたモジュールからの発熱によるシャーシの温度分布を図5に示す。解析手法は熱回路網法によるもので、熱伝導のみを考慮したモデルである。従来は、解析結果のポスト処理は行っていなかった。このシステムでは三次元のシャーシモデル上にコンタ図などを表示することも可能となっているため、最も高温となっている箇所や温度分布など、解析結果の把握が容易となった。

5.3 構造解析(固有値解析)

複数個のシャーシで構成されるモデルについて、“MSC / NASTRAN”^(注2)による解析例を図6、図7に示す。図6はシャーシの変形図を、図7はZ方向の応力のコンタ図を示している。このほか変形をアニメーション表示することも可能となっており、結果の把握やプレゼンテーション用の資料作成に非常に効果がある。また、解析モデル作成が容易になったために、従来より複雑で詳細なモデルについての解析も短時間で可能となった。

5.4 放射線解析

放射線解析は、シャーシ上に配置されたモジュールのある1点において、あらゆる方向から受ける放射線量を求めるもので、出力結果の一例を図8に示す。放射線解析結果のポスト処理では、ある計算ポイントを取り囲む球状を想定し、その球上に表示されるであろう放射線量のコンタ図を、真上か

ら見たものと真下から見たものの二つに分けて表示している。この図は真上から見た一例である。円盤の中心付近の色は計算ポイントに対して真上方向から受ける放射線量を示しており、円の縁側は計算ポイントに対して水平方向から受ける放射線量を表している。

放射線解析においても従来は数値出力のみであったが、結果をビジュアル化することにより、結果のイメージがつかみやすくなっている。設計者はこの結果を基に、ある基準値以上の放射線量を受ける方向については、その方向上に遮へい(蔽)物を配置するなどして、受ける放射線量を下げる対策を施す。

6. システム導入の効果

現在、当社における人工衛星中継器搭載用の電子回路モジュール配置設計業務は、ここで述べた MIRACLE を用いて行われている。このシステムを実際に適用することで、従来に比べて以下のような効果が上げられた。

- (1) データ入力画面に沿って設計仕様や配置条件を入力していくだけで、設計条件を満たした複数の配置候補案が自動で生成され、図化されて表示されるので、幅広い案を検討できるようになった。
- (2) 従来は専任で3～4週間かかっていた一回の解析所要時間(モデルの作成、解析、結果の判断を含む。)が、改善検討までも含めて1.5週間になるなど、解析時間が短縮された。
- (3) 解析結果を三次元 CAD 上にコンタ図やアニメーション表示でビジュアル化して表示することが可能になったことにより、解析結果の把握が容易となり、また、従来の数字の羅列による出力結果からの判断と比較し、問題点の把握も容易かつ迅速となった。

7. むすび

以上、設計業務の一部である設計案を生成するというエキスパートの業務と CAE 解析業務を融合してシステム化を行い、設計業務の効率化を図った例について述べた。

このシステムでは今回は一つの設計部門の設計業務を対象にシステム化を行ってきたが、今後は更に連携する他の設計業務を含めてシステム化の対象とし、データの一元管理、業務間のデータ受渡しをスムーズにするなど、製品の設計・生産を含めた効率化へ拡充していきたいと考えている。

三次元有限要素法による 電子機器のEMIシミュレーション

田邊信二* 長野宣行**
村田雄一郎* 酒井謙行**
伊藤恭彦*

1. ま え が き

近年、EMI (Electromagnetic Interference) の低減は、電子機器開発において重要な課題となってきた。しかし実情としては、いまだに製品開発の最終段階で試行錯誤的な対策を施している場合が多い。基板、きょう(筐)体の設計段階において、EMI 対策を盛り込むことの重要性は多くの技術者に認識されているが、その解析手法とツールが十分に整っていないのが現状といえる。

EMI 解析は、①解析すべき領域が距離にして数十 cm～数mであり、②周波数 30 MHz～1 GHzの電磁波に対して、いわゆるニアフィールド (Near Field) でもファーフィールド (Far Field) でもない中間の領域であること、③基板からの電磁放射を考える場合、アースレイヤを流れる、いわゆるコモン電流 (Common Current) を考慮する必要があることなどから、解析的に解くことが難しいところにあった。

今回、市販の三次元の有限要素法磁界解析プログラム (MAGNA/FIM (CRC 社)) を利用し、渦電流・変異電流の項を含んだマクスウェルの方程式 (Maxwell's Equations) を直接解くことにより、筐体設計においては、電磁波の反射・回折・共振・指向性などの基本特性を考慮した解析が、基板設計においては、コモン電流を考慮した PCB (Printed Circuit Board) からの電磁放射の解析が、設計段階で可能となった。

この手法を ATM - DSU (Asynchronous Transfer Mode Digital Service Unit)、ファクシミリ、TFT (Thin Film Transistor) 液晶パネルなどの製品の基板の設計に適用し、効果を上げた。

2. 解析手法と原理

解析の出発点は、下記のマクスウェルの方程式にあり、

$$\text{rot} \mathbf{E} + \frac{\partial \mathbf{B}}{\partial t} = 0 \quad (\mathbf{B} = \mu_0 \mathbf{H}) \quad \dots\dots\dots (1)$$

$$\text{rot} \mathbf{H} - \frac{\partial \mathbf{D}}{\partial t} = \mathbf{J} \quad (\mathbf{D} = \epsilon_0 \mathbf{E}) \quad \dots\dots\dots (2)$$

$$\text{div} \mathbf{D} = \rho \quad \dots\dots\dots (3)$$

$$\text{div} \mathbf{B} = 0 \quad \dots\dots\dots (4)$$

これに、磁気ベクトルポテンシャル \mathbf{A} 、電気スカラーポテンシャル Φ を導入し、

$$\mathbf{B} = \text{rot} \mathbf{A} \quad \dots\dots\dots (5)$$

$$\mathbf{E} = -\frac{\partial \mathbf{A}}{\partial t} - \text{grad} \Phi \quad \dots\dots\dots (6)$$

と定義し、式(2)、式(3)に代入した \mathbf{A} 、 Φ に関する連立 2 階の微分方程式を有限要素法で離散化して解いた。ここで式(1)、式(4)は自動的に満たされている。また、いろいろな媒質を扱うため、ゲージ条件は考慮していない。

この解析の特長としては、

- (1) 誘電率 ϵ 、透磁率 μ 、導電率 σ など、実際の物理定数を入れて解析できる。
 - (2) 三次元の現実に近い形状で解析できる。
 - (3) いわゆるニアフィールドでもファーフィールドでもない中間的な距離の問題を、近似なしに解ける。
 - (4) 電磁波の放射・反射・回折・共振などの物理現象は、自動的に考慮される。
- などが挙げられる。

今回行った有限要素法解析の全接点数は、1,000 から 10,000 程度であるが、変数の数は磁気ベクトルポテンシャル \mathbf{A} について 3 成分、電気スカラーポテンシャル Φ について一つ、それぞれについて複素数で扱う必要があることから (接点数 \times 8) の変数を解く必要がある。解析は、接点数の少ないものについては DEC Station 5000/200 (主記憶 32 M バイト, CPU 25 MHz) を用い、接点数の多い基板からの放射などの解析は DEC 3000/900 (主記憶 512 M バイト, CPU 276 MHz) を用いた。計算時間は 1 ケース 3～4 時間程度である。

3. シールド用筐体の設計

3.1 筐体設計にかかわる基本特性の解析

電子機器のシールド筐体を設計する上で考慮すべき基本的要件としては、筐体の継ぎ目などのできるスリットからの漏れ、LED などの取り付け穴などからの漏れ、ケーブルを介しての漏れ、筐体内での空洞共振、電磁波の指向性などがある。

2 章でも述べたように、この解析は、マクスウェルの方程式を直接解いているということから、原理的に上に挙げたような基本的要件は、自動的に考慮されると考えてよい。ここでは、実際の ATM-DSU 用筐体の設計を例に、各要件の解析結果について述べる。

3.1.1 解析モデル

ATM - DSU の筐体の実寸にほぼ合わせて、200 mm \times 150 mm \times 15 mm の Al 製の筐体を仮定した。Al の厚みは

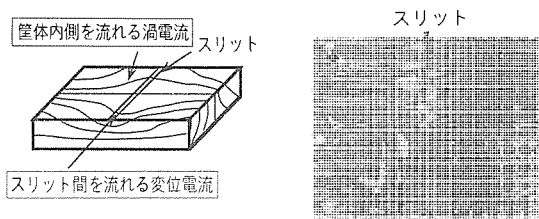
0.8 mm, 導電率 σ は $10^7/\Omega\text{m}$, 誘電率は全解析空間で自由空間の誘電率 ϵ_0 とした。ノイズ源は, 所望の周波数で振動する電気双極子を二つの有限要素構成接点の電気スカラーポテンシャルの値と振動周波数を規定することで入力した。周波数は, 共振に関する解析以外は, ATM-DSUでの基本波成分である 150 MHz (波長 $\lambda=2\text{ m}$) とした。

3.1.2 スリットからの漏れ

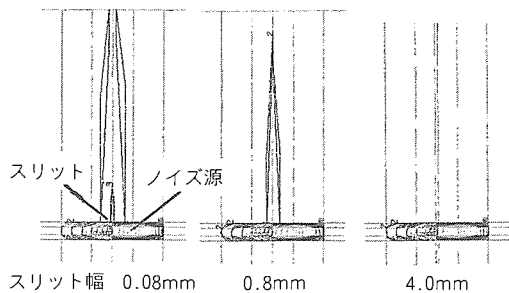
筐体設計する場合, 必ず幾つかの部分を組み合わせる形となり, 塗装その他の影響で, 狭く長いすき(隙)間(スリット)ができる。ガasketなどを用いてこのようなスリットをなくすのが理想ではあるが, 必ずしもすべての場所で実現はできない。スリットの形状と漏れの間を把握することは, 筐体設計において重要な要件の一つである。

一般に, このような細いスリットから電磁波が漏れる原因は, 次のように考えられる。

すなわち, 図 1(a)のように, 筐体の内側の Al 表面には,



(a) モデル (b) 測定結果



(c) 解析結果

図 1. スリットからの電磁波の漏れ

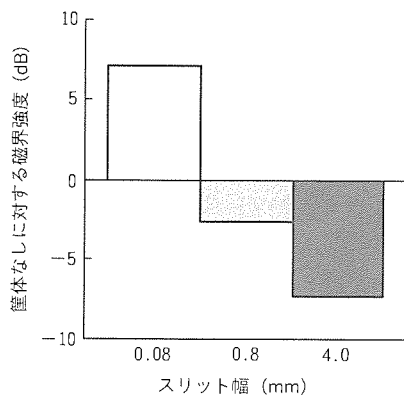


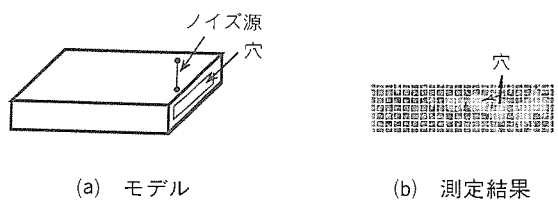
図 2. スリット幅と漏れ磁界の関係

ノイズ源から発生した電磁波によって渦電流が流れる。Alでの表皮深さは 100 MHz で十数 μm であるから, 完全に筐体で覆われていれば電磁波が漏れることはないが, 細いスリットがあると渦電流がう(迂)回しきれずスリット内を変異電流が流れる。スリットは直接外側の空間とつながっているため, スリット内の変異電流は筐体の外側に磁場を作り, 電磁波として漏れることになる。図(b)は, 改善前の筐体の継ぎ目からの電磁波の漏れを, EM スキャンを用いて測定した結果である。図(c)は, 解析によって求めた, スリットの幅が 0.08, 0.8, 4.0 mm のときの筐体上部のスリットからの電磁波の漏れ(実際の表示は磁場成分のコンタ図)を示す。

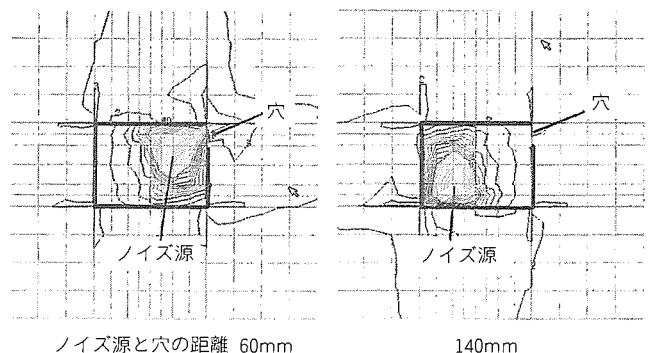
図 2 は, スリットの真上 10 cm での磁場強度を, 筐体がないときの磁場強度を 0 dB として表したものである。隙間が細いほど変異電流密度が上がり, 漏れ強度は上がっている。

3.1.3 穴からの漏れ

通常, 導波管のようなものでは, 穴の径が波長と同程度以



(a) モデル (b) 測定結果



(c) 解析結果

図 3. 穴からの電磁波の漏れ

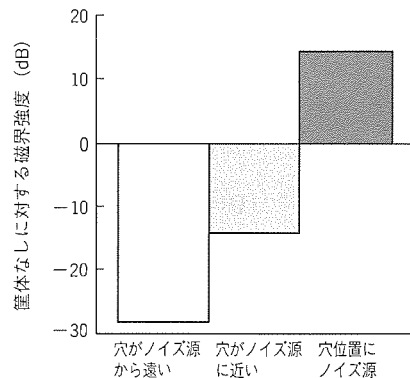


図 4. 穴とノイズ源の距離と漏れ磁界の関係

上の大きさを持たなければ電磁波は伝わらない。しかし筐体設計では、①導体の厚みが薄い(今回の場合0.8 mm 厚)、②電磁波は、平面波でなく(ノイズ発生源が穴に近い場合は特に)球面波に近いなどの理由から、波長2 mの電磁波も数cmのLED取付け穴から漏れている。

図3(a)は解析モデルの模式図、図(b)は実際の筐体の前面LED取付け穴からの、対策前の漏れ電磁波の測定された強度分布図を示す。図(c)は解析による筐体穴からの漏れを示すが、ノイズ発生源である電気双極子を穴に近づけるに従い、漏れ強度が増す。

図4は、穴とノイズ源の距離を140 mm, 60 mm, 0 mmと近づけていったとき、穴の真上10 cmの位置での磁場強度を、筐体がないときを0 dBとして表したものである。ノイズ源となるICや終端が穴から至近の距離にあるときは、波長に対して極めて小さな穴からの漏れも無視できなくなる。

3.1.4 共振

筐体設計する上で注意を払わなければいけないもう一つの大事な要件は、図5に示したような、筐体内での空洞共振である。いま、周波数750 MHzでノイズ源が振動するときと、筐体の内側の金属間の距離(198.4 mm)がちょうど1/2波長となる周波数(755.525 MHz)で振動しているときとでは、筐体内部での磁場強度は解析でも3けた程度異なる。

3.1.5 指向性

実際にEMI対策をしていくと、低周波のノイズの方が高周波ノイズよりも低減が難しい。その理由の一つは、周波数が上がると指向性が強くなり、ノイズ源

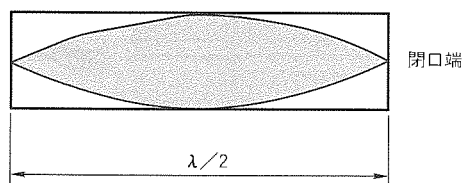
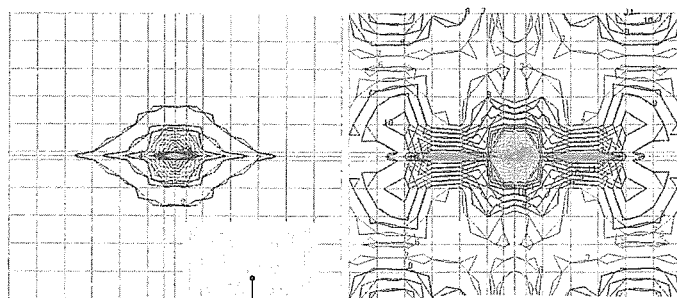


図5. 筐体内の空洞共振



(a) 150MHz(低周波)

(b) 150GHz(高周波)

図6. 電磁波周波数と等磁束密度コンタ図の関係

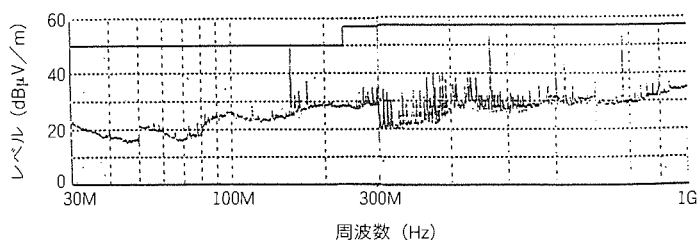
とスリットや穴などの直線上で遮へい(蔽)することで漏れを防げるが、低周波の場合には回折現象が強いためと思われる。この解析法は、前にも述べたように、原理的に周波数による指向性の違いは解析できるはずであり、実際に、150 MHzの信号と1.5 GHzの信号について電磁波の広がりの違いを見てみた。

図6は、ノイズ源を含む電界の振動方向断面上で見た等磁束密度コンタ図を示している。周波数が高くなると、等磁束密度コンタが振動の中心を通る振動方向と垂直な平面上に収束していく(指向性が出てくる。)ことが分かる。

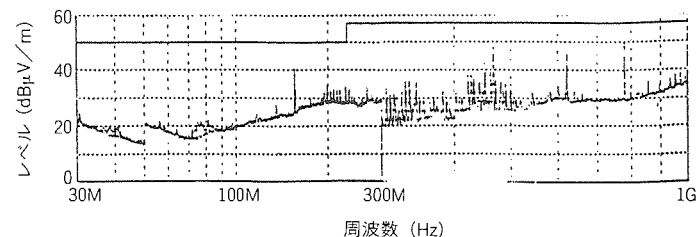
3.2 ATM-DSUのEMI対策

上記のような解析結果を踏まえ、接合部分での塗装除去、細く長いスリットが出来ないように接合部分の変更、LED穴の形状変更、LED後ろ側でのシールドなどの方法を用い、図7に示すように、当初のノイズレベルから、3 m法での測定で10 dB程度の放射ノイズ低減が実現された。図8には、最終的なATM-DSU筐体を示す。

3.3 その他の電磁シールド設計への適用例



(a) 改善前



(b) 改善後

図7. ATM-DSUでの放射ノイズ低減

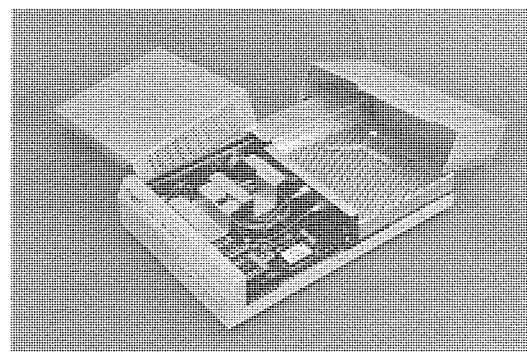
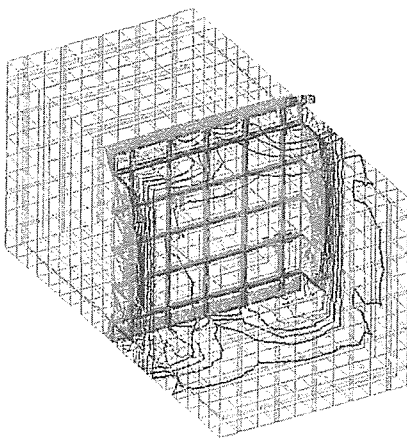


図8. ATM-DSUの筐体

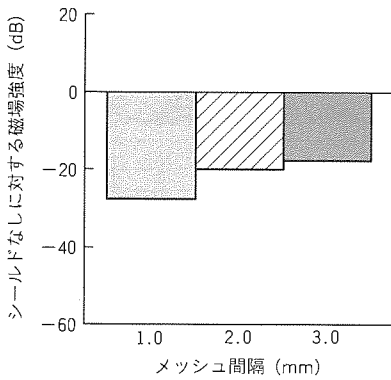
20 GHz オータムの高周波に対する電磁シールドの設計への適用例を示す。解析した電磁波の周波数は 20 GHz ($\lambda=15$ mm) であり、境界条件によって電界が上下に、磁界が左右に振動し、シールドであるメッシュ面に垂直にポインティングベクトルが進行する平面波をノイズ源として入力した。一例として、図 9(a)に、メッシュ銅線幅 0.1 mm、メッシュ間隔 1 mm のときのメッシュからの電磁波の漏れ (等磁束密度コンタ図) を示す。図(b)はメッシュの粗さを変えたときの漏れの変化の計算結果を示している。このように、マイクロ波のシールド設計に対しても、この解析手法は有効である。

4. プリント基板, アース設計

この解析の特長としては、多層基板の層間を流れるいわゆ



(a) 等磁束密度コンタ図



(b) 磁場強度

図 9. メッシュ銅線による電磁波のシールド

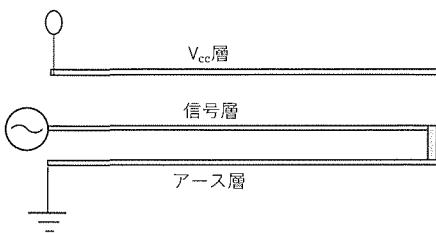


図10. 多層基板の解析モデル

るコモン電流が解析できることが挙げられる。ここでは、実際に TFT-LCD パネルの駆動回路基板設計, FG (Frame Ground) 設計にこの解析を適用した例を示す。

4.1 信号ラインの基本設計への適用

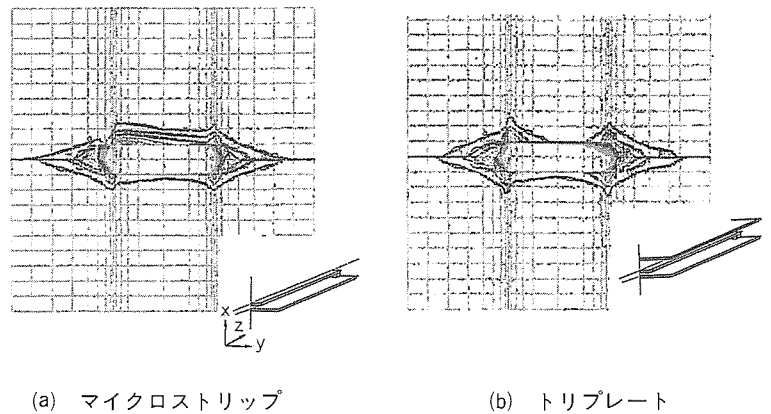
ここでは、高周波の信号ラインの構造 (信号ラインが多層基板の最上層にくるマイクロストリップライン構造と、 V_{dd} 層, アース層などに挟まれたトリプレートライン構造について比較した。), 線路の特性インピーダンス, 終端の処理などの要因と電磁放射の関係について解析した。

4.1.1 解析モデル

図 10 は解析のモデル図を示す。信号層左端に 360 MHz の信号を入力し, 上下 V_{cc} , アース層は左端で接地されている。層間の比誘電率は 5 とし, 線幅や層間隔などをパラメータとして, 線路の特性インピーダンスは 50 Ω から 100 Ω 程度の範囲で変化させている。解析の周波数は 360 MHz である。

4.1.2 構造による放射強度の違い

図 11 は, マイクロストリップライン構造とトリプレートライン構造での放射電磁界 (図は等磁束密度コンタ) 分布の差を定性的に示す。図 12 は, 線路中心部真上 100 mm の所での磁束密度強度の差を示している。結果として, 信号線を V_{cc} , アース層などで挟む構造にすることにより, 放射ノイ



(a) マイクロストリップ

(b) トリプレート

図11. 基板構造と等磁束密度コンタ図の関係

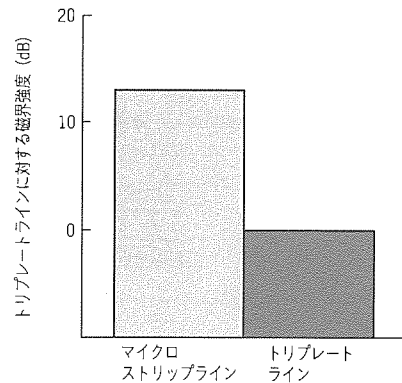


図12. 基板構造と磁界強度の関係

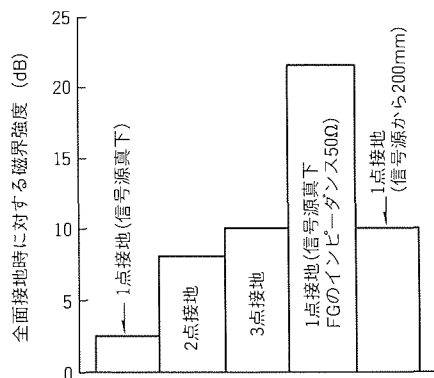


図13. 接地方法と磁界強度の関係

ズは1けた近く減少する。

4.2 アース設計

基板のアース層から筐体へのFGの取り方とノイズ放射の関係についてこの手法を適用して解析し、TFT-LCD基板のアース設計に役立てた。

4.2.1 解析モデル

モデルは、基本的には4.1節で用いたモデルと同じもので、アース層からのFGの位置だけを変更したものである。1点、2点、3点、又はガasketを用いたような全面でのFGについて、さらに、ノイズ源とFGの相対的な位置による放射の差、FGのインピーダンスとノイズ放射の関係につ

いて解析した。

4.2.2 FGとノイズ放射

図13に、それぞれの場合における線路真上200mの位置での磁束密度の値を示す。ここで、アース層全面をFGに落としたときのノイズレベルを0dBとした。

結論としては、①全面でFGに落とすのがノイズ放射が一番少ないが、それができないときは中途半端に多点でFGを取るのではなく、1点でFGに落とす方がノイズレベルは低い。②FGはノイズ源のできるだけ近くにとらないと、コモン電流による放射が大きくなってしまう。③FGはできる限り低インピーダンスになるよう考慮が必要。以上の結果は、線路構造解析と同様、TFT-LCD駆動回路におけるFG設計に生かされた。

5. むすび

この解析により、EMI低減を考慮した筐体設計・基板レイアウト設計が、図面段階である程度可能となった。今後は、適用例を増やすことで、より一般化されたEMI解析手法の開発を図っていく必要がある。また、この手法をEMI対策用ツールとして広めるために、データの入力、結果の出力などのマンマシンインタフェースを、実際に設計に携わる回路技術者や機構技術者に使いやすいように改善していく予定である。



AV機器の機構開発における シミュレーション技術

古石喜郎* 岡田克巳*
則武康行**
中川邦彦**

1. ま え が き

VTR、テレビ、ビデオプリンタ等のAV機器の開発では、多様化する顧客ニーズにいち早く対応するための開発期間の短縮、及び製品力強化のためのコスト低減と性能・品質の確保が強く求められている。

これらの要求課題に対応する方法の一つに、コンピュータによるシミュレーション技術の活用がある。特に、高性能化・高精度化が要求されるAV機器の機構系においては、製品開発の上流である基本設計段階での機能検証と信頼性の確保のためのシミュレーション技術は、試作モデルの製作回数削減や設計品質の向上につながり、設計の効率化に寄与するところは大きい。

本稿では、AV機器の機構系のシミュレーション技術の開発状況と最新の製品開発における適用事例について述べる。まず、AV機器の機構系の設計・解析ツールとして構築したシミュレーション技術環境について述べ、次いで、VTRとプリンタを取り上げ、これら製品の基本性能設計へのシミュレーション技術の適用事例について述べる。

2. 機構のシミュレーション技術

AV機器の機構開発におけるシミュレーション技術環境を図1に示す。シミュレーション技術は、大別すると、設計と解析ツールからなる。

設計ツールは、VTRやプリンタ等の機構を設計開発する

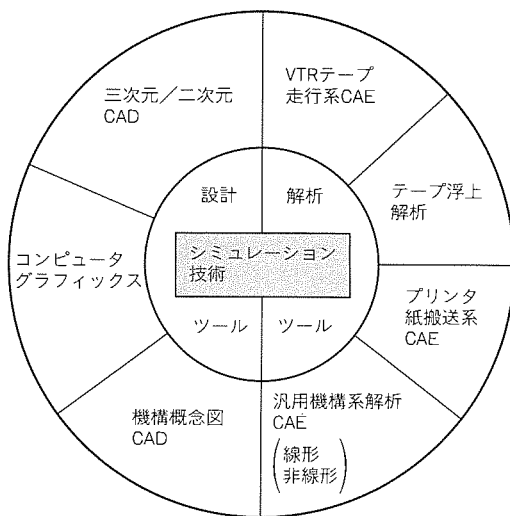


図1. シミュレーション技術環境

ためのシステムである。このシステムは、二次元/三次元の機構設計CADを中心として構築し、そして、機構設計課題に対応できるように設計資料や材料のデータベースを整備し、その有用性を高めている。また、複雑な機構モデルの表現やシミュレーション解析結果を理解しやすくするための設計ツールとして、三次元のコンピュータグラフィックスを活用している。

一方、解析ツールは、それぞれの機器の基本的機能を解析し機構を設計するための専用化したプログラムと、有限要素法や境界要素法等の数値解析手法を用いた汎用的な機構解析プログラムで構成している。これらの解析ツールを用いて、機器固有の機構設計課題に対応するとともに、静変形解析、振動解析、熱・温度解析等を行い、設計段階における信頼性評価を実施している。また、最近のAV機器では、基本設計段階でコストを考慮することが必要条件になっている。そのために、従来の金属部品に替えてプラスチック成形部品を採用することが多い。プラスチック部品は本質的に剛性が低くかつ塑性的であるため、外力や熱の影響を受け、非線形な変形挙動が問題になることがある。このような問題については非線形機構系解析システムを整備し、線形解析システムとのデータの互換性を図りながら解析している。

3. AV機器開発への適用

ここでは、VTRとプリンタの基本性能設計における前述のシミュレーション技術の適用事例について述べる。

3.1 VTRデッキの開発

VTRのデッキ開発で設計ツールとして用いる主なプログラムを図2に示す。これらのプログラムは、VTRの基本的

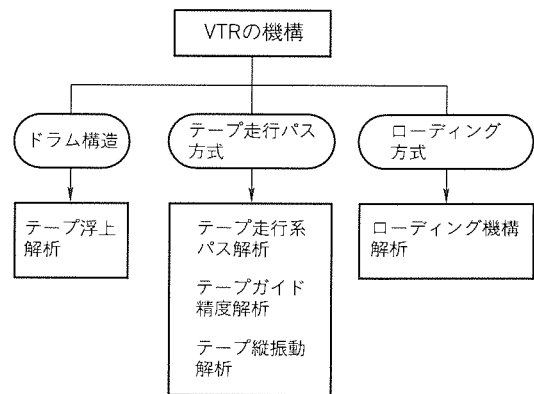


図2. VTR機構開発の設計解析プログラム

機構であるドラム構造、テープ走行パス、ローディング機構の設計に用いる。そして、構想設計から詳細設計までの過程で、これらのプログラムによって適宜シミュレーション解析を実施している。

ここでは、VTRのテープ走行系とテープ浮上に関するシミュレーション技術について述べる。なお以下に示す適用例は、すべてJデッキの開発に関するものである。Jデッキは、当社で初めて海外生産をした機種で、“高性能、高機能を維持しながら、生産性向上、信頼性向上及びグローバルな生産構造に対応した新デッキ”をコンセプトに開発を行ったものである⁽¹⁾。

3.1.1 テープ走行精度シミュレーション

VTRデッキのテープ走行系を三次元表示した結果を図3に示す。VTRのテープ走行系では、カセットから引き出されたテープをドラムへヘリカルに巻き付けるために、傾斜ポストを含め複数個のテープガイドが配置される。テープ走行系の設計においては、テープはテープガイドに対してすき(隙)間なく巻き付き、かつテープはねじれないといった幾何学的条件を満足することが必要である。しかし、幾何学的に算出されるテープ走行系を正確に実現することは、加工・組立精度の制約から不可能である。そのため、部品及び組立誤差がある限界値以上になると、テープが蛇行したり不安定な振動を起こす。

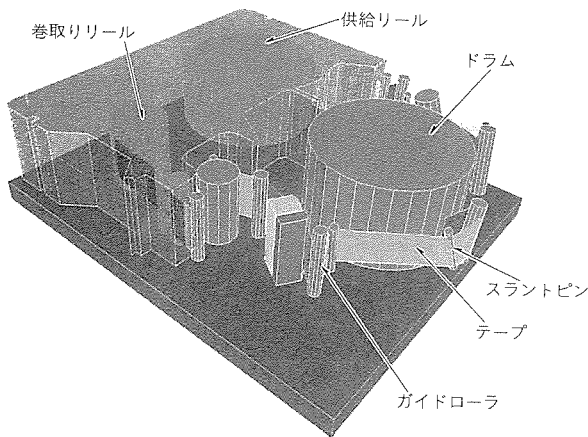


図3. VTRのテープ走行系

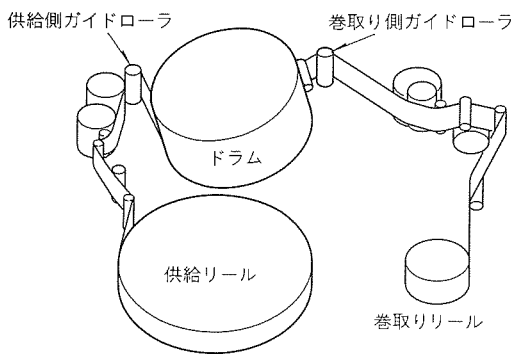


図4. Jデッキのテープ走行系

テープ走行精度シミュレーションは、テープガイドの位置・角度の偏差がテープ走行精度に及ぼす影響を数値解析するものである。Jデッキのテープ走行系を図4に示す。

解析のための入力パラメータは、

- ドラム及びテープガイドの位置・角度
- テープテンション
- テープガイドの種類(フランジの有無、回転ガイド又は固定ガイド)

である。また解析結果として、

- トラックリニアリティ(テープ上に斜めに記録された磁気パターン直線性)
- フランジによるテープ規制力

が得られる。

解析の考え方は次のとおりである。すなわち、テープをテープガイドの位置で分割し、各テープ要素(両端に、その物理状態を規定する状態量ベクトル(たわみ、たわみ角、曲げモーメント、せん断力)を定義する。)に対して、引張ばり(梁)の曲げ理論を適用した定式化を行い、伝達マトリクス法を適用した数値解析の実行により、各状態量ベクトルの成分を求める。

図5は、テープ走行精度シミュレーションによって、Jデッキのテープ走行系におけるガイドローラの角度偏差許容範囲を求めたものである。すなわち、ガイドローラに角度偏差を与えたときのガイドローラのフランジに作用するテープ規制力を求め、そして、その規制力によってテープが損傷を受けないように角度偏差許容範囲を求めている。図から、角度偏差の許容範囲はく(矩)形状になり、さらに方向性があることが分かる。

このようにして、テープガイドの設計においては、テープガイドの角度偏差許容範囲を求めることによって、適正な精度を配分させながら信頼性を高めている。

3.1.2 テープ振動特性シミュレーション⁽²⁾

テープ走行系は、テープをバネ要素とし、回転ガイド類を

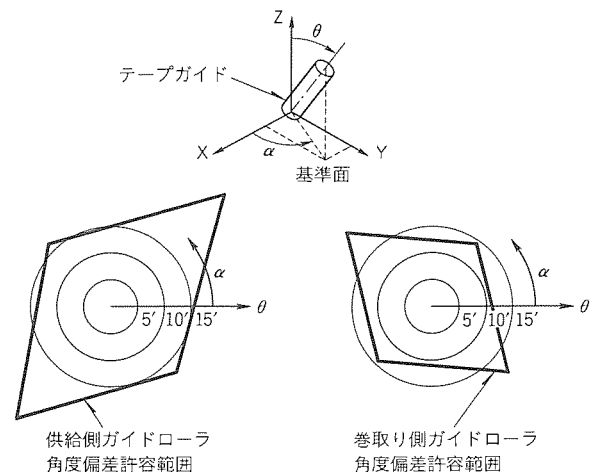


図5. ガイドローラの角度偏差許容範囲

慣性要素とする多自由度縦振動系でモデル化する。テープは弾性要素であるため、テープとテープガイドの摩擦力の変動、回転ガイドの振れ、デッキの振動などの外乱要因により、テープ振動が発生する。特にドラム位置でのテープ振動は、トラッキングずれやジッタを生じさせ、画質・音質を劣化させる原因となる。このテープ振動のレベルは、外乱の大きさや位置及びテープ走行系の振動特性から決まる。このため、基本設計段階でテープ振動応答を予測し、これが許容値以下になるようにテープ走行系の諸元を設定することが要求される。

テープ振動特性シミュレーションは、テープ走行系に作用する外乱によって発生するテープ振動特性を解析するもので、次の機能を持っている。

- テープ走行系の固有振動数及び固有モード解析
- 外乱に対するテープ速度変動及びテープテンション変動の周波数応答解析

振動モデルは、図6に示すように、解析の対象範囲は供給リールからキャプスタンまでとする。キャプスタンはテープを一定速度で駆動するため、キャプスタン位置で振動の節になると考え、これより下流の巻取りリール側のテープ走行系は無視している。テープはバネ要素として扱い、その質量を無視する。供給リール及び回転ガイド等の回転要素は、等価質量 $m (=I/R^2)$ 、 I ：回転要素の慣性モーメント、 R ：回転半径)を持つ質点として扱い、これらの質点が上記のバネ要素によって接続されているモデルを考える。

図7は、インピーダンスローラのテープ振動抑制効果の把握を目的に、ヘッド位置でのテープの振動応答解析を行った例である。計算パラメータはインピーダンスローラの大きさで、走行系に装着しないときと供給リールの慣性モーメントとの比で1/2、1/8のものを装着した場合である。応答レベルは外乱の大きさで正規化したテープ縦振動振幅で、外乱は供給リールからの正弦波入力を仮定している。

図7から次のことが分かる。

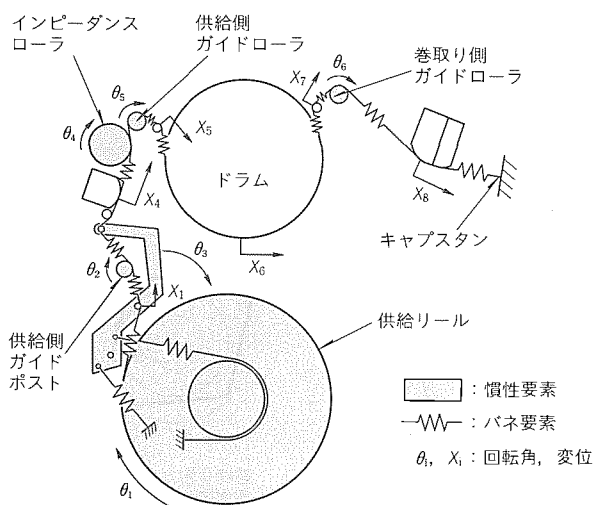


図6. テープ走行系の振動モデル

(1) テープ走行系の一次共振周波数は18 Hz、二次共振周波数は60 Hz 近傍に存在し、振動レベルはこの周波数帯域で大きくなる。

(2) インピーダンスローラのテープ振動抑制効果は60 Hz以上の高域の周波数領域で顕著であり、そして、その慣性モーメントが大きいほど著しい。

(3) しかしながら、インピーダンスローラの装着はテープ系に新たな共振周波数を作る。そのため、60 Hz以下の低域の周波数での振動は逆に大きくなる。

このようなシミュレーション解析を進めながら、Jデッキでは、供給側と巻取り側に配設するインピーダンスローラの最適化を行い、ツインファイナローラ方式と呼ばれる低振動テープ走行系を開発し、低ジッタ化を実現している。

3.1.3 テープ浮上特性シミュレーション

VTRでは、テープとヘッドの当たりを確保し、かつテープとドラムの擦れを回避するために、テープをドラム上で適正に浮上させる必要がある。しかし、このテープの浮上現象は、ドラムやヘッドの形状とテープの物性が互いに関連して複雑な挙動を示す。このため、ドラムやヘッドの設計に当たっては、空気膜の影響を考慮したテープ浮上シミュレーションを行い、ヘッド諸元の最適化を行っている。

テープ浮上特性シミュレーションは、テープ弾性変形式と空気膜潤滑式とを連立させて解く問題になる。空気膜潤滑方程式には、気体分子の平均自由行程を考慮した修正レイノルズ方程式を用いる。また、テープは薄板として扱い、テープ変形式として、面内変形式及び面内応力とテープの曲率を考慮した面外方向の曲げ変形式を用いる。これらの方程式に対して、有限要素法を用いて離散化し、連立方程式として解く⁽³⁾。

解析モデルを図8に示す。一定速度で回転する上ドラムと固定された下ドラムに対し、テープがヘリカルに巻き付いており、ドラムにはヘッド、窓、スリットが設けられている。テープの長手方向の両端はガイドポストで支持されており、テープの幅方向の両端での境界条件は、自然境界条件とする。

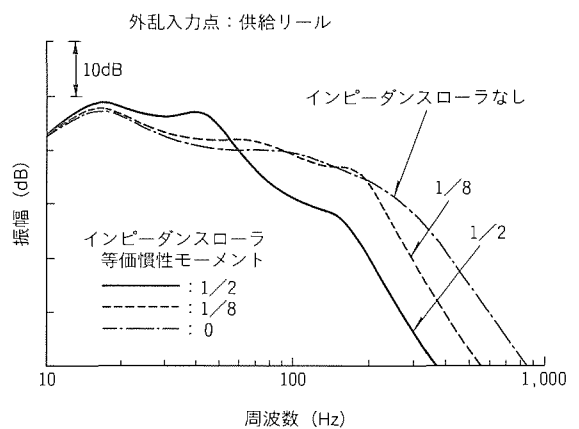


図7. インピーダンスローラの振動抑制効果

テープのテンションは、テープとドラムの摩擦の影響を考慮して、ドラムの入口側に対して出口側が徐々に高くなるように設定する。また圧力の境界条件は、ドラムに巻き付いていないテープの領域、窓及びスリットでの値を大気圧とする。

図9に、空気膜の影響によるテープ変形の解析結果を三次元グラフィックス表示したものを示す。ヘッドが装着される窓部では、ドラム回転によって発生した動的圧力が大気圧に解放され、テープが急激に吸い込まれる様子がよく分かる。

3.2 熱転写プリンタのインクシート搬送系の開発

熱転写プリント方式は、簡単な構成で記録ができ、操作性・保守性に優れていることから、ビデオプリンタやファクシミリ等に多く採用されている。インクシートは幅広の帯状物であるため、搬送力や張力などの実測が困難で、解析に頼

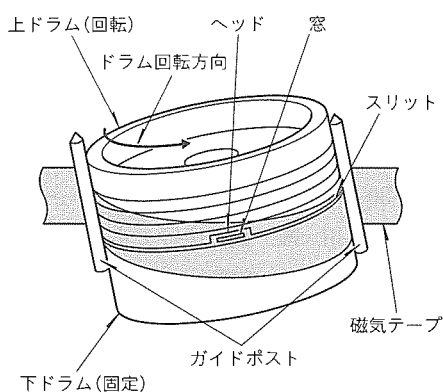


図8. ドラム周りの解析モデル

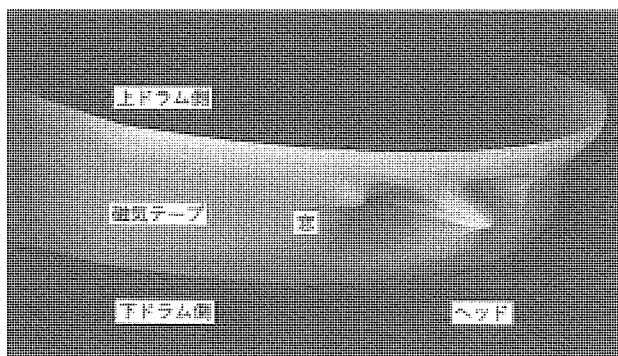


図9. テープ浮上の三次元グラフィックス

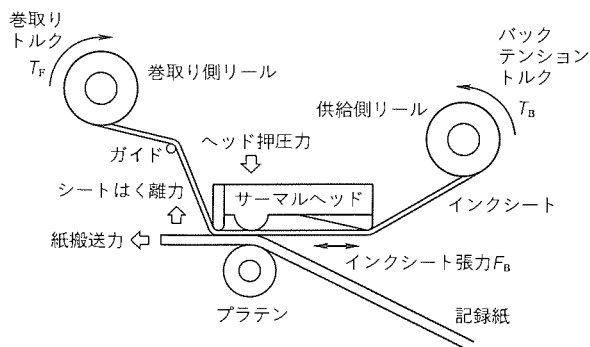


図10. インクシート搬送系

らざるをえない。昨今装置小型化の要求からインクシートの搬送経路が複雑化しており、シミュレーションによる特性把握の必要性が高まってきた。ここでは、図10に示すような熱転写プリンタインクシート搬送系の張力解析プログラムを開発したので紹介する。

3.2.1 解析モデル

インクシート搬送機構を設計する場合、ポイントとなるのは、巻取りトルク及びバックトルクの設定、搬送系の幾何学的レイアウト、接触部材の形状と材質などである。特に、印画部分直前のインクシート張力 F_B は印画品質に大きな影響を与えることが報告されている⁽⁴⁾。したがって良好な印画品質を得るためには、最適なインクシート張力 F_B を設定する必要がある。

図11は、インクシート搬送系に関する張力解析モデルである。インクシート張力は、搬送径路上の位置によって異なるために、既知のトルクから順次計算によって求める。そして、張力は相手の接触部材の支持形態が滑りか回転かで異なる。そのため、図12に示すように、その形態に応じた張力計算式を適用している⁽⁵⁾。

3.2.2 検討結果

開発したインクシート搬送系シミュレーションの妥当性を確認するために、印画部分直前のインクシート張力が印画品質に及ぼす影響について、実験と解析によって検討した。

インクシート搬送経路の異なる2種類の実験機AとBを用意して、バックトルクの設定を変えてインクシート張力と

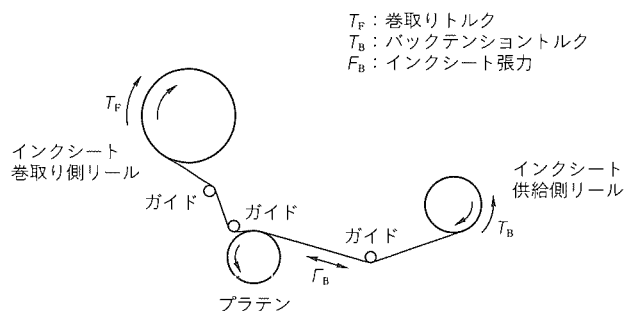


図11. インクシート搬送系の張力解析モデル

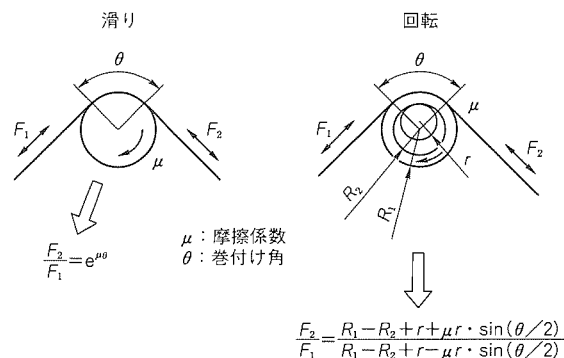


図12. インクシート張力の計算式

表 1. 印画品質評価実験結果

実験機	A	B		
バックトルク設定値 (N・m)	0.012	0.010	0.012	0.015
インクシート張力 解析値(N/mm)	0.010	0.010	0.012	0.015
	0.014	0.015	0.018	0.023
印画品質結果	良い	良い	やや不良	不良

印画品質との関連を評価した。表 1 に、実験機 A, B での設定条件と、得られた印画品質結果をまとめて示す。まず実験機 A で印画試験を行ったところ、バックトルクが 0.012 N・m のときに良好な印画品質を得た。このとき、シミュレーションによる張力 F_B は、インクシートの巻き始めから巻き終わりまでの間で 0.01 ~ 0.014 N/mm (単位幅) と算出された。次に実験機 B において、バックトルクを実験機 A で得た値 0.012 N・m を中心に 3 条件を設定して印画実験を行ったところ、バックトルクは 0.01 N・m で良好な品質が得られ、実験機 A とは異なる値になった。しかしながら、このバックトルクに対応するインクシート張力 F_B を解析すると 0.01 ~ 0.015 N/mm となり、実験機 A と同じ値になることが分かった。この結果、良好な印画品質を得るためのインクシート張力 F_B は、その搬送経路によらず、一義的に定まることが分かった。

このような実験検証を行いながら、インクシート搬送系の張力解析プログラムの開発を行った。プリンタの開発設計において、このプログラムを活用して高画質化・小型化を実現している。

4. む す び

AV 機器の機構開発におけるシミュレーション技術の開発状況を紹介するとともに、代表的な AV 機器である

VTR, プリンタを取り上げ、これらの製品の設計段階におけるシミュレーション技術の適用事例を述べた。

設計開発業務の効率化がますます求められる中で、機構系設計システムは従来の二次元 CAD から三次元 CAD 設計システムに進化する。設計情報に三次元データ構造を持つとシミュレーション技術との連携も容易になり、設計と解析の同時進行がより一層進めやすくなる。

今後の AV 機器の機構設計課題はスピード・品質・コストに集約される。シミュレーション技術の向上を図りながら、このような要求に対応できる AV 機器の三次元機構設計システムの高度化を図っていく所存である。

参 考 文 献

- (1) 宮後俊春, 赤羽正光: グローバル生産構造に対応した J デッキとシャーシ, 三菱電機技報, 68, No.11, 989 ~ 994 (1194)
- (2) 安藤重男, 檜垣潤一, 古石喜郎: VTR 振動系の振動制御, 日本機械学会第 72 期全国大会講演論文集 (IV), No.940-30, 697 ~ 699 (1994)
- (3) 坂口貴司, 湯川 純, 則武康行, 古石喜郎: 有限要素法による VTR のテープ浮上解析, 日本機械学会第 72 期全国大会講演論文集 (IV), No.940-30, 632 ~ 634 (1994)
- (4) 加納公生, 和田隆吉, 尾崎安彦, 加藤 悟: カラービデオコピープロセッサ SCT-CP 200, 三菱電機技報, 64, No.8, 643 ~ 647 (1990)
- (5) 小池 清, 吉永光伸, 中川邦彦, 則武康行, 相沢淳一, 中尾 洋: 熱転写プリンタのインクシート搬送に関する検討, 日本機械学会第 70 期通常総会講演論文集 (I), No.930-9, 643 ~ 645 (1993)



RF-MOSFETデバイス シミュレーション技術

追田真也* 藤田光一***
太田 淳**
久間和生**

1. ま え が き

現在、自動車電話・携帯電話などの移動体通信システムは、飛躍的に普及しつつある。世界的に移動体通信端末は普及台数3,000万台を突破しており、また、国内の移動体通信の加入者は300万人を超えている⁽¹⁾。さらに、これらの移動体通信は、デジタル化により、コンピュータに組み込んで画像などのデジタルデータをやりとりするマルチメディア端末としても実用化が近づいており、これからも、移動体通信市場はますます大きくなると期待できる。使用周波数帯も従来の900MHz帯から、新しくサービスの始まったPHS(Personal Handy Phone System)などの2GHz帯近くまで広がってきている。

このような移動体通信システムに求められている要求の一つに、携帯端末の小型・軽量・低価格化がある。そのため、携帯端末に用いられる半導体デバイスに対しても、低電圧動作化・低消費電力化・高集積化・低価格化が求められている。なかでも、送信用高周波高出力モジュールは、端末に占める消費電力の割合が大きく、その低減は重要であり、モジュールを構成している高周波高出力トランジスタの高効率化が望まれている。高周波高出力トランジスタとしては、現在は、高周波特性が優れているGaAsFET(GaAs Field-Effect Transistor)を用いたものが主流である。

しかし、GaAsは高価なため、低価格化を考えた場合、安価なSiを用いた高性能の高周波高出力トランジスタの開発が必要である。さらに、周辺のデジタル回路を同じSi基板上に集積化できる利点もある。Si高周波高出力トランジスタとしては、バイポーラトランジスタよりも、熱安定性に優れているMOSFET(Metal Oxide Semiconductor FET)が適している。高周波特性はGaAsFETの方がMOSFETよりも優れているが、今後のSiプロセスの発展を加味した場合、周波数が数GHzまではMOSFETでも対応が可能であると予測できる。そのため、将来は、この周波数までの安価な送信用高周波高出力モジュールにはMOSFETが用いられると考えられる。

このような状況の下で、当社では、周波数900MHz、動作電圧6VのMOSFETモジュールM67797Dを開発している。さらに、低電圧動作化のために、動作電圧4.8Vの高性能MOSFETモジュールも開発中である。

本稿では、高性能の高周波高出力MOSFET(RF(Radio

Frequency)-MOSFET)を開発するために、プロセス条件から電気特性を導出するプロセスデバイスシミュレーション技術を用いて、DCや容量特性に対し、RF-MOSFETのイオン注入量、電極構造について最適化を行ったので報告する。

2. RF-MOSFET

2.1 デバイス構造

図1に、RF-MOSFETのデバイス構造断面を示す。基本構造は、論理素子等に使用される横型NチャネルMOSFETである。同図に示すように、RF-MOSFETに特徴的なデバイス構造は、主に、ゲート材料に高融点・低抵抗金属を使用していること、LDD(Lightly Doped Drain)によるオフセットゲート構造になっていること、及びボロンのチャネルドーピングがソース-ゲート間だけに行われていることである。

横型MOSFETの周波数特性は、主にゲート容量の充放電速度で決まる。そのため、シリコンゲートに比べて抵抗が数十分の1低い金属ゲートを使うことにより、GHz領域の高周波動作が可能となっている。

LDDは、リンのイオン注入により、N⁻の低濃度領域を設けて作製する。この領域で電界を緩和することにより、ゲート近傍での電界集中を避けて、高耐圧化を行っている。

2.2 電気特性

RF-MOSFETの特性は、付加効率 η_T 、出力電力 P_o 、電力利得 G_p で表される高周波大信号特性と、ドレイン耐圧 BV_{dss} によって評価される。これら高周波大信号特性をプロセス条件からシミュレーションによって直接導出することは困難である。しかし、一般的に、高周波大信号特性と本稿でシミュレーションを行うDCや容量特性との間には、定

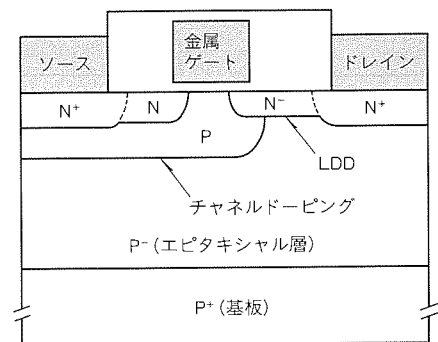


図1. RF-MOSFETデバイス構造断面図

性的に図2に示される関係がある⁽²⁾。つまり、相互コンダクタンス g_m を大きくし、オン抵抗 R_{on} 、入力容量 C_{iss} 、出力容量 C_{oss} を低減させる必要があることが分かる。

g_m を大きくし、 C_{iss} を低減するには、デバイス構造において、ゲート長 L_g を小さくすることが極めて効果的であることが分かっている。しかし、それに伴って BV_{dss} が急激に低下し、またプロセスも困難になるので、 L_g を小さくするには限界がある。

R_{on} 、 C_{oss} はLDDの長さを短くすれば低減できるが、それに伴って BV_{dss} が低下する。また、LDDのリンのドーピング濃度を高くすることも R_{on} の低減に効果があるが、 BV_{dss} が低下し、 C_{oss} も大きくなる。

すなわち、 g_m 、 C_{iss} と BV_{dss} 間、 R_{on} と BV_{dss} 間、 R_{on} と C_{oss} 間のそれぞれにトレードオフの関係があり、高性能のRF-MOSFETを設計するには、それらの最適化が必要である。

3. 電極構造の最適化

高性能RF-MOSFETを設計するために、前章で述べた電気特性のうち、まず、オン抵抗 R_{on} とドレイン耐圧 BV_{dss} のLDDの長さ、すなわちゲート-ドレイン電極間隔に対する依存性の導出を、二次元プロセスデバイスシミュレーションによって行った。プロセスデバイスシミュレータはSILVACO International社のS-SUPREM 4とSPICESをそれぞれ用いた。

シミュレーションで求めた R_{on} と BV_{dss} のゲート-ドレイン電極間隔依存性を図3に示す。ここでは、ゲート長 L_g を $1.1 \mu\text{m}$ 、全ゲート幅 W_{gt} を $100 \mu\text{m}$ 、チャンネルのボロン注入量を $3 \times 10^{12} / \text{cm}^2$ 、LDDのリン注入量を同じく $3 \times 10^{12} / \text{cm}^2$ とした。

同図から、ゲート-ドレイン電極間隔が $1.5 \mu\text{m}$ までは、 BV_{dss} はゲート-ドレイン電極間隔にほとんど依存せず、pn接合の逆バイアス耐圧ではほぼ一定であることが分かる。一方、 R_{on} はゲート-ドレイン電極間隔にほぼ比例する。これより、シミュレーションを行った範囲内では、プロセスで

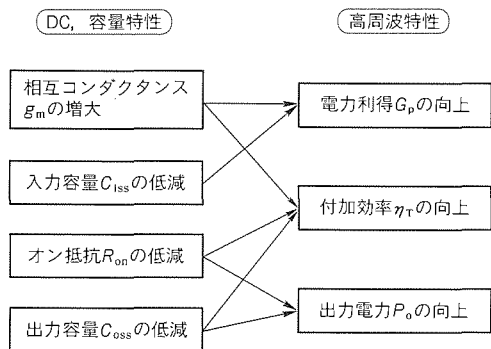


図2. RF-MOSFETのDC、容量特性と高周波特性の定性的な関係

可能な限りゲート-ドレイン電極間隔を狭めて、 R_{on} を低減すれば良いことが分かった。そのため、次章では、プロセス精度を考慮して、ゲート-ドレイン電極間隔を $2 \mu\text{m}$ にして、シミュレーションを行った。

4. イオン注入量の最適化

4.1 ボロン注入量

次に、チャンネルのボロン注入量を定めるために、相互コンダクタンス g_m とドレイン耐圧 BV_{dss} のボロン注入量に対する依存性を導出した。その結果を図4に示す。ここでは、LDDのリン注入量を $3 \times 10^{12} / \text{cm}^2$ とし、一定とした。

同図から、 BV_{dss} はボロン注入量が $1 \times 10^{12} / \text{cm}^2$ より少なくなると急激に劣化することが分かる。一方それに反して、 g_m はボロン注入量が多くなると急激に劣化している。これより、ボロン注入量は $1 \times 10^{12} / \text{cm}^2$ 付近に最適値があることが分かった。

4.2 リン注入量

前節で求めた結果から、ボロン注入量が $1 \times 10^{12} / \text{cm}^2$ 付近におけるLDDのリン注入量に対する電気特性の依存性を求めた。ボロン注入条件は、注入量 $5 \times 10^{11} / \text{cm}^2$ 、 1×10^{12}

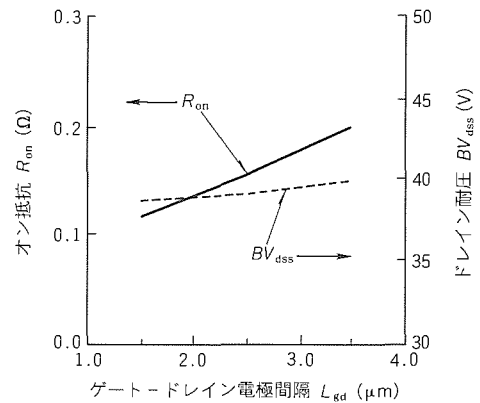


図3. オン抵抗 R_{on} とドレイン耐圧 BV_{dss} のゲート-ドレイン電極間隔依存性

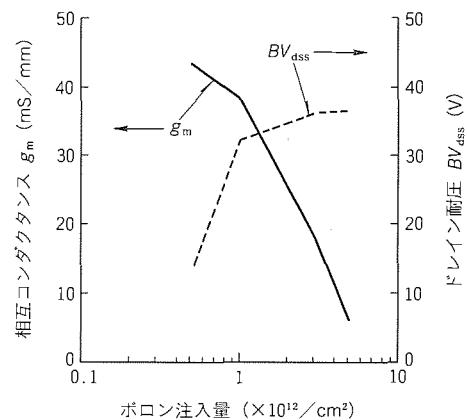


図4. 相互コンダクタンス g_m とドレイン耐圧 BV_{dss} のボロン注入量依存性

/cm^2 , $2 \times 10^{12} \text{/cm}^2$ の3通りとした。

DC特性として、図5～図7に、相互コンダクタンス g_m 、オン抵抗 R_{on} 、ドレイン耐圧 BV_{dss} のリン注入量依存性をそれぞれ示す。

また、動作領域での容量値として、ドレイン電圧 $V_{ds} = 2 \text{ V}$ 、周波数 $f = 900 \text{ MHz}$ における、入力容量 C_{iss} 、出力容量 C_{oss} 、帰還容量 C_{rss} のリン注入量依存性を図8～図10にそれぞれ示す。 C_{rss} は図2には示していないが、電力利得に

大きな影響を及ぼす⁽³⁾。

容量は以下の手順で求めた。まず、直流バイアスを印加した状態に置いて、ある電極 i ($i = g, d, s, b$) に小信号交流電圧 V_i を印加し、その時に各電極 j ($j = g, d, s, b$) に流れる交流電流 I_j を小信号解析⁽⁴⁾ を用いて計算する。ここで、 g, d, s, b は、それぞれ、ゲート、ドレイン、ソース、基板の各電極を表す。これより、式(1)に従って、電極 $j-i$ 間のアドミタンス Y_{ji} を求める。

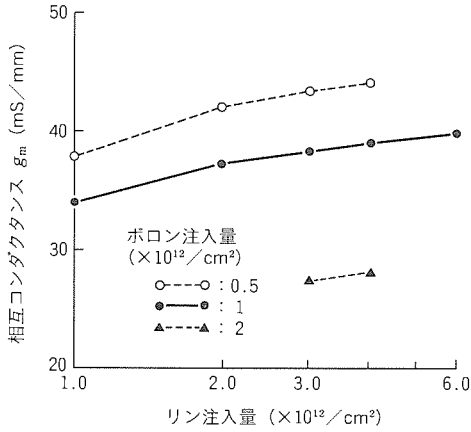


図5. 相互コンダクタンス g_m のリン注入量依存性

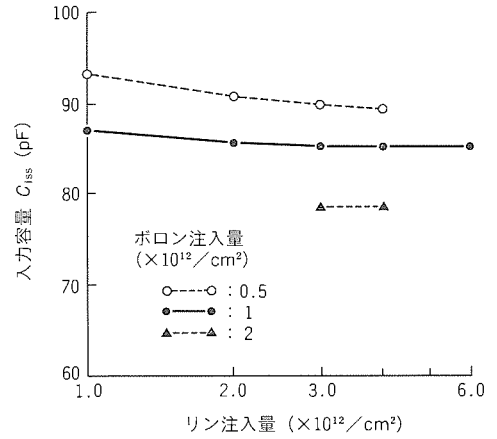


図8. 入力容量 C_{iss} のリン注入量依存性

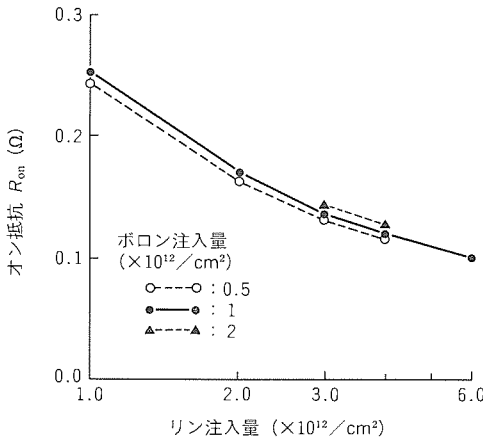


図6. オン抵抗 R_{on} のリン注入量依存性

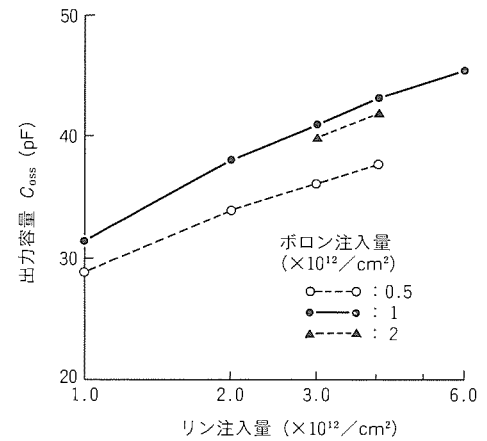


図9. 出力容量 C_{oss} のリン注入量依存性

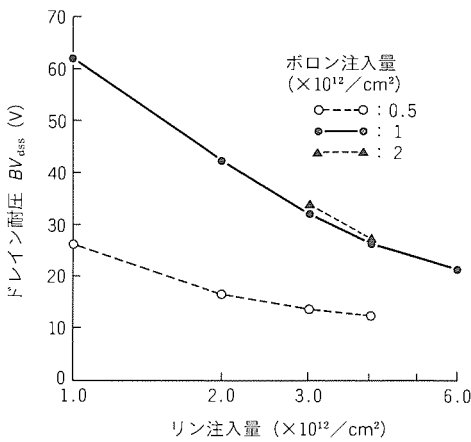


図7. ドレイン耐圧 BV_{dss} のリン注入量依存性

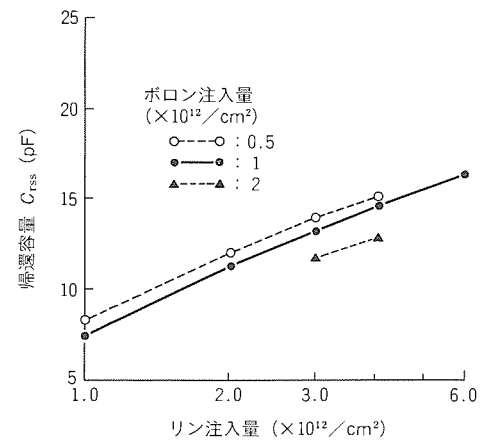


図10. 帰還容量 C_{rss} のリン注入量依存性

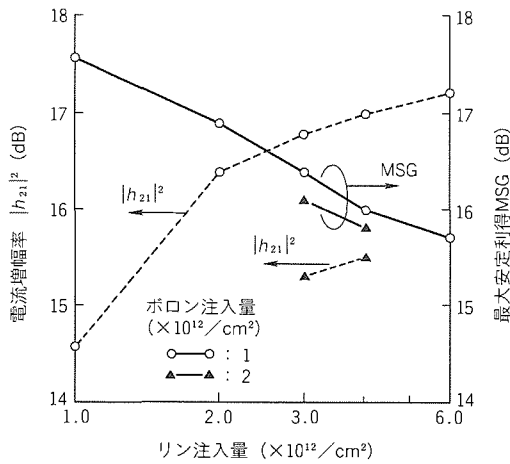


図11. 最大安定利得MSGと電流増幅率 $|h_{21}|^2$ のリン注入量依存性

$$Y_{ji} = \partial I_j / \partial V_i = G_{ji} + j\omega C_{ji} \dots\dots\dots (1)$$

これによって電極 j-i 間の容量 C_{ji} を導出した。なお、式 (1)において、 G_{ji} は電極 j-i 間のコンダクタンス、 j は虚数単位、 ω は角周波数を表す。

各電極間の容量と入力容量 C_{iss} 、出力容量 C_{oss} 、帰還容量 C_{rss} の関係は式 (2)~式 (4) の関係を用いて求めた。

$$C_{iss} = C_{dg} + C_{sg} + C_{bg} \dots\dots\dots (2)$$

$$C_{oss} = C_{gd} + C_{sd} + C_{bd} \dots\dots\dots (3)$$

$$C_{rss} = C_{gd} \dots\dots\dots (4)$$

図 9 で、ボロン注入量 $1 \times 10^{12} / \text{cm}^2$ のときに C_{oss} が最も大きくなっているのは、以下の考察で説明される。

ボロン注入量が多くなると、LDD のリンとチャンネルのボロンとで形成される pn 接合の空乏層の幅が狭まり、接合容量は増加する。しかし同時に、pn 接合のゲート直下への潜り込みが小さくなって、ゲートオーバーラップ容量が小さくなる。そのため、ボロン注入量 $1 \times 10^{12} / \text{cm}^2$ のときに、 C_{oss} が最も大きくなる。

図 5 ~ 図 7 から、まず DC 特性として、 BV_{dss} が 30 V 以上で、 g_m が最も大きく、 R_{on} が最も小さい特性を目標とすると、イオン注入条件は、ボロン注入量とリン注入量が、それぞれ、 $1 \times 10^{12} / \text{cm}^2$ と $3 \times 10^{12} / \text{cm}^2$ の場合であることが分かる。一方、容量特性においては、図 8、図 10 から、 C_{iss} と C_{rss} に関しては、ボロン注入量が $2 \times 10^{12} / \text{cm}^2$ の場合が、容量が小さく特性が良い。また、 C_{oss} に関しても、図 9 から、ボロン注入量が $1 \times 10^{12} / \text{cm}^2$ に比べて、 $2 \times 10^{12} / \text{cm}^2$ の場合の方が、小さくなっていることが分かる。すなわち、容量特性が最も良いイオン注入条件は、ボロン注入量とリン注入量が、それぞれ、 $2 \times 10^{12} / \text{cm}^2$ と $3 \times 10^{12} / \text{cm}^2$ の場合である。

そこで、DC 特性と容量特性を総合的に判断するために、容量を導出するために求めた電極間のアドミタンスから、高周波小信号特性の電流増幅率 $|h_{21}|^2$ と最大安定利得 MSG を導出した⁽³⁾。それらの、リン注入量に対する依存性を図 11 に示す。図 11 では、ゲートの抵抗と MOS キャパシタンスによる誘電損、及びワイヤのインダクタンスはないものとした理想的な場合を仮定した。なお、ボロン注入量が $5 \times 10^{11} / \text{cm}^2$ の場合は、 BV_{dss} が 30 V 以下であることが図 7 から分かっているので、図 11 からは省いている。

図 11 から、MSG と $|h_{21}|^2$ ではリン注入量に対する傾向が逆であること分かる。また、ボロン注入量が $2 \times 10^{12} / \text{cm}^2$ の場合に比べて $1 \times 10^{12} / \text{cm}^2$ の場合の方が、MSG、 $|h_{21}|^2$ の両方とも良い。したがって、MSG、 $|h_{21}|^2$ とともに 16 dB 以上にするためには、ボロン注入量とリン注入量を、それぞれ、 $1 \times 10^{12} / \text{cm}^2$ と $2 \sim 3 \times 10^{12} / \text{cm}^2$ にすればよいことが分かる。このとき、 BV_{dss} 、 g_m 、 R_{on} 、 C_{iss} 、 C_{oss} 、 C_{rss} が、それぞれ、35 V、38 mS/mm、 0.15Ω 、87 pF、40 pF、12 pF と期待でき、DC と容量特性が最適化できると予想される。

5. む す び

高性能の RF-MOSFET を開発するために、プロセス条件から電気特性を導出するプロセスデバイスシミュレーション技術を用いて、DC と容量特性を導出した。その結果、ゲート-ドレイン電極間隔を $2 \mu\text{m}$ 、チャンネルのボロン注入量が $1 \times 10^{12} / \text{cm}^2$ 、LDD のリン注入量が $2 \sim 3 \times 10^{12} / \text{cm}^2$ において、DC と容量特性が最適化されると予想できた。

本稿では、定性的な DC、容量特性と高周波大信号特性の関係を用いてデバイス構造の最適化を行った。今後の課題としては、高周波大信号特性を定量的に評価するために、プロセス条件から高周波大信号特性を導出するシミュレーション技法の構築が挙げられる。

参 考 文 献

- (1) 特集“移動体通信”，三菱電機技報，68，No.12，1027~1100 (1994)
- (2) 勝枝嶺雄，武居一郎，藤田 譲，岡部健明：UHF 帯大電力 MOSFET，信学論，J72-C-II，No.12，1074~1081 (1989)
- (3) 福田益美，平地康剛：GaAs 電解効果トランジスタの基礎，電子情報通信学会 (1992)
- (4) Laux, S.E. : Techniques for Small-signal Analysis of Semiconductor Devices, IEEE Trans. Electron Devices, ED-32, No.10, 2028~2037 (1985)

微細パターンエッチングにおける 局所チャージアップ現象のシミュレーション

大寺廣樹* 大森達夫*
西川和康*
滝 正和*

1. ま え が き

近年、DRAM (Dynamic Random Access Memory) などの半導体デバイスの高集積化が進むとともに高精度の加工技術が求められており、プラズマを用いたドライエッチング技術はその中でも重要な技術の一つである。

ドライエッチング技術は、塩素などのハロゲン元素を含んだ反応性ガスを放電によってプラズマ化し、生成されたイオンやラジカルと被エッチング物質との反応によって、被エッチング物質を表面から取り去ることによってウェーハ表面上にパターンを形成する技術である。エッチングでは、マスクパターンの寸法どおり異方性形状に加工されることが要求され、これを実現する機構は、例えば多結晶シリコンのエッチングの場合は、次のように考えられている。

プラズマ中で生成されたラジカルやイオンが多結晶シリコン (poly-Si) 表面に入射すると、表面で反応が起こり、シリコン塩化物 (SiCl_x) ができる。表面のシリコン塩化物層にエネルギーを持ったイオンが入射することによって表面からの離脱が起こり、エッチングが進行する。ここで、イオンはウェーハ表面に形成されるシース領域の電場で加速され、ウェーハ表面にはほぼ垂直に入射するため、異方性のエッチングが達成される。つまり、荷電粒子であるイオンがウェーハ表面に垂直方向の電場で加速されて表面に入射することが本質的である。

ところが、高集積化の進展に伴ってパターンサイズが縮小し、ウェーハ表面上に微細な凹凸があることによって表面に入射するイオンと電子のバランスが部分的に崩れ、局所的なチャージアップが起きる。局所電荷の影響でウェーハ表面近傍の電場は一様ではなくなり、イオン軌道が曲げられてしまう。このような現象は局所チャージアップ現象と呼ばれ、次のような問題を生じることがある。

- (1) エッチング形状異常^{(1)~(3)}
- (2) マイクロローディング効果、及び RIE (Reactive Ion Etching) Lag と呼ばれるエッチング速度 (エッチレート) の加工パターンの抜き幅やアスペクト比に依存する局所的な不均一
- (3) MOS (Metal-Oxide Semiconductor) デバイスのゲート損傷⁽⁴⁾

この局所チャージアップ現象はミクロなレベルの現象で、シース領域でのイオン及び電子の挙動、ウェーハ上の微細構

造、パターン表面の蓄積電荷による電場分布などによって影響を受ける複雑な系であるため、実験的な手法だけで解明して解決策を見い出すには限界があり、シミュレーションによる検討が有効と考えられる例の一つである。

さらに我々のモデルでは、微細パターン上のチャージアップを考えるとウェーハ上の微細構造を構成している物質の電気的特性を考慮している。例えば、poly-Si や Si 基板は導電性であり、poly-Si ゲートの側壁部分に入射した荷電粒子は、ゲート電極部分が等電位になるように表面を移動する。一方、フォトリソトヤ酸化膜は絶縁性であり、表面に入射した荷電粒子はそこにとどまると考えられる。また、ゲート酸化膜が薄くなると Fowler-Nordheim トンネリング効果によってリーク電流が流れる。これらの効果を考慮して、微細パターンエッチングにおける局所チャージアップ現象のシミュレーションを行った。

本稿では、まずエッチング形状異常に関する実験結果を示した後、モデル及びシミュレーションの手順を説明し、計算結果とそこから導かれる結論を述べる。

2. 実験結果

MOS デバイスのゲート電極を加工するときに問題となるエッチング形状異常の実験結果を述べる。サンプルは直径 6 インチの単結晶シリコンウェーハ上に 100 nm の厚さの熱酸化膜があり、その上に 300 nm の厚さのりん (燐) をドーブした poly-Si 膜上に 1 μm 厚のパターニングしたフォトリソトマスクが形成されたものである。マスクは 0.5 ~ 10 μm 幅のラインアンドスペースパターンである。

サンプルは拡散磁場型の ECR (Electron Cyclotron Resonance: 電子サイクロトロン共鳴) 塩素プラズマでエッチングした。図 1 に、典型的なエッチング形状異常の SEM (Scanning Electron Microscope) 写真を示す。ラインアンドスペースパターンの最外ラインの内側に、poly-Si と下地酸化膜の界面に沿って、ノッチと呼ばれるくさび (楔) 型のサイドエッチが見られる。ノッチング現象は次のような特徴を持っている。

- (1) ノッチング現象は、下地酸化膜がプラズマにさらされるオーバエッチ時にのみ見られる。
- (2) ノッチの深さは、オーバエッチの時間の増加とともに大きくなる。
- (3) ノッチの深さは、ラインアンドスペースパターンの幅が

小さくなるに従って大きくなる。言い換えると、パターン幅を W 、高さを H とするとき、アスペクト比 H/W が大きくなるに従ってノッチ深さが大きくなる。

(4) ノッチ深さは、図2に示すように、圧力が低くなるにつれて小さくなる。

ところで、プラズマ中の電子及びイオンは、磁力線に沿って共鳴領域からウェーハに向かってドリフトしていることが分かっている⁽⁵⁾⁽⁶⁾。イオンのドリフト速度は図に示すように、0.04 Pa 程度まではほぼ 10 eV 一定であるが、それ以下の圧力では 0.032 Pa で 20 eV 程度まで上昇する。図から分かるように、ノッチ深さとイオンドリフト速度は同じような傾向で変化している。

3. 微細パターン上の局所チャージアップ現象のモデル

図3に、エッチング中のウェーハ前面のシース領域のモデルを示す。バルクプラズマは均一であると仮定し、電子の

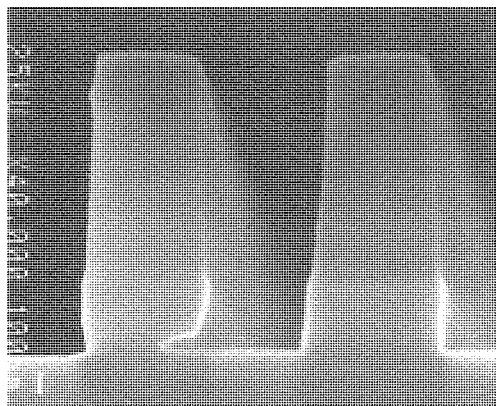
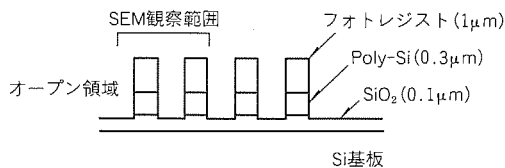


図1. 典型的なノッチング現象

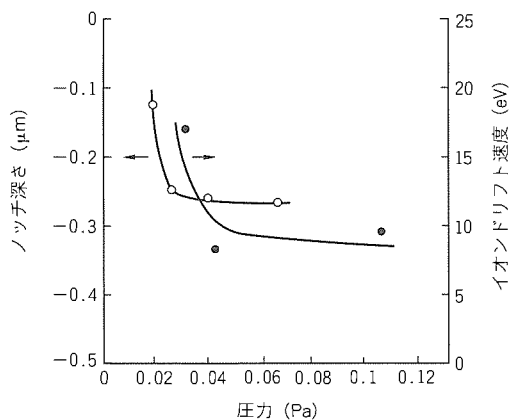


図2. ノッチ深さとイオンドリフト速度の圧力依存性

速度分布関数は電子温度 T_e でドリフト速度 U を持つドリフトした Maxwell 分布であるとする。一方、イオン温度は 0 とし、同様に速度 U でウェーハに向かってドリフトしているとする。電子とイオンはシース領域でそれぞれ減速及び加速され、パターンングされた表面に入射する。エッチング中の圧力は 1 Pa 以下であるため、電子及びイオンの平均自由行程がシース厚さと比べて十分大きく、シース領域内では衝突がないと考えることができる。

ここで、サブミクロンの微細パターンングしたフォトリジストマスクされたゲート酸化膜上の poly-Si 膜を、均一プラズマでエッチングしている状況を考える。さらに、形状異常が発生したりゲート酸化膜中に大きな電場が発生するオーバエッチステップを考える。このとき、フォトリジストや酸化膜は抵抗率が大きいので、その表面に入射した電子やイオンは入射位置にとどまると考えられる。一方、poly-Si や Si 基板は導電性であるから、poly-Si の側壁部分に入射した荷電粒子は、poly-Si 部分が等電位になるように再分布する。

また、酸化膜表面上に電荷が蓄積すると、酸化膜と Si 基板との界面に、静電誘導で逆極性の電荷が誘起される。さらに、ゲート酸化膜中の電場が大きくなると Fowler-Nordheim トンネリングによってリーク電流が流れ、電荷が移動する。このように、微細パターン上の電荷分布が決まると、その電荷による局所電場で電子とイオンの軌道が曲げられる。以上の過程を繰り返した結果、定常状態に落ち着く。

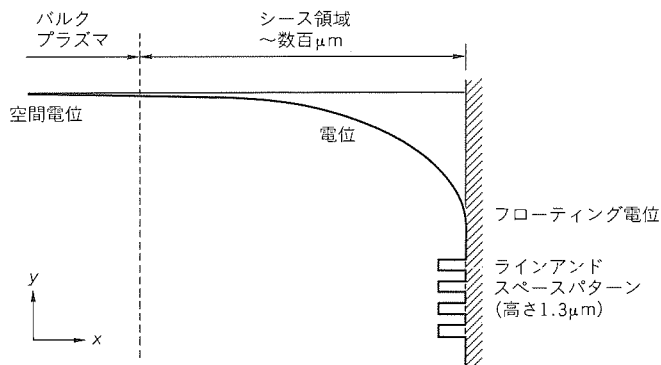


図3. エッチング中のウェーハ前面のシース領域のモデル (上)とバルクプラズマ中の電子速度分布 ($V_x > 0$) (下)

4. シミュレーションの流れ

ウェーハ前面のシース領域を、図3に示すように、二つに分けて考える。一つは微細パターン上の局所電場によって影響を受けない領域Aであり、もう一つは局所電場の影響を受ける領域Bである。シース内では衝突がないと考えているから、電子の速度分布関数 f_e は次の Vlasov 方程式の解である。

$$\frac{\partial f_e}{\partial x} v_x + \frac{\partial f_e}{\partial y} v_y + \frac{\partial f_e}{\partial v_x} \left(\frac{e}{m} \frac{\partial \phi}{\partial x} \right) + \frac{\partial f_e}{\partial v_y} \left(\frac{e}{m} \frac{\partial \phi}{\partial y} \right) = 0 \quad \dots\dots\dots (1)$$

ここで、 m 及び e はそれぞれ電子の質量、電荷である。また、 x, y はウェーハに垂直及び平行な位置座標、 ϕ は位置 (x, y) での電位を示す。そして、 v_x, v_y は x, y 方向の速度を示す。

領域 A では局所電場の影響を受けないから、 $\partial \phi / \partial y = 0$ としてよい。すると、前節で述べた境界条件を満たす式(1)の解は、解析的に求めることができる。

$$f_e = \frac{2m}{\pi k T_e} \frac{\exp \left[-\frac{m}{2k T_e} \left(\left(\sqrt{v_x^2 - \frac{2e\phi}{m}} - U \right)^2 + v_y^2 \right) \right] \theta \left(v_x + \sqrt{\frac{2e(\phi - \phi_w)}{m}} \right)}{1 + \operatorname{erf} \left(\sqrt{\frac{-e\phi_w}{k T_e}} - U \sqrt{\frac{m}{2k T_e}} \right) + 2 \operatorname{erf} \left(U \sqrt{\frac{m}{2k T_e}} \right)} \quad \dots\dots\dots (2)$$

また、イオンの速度 u_i は、エネルギー保存の法則から次のように求められる。

$$u_i = \sqrt{U^2 - \frac{2e\phi}{M}} \quad \dots\dots\dots (3)$$

ここで、 k は Boltzmann 定数、 ϕ_w はウェーハ表面の微細パターンを無視したときの表面電位、 M はイオン質量であり、イオン種としては Cl_2^+ を考えた。さらに、 $\theta(x)$ 及び $\operatorname{erf}(x)$ はそれぞれ階段関数及び誤差関数を表す。

$$\theta(x) = \begin{cases} 0, & (x < 0) \\ 1, & (x \geq 0) \end{cases} \quad \dots\dots\dots (4)$$

$$\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x \exp(-t^2) dt \quad \dots\dots\dots (5)$$

領域 A, B の境界 P での電場も同様に、ウェーハ表面の微細構造を無視することによって求めることができる。

図4に、シミュレーションの計算手順を示す。領域 B での電荷分布・電子・イオンの軌道・電場分布を求めるために、モンテカルロ法に基づく粒子シミュレーションを行う。領域 A, B の境界 P における電子及びイオンの速度分布は、上述の手順で求めたものを用いる。電子及びイオンの軌道は、運動方程式を解いて求める。微細パターン上に入射した電子とイオン数は各時間ステップで各小セグメントのどこに入射したかカウントされる。微細パターン上の表面電荷分布は、ウェーハに入射する荷電粒子のフラックス密度と、シミュレーションから求められた各セグメントへの入射数から計算さ

れる。

次に、領域 B での電場分布を求める。ここで、以下に述べる境界条件を考慮する。

- (1) 境界 P における電場は、前述の手順で得られたシース電場の値を用いる。
- (2) フォトリソト及び酸化膜は、比誘電率がそれぞれ 2.57, 3.84 の誘電体として扱う。
- (3) フォトリソトマスク上の電荷分布を考慮する。電荷分布はモンテカルロ法によって求められたものを用いる。
- (4) Poly-Si 及び Si 基板は、完全導体として扱う。
- (5) Poly-Si ラインは電気的にフローティングであり、側壁部分に入射した電荷は、その表面で電位が一定になるように再分布する。

領域 B での電場は、以上のような境界条件を考慮した境界要素法⁽⁷⁾⁽⁸⁾を用いて計算した。

また、酸化膜表面又は酸化膜/Si 基板界面の電子は、酸化膜中の電場強度に応じて Fowler-Nordheim トンネリングによって酸化膜を通してリークする。以上のように、求められた電場分布の下で電子とイオンの軌道を計算し、定常状態になるまで以上の手順を繰り返す。

5. 計算結果

5.1 イオン軌道

図5に、シミュレーションの結果で得られた微細パターン付近のイオン軌道を示す。パターン幅は $0.4 \mu\text{m}$ 、高さ $1.3 \mu\text{m}$ (フォトリソト $1 \mu\text{m}$, poly-Si $0.3 \mu\text{m}$) のパターンを用い、プラズマパラメータは電子温度 5eV 、電子密度

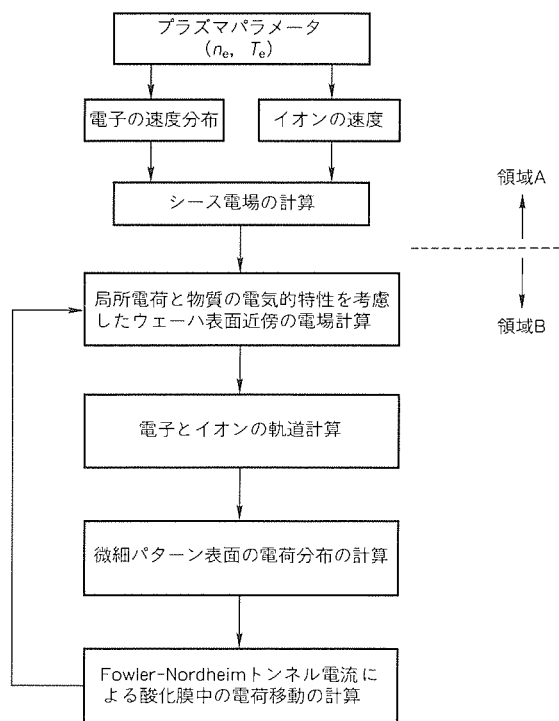
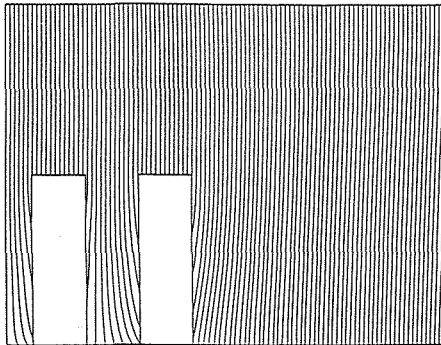


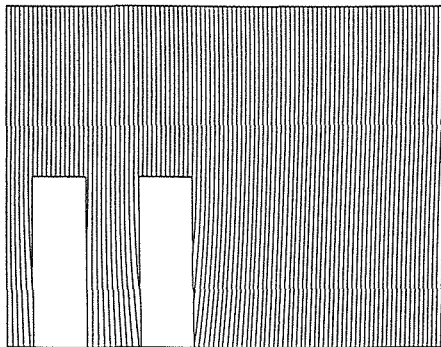
図4. シミュレーション計算手順

$5 \times 10^{10} \text{ cm}^{-3}$ を仮定した。図の(a)はドリフト速度 $U=0 \text{ eV}$ の場合、図の(b)は $U=40 \text{ eV}$ の場合を示している。これらの図から分かるように、 $U=0 \text{ eV}$ の場合は、ラインアンドスペースパターンの最外ラインの内側で、イオン軌道が大きく曲がっていることが分かる。これに対して、 $U=40 \text{ eV}$ の場合は、イオンの入射角度が垂直に近くなっていることが分かる。

図6は、イオンのドリフト速度を変えたときの、パターンの最外ラインの両側 A 及び B でのイオンの平均入射角度を示している。パターンの最外ラインの内側 A 点でのイオ



(a) $U=0 \text{ eV}$



(b) $U=40 \text{ eV}$

図5. 微細パターン近傍のイオン軌道

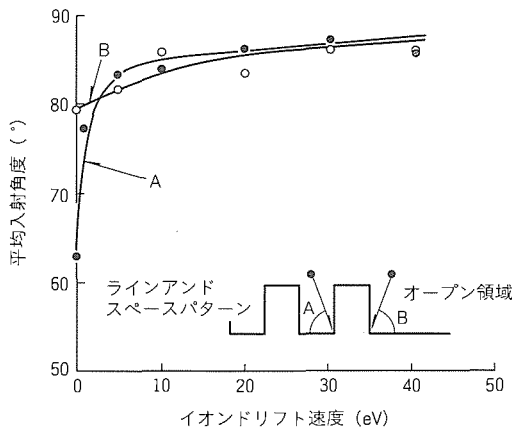


図6. パターンの最外ライン両側におけるイオンの平均入射角度のイオンドリフト速度依存性

ンの平均入射角度は、ドリフト速度 ~ 0 では、最外ラインの外側 B 点での平均入射角度に比べて小さいことが分かる。さらに、ドリフト速度が大きくなるに伴って、パターンの最外ラインの両側 A, B 点での平均入射角度が大きくなり、垂直入射に近くなる。イオンが垂直入射することによってエッチング形状は異方性となるから、ドリフト速度を大きくすることによってエッチング形状が改善されることが分かる。

5.2 ゲート酸化膜中の電場強度

図7は、5 nm厚さのゲート酸化膜中に誘起される最大電場を、電子温度の関数として示したものである。ここで、ラインアンドスペースパターンのパターン幅を $0.1 \mu\text{m}$ 、高さを $0.6 \mu\text{m}$ (フォトレジスト $0.5 \mu\text{m}$, poly-Si $0.1 \mu\text{m}$) とし、電子密度 $5 \times 10^{10} \text{ cm}^{-3}$ を仮定した。ゲート酸化膜中の最大電場は最外ラインの外側下で発生した。最大電場はプラズマの電子温度の増加とともに大きくなること分かる。

同様に、電子温度 5 eV に固定して電子密度を変化させたときの、5 nm厚さのゲート酸化膜中に誘起される最大電場を図8に示す。パターン寸法は上述のものと同じである。ゲート酸化膜中の最大電場は、電子密度の増加とともに大き

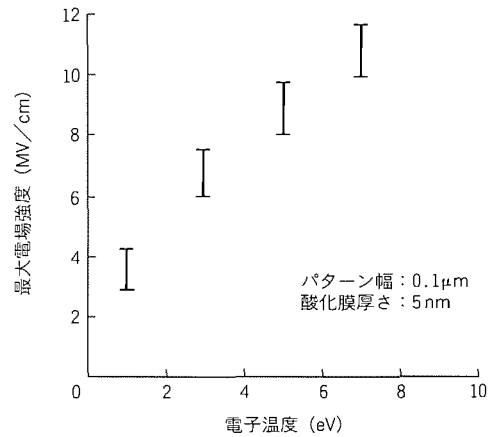


図7. ゲート酸化膜中に誘起される最大電場強度のプラズマ電子温度依存性

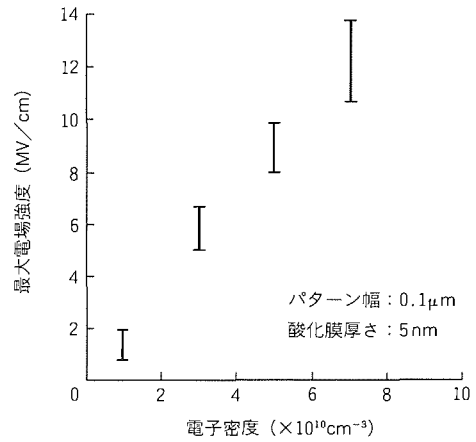


図8. ゲート酸化膜中に誘起される最大電場強度のプラズマ電子密度依存性

くなることが分かった。

以上の結果から、プラズマ中の電子温度が7 eV以上、電子密度が $6 \times 10^{10} \text{ cm}^{-3}$ 以上のときには、5 nmの厚さの酸化膜中に10 MV/cm以上の電場が誘起されることが分かった。また、このときFowler-Nordheimトンネリングによって、ゲート酸化膜を通して 0.1 mA/cm^2 以上の電流が流れることが分かった。高電子温度、高電子密度のプラズマを用いてゲート電極の加工を行うと薄膜酸化膜に大きな電場が誘起され、MOSデバイスにダメージを与える可能性がある。したがって、ウェーハ近傍のプラズマ電子温度及び電子密度を少なくとも上記の値以下に制御することによって、ゲート酸化膜中のダメージを抑制できる可能性がある。

6. む す び

サブミクロンレベルの微細パターンをプラズマを用いて加工する場合、ウェーハ表面に入射する電子とイオンの角度分布が異なるため、微細な凹凸を持つウェーハ表面で局所的なチャージアップが生じ、加工形状異常やダメージが生じることがある。

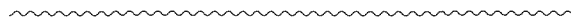
本稿では、ウェーハ表面の電気的特性を考慮した局所チャージアップ現象のシミュレーションを行うことによって、表面上に入射する荷電粒子の挙動、加工形状への影響、及びゲート酸化膜中に誘起される電場を検討し、これらの問題の解決法について述べた。

参 考 文 献

(1) 森本 孝, 高橋千春, 松尾誠太郎: ECRプラズマエッ

チングにおける微細L&Sパタンのエッチング形状, 1990年秋期応物予稿集, No.2, 465 (1990)

- (2) 豊田正人, 関谷秀徳, 江島泰蔵, 藤原伸夫, 大寺廣樹, 大森達夫: ECRプラズマにおけるエッチング形状の異常とその改善方法, 1992年春期応物予稿集, No.2, 528 (1992)
- (3) 大森達夫, 藤原伸夫, 豊田正人, 江島泰蔵: ECRプラズマにおけるエッチング形状の異常とその改善方法, Semiconductor World, No.12, 94~102 (1992)
- (4) Hashimoto, K.: Charge Damage caused by Electron Shading Effect, Jpn. J. Appl. Phys., **33**, 6013~6018 (1994)
- (5) Matsuo, S., Kiuchi, K.: Low Temperature Chemical Vapor Deposition Method utilizing an Electron Cyclotron Resonance Plasma, Jpn. J. Appl. Phys., **22**, L210~212 (1983)
- (6) Oomori, T., Tuda, M., Ootera, H., Ono, K.: Electrical and Optical Measurements of Electron Cyclotron Resonance Discharges in Cl_2 and Ar, J. Vac. Sci & Technol., **A9**, 722~726 (1991)
- (7) 神谷紀生: 有限要素法と境界要素法, サイエンス社 (1982)
- (8) 大野 豊, 磯田和男: 数値計算ハンドブック, オーム社 (1990)



ICパッケージの電気特性シミュレーション技術

歳測和彦*
関 博司*
中川 治**

1. ま え が き

ASIC (Application Specific IC) に代表されるように、半導体デバイスの動作速度は、年々高速化している。また、高集積化・多I/O化にも目を見張るものがある。これらに伴い、システム構成によっては、ICパッケージ(以下“パッケージ”という。)の電気特性に起因するノイズが発生することがある。したがって、パッケージとしては多ピンかつ優れた電気特性を持つパッケージ開発が必要不可欠となっている⁽¹⁾。

一方、システム設計においては、ノイズの問題に対し、ボードだけでなくパッケージも含めた過渡解析によるSPICEシミュレーション等によって動作検証を行うことが特に重要になってきている。そのために、SPICEシミュレーション等に適用できるパッケージの電気特性モデル(以下“パッケージモデル”という。)が必要不可欠になっている。そこで我々は、パッケージをモデリングするために、高精度のシミュレーション技術及び測定技術を取り入れたパッケージモデリング技術を開発した。

本稿では、SPICEシミュレーションが可能なパッケージモデルについて、電磁界シミュレーションによるパッケージの電気特性モデリング技術、及び測定技術を含めた精度検証手法を述べる。

2. パッケージモデリング手法の概要

2.1 電磁界解析による電気的定数の抽出手法

図1に、パッケージを電気的にモデリングするためのモデリングフローを示す。モデリングフローは、シミュレーション

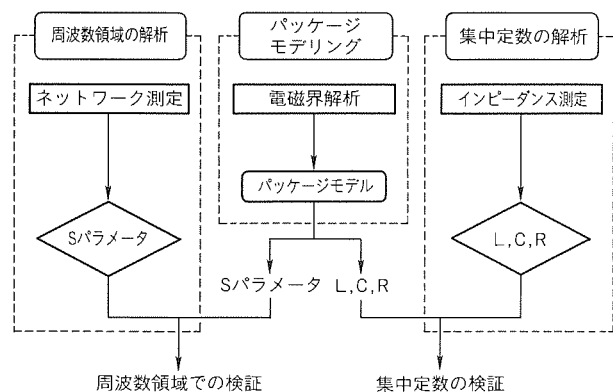


図1. パッケージのモデリングフロー

結果と測定結果を比較することにより、集中定数の検証及び周波数応答の検証が可能となるように構成されている⁽²⁾⁽³⁾。

パッケージの電気特性のモデリングには、二次元及び三次元の電磁界解析シミュレータを使用する。パッケージは、形状や材質が特徴的な種々な部分(例えば、ワイヤ、インナリード、アウトリード等)から構成されている。パッケージの各部分についてその物理形状にできるだけ忠実に境界要素法又は有限要素法を用いて電磁界解析することにより、各部分についての電気的定数(L,C,R)を導出する。各部分で求めた電気的定数を連結することにより、パッケージの電気特性モデルすなわちパッケージモデルは、いったん完成する。

パッケージモデルの簡素化・高精度化に対応してパッケージモデルの段数が決定されるが、詳細は4章で述べる。

2.2 インピーダンス測定による集中定数での検証手法

一方、インピーダンスアナライザを用いて測定することにより、パッケージの電気的定数(L,C,R)を抽出することができる。電磁界解析で求められたシミュレーション結果とインピーダンスアナライザによる測定結果を比較することにより、集中定数的なパッケージモデルの検証ができる。

一例として、評価用パッケージをサンプルとした集中定数的なパッケージモデルの妥当性を検証した結果について述べる。

図2は、評価用TEG(Test Element Group)パッケージのボディ内のインナリードの形状を示す。評価用TEGパッケージは、パッケージの基本的な電気特性値を抽出することを目的として設計され、リード幅の異なる数種類の単純なパターンで構成されている。その電気特性値を、電磁界解析

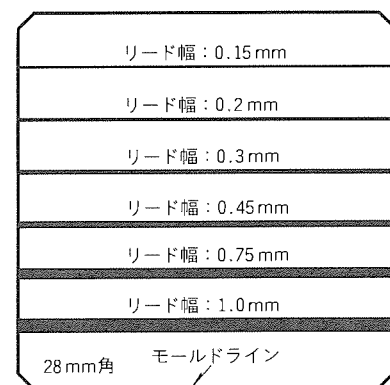


図2. TEGパッケージのボディ内のインナリード形状

によってそれぞれシミュレーションした。また、この TEG パッケージを 2 種類のリード材 (42% Ni-Fe 合金 (42 アロイ), Cu) で試作し、インピーダンスアナライザを用いた測定によってその電気特性値の妥当性を確認した。

図 3 に、リード材が Cu の場合の自己インダクタンスのシミュレーション結果と測定結果を示す。種々のリード幅において、シミュレーション値と測定値はよく一致していることが分かる。一般的に、パッケージリード等の導体内の電流は、周波数の増加とともに導体表面に集中する。これは、いわゆる表皮効果によるものである。42 アロイは、材質的には磁性材であり、非磁性の Cu に比べて自己インダクタンスは一般的に大きいといわれている。

図 4 に、42 アロイリードと Cu リードについて、自己インダクタンスの周波数依存性を示す。材質の違いによるインダクタンスの差については、低い周波数領域では材質の差がみられるが、高い周波数領域ではほとんど差が見られない。図中にシミュレーション値と測定値について示したが、両者は 1 GHz までよく一致する。

図 5 に、抵抗値の周波数依存性について示す。42 アロイリードと Cu リードにおいて、周波数が増加するとともに抵抗値は増加する。また、各々の測定結果とシミュレーション結果はよく一致した。

図 4、図 5 に見られる周波数依存性は、いわゆる表皮効果

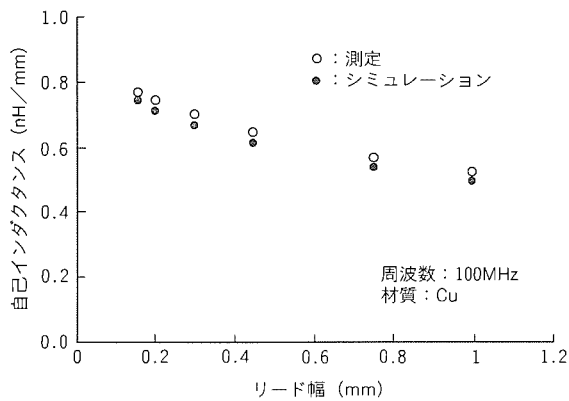


図 3. 自己インダクタンスのリード幅依存性⁽⁴⁾

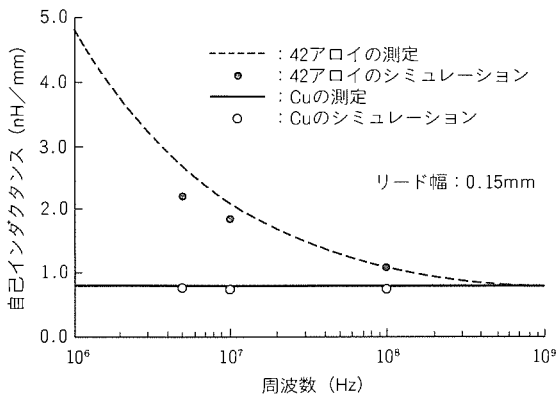


図 4. 自己インダクタンスの周波数依存性

の影響と考えられる。電磁界解析によるシミュレーションでも、表皮効果の L,R 値への影響が妥当と確認できる。つまり、パッケージモデルの妥当性について表皮効果も反映した L,C,R 値を用いて検証を行い、その妥当性を確認した。

このように、パッケージの電気特性評価に対して、電磁界解析によるシミュレーションだけに頼ることなく、インピーダンスアナライザを用いた測定により、電気特性値の妥当性を確認しながらパッケージモデルを導出した。

2.3 ネットワーク測定による周波数領域での検証手法

集中定数的に検証されたパッケージモデルについて、更に周波数領域での妥当性を確認するため、S (Scattering) パラメータのシミュレーションを行う。パッケージモデルの精度と SPICE 等による動作検証シミュレーションの時間短縮を考慮し、パッケージモデルの分割数を適切に選定して、S パラメータのシミュレーションを行う。

一方、ネットワークアナライザを用いた測定により、周波数領域での S パラメータが得られる。これら S パラメータのシミュレーション値と測定値を比較することにより、周波数領域でのパッケージモデルの妥当性の検証ができる。このように、集中定数的な検証及び周波数領域での検証によって、高い周波数領域まで検証された優れたパッケージモデルとすることができる。

このパッケージモデルはチップ設計・ボード設計の各段階での動作検証シミュレーションの使用に十分耐え、ユーザは試作前の段階で問題点を抽出できる。一方、パッケージの設計においても、精度のあるシミュレーションによって電気特性面からパッケージの構造を最適化でき、優れたパッケージを創造することができる。

3. パッケージの電磁界シミュレーション

多ピンかつ優れた電気特性を持つキャビティ型プラスチック BGA (Ball Grid Array) を例として、その電気的モデリングについて述べる。図 6 に BGA の斜視図を、図 7 に断面構造を示す。

この BGA はキャビティダウンタイプのパッケージであ

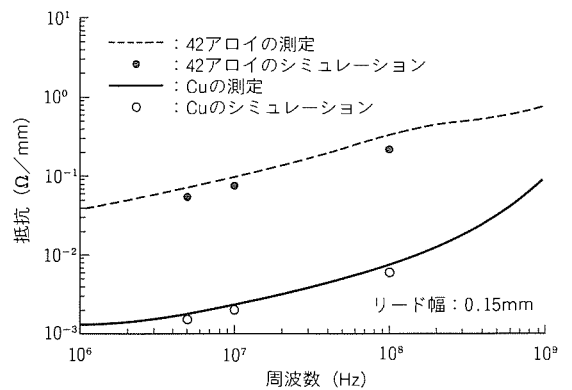


図 5. 抵抗値の周波数依存性⁽⁴⁾

り、キャビティ内に IC チップがダイボンドされ、ワイヤボンドされ、ふた(蓋)付け封止されたものである。また、パッケージ構造の電気的特長としては、多層配線基板が用いられ、電気特性面の配慮から電源プレーン層とグラウンドプレーン層を持っており、電氣的に強化している。信号線はマイクロストリップ構造又はストリップ構造になっており、スルーホール及びボールを介して外部に接続される。

パッケージの電氣的なモデリングに際しては、パッケージを特徴的な部位に分割し、その部位ごとに電磁界解析を行う。例えば、ワイヤ部・パッド部・トレース部等の各断面で電磁界解析を行うことができる。各断面の電磁界解析は、以下のステップで行う。

- ① 物理形状モデルの作成
- ② 材料定数の設定
- ③ 境界条件の定義
- ④ 静電界での電磁界解析

これにより、各部位の断面についての単位長さ当たりの電氣的定数を抽出することができる。これら電氣的定数を長さ換算し、連結することにより、図8のような信号線とグラウンドのSPICEシミュレーションに使用できるパッケージモデル(図はイメージを表す。)が完成する。

図9に、500ピン級キャビティ型プラスチックBGAの電気特性値について示す。図中の値は上に述べたシミュレーションによって得たものであるが、次項で述べるように、測定によっても検証されたものである。

このパッケージは、パッケージの内部構造からも明らかのように低インダクタンス設計されており、高速動作によるノイズ(例えば、グラウンドバウンス、クロストーク)の低減が期待される。

4. パッケージモデルの妥当性検証

4.1 集中定数的パッケージモデルの検証

電磁界解析を使ったシミュレーションによって求められた電気特性値が妥当であるか否かを確認するため、インピーダンスアナライザを用いて測定を行う。ここで電気特性値は、自己インダクタンス(L_s)、相互インダクタンス(L_m)、自己キャパシタンス(C_o)、相互キャパシタンス(C_m)、抵抗(R_s)のことである。

図10に、BGAの各電気特性値の測定法を示す。測定した値を図中の回路モデルの式に従って計算することにより、自己インダクタンスだけでなく、相互インダクタンスをも含んだ電気特性値が導かれる。

図11に、図10の方法を用いたあるBGA配線の測定結果、及びシミュレーション結果を示す。各電気特性値はよく一致していることが分かる。ただし、抵抗値については測定値がシミュレーションに比べてやや大きいのが、測定系に銀ペースト(導電性接着剤)を含むためと考える。これにより、集中定数的な電気特性モデルの妥当性が確認できる。

4.2 周波数領域でのパッケージモデルの検証

周波数領域でのパッケージモデルの検証を行うために、ネ

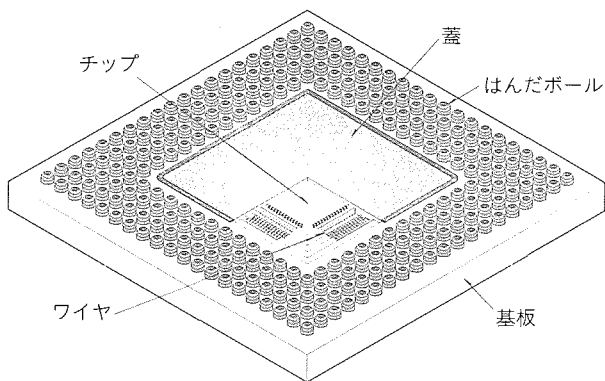


図6. BGAの斜視図

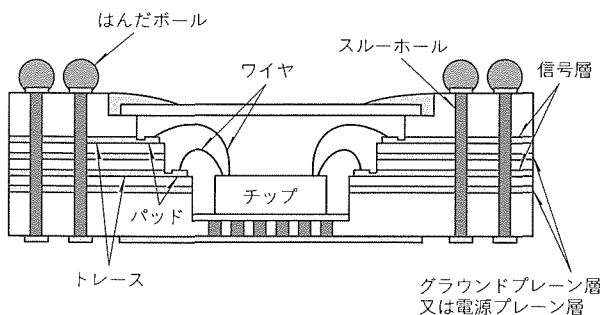


図7. BGAの断面構造

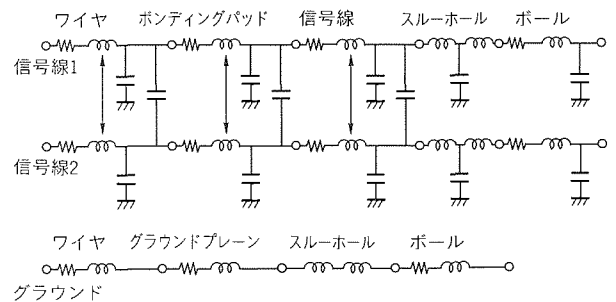


図8. BGAパッケージモデル(イメージ図)

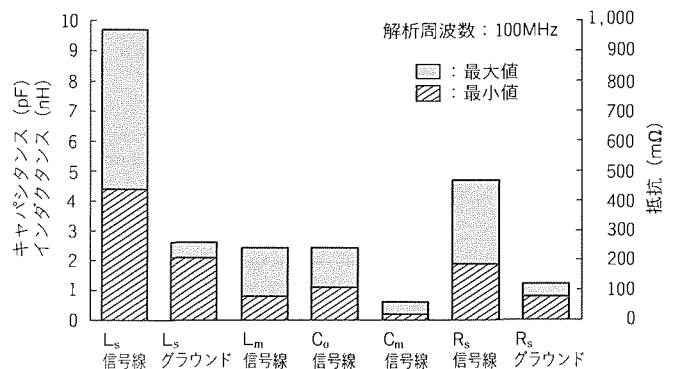


図9. 500ピン級BGAの電気特性値⁽⁴⁾

ネットワークアナライザによる S パラメータの測定を行う。測定を容易にするために、キャビティ内に特性インピーダンスが 50Ω のセラミックスルー基板を装着し、スルーホール基板の両端を各々パッケージのボンディングパッドにワイヤボンダすることにより、はんだボールからパッケージ内を経由してもう一方のはんだボールまでの経路のフル 2 ポート測

定ができるようなサンプルを製作した。さらに、プロービングするための測定用の治具についても製作した。

図 12 に測定用治具基板を示す。測定用治具基板は、DUT (Device Under Test) である BGA を実装するためのパターン (裏面) と、高周波プローブヘッドでプロービングするためのパターン (表面) がある両面基板で、プロービングパターンは二つの突起部を持っており、内側が信号線用のパターンであり、外側がグラウンドである。内側の信号線用のパターンは、裏面の実装用パターンと埋込み式スルーホールを介して、厚さ 0.635 mm で、電気的に接続されている。パターンはすべて Au メッキが施されている。

この治具基板上に DUT を実装し、治具基板にプロービングすることにより、フル 2 ポートの S パラメータの測定を行った。測定した S パラメータは治具基板の特性を含んだ測定系全体のものであるため、治具基板のみの S パラメータの測定を行い、演算によって治具基板の特性を引き去った。したがって、測定によって得られた S パラメータは、一方のはんだボールからスルーホール、信号線、ボンディングパッド、ワイヤ、セラミックスルー基板を介して、もう一方のワイヤ、ボンディングパッド、信号線、スルーホール、はんだボールまでの特性値である。

周波数領域での S パラメータのシミュレーションは、電磁界解析結果から、以下の 3 タイプの電気特性モデルで行った。

(1) 1 段モデル

ボール、スルーホール、信号線、ボンディングパッド、ワイヤを一つにまとめたパッケージモデル

(2) 5 段モデル

ボール、スルーホール、信号線、ボン

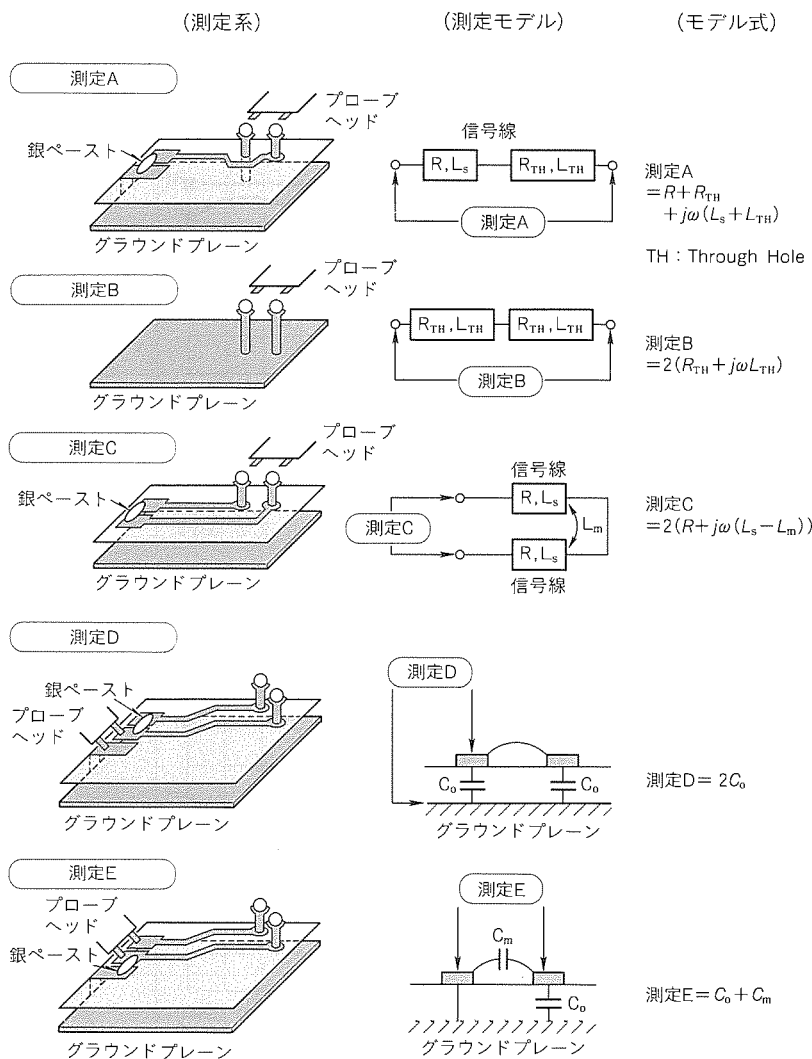


図10. BGAの電気特性値の測定法

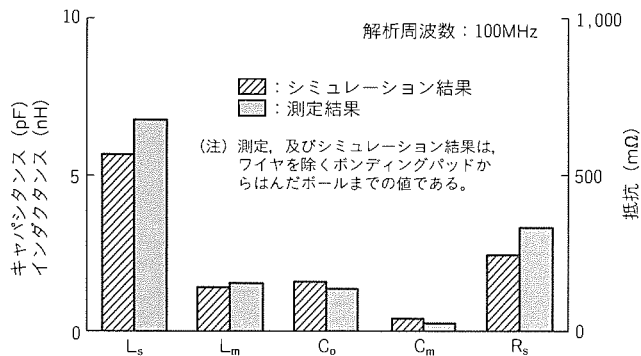


図11. インピーダンスアナライザによる測定結果と電磁界解析結果の比較

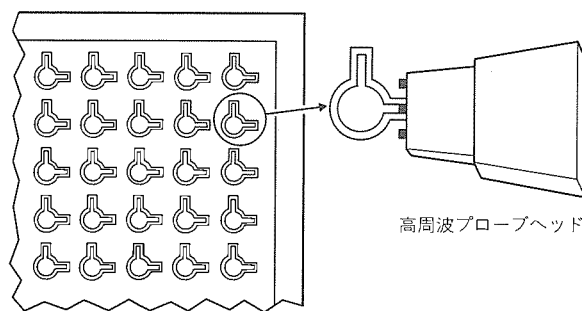


図12. 測定用治具基板

ディングパッド, ワイヤの五つに分割したパッケージモデル

(3) 17段モデル

5段モデルから更にワイヤ部を4段, 信号線を10段に分割したパッケージモデル

1段モデルはすべての部位をまとめた最も単純で簡素なモデルであり, 5段モデルはパッケージの構成又は構造から特徴的な部位に分割したモデルであり, 17段モデルは電気長

が短くなるように物理的に長い部分を更に細かく分割したモデルである。

図13に, 各モデルのSパラメータのシミュレーション結果とネットワークアナライザの測定結果の比較を示す。左図は, 入射波に対する反射波(S11)の結果をスミスチャート上に表示したものであり, 各周波数での反射係数とインピーダンスが確認できる。スミスチャートの中心は, 反射量がゼロでインピーダンスが50Ωである。右図は入射波に対する

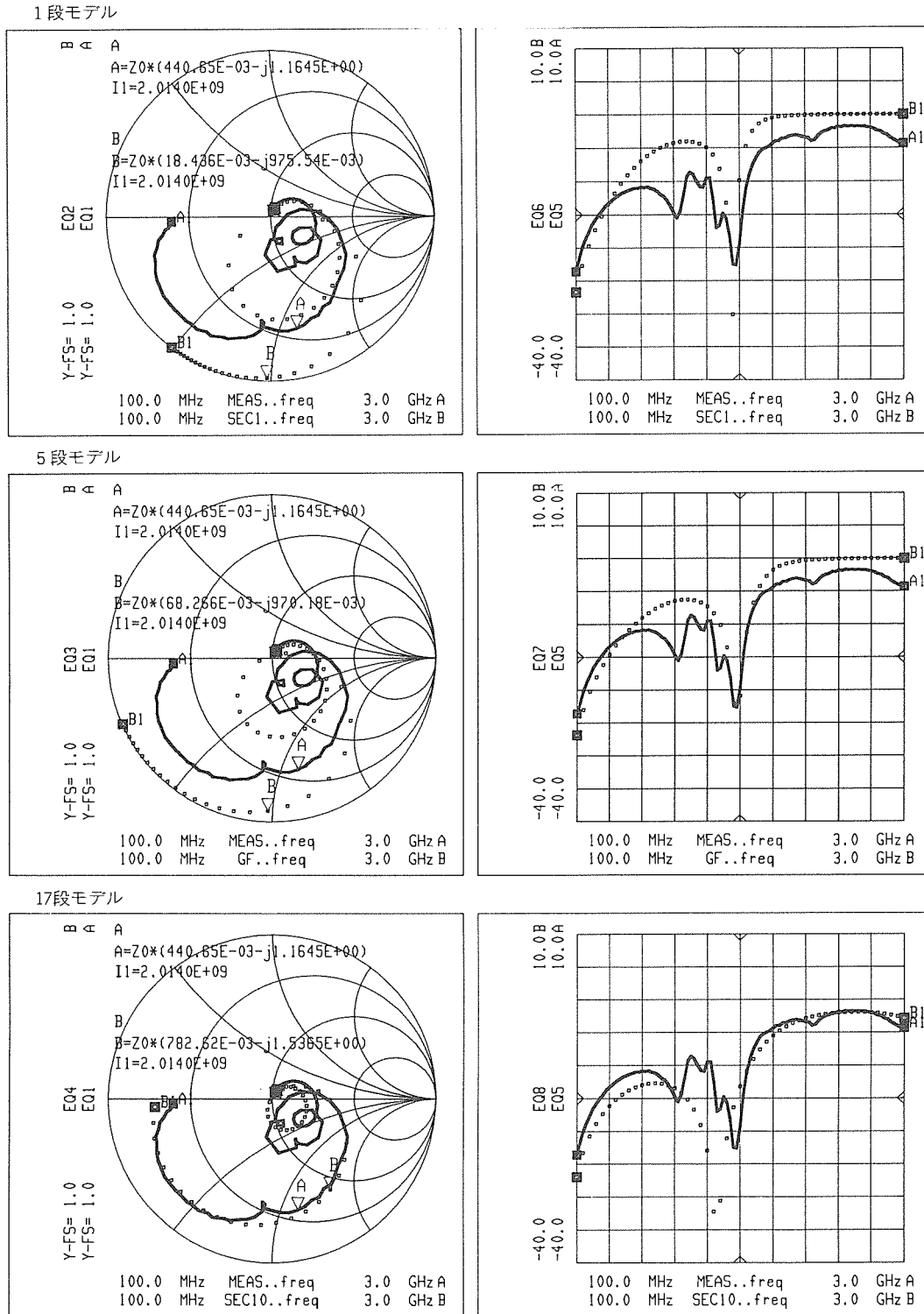


図13. Sパラメータの測定とシミュレーションの比較

反射波 (S 11) をデシベル表示したものである。図中の曲線は、実線が測定結果であり、点線がシミュレーション結果である。

この結果から、パッケージモデルの分割数を増加させることによって、パッケージモデルとしての妥当な周波数範囲が広がる事が分かる。測定値を基準として比較すると、1段モデルは低い周波数領域では一致しているが、500 MHz 辺りから差が生じ始める。5段モデルは1段モデルに比べて一致している周波数領域が広い。800 MHz 以上から差が生じ始めるが、1段モデルよりも周波数領域の精度が全体的に高い。これらに対し、17段モデルは1.1 GHz 程度から差が生じ始めるが、1段モデルや5段モデルよりも更に周波数領域の精度が向上しているのが分かる。これをデジタル IC のクロック周波数に換算すると、17段モデルは110 MHz まで妥当なモデルであると考えられる。ここでは、高周波評価結果から、単純に1けた低いクロック周波数まで妥当と考えた。

このように、パッケージモデルの分割数を適切な数に選定することにより、SPICE シミュレーションで適用可能周波数の範囲を広げることができる。例えば、パッケージモデルとして17段モデルを選定すれば、110 MHz クロック程度までの SPICE シミュレーションに十分使用可能といえよう。ただし、今回のサンプルであるスルー基板を含んだ経路の測定は、パッケージ本体のみの測定に比べて低い周波数領域に共振周波数 (1~1.5 GHz) を持っている。パッケージ本体のみの場合は、共振周波数は高周波側へシフトすると推察され、共振周波数付近でのパッケージモデルの精度の議論はあまり意味がないと考える。したがって、評価系の改善により、同一のパッケージモデルであってもより高い周波数まで使用可能となる可能性は高いと考える。

今後、評価系をよりシンプルにしたスルー基板等を含まないパッケージ本体のみの周波数領域での検討や、パッケージ

モデルへの表皮効果 (周波数依存型) の取込みを検討していく。その際のパッケージモデルの妥当性は、大きく向上することが予想される。

5. む す び

今回、電磁界シミュレーションによるパッケージの電気特性モデリング技術、及び測定技術を含めた精度検証手法を開発した。これにより、100 MHz 級クロックの動作速度を持つデバイスには十分に対応できるパッケージモデルを得ることができる。

しかし、デバイスの動作速度の向上は目覚ましいものがある。今後、300 MHz 級クロックのデバイスの動作検証に対応できるように、表皮効果を考慮した SPICE モデル等を検討し、パッケージモデルの高精度化を図っていく所存である。

電磁界シミュレーションによるパッケージの電気特性モデリング技術の開発、及び測定技術を含めた精度検証手法の開発に際して御指導いただいた関係各位に謝意を表する。

参 考 文 献

- (1) 大塚寛治：ASICパッケージの技術動向，電子情報通信学会技術研究報告，ICD 90-158，1~7 (1990)
- (2) 関 博司，蔵淵和彦，高田充幸，御福英史，鳴瀧喜一，島本晴夫：多ピン用パッケージの電気特性，第5回マイクロエレクトロニクス シンポジウム論文集，111~114 (1993)
- (3) 篠永直之，古江勝也，出口善宣，堀江克典，松井祐司，高木亮一，多田哲生：テスト技術開発を目的としたテストシミュレーション技術の開発，電子情報通信学会，25~32 (1994)
- (4) '96三菱半導体データブック ICパッケージ編 5-24~28 (1995)

半導体封止成形の流動解析

1. ま え が き

ICのパッケージは、通常、トランスファ成形によって熱硬化性のエポキシ樹脂で封止成形される。近年、電子機器の小型化・高密度化に対応するためにICの多ピン化やパッケージの薄型化が進み、封止成形の困難さが増大し、樹脂の流動による金線の変形や流動性の不足による樹脂の未充てん(墳)等の不良が発生しやすくなっている。これに対処するためには、樹脂の流動性、金型設計、成形条件の最適化が必要である。実験的にこれらの最適化を行うには実験量が膨大となるため、シミュレーションを用いた効率化が重要となる。

トランスファ成形において、ポットにセットした樹脂はプランジャによって加圧されて金型内を流動し、ランナ、ゲートを通してパッケージ部分となるキャビティを充填する(図1)。流動中の樹脂の粘度は、高温の金型からの加熱によって最初は低下するが、硬化反応が進むにつれ上昇する。この流動挙動をシミュレートするためには、樹脂の粘度が温度とずり速度に加えて反応率に依存することを考慮しなければならない。このためには、樹脂の反応速度計算を組み込んだプログラム開発とともに、樹脂の流動硬化特性の高精度な評価が必要である。

2. 樹脂の流動硬化特性

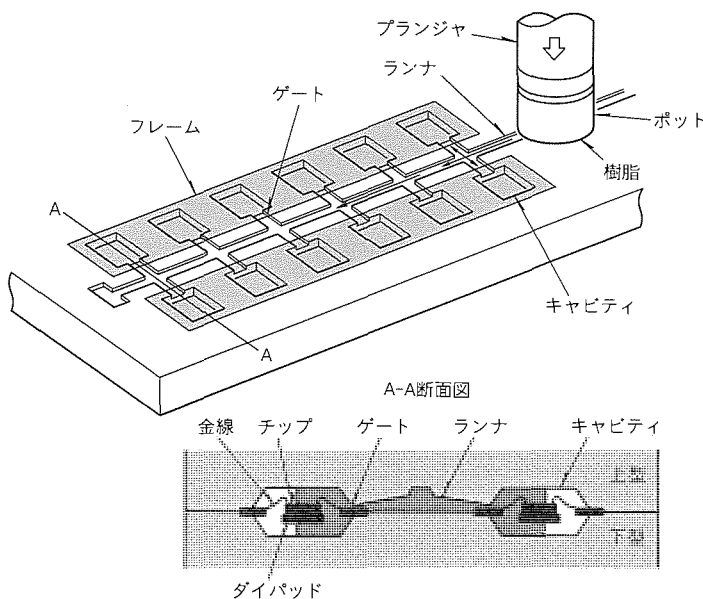


図1. ICパッケージのトランスファ成形

2.1 構成方程式

IC封止に用いられるエポキシ樹脂は熱硬化性であるため、加熱することにより溶融するが、時間とともに反応が進行して硬化する。この樹脂の反応流動性は、反応率と粘度で表すことができる。

エポキシ樹脂の反応率 α は、次の反応速度式⁽¹⁾を用いて求めることができる。

$$\frac{\partial \alpha}{\partial t} = (K_1 + K_2 \alpha^m) (1 - \alpha)^n \dots\dots\dots (1)$$

ただし、

$$K_1 = A_1 \exp\left(-\frac{E_1}{T}\right)$$

$$K_2 = A_2 \exp\left(-\frac{E_2}{T}\right)$$

ここで t は時間、 T は温度である。 E_1 と E_2 は活性化エネルギーに気体定数を掛けた定数、 A_1 、 A_2 、 m 及び n は樹脂に特有な定数である。

粘度 η は、ずり速度 $\dot{\gamma}$ 、温度 T 及び反応率 α の関数として次式で表される⁽²⁾。

$$\eta = \frac{\eta_0}{1 + \left(\frac{\eta_0 \dot{\gamma}}{\tau^*}\right)} \dots\dots\dots (2)$$

ただし、

$$\eta_0 = B \exp\left(\frac{T_b}{T}\right) \eta_R$$

$$\eta_R = \left(\frac{1}{1 - \frac{1 - \alpha_{gel}}{\alpha_{gel}} \frac{\alpha}{1 - \alpha}}\right)^\delta$$

ここで n と τ^* はずり速度依存性に関する定数、 B と T_b は温度依存性に関する定数、 α_{gel} と δ は反応率依存性に関する定数であり、樹脂によって異なる。粘度はずり速度の増大及び温度の上昇とともに低下するが、反応の進行とともに増大に転じる。ゲル化反応率 α_{gel} に到達すると粘度は無限大となり、樹脂の流動性はなくなる。

2.2 樹脂の流動硬化特性の評価

エポキシ樹脂の反応率は、昇温速度を変化させたDSC(示差走査熱量計)による発熱量の温度依存性から求める。粘度の反応率依存部と温度依存部の評価は、昇温速度を変化させた粘度計の測定値によって行う。

温度 T における反応率 α は、各昇温速度 $\partial\alpha/\partial T$ に対して式(3)を用い、全発熱量 ΔH_{all} とその温度までの発熱量 ΔH の比から計算する。求めた反応率の例を図2に示した。

$$\alpha = \frac{\Delta H}{\Delta H_{all}} \dots\dots\dots (3)$$

ただし、

$$\Delta H = \Delta H\left(T, \frac{\partial T}{\partial t}\right)$$

反応速度式(1)は

$$\frac{\partial \alpha}{\partial t} = \frac{\partial \alpha}{\partial T} \frac{\partial T}{\partial t} \dots\dots\dots (4)$$

と変換できるため、求めた α を T で数値微分して $\partial\alpha/\partial T$ を計算し(図3)、式(1)でカーブフィッティングすることによって材料定数を決定できる。

樹脂硬化時の粘度は、回転振動する平行プレートを設置した粘度計で評価した。反応率の場合と同様に、昇温速度を変化させて動的粘度の温度分散を測定した(図4)。粘度

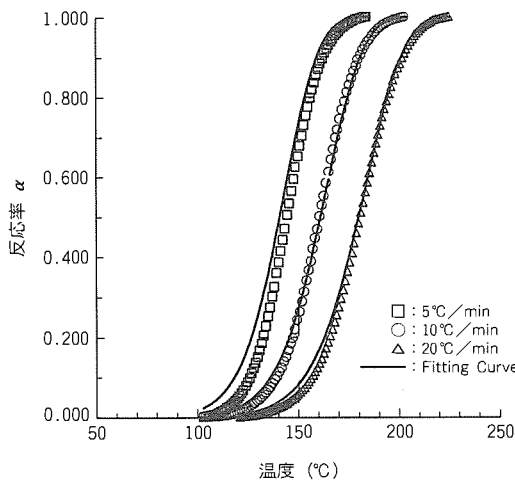


図2. 昇温速度を変化させて求めたエポキシ樹脂の反応率

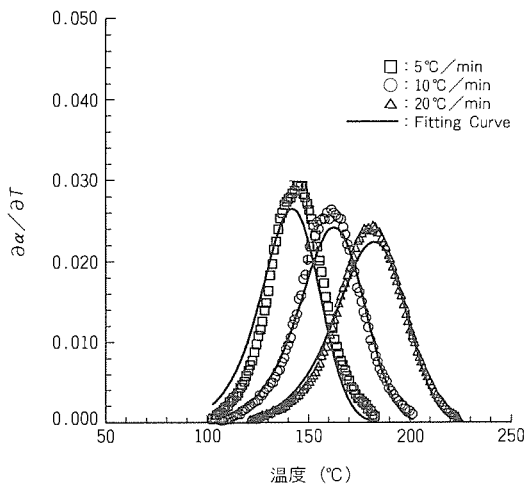


図3. エポキシ樹脂の温度に対する反応率温度変化

式の場合も式(5)から $\partial\eta/\partial T$ を計算し、カーブフィッティングすることによって温度依存性及び反応率依存性に関する材料定数を求めた。

$$\frac{\partial \eta}{\partial t} = \frac{\partial \eta}{\partial T} \frac{\partial T}{\partial t} \dots\dots\dots (5)$$

反応率の昇温速度依存性は、DSC測定の場合と同じと仮定した。ずり速度依存性は、反応が無視できる低温で、回転周波数を変化させる周波数分散測定から求めた。

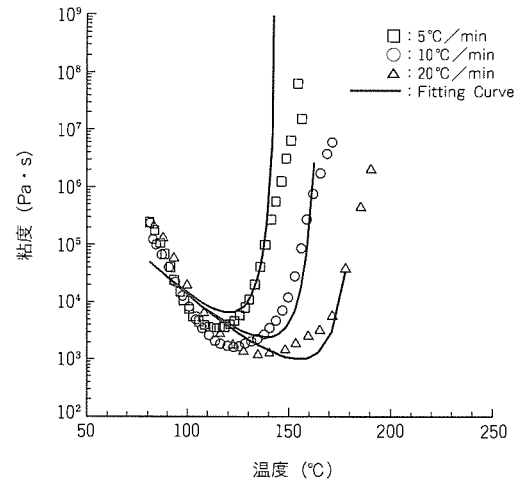


図4. 昇温速度を変化させて求めたエポキシ樹脂の粘度

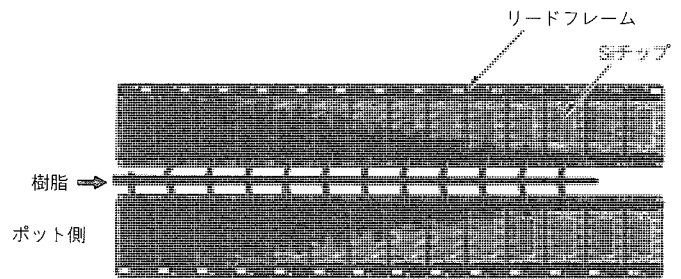


図5. 多数個取り金型によるショートショット実験結果

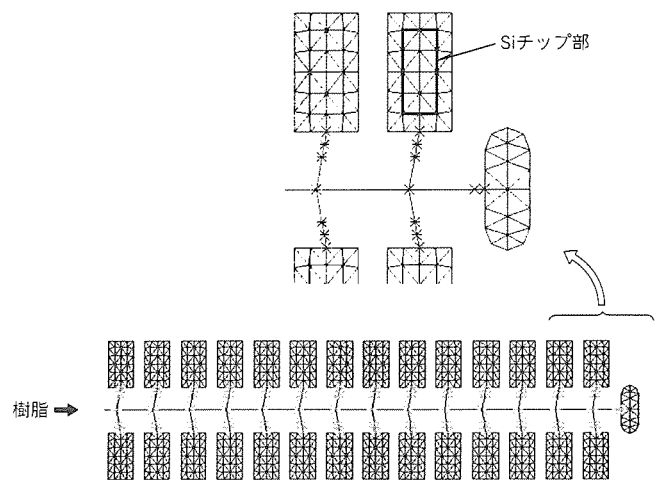


図6. 多数個取り金型の有限要素モデル

3. 樹脂流動シミュレーション

3.1 実験と流動解析の比較

実験には多数個取り金型を用い、金型の樹脂が未充填の状態 で成形を停止するショートショット法によって流動パターンを実験的に求めた。各キャビティのゲート寸法が同じであれば、ポットに近いキャビティが先に充填する(図5)。

図6は、解析に用いた有限要素モデルである。ランナとゲートは棒要素で、キャビティは三角形シェル要素で分割した。なお、シリコンチップ部を二重のシェル要素で分割することにより、チップ上下の樹脂流動を考慮する。

解析した流動パターンを図7に示した。実験と同様にポッ

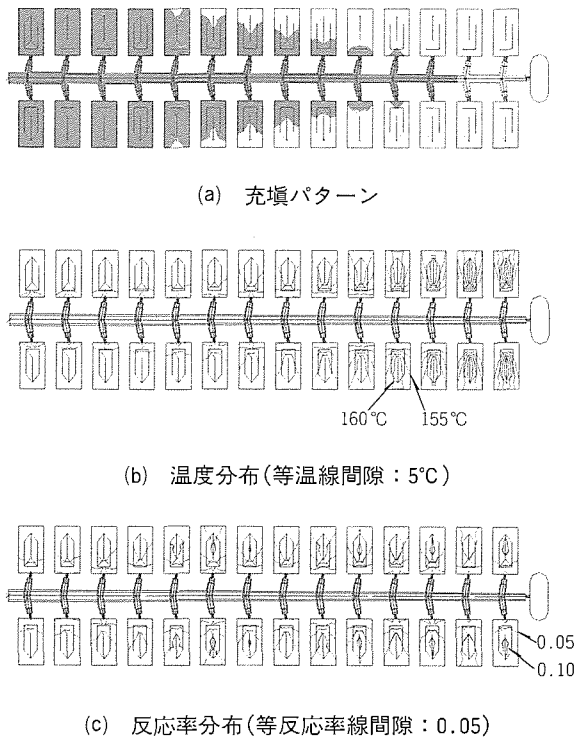


図7. 多数個取り金型の流動解析結果

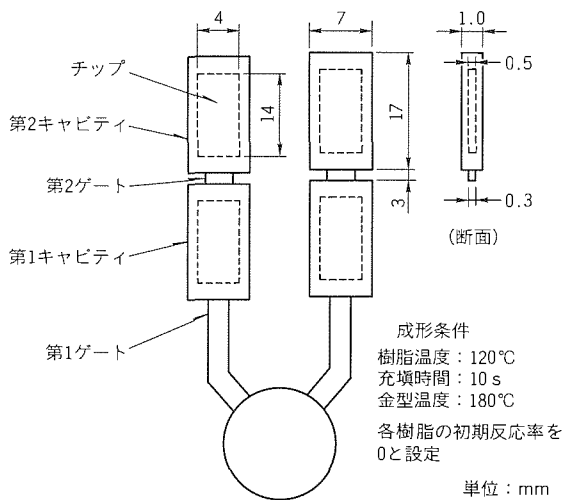


図8. ICパッケージ成形解析モデル

ト側のキャビティへの樹脂充填が早くなり、実験との良い一致が見られる。また、シリコンチップ上の薄肉部において流動が遅れることも一致している。図には充填パターンとともに、充填完了時の温度分布及び反応率分布を示した。樹脂の充填速度が増大するポット反対側のキャビティで温度分布が大きくなるが、反応は進んでいない。

3.2 樹脂の違いによる流動挙動の変化

解析に用いた形状モデルを図8に示した。マルチプランジャ方式金型の一つのポットに対してゲート、キャビティをモデル化した。この金型ではランナやゲートの引き回しに必要な面積を削減するため、二つのキャビティを第二ゲートで直接連結した。

昇温過程における樹脂粘度の温度依存性を図9に示した。樹脂2は樹脂1と比較して低温側で粘度が最も高いが、温度上昇に伴う粘度低下が大きいので、最も低い最低粘度を示す。樹脂3は低温側での粘度は最も低い、最低粘度は他に比較して大きく、硬化反応による粘度上昇の開始が最も低温側である。

図10に、樹脂1、樹脂2、樹脂3を用いて行った流動解析結果を示した。充填完了時において、どの樹脂も反応はほとんど進んでいないが、樹脂1の反応進行が早い。樹脂3を用いた場合の圧力分布は第2キャビティ内側で最低圧力を示し、この部分が最終充填位置となり、エアを外側に逃がせないためエア巻き込みの可能性が高いことが分かる。この傾向は樹脂3、樹脂1、樹脂2の順で大きく、樹脂の最低粘度に大きく依存すると考えられる。

このように、金型に対応して最適な樹脂の流動性をシミュレーションで予測することができる。

3.3 三次元流動解析

シェルモデルを用いる流動解析ではこれまで示したように近似的な結果を得ることはできるが、シリコンチップ周りの詳細な流動挙動を予測するには三次元解析が必要である。三

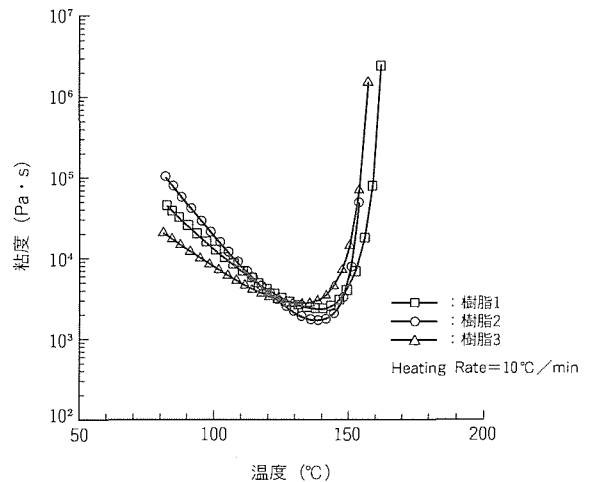


図9. 昇温過程におけるエポキシ樹脂粘度の温度依存性

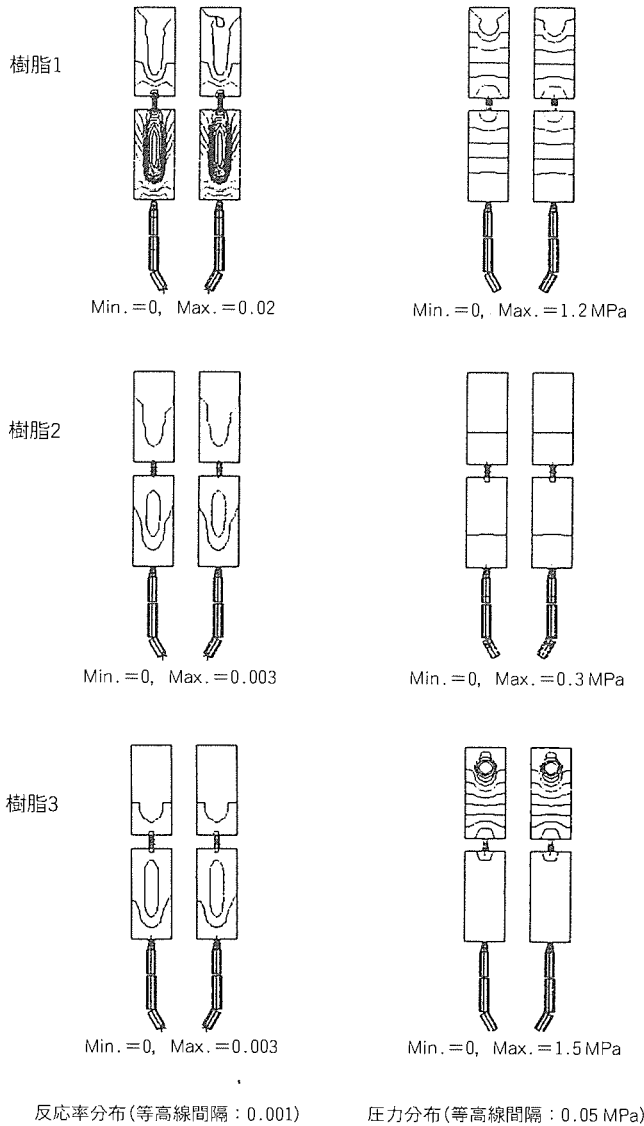


図10. 樹脂による流動挙動変化の予測

次元解析によってゲート位置やパッケージ形状の影響を詳細に把握することができる。解析モデルは6面体要素を用いて分割する。

キャビティにおける充填パターンの解析結果を図11に示した。図7のシェルモデルでの解析と同様にシリコンチップ上下の薄肉部で流動が遅れる結果を示しているが、三次元解析では更に流動先端の立体形状やキャビティ端部での流動の遅れを詳細にとらえている。三次元的に求めた流速と粘度の分布から金線に加わる力を計算し、変形の発生を予測することが可能である。

4. むすび

半導体の封止成形は、溶融したエポキシ樹脂の流動と熱移

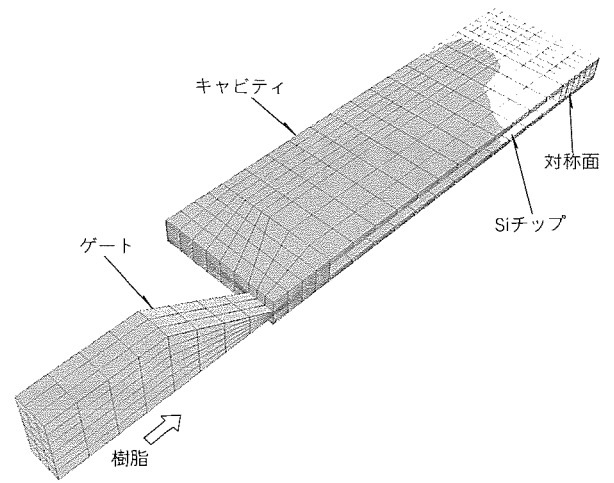


図11. 三次元解析による充填パターン

動及び反応が複合した非常に複雑な現象である。このため、流動解析を行うためにはシェルモデルを用いる等、多くの近似を行い、現象を単純化して計算量の低減を図ってきた。しかし、パッケージの小型・薄肉化の進展とともに、金型設計や樹脂流動の最適化には、より詳細な解析が必要である。シリコンチップがインサートされているICパッケージは基本的に三次元形状であり、詳細解析には三次元解析の適用が重要である。コンピュータの高速化に伴い、三次元解析が実用的に用いられていくと考えられる。

また、高精度なシミュレーションを行うためには、樹脂の流動特性を高精度に評価する必要がある。樹脂特性の測定精度を向上させるとともに、構成方程式の高精度化を進めることが重要である。

今後、流動解析と金線やダイパッドの変形解析との連成、及び充填完了後の硬化過程の解析を進め、シミュレーションの適用範囲を拡大する。

参考文献

- (1) Kamal, M. R., Sourour, S., Ryan, M. : Integrated Thermo-Rheological Analysis of the Cure of Thermosets, SPE ANTEC, 187 (1973)
- (2) Hale, A., Bair, H.E., Macosko, C.W. : The Variation of Glass Transition as a Function of the Degree of Cure in an Epoxy-Novorac System, Proceedings of SPE ANTEC, 1116 (1978)

機能性材料の分子設計

信時英治*
蔵田哲之*
角田 誠*

1. ま え が き

高度情報化社会の進展に伴い、高速・大容量情報処理に対応する電子・光デバイス用キーマテリアルの開発が求められている。従来の電子・光デバイスは、材料自身の安定性や使用実績などから、無機材料が用いられている。しかし、有機材料は構成単位が分子であること、また多様な機能が設計可能であることから、新規な動作原理に基づくデバイスの開発が期待できる。これは、有機材料が π 電子という超高速で動き得る電子を持つとともに、分子修飾を行うことにより、人工的に機能を制御できるという無機化合物にはない性質があるからである。しかし、このような有機材料は多種多様であり、その中から要求される機能を持つ材料を選び出すことは容易ではない。

そこで、この問題を解決するために、“分子設計”技術の高度化に取り組んできた。これは従来の勘と経験に基づいた実験を行う前に、理論に基づいて最適分子構造や材料構成を決定し、さらに、これらの物性も計算機上でシミュレートするというものである。分子設計の手法を用いることにより、数限りない有機化合物の中から効率良く目的とする材料を選択することや、経験的には望めないような全く斬新な新規機能性材料の設計・開発を行うことが期待できる。

本稿では、現行デバイス材料開発における分子設計例としてレジスト材料を、そして、次世代デバイス材料に対する分子設計の取組として導電性高分子材料を取り上げ、分子設計シミュレーションによって得られた上記材料の電子・光学物性について述べる。

2. レジスト材料の分子設計

2.1 3成分系化学増幅型レジスト

近年、超微細加工技術の向上に伴い、半導体 LSI の集積度は著しい速度で増大している。現在、開発の最先端に位置する 64 M、256 MDRAM においてはサブミクロンレベルの微細加工が必要であり、そのためには、レジスト材料における露光光源の短波長化が要求されている。そこで我々は、64 MDRAM における超微細加工技術として、高い解像度が期待できることから、従来の露光光源 (i 線) よりも短波長である KrF エキシマレーザ (波長 248 nm) に感光する 3 成分系化学増幅型レジストに着目し、研究開発を行ってきた。

3 成分系化学増幅型レジストとは、図 1 に示すように、ア

ルカリ可溶性のベースポリマと、ベースポリマへのアルカリ水溶液の可溶性を抑える溶解抑制剤、そして光酸発生剤の 3 成分からなるレジストである。この系に光を照射すると、光酸発生剤から発生した酸が触媒として働いて溶解抑制剤を分解し、ベースポリマのアルカリ水溶液への溶解性向上を引き起こすとともに、溶解抑制剤自身は水溶性の化合物になるというものである。

ベースポリマとしてターシャールブトキシ-ポリ p ヒドロキシ スチレン (tBoc-PVP)、光酸発生剤 (PAG) としてトリフェニル スルホニウム トリフレイト (TPSTF)、そして溶解抑制剤として炭酸エステル、からなるエキシマレーザ用 3 成分系化学増幅型レジストを開発することによって、0.35 μm の高解像レジストパターン形成が可能となっている。

以下、上記 3 成分系化学増幅型レジストの開発における分子設計技術の適用例として、① 溶解抑制剤の光透過性 (エキシマ波長の 248 nm における光透過性が必要) と、② 溶解抑制剤に光酸発生剤から発生した酸 (プロトン) との反応性の 2 点について述べる。

2.2 レジスト溶解抑制剤の光透過性

図 2、図 3、及び図 4 は、一例として、溶解抑制剤として検討した 5 種類の炭酸エステルのうち 2.6 BtPy、3.5 BtPy、及び tBoB について、分子軌道計算によって得た溶解抑制剤分子の吸収スペクトルである。ここで、吸収スペクトルの計算は、CNDO/S-SCI により、一電子励起配置間相互作用を考慮して行った。なお、入力分子構造は、分子軌道プログラムパッケージ MOPAC (ver 6.0) の MNDO 近似によって、分子構造を最適化したものを用いている。

上記図 2 ~ 図 4 において、2.6 BtPy、3.5 BtPy、及び tBoB の最大吸収波長は、各々、197、200、及び 187 nm

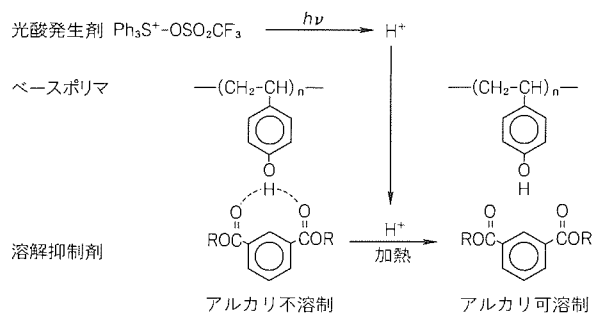


図 1. 3成分系化学増幅型レジストの化学反応機構

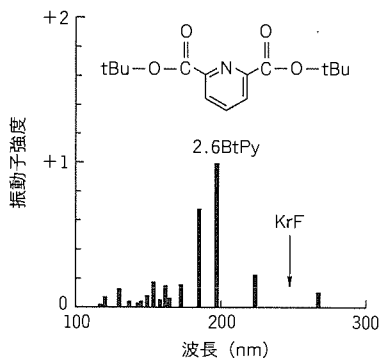


図 2. 2.6BtPyの吸収スペクトル

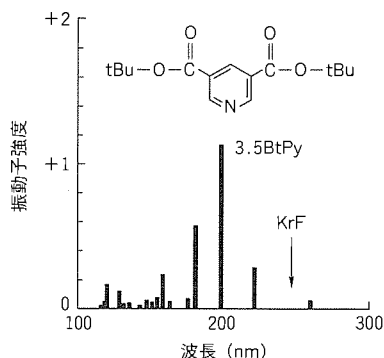


図 3. 3.5BtPyの吸収スペクトル

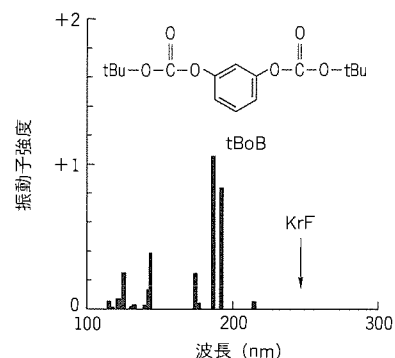


図 4. tBoBの吸収スペクトル

表 1. 溶解抑制剤分子のプロトン付加前後における結合エネルギー

化合物	結合エネルギー (eV)								
	プロトン付加前(1)			プロトン付加後(2)			(2)-(1)		
	O-C=O	O-tBu	O-tBoc	O-C=O	O-tBu	O-tBoc	O-C=O	O-tBu	O-tBoc
DtBiP	-17.43	-14.18	—	-18.79	-13.66	—	-1.36	+0.52	—
2.6BtPy	-17.30	-14.14	—	-19.28	-13.52	—	-1.98	+0.62	—
2.4BtPy	-17.78	-14.02	—	-19.13	-13.48	—	-1.35	+0.54	—
3.5BtPy	-17.50	-14.13	—	-19.27	-13.51	—	-1.77	+0.62	—
tBoB	-18.43	-14.66	-16.97	-19.18	-13.28	-18.96	-0.75	+1.38	-1.99

である。これらの遷移には、主に最高被占軌道 (HOMO) ψ_{HOMO} から最低空軌道 (LUMO) ψ_{LUMO} への一電子励起配置 $\psi_{\text{HOMO-LUMO}}$ 、及び HOMO の次にエネルギーの高い被占軌道 (HOMO-1) $\psi_{\text{HOMO-1}}$ から LUMO の次にエネルギーの低い空軌道 (LUMO+1) $\psi_{\text{LUMO+1}}$ への一電子励起配置 $\psi_{\text{HOMO-1-LUMO+1}}$ (いずれも $\pi-\pi^*$ 遷移) が寄与している。また、2.6 BtPy と 3.5 BtPy において 260 nm 付近に現れる吸収ピークは、 $n-\pi^*$ 遷移に起因するものである。

次に、KrF エキシマレーザの波長 248 nm 付近における吸収について述べる。2.6 BtPy、3.5 BtPy、及び tBoB は、各々、波長 248 nm 付近の吸収として、224、222、及び 215 nm に吸収ピークがある。しかし、これらの吸収ピークに対応する振動子強度が、各々、0.22、0.28、及び 0.06 であることから、tBoB が最も波長 248 nm 付近に吸収のない溶解抑制剤であるといえる。そして、図 2、図 3、及び図 4 以外の溶解抑制剤についても同様の解析を行った結果、KrF エキシマレーザ波長である 248 nm に最も吸収がない溶解抑制剤は、tBoB であることが分かった。すなわち、2.1 節の①に述べた溶解抑制剤の光透過性の観点からは、tBoB が最も有望な溶解抑制剤である。

2.3 レジスト溶解抑制剤とプロトンとの反応性

溶解抑制剤と PAG から生じた酸 (プロトン) における反応は、溶解抑制剤からプロトンへの電子移動と考えられる。この反応は、フロンティア軌道理論によって、定性的に溶解抑制剤分子の HOMO からプロトンの LUMO への電子移動と理解することができる。図 5 は、MOPAC の MNDO 近似によって得られた溶解抑制剤分子の HOMO を模式的に表したものである。DtBiP はベンゼン環とカルボキシル

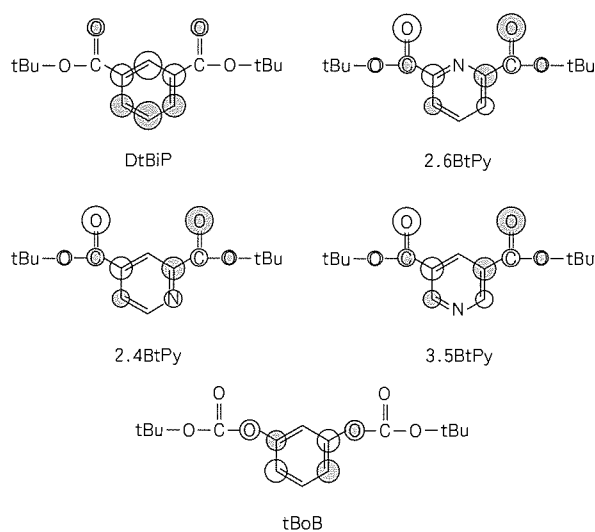


図 5. 溶解抑制剤分子の最高被占軌道

基 (O-C=O) の酸素原子上に、2.6 BtPy、2.4 BtPy、及び 3.5 BtPy はピリジン環と O-C=O (ターシャルブチル基に結合している酸素原子上 (O-tBu) を含む。) に、そして tBoB はベンゼン環とターシャルブトキシ基に結合している酸素原子 (O-tBoc) 上に大きな HOMO の振幅がある。しかし、芳香環へのプロトン付加は π 共役による安定化エネルギーの低下を引き起こすことから、考慮する必要はない。したがって、プロトンに対する反応部位は、O-C=O、O-tBu、及び O-tBoc における酸素原子上であると考えられる。

定量的にこれらの部位における反応性を評価するために、シミュレーションによって得られた溶解抑制剤分子のプロトン付加前後における結合エネルギーを表 1 に示す。ここで、

プロトン付加後の結合エネルギーから付加前のそれを引いたものが表右端の列、すなわち(2)-(1)であり、この値が大きいほど結合が切れやすいことを意味する。この表から、tBoBにおけるO-tBuの結合が+1.38 eVという最も切れやすい値を持っていることが分かった。2.1節②で述べた溶解抑制剤とプロトンとの反応性の観点からは、tBoBが最も有望な溶解抑制剤である。すなわち、①と②の両者の観点から、溶解抑制剤としてはtBoBが最も有望であることが明らかとなった。なお、上記計算結果は後に行った検証実験によっても支持されている。

以上、このような分子設計を行うことによって、64 M DRAMにおけるエキシマ用レジスト材料を効率良く開発することができた。

3. 導電性高分子材料の分子設計

3.1 バンド(結晶軌道)計算法の高度化

導電性高分子における電子状態の解析は、通常、バンド理論(結晶軌道法)を用いて行われている。従来のバンド理論では、電子が一つのバンド上を逆格子空間における波数 k に沿って非常にゆっくりと動くとともに、ブリルアン域の端まで同じバンド上にとどまっている(断熱的描像: 図6)。しかし、電子が有限の速度でバンド上を動く場合、その電子は元のバンドから他のバンド上に有限の確率で遷移する(透熱的描像: 図7)。電子の挙動を“断熱”的に記述する従来のバンド理論では、電子の動特性(導電性)を明確に解析することができない。

この問題は、従来のバンド構造におけるエネルギー準位 $E_n(k)$ が、還元域形式において、波数 k の多価関数であることに基づいている。このことは、例えば、フェルミエネルギー準位近傍において、エネルギーが縮退している準位等では“バンド交差”を採るか、“バンド非交差”を採るかという問題を生ずる。前者の場合は導体になるが、後者の場合は半導体(絶縁体)になり、その物理的意味は大きく異なることになる。なお、この問題は特に、対象とする系の対称性が低く、数多くのバンドが現れる高分子の場合に顕著な問題となる。すなわち、従来のバンド理論では、電子の“透熱的”挙動を十分に記述することができない。

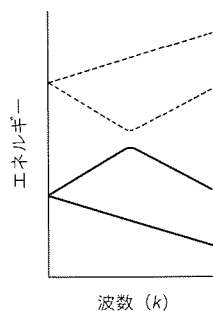


図6. 断熱的バンド構造

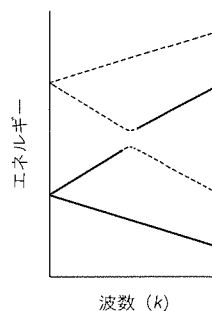


図7. 透熱的バンド構造

そこで、上記問題の解決を目的として、異なる波数間のエネルギー準位を1対1に対応させ、電子の透熱的挙動を考慮したバンド理論の構築を行った(電子輸送バンド(ET band)法)。この方法では、波数 k による微分を正準結晶軌道間の相互作用演算子とする準透熱的な取扱いを行っている。これは、この方法における軌道エネルギー(バンド)が正準結晶軌道バンドにおけるすべてのバンド間遷移と、電子(ホール)の波数 k に沿った動きに伴うポテンシャル変化の効果を含んでいることを意味しており、準透熱的な電子状態を評価することができる。

以下に、我々の構築したETband法を典型的な導電性高分子であるポリアセチレン及び超伝導性高分子であるポリチアジリに適用した結果について述べる。

3.2 トランスポリアセチレンの電子構造

この方法によって得られた結合交替のあるトランスポリアセチレン(PA)についてのETバンド構造と電子占有数を各々、図8と図9に示す。ここで、点線で示されたバンドは π -バンド、 π^* -バンドである。

図8に示されたPAのETバンド構造は、従来法によって得られたバンド構造と比較して、 σ^* -バンドにおけるバンド幅(曲率)が小さくなっている。これは、電子が有限の速度で σ^* -バンド上を動く場合、その有効質量が大きくなることを示している。すなわち、 σ^* -バンド上における電子の“動きやすさ”が小さくなることを示している。

図9に示された電子占有数は、 π 、 π^* -バンドだけがブリルアン域の端付近において顕著に変化している。ここで、この方法から得られる電子占有数の変化は、電子(ホール)の動きやすさの度合いを意味している。このことから、PAにおいて、 π 及び π^* -バンド上におけるホールと電子だけが、キャリアとして導電性に有効に寄与することを示唆している。

図10は、PAにおける有効キャリア数 $N_{\text{eff}}(E)$ の計算結果である。ここで、実線と点線は、各々、有効“電子”キャリア数と有効“ホール”キャリア数に対応する。また、 E_F はフェルミエネルギー準位を表す。この図から、有効キャリ

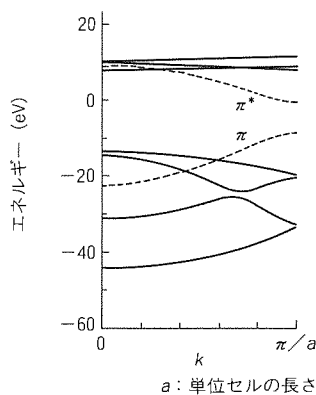


図8. ポリアセチレンのETバンド構造

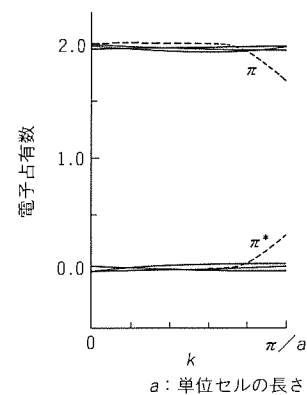


図9. ポリアセチレンの電子占有数

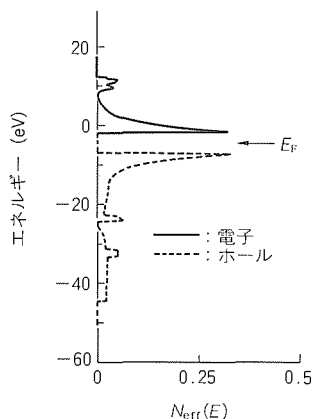


図10. ポリアセチレンの有効キャリア数 $N_{\text{eff}}(E)$

アとしては電子とホールが、各々、フェルミエネルギー準位近傍の π^* , π -バンドに最も数多く分布していることが分かる。これは、 π^* (π)-電子(ホール)が正に導電キャリアであることを意味し、PAの導電性が π^* (π)-電子(ホール)に大きく由来するという実験事実を明確に表している。

3.3 ポリチアジルの電子構造

次に、ポリチアジルにおけるETバンド構造と有効キャリア数 $N_{\text{eff}}(E)$ の計算結果を図11に示す。ここで、点線で示されたバンドはフェルミエネルギー準位近傍の π , π^* -バンドである。なお、ポリチアジルは単位セルを (S_2N_2) として計算している。図におけるETバンド構造は、従来のバンド計算結果と同様に、ポリチアジルのバンドギャップはゼロであることを示している。

また、有効キャリア数の計算結果から、ポリチアジルは、PAの場合と同様に、フェルミエネルギー準位近傍の π^* , π -バンドに基づく有効キャリア(電子, ホール)が最も数多く存在していることが分かる。しかし、PAの場合と異なり、これらは、フェルミエネルギー準位近傍において、エネルギーに対して連続である。このことは、ポリチアジルの導電性キャリアが正に金属的であることを示している。

さらに注意すべきことは、フェルミエネルギー準位近傍において、電子とホールの有効キャリアのスペクトル形状が異なること、すなわち、電子数とホール数が異なることである。このことは、導電性に寄与するキャリア種に対して、エネルギー依存性があることを示唆しており、ドーピングを行った場合に対応している。もちろん、この計算に用いたポリチアジルはノンドープである。したがって、ポリチアジルは有効キャリア数の解析から、PAの場合と異なり、あたかもドーピングの系のような金属的挙動を示すことが明らかとなった。

ETband法では、従来の結晶軌道法では容易に得られない高分子の動特性(導電性)を評価・解析することができる。すなわち、この方法を用いることにより、新たな導電性高分子材料を分子設計することが期待できる。

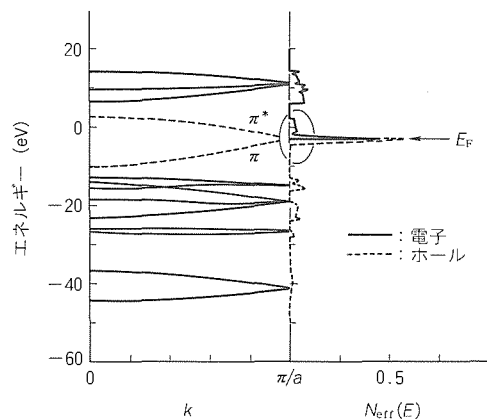


図11. ポリチアジルのETバンド構造と有効キャリア数

4. むすび

現在、分子設計は基礎科学の域にとどまらず、分子工学と呼ばれる材料開発の時代に入っている。そして、計算機の高速度・大容量化は計算機実験(分子設計)の重要性を更に増大させるものと予想される。したがって、今後、分子設計を行うことによって、研究開発の効率化はもちろんのこと、経験的には望めないような全く斬新な新規機能性材料の設計・開発が大いに期待できる。

参考文献

- (1) Nobutoki, H., Kumada, T., Koezuka, H.: Molecular Design of Dissolution Inhibitor in Chemical Amplification Resist System by Molecular Orbital Method, *Jpn. J. Appl. Phys.*, **34**, 623 (1995)
- (2) Kumada, T., Kubota, S., Koezuka, H., Hanawa, T., Kishimura, S., Nagata, H.: Relationship between Patterning and Dissolution Characteristics of Chemical Amplification Resists using Partly Protected Poly(p-vinylphenol), *J. Photopolym. Sci. Technol.*, **4**, 469 (1991)
- (3) Nobutoki, H., Koezuka, H.: Pseudo-Band Theory with One to One Crystal Orbital Transformation, *J. Mol. Struct. (Theochem)*, **310**, 29 (1994)
- (4) Nobutoki, H., Tsunoda, S.: Quasi-Dynamic Band Theory with Localized Crystal Orbital Transformation, *Molecular Quantum Mechanics: An International Conference in Memory of Samuel Francis Boys and in Honour of Isaiah Shavitt, Abstracts*, 243 (1995)

レーザ共振器波動光学 シミュレーション技術

安井公治*
西前順一**

1. ま え が き

ワット級以上のレーザ出力を持ついわゆる高出力レーザは、従来の科学機器としての用途に加えて、①情報、通信分野においては、ケーブルテレビなどの通信機器、レーザプリンタなどの光源として、②生産分野においては、自動車部品、電機製品などの加工用光源として、③医療分野では、手術、検査用の光源として使用され始めている。これらの分野では、従来の科学機器分野とは異なり大量に機器を配備することが多く、生産効率向上の観点から、高品質の光を効率良く発生させることが強く求められている。

レーザ共振器は、レーザ媒質から発生した自然放出光の位相、強度分布を均質化して、レーザ光として外部に取り出す取出口に相当するもので、その性能の優劣が取出効率、レーザ光の品質に大きな影響を及ぼす。この観点から、当社では、レーザ共振器の開発に独自に取り組み、新しい構成の開発とそれを用いたレーザ装置による生産効率の向上を進めてきた。

本稿では、その開発過程で活用してきた波動光学シミュレーション技術の基本原則と新しく開発した偏光ベクトル波動シミュレーション技術について述べた後に、そのシミュレーション技術を用いて進めた新しいレーザ共振器の開発について述べる。

2. レーザ共振器の基本動作と シミュレーション技術の必要性

2.1 レーザ共振器の基本動作

レーザ光は、放電によって励起されたガスや、光によって励起された固体媒質、電流注入によって励起された半導体媒質などのレーザ媒質から、レーザ共振器で光を取り出すことによって得られる。レーザ媒質から発生したレーザ光は、自然放出光と呼ばれ、強度分布・位相分布ともランダムで十分にそろっておらず、空間的に等方的に放出される。この放出された光のうち、共振器ミラーの中心を結ぶ軸、すなわち光軸に沿った直線上の指向性を持った光は共振器内に閉じこめられ、二つの共振器ミラーを往復するうちにレーザ媒質によって増幅される。増幅されて強度が増すに従ってレ

ーザ媒質から独占的にエネルギーを取り出すようになり、その結果、レーザ媒質に投入されたエネルギーのほとんどが、図1に示すごとく、光軸に沿った指向性を持つレーザ光として外部に放出される。

図2には、初期の自然放出光のランダムな成分から、共振器内での往復によって、共振器内の光の強度分布が一定の強度分布を持つレーザ光に収束する過程のシミュレート結果を示す。

2.2 レーザ共振器のシミュレーション技術の必要性

レーザ共振器の研究開発はレーザ開発と同時に進められ、図1に示した二つの平面に近いミラーからなるいわゆる安定型共振器を基本とし、その動作が理論的に解析されてきた。半導体レーザを含めて実際市販レーザのほとんどは、この基本形のレーザ共振器を用いている。

しかしながら、産業界からの光源に対する要求を満たすた

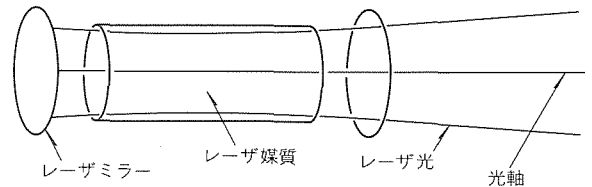


図1. レーザ共振器の基本形(安定型共振器)

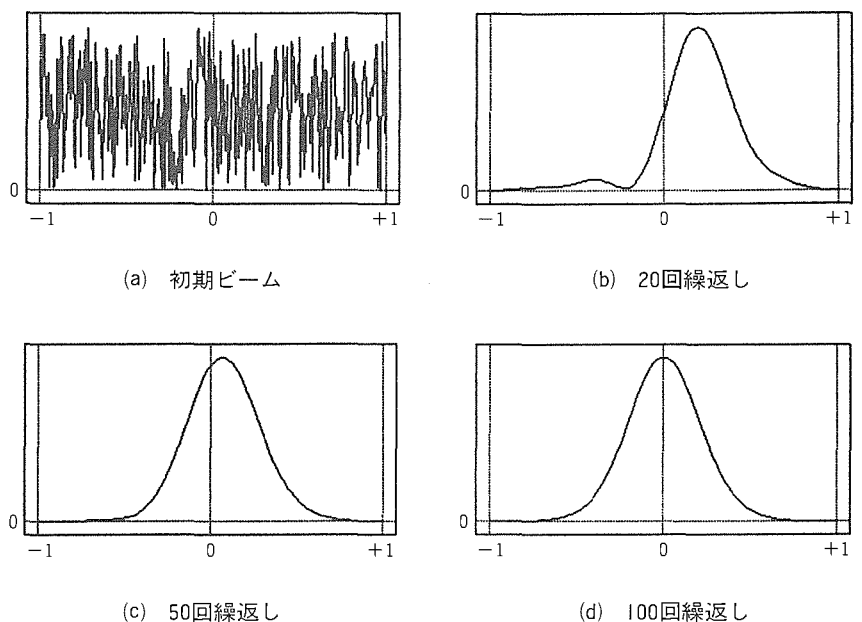


図2. 安定型共振器内ビーム往復繰返し回数とビームパターン(最低次モード発振)
(縦軸はビーム強度、横軸はビーム位置)

めには、この基本形ではしばしば理論限界に到達することがある。この解決には、基本形を離れた独創的な構成の考案が求められる。この基本形からの変形には多くの研究例があるが、ほとんどが不成功に終わり、その結果、市販レーザのほとんどが基本形のレーザ共振器を採用している。この理由としては、基本形からの変形例の開発が難しいことが挙げられる。

レーザ共振器で新しい構成を考案するためには、まず第一に光の挙動が思考実験でイメージできる、すなわち仮想的に光になった立場で考える能力が要求される。次に、このイメージを具体的な構成で表現し、その実用性を敏速に検証することが必要になる。レーザ共振器の動作をシミュレートできる高速波動光学シミュレータは、仮想的に光になった立場で考えるトレーニングツールとして、さらに、レーザ共振器の動作を効率良く検証するためのツールとして必要になる。

3. 波動光学シミュレーション技術の実例

当社で活用している波動光学計算シミュレーションは、市販のワークステーション又は最近の高性能パソコン上で動作し、初心者でも対話型で簡単に計算できる構成になっている。以下に、その動作原理を述べる。

3.1 繰返し波動光学計算法

自然放光がレーザ媒質によって増幅される過程をシミュレートする。まず、レーザ発振以前の時間に自然放光が発生したとする。この光は、位相も強度分布もランダムなものである。このレーザ光を共振器内で往復させる。一つのミラー面上の光電場成分 $u(x_1, y_1)$ に対して、対向するミラー面上の成分 $u(x_2, y_2)$ は、ミラー間の距離すなわち L_0 に比較してビームの径が十分小さいとみなせる範囲では、いわゆるフレネル積分を用いて計算される⁽¹⁾。

$$u(x_2, y_2) = \frac{1}{j\lambda} \iint \frac{u(x_1, y_1)}{L_0} e^{j\frac{2\pi}{\lambda}\rho(x_1, x_2, y_1, y_2)} dx_1 dy_1 \quad \dots\dots\dots (1)$$

$$\rho(x_1, x_2, y_1, y_2) = L_0 + \frac{(x_2 - x_1)^2 + (y_2 - y_1)^2}{2L_0} \quad \dots\dots\dots (2)$$

ここで $u(x_1, y_1)$ は一つのミラー面上の光電場成分、また、 $u(x_2, y_2)$ は対向するミラー面上の光電場成分、 L_0 はミラー間の距離、 λ はレーザの波長である。

共振器内の光の伝搬計算は式(1)を複数回行うことになる。実際の数値計算は、式(1)を変数変換し、フーリエ変換が利用できるコンボリューションの形態に整えた後に、高速フーリエ変換を用いて計算する。式(1)の計算を共振器内のレーザ光の往復回数に相当する回数だけ繰り返すと、実際に発生するレーザ光のビームパターンを計算することができる。

3.2 光線行列によるフレネル計算の高速化

二つのミラーからなる単純な共振器系ではなく複数の光学

部品を内部に含む場合は、光線行列によって高速化が行われる。光線行列とは、ある光学部品に対して、入射面での位置 x_1 、角度 θ_1 と、出射面での位置 x_2 、角度 θ_2 を結び付けるもので、

$$\begin{bmatrix} x_2 \\ \theta_2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} x_1 \\ \theta_1 \end{bmatrix} \quad \dots\dots\dots (3)$$

という式の中に現れる4行4列の A, B, C, D の各要素を持つ行列のことで、例えば距離 L の自由伝搬を表す光線行列は、

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & L \\ 0 & 1 \end{bmatrix} \quad \dots\dots\dots (4)$$

であり、焦点距離 f を持つレンズであれば、

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -\frac{1}{f} & 1 \end{bmatrix} \quad \dots\dots\dots (5)$$

と表される。レンズ、プリズムなどの共振器内の光学要素のほとんどは、この光線行列で表すことができる。レーザ共振器は幾つかの光学要素から成り立っており、通常は光学要素ごとに1回の波動光学計算が必要であり、光学要素の数だけ波動光学計算が必要となる。これに対して光線行列では、幾つかの光学要素をまとめて1回の波動光学計算で済ませることができる。それぞれの光線行列の積をまず求める。この光線行列に対して、その光路長 L_1 はフェルマーの定理などを用いて、

$$L_1 = L_0 + \frac{1}{2B}(Ax_1^2 - 2x_1x_2 + Dx_2^2) \quad \dots\dots\dots (6)$$

と表される⁽¹⁾。ここで A, B, C, D は光線行列の各要素であり、 x_1 は入射面の位置、 x_2 は出射面での位置を表す。

式(1)と式(6)を用いて、最終的に光線行列によって表した波動光学計算式が求められる。

$$u(x_2, y_2) = \frac{1}{j\lambda} \iint \frac{u(x_1, y_1)}{L_0} \times e^{j\frac{2\pi}{\lambda}(L_0 + \frac{Ax_1^2 - 2x_1x_2 + Dx_2^2}{2B} + \frac{Ay_1^2 - 2y_1y_2 + Dy_2^2}{2B_y})} dx_1 dy_1 \quad \dots\dots\dots (7)$$

ここで A, B, C, D は光線行列の各要素であり、 x_1, y_1 は入射面の位置、 x_2, y_2 は出射面での位置を表す。光線行列で表される光学部品で構成された共振器内の波動光学計算については、式(7)の計算を1回実行すればよい。式(1)の計算について説明したように、実際の数値計算では、式(7)を変数変換し、フーリエ変換が利用できるコンボリューションの形態に整えた後に、高速フーリエ変換を用いて計算する。

3.3 偏光状態を考慮したベクトル波動光学計算

例えば、固体レーザの共振器のように共振器内に熱複屈折を持つ固体素子や波長板などの偏光素子を含む場合には、偏光状態の考慮が必ず(須)となる。この場合、互いに直交す

る偏光成分 E_P , E_S を仮定し, 空間伝搬については, それぞれ独立に波動光学計算する。二つの偏光成分 P , S 間の偏光成分間のエネルギーのやり取りが生じる, 例えば複屈折性を持つ偏光素子を通過する場合については, 以下のようにして計算する。

偏光素子を通過後の P , S 成分は以下の式で表される。

$$E'_P = E_{PIP} + E_{PIS} \quad \dots\dots\dots (8)$$

$$E'_S = E_{SIS} + E_{SIP} \quad \dots\dots\dots (9)$$

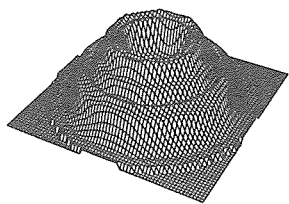
ここで, E_{PIP} , E_{SIP} は, P 成分が楕円偏光となって発生した P , S 成分, E_{SIS} , E_{PIS} は, S 成分が楕円偏光となって発生した S , P 成分である。

偏光素子を通過した後のビームモード形状については, 式 (8), (9) で求めた P , S 成分の強度和を取るることによって把握する。また, 両偏光成分間の位相差を計算して, 直線偏光状態にあるか, 楕円偏光状態にあるか, 円偏光状態にあるか, などを把握することもできる⁽²⁾。

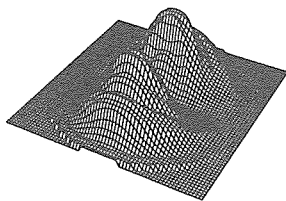
図 3(a) には, 固体レーザーから発生されたリング状のビームの強度分布の一例を示す。このビームは図 (b) に示すような P 偏光成分と, 図(c) に示すような S 偏光成分の組合せで表されており, このようなビーム形状の把握は, このようなベクトル波動光学計算のみで可能である⁽³⁾。

また図 4 には, 図 3 の結果を得るために動作させたシミュレータのディスプレイ画面の一例を示す。ここでは, レーザ媒質の増幅率がビーム強度で飽和して, その増幅率が非線形特性を示す効果も考慮に入れている。

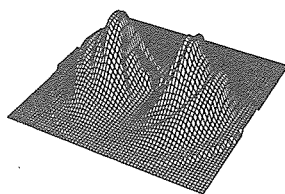
4. シミュレーション技術を活用した開発例



(a)



(b)



(c)

図 3. 偏光を考慮したベクトル波動光学計算による計算例

当社では, 共振器の基本原理の理論検討, 理論モデルの構築を進めるとともに, 効率的な開発のために, その動作の検討を波動光学計算シミュレーション技術によって進めてきた。

まず始めに, 大型のガスレーザーの放電媒質 (長さ約 4 m, 縦約 5 cm, 横約 5 cm) から, ビーム品質の良いレーザー光を取り出す小型のレーザー共振器の開発を進めた。図 1 で説明した従来のレーザー共振器では, 12 m の共振器長が要求されたために, 共振器を反射ミラーで 2 回折り曲げて使用する必要があった。しかも, このような長尺なレーザー共振器を用いても, レーザの波長から決まる理論限界に比べて数分の 1 の集光性を持つビーム品質のレーザー光しか得られなかった。

そこで, 共振器の光軸に沿った中央部には品質の良いビームが発生することに着目し, このビームを拡大して外部に取り出すとともに, 内部のビームと位相をそろえて外部に取り出す構成, すなわち PURE (Phase Unified Resonator)

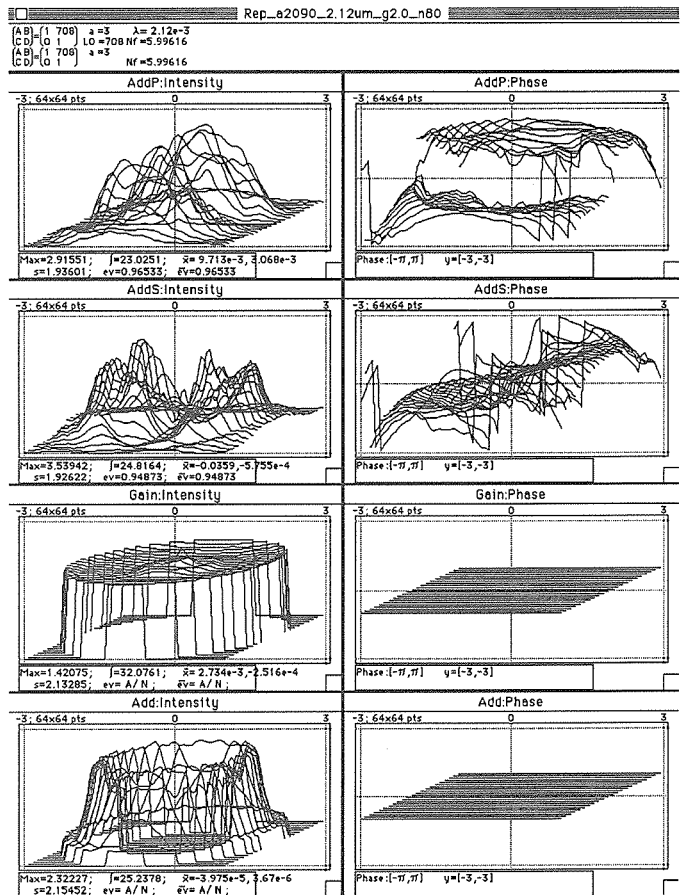


図 4. 波動計算を行っているディスプレイ画面の一例

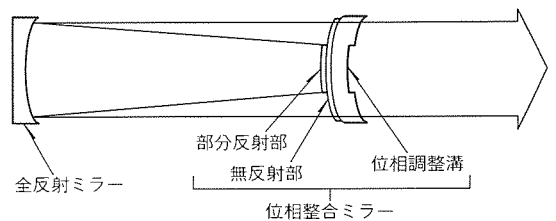
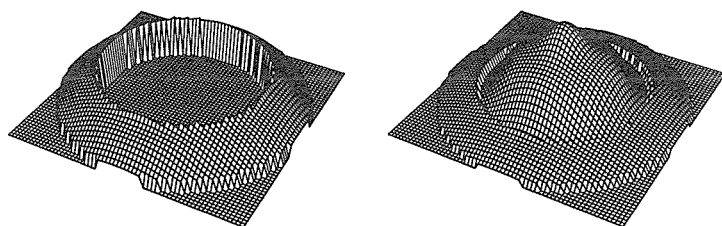
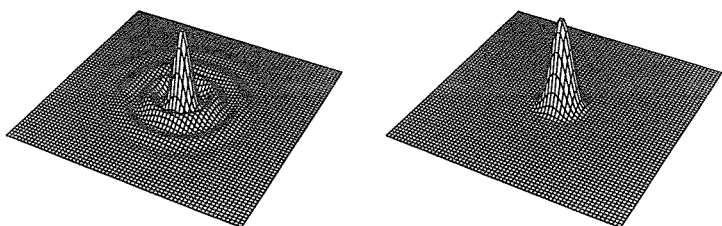


図 5. 位相整合ミラーを用いたレーザー共振器



(a) 出射直後



(b) レンズによる集光パターン
(左側が従来のリング共振器によるもの、
右側が新しく開発したPUREによるもの。)

図6. 位相整合ミラーを用いたレーザー共振器から発生したビームパターン

の開発を行った⁽⁴⁾⁽⁵⁾。この新しい共振器は、位相整合ミラーと全反射ミラー2枚のみで構成でき、共振器の長さを従来の3分の1に短縮でき、折り曲げることなく構成でき、しかも、ほぼ理論限界の集光性を持つビーム品質が得られることが検証されている。また、位相整合ミラーを通過するビーム形状が、平板上でほぼ均一に取出ミラーである位相整合ミラーを加熱するために、その熱変形による収差が少なく、高出力取出しに最適な構成である。この共振器は当社の5 kW レーザに採用され、例えば溶接性能を従来の2倍程度に向上させるという実用的な利点が確認されている。

図6には、従来の大出力レーザに用いられているリング共振器によって得られるレーザービームの、ビームパターンの計算例を左に、PUREによるものを右に比較して示す(実験で得られるパターンは、この計算結果とほとんど一致する)。PUREを用いることにより、出射ビームパターンの強度分布の均一化と、集光パターンの単峰化が実現できることが分かる。

次に、さらに共振器の長さは従来のままの状態、取出ミラーのみを位相整合ミラーに変更した新しい構成も開発した(ガウスコア共振器⁽⁶⁾⁽⁷⁾)。この構成では、共振器の光軸に沿った中央部に発生する高品質ビームが、位相整合ミラーの中央部分反射部で回折されることによって発生する回折波成分を共振器内でカットすることなく、長距離伝搬させることができる。この構成により、安定型共振器の特長であるビーム伝搬における形状が不変で強度分布が正規分布を持つガウスビームの高出力化の実現に成功している。

一方、短ギャップ放電によるレーザー媒質(以下“スラブ形

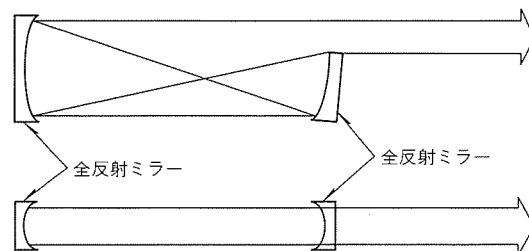


図7. ハイブリッドレーザー共振器

状媒質”という。)に対する、図7に示すような、ハイブリッド共振器の開発にも先進的な試みを行った⁽⁸⁾。放電の発生は、ギャップが短いほど安定に行うことができる。しかしながら、このような扁平なスラブ状の空間には、従来の図1に示すようなレーザー共振器を適用すると、縦横で異方性を持つレーザー光しか得られない。これを解決するために、縦横方向で異なる動作をするハイブリッドレーザー共振器のうち、共振器内で集光点を持つネガティブブランティ型が実用的であることを実証した。この技術は、同様にスラブ形状の媒質を持つ固体レーザにも適用されている⁽⁹⁾。

また、最近の開発では、ベクトル波動光学計算を活用した高出力固体レーザ用のレーザー共振器の開発を進めている。この構成によれば、出力500 Wを超えるレベルにおいて、従来の固体レーザと同じレーザー媒質を用いながら、5倍以上の集光性能を持つレーザー光の安定発振が確認されている⁽¹⁰⁾。

この新しい共振器を用いた固体レーザは、従来の市販レーザと同様の部品で構成でき、したがって高い実用性を保持しながら、従来の固体レーザの常識を覆す製品を生み出すことが可能であると考えられる。当社では、この技術に基づいた定格出力250 Wの固体レーザ共振器“ML0202SC”を最近製品化した。

5. むすび

レーザー共振器波動光学シミュレーション技術は、独創的な構成を考案できる技術者の育成、その技術者の独創イメージの実用性を高速に検証できる手段として有効であり、また、その有効性を加工用の高出力レーザの開発例で検証してきた。

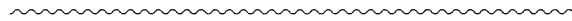
現在は、このシミュレーション技術のレーザー共振器以外の光学系への適用を進めている。今後、レーザー共振器以外の分野においても、独創的な構成の考案と、その適用による新製品開発に貢献していきたいと考える。

参考文献

- (1) Siegman, A.E.: Lasers, University Press (1987)
- (2) 安井公治, 小島哲夫, 岩城邦明: レーザ装置, レーザプロセッシング装置, およびビームパターン解析方法, 特

許公開公報, 平6-224524 (1994)

- (3) Yasui, K., Nishimae, J. : Beam-mode Calculations of a Strongly Pumped Solid-state Rod Laser with an Unstable Resonator, *Opt. Lett.*, **19**, 560 ~ 562 (1994)
- (4) Yasui, K., Tanaka, M., Yagi, S. : Unstable Resonator with Phase-unifying Coupler for High-power Lasers : *Appl. Phys. Lett.*, **52**, 530 ~ 531 (1988)
- (5) Yasui, K., Tanaka, M., Yagi, S. : An Unstable Resonator with a Phase - unifying Coupler to Extract a Uniphase Beam of a Filled - in Circular Pattern : *J. Appl. Phys.*, **65**, 17 ~ 21 (1989)
- (6) Takenaka, Y., Nishimae, J., Kuzumoto, M., Yoshizawa, K. : Novel Stable Resonator for Large - volume TEM₀₀ Mode Operation, *Appl. Phys. Lett.*, **63**, 2860 ~ 2862 (1993)
- (7) 竹中裕司, 竹島重人, 西前順一, 葛本昌樹, 吉沢憲治 : ガウスコア共振器による高出力 TEM₀₀ モード発振 6 kW CO₂ レーザー, *レーザー研究*, **23**, 767 ~ 778 (1995)
- (8) Nishimae, J., Yoshizawa, K. : Development of CO₂ Laser Excited by 2.45 GHz Microwave Discharge, *Proc. SPIE 1225*, 340 ~ 348 (1990)
- (9) Kuba, K., Yamamoto, T., Yagi, S. : Improvement of Slab-laser Beam Divergence by using an Off - axis Unstable - stable Resonator, *Opt. Lett.*, **15**, 121 (1990)
- (10) Yasui, K. : Efficient and Stable Operation of a High-brightness CW-500W Nd : YAG Rod Laser, Under Submission to *Appl. Opt.*



換気シミュレータによる室内空気質の解析

1. ま え が き

バブル経済の崩壊後、各地で地価の下降傾向が続いているものの、首都圏を中心に集合住宅やオフィスビルの高層化が進んでいる。高層の集合住宅やオフィスビルでは、建物構造の高気密化や高断熱化によって室外からの遮断性能を高めることで、快適な室内環境を維持している。また一戸建て住宅においても、壁構造や窓部材などの高気密化・高断熱化を推進することで、省エネルギー性や快適性の向上を図っている。

これら居住環境の変化に伴い、炭酸ガス(CO₂)の高濃度化、高湿度による結露の発生、たばこの煙の滞留などが新たな問題として注目され、室内空気質の向上が求められるようになってきた。この室内空気質(Indoor Air Quality: IAQ)の評価項目には温熱・湿度のほかじんあい(塵埃)、CO₂、臭気など汚染物質の濃度が対象に含まれている。ところが、これら汚染物質の状態は目に見えないので、室内容積と換気風量から求められる換気回数などのマクロな評価が主体であり、室内の換気の流れや汚染物質の分布変化を詳細に検討することは困難であった。

当社では、居住環境の高気密化と高断熱化に迅速に対応するとともに、新たな問題に対処する適切な換気システムを構築するためのツールとして、高速・高精度な独自の換気シミュレータを開発し、活用している。この換気シミュレータにより、これまで目に見えなかった気流現象を数値計算でシミュレートし、さらにその結果を可視化して、室内空気の状態とその変化を視覚的に認識できるようになった。そして、室内各部における空気質のより詳細な評価が可能となり、多くの知見が得られている。

本稿では換気シミュレータを用いて室内空気質を解析した適用事例を紹介するとともに、室内空気質の分布や変化を求めることによって得られた知見を述べる。なお、換気シミュレータの詳細な内容については別報を参照されたい⁽¹⁾。

2. 換気シミュレータの特長

換気シミュレータは、目に見えない室内空気質をコンピュータで解析し、現象の再現と結果の可視化を行う。これにより、現象の把握に基づく換気機器の高性能化と快適環境を実現するシステムの提案をねらいとしている。

2.1 解析手法

基礎式は連続の式、レイノルズ平均 Navier-Stokes 方

程式、エネルギー保存式、及び濃度の移流拡散方程式を用い、これらを三次元直交座標系において離散化して計算している。乱流モデルとしては $k-\varepsilon$ 二方程式モデル⁽²⁾を用いている。これらの基礎式を式(1)、及び式(2)に示す。

$$\frac{\partial \rho}{\partial t} + \frac{\partial (\rho \bar{u})}{\partial x} + \frac{\partial (\rho \bar{v})}{\partial y} + \frac{\partial (\rho \bar{w})}{\partial z} = 0 \quad \dots\dots (1)$$

$$\begin{aligned} & \frac{\partial (\rho \phi)}{\partial t} + \frac{\partial (\rho \bar{u} \phi)}{\partial x} + \frac{\partial (\rho \bar{v} \phi)}{\partial y} + \frac{\partial (\rho \bar{w} \phi)}{\partial z} \\ &= \frac{\partial}{\partial x} (\Gamma \cdot \frac{\partial \phi}{\partial x}) + \frac{\partial}{\partial y} (\Gamma \cdot \frac{\partial \phi}{\partial y}) \\ &+ \frac{\partial}{\partial z} (\Gamma \cdot \frac{\partial \phi}{\partial z}) + S_\phi \quad \dots\dots\dots (2) \end{aligned}$$

ここで ρ は密度であり、 u, v, w は各々 x, y, z 方向の速度成分である。 ϕ は従属変数を表し、 ϕ が u, v, w や、エンタルピー h 、拡散物質濃度 C 、乱流エネルギー k 、及び乱流エネルギーの散逸速度 ε である場合は、表1に示すように、各 ϕ に対応する Γ や S_ϕ が用いられる。

表において、 P : 圧力、 g : 重力加速度、 P_r : プラントル数、 S_c : シュミット数、 μ_t, μ_l はそれぞれ層流粘性係数と乱流粘性係数、そして σ は乱流シュミット数である。また、 u, v, w 等に付した $-$ は時間平均値であることを表している。 μ_t は式(3)で、 G_k は式(4)で求められる。

$$\mu_t = C_D \rho k^2 / \varepsilon \quad \dots\dots\dots (3)$$

$$\begin{aligned} G_k = \mu_t & \left[2 \left\{ \left(\frac{\partial \bar{u}}{\partial x} \right)^2 + \left(\frac{\partial \bar{v}}{\partial y} \right)^2 + \left(\frac{\partial \bar{w}}{\partial z} \right)^2 \right\} \right. \\ & + \left(\frac{\partial \bar{u}}{\partial y} + \frac{\partial \bar{v}}{\partial x} \right)^2 + \left(\frac{\partial \bar{v}}{\partial z} + \frac{\partial \bar{w}}{\partial y} \right)^2 \\ & \left. + \left(\frac{\partial \bar{w}}{\partial x} + \frac{\partial \bar{u}}{\partial z} \right)^2 \right] \quad \dots\dots\dots (4) \end{aligned}$$

2.2 高速・高精度化と可視化

居住空間での気流流れを対象とした解析では、換気機器からの吹出し方向と空間分割を行う格子方向が一致しないことが多い。傾斜吹出しを数値解析すると、偽拡散と呼ばれる誤差が発生しやすくなり、計算結果の精度が悪くなる。そこで換気シミュレータでは、高精度の三次元傾斜風上差分スキーム SUDS-3D⁽³⁾を用いることにより、この傾斜吹出しなどの気流を精度良く求めることができる。

また数値解析では、非線形性の強い大規模連立方程式を解く必要がある。そのため、計算が不安定になりやすく、解を収束させるのに多大な時間を要している。換気シミュレータ

*中津川製作所

では、ICCG法⁽⁴⁾(不完全コレスキー分解前処理による共役勾配法)と速度-圧力のカップリング手法であるSIMPLEC法⁽⁵⁾、及びSIMPLER法⁽⁶⁾を最適に組み合わせるアルゴリズムを用いて収束性を向上させている⁽¹⁾。

また、得られた計算結果を数値データやグラフに表示して表すだけでは、三次元的な分布を把握することが難しい。そのため、換気シミュレータでは、室内気流の流れや汚染物質の拡散状況の変化を三次元グラフィックシステムを使用することで、解析結果の効果的なビジュアル化を行っている。

3. 室内空気質の解析事例

換気シミュレータによって実際の居住空間における流れ現象の再現や予測が可能となる。そこで、室内空気質の幾つかの問題について、換気シミュレータで解析した事例を紹介する。

3.1 換気と温度分布

高気密化・高断熱化が進む居住環境では、空調負荷は軽減するものの自然換気量が減少するため、換気量不足の問題が発生する。“ロスナイ”⁽⁷⁾は当社が開発した全熱交換型の換気装置であり、換気による熱エネルギーのロスを少なくできる。

ロスナイには、図1に示すように、居室内で発生した汚染物質を排出するための排気口と、新鮮な外気を室内に供給する給気口が備わっており、内蔵する熱交換器によって排出空気から熱回収することで室内温度に近い温度で給気が行われる。事例では冬季における換気状態を想定し、ロスナイによって熱回収を行う場合(ロスナイ換気)と行わない場合(通常換気)について、室内の温度分布をシミュレートした。ここで、ロスナイ換気の場合の温度交換効率は70%とした。

図2に、運転開始から3分後の室内温度分布の解析結果を示す。図の中で、赤色に近い所は温度が高く、青色に近い所ほど低い温度を表している。通常換気では外界からの冷気が直接室内に流入するため室内空気温度が低下するが、ロスナイ換気では室内空気温度の低下が通常換気の場合に比べて抑

制され、必要な換気を行いながら室内空間の温熱環境を維持していることが分かる。

このように、これまで感覚としてとらえにくかった換気や温熱の状態をシミュレーションによってビジュアルに理解でき、より効率的な室内温熱環境の提案が可能となった。

3.2 CO₂濃度分布

通常、キッチンやサニタリゾーンには換気機器が設置されるのに対して、居室(リビング、子供部屋など)にはほとんど設置されないのが現状である。そこで、子供部屋や寝室などで在室者自身の呼吸から発生するCO₂を除去する個室用ロスナイを発売した。

この個室用ロスナイの効果を調べるため、密閉された室内で自然換気のみでのCO₂濃度上昇と、ロスナイ運転による濃度の低減効果をシミュレートした。図3に、解析モデルとした6畳間の寝室を示す。寝室の在室者は大人2名(CO₂発生量:0.013m³/h・人(就寝時))として、室内のほぼ中央部でCO₂を定常的に発生させ、自然換気の場合(換気回数:0.1回/h, 自然換気量:2.3m³/h)とロスナイ換気の場合(換気風量:30m³/h)における室内CO₂濃度分布を比較した。

図4は、2時間経過した後の、CO₂濃度1,000ppm以上の分布を表している。自然換気の場合は、換気量が非常に小さいため、室内全域にわたって高濃度の領域が広がっている。一方、ロスナイ換気の場合は、高濃度領域はCO₂発生近傍のみであり、速やかに排出されることが確認できる。

また、室内の平均CO₂濃度の時間変化を図5に示す。自然換気の場合はCO₂濃度が直線的に上昇するのに対して、ロスナイ換気の場合は約1,000ppmに維持されることが分かる。このように、室内空気汚染物質の経時的な濃度分布が得られ、個室用ロスナイのCO₂排出効果が確認できた。

3.3 換気効率

換気は室内空気を清浄に保つために行われる。すなわち、新鮮な空気を室内へ供給することと、室内で発生した汚染物質を早期に排出することである。室内における換気の効果

表1. 各φに対するΓ, S_φ

φ	Γ	S _φ
\bar{u}	$\mu_L + \mu_t$	$-\frac{\partial P}{\partial x} + \rho g_x$
\bar{v}	$\mu_L + \mu_t$	$-\frac{\partial P}{\partial y} + \rho g_y$
\bar{w}	$\mu_L + \mu_t$	$-\frac{\partial P}{\partial z} + \rho g_z$
\bar{h}	$\frac{\mu_L}{P_r} + \frac{\mu_t}{\sigma_h}$	S _h
\bar{C}	$\frac{\mu_L}{S_c} + \frac{\mu_t}{\sigma_c}$	S _{ev}
k	$\mu_L + \frac{\mu_t}{\sigma_k}$	G _k - ρε
ε	$\mu_L + \frac{\mu_t}{\sigma_\epsilon}$	C ₁ G _k $\frac{\epsilon}{K}$ - C ₂ ρ $\frac{\epsilon^2}{k}$

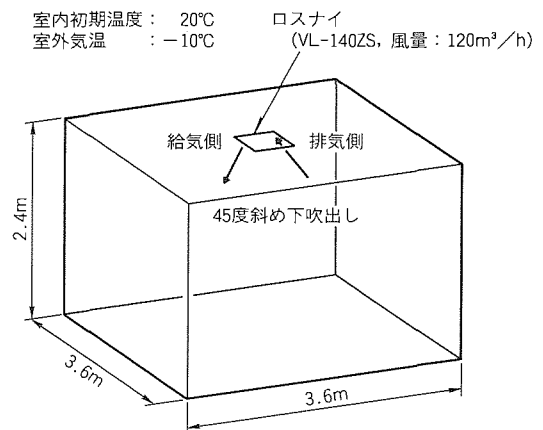


図1. ロスナイ換気の室内モデル

定量的に表す指標として換気効率⁽⁶⁾がある。室内各地点での換気効率は、換気風量と室内容積で求められる名目換気時間 (τ_n : 換気回数の逆数) と、給気口から供給された新鮮空気がどの程度の時間で各地点に到達するかを表す平均空気齢 (τ_i) との比で与えられる。

この平均空気齢の分布は、シミュレーションによって算出することができる。例えばステップアップ法の場合、給気口

から一定濃度のトレーサガスを供給する非定常シミュレーションを行い、得られた室内の濃度分布によって各地点での平均空気齢を求める。名目換気時間 (τ_n) は式(5)に、平均空気齢 (τ_i) は式(6)に、また、室内全体の換気効率 (η) は式(7)で示される。

$$\tau_n = V/Q \dots\dots\dots (5)$$

$$\tau_i = \int (1 - C_p(t)/C_s) dt \dots\dots\dots (6)$$

$$\eta = \tau_n / \langle \tau_i \rangle \dots\dots\dots (7)$$

ここで、 V は室内容積、 Q は換気風量、 $C_p(t)$ は時刻 t におけるある点でのトレーサガス濃度、 C_s は給気口での発生濃度、 $\langle \tau_i \rangle$ は平均空気齢の室内平均値である。

平均空気齢 (τ_i) は、供給される新鮮空気の分配の度合いを示している。例えば、吹き出し空気が到達しにくい地点では平均空気齢は長くなる。逆に、平均空気齢が短ければ到達した吹き出し空気は汚染される可能性が小さく、新鮮空気が供給されていると考えられる。室内全体がよく混合されている場合の換気効率 (η) は1に近い値となり、給気口から排気口へ空気を押し出すように流れる場合には1以上になる。また、新鮮空気がすぐに排出される短絡流がある場合には1以下の値となることがある。

事務所内での給気口と排気口の設置位置の違いによる換気効率を比較した事例を紹介する。図6に示すように、給・排

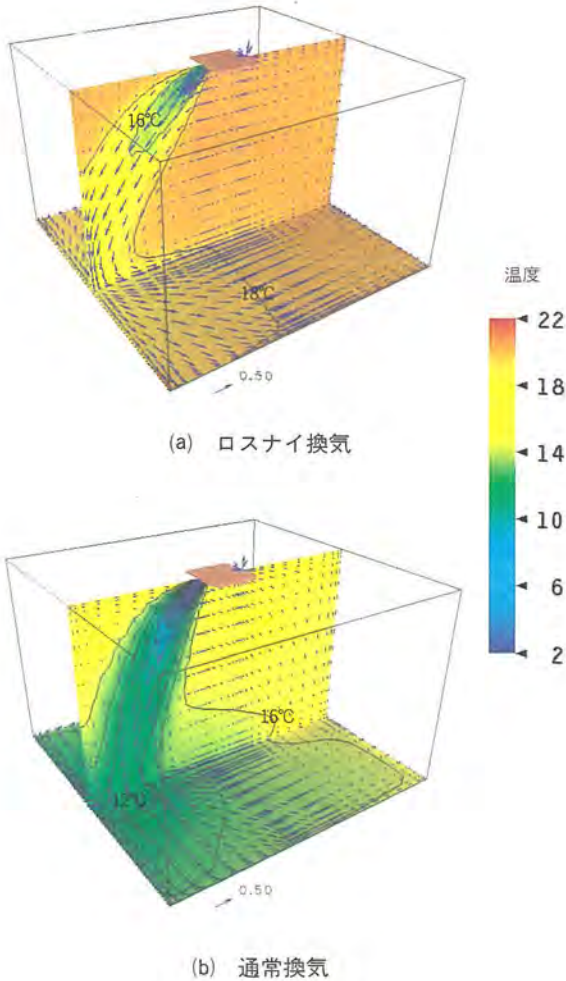


図2. 室内の温度分布

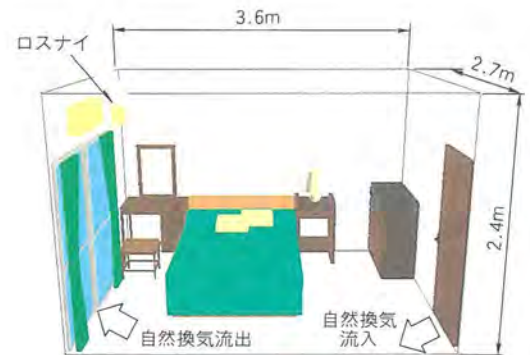
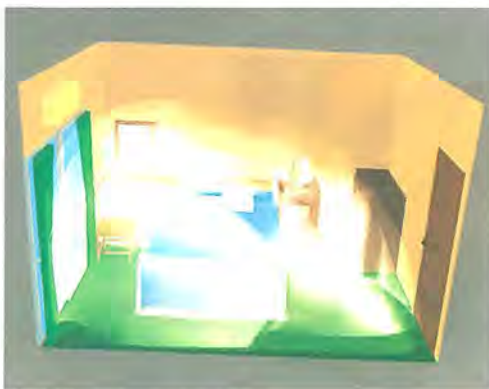
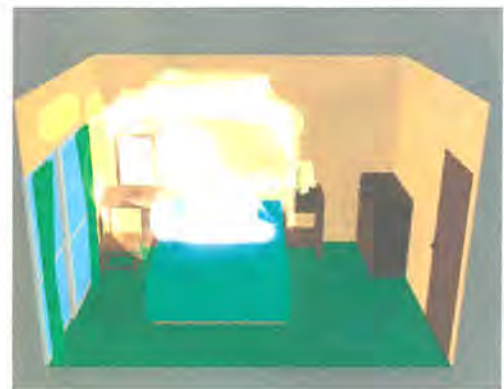


図3. 個室用ロスナイの解析モデル



(a) 自然換気



(b) ロスナイ換気

図4. CO₂濃度分布

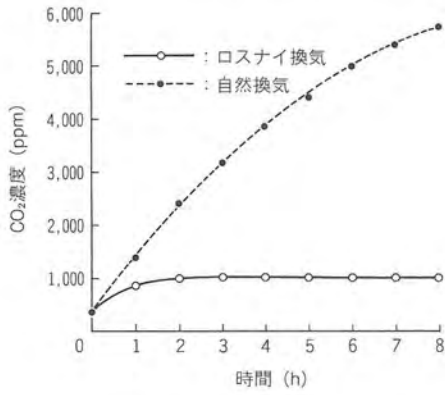
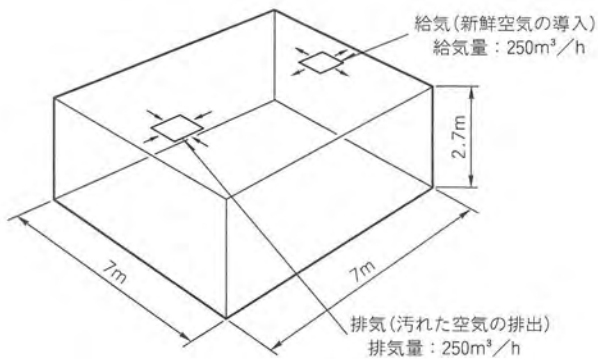
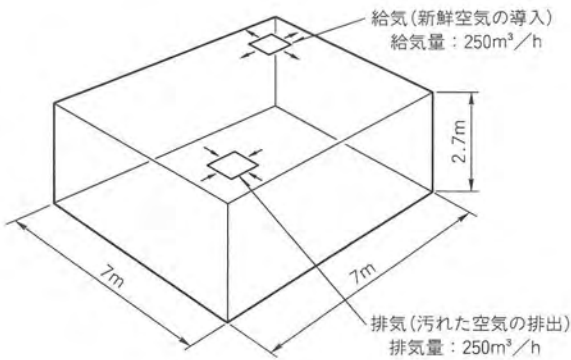


図5. 室内の平均CO₂濃度の変化

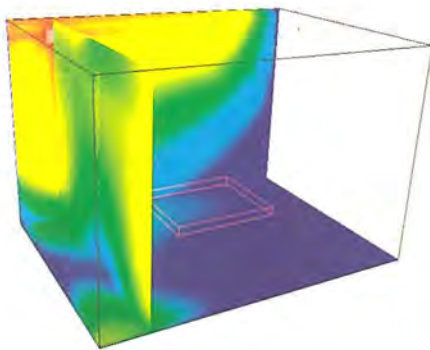


(a) 中央配置



(b) 対角配置

図6. 換気効率解析の室内モデル



(a) 粒子径 1μm

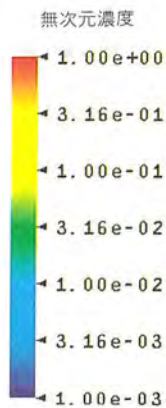
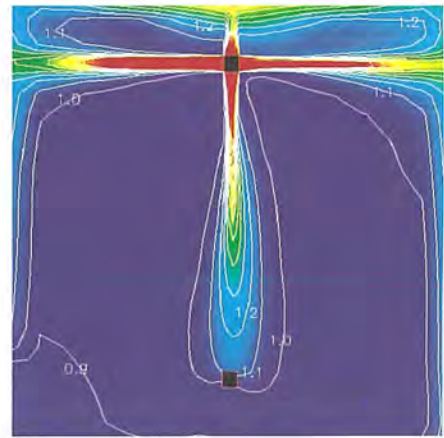
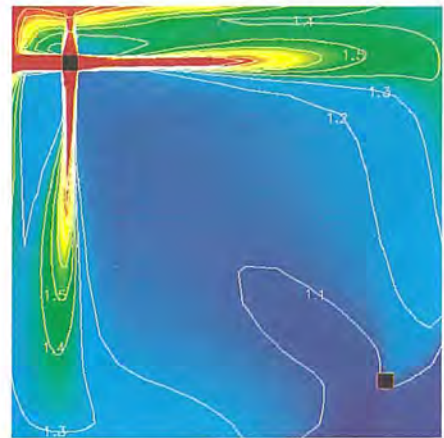


図9. 塵埃濃度の分布



(a) 中央配置



(b) 対角配置

図7. 天井面での換気効率分布

給気ユニット (P-13QU, 風量: 20m³/h)

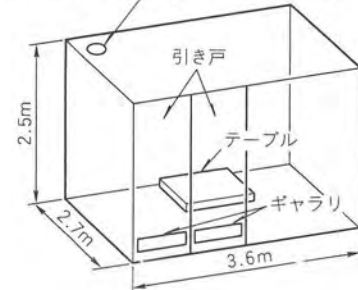
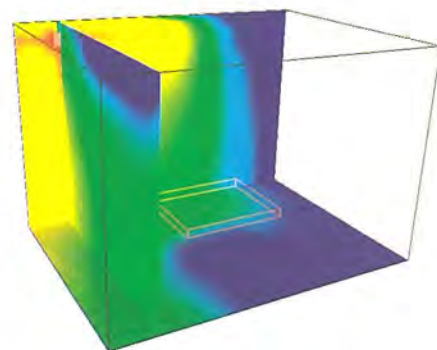


図8. 塵埃挙動の解析モデル



(b) 粒子径 20μm

表 2. 塵埃挙動の要因

	要 因
a	ブラウン拡散
b	熱泳動
c	流体からの粘性力
d	重力
e	静電気力
f	粒子間の相互作用

気口を天井の中央線に沿って配置した場合(a)と、対角に配置した場合(b)を解析した。

シミュレーションの結果、対角に設置した場合は室内全体での換気効率が1.2となり、室内へ新鮮空気が均一に供給できていると考えられる。しかし、中央に設置した場合の換気効率は0.9となり、新鮮空気が均一に供給されていない。

図7に、天井面におけるそれぞれの換気効率分布を示す。図の(a)に示す中央配置では給気された空気が直接排気口に届いており、図(b)の対角配置に比べて新鮮空気が短絡して排出されることが分かる。このように、換気シミュレータの結果に基づいた換気効率の分布から、詳細な換気特性の把握・分析が可能となる。

3.4 塵埃濃度分布

室内空気質の問題において、気流や温熱とともに、汚染物質(タバコの煙、臭気などのガスやほこり)を含めた室内環境の予測・評価は重要である。

これら汚染物質のうち、ほこり等の塵埃粒子は沈降・沈着・凝集などガスとは異なる性質を持つので、これらの点を考慮した輸送・拡散現象のシミュレーションが必要となる。そこで、換気シミュレータの一部を改良して機能を追加し、塵埃の挙動を解析できる塵埃用の換気シミュレータを開発した。

気流中の浮遊塵埃粒子の挙動には、気流による輸送や拡散のほかに、表2に示す様々な要因に支配される。解析では、想定する塵埃濃度場から必要な要因を考慮し、塵埃粒子の輸送方程式にその効果を含めることで濃度場を計算する。今回開発したシミュレータでは、表の要因 a~d を考慮した。

粒子径 d_p 、密度 ρ_p の球形粒子におけるブラウン拡散係数 D_B 、熱速度 U_T 、流体からの抵抗力 F_R 、及び重力 F_g は以下の式で表せる⁽⁹⁾。

$$D_B = k T C_c / 3 \pi \mu d_p \quad \dots\dots\dots (9)$$

$$U_T = -\mu / \rho T \cdot \text{grad} T \quad \dots\dots\dots (10)$$

$$F_R = 3 \pi \mu d_p v / C_c \quad \dots\dots\dots (11)$$

$$F_g = \pi \rho_p d_p^3 g / 6 \quad \dots\dots\dots (12)$$

ここで、 k はボルツマン定数、 T は絶対温度、 C_c はカニンガム修正係数、 μ は空気の粘性係数、 ρ は空気密度、 ρ_p は粒子密度、 v は粒子速度、 g は重力加速度である。ま

た開発したシミュレータでは、粒子の終末沈降速度 u_s を式(13)で与えている。

$$u_s = C_c (\rho_p - \rho) g d_p^2 / 18 \mu \quad \dots\dots\dots (13)$$

解析事例としては、外気が導入されている居室に外から2種類の粒子径の塵埃粒子が流入する場合の塵埃濃度分布を示す。図8は解析モデルである。外気は壁面上部に設置された給気ユニットから室内に導入され、引き戸のギャラリから排気される。図9は、塵埃粒子流入開始から5分後の無次元濃度分布を示したものである。

塵埃粒子径が大きくなると、重力による沈降効果が増大し、高さ方向に塵埃粒子濃度(赤色側が濃く、青色側が薄い。)の差が表れている。このように、塵埃粒子に働く挙動要因を考慮することにより、室内における塵埃濃度の問題を解析することが可能となった。

4. む す び

高速・高精度な換気シミュレータを利用することで、これまでマクロな評価しかできなかった居住環境での換気性能を、より詳細に把握し検討することが可能となった。

今後は、複雑化する室内の空気質を解析するため、実測による検証を含めてシミュレーション技術の向上を図り、効率的な空調換気システムを構築していきたい。

参 考 文 献

- (1) 野沢栄治, 池島 薫, 古藤 悟: 高速・高精度換気シミュレータ, 三菱電機技報, 66, No.8, 853~857 (1992)
- (2) Launder, B.E., Spolding, D.B.: Mathematical Models of Turbulence, Academic Press (1972)
- (3) 古藤 悟, 山中晤郎: 三次元傾斜差分スキームの研究, 機論, 56-530, B, 3120 (1990)
- (4) 村田健郎, 小国 力, 唐木幸比古: スーパーコンピュータ, 丸善 (1985)
- (5) Doormal, J.P., Raithby, G.D.: Enhancements of the SIMPLE Method for Predicting Incompressible Fluid Flows, Numerical Heat Transfer, 7, 147~163 (1984)
- (6) Patankar, S.V.: Numerical Heat Transfer and Fluid Flow, McGraw-Hill, Inc. (1980)
- (7) 吉野昌孝: 透過式全熱交換器(ロスナイ)の新開発, 三菱電機技報, 44, No.10, 1412~1422 (1970)
- (8) 中村 聡: 換気効率指標について, シンポジウム「換気効率の評価手法について」講演用資料 (1992)
- (9) 高橋幹二: エアゾル工学, 養賢堂 (1982)

上水道管網シミュレーション技術

寺下尚孝*
築山 誠**

1. ま え が き

上水道管網シミュレータは、管網設計計画段階における管網状態の推定や、運用計画段階におけるポンプ運転制御・配水圧制御などに適用される。

配水管網の解析モデルは、一般に、流量連続条件、閉路における圧力連続条件で構成され、管路の流量を方程式の変数とする流量法⁽¹⁾、節点の水頭値を変数とするエネルギー一位法⁽²⁾、双方を変数とする混合解析法⁽³⁾などがある。これらの解析法では、流量と損失水頭の関係が非線形であるので非線形連立方程式を解く必要があり、その解析にはNewton-Raphson法などの繰返し演算が用いられている。

一方昨今では、特に直結給水システムの導入によってこれまで以上のきめ細かい水圧制御が必要となっており、より詳細な配水管網(大規模配水管網)に対する解析や、1日単位の需要量とその時間変動に対応した制御計画などの動的挙動を扱えるシミュレータの開発が望まれている。従来解析法は、与えられた境界条件に対する管網の圧力分布・流量分布を演算するもので、得られる結果は定常状態であり、また、非線形連立方程式を繰返し演算を用いて解析するため、大規模配水管網や動的挙動の解析に適用するには演算時間の面でも不向きである。

本稿では、上水道管網の流れの動的挙動を解析する手法について述べる。この手法は、時間差分を適用することによって非線形成分を既知化するものである。得られる方程式は未知数がノードの個数である線形連立方程式となり、繰返し演算が不要である⁽⁴⁾。簡単な配水管網に対する動的挙動解析性能を評価するとともに、実用的規模の配水管網に対して、実時間での模擬の可能性を示す。

2. 配水管網の動的解析モデル

2.1 基礎式

上水道の流れは単相非圧縮流の流動である。体積(V)、断面積(A)、流路長(l)の流路に対して、質量保存則、運動量保存則は、式(1)及び式(2)で表される。

$$V \frac{\partial \rho}{\partial t} = \sum_k w_k \quad \dots\dots\dots (1)$$

$$\frac{l}{A} \frac{\partial w}{\partial t} = -\frac{l}{A} \nabla \left(\frac{w^2}{\rho A} \right) - \nabla P - \rho g \Delta h - (h_l + h_v) \quad \dots\dots\dots (2)$$

ここで、 w :流量、 P :圧力、 ρ :密度、 g :重力加速度、 Δh :高度差、 h_l :損失水頭、 h_v :弁における損失水頭である。

式(1)の右辺は体積(V)の流路に流入・流出する流量の総和である。配水是非圧縮でまた温度変化も考慮しなくてもよいことから、密度の変化率は無視でき、左辺は零としてよい。

$$\sum_k w_k = 0 \quad \dots\dots\dots (3)$$

配管の損失水頭(h_l)は、Hazen-Williamsの式を用いる。

$$w = 0.27853 CD^{2.63} l^{-0.54} |h_l|^{\alpha-1} h_l \quad \dots\dots\dots (4)$$

ここで、 C :流速計数、 D :管径、 $\alpha = 0.54$ であり、弁による損失水頭(h_v)は弁開度の関数を用いる。

$$h_v = \frac{1}{2} \frac{K}{A^2 \rho} |w| w \quad \dots\dots\dots (5)$$

$$K = \frac{C_v}{\theta^2} \quad \dots\dots\dots (6)$$

ここで、 K :圧損係数、 θ :弁開度、 C_v :全開時の圧力損失係数である。

2.2 離散化

式(3)、式(2)で表される配水管網基礎式を、空間的にはスタッガードメッシュ法、時間的には半陰解法⁽⁵⁾によって離散化する。

スタッガードメッシュ法は、図1に示すように、流路をノードと呼ぶ空間に分割し、各ノードに対して質量保存則を適用する。また、ノード間の境界にジャンクションと呼ぶ仮想空間を配置し、各ジャンクションに対して運動量保存則を適用する。

図に示すノード・ジャンクション構成に対して、配水管網の基礎式は次のようになる。

$$\sum_k w_k^{n+1} = 0 \quad \dots\dots\dots (7)$$

$$\begin{aligned} \frac{l_k}{A_k \delta_t} (w_k^{n+1} - w_k^n) &= \frac{1}{A_k} \left(\left(\frac{w^2}{\rho A} \right)_i - \left(\frac{w^2}{\rho A} \right)_j \right) \\ &+ P_i^{n+1} - P_j^{n+1} - \rho_k^n g \Delta h_k \\ &- (h_{lk} + h_{vk}) \quad \dots\dots\dots (8) \end{aligned}$$

ここで、式(8)の右辺第1項は、流れの方向によって変化する移流項で、上流差分近似を表し、式(9)で与えられる。

$$w_k^n \geq 0 \text{ のときは,}$$

$$\left(\frac{\overline{w^2}}{\rho A}\right)_i - \left(\frac{\overline{w^2}}{\rho A}\right)_j = \frac{(w_{k-1}^n)^2}{\rho_{k-1}^n A_{k-1}} - \frac{(w_k^n)^2}{\rho_k^n A_k}$$

$w_k^n < 0$ のときは、

$$\left(\frac{\overline{w^2}}{\rho A}\right)_i - \left(\frac{\overline{w^2}}{\rho A}\right)_j = \frac{(w_k^n)^2}{\rho_k^n A_k} - \frac{(w_{k-1}^n)^2}{\rho_{k-1}^n A_{k-1}}$$

..... (9)

$$\begin{bmatrix} -R_1 & R_1 & 0 & 0 & 0 & 0 & 0 \\ R_1 & -R_1 - R_2 - R_4 & R_2 & 0 & R_4 & 0 & 0 \\ 0 & R_2 & -R_2 - R_3 & R_3 & 0 & 0 & 0 \\ 0 & 0 & R_3 & -R_3 & 0 & 0 & 0 \\ 0 & R_4 & 0 & 0 & -R_4 - R_5 - R_6 & R_5 & R_6 \\ 0 & 0 & 0 & 0 & R_5 & -R_5 & 0 \\ 0 & 0 & 0 & 0 & R_6 & 0 & -R_6 \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ P_3 \\ P_4 \\ P_5 \\ P_6 \\ P_7 \end{bmatrix} = \begin{bmatrix} S_1 \\ -S_1 + S_2 + S_4 \\ -S_2 + S_3 \\ -S_3 \\ -S_4 + S_5 + S_6 \\ -S_5 \\ -S_6 \end{bmatrix}$$

..... (12)

2.3 解法

式(7), 式(8)において, w^{n+1} , P^{n+1} が未知数である。式(8)から w^{n+1} について解くと, 式(10)が求められる。

$$w_k^{n+1} = R_k (P_i^{n+1} - P_j^{n+1}) + S_k$$

$$R_k = D_k \delta t \frac{A_k}{l_k}$$

$$D_k = f(w_k^n, \theta)$$

$$S_k = D_k \left(w_k^n + \delta t \frac{A_k}{l_k} \left(\frac{1}{A_k} \left(\left(\frac{\overline{w^2}}{\rho A} \right)_i - \left(\frac{\overline{w^2}}{\rho A} \right)_j \right) - \rho_k^n g \Delta h_k \right) \right) \dots\dots\dots (10)$$

S_k で表される変数は, 移流項, 配管の損失水頭, 弁の損失水頭が含まれ流量 w について非線形となる。しかし, これらの項は時間差分において1ステップ前の値を用いるため既知となり, 結果的に線形連立方程式となる。式(10)を式(7)に代入すると式(11)が求められる。

$$\sum_k (R_k (P_i^{n+1} - P_j^{n+1}) + S_k) = 0 \dots\dots\dots (11)$$

式(11)を, 例えば, 図2に示す配管網で構成すると式(12)のような構成となり, 圧力が未知数でその個数が未知圧力ノードの個数に等しい対称行列で表現される線形連立方程式が得られる。

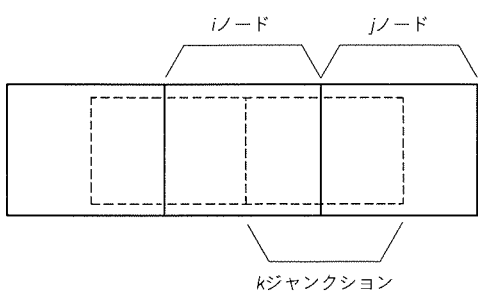


図1. スタッガードメッシュ規約

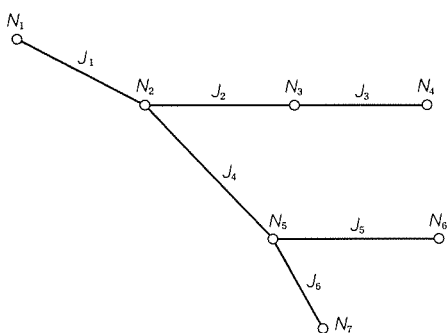


図2. 配管網の例

連立方程式の係数行列は零要素が多いので, これを効率的に解くためにスカイライン法⁽⁶⁾を適用する。スカイライン法は, 図3に示すようなスカイライン構造を持つ行列に対し, LU分解してもスカイライン構造の外部に非零の項が現れることがないことを利用した解法で, スカイライン構造の内部のみを演算すればよい。

3. 動的挙動解析例

3.1 動的解析の定性的評価

ここでは, 極めて簡単な配管網について解析した結果について定性的に評価する。解析に用いる例を図4に示す。配管網の構成は貯水池が二つ, 需要点が二つで, 需要点での流量は, それぞれ 1 kg/s, 3 kg/s とし一定である。貯水池は図に示すような断面形状を持つものとし, 初期状態は貯水池 A 側の水面の標高を 30 m, 貯水池 B 側の水面の標高を 27.5 m とする。この状態から上水の流れの時間的推移を

$$\begin{bmatrix} -R_1 & R_1 & 0 & 0 & 0 & 0 & 0 \\ R_1 & -R_1 - R_2 - R_4 & R_2 & 0 & R_4 & 0 & 0 \\ 0 & R_2 & -R_2 - R_3 & R_3 & 0 & 0 & 0 \\ 0 & 0 & R_3 & -R_3 & 0 & 0 & 0 \\ 0 & R_4 & 0 & 0 & -R_4 - R_5 - R_6 & R_5 & R_6 \\ 0 & 0 & 0 & 0 & R_5 & -R_5 & 0 \\ 0 & 0 & 0 & 0 & R_6 & 0 & -R_6 \end{bmatrix}$$

図3. スカイライン行列

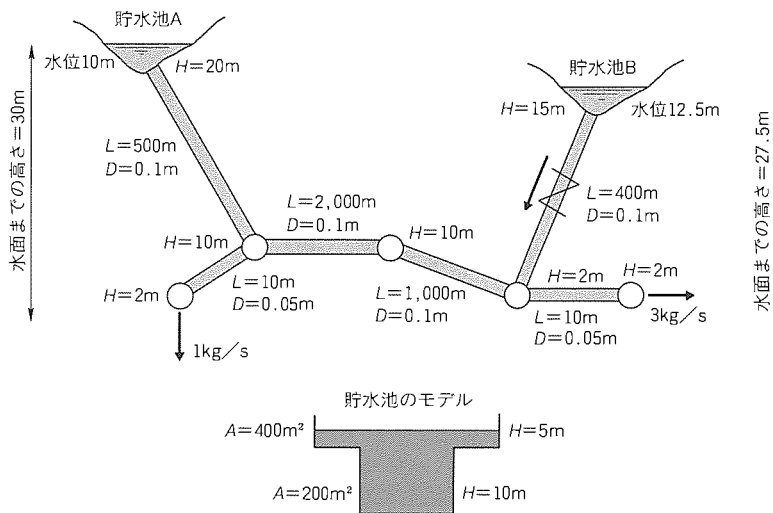


図4. 解析に用いた配管網モデル

解析する。

図の配管網の動的挙動は、定性的に以下のように説明できる。

- (1) 初期状態は、図に示すように、貯水池 A の水位 (標高) が 2.5 m 高い。また、貯水池 B からの配管には逆止弁が設置されているので、二つの貯水池の水位 (標高) が等しくなるまで貯水池 A から上水が供給される。
- (2) 貯水池のモデルは、取水口から水位 10 m までとそれ以上では断面積が異なる。貯水池の水位 (標高) が等しくなったときの貯水池 A の断面積は 200 m²、貯水池 B の断面積は 400 m² であるので、各貯水池から供給される水量は異なり、断面積に反比例する。
- (3) 貯水池 B の水位 (標高) が 25 m になったとき、双方の貯水池の断面積は等しくなるので、双方からの流量は等しくなる。

本稿で述べた手法によって解析した結果を図 5 に示す。図には、貯水池の水位 (標高) とそれぞれの貯水池から供給される流量を示している。解析結果は前記の定性的挙動を示している。

3.2 システム構築例

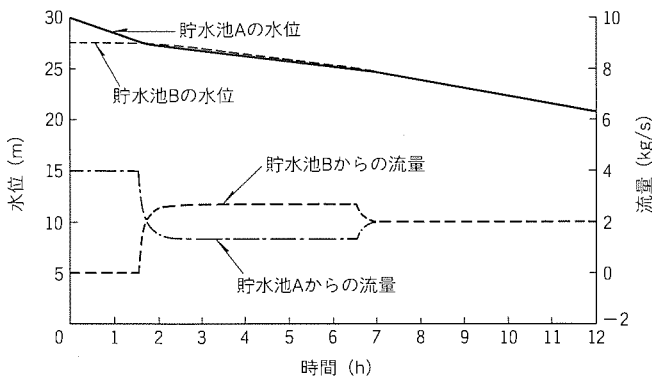


図 5. 解析結果

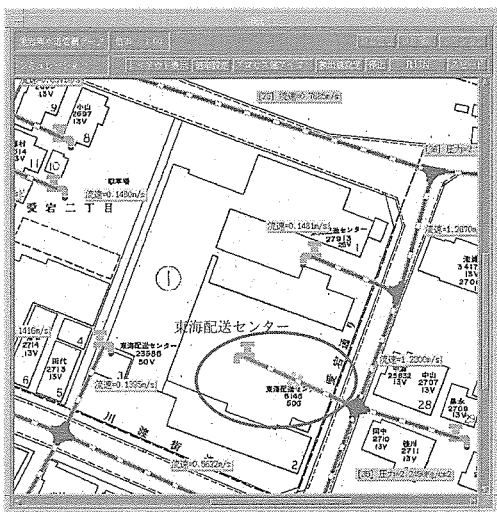


図 6. インタフェース画面

本稿で述べた動的解析法を適用したシステムの構築例について述べる。上水道管網のシミュレータは、管網のデータが視覚的に容易に把握できるマンマシンインタフェースを装備することが常識となりつつある。特に、現実の設備データとの整合性をとりながら解析を実施できることが望まれている。この要求が大規模化への要求の一つの理由ともなっている。ここではこの要求も踏まえ、地図データ上に配置された設備データとのリンクを考慮して、そのデータを対話的に追加・修正できるユーザインタフェースを備えたプロトタイプシステムを開発した。図 6 に、そのインタフェース画面例を示す。このシステムは、分岐点となるノードを配置し、その間を配管で結合し、配管長などの設備データを格納することによって管網データの構築を可能としている。構築されたデータは、システム内で解析プログラムに読取り可能な形式に変換し、同一インタフェース上で解析が実施できる。

例えば、図 6 の円で示した東海配送センターに新たな需要点を追加した場合における解析結果を図 7 に示す。解析の条件は定常状態において、新たに追加した需要点の止水弁を開放したとして実施した。新需要点の消費量を多くしたため、新需要点付近の水圧が減少し、下流側では逆流が発生している。このような解析が即座に実施できる。

3.3 演算速度の評価

この解析法による演算速度の評価を実施した。この解析法では、各ジャンクションにおける式 (10) の係数 R_k 、 S_k を求め、式 (12) に示される行列をその接続関係から構成する。したがって、その係数の演算数はジャンクションの数に比例する。また、スカイライン法による圧力の求解には、図 3 に示すスカイライン構造のみの演算となり、その演算数はスカイライン構造内部の係数の個数に比例する。以上から、ジャンクション数とスカイライン係数の個数から CPU 時間は次のように表現できる。

$$N_J \cdot \alpha + N_S \cdot \beta = T_{CPU} \dots\dots\dots (13)$$

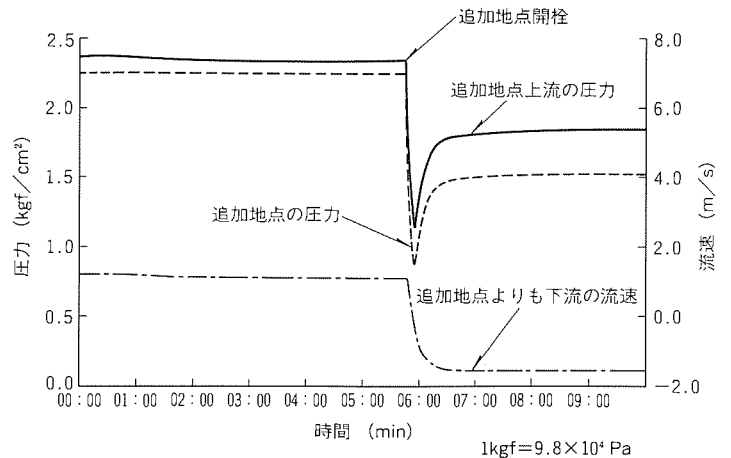


図 7. 需要点追加時の動的挙動解析例

表 1. 配管網データ

	ジャンクション数	ノード数	スカイライン係数の数	CPU時間 (s)
ケース1	79	48	342	177
ケース2	420	340	2,392	1,022

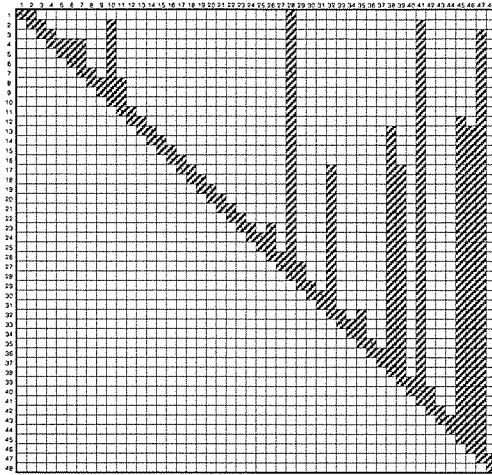


図 8. ケース 1 におけるスカイライン構造

ここで、 N_J :ジャンクション数、 N_S :スカイライン係数の数、 T_{CPU} :CPU 計測時間である。

そこで、表 1 に示す配管網によって CPU 時間を計測し、その係数を求めた。

表における CPU 時間は、1 秒のタイムステップで 1 日分の挙動を解析したときの CPU 時間で、使用した計算機は HP 743 i である。

図 8 に、ノード数 48 のケースにおけるスカイライン構造を示すが、スカイライン係数の数は、配管網の構造、及びノード番号・ジャンクション番号の取り方によって大きく異なる。

る。したがって、あくまでも概算であるが、実用的と考えられるノード数 800 個、ジャンクション数 1,000 個程度の配管網に対し、この解析法では、計測した値から 1 時間ステップ当たり約 30 ms での演算が可能であると思われる。

4. むすび

上水道管網の流れの動的挙動を解析する手法を提案した。提案した手法の特長は、

- 時間差分を適用することによって非線形成分を既知化し、線形連立方程式を解くことによって解析可能
- 線形連立方程式に帰着し、繰返し演算が不要

である。

この手法の適用により、実用的と考えられるノード数の配管網に対し、実時間で動的挙動解析の可能性を示した。今後、実際の配管網データを基に定量的評価を実施する。

参考文献

- (1) 高桑哲男：配水管網の解析と設計、森北出版 (1978)
- (2) 綾：配水施設のシミュレーション (I) マイクロコンピュータによる管網計算、水道協会誌, No.559, 29 (1981)
- (3) 西川, 宇土, 尾崎：配水管網の設計と圧力制御のための汎用管網計算法、水道協会誌, 53, 2~20 (1984)
- (4) 寺下尚孝, 峯瀬正祥：上水道管網の動的挙動解析法、電気学会全国大会講演論文集 (1995)
- (5) Liles, D.R., Reed, W.H.: Journal of Computational Physics, 26, 390~407 (1978)
- (6) 山田嘉昭, 横内康人：有限要素法による弾塑性解析プログラミング、培風館, 159~183

生産シミュレーション技術と そのスケジューリングへの応用

森 一之*
築山 誠**

1. ま え が き

製造業では、厳しい国内外の企業競争に対応するために、生産性の向上を目的とした生産システムの革新が行われている。生産スケジューリングは、この目的を達成するための重要な役割を担う技術として着目され、生産システムへ組み込まれつつある。

当社は、実用的なスケジューリングシステムを構築するため、離散事象モデルによる生産シミュレーション技術⁽¹⁾、マンマシン協働型のスケジューリング技術⁽²⁾、そして最適化技術⁽³⁾の技術開発を行ってきた。

この論文では、これらの技術に基づいて開発した当社の生産シミュレーションスケジューリング用ツールFPSS (Flexible Production Scheduling System)を紹介するとともに、その基本技術について述べる。また、当社で開発したヒューリスティックな最適化手法である免疫アルゴリズムによるスケジューリング技術について紹介する。

2. 離散事象モデルによるシミュレーション技術

FPSSで採用している離散事象モデルに基づくシミュレーションの基本技術と、生産システムのモデリングについて以下に述べる。

2.1 生産シミュレーションの定義

生産システムの挙動又は操作の結果を、実際の実験システムを用いずに、生産システムをまねたモデルの分析・検討から推定することを、生産シミュレーション (Manufacturing Systems Simulation) という⁽⁴⁾。

2.2 生産シミュレーションの目的

生産シミュレーションは、生産システムの最適な構築と効率的運用を目的として、①生産システムの設計、②生産システムの分析・評価、③生産システムの計画・運用の各段階で用いられる。

2.3 離散事象システムの基礎

生産システムのシミュレーションを行うには、まず生産システムのモデリングが必要となる。大部分の生産システムは離散生産システムであるので、FPSSでは生産システムのモデルを、離散事象システムのモデリング能力に優れたペトリネット⁽⁵⁾で記述する。ペトリネットによる生産システムのモデル化の利点は以下のとおりである。

(1) システム挙動の構造的モデル化

通常の状態遷移図と異なり、システムの並行同時進行性、順序性、競合とその解消、がシステム構成要素に記述できる。

(2) システムの階層的モデル化

生産システムは、部品、機械、セル、生産ラインそして工場まで、各要素が階層的に構成されている。これらの要素を統一的に扱えるペトリネットは、生産システムのモデル化を容易にする⁽¹⁾。

2.3節では、ペトリネット⁽⁵⁾による生産システムのモデリング方法について述べる。

2.3.1 ペトリネットの定義

ペトリネット (Petri Net: PN) は、プレース P とトランジション T と呼ばれる二つのノードからなる有向グラフである。ノード間の関係は、二つの接続枝の集合 PT と TP によって定義される。 PT はプレースからトランジションへの関係を表し、 TP はトランジションからプレースへの関係を表す。プレースとトランジション及びその関係を表す重みづけ接続枝は、それぞれ、サークル (○)、ボックス (□) としてアーク (→) で図示される。また、 PT (TP) によってトランジションに接続されているプレースをトランジションの入力 (出力) プレースと呼ぶ。ペトリネットの状態は、ノード内にトークンと呼ばれる印 (黒点●) を配置することによって表す。このトークンの配置をマーキング M で定義すると、 PN は式(1)の5項で構成できる。

$$PN = \{P, T, PT, TP, M\} \dots\dots\dots (1)$$

ここで、 P : プレースの集合

T : トランジションの集合

PT : プレースからトランジションへの接続枝の集合

TP : トランジションからプレースへの接続枝の集合

M : マーキング

2.3.2 時間付きペトリネットの定義

生産システムのシミュレーションやスケジューリングでは、ペトリネットに時間の概念が必要となる。時間の概念を付加したペトリネットを時間付きペトリネット (Timed Petri Net: TPN) という。 TPN では、トランジションからプレースへの遷移に要する遅延時間が TP に設定される。この遅延時間の集合を TT 、プレース内のトークンの配置を MP 、トランジション内のトークンの配置を MT で定義すると、 $M = MP \cup MT$ なので TPN は式(2)の6項で構成

できる。

$$TPN = \{P, T, PT, TP, TT, M\} \dots\dots\dots (2)$$

ここで、

TT : 遷移に要する遅延時間の集合

2.3.3 時間付きペトリネットの状態遷移

ペトリネットでは、システムの動的な挙動はトランジションの発火に伴うマーキングの変化で表現できる。ただし、トランジションの発火は次の TPN のトランジションの発火規則に従う。

- (1) トランジションは、時刻 k において、各入力プレースに少なくとも PT のアークの数以上のトークンが存在するときに限って発火可能である。
- (2) トランジションは発火可能なときに限って発火できる。
- (3) 時刻 k にトランジションが発火すると、そのトランジ

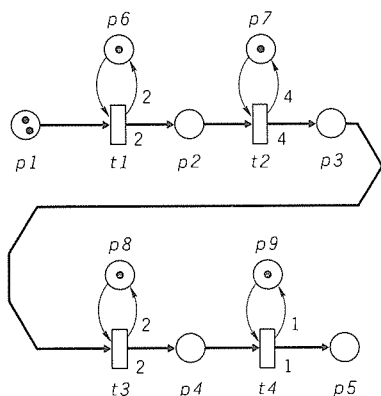


図 1. TPN の例

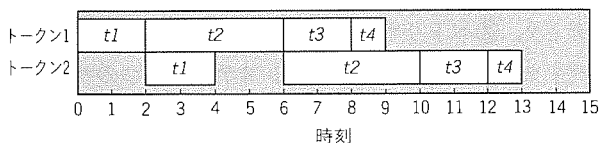


図 2. TPN の実行によって得られたスケジュール

ションの各入力プレースからトークンが PT のアークの数だけ取り除かれ、時刻 $k+t$ になるまでトランジションに置かれ、時刻 $k+t$ に各出力プレースへ TP のアークの数だけ置かれる。ただし、 t はトランジションと出力プレースを接続するアークに付加された遅延時間である。

図 1 に TPN の例を示す。図においてトランジションからプレースへ向かうアーク TP に付けられた数値は、発火における遅延時間 TT を表す。また、図 1 の TPN を発火規則に基づいてシミュレーションした結果を、図 2 のスケジュール図として示す。ただし、スケジュール内の文字は滞留しているトランジションを表す。このときのマーキングの遷移を表 1 に示す。

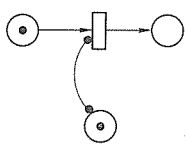
2.4 ペトリネットによる生産システムのモデリング

生産システムは、図 3 に示す基本ペトリネットを接続することによってモデル化できる。

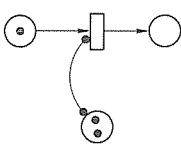
例えば、図 1 で表される四つの機械から構成される生産システムは、図 3(a) を組み合わせたものである。トランジ

表 1. TPN のマーキング M の推移

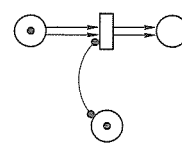
ノード 時刻	p1	p2	p3	p4	p5	p6	p7	p8	p9	t1	t2	t3	t4
0	2	0	0	0	0	1	1	1	1	0	0	0	0
1	1	0	0	0	0	0	1	1	1	1	0	0	0
2	1	1	0	0	0	1	1	1	1	0	0	0	0
3	0	0	0	0	0	0	0	1	1	1	1	0	0
4	0	0	0	0	0	0	0	1	1	1	1	0	0
5	0	1	0	0	0	1	0	1	1	0	1	0	0
6	0	1	1	0	0	1	1	1	1	0	0	0	0
7	0	0	0	0	0	1	0	0	1	0	1	1	0
8	0	0	0	1	0	1	0	1	1	0	1	0	0
9	0	0	0	0	1	1	0	1	1	0	1	0	0
10	0	0	1	0	1	1	1	1	1	0	0	0	0
11	0	0	0	0	1	1	1	0	1	0	0	1	0
12	0	0	0	1	1	1	1	1	1	0	0	0	0
13	0	0	0	0	2	1	1	1	1	0	0	0	0



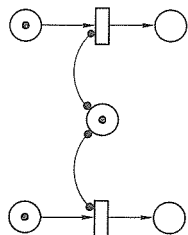
(a) 単一機械による工程処理



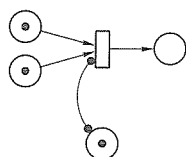
(b) 並列機械による工程処理



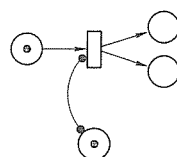
(c) 単一機械によるバッチ工程処理



(d) 単一機械による複数工程処理



(e) 合流(組立)工程



(f) 分流(分解)工程

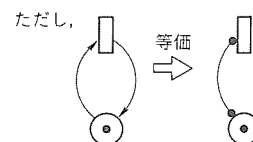


図 3. 基本ペトリネット

シジョン $t1 \sim t4$ は工程処理を、プレース $p1$ から $p4$ は工程処理待ちのジョブのバッファを、プレース $p1$ 中のトークンは工程処理待ちのジョブを、そして、プレース $p6 \sim p9$ 中のトークンは稼働待ちの機械の資源を表す。

3. デュアルループ スケジューリング技術

3.1 スケジューリングの定義

n 個の仕事と m 台の機械 $U1, U2, U3, \dots, Um$ に対し、各仕事を処理する機械順、すなわち各仕事の技術順序と各仕事の各機械上での工程処理時間が既知の下で工程処理上の適当な制約（機械が故障しないことなど）の下に、全仕事を処理し終わるまでの総所要時間、又は加重平均完了時刻、平均納期ずれ（又は納期遅れ）、機械遊休時間、仕事の処理待ち時間、これらに関連する費用など、各仕事の処理完了時刻の非減少関数である目的関数を最小にする、各機械での各仕事の処理順序を定める問題をスケジューリング問題と定義する⁽⁶⁾。

スケジューリング問題は次の式で記述できる。

$$\min f(x) \dots\dots\dots (3)$$

$$\text{ただし, } x \in F \dots\dots\dots (4)$$

$$F \subseteq X \dots\dots\dots (5)$$

ここで、 X ：基本空間、 F ： X の部分集合である解空間、 x ：解、 $f(x)$ ：目的関数である。

解空間 F の要素は有限と考えられるが、一般には膨大であるのですべてを調べあげることは現実的に不可能である。したがって現実のスケジューリングでは、3.3 節で述べるシミュレーションによって実用的な解を見付けるか、又は4章で述べるヒューリスティックな探索アルゴリズムによって準最適解を見付けるのが現実的である。

3.2 シミュレーションによるスケジューリング

シミュレーションによるスケジューリング手法とは、あらかじめ設定した生産システムのディスパッチングルールに基づいて生産システムのシミュレーションを行い、その結果をスケジュールとして採用する方法である。

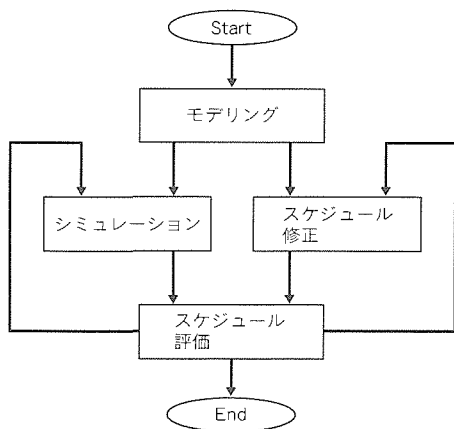


図4. デュアルループ スケジューリング

ディスパッチングルールは、図3(d)のように、二つ以上の工程で機械の取り合いが起こったときに（これを競合という。）、どの工程を優先し、競合を解消するかを決定するための規則である。ディスパッチングルールの典型例を以下に示す。

- (1) 処理時間最小ジョブ優先規則
- (2) 処理時間最大ジョブ優先規則
- (3) 残り処理量最小ジョブ優先規則
- (4) 残り処理量最大ジョブ優先規則
- (5) 先着ジョブ優先規則
- (6) 仕掛り量最小ジョブ優先規則
- (7) 仕掛り量最大ジョブ優先規則

生産システムの目的に適したディスパッチングルールを設定すると、生産の要求を満足する生産スケジュールを得ることができる。しかしながら、ディスパッチングルールの設定に試行錯誤が必要であることが問題となっている。

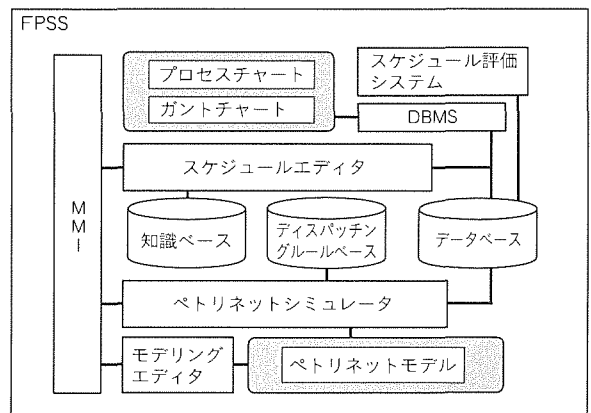
3.3 デュアルループ スケジューリングとFPSS

このような問題を解決するスケジューリング法として、筆者らは、図4に示すように、計画担当者がシミュレーションによる方法で得られたスケジュールを生産の要求を満足するスケジュールへ修正する方法を提案している。この方法は、マンマシン協働型のデュアルループ スケジューリング法と呼ばれ、以下に述べるFPSSの四つのサブシステムを用いることによって実現できる。

FPSSは、生産システムの設計・計画・運用・評価を目的に開発された生産シミュレーション スケジューリング用ツールである。FPSSは、図5に示すように、①モデリングエディタ、②ペトリネットシミュレータ、③スケジュールエディタ、④スケジュール評価システムの四つのサブシステムで構成される。

(1) モデリングエディタ

モデリングエディタは、機械に関する情報と各仕事に関する情報を入力することにより、生産システムの時間付きベト



MMI: Man Machine Interface
DBMS: Data Base Management System

図5. FPSSのシステム構成

リネットモデルを作成するものである。

(2) ペトリネットシミュレータ

ペトリネットシミュレータは、モデリングエディタによって作成された時間付きペトリネットのシミュレータである。ユーザは、実際の運用ルールをFPSSのルールエディタで作成することができる。また、この運用ルールに基づいてシミュレーションされた結果は、スケジュールとして、図6に示すように、仕事に着目したプロセスチャートと機械に着目したガントチャート(Gantt Chart)の形で出力される。

(3) スケジュールエディタ

スケジュールエディタは、仕事の追加や装置故障などが生じた場合に、スケジュールの変更をユーザに提供するものである。ユーザは、FPSSの画面上で、仕事又はその工程の処理開始時刻と終了時刻を、挿入・移動・消去・コピーなどの修正機能を使って自由に変更できる。そして、ユーザはこの修正機能を使って希望のスケジュールを得ることができる。

また、このスケジュールエディタは生産における制約(機械干渉制約や納期制約など)の管理機構を備えているため、ユーザは制約を意識することなく制約を満たしたスケジュールを作成することができる。

(4) スケジュール評価システム

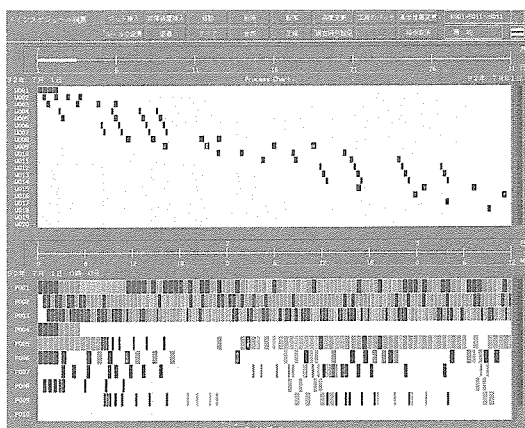


図6. FPSSのスケジューリング結果

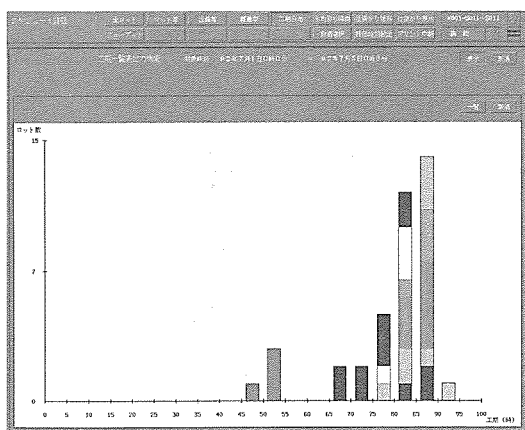


図7. スケジュール評価の例(工期分布)

これはシミュレーション結果又はスケジューリング結果を評価するためのツールであり、シミュレーションにおけるディスパッチングルールの選択及びスケジュールエディタによって編集したスケジュールの評価に用いられる。その評価指標として、機械稼働率、加工待ち時間、生産工期分布、仕掛り数分布の推移、納期遅れ分布などがある。また、これらの評価結果は、図7に示すように、ユーザの評価能力を高めるためにディスプレイ上に図や表の形で出力される。

4. 免疫アルゴリズムによるスケジューリング技術

以上、シミュレーションによるスケジューリングとその支援システムについて述べてきた。しかしながら生産環境は常に変動するため、ユーザのマニュアルでの修正では対応できないことが予想される。このようなことから、最近ではスケジューリングシステムに生産環境の変化に対する適応性・即応性が要求される。

当社ではこのような要求にこたえるため、免疫システムの情報処理モデルをヒントにした適応システムの研究を行っている⁽⁹⁾。この章ではその最適化能力を応用した最適スケジューリング手法について述べる。

4.1 免疫アルゴリズム

免疫システムは非自己である抗原を認識し、それに対抗する抗体を生成して排除し、さらに抗体を記憶学習する一連の情報プロセスとみることができる。

これを最適化のアルゴリズムとして図式化すると、図8のように表せる。

(1) 抗原の認識

システムが抗原を入力情報として認識する。

(2) 初期抗体群の生成

記憶細胞から過去に有効であった抗体群を生成する。具体的には、有効な抗体(解候補)を保存したデータベースから、抗体を読み込む。

(3) 親和度の計算

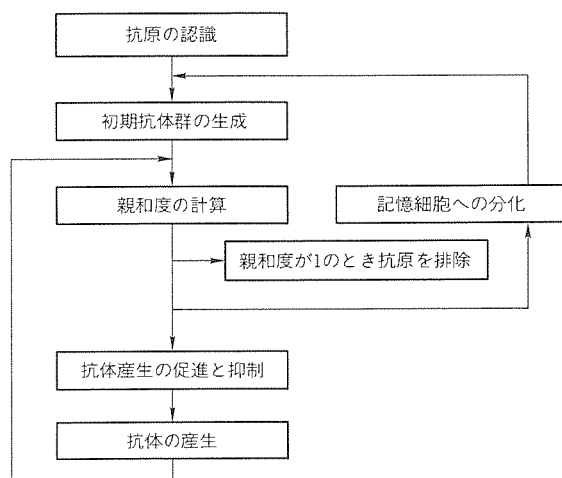


図8. 免疫アルゴリズム

抗原と抗体の親和度を計算する。親和度が1の抗体が最適解である。

(4) 記憶細胞への分化

親和度があるしきい値よりも高い抗体を記憶細胞に記憶する。記憶細胞には容量制限があるため、新たに記憶する細胞に最も類似した抗体を記憶細胞から削除する。

(5) 抗体産生の促進と抑制

抗体の生存期待値を計算し、生存期待値が低い抗体を消滅させる。親和度の高い抗体は生き残る確率が高い。一方、濃度が高い抗体は生き残る確率が低い。つまり、これによって過剰な抗体が産生されることを抑制し、解候補群の多様性を維持するように調節している。

(6) 抗体の産生

前ステップで消滅させた抗体に替わる新しい抗体を、その遺伝子を乱数を用いてランダムに決定することによって産生する。次に残った抗体と新しく産生した抗体に対して、ランダムにペアを選び、これらに交さ(又)操作を行い、次世代に残す抗体を増殖する。さらに、増殖した抗体に対して、突然変異を起こす。これらを候補群として(3)に戻る。

4.2 工場負荷割当て問題への適用

4.2.1 問題の記述

工場への負荷割当て問題とは、その順序が定まっている複数の工程からなる製品の製造において、各工場の能力制約の下に、各工場の理想的な仕事量(目標負荷)と各工場の負荷の差を最小にする各ルートへの仕事発注量を決定する問題であり、次のように定式化できる。

$$\min opt \dots\dots\dots (6)$$

ただし、

$$opt = \sum_{n=1}^F ((nl_n - nlo_n)^2 + G \cdot p_n) \dots\dots\dots (7)$$

$$nl_n = \sum_{i=1}^{NR} (r l_i \cdot Q_{i,n}) \dots\dots\dots (8)$$

$$p_n = \begin{cases} 0 & nl_n \leq nlu_n \\ 1 & \text{上の条件以外} \end{cases} \dots\dots\dots (9)$$

$$Q_{i,n} = \begin{cases} 1 & \text{ルート } i \text{ に工場 } n \text{ が含まれるとき} \\ 0 & \text{上の条件以外} \end{cases} \dots\dots\dots (10)$$

ここで、 opt :目的関数、 nl_n :工場 n の負荷、 nlu_n :工場 n の許容負荷の上限(既与)、 nlo_n :工場 n の目標負荷(既与)、 $r l_i$:ルート i の仕事発注量、 G :ペナルティ係数、 p_n :ペナルティ関数、 $Q_{i,n}$:補助関数、 F :工場の総数(既与)、 NR :ルートの総数(既与)である。

4.2.2 スケジューリング結果

図9は、三種類の品種の処理を九つの工場に発注した結果を示したものである。品種A, B, Cの発注量は、それぞれ

80, 140, 80であり、工場1から9の目標負荷は、300, 100, 100, 150, 100, 100, 100, 100, 150である。図中のrouteは、品種の処理ルートごとに割り当てられた仕事発注量である。

図10は、探索における抗体群の濃度と目的関数 opt の値の推移を示したものである。抗体産生の促進と抑制によって、抗体群(解候補)の多様性を維持しながら最適解を探索している過程が観察できる。

また、このアルゴリズムは記憶学習機能があるので、学習するにつれて探索速度が改善されることが期待できる。詳しくは参考文献(3)を参照されたい。

5. シミュレーションとスケジューリングの効果

生産システムにおけるシミュレーションとスケジューリングの効果を以下にまとめる。

(1) 最適な生産システムの構築

生産システムの設計段階で生産シミュレーションとその評

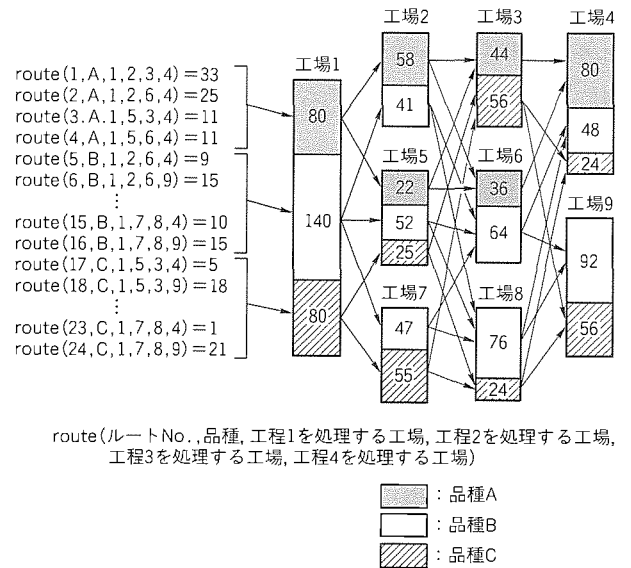


図9. 負荷の割当て結果

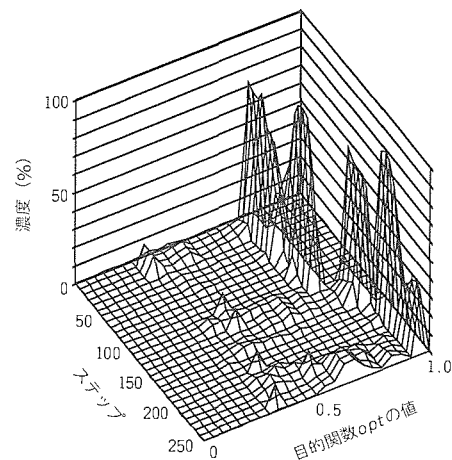


図10. 抗体群の濃度と目的関数 opt の値の推移

価を繰り返し行うことにより、最適な生産システムの構築が可能となる。

(2) 生産システムの改善

新しい品種の追加などによって生産システムのボトルネックが変化した場合には、生産システムのボトルネックの解析とその対策をシミュレーションで検討することにより、ボトルネックを解消して生産システムの効率を改善することが可能となる。

(3) 環境の変化への迅速な対応

フレキシブルな生産スケジューリングシステムは、スケジュールの修正機能が充実しているので、計画変更や機械の稼働状況の変動に対して迅速に対応できる。

6. む す び

この論文では、①生産シミュレーションに基づく生産スケジューリング手法と、②免疫アルゴリズムによる工場負荷割当て手法について述べた。

前者の手法を用いたシステムは、生産スケジュール作成支援システム FPSS として製品化されており、製造業全般に適用できる。後者の基本アルゴリズムは、スケジューリング

だけではなく、各種の最適化問題に適用できる。

今後は、このアルゴリズムをツール化し、ユーザの問題解決のために役立てる所存である。

参 考 文 献

- (1) 森 一之, 築山 誠, 福田豊生: 階層スケジューリングのための時間付ペトリネットの縮約法の提案, 電気学会論文誌 C, 115-C, No.7, 914~919 (1995)
- (2) 森 一之, 築山 誠, 福田豊生: ジョブショップスケジューリング問題に対するハイブリッドスケジューリング手法, 電気学会論文誌 C, 112-C, No.9, 568~571 (1992)
- (3) 森 一之, 築山 誠, 福田豊生: 多様性をもつ免疫的アルゴリズムの提案と負荷割当て問題への応用, 電気学会論文誌 C, 113-C, No.10, 872~878 (1993)
- (4) 薦田憲久, 大川剛直: システムのモデリングとシミュレーション, 計測自動制御学会 (1995)
- (5) 村田忠夫: ペトリネットの解析と応用, 近代科学社 (1992)
- (6) 鍋島一郎: スケジューリング理論, 森北出版 (1974)

数値解析を用いた接着接合体の設計技術

春名一志*
原賀康介**

1. ま え が き

接着接合法は、ボルト、ナット、リベットなどの機械的締結法に比べ、軽量化・高剛性化・低コスト化などが図れることから、電子部品から航空宇宙分野まで、あらゆる産業分野で非常に重要な接合法となってきた。今後、より大きな負荷を受け持つ重要な部位に適用されていく可能性が高い。しかしながら、接着部の強度設計方法が明確でないため、信頼性の確保が難しく、大負荷部位への適用が困難である。接着接合法の適用拡大には、接着接合体を対象とした合理的な強度設計技術の確立が必要である。

接着接合体の強度設計は、通常の機器設計と同様に、要求される形状に対して求めた接着部の応力分布に、候補材料(被着体と接着剤)の接着強度特性を考慮した破壊則(Failure Criterion)を適用し、破壊強度を予測することによって行う。一般に応力計算は、単純形状に対する解析解から有限要素法(Finite Element Method: FEM)に代表される数値解析手法まで、様々な方法を用いて行うことができる。中でもFEMは、その高い汎用性と最近のプリ/ポストプロセッサの進歩により、複雑な三次元形状物に対して比較的容易に応力計算が行える方法である。接着接合体に対してもFEMは適用可能であるが、複雑な三次元形状物を対象とした場合には、接着層が極薄であることに起因する計算量の膨大化により、計算不能となる場合が多い。そのため、計算量の低減と精度の確保を両立させた擬三次元モデル(Quasi-Three Dimensional Model)を開発した。

また、通常接着接合体に対して線形応力解析を行った場合、応力特異性(Stress Singularity)により、接着界面端部の応力値が無窮大となる場合が多い⁽¹⁾⁽²⁾。そのため、最大応

力説を始めとする、有限の応力値を必要とする材料力学的破壊則が適用できない。これに対してこの研究では、特異性の影響を受けないPoint Stress Criterion⁽³⁾を採用した強度予測手法を提案し、実測値との比較によってその妥当性を評価した。

本稿では、擬三次元モデルの開発及び破壊則としてPoint Stress Criterionを適用して行った強度予測について述べる。

2. 擬三次元モデルによる応力解析技術

2.1 課 題

図1に示すSingle-lap接着継手(ASTM D-1002に準拠)を例に、通常の三次元FEM解析を行う場合の課題について述べる。図2に、三次元形状物に対して一般に用いられる8節点ソリッド要素でモデル化した場合の要素分割例を示す。

接着接合体を対象とした場合、要素分割を非常に詳細にする必要があり、図1に示すような単純な試験片に対しても、全要素数が4,000と多くなる。ソリッド要素モデルの要素数が多くなり計算量が膨大化する原因を以下に示す。図3に接着端近傍の応力分布を模式的に示したが、接着端においては、応力特異性を伴った著しい応力集中を示す。接着部の破

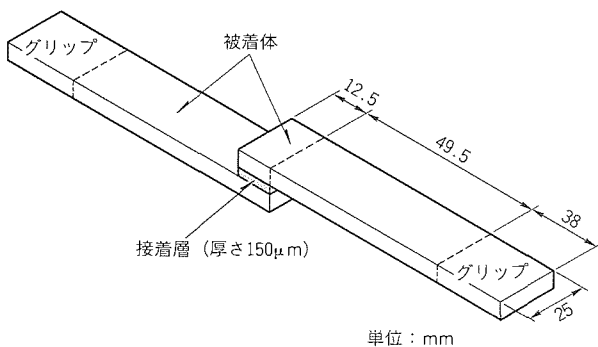


図1. Single-lap接着継手の形状(ASTM D-1002)

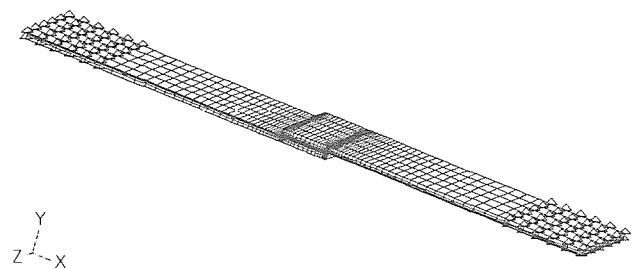


図2. ソリッド要素によるモデル化

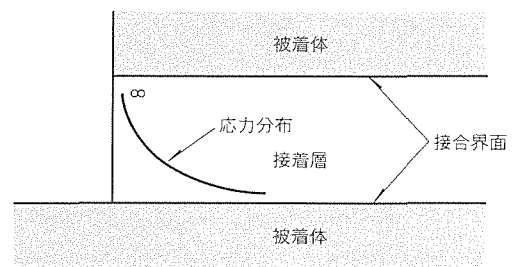


図3. 接着端近傍の応力場

壊は、接着端の応力集中に支配され、特異場近傍の応力状態を正確に求める必要があるため、詳細な要素分割が必要である。また、極薄の接着層が存在するため、接着層厚さが要素の基準寸法となり、要素縦横比を極端に大きくできないことから、面積方向の分割数も多くなる。さらに、FEMの場合、その計算量は全自由度数の二乗にほぼ比例するが⁽⁴⁾、表1に示すようにソリッド要素の場合、自由度の数自体が多い。


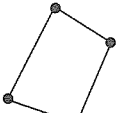
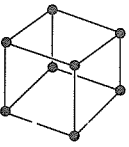
以上の理由から、複雑形状三次元接着接合体を対象とした場合、計算量が膨大となり、計算不能を招く。計算量を低減するためには、要素分割数と使用要素の次元を低減し、かつ十分な精度を確保した有限要素モデルの開発が必要である。

2.2 擬三次元モデル

この研究では、FEMによる応力解析において、精度の確保と計算量の低減を両立させた擬三次元モデルを開発した。

図4に、擬三次元モデルを適用した接着接合体のモデル化の概要を示す。被着体は、平面応力 (Plane Stress) 状態を仮定することによってシェル要素でモデル化する。ソリッド要素に比べ、次元を低減でき、さらに厚さ方向の分割が不要

表1 主要要素の自由度

要素種類	全節点数	全自由度 N	N^2
 ビーム要素	2	6	36
 シェル要素	4	12	144
 ソリッド要素	8	24	576

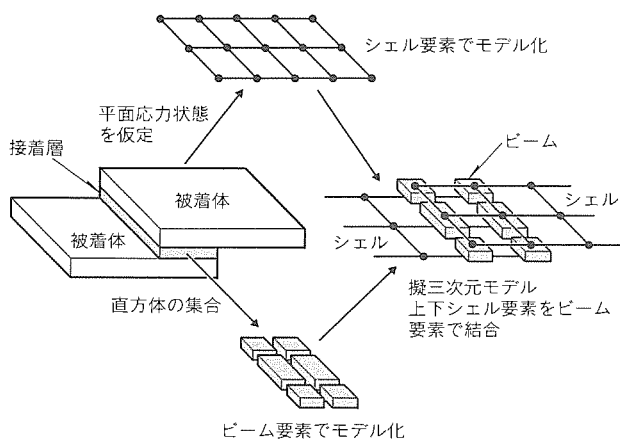


図4. 擬三次元モデルにおけるモデル化の概要

であるため、要素分割数を低減できる。接着層は、直方体の集合であることとらえることにより、一次元のビーム要素でモデル化する。一次元であることから要素の縦横比を考慮する必要がなく、被着体シェル要素間に配置して、荷重の伝達を行うことができる。

以上のように、擬三次元モデルは、シェル要素とビーム要素を組み合わせ、擬似的に三次元形状接着接合体を表現できる。

図5に、擬三次元モデルのシェル要素とビーム要素の結合部近傍を詳細に示す。シェル要素は、被着体の中立面上に位置するため、上下シェル要素の節点間を直接ビーム要素で結合すると、ビーム要素の長さが接着層の膜厚よりも長くなり、剛性が確保できない。ビーム要素の長さを接着層厚と一致させるため、このモデルでは、ビーム要素に被着体板厚 $1/2$ 分のオフセットを持たせた後、剛体リンクした。また、図6に、接着部のビーム要素の配置とその断面形状を模式的に示す。ビーム要素と結合するシェル要素の形状に従って断面形状を変化させ、その断面積の和を接着面積に一致させた。また、各断面の形状に伴い、式(1)で求められる断面二次モーメント I を、それぞれのビーム要素に与えた。

$$I = bh^3 / 12 \dots\dots\dots (1)$$

ここで、 b :ビーム断面の幅、 h :ビーム断面の高さである。

図7に、ビーム要素から得られる主な出力を示す。接着部の応力状態を評価する場合、せん断応力と接着層厚さ方向の引張応力を求める必要があるが⁽⁵⁾、擬三次元モデルでは、ビーム要素のせん断力 V_i 及び軸力 F_x をビーム断面積で除し

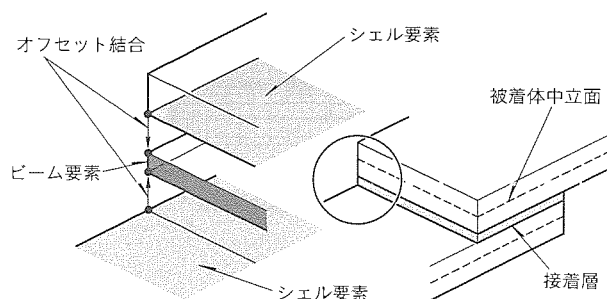


図5. シェル要素とビーム要素の結合部分

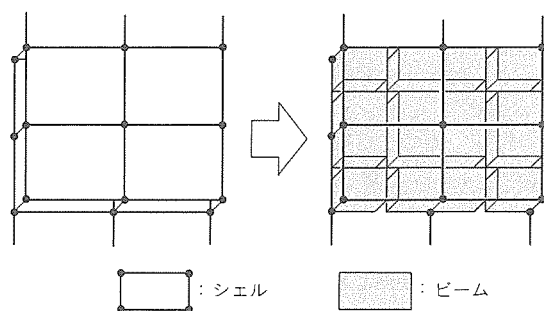


図6. ラップ部のビーム要素とその断面形状

た応力値によってそれぞれ評価する。

2.3 擬三次元モデルの精度と計算量

一般に FEM 解析で用いられる平面ひずみモデルとソリッド要素モデルの解析結果との比較により、擬三次元モデルの精度を計算した。平面ひずみモデル、擬三次元モデルに用いた要素分割図及び解析プログラム、計算機をそれぞれ図 8、表 2 に示す。また、各モデルで計算した変形図を図 9 に示す。Single-lap 継手の場合、荷重軸の不一致により、せん断力だけでなく曲げモーメントが生じる。各モデルとも曲げモー

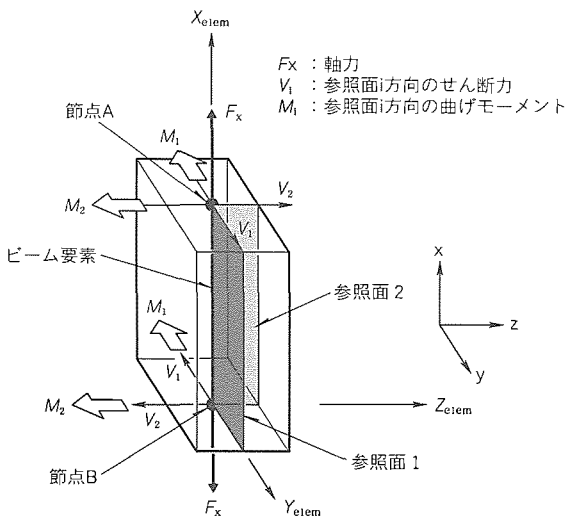
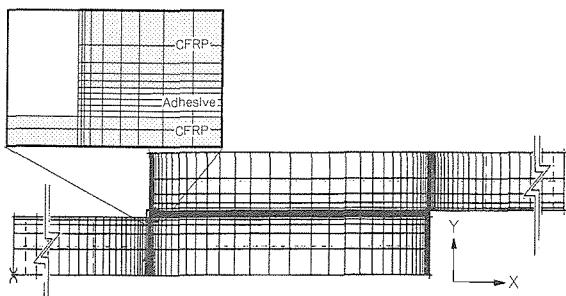
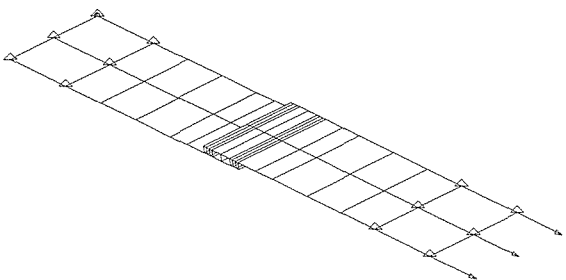


図 7. ビーム要素の主な出力



(a) 平面ひずみモデル



(b) 擬三次元モデル

図 8. 平面ひずみモデル、擬三次元モデルの要素分割図

表 2 使用した解析プログラムと計算機

解析プログラム	MSC/NASTRAN
計算機	CRAY Y-MP

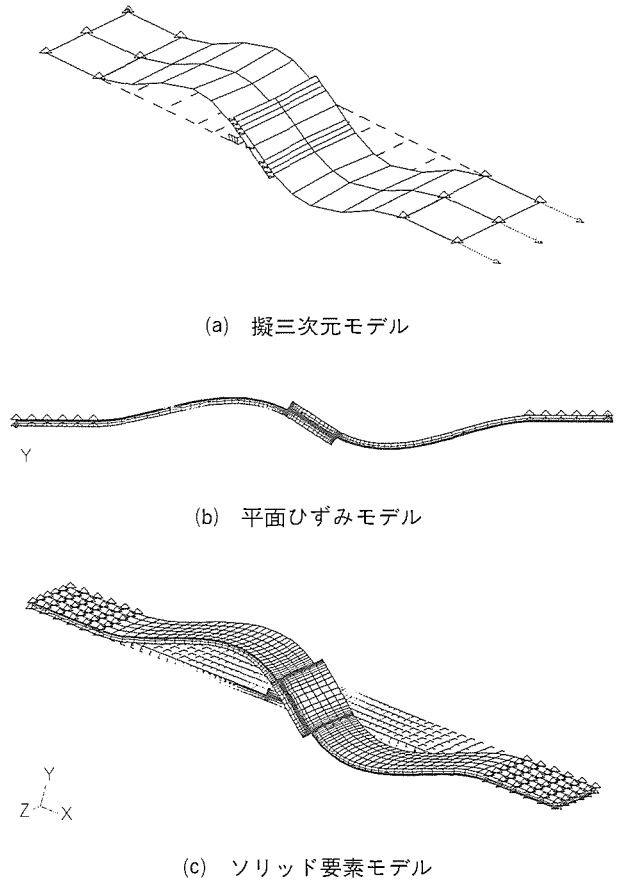
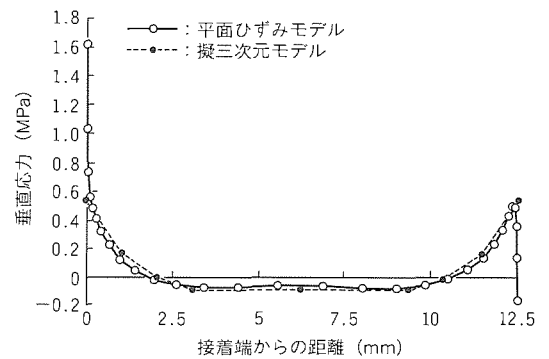
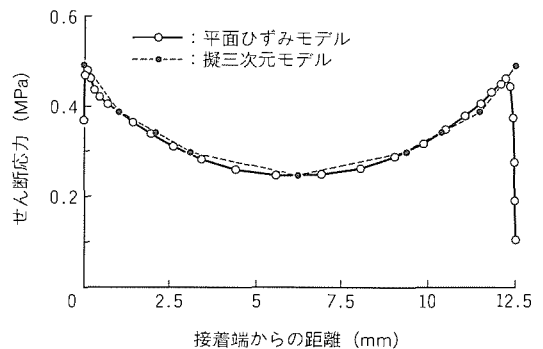


図 9. 各モデルの解析結果例(変形図)



(a) 垂直応力



(b) せん断応力

図 10. 応力解析結果(0.1kN 負荷時の接着層応力分布)

メントによる曲げ変形をよく表している。接着継手の強度評価において重要な接着層の応力分布は、前述のように、ビーム要素の V_1 と F_x から求めることができる。

図 10 に擬三次元モデルを用いて求めた接着層の応力分布を示す。図中には、平面ひずみモデルで詳細に求めた応力分布も示す (Single-lap 継手に関しては平面ひずみ状態が仮定できるため、平面ひずみモデルで高精度な解を得ることができる。)。通常接着層の応力は端部に著しい応力集中を示すため、従来モデルでは、図 8(a) に示したように、非常に詳細な要素分割を要する。それに対して擬三次元モデルでは、比較的粗い要素分割にもかかわらず、平面ひずみモデルで詳細に求めた応力分布と一致する結果が得られ、十分な精度を確保できる。

次に、表 2 に示したプログラムと計算機で解析を行った際の、計算時間の比較を図 11 に示す。前述のように十分な解析精度を持っているにもかかわらず、ソリッド要素モデルに対して約 1/100 以上の計算量低減を実現した。この計算量の低減により、実際の複雑三次元形状接着接合体を対象とした場合においても、計算量の膨大化を防ぎ、高精度な応力解析を可能とした。

3. 強度予測

3.1 方法

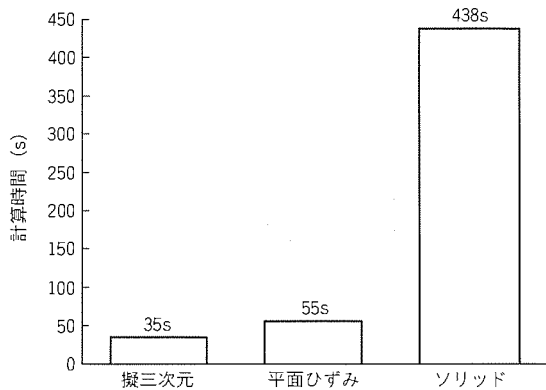


図11. 各有限要素モデルと計算量の比較

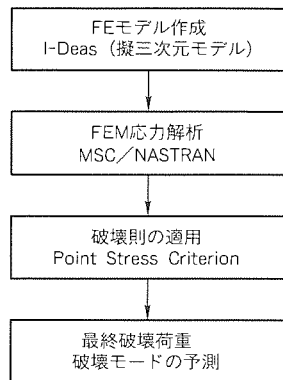


図12. 強度予測手法のフローチャート

図 12 に、強度予測までの解析フローを示す。FEM 応力解析によって求めた接着層の応力分布に対し、この手法では、Point Stress Criterion を適用した (図 13)。この破壊則は、円孔部の引張応力集中場に対して提案されているものであるが⁽⁹⁾、接着部に対しては、特性長さ上の応力値が接着強度を超えた時、最終破壊が生じるとする。最終破壊を対象とする場合、それまでに発生する微小な破壊により、端部の応力集中は分散、再分布を繰り返す。そのため、端部の応力値ではなく、端部よりも内側の特性長さ上の応力値によって破壊を評価するのがこの破壊則の考え方である。特性長さ上の応力値すなわちラップ内部の応力に注目するため、応力特異性の影響を受けない。

また、図 10 に示した擬三次元モデル解析では、接着端極近傍の応力が算出できていないが、最終破壊の評価に必要な特性長さ上の応力値は精度良く求めることができる。

3.2 予測結果

ここで、2 種の Single-lap 接着継手 (図 14) に対する強度予測例を示す。Type A, B 両試験片は、Single-lap タイ

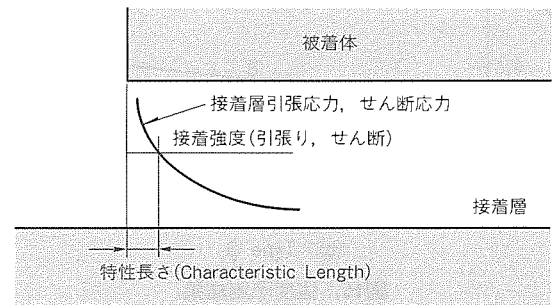
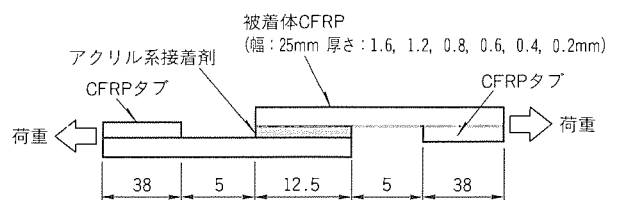
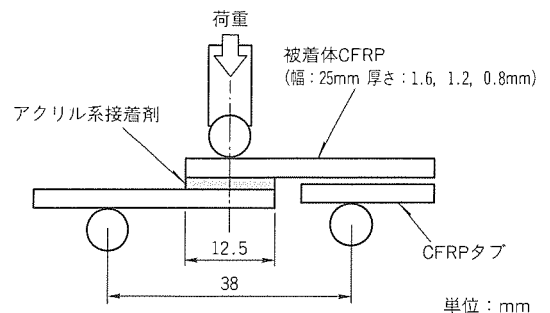


図13. 接着継手に対するPoint Stress Criterionの適用

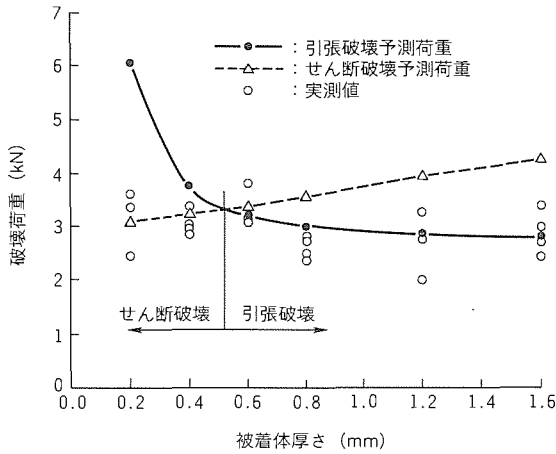


(a) Type A

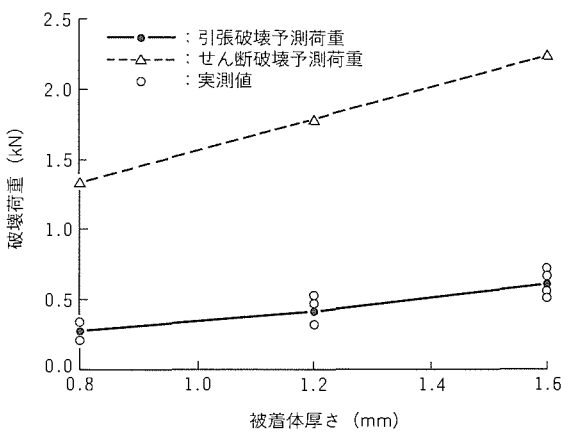


(b) Type B

図14. 解析対象試験片形状



(a) Type A



(b) Type B

図15. 強度予測結果

プの接着継手であり、それぞれ引張荷重及び曲げ荷重下での破壊試験片とした。また、形状パラメータとして、被着体厚さを変化させ、荷重条件と幾何学的条件を変化させた。

図15に、被着体厚さに対する最終破壊荷重の予測結果を示した。図には引張及びせん断で破壊する場合の予測荷重を示したが、解析による予測荷重は、それらのうち低い方の荷重となる。また、解析上破壊に寄与した応力成分と破壊モードが対応する。図中には実測値も示したが、予測値と実測値

はよい一致を示しており、Point Stress Criterionの有効性を確認できる。FEMをベースとした数値解析によって、接着部の最終破壊荷重の予測を実現した。

4. むすび

本稿では、接着接合部の設計に必要な応力解析技術及び強度予測技術について示した。応力解析に関しては、実際の複雑三次元形状接着接合体を対象とした場合の計算量膨大化が課題であったが、擬三次元モデルによるFEM応力解析技術を開発することによって解決した。このモデルでは、十分な精度を確保し、一般に用いられるソリッド要素モデルに対して約1/100以上の計算量低減を実現した。

また、引張荷重及び曲げ荷重を受ける接着継手に対して強度予測を行い、接着部の最終破壊荷重を高精度に予測できることを示した。これにより、信頼性の高い接着接合部の強度設計ができ、接着接合をより大きな負荷を受け持つ重要な部位へ適用することが可能であると考えられる。

参考文献

- (1) Hein, V.L., Erdogan, F.: Stress Singularity in a Two Materials Wedge, *Int. J. Fract. Mech.*, **147**, No.3, 317~329 (1971)
- (2) Bogy, D.B., J.: Two-Edge Bonded Elastic Wedges of Different Materials and Wedge Angles under Surface Transactions, *Appl. Mech.*, **38**, 317~386 (1971)
- (3) Whitney, J.M., Nuismer, R.J.: Stress Fracture Criteria for Laminated Composites Containing Stress Concentrations, *J. Composite Materials*, **8**, 253~265 (1974)
- (4) 日本エムエスシー(株), MSC/NASTRAN 入門マニュアル, 1~10 (1993)
- (5) 春名一志, 濱田泰以, 前川善一郎: CFRP 薄板接着継手の力学的挙動に関する研究, *日本機械学会論文集 A*, **60**, No.577, 98~103 (1994)

塑性加工シミュレーションによる 金型設計・製作期間の短縮

岡崎康隆* 鈴木秀志***
永井重治* 丸山恒昭†
深津 諭**

1. ま え が き

プレス加工は量産性に優れているため、製品製造合理化のかなめの一つとなっている。ところが、従来からこのプレス加工に必要な金型設計は勘と経験に頼っており、試行錯誤を繰り返して完成度を高めるといふ、非効率な作業が一般的であった。このため、加工の要求精度が高まるにつれて、この作業が一層複雑になり、金型の開発期間が長期化していくことが問題になっている。

これを解決する有力な手段として、プレス加工現象のシミュレーション技術が注目されている。これは、コンピュータ上で仮定した形状の金型で、塑性変形の数値計算から、製品の形状寸法や成形不良の発生予測を行うものである。ところが、従来の市販ソフトは、利用者がコンピュータにある程度習熟していることを前提としており、実際の金型設計の現場にはほとんど普及していなかった。

筆者らは、プレス成形の新加工法の研究開発と、CAEの利用技術開発の両方を行ってきた経験から、シミュレーションを金型設計者自身が行えるようにすることが必要であると考えていた。

ちょうど1986年当時、大阪大学小坂田教授らは、普及し始めた16ビットパソコンで実行できる塑性加工シミュレータ“RIPLS”の開発を進めていた。これは、被加工材の弾性変形を考慮しない剛塑性有限要素法に基づいており、それまでの市販ソフトに比べて、短時間で容易に計算処理できるという特長があった。まだ、単純形状のモデルに限定されていたものの、シミュレーション普及の突破口を開くものと期待された。

そこで、筆者らは、このシミュレータに板成形解析用機能を追加するなどして、金型設計支援システムとして実用化を推進してきた。既に社内においては、数多くのプレス金型の設計に使用されているが、ここではプレス加工の中でも、代表的な適用例を紹介する。

2. プレス加工シミュレーションの基本的な考え方

プレス加工は、上下の金型で被加工材を押圧し、部品を製造する。加工装置の構成を図1に示す。被加工材は金属やプラスチックなどの固体であり、高い加圧力をかけても金型になら(倣)われない部分が残る。したがって、金型形状は部品形状を反転しただけでは不十分である。このため、金型設

計では、部品の変形形状を予測して、金型形状に補正量を見込んでおくが必要になる。さらに、複雑な部品形状の場合、変形途中で被加工材が破断したり、逆に、金型を破損させることがあるため、金型内での被加工材の挙動を予測することが必要になる。プレス加工シミュレーションを用いれば、変形途中の挙動を精度良く追跡できるだけでなく、必要な加圧力も容易に計算できる。そこでまず、プレス加工シミュレーションの基本的な考え方を説明する。

プレス加工を、プレス機械が被加工材に対して行う仕事と考える。その加工のエネルギーは、被加工材の塑性変形や摩擦のエネルギーとして消費される。加工力 F が作用した状態で上側の金型が下降して dy だけ進む間に、塑性変形のために dW_a 、摩擦のために dW_f のエネルギーが消費されたとする。プレス機械によってなされる仕事量 $F \cdot dy$ と、消費されるエネルギー $dW (=dW_a+dW_f)$ が等しいことから、加工力は

$$F = dW / dy = (dW_a + dW_f) / dy \quad \dots\dots\dots (1)$$

から求められる。

塑性変形で消費されるエネルギー W_a は、被加工材の内部の応力やひずみの関数であり、これらは変位から導出される。ところが、既知であるのは、金型による拘束条件や被加工材の材料定数などであり、内部の変位は未知である。

そこで、実際に近いと考えられる変形状態を仮定し、近似的な消費エネルギー W_a^* を求めることにする。その手順は、

- (1) 被加工材の内部を幾つかの(矩)形領域に分割する。
- (2) 各領域内では変形量が一定であると仮定して、領域ごとに消費エネルギーを計算する。
- (3) 各領域の消費エネルギーを総和して W_a^* を求める。

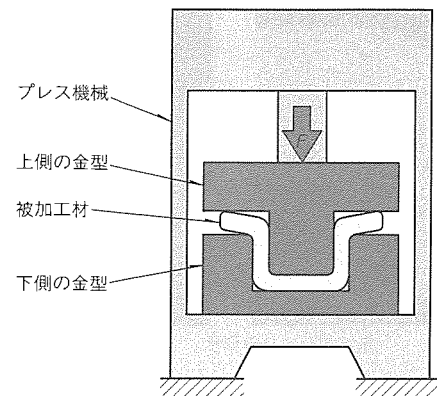


図1. プレス加工の加工装置の構成

からなる。一般に、こうして求めた W_d^* は実際の値より大であり、さらに、 W_d^* を小さくする変形状態ほど実際に近いことが数学的に証明されている。かつては、2, 3種類の領域分割案を基に W_d^* を手計算で求め、その中から選択していた。プレス加工シミュレーションでは、コンピュータによる数値解析に基づいて W_d^* の最小化を行うため、精度良く容易に変形状態を求めることができる。

3. 代表的なプレス加工への事例紹介

ここでは、幾つかの適用事例を紹介しながら、実際の数値計算について述べる。まず、プレス加工として汎用的なバーリング加工の例を説明する。次に、シミュレーションの適用例として最も多い冷間鍛造、最後に筆者らが板押さえの機能を追加した絞り加工について紹介する。

3.1 バーリング加工への適用

バーリング加工は、穴の縁を押し上げて突起を形成する加工方法である。図2の部品は、中央部にネジ穴があり、電

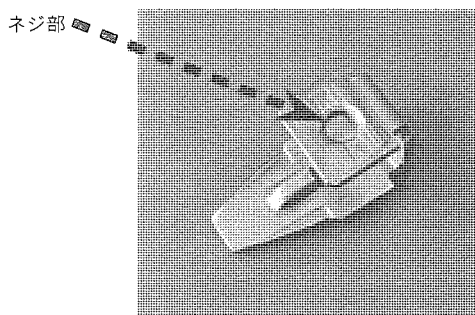


図2. バーリング加工部品の外観

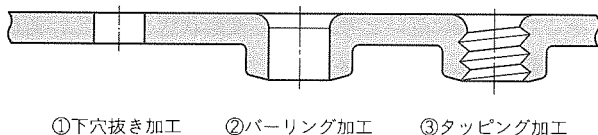
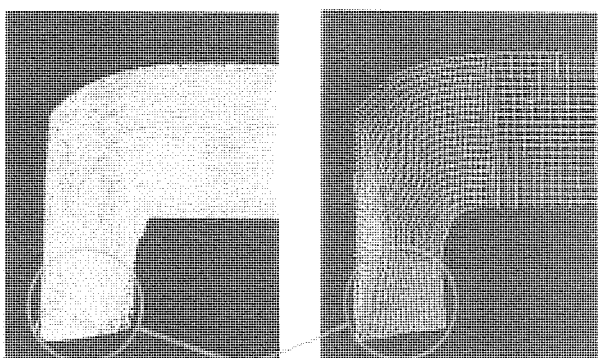


図3. ネジ部の加工工程



先端が逆すり鉢形状

(a) 実際の加工結果 (b) 計算結果

図4. シミュレーションによる加工不具合の再現

気部品に多用される形状である。図3の製造工程に示すように、穴抜きされた平板をバーリング加工した後、ネジ溝形成(転造加工)しているが、切りくずが発生して製品品質上の問題が心配された。この問題の原因となる切りくずは、バーリング加工後の先端形状に起因していると推察した。すなわち、部品の先端がすり鉢状になることが必要であるにもかかわらず、通常のバーリング加工では、先端が逆すり鉢状になっていた。そこで、この金型形状を用いたバーリング加工のシミュレーションでも、図4に示すように、逆すり鉢状になることが再現された。

シミュレーションでは、工程途中の形状を追跡することが、加工実験よりも容易に行える。図5に示すように、通常の金型では、パンチが被加工材の下穴に引っかかり、その部分をめくように変形させているため、逆すり鉢状になることが分かった。そこで、金型の形状を様々に変化させた計算を多数行った。この中で最も適正な金型形状を選定し、実際に

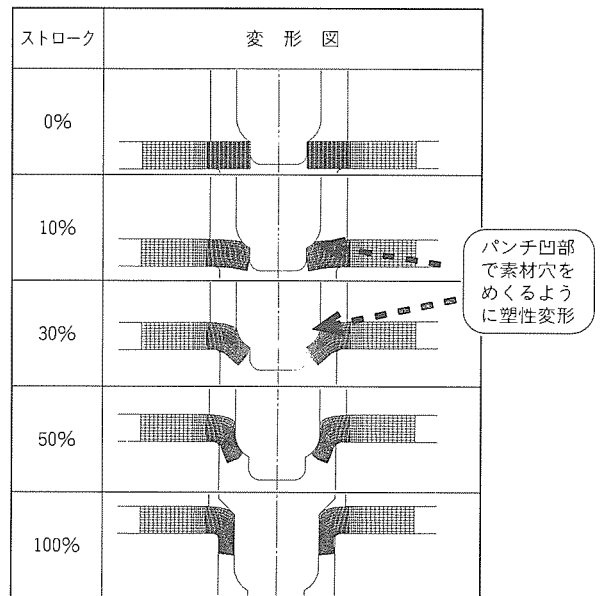
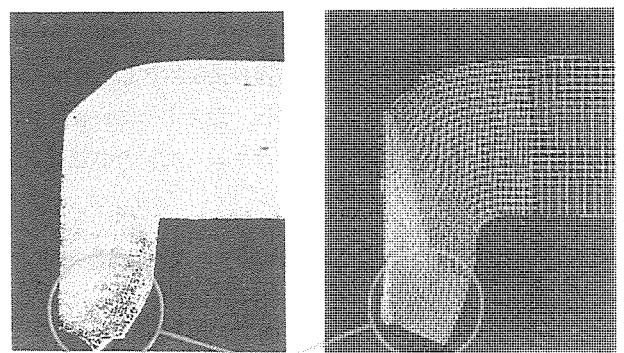


図5. シミュレーションによる加工不具合の原因推定



先端がすり鉢形状

(a) 実際の加工結果 (b) 計算結果

図6. シミュレーションによる加工不具合の対策結果

試作を行ったところ、図6に示すとおり、所望のパーリング形状が得られた。現在、この金型は電磁開閉器の量産工場生産に用いられている。

加工実験に頼る従来の方法では、金型製作から実験・断面観察まで一週間程度を要するのに対して、このシミュレーションでは1回の計算につきわずか20分以内で結果が得られた。すなわち、金型や被加工材の形状を変化させた試作を計算機上で容易に行うことができ、金型設計の効率化に対して、このシミュレーションが強力なツールになった。

3.2 冷間鍛造への適用

冷間鍛造は、比較的厚肉の被加工材を常温で加圧して、金型形状を転写する加工方法である。図7(a)の部品を試作したところ、下端の内側に微小な表面欠陥(引け)が発生し、このままでは強度低下や酸洗工程後の腐食が懸念された。この金型形状を用いたシミュレーションでも、図(b)に示すように、実際と同一の部位に欠陥発生が再現された。そこで、工程途中の変形過程を追跡し、欠陥発生の原因究明と対策検討を進めた。

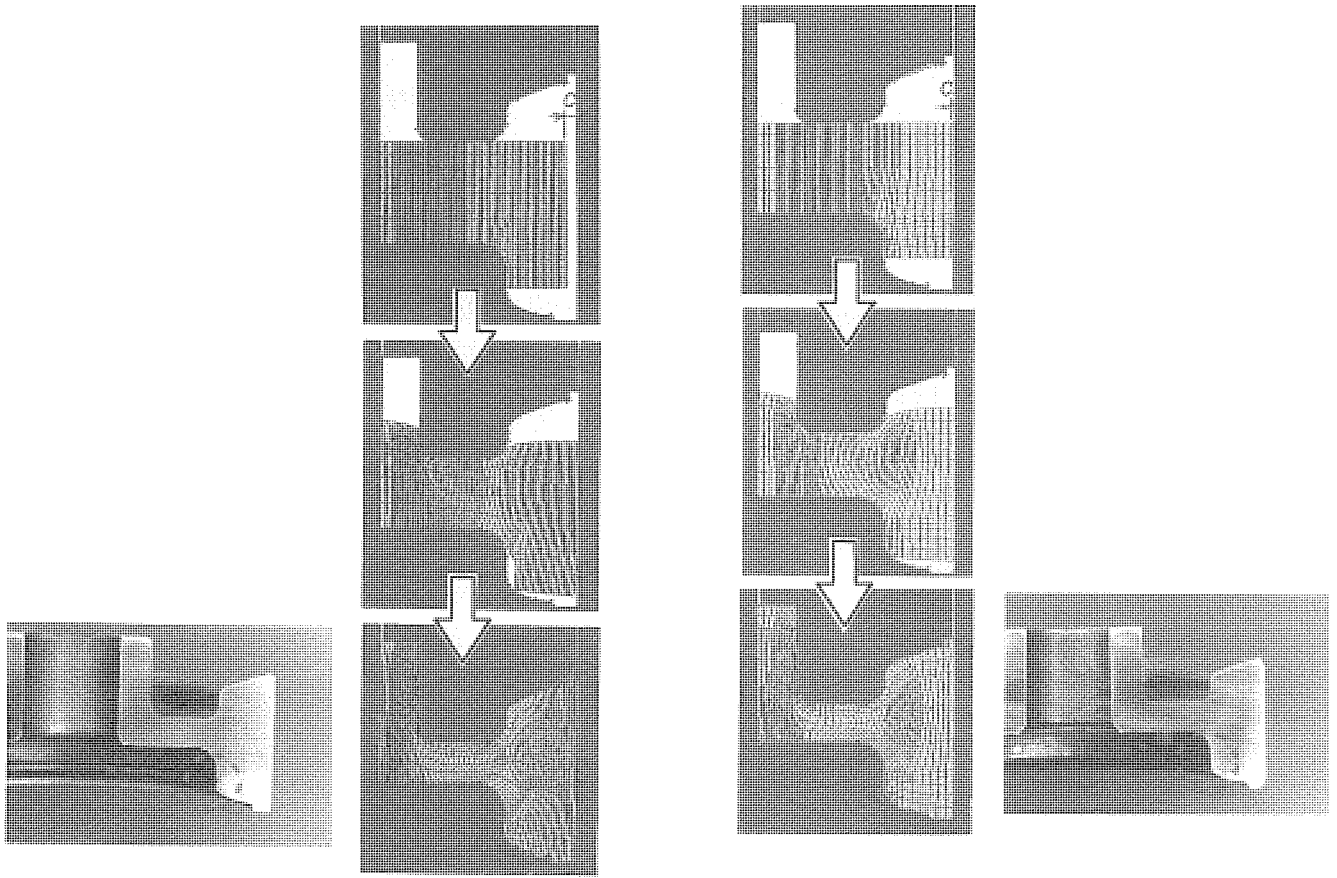
上側の金型が下降すると、まず被加工材は径方向に広がり、金型の外壁に当たる。次に、下方向へ変形して、金型の底部に接触する。このため、被加工材の変形方向が工程途中で変化したため、金型内で充てん(填)が遅れた部分が、巻

込み傷状の欠陥になったと推定した。

対策の立案のため、被加工材の形状を種々に変化させてシミュレーションを行った。その中で、被加工材の直径を10%程度大きくして、金型外壁との間隙 c を微小にすれば、欠陥を解消できる見込みが得られた(図8(a))。これは、被加工材が変形する方向を、下側に限定したためである。この形状の金型を製作し、実際に試作したところ、図(b)に示すように欠陥を解消できた。

また、図9に示す別の部品の場合、フランジ根元部で破断が発生した。そこで、シミュレーションによる原因究明を行った。加工終了時には被加工材は上下の金型で押圧されている。ところが、加工途中までは被加工材が下側の金型の底から浮き上っている。このため、上側の金型に押されて、フランジ根元部が引張り応力状態になり、破断したと推定した。

一般に、破断の発生を予測するためには、被加工材に発生する応力値を基に、材料の引張り強さから判断する。しかしこの場合では、変形途中で引張り応力が最大になったため、加工開始時点や終了時点の応力状態では、破断の発生を予測できなかった。そこで、大矢根の延性破壊の式^(註1)による破壊予測の機能を、このシミュレータに追加した。この機能を活用して対策案を検討し、工程数を一段増やして、破断を回避した。



(a) 実際の加工結果

(b) 計算結果

図7. 表面欠陥の発生

(a) 計算結果

(b) 実際の加工結果

図8. 加工不具合の対策結果(被加工材の直径を大きく変更することにより、変形が下方向に限定された。)

3.3 絞り加工への適用

絞り加工は、平板材からカップ状の部品を製造する加工方法である。一般に、細長い部品ほど絞り加工が困難になって、破断しやすい。このため、数回の工程に分けることが多い。図10の部品のように、形状が複雑な場合も同様であり、絞り加工を5回の工程に分けて行っている。この途中の工程の形状により、加工の成否が左右される。

例えば、単純な円筒形であれば、途中の工程は実験データから相似的に決めることができる。しかし、実際の部品では、似通った過去の事例を参考にして、勘と経験から決めざるを得ない。そのため、特にプレス加工の中でも、絞り加工の金型設計は試行錯誤の比重が高い。

絞り加工に適用した場合のシミュレーションの精度を上げるため、板押さえ機能を追加した。これは、絞り加工では、上下の金型のほかに、板押さえと呼ばれる金型が追加されるためである。

このアルゴリズムは、図11に示すように、三つのステップからなる。すなわち、

- (1) 板押さえ金型と被加工材との接触領域を求める。
- (2) 接触している被加工材表面と板押さえ金型との微小な距離 (D_1) を求める。
- (3) 板押さえ圧力分布を計算する。

(注1) 大矢根の延性破壊の式は以下のとおりである。

$$\int_s \bar{\epsilon}_r \left(\frac{\sigma_m}{\sigma} + a \right) d\bar{\epsilon} = b$$

ここで $\bar{\epsilon}_r$ は破壊が生じた部分の相当ひずみ、 σ_m は静水圧応力、 a 、 b は実験で求める材料の固有の破壊パラメータである。

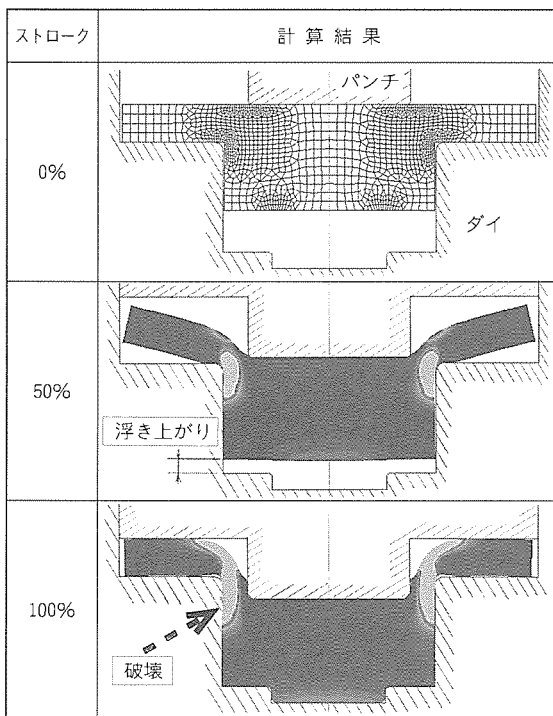


図9. シミュレーションによる破壊の予測

この機能の効果を検証するため、銅板の円筒絞りの計算を行った。一般に、パンチ直径 d を被加工材の直径 D で割った値 (d/D) を絞り比と呼び、加工の難易度の評価に使われる。絞り比が大きいほど加工は難しい。実験結果では、最大の絞り比が2.00であり、計算結果は1.99であった。両

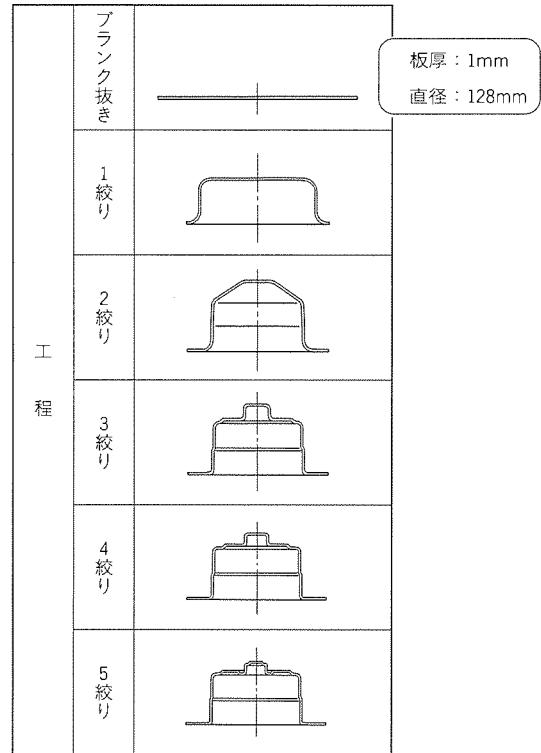


図10. 絞り加工の工程例

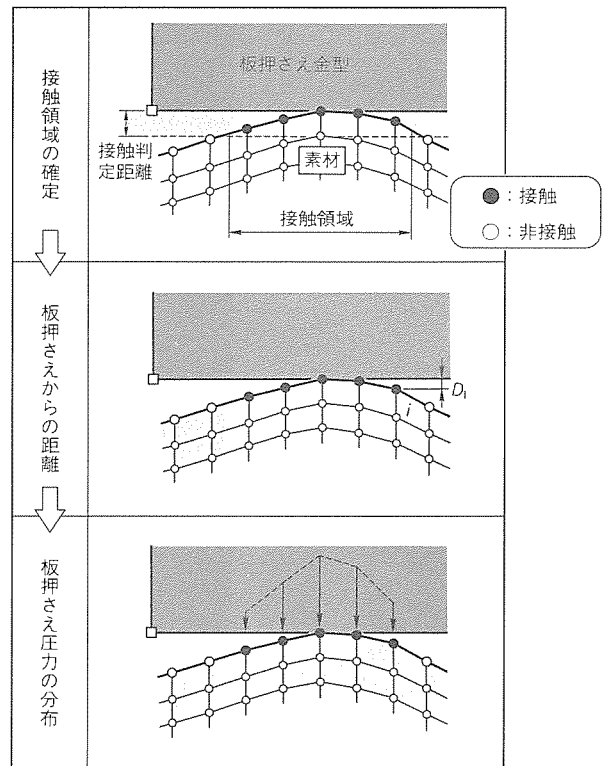
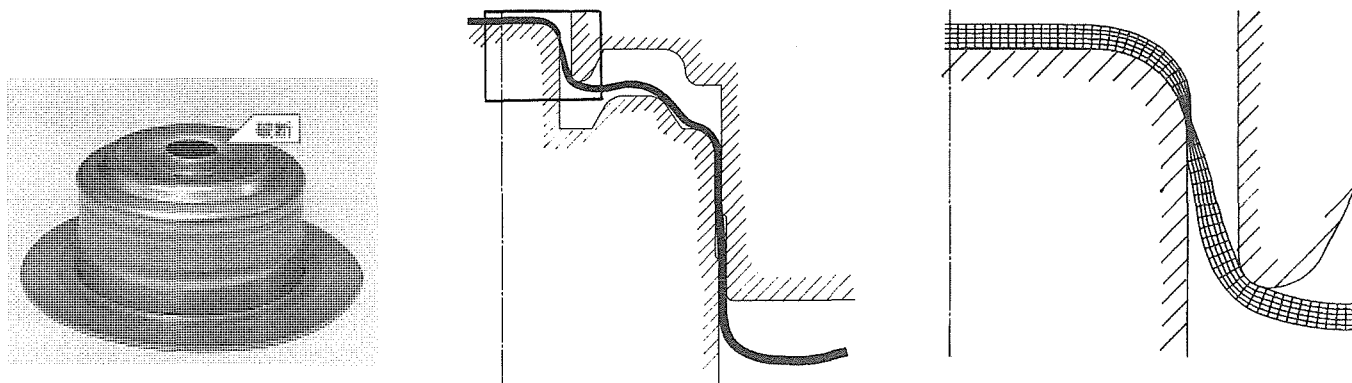


図11. 板押さえアルゴリズムの概念



(a) 実際の加工結果 (b) 計算結果 (c) 破断部の拡大図

図12. 加工不具合の再現

者はよく一致しており、このアルゴリズムの妥当性が確認できた。

次に、上記の部品の計算を行った。その結果、第3絞りで中央部に板厚減少(引け)が発生し、第4絞りで、図12に示すように、破断に至った。実際の加工でも同じ工程でそれぞれ引けと破断が発生しており、破断位置も一致した。

従来、絞り加工のシミュレーションは、単純な円筒形のモデルに適用が限られていた。これに対して、上記のアルゴリズムの追加により、複雑な形状の部品でも適用が可能になった。このような絞り加工は、プレス加工の中でも特に今後多用されていく加工法であり、シミュレーション活用への期待はますます大きい。

4. むすび

本稿では、プレス加工に必要な金型設計を支援するシミュレーションの適用事例について紹介した。プレス加工は金型内で固体同士が加圧・しゅう(摺)動しながら塑性変形するため、高度な非線形現象である。このため従来は、単純形状

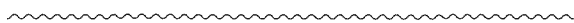
でしかも摩擦なしという理想化されたモデルに適用が限られていた。これに対してこのシミュレーションでは、実際の部品に適用し、加工不具合の原因解明に役立った。さらに、対策の検討においても、その有効性が認められた。

この結果、試作回数の削減による金型開発期間の短縮が可能になった。開発したシミュレータは、既に、数多くのプレス加工の金型設計に適用され、金型開発期間の40%削減を実現している例もある。引き続き、このシミュレータの高度化により、今後ますます適用拡大が進むと期待できる。

最後に、このシミュレータの開発に対して多大な御指導を賜った大阪大学小坂田教授に、深く感謝の意を表する。

参考文献

- (1) 森 謙一郎, 島 進, 小坂田宏造: 剛塑性有限要素法による多孔質金属の塑性加工の解析, 日本機械学会論文集 A, 45, No.396, 955~964 (1979)
- (2) 大矢根守哉: 延性破壊の条件式について, 日本機械学会誌, 75, No.639, 596~601 (1972)



回路網法による汎用熱流体解析システム “TherfBENCH”“MelTHERFY”

大串 哲朗* 三浦 哲朗***
後藤 明広**
羽下 誠司**

1. ま え が き

近年、電子機器においては、素子の高速化や集積密度の増大又は機器の小型・軽量化に伴い、機器内部の発熱密度が一段と増大してきている。また、大型回転機や発電機、変圧器などの大型重電機においても、大容量化や小型化の面から、単位容積当たりの発熱量が増大している。そのため、機器の信頼性や性能を左右する放熱設計を精度良く、また効率的に行うことが、より一層重要となっている。また、低コスト化のために試作回数の低減も強く求められ、設計段階における温度予測の重要性もますます増大している。

一方、機器の熱解析技術は、古くは簡単なモデルによる解析的手法に始まり、最近ではパソコンやワークステーションを使用し、数値計算の手法を利用して複雑なモデルでも比較的短時間で精度の良い解析が可能となってきている。

例えば、電子機器の熱設計の分野においては、基板やきょう（筐）体の熱設計を専用に行うソフトウェア⁽¹⁾も市販され、利用できるようになってきた。しかし、専用ソフトウェアは、新製品開発時のように、形状が大幅に変更される場合には十分に対応できない欠点を持っている。そのため、複雑な構造の機器に対応でき、しかも手軽に、精度良く解析できる汎用的な熱流体解析ソフトウェアが望まれていた。

そこで、筆者らは、上記の要求に最も適した解析手法として、伝導・対流・放射といった伝熱の基本形態が取り扱え、複雑な機器にも対応できる熱・流体回路網法⁽²⁾を採用した汎用熱・流体解析ソフトウェア“MelTHERFY”^(註1)と、そのプリ/ポストである“TherfBENCH”^(註1)からなる熱・流体解析システムを開発した。ここでは、そのシステムの構成、特長、使用法、及び実用例について述べる。

2. 熱・流体解析システムの構成と特長

図1に解析システムの構成を示す。このシステムは、回路網法によって温度や圧力を計算するソルバであるMelTHERFYを中心とし、そのプリ/ポストプロセッサであるTherfBENCH、機械系三次元CAE/CAD/CAM総合ソフトであるI-DEAS^(註2)のプリ/ポストプロセッサ

の部分、及びI-DEASで作成された三次元モデルを回路網モデルに変換するインタフェースプログラムから構成されている。また、MelTHERFY専用のグラフ表示プログラムも用意している。

この解析システムの利用においては、次の3通りの方法が可能である。まず第一、はソルバ単体だけを利用した解析であり、テキストエディタで入力データを作成し、その解析結果を出力リストファイルから読む方法である。この場合、グラフィックデータファイルを出力しているので、専用のグラフ表示プログラムや、市販の表計算ソフトEXCEL^(註3)を利用して計算結果をグラフ化して見ることもできる。

第二の方法は、回路網モデルを用いる専用のプリ/ポストプロセッサTherfBENCHを使用する場合である。TherfBENCHを用いると回路網を視覚的に確認しながらモデルを作成でき、入力データのフォーマットを意識することなくデータ作りができる。さらに、計算結果を回路網上に表示するので、回路網上での温度や熱流、風速分布などを視覚的にとらえることができる。

第三の方法はI-DEASのプリプロセッサを利用する場合である。この方法は、画面上で格子状に自動分割して作成した三次元モデルをインタフェースプログラムによって回路網モデルに変換し、MelTHERFYで解くものである。この方法は三次元モデルを画面上で容易に作成できるため、大規模な熱伝導問題を解く場合に適している。また、熱と電気

(注2) “I-DEAS”は、米国SDRC社の商標である。

(注3) “EXCEL”は、米国Microsoft Corp.の商標である。

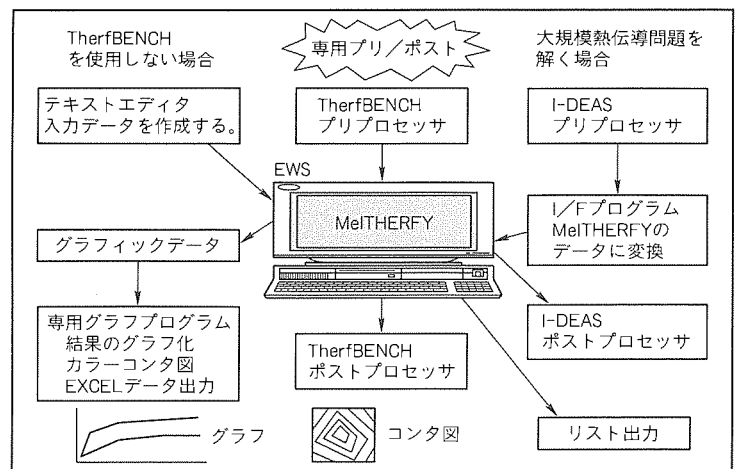


図1. 解析システムの構成

(注1) “MelTHERFY”は三菱電機の登録商標，“TherfBENCH”は商標申請中である。

相似性を利用して、熱伝導問題だけではなく、電気伝導問題も並行して解くことができる。

3. MelTHERFYの概要

3.1 基礎方程式

熱回路網法とは、図2に示すように、物体(流体を含む)を幾つかのブロックに分割してその代表点に節点(ノード)を取り、その点に熱容量を集中させ、各ノード間を熱抵抗で結んで、各ノードに成立する熱平衡の式を解くことによって各ノードの温度を求める方法である。隣接するノード*i*, *j*間の熱抵抗を $R_{i,j}$ とすると、*i*, *j*間の熱流 $Q_{i,j}$ は電気回路でいうオームの法則に相当する次式で表される。

$$Q_{i,j} = \frac{T_i - T_j}{R_{i,j}} \dots\dots\dots (1)$$

ノード*i*での熱平衡式から、温度 T_i は次式の N 元連立方程式を解くことによって求められる。

$$C_i \frac{\partial T_i}{\partial t} = \sum_{j=1}^N \frac{1}{R_{i,j}} \cdot (T_j - T_i) + Q_i \quad (i=1, 2, \dots, N) \dots\dots\dots (2)$$

ここで、 T は温度、 C_i は熱容量、 N は全ノード数、 t は時間である。

同様に流体回路網法は、流体の管路を幾つかのブロックに分割してその代表点にノードを取り、各ノード間を管路抵抗で結んで、各ノードに成立する質量保存の式を解く方法である⁽²⁾。同様に、各ノード間を電気抵抗で結んだ電気回路網法によって各ノード間の電流分布を計算することもできる。

3.2 機能と特長

MelTHERFY は、以下に示す機能と特長を持っている。

- (1) 熱回路網法による定常・非定常時の温度・熱流計算、流体回路網法による定常時の圧力・流量計算、及び電気回路網法による定常時の電圧・電流計算が可能である。
- (2) 熱回路網や流体回路網に用いられる基本計算式、解析に必要な常数や関数式又は物性値などのデータベースを内蔵しており、解析業務の時間短縮が図れる。さらに、パルス状の発熱がある場合の過渡温度変化や外気が日

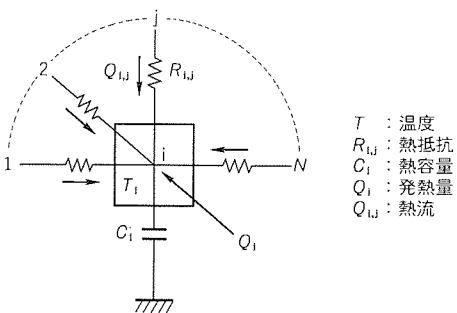


図2. 熱回路網法

変化する条件での物体の温度変化、ファンの風量-静圧上昇特性を考慮した通風解析など、特殊な条件での計算が可能である。

(3) 温度・圧力・熱流・流量など、スカラー値やベクトル値の時間変化や軸方向変化、等高線図などのグラフ出力(画面出力)ができる。

(4) 市販のパソコンソフト(EXCEL)に対応したデータファイルを出力するため、EXCELによるグラフ作成が可能である。

なお、ソフトウェア仕様としては、最大ノード点数 3,000、ノードに対する連結可能抵抗数 29、発熱量最大数 500、熱抵抗と電気抵抗最大数 10,000、管路抵抗最大数 1,000 である。

4. TherfBENCHの概要

TherfBENCH は、汎用熱流体解析ソフトウェア MelTHERFY のプリ/ポストプロセッサとして開発されたものである。ここでは、冷却配管に水を流したときの各部の圧力計算を行った例を用いて、その構成と機能について述べる。

4.1 TherfBENCHの構成

TherfBENCH は、図3に示すように、熱抵抗と管路抵抗計算においてベーシックモデルとエレメンタルモデルの2階層のデータベースを持ち、さらにその上部に、エレメンタルモデルを結合したネットワークモデルがある。

4.2 ベーシックモデル

最下層のベーシックモデルは、MelTHERFY が内蔵している計算式に1対1に対応している。図4に、この計算に使用したベーシックモデルの1例を示す。ベーシックモデ

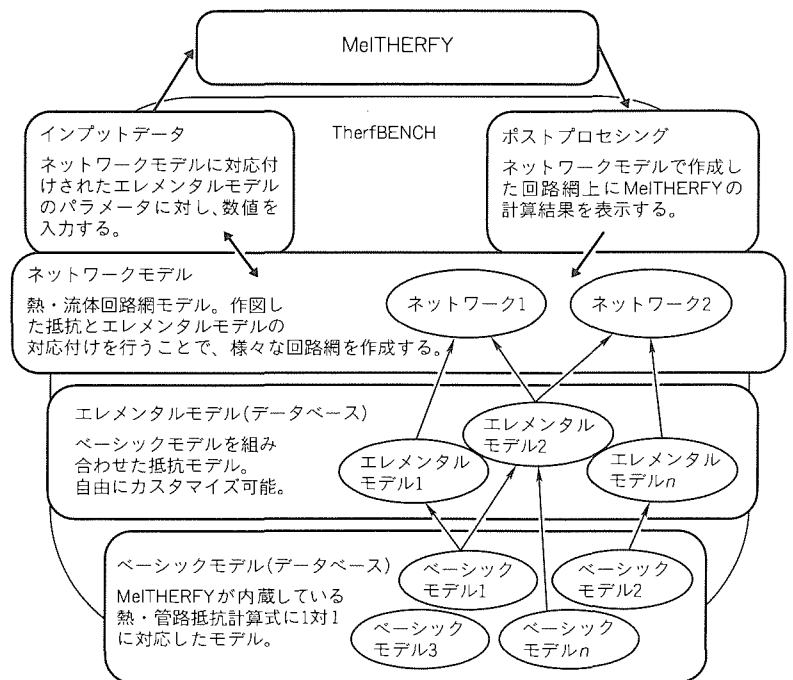


図3. TherfBENCHの構成

ルでは、直管・曲がり・急拡大／縮小などの抵抗係数計算式の基本的な形態が図形的に表示され、これらの形態の抵抗係数計算データが出力される（出力文は FORTRAN で記述されている。）。

4.3 エレメンタルモデル

ベーシックモデルを組み合わせてエレメンタルモデルを構成するが、その例を図5に示す。図は、直管とそこに流入する流体の流量を与えるモデルを示している。それぞれの形状や計算条件を与えるパラメータがユーザ定義変数の欄に表示されている。利用者は、どのようなパラメータが計算に必要なのかを認識し、パラメトリックに数値を入力することができる。さらに利用者は、これらの数値を機器の形状や使用条件から式として指定する（FORTRAN 文形式）ことにより、エレメンタルモデルを対象機器の物理特性に則してカス

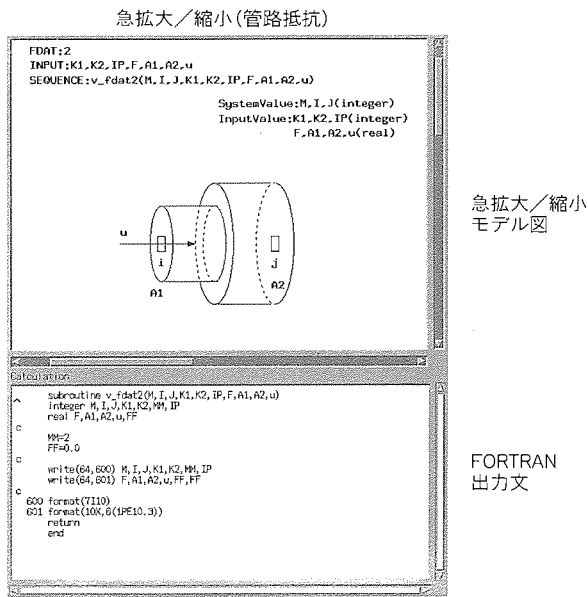


図4. ベーシックモデル

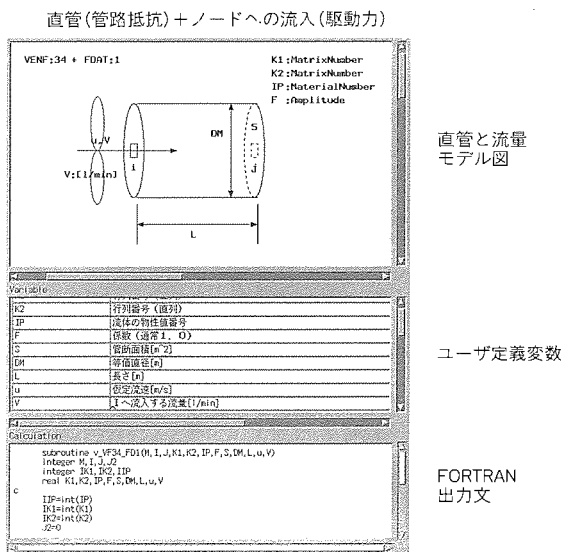


図5. エレメンタルモデル

タマイズすることができる。

4.4 ネットワークモデル

図6に、直管・曲がり・急拡大／縮小による圧力損失抵抗を表すエレメンタルモデルを直列につないだネットワークモデルを示す。各ノード間の要素にエレメンタルモデルのファイル名を選択して指定することにより、ネットワークモデル上の要素とエレメンタルモデルの対応付けが行われる。さらに、このネットワークモデル上で境界条件の指定が行われるが、このモデルでは、ダクトの流入側から一定量の水が流入し、流出側が一定の圧力に固定されたモデルとなっている。

最後に、ネットワークモデルで使用したエレメンタルモデルのパラメータと、MelTHERFYを動作させるためのコントロールデータの数値入力により、MelTHERFYが起動されて計算が実行される。

図7, 図8は、圧力・流速の計算結果をネットワークモデル上にカラーで表示したものと、流体の流れ方向の圧力分布をX-Yグラフで表示したものである。このように Therf BENCHでは、ネットワークモデル上に直接計算結果をカラーや数値で表示したり、又は任意に作成できるX-Yグラフで表示できるため、機器の熱・流体特性を容易にしかも即座に認識することができる。

5. 解析システムの適用例

5.1 遮断器の熱設計

ノーヒューズ遮断器・漏電遮断器(NF・NV)は、通電によって導体の各部分が発熱して温度上昇するが、JIS規格(国内向け)やIEC規格(海外向け)により、各部の許容温度上昇値が規定されている。そのため、設計時に各部の温度上昇が許容値を満足するかどうかを前もって予測することによって試作回数を低減し、低コスト化を図ることが求められている。

ここでは、プリ/ポストプロセッサにI-DEASを使用し

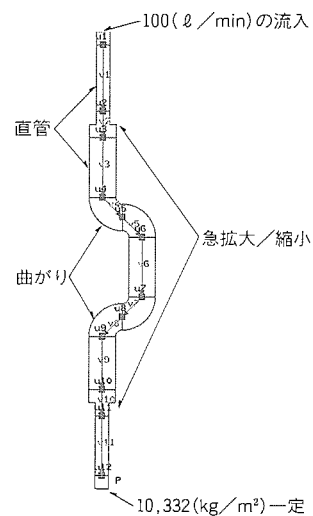


図6. 冷却配管のネットワークモデル

て三次元のメッシュ分割モデルを作成し、インタフェースプログラムで電気及び熱回路網モデルに変換して、MelTHERFYで漏電遮断器内の温度分布を計算した例について紹介する。すなわち、電気回路網によって電気抵抗に生じる発熱(ジュール熱)を求め、その発熱を熱回路網のノードの発熱条件として温度分布を求める。さらに、その温度を電気回路にフィードバックして電気抵抗上の発熱を計算するという方法を繰り返すことによって温度の収束解を得た。

漏電遮断器(400アンペアフレーム)の3極モデルにおいて、中央極を図9に示すようにモデル化し、定格通電時の定常状態の解析を行った。発熱が顕著な接点間の接触部は、

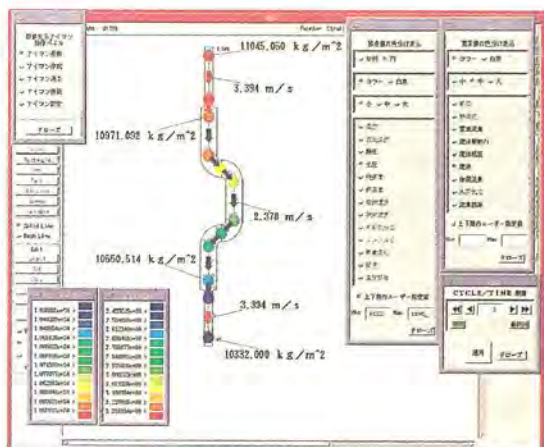


図7. 管路内の圧力・流速分布

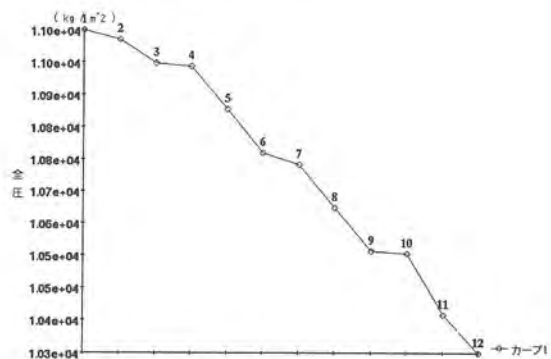


図8. 圧力の軸方向変化

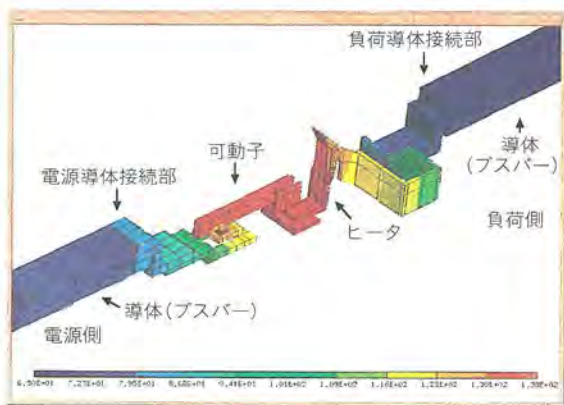


図9. 漏電遮断器の伝熱モデルと計算結果

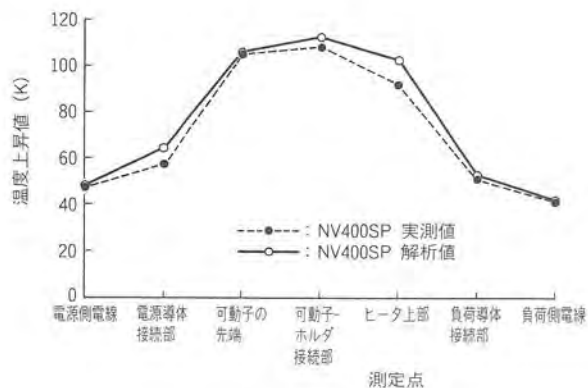


図10. 漏電遮断器の計算値と実測値の比較

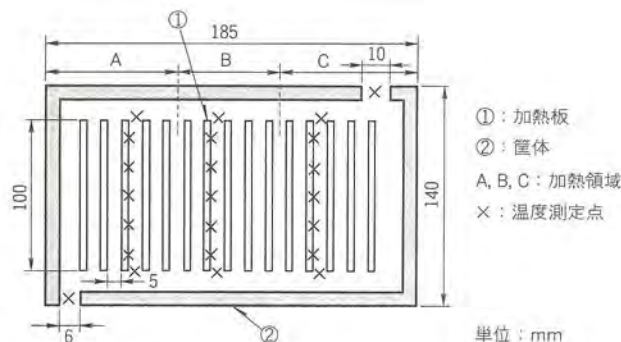


図11. 自然換気筐体の実験装置の構成

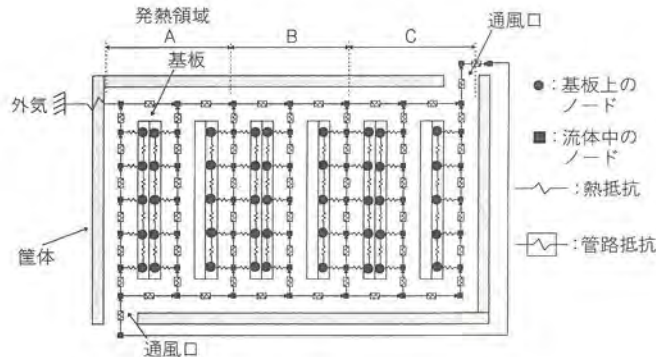


図12. 自然換気解析の回路網モデル

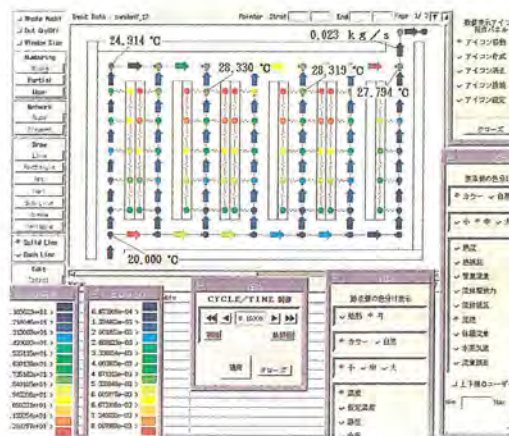


図13. 自然換気の解析結果

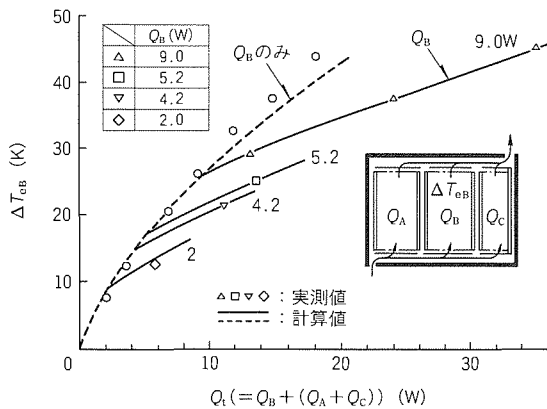


図14. 空気温度上昇の計算値と実測値の比較

接触電気抵抗の実測値より、I-DEAS 上では厚みを持った等価なソリッド要素としてモデル化した。放熱条件としては、図に示すブスバーに放射と自然対流の放熱条件を与えた。この入力はい-DEASの放射条件設定画面で、MelTHERFY内蔵のデータベースや熱伝達率の計算式を直接指定できるように工夫した。

図9に、解析結果として、カラーで表示した温度分布を示す。また、図10に実測値との比較を示す。図から温度分布は接触部が高温になっていることに特徴があり、計算値は実測値と比較してほぼ10%の範囲で一致していることが分かる。

5.2 自然換気筐体熱設計

近年の電子機器の発熱密度の増大に伴い、強制空冷や液冷などの高性能冷却法の開発が進められている。一方、自然空冷法は冷却性能ではこれらの2方式よりも劣るものの、騒音や冷却系の信頼性及び経済性の面からメリットがあり、その冷却設計の精度向上による実装の高密度化も求められている。

自然空冷方式においては、プリント基板上に搭載されたICやLSIなどは筐体内部に収納され、内部空気の温度上昇に伴う自然換気によって冷却される。その自然空冷の熱設計には、これまで簡易なモデルによる計算式が用いられてきた。しかし、通常の電子機器の筐体内部の構成は複雑であり、また、基板上の発熱分布も一様ではないため、筐体内部の流れも複雑となる。したがって、その冷却設計の高精度化のためには、複雑な機器構成や発熱分布を考慮できる冷却設計手法を用いることが必要である。

ここでは、筐体内部の基板間の流れを基板によって構成される管路内の流れと考え、従来強制通風の冷却設計に用いられてきた熱回路網法及び流体回路網法を自然通風にも適用するとともに、その妥当性を実験的に検証することを目的として行った実例を紹介する。

実験に用いた筐体の構成を図11に示す。一様に発熱する

モデル基板(加熱板)が筐体内部に垂直に設置され、基板表面及び内部空気の温度が測定できるようになっている。図中A, B, Cの領域はそれぞれ基板の発熱密度が異なっている。

TherfBENCH上で作成した回路網モデルを図12に示す。ノード間がそれぞれ熱抵抗と管路抵抗で連結され、熱及び空気の流れがモデル化されている。

MelTHERFYによる計算結果をTherfBENCH上に表示したものを図13に示す。ノード上の温度がカラー別で表示され、上部ほど温度が高い(赤色で表示)ことが分かる。

基板上下間の空気温度差について計算値と実測値とを比較したものを図14に示す。この図は、基板列の中央領域Bの発熱量 Q_B を一定として、 Q_A , Q_C の増加によって全発熱量 Q_t が増加した場合の領域Bの空気温度上昇 ΔT_{eB} を示したものである。図から、 Q_B が一定でも、全発熱量 Q_t が増加すると領域Bの空気温度上昇 ΔT_{eB} は増大することなど、計算値と実測値はよく一致していることが分かる。

6. むすび

汎用熱・流体解析ソフトMelTHERFYと、そのプリ/ポストTherfBENCHを用いた熱・流体解析システムの構成・機能・特長及び実用例について紹介した。

このシステムでは複雑な機器に容易に対応できる回路網法を使用しているが、新たに開発したTherfBENCHや市販のソフトであるI-DEASをプリ/ポストとして利用することにより、これまで回路網法による汎用ソフトの欠点とされてきたデータ作成の煩雑さを解決し、画面上で容易に解析モデルを作成することができ、しかも、計算結果のビジュアルな表示によって解析結果の迅速な理解が得られるようにした。さらに、熱回路網や流体回路網に用いられる基本計算式、物性値や関数式など、解析に必要なデータベースを内蔵することにより、解析業務の時間短縮を図り、さらに、境界条件が温度や時間で大きく変化するような特殊な条件下での計算を可能とした。また、このシステムの有用性を実際の機器への適用によって示した。

今後もこの解析システムを有効に利用し、機器の熱解析を迅速かつ効果的に行っていく予定である。

参考文献

- (1) 木村 昇, 国峰尚樹, 星野 茂: 装置シミュレーションシステムの開発, 沖電気研究開発, 第153号, 59, No.1, 97~102 (1992)
- (2) 福島 満, 市川 晃, 木藤良善久, 東覚里志, 宇佐見一雄: 回転電気機械の通風冷却解析, 三菱電機技報, 53, No.12, 909~913 (1979)



特許と新案 * * *

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター

Tel(03)3218-2174

対物レンズ駆動装置 (特許 第1809851号, 特公平5-17618)

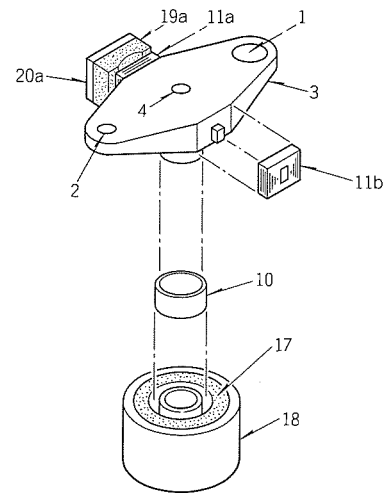
この発明は、光学式ディスクの対物レンズ駆動装置に関するものである。

従来の対物レンズ駆動装置において、焦点制御用コイルとトラック制御用コイルは、同一の永久磁石とヨークで構成される磁気回路を共用していた。このため、トラック制御用コイルがく(矩)形であることから、焦点制御用コイルは全周を利用することができず、利用効率が悪い。また、焦点制御用コイルの上にトラック制御用コイルを張り付けているので、磁気回路のギャップは大きくする必要があり、永久磁石が大きくなって、コストアップと小型化が困難な要因になっていた。

この発明は上記の欠点をなくすためになされたもので、図の実施例に示すように、対物レンズ(1)を装着し、支軸(4)と軸受けによって回転・しゅう(摺)動自在に支持されたレンズホルダ(3)の下方筒状部には焦点制御用コイル(10)が取り付けられ、左右の側面にはトラック制御用コイル(11)が取り付けられ、それぞれ対応する焦点制御用永久磁石(17)、トラック制御用永久磁石(19)とで磁気回路を構成し、各コイルに所望

の電流を流すことによって対物レンズのトラック制御と焦点制御をしている。

以上のようにこの発明によれば、磁気回路のギャップは焦点制御用コイルのみで決定されるので、著しく小さくすることができ、対物レンズ駆動装置の小型化、コストの低減が図れる。



ワイヤ放電加工装置 (特許 第1879978号, 特公平6-4206)

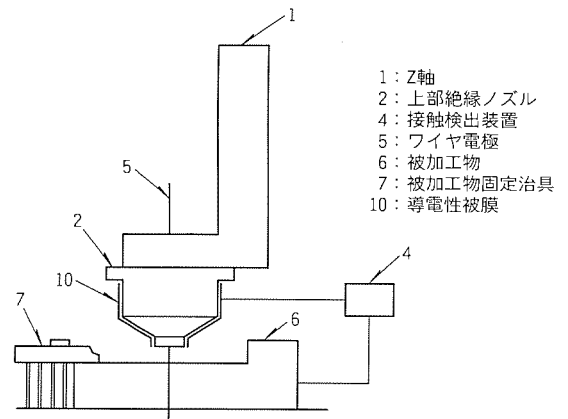
この発明は、ワイヤ電極と導電性被加工物との間に加工液を放出するとともに、両者間に放電を発生させて導電性被加工物を加工するワイヤ放電加工装置に関するものである。

ワイヤ放電加工装置においては、電極ワイヤで被加工物を加工するとき、被加工物が電極ワイヤに対して加工されるべき所定形状に応じて移動するが、従来の装置においては、被加工物又は被加工物固定治具が上部絶縁ノズルに衝突して破損事故を起こすのを防止するため、上部絶縁ノズルの周辺に取り付けた導電性すだれと被加工物とが接触するほどに接近すると、接触検出装置が動作して放電加工装置を停止させていた。そのため、加工部に放出される加工液により、導電性すだれが波打ち、すだれの先端が被加工物の凸部や被加工物固定治具に接触し、誤検出が発生する欠点があった。

この発明は、上記のような欠点を除去するためになされたものである。すなわち、図に示すように、上部絶縁ノズル(2)の外壁に導電性被膜(10)を形成し、この被膜(10)と被加工

物(6)との間に接触検出装置(4)を備えたものである。

以上のように、この発明によれば、加工液の影響を受けることもなく、上部絶縁ノズル(2)、被加工物(6)又は被加工物固定治具(7)との接触検出が確実に実行される効果がある。





特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 特許センター

Tel/(03)3218-2174

電子管陰極の製造方法 (特許 第1736127号, 特公平4-18660号)

発明者 鎌田豊一, 佐野金治郎, 福山敬二, 斎藤正人, 渡部勤二

この発明は、ブラウン管や撮像管などの電子管に使用される酸化物陰極の製法に関するものである。図1はこの発明にかかわる酸化物陰極の構造を示すもので、SiやMgを微量含むNiからなる基体金属(1)上に、三元アルカリ土類金属酸化物(Ba,Sr,Ca)O(2)と酸化スカンジウムSc₂O₃粉末(3)からなる電子放射物質層を塗布した構造である。Sc₂O₃粉末(3)は陰極の動作中に生成される反応生成物を分解する作用があるため、高電流密度で長時間安定した動作が可能となるが、初期の電子放射特性はSc₂O₃粉末(3)の添加量やロット等によって悪影響を受けやすかった。

この発明は上記の欠点をなくす

ためになされたもので、800~1,100℃の酸化性雰囲気中で30分以上の熱処理を施したSc₂O₃粉末(3)を0.1~20重量%の割合で添加混合したものである。この熱処理によって、エージング工程におけるSc₂O₃粉末(3)からのガス放出が減少し、図2に示すように安定した初期の電子放射特性(MIK)が得られる。

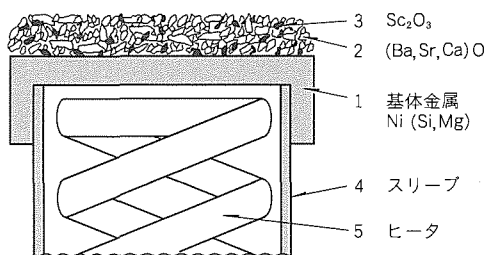


図1.

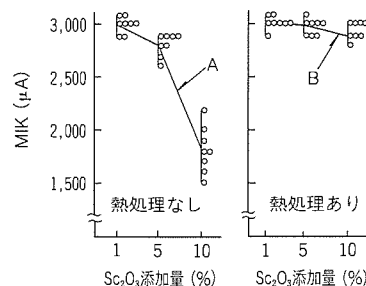


図2.

〈次号予定〉三菱電機技報 Vol.70 No.3 “半導体”

特集論文

- 半導体の進歩による産業革命の新局面
- 半導体の現状と動向——システムLSIに向けて——
- 256MビットダイナミックRAM
- コントローラ付き16MキャッシュDRAM
- 150MHz動作第二世代
32Kワード×32ビット シンクロナスバーストSRAM
- 32ビット高性能RISCマイクロプロセッサ M32R
- 新ビットマイコンM16Cシリーズ
- メモリ内蔵1チップ ピクチャ イン ピクチャ LSI
- ファクシミリスキャナ用画像処理コントローラ

- プログラマブル実時間MPEG2ビデオエンコーダチップセット
- 0.5μmBiCMOSゲートアレー
- 2.5Gbps変調器集積型半導体レーザ
- CATV用DFB-LDの高CNR化
- Dual Gate HEMTを用いたQ帯低雑音可変利得増幅器MMIC
- 世界最大容量の8kV/3.6kA光トリガサイリスタ
- アクティブクランプ内蔵 高圧・大容量IPM
- 高信頼トンネル酸化膜形成技術
- X線転写によるRu/BST/Ruスタックキャパシタを持つ
1GビットDRAMセル
- LSI用多ピンパッケージ技術
- アーキテクチャに依存しない高位合成用HDLモデル化技術

三菱電機技報編集委員

- 委員長 黒田紀典
委員 永田譲蔵 下村寛士
永田裕之 河内浩明
上杉豪 内藤明彦
磯田悟 山本延夫
畑谷正雄 才田敏和
中井良雄 鳥取浩
幹事 小林保雄
2月号特集担当 大串哲朗
鈴木文雄

三菱電機技報70巻2号

(無断転載を禁ず)

1996年2月22日 印刷

1996年2月25日 発行

- 編集兼発行人 小林保雄
印刷所 千葉県市川市塩浜三丁目12番地 (〒272-01)
菱電印刷株式会社
発行所 東京都港区新橋六丁目4番地9号
北海ビル新橋 (〒105)
三菱電機エンジニアリング株式会社内
「三菱電機技報社」Tel. (03) 3437局2692
発売元 東京都千代田区神田錦町三丁目1番地 (〒101)
株式会社 オーム社
Tel. (03) 3233局0641代, 振替口座東京6-20018
定価 1部721円(本体700円) 送料別

スポットライト 三菱PHS電話機 TL-PH7

移動体通信端末機である携帯電話機が手ごろな価格と消費者の生活意識の変化をとらえ、飛躍的に需要が増大してきました。一方、基本料金や通話料金が大幅に安く、端末機も小型化が図れるPHSは、1995年7月に公衆通話サービスが開始され、初年度80万台に達する見込みです。

三菱電機では、公衆通話サービスに対応するPHS電話機 TL-PH7 愛称“スリム”を発売いたしました。

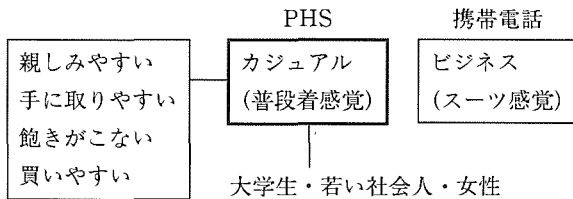
PHSは以下のような特長を持っています。

- (1) 安い料金で手軽に利用できる (基本使用料2,700円/月、通話料市内3分で40円)。
- (2) 家庭内ではコードレス子機として使用できる (ただし、家庭内にデジタルコードレス電話機の親機が必要。通話料市内3分10円)。
- (3) 他のPHS電話機とトランシーバ通話ができる (デジタルコードレス電話機親機へID登録が必要)。
- (4) 出力10mWと小電力のため小型化が図れ、胸のポケットへも入る大きさ、重さ。

- この商品はα-PHS規格も採用。
- α-PHSとは、DDIポケットとメーカー各社で取り決めた規格。
- α-PHS規格を採用した親機であれば使用できます。

以上の基本的な特長のほかに、業界でトップクラスの特長を持たせております。

商品ターゲットとコンセプト



仕様

形名	PHS電話機TL-PH7 (家庭用デジタルコードレス電話機の子機兼用)
外観	容積 (mℓ) 約120 重さ (g) 約139 外形寸法 (mm) 幅44×高さ145×厚さ21 ※突起部を除く(最薄部18mm)
色調	ブルーブラック/シルバークレイ
モード	公衆、家庭、トランシーバ (ただし、家庭及びトランシーバは家庭用デジタルコードレス電話機の親機が必要)
機能	短縮ダイヤル20件 リダイヤル5件 ダイヤルロック (ガード/暗証番号) 通話時間表示 LCDバックライト 着信LED表示 電池残量表示 (4段階) 特大受話器 生活防水 (JIS保護等級4 防まつ相当)
連続通話時間	約 2時間 (電池パックLで約5時間)
連続待受時間	約60時間 (電池パックLで約130時間)



三菱PHS電話機 TL-PH7形

特長

- スリムなポケットサイズ 幅44mm, 厚さ21mm (最薄部18mm)
- 人混みの中でもはっきり 周囲雑音を抑えた差動マイク, 高音質レシーバ, 特大音採用
- たっぷり長時間持ち歩ける (電池パックL装着時) 連続通話: 5時間
連続待受け: 130時間

仕様, その他

- 徹底した小型化・薄型化 手に持ちやすい幅, 厚さ
- 徹底した高音質化 差動マイク, ダイナミックレシーバ
- 高感度アンテナ 人体の影響を軽減
- 着信標示 着信音 3段階, LED表示
- 着信音切り (サイレント) 着信音が停止する。
- 各種報知音音量設定 通話/着信音量 3段階切換え
- 電波電界強度表示 電波の強さ表示 4段階切換え
- 電池残量表示 電池の残量を 4段階表示
- キースイッチガード 誤って押されること防ぐ。
- キースイッチプロテクト 盗難使用を防ぐ暗証番号設定
- 短縮ダイヤル 20件記憶
- リダイヤル 最新の 5 件を記憶
- 保留 相手にこちらの音をミュート
- ノイズを抑える差動マイク 周囲雑音を抑える。
- モード切換え 公衆, 家庭, トランシーバ
- 生活防水 JIS保護等級 4 防まつ相当 (濡れた手で触れたり, 水しぶき程度を保護する。)
- 分計サービス機能 料金引落とし口座を二つ設定できる (有料契約)。
- 留守番録音機能 通話に出たくないとき, 電源を切っているとき, 国外時, DDIセンターで相手のメッセージを録音する (有料契約)。



☆☆☆『三菱電機技報』読者の皆様へ☆☆☆

日頃は「三菱電機技報」をご愛読いただきありがとうございます。

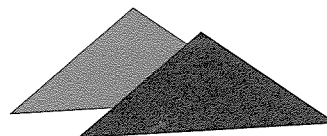
本年、創刊70周年を迎えることができましたことを記念して、本誌2月号はCD-ROMを付録いたしました。

この企画は、マルチメディアなどの技術革新を迎えている中で、メディアミックスの試みとして、CD-ROM(動的説明)により論文(静的記述)を補完し、より分かりやすいプレゼンテーションをねらいとしています。

今後の編集の参考とさせていただきますので、下記のアンケートにご意見・ご希望をお聞かせください。

FAX: 03-3437-0083

三菱電機技報社 行



付録CD-ROMのアンケート

収録内容：社長あいさつ／論文／三菱電機CM集／スクリーンセーバー

1. CD-ROMをご覧になりましたか。

①見た (機種名:)

②見なかった (理由:)

2. CD-ROMをご覧になった感想をお聞かせください。



よい



わるい

- 企画意図の的確さ..... — — — —
- 全体の構成..... — — — —
- おもしろさ..... — — — —
- 分かりやすさ..... — — — —

3. 今後の企画についてお聞かせください。

● これからもCD-ROMを付録してほしい(YES ・ NO)

● どのような企画を期待しますか()

4. その他(本誌も含めたご意見をお聞かせください。)

[]

ご氏名		年齢	歳
ご職業			
ご連絡先	TEL () -		

きりとり線

☆☆☆ご協力ありがとうございました☆☆☆

三菱電機技報2月号付録

三菱電機 技報 CD-ROM

FOR WINDOWS & MACINTOSH

ALL RIGHTS RESERVED. COPYRIGHT ©, 1996, MITSUBISHI ELECTRIC CORP.
(EXCEPT: SCREENSAVER COPYRIGHT ©, 1996, DIGITAL MEDIA LAB., INC.)



CONTENTS

- 社長挨拶
- 回路網法による汎用熱・流体解析システムの開発
- 機能性材料の分子設計
- 換気シュミレーターによる室内空気質の解析
- 電子機器統合化設計システムとその応用例
- CFデモ集
- スクリーンセーバー



SYSTEM

● ご利用方法
Macintosh版
本CD-ROM内にある「三菱技報CD-ROM」というアイコンをダブルクリックして起動してください。

Windows版
Windowsからファイルマネージャーを起動し、CD-ROM内にある「INSTALL.EXE」を実行し画面の指示に従ってインストール作業を行ってください。インストールが終了すると、プログラムマネージャー内に「GIHOU」というグループが登録されます。そのグループの中から、「三菱技報」というアイコンをダブルクリックして実行してください。

※Macintosh版、Windows版ともに起動するにはCD-ROMが必要です。

■推奨環境 (Macintosh)

●CPU68040以降 ●RAM 空きエリア6MB以上 ●CD-ROM ドライブ Apple CD 300および同等の物 ●ディスプレイ256色以上 ●解像度640×480ドット以上 ●漢字Talk7以上のシステム

■推奨環境 (Windows)

●MS-DOS5.0J以降 ●Windows3.1J以降 ●CPUi486DX2以降 ●RAM 空きエリア12MB以上 ●倍速CD-ROM ドライブ ●ディスプレイ256色以上 ●解像度640×480ドット以上 ●Sound Blaster等のサウンドボード

CAUTION

●このCD-ROMは、弊社が企画、制作したもので、著作権は弊社が所有します。●このCD-ROMに含まれているスクリーンセーバープログラムは(株)デジタル・メディア・ラボが企画、制作したもので、著作権は(株)デジタル・メディア・ラボが所有します。●このCD-ROMに入っているプログラム及びデータファイル、イラストレーションフィルム、映像フィルム等の内容を、著作権者の許可なく無断で複製、修正、改編、貸付、リース、転売、頒布、伝送すること、二次著作物をつくること、またディスクに含まれているコンピュータ・プログラムを逆アセンブラ、逆コンパイルすることは法律で禁止されています。●このCD-ROMをご使用中の破損、その他運用した結果生じたいかなる損害についても弊社及び(株)デジタル・メディア・ラボは一切責任を負いませんのであらかじめご了承ください。また、このCD-ROMを正規の使い方以外の方法で使用したり改編等を行った場合、その動作について弊社及び(株)デジタル・メディア・ラボは一切責任を負いません。

Apple、Macintosh、漢字talk、QuickTime、QuickTime for Windowsは米国Apple Computer社の登録商標です。Windows、MS-Windows、MS-DOS、ファイルマネージャは米国Microsoft社の登録商標です。その他記載されている社名および商品名は、各社の登録商標および商標です。

「電子機器統合化設計システムとその応用例」データ映像中のJPEG画像は「コダック フォトCDサンブラー」より転載。
スクリーンセーバーキャラクター：©Hyperion Entertainment, Inc. 1996 / ©Digital Media Lab., Inc. 1996

電話系サービスに代表されるテレコムサービスの開発を支援するインテリジェントネットワーク開発支援装置を開発いたしました。

インテリジェントネットワークは新しいネットワークアーキテクチャであり、今まで端末(電話機)に固定して割り当てられていた番号を柔軟に変更する機構を持たせることにより、通話における課金の対象となる端末の変更、あるいは移動体通信における追跡交換サービス等の設計を容易に行おうとするものです。

サービスソフトウェアの開発は、これまではC言語、アセンブラ言語などコンピュータ上のプログラミング言語を用いて行っていましたが、このサービス開発支援装置では、グラフィカルなユーザインタフェースによってサービス仕様を作成し、統合された環境下でその仕様の動作確認を行うことにより、サービスソフトウェアの開発効率の向上を図ることが可能になります。

このインテリジェントネットワーク開発支援装置の特長を以下に示します。

- 視覚的に分かりやすいグラフィカルなソフトウェア部品を組み合わせることによってサービスソフトウェアの開発を行うことが可能

- 新規ソフトウェア部品の登録が容易
- サービス仕様の変更が柔軟に可能
- 装置内に統合されたネットワークのシミュレーション機構を用いることにより、開発したソフトウェアの動作検証が即時に実行可能
- 初期に提供するソフトウェア部品としてインテリジェントネットワークの国際標準であるIN CS-1(Intelligent Network Capability Set 1)で定義されているすべてのソフトウェア部品をサポート
この装置の動作環境を以下に示します。

- ハードウェア
ME-Rシリーズ
- ソフトウェア
AT&T C++ Ver.2.1
X Window System (X11R4)
GUIツールキットJMotif-1.1
日本語フロントエンドプロセッサWnm 4

“X Window System”は、米国 Massachusetts Institute of Technology(MIT)が開発したシステム名称です。

“Motif”は、Open Software Foundation, Inc.の商標です。



インテリジェントネットワーク開発支援装置