

# MITSUBISHI

## 三菱電機技報 Vol.69 No.3

特集 “先端半導体”

'95 3



## 特集 “先端半導体”

### 目 次

#### 特集論文

先端半導体特集に寄せて .....	1
田丸啓吉	

#### 現状と動向

半導体の動向とシステム LSI .....	2
堀場康孝	

#### ASIC

国際標準高効率符号化方式 (QM-Coder) LSI .....	6
小野文孝・今中良史・樋口良平・井須佳子	

MPEG 2 対応 1 / 2 画素精度動き検出 LSI .....	12
石原和哉・増田真一・西川博文・味岡佳英・網城啓之	

アナログ/ディジタル混載用, 10ビット, 20M サンプル/秒 CMOS A/D コンバータ .....	17
伊藤正雄・三木隆博・熊本敏夫・山下征夫・岡田圭介	

I <sup>2</sup> C バスコントロール マルチスタンダード TV 用 LSI .....	21
奥野和彦・菊地和行	

サブミクロン大規模 ASIC 用設計システム .....	25
加賀谷達次・小野眞司・齋藤 健・原田輝昭・高瀬和彦	

#### マイクロコンピュータ

新16ビットマイコン M16シリーズ-低電圧・低消費電力シングルチップ版 M16/12- .....	30
畑 雅之・斉藤 彰・林 義弘	

16ビットマイコン7700ファミリー40MHz 対応7751シリーズ .....	35
伊藤 栄・小松裕史	

Phoenix ファームウェア搭載の新世代キーボードコントローラ M3880X .....	40
田代 哲・阿部 稔・鈴木真一・古村 高・森脇昇平	

#### メモリ

三次元グラフィックス用フレームバッファメモリ (3 D-RAM) .....	42
中村 尚・井上一成・河合浩行	

3.3V 単一電源16M ビット DINOR 型フラッシュメモリ .....	47
三原雅章・小林真一・杠 幸二郎・九ノ里勇一	

100MHz 動作 2バンク構成16Mビットシンクロナス DRAM .....	51
小西康弘・澤田誠二	

第三世代低消費電力 1 Mビット SRAM .....	54
小久保信幸・山下正之・南 ふゆみ・有馬 聡・石川英一	

#### パワーデバイス

世界最大容量の 6 kV / 6 kA GTO サイリスタ .....	59
古賀真次・中川 勉・徳能 太・山元正則	

トレンチ構造60V 耐圧パワー MOSFET .....	63
福持泰明・久本好明・小野 隆・檜崎敦司・吉田英二	

#### プロセス技術

単層ハーフトーン位相シフトマスク .....	67
吉岡信行・楠瀬治彦・千葉 明・前床和行・今井忠義・宮崎順二	

アモルファスシリコン TFT 用回路/デバイスシミュレータ .....	72
谷沢元昭・石川清志・小谷教彦・坪内夏朗・大縄登史男・菊田 繁	

SRリソグラフィによる超微細パターン形成 .....	77
井上正巳・炭谷博昭・糸賀賢二・尾崎禎彦・熊田輝彦	

#### 特許と新案

「アーク溶接機の溶接電流制御装置」「電気式膨脹弁制御装置」 .....	83
-------------------------------------	----

「電圧発生回路」 .....	84
----------------	----

#### スポットライト

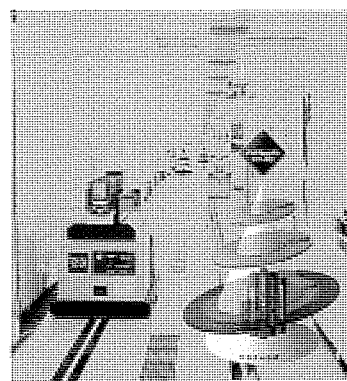
自動車用 LAN コントローラ IC “M64101TP” .....	82
-------------------------------------	----

三菱変圧器油中ガス分析装置 .....	(表 3)
---------------------	-------

#### 表紙

高精度ロボットが活躍するウェーハ自動一貫ラインと三菱 Multimedia on Chip のコンセプト

最先端のコア技術とトップダウン設計を実現した CAD 技術に独自のプロセス技術を融合することにより、お客様固有のノウハウをも一つのチップ上に形成するマルチメディアオンチップのコンセプトと三菱電機の総合力を結集した完全自動化の西条工場。



三菱電機技報に掲載の技術論文では、国際単位 “SI” [SI 第 2 段階 (換算値方式) を基本] を使用しています。ただし、保安上、安全上等の理由で、従来単位を使用している場合があります。

## アブストラクト

### 半導体の動向とシステム LSI

堀場康孝

三菱電機技報 Vol.69・No.3・p.2～5 (1995)

半導体技術の進展につれ、一つのシステムを1個のLSIで実現できるシステム LSI の時代がきつつある。システム LSI は単なる技術ではなく、半導体産業及びエレクトロニクス産業の構造に多大なインパクトを与える文化革命的な色彩を帯びている。マルチメディア時代を支えるのもシステム LSI であり、本稿ではその動向、技術課題、当社の取組などについて概説する。

### サブミクロン大規模 ASIC 用設計システム

加賀谷達次・小野真司・齋藤 健・原田輝昭・高瀬和彦

三菱電機技報 Vol.69・No.3・p.25～29 (1995)

大規模・高速なサブミクロン ASIC を短時間で開発するために、フロアプラン機能と設計フロー管理支援機能を強化した ASIC 設計システムを開発した。

フロアプラン機能では、回路のネットリストから面積と配線長を精度良く見積もる手法を考案した。設計フロー管理支援機能では、フロー図方式のユーザインタフェースで設計手順を制御できる設計システムを容易に構築できるシステムを開発した。

### 国際標準高効率符号化方式(QM-Coder) LSI

小野文孝・今中良史・樋口良平・井須佳子

三菱電機技報 Vol.69・No.3・p.6～11 (1995)

国際標準 JBIG/JPEG における高効率符号化方式(QM-Coder)に準拠した圧縮伸長 LSI M65760FP を開発した。QM-Coder は、完全可逆符号化方式であるため、符号化/復号による画像劣化が全くなく、また学習機能を備えることによって従来の圧縮方式に比べ、高い圧縮効率を得られる。さらに、この LSI は、最高2,000万画素/秒という高速処理のため、ファクシミリ、複写機、プリンタなどのデジタル機器のメモリ削減に効果的である。

### 新16ビットマイコン M16シリーズ

— 低電圧・低消費電力シングルチップ版 M16/12 —

畑 雅之・斉藤 彰・林 義弘

三菱電機技報 Vol.69・No.3・p.30～34 (1995)

最近の携帯機器・個人用電子機器の高性能化に対して、高性能なシングルチップマイコンも、低電圧動作・低消費電力化、小型化が必要である。そこでこのニーズにこたえ、新16ビットマイコン M16シリーズの第二弾製品として M16/12を開発した。開発の際、高性能・高機能を維持したまま低電圧化・低消費電力化・小型化を行った。そして、低消費電力モードもサポートしたので、それらについて紹介する。

### MPEG 2 対応 1/2 画素精度動き検出 LSI

石原和哉・増田真一・西川博文・味岡佳英・網城啓之

三菱電機技報 Vol.69・No.3・p.12～16 (1995)

世界で初めて MPEG 2 (Moving Pictures Experts Group 2) の多様な予測モード(フィールド/フレーム/デュアルプライム)に対応可能な 1/2 画素精度動き検出 LSI を開発した。整数精度演算部への評価値加算方法の新規導入、1/2 画素精度プロセッサの内蔵、可変パイプラインの新規採用により、高性能でかつ自由度の高い動き検出 LSI が実現できた。この LSI により、MPEG 2 準拠の画像符号化装置の低コスト化・小型化が可能となる。

### 16ビットマイコン 7700ファミリ

— 40MHz 対応 7751 シリーズ —

伊藤 栄・小松裕史

三菱電機技報 Vol.69・No.3・p.35～39 (1995)

当社16ビットマイコン7700ファミリの CPU コア強化展開の第2弾として、従来シリーズの2～3倍の演算性能を持った“7751シリーズ”を開発した。従来シリーズと比較した主な性能強化ポイントは、①動作周波数の高速化(25MHz → 40MHz)、②命令実行サイクル数の短縮(特に乗除算命令)、③応用分野に特化した新規命令(積和演算命令)の追加である。ハードディスクの制御などへの応用に最適である。

### アナログ/デジタル混載用、

10ビット、20M サンプル/秒 CMOS A/D コンバータ

伊藤正雄・三木隆博・熊本敏夫・山下征大・岡田圭介

三菱電機技報 Vol.69・No.3・p.17～20 (1995)

ハイビジョン等の高精細映像機器用 LSI へのオンチップ化をターゲットとして、3V 単一電源、分解能10ビット、変換速度20M サンプル/秒の CMOS A/D コンバータを試作した。オンチップ化に必要なノイズ耐性を得るために、比較器に差動型アンプの適用と、新方式のエンコーダの開発を行った。チップは0.8μm CMOS プロセスを用いて試作され、基板ノイズに対して高い耐性を示すことが評価結果から確認された。

### Phoenix ファームウェア搭載の

新世代キーボードコントローラ M3880X

田代 哲・阿部 稔・鈴木真一・古村 高・森脇昇平

三菱電機技報 Vol.69・No.3・p.40～41 (1995)

3880Xグループは、今後の PC/AT とその互換機のキーボードコントローラに必要な機能を持った新世代の8ビットスレーブマイコンである。

また、3880Xには、三菱電機(株)が Phoenix 社に依託開発した専用ファームウェア“MultiKey/3880L”を準備している。

### I<sup>2</sup>C バスコントロール マルチスタンダード TV 用 LSI

奥野和彦・菊地和行

三菱電機技報 Vol.69・No.3・p.21～24 (1995)

I<sup>2</sup>C(Inter Integrated Circuit)バスコントロール PAL/NTSC 方式カラーテレビ用シングルチップ IC “M52343SP” と、SECAM 方式色信号処理用 IC “M52325P” を開発した。この IC 構成により、従来多かった周辺部品が大幅に削減され、複雑なシステムであった全世界対応カラーテレビが簡素化された。

また、自動調整が可能となったため、TV セットメーカーの生産ラインでの合理化にも大きく寄与する。

### 三次元グラフィックス用フレームバッファメモリ(3D-RAM)

中村 尚・井上一成・河合浩行

三菱電機技報 Vol.69・No.3・p.42～46 (1995)

三次元グラフィックスをメインターゲットとして、メモリと演算コア(ピクセル ALU)をオンチップ化した10M ビットフレームバッファメモリを開発した。ピクセル ALU は、αブレンディング、Zバッファリング等の三次元グラフィックス基本処理をサポートし、256ビット幅内部バス、シンクロナス動作(100MHz)の採用により、VRAM 使用の三次元グラフィックスシステムに比べ、同一コストで描画速度を約1けた向上したシステムが構成可能である。

# Abstracts

<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 25~29 (1995)</p> <p><b>A Design System for Large-Scale Submicron ASICs</b></p> <p>by Tatsuji Kagatani, Shinji Dno, Ken Saito, Teruaki Harada &amp; Kazuhiko Takase</p> <p>Mitsubishi Electric has developed an improved ASIC design system with floor-planner and design-flow management support functions that enables rapid development of high-speed, large-scale application-specific ICs. The floor-planner function employs a newly proposed highly accurate method for estimating layout area and wiring length from the circuit net list. The design-flow management support function facilitates control of design procedures by providing a graphic user interface based on flow diagrams.</p>	<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 2~5 (1995)</p> <p><b>Trends in Semiconductors and System LSIs</b></p> <p>by Yasutaka Horiba</p> <p>Advances in semiconductor technology are leading the industry into an era of system LSIs, where an entire system can be integrated into a single chip. System LSIs are more than just an extension of semiconductor technology: they have more the character of a cultural revolution with tremendous potential impact on the structure of the semiconductor and electronics industries. They will doubtlessly play a key role in the multimedia era. The article describes trends, technological issues and Mitsubishi Electric's approach.</p>
<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 30~34 (1995)</p> <p><b>M16/12 Series Low-Voltage, Low-Power One-Chip 16-Bit Microcontrollers</b></p> <p>by Masayuki Hata, Akira Saito &amp; Yoshihiro Hayashi</p> <p>Mitsubishi Electric has developed the M16/12 Series low-voltage, low-power, one-chip microcontrollers for applications in handheld and personal electronic equipment. These products maintain the performance of standard M16 microcontrollers in spite of their smaller dimensions and power requirements. They also incorporate an additional low-power-dissipation mode.</p>	<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 6~11 (1995)</p> <p><b>The QM-Compliant Codec LSI</b></p> <p>by Fumitaka Ono, Yoshifumi Imanaka, Ryohei Higuchi &amp; Yoshiko Iku</p> <p>Mitsubishi Electric has developed a codec LSI that implements the high-efficiency QM algorithm used for JBIG and JPEG applications. The QM coding algorithm is completely reversible, so that encoding and decoding operations result in no picture-quality degradation. Coding efficiency is also higher than previous algorithms. The new LSI can process 20 million pixels per second, allowing on-the-fly compression and decompression of image data to reduce memory requirements of facsimile machines and printers.</p>
<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 35~39 (1995)</p> <p><b>The 7751 Series 40MHz, 16-Bit Microcontroller</b></p> <p>by Sakae Ito &amp; Hirofumi Komatsu</p> <p>Mitsubishi Electric has strengthened its 7700 microcontroller family with the new 7751 Series, which offers performance 2~3 times that of previous devices. The performance increase was achieved by boosting the operating frequency from 25 to 40MHz, reducing the number of clock cycles per instruction (especially for multiplication) and introducing new application-specific instructions such as sum-of-products. The devices are especially suitable for implementing hard-disk controllers.</p>	<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 12~16 (1995)</p> <p><b>A Motion-Estimation LSI with Half-Pixel Precision</b></p> <p>by Kazuya Ishihara, Shin'ichi Masuda, Hirofumi Nishikawa, Yoshihide Ajioka &amp; Hiroyuki Amishiro</p> <p>Mitsubishi Electric has developed the world's first motion-estimation LSI with half-pixel precision which is capable of implementing various MPEG2 prediction modes including field, frame and dual-prime modes. The performance of the device has been improved by incorporating a distortion summation scheme in the integer-pel unit, on-chip half-pel processors and a versatile, variable-pipeline architecture. This device makes it possible to implement a compact, low-cost MPEG2 video encoder.</p>
<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 40~41 (1995)</p> <p><b>The-New Generation M3880X Keyboard Control with Phoenix Firmware</b></p> <p>by Tetsu Tashiro, Minoru Abe, Shin'ichi Suzuki, Takashi Furumura &amp; Shohei Moriwaki</p> <p>Mitsubishi Electric has developed 3880X Group keyboard controller ICs for PC/AT™ compatible keyboards. The corporation commissioned the Phoenix Corporation to develop the MultiKey™/3880L firmware used in the new-generation 8-bit microcontrollers.</p>	<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 17~20 (1995)</p> <p><b>A 10-Bit, 20MSPS CMOS A/D Converter</b></p> <p>by Masao Ito, Takahiro Miki, Toshio Kumamoto, Yukihiko Yamashita &amp; Keisuke Okada</p> <p>Mitsubishi Electric has produced a prototype 3V CMOS A/D converter with 10-bit resolution and a conversion speed of 20MSps for incorporating in LSIs for HDTV applications. A differential amplifier is used in the comparator to avoid noise problems in monolithic devices, and a new encoding algorithm has been developed. The device was implemented in 0.8μm CMOS. Test results indicate high immunity to substrate noise.</p>
<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 42~46 (1995)</p> <p><b>A Frame-Buffer Memory for Three-Dimensional Graphics</b></p> <p>by Hisashi Nakamura, Kazunari Inoue &amp; Hiroyuki Kawai</p> <p>Mitsubishi Electric has developed a 10Mbit frame-buffer memory with an on-chip pixel arithmetic logic unit for processing three-dimensional graphics. The pixel arithmetic logic unit(ALU) supports basic functions for three-dimensional graphics processing such as α-blending and Z-buffering, has a 256-bit wide internal bus and operates at 100MHz in synchronous mode. These advances make it possible to achieve ten times the three-dimensional rendering performance for the cost of a conventional VRAM-based three-dimensional graphics system.</p>	<p>Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 21~24 (1995)</p> <p><b>An IIC BUS-Control LSI for Multi-System TVs</b></p> <p>by Kazuhiko Okuno &amp; Kazuyuki Kikuchi</p> <p>Mitsubishi Electric has developed the M52343SP, an inter-integrated circuit (IIC) bus control IC for PAL/NTSC color TVs, and the M52325P SECAM color-signal processor IC. These devices require comparatively few external components and simplify the task of designing multi-system color TVs. The devices have automatic calibration features that simplify set manufacture.</p>



## アブストラクト

### 3.3V 単一電源16M ビット DINOR 型フラッシュメモリ

三原雅章・小林真一・杠 幸二郎・九ノ里勇一

三菱電機技報 Vol.69・No.3・p.47～50 (1995)

3.3V 単一電源で動作する16MビットDINOR型フラッシュメモリを開発した。0.5 $\mu$ mルールを用いて、電源電圧3.3Vで80nsの高速アクセスタイムを特長とする。

256バイト単位でデータの転送が行えるページモード書き込みや、32の消去ブロックのうち任意のブロックに対してロックをかけて書き込み/消去コマンドを受け付けられないようにするプロテクトブロック機能などを実現した。

### 100MHz 動作 2 バンク構成16M ビットシンクロナス DRAM

小西康弘・澤田誠二

三菱電機技報 Vol.69・No.3・p.51～53 (1995)

100MHzの外部クロックに同期動作し、100Mバイト/秒の高速データ転送を可能とする16MビットシンクロナスDRAMを開発した。

メモリアレーをチップ内で2分割し、独立に動作させることが可能なため、ページの切替時にもプリチャージによるギャップを生じることなくデータの入出力が可能である。

この製品で採用した当社独自のマルチレジスタ方式は、安定した高速動作を実現するのに適している。

### トレンチ構造60V 耐圧パワー MOSFET

福持泰明・久本好明・小野 隆・榎崎敦司・吉田英二

三菱電機技報 Vol.69・No.3・p.63～66 (1995)

パワー MOSFET に新構造であるトレンチ構造と1 $\mu$ mプロセスを採用、加えて組立構造を見直してソースワイヤに400 $\mu$ m径のAlワイヤを採用することで、TO-220F外形で世界最小オン抵抗(5.7m $\Omega$ (typ.))の60V耐圧パワー MOSFET “FS70TM-06”を開発した。

このように低オン抵抗化が進んだことにより、低耐圧領域でのパワースイッチ応用、DC-DCコンバータやスイッチング電源の2次側の同期整流回路等への応用が期待できる。

### 単層ハーフトーン位相シフトマスク

吉岡信行・楠瀬治彦・千葉 明・前床和行・今井忠義・宮崎順二

三菱電機技報 Vol.69・No.3・p.67～71 (1995)

モリブデンシリサイド(MoSi)及びクロム(Cr)の酸化物系材料を単層シフトに用いたハーフトーン位相シフトマスクを開発した。64MDRAMなど0.4 $\mu$ m以降のULSIの開発・製造には光転写技術の解像性や焦点深度を向上させる位相シフトマスクが必要である。従来、位相制御の膜と透過率制御の膜の二層構造で作られていたシフトを単層構造にすることでマスクの製作プロセスが容易になり、実用的なハーフトーン位相シフトマスクが実現した。

### 第三世代低消費電力1M ビット SRAM

小久保信幸・山下正之・南 ふゆみ・有馬 聡・石川英一

三菱電機技報 Vol.69・No.3・p.54～58 (1995)

メモリセル構造を変更したことにより、0.6 $\mu$ mルールで第三世代低消費電力SRAMを開発することができた。

ゲート酸化膜厚14nmの高性能トランジスタの使用、チップアーキテクチャの変更及び回路設計の最適化により、低動作電源電流と高速アクセスタイム(55ns)の実現と、低電源電圧動作マージンの拡大を行うことができた。

### アモルファスシリコン TFT 用回路/デバイスシミュレータ

谷沢元昭・石川清志・小谷教彦・坪内夏朗・大縄登史男・菊田 繁

三菱電機技報 Vol.69・No.3・p.72～76 (1995)

液晶ディスプレイデバイスの開発の効率化のために、a-Si TFT (Amorphous Silicon Thin Film Transistor)用回路/デバイスシミュレータを開発した。a-Si TFTのDCドレイン電流及びゲート容量特性を記述するための解析モデルを回路シミュレータMICS(Mitsubishi Circuit Simulator)に、バンドギャップ中の局在準位の充放電モデルをデバイスシミュレータMIDSIP-T(Mitsubishi Device Simulation Program-Triangular)にそれぞれ導入し、TEG実測との比較を行った。

### 世界最大容量の6kV/6kA GTO サイリスタ

古賀真次・中川 勉・徳能 太・山元正則

三菱電機技報 Vol.69・No.3・p.59～62 (1995)

鉄鋼用インバータや電力用SVGの小型・高性能化の要求にこたえ、世界で初めて大口径6インチウェーハを用いた世界最大容量の耐圧6kV、最大可制御電流6kAのGTO(形名:FG6000AU-120D)の開発・量産化に成功した。その構造、特長、定格、特性及び応用について概説する。

### SR リソグラフィによる超微細パターン形成

井上正巳・炭谷博昭・糸賀賢二・尾崎禎彦・熊田輝彦

三菱電機技報 Vol.69・No.3・p.77～81 (1995)

当社では、SRリングからのSR光を、X線ミラーを含むビームラインによってステップに導き、X線マスクの微細パターンをウェーハ上のレジストに等倍転写するSRリソグラフィシステムを開発した。

化学増幅レジストを用いてプロセス開発を行い、大きなプロセス裕度で0.15 $\mu$ mのライン、ホール、及び1GDRAM相当回路のパターン形成に成功した。各種下地膜や1 $\mu$ mの高段差上にも安定してパターン形成できることを確認した。

# Abstracts

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 63~66 (1995)

## A Trench-Type Power MOSFET with a 60V Breakdown Voltage

by Yasuaki Fukumochi, Yoshiaki Hisamoto, Takashi Ono, Atsushi Narazaki & Eiji Yoshida

Mitsubishi Electric has developed the FS70TM-06 power MOSFET with a 60V breakdown voltage and the world's smallest on-state resistance ( $5.7\mu\text{m}$  typ.) for a TO-220F package. To achieve this outstanding performance, the device was implemented in a  $1\mu\text{m}$  process using a new trench-type structure, and  $400\mu\text{m}$  diameter Al wire was used for the source leads. The low on-state resistance makes the device well-suited to applications such as power switching, DC-DC converters, and switching power-supply secondaries.

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 47~50 (1995)

## A 16Mbit DINOR Flash-Memory Device with a Single 3.3V Power Supply

by Masaaki Mihara, Shin'ichi Kobayashi, Kojiro Yuzuriha & Yuichi Kunori

Mitsubishi Electric has developed a 16Mbit DINOR flash-memory device that operates on a single, 3.3V power supply. The device features half-micron geometry, and achieves 80ns access time with a 3.3V supply. Data integrity is ensured by page-mode writing of 256-byte blocks and a protect-block function that prevents writing or erasure on any specified blocks from among the device's 32 erasable blocks.

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 67~71 (1995)

## An Attenuated Phase-Shifting Mask with a Single-Layer Absorptive Shifter

by Nobuyuki Yoshioka, Haruhiko Kusunose, Akira Chiba, Kazuyuki Maetoko, Tadayoshi Imai & Junji Miyazaki

Mitsubishi Electric has developed an attenuated phase-shifting mask with a single-layer absorptive shifter employing molybdenum-silicide and chrome oxides. Phase-shifting masks offer improved resolution and depth of focus for photolithography of 64Mbit DRAM and other ULSI devices with line widths of  $0.4\mu\text{m}$  and smaller. Mask production has been simplified by combining the separate layers previously used for phase control and transmissivity control into a single layer. This simpler fabrication will allow attenuated phase-shifting masks to enter practical application.

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 51~53 (1995)

## A 100MHz Dual-Bank 16Mbit Synchronous DRAM

by Yasuhiro Konishi & Seiji Sawada

Mitsubishi Electric has developed a 16Mbit synchronous DRAM that transfers data at 100MBps in synch with an external 100MHz clock. The memory array is divided into two banks that can be operated independently, enabling continuous data I/O without the lag that otherwise occurs due to precharging on page switching. The device also features an original multiregister system that supports stable, high-speed operation.

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 72~76 (1995)

## Circuit and Device Simulators for Amorphous Silicon Thin-Film Transistors

by Motoaki Tanizawa, Kiyoshi Ishikawa, Norihiko Kotani, Natsuro Tsubouchi, Toshio Onawa & Shigeru Kikuta

Mitsubishi Electric has developed circuit and device simulators for amorphous-silicon thin-film transistors (a-Si TFTs) that speed the development of liquid-crystal displays. The circuit simulator models the drain current and gate capacitance of the a-Si TFTs, while the device simulator program, Mitsubishi Device Simulation Program-Triangular (MDSIP-T), models the charging and discharging of local levels in the band gap. The simulator results were determined and then compared with TEG measurements.

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 54~58 (1995)

## A Third-Generation Low-Power 1Mbit SRAM

by Nobuyuki Kokubo, Masayuki Yamashita, Fuyumi Minami, Satoshi Arima & Eiichi Ishikawa

By modifying the memory-cell structure and using  $0.6\mu\text{m}$  rule, the authors were able to develop a third-generation low-power SRAM. Using high-performance transistors with a 14nm gate oxide layer, modifications to the chip architecture and design optimization give low operating current and high-speed access (55ns), with improved margins for operation at low power-supply voltages.

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 77~81 (1995)

## Ultrafine Pattern Replication by Synchrotron Radiation Lithography

by Masami Inoue, Hiroaki Sumitani, Kenji Itoga, Yoshihiko Ozaki & Teruhiko Kumada

Mitsubishi Electric has developed a synchrotron radiation lithography system in which X-rays from a synchrotron source pass through a beam-line with X-ray mirrors, and transfer an ultrafine pattern from a 1:1 mask to a substrate coated with chemical-amplification resist. The  $0.15\mu\text{m}$  lines, holes and patterns corresponding to a 1Gbit DRAM were successfully formed with large latitudinal exposure. Stable pattern replications were achieved over  $1\mu\text{m}$  steps and on a variety of substrate layers.

Mitsubishi Denki Giho: Vol. 69, No. 3, pp. 59~62 (1995)

## A High-Power GTO Thyristor (6kV/6kA)

by Sinji Koga, Tsutomu Nakagawa, Futoshi Tokunoh & Masanori Yamamoto

To meet the growing need for inverters for steelworks and for SVGs with higher performance for electric power applications, Mitsubishi Electric has developed the first application of large-diameter (6 inch) wafers to the world's highest power GTO, capable of controlling currents up to 6kA at voltages up to 6kV (Type: FG6000AU-120D). The new GTOs are now production. The article describes their structure, features, performance and applications.

## 先端半導体特集に寄せて

今や日本のリーディング産業の一つになった半導体産業は、LSIの高性能化・大規模化を軸に発展を続けており、経済的にも技術的にも大きな影響力を持つようになった。

1994年度の電機会社の業績は、各社とも年度初めの予想を上回る回復を示したが、その柱となったものの一つがLSIメモリであることは、LSI分野の重要性を改めて示したと言える。しかし、一方では従来から指摘されてきたメモリ依存体質が続いていることも示したことになる。そのメモリも韓国や台湾勢の追い上げがあり、日本の独壇場ではなくなりつつある。メモリが優位にある間にメモリに次ぐ柱を育てる必要がある。

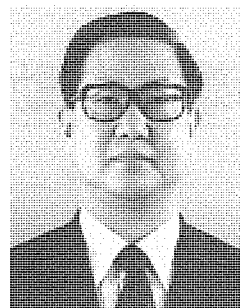
メモリ以外の一般にロジック系と呼ばれる分野では、LSIの大規模化は必然的に多くの機能をチップに集積する“システム オン シリコン”化になる。この特集に発表されているLSIも、複雑な機能を集積化したものが大部分である。この分野のLSIの将来を考えたとき、重要な問題は開発のための人材の育成と供給である。

これまでの半導体教育は、デバイスの物理、動作、製法についてはしっかりした教育をしてきた。これによって多くのデバイスあるいはプロセスの研究者・技術者を供給し、これがトランジスタからLSIまでの発展を支え、現在のメモリの発展にまでつながっている。しかし、1990年代以後のシステム オン シリコンと言われる時代のロジック系の開発では、集積される規模が増加したことにより設計技術に質的变化が起こってきたため、設計技術者のカバーすべき範囲が広がり、アーキテクチャ設計者あるいはシステム設計者までLSI設計者の中に含まれるようになってきた。

このような変化に対し企業は独自に対応をとってきたが、日本の大学のLSIシステムやアーキテクチャの教育はむしろ逆の現象を示している。LSI技術の進歩により大学ではLSIの試作が困難な状況になってきたため、LSI全体を見

京都大学 工学部  
電子工学教室

教授 田丸 啓吉



た設計の研究教育は次第に行われなくなってきた。米国ではこの点に気付き、1980年には大学の設計を安価にLSI化するMOSISと呼ぶ組織を作った。現在、プロセッサの世界を席巻しているRISCプロセッサも、初期の大学が研究していた時期にはMOSISで試作されている。

日本では同様のことが指摘されながら、今日まで実現していない。関係者の努力により今年度にやっと試行が開始されたが、未だ明確な組織も体制も確立していない。この日米の15年間の時間の差は、日本のLSI産業の将来に深刻な影響を与えるおそれがある。

最近5年間のLSIシステム／アーキテクチャ関係の主な3国際学会 (ISSCC, CICC, VLSI Circuits) の発表論文数を比べると、米国・カナダの大学からの299件に対し日本の大学は20件である。大学の研究費不足、設備が悪いなど一般的な問題点はマスコミなどにも取り上げられ広く知られるところになったが、これらに加えてLSIシステム／アーキテクチャ分野固有の問題点として、日本でこの分野の研究に従事したり教育を受ける学生の人数が、米国に比べて少ないという問題がある。特に博士課程の学生の少ないことは研究活動の活発さとともに、産業界に供給される人材の質に決定的に効いてくる。

日本のLSI産業が21世紀に向かってメモリ分野以外にも幅広い分野で発展するために、多数の優秀な人材が参加し日本独自の技術を創出することが重要であることは自明である。そのためには大学とLSI関連企業が連携して人材育成を講ずる必要がある。

本特集号の論文に見るように、日本のLSI技術は世界のトップレベルである。研究者・技術者のみならず学生も、この特集号によって現在の成果を理解すると同時に、将来の発展について考えることを期待する。

# 半導体の動向とシステムLSI

堀場康孝\*

## 1. ま え が き

急激な技術発展を遂げてきた半導体は1990年代に入ってもその速度を緩めず、100万素子を超えるLSIが普通に使用される時代がやってきた。100万素子を超えると、今まで複数のLSIを使用していたシステム(装置)でも1個のLSIで実現できるものも出てくる。このため、LSIはもはや部品ではなく、システムそのものになりつつある。システムLSIという言葉が出現した由縁である。

システムLSIはシステムとLSIとの間に位置し、両者の融合する部分の技術であるが、単なる技術用語やコンセプトではなく、半導体産業、ひいてはエレクトロニクス産業の変革を余儀なくさせる文化革命的な色彩を持っている。

本稿では、システムLSIの出現をもたらした半導体技術の動向と、システムLSIの現状及び今後の展望について述べる。

## 2. 半導体の動向

図1は、論理LSIの集積度の変遷を学会発表のデータを基に示したものである。既に100～300万トランジスタのLSIが発表されており、ごく最近発表されたマイクロプロセッサでは1,000万素子のものもある。これをそのまま2000年まで外挿すると、5,000万もの素子が集積可能になることになる。一方、現在使用されている種々の機能の多くは100万素子程度で実現できると言われており、2000年にはかなりのシステムが1チップで実現できることになる。

一方、性能の向上も著しい。図2は、マイクロプロセッサの性能向上を示したものである。2倍/1.5年のペースで性能が向上しており、現在ではかつての大型コンピュータの性能がノートパソコンで得られる時代になっている。2000年にはスーパーコンピュータ並みの性能を持つことになる。

システム技術とLSIとのかかわりを示す一つの例として、最近脚光を浴びている画像信号の圧縮伸長技術を示す。

図3は、画像圧縮伸長技術の歴史と半導体技術との関連を示したものである。テレビが発明されたときから、画像信号圧縮伸長技術は重要なテーマであった。しかし、当初はアナログ素

子しかなく、圧縮にも限界があった。やがてデジタルICが出現し、また半導体メモリが発明され、デジタル処理の環境が整ってくると、画像のデジタル信号処理技術やデジタル圧縮伸長技術が盛んに研究されるようになってきた。それでもつい最近までは、画像圧縮伸長装置は画像処理特有の処理量の膨大さの故に、ラックに何十枚もの基板を並べた大がかりなものであり、研究試作の域を出るものではなかった。

ところが、ここ10年の半導体の集積度と性能の向上により、1チップでかなりの画像処理ができるような状況になって、加速度的に実用の具としての現実味が出てきた。特に最近話題に上がることが多いマルチメディアでは、画像処理技

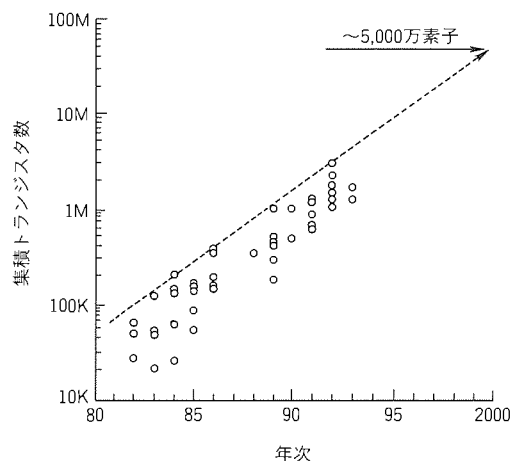


図1. LSI集積素子数の年次推移

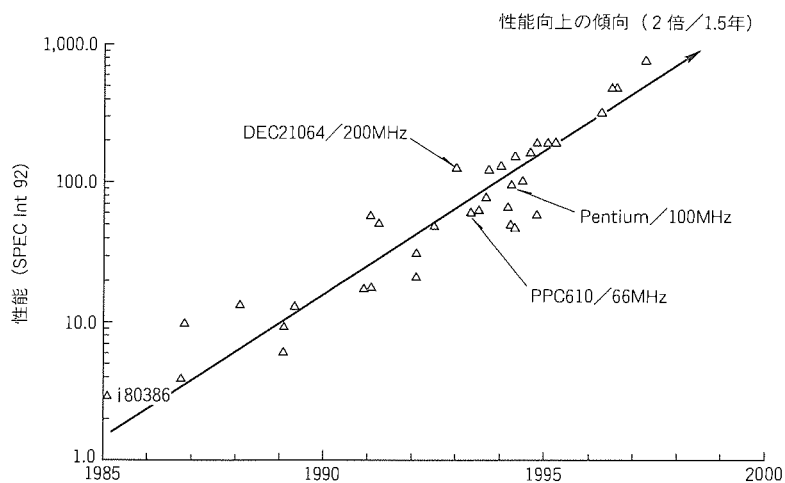


図2. マイクロプロセッサの性能向上



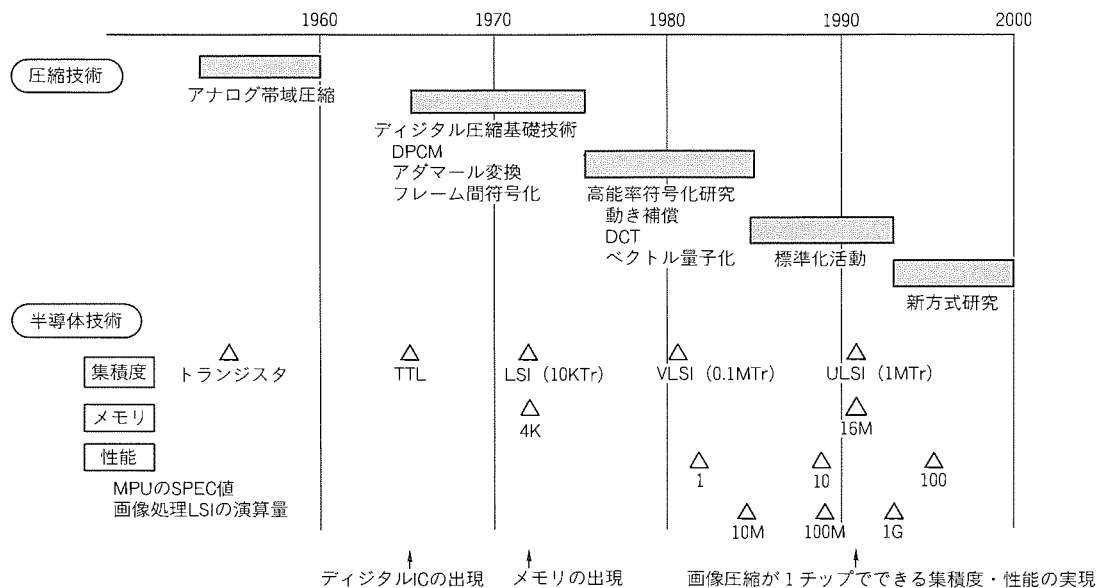


図3. 画像圧縮伸長技術の歴史と半導体技術

術が必ず（須）である。換言すれば、半導体が進歩して初めてマルチメディアが実用化段階にきたと言えよう。現在では、1チップでできるのは伸長までで、圧縮にはまだ複数チップが必要であるが、数年たてば圧縮も1チップでできるようになり、本格的なマルチメディア時代が到来することとなる。そこでは、従来システム側の技術であった画像圧縮伸長技術が、強く半導体技術と結びついてくることになる。

### 3. 半導体産業の変質

先の画像処理技術の例はシステム技術と半導体技術の関係を如実に示しており、半導体産業の今後の展開を示唆するものである。すなわち、過去には、半導体側は部品としてTTL ICやメモリのような汎用品を提供して、システム側がそれらを使用してシステムに仕上げるという協力関係が成り立ってきた。最近では、ゲートアレーがTTL ICに替わって用いられてきた。ところが、半導体の集積度の向上に伴い、本来システム側にあった技術が半導体の上で実現できるようになった結果、二つの行き方が可能になってきた。すなわち、一つは従来どおりシステム側がゲートアレーなどを使ってシステム装置を作る方法であり、もう一つは半導体側がシステム技術を理解し保有してシステム装置のかなりの部分まで作る方法である。

前者の場合の不都合は、一通りの集積化が可能であるが、集積度と性能の極限追求においてひずみが出てくることである。ひずみの代表的なものは、ディープサブミクロンでは、トランジスタだけでなく配線までも素子とみなしたり、配線間の干渉を考慮することが必要になってくるので、もはや記述言語や回路図で扱うことができない部分が出てくることである。これらを熟知している半導体側が上位設計部分へ出てくる方が、コスト/パフォーマンスの優れたLSIが実現

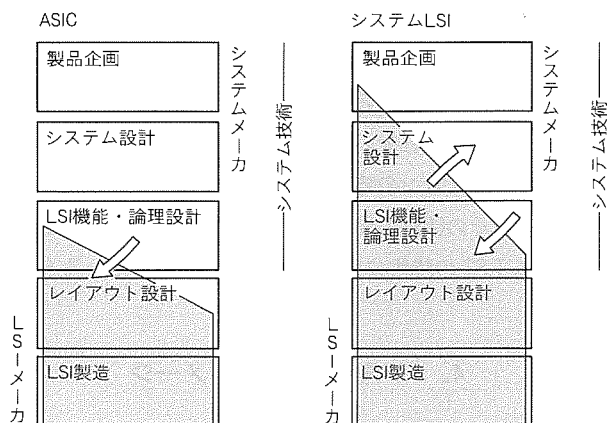


図4. ASICからシステムLSIの時代へー設計の分担の変化ー

できる。現状では、まだ半導体側が十分上位まで出てこれていないが、システムのある部分については、かなり上の方まで半導体側に任せる行き方が今後比重を増してくることは、かなり確実なことと考えられる。この関係を図4に示す。

ゲートアレーを中心とするASICの時代には、機能・論理設計は主としてシステム側の仕事であったのが、今後は機能・論理設計のかなりの部分、場合によってはシステム設計やシステムの製品企画まで半導体側が入り込むことになろう。そうしないとシステム性能を十分に上げられず、最適LSI化設計ができなくなってきたからである。システムLSI技術は、システム性能やコスト/パフォーマンスを最大化するための最適LSI化技術であると言える。

その結果として、半導体側には乗算器その他のかなり大きな機能ブロックを最適化する論理回路技術はもちろん、専門的なシステムアルゴリズムなどの知識・技術までを扱うことが課せられる。今後はシステムの構成を理解し、システム側とのやりとりをかなり上のレベルで行うことが必要になる。

あるシステムを理解するには、基礎理論から応用まで一貫した技術が必要になるが、一つの半導体会社がすべてのシステムに精通することは不可能である。いずれ半導体会社ごとの得意分野ができて、会社間の住み分けが行われるようになるが、それまでは試行錯誤とし(熾)烈な競争も予想される。

また、半導体会社には、システムの専門的素養を持った技術者の育成はもちろんのこと、システム LSI を用いたシステムの先行開発支援、場合によってはシステム装置そのもののエンドユーザに対するサービスに至るまでの極めて広範囲の体制の構築と、それを成し遂げるための内部意識の変革が必要となる。システム LSI が文化革命と言われる由縁である。また、システム LSI は極度に専門化する分だけリスクなビジネスとなるため、より戦略性が要求される。

一方では、システム LSI を構成する部分ブロックを設計し、設計結果を売るベンチャ企業も多数出現している。彼らをサポートするのは製造だけに徹するファンドリメーカである。ディープサブミクロン時代がきて、部分ブロックの最適化が必須になる時代が来るまでの過渡状態として、当分の間この形態でやっていける可能性もある。またディープサブミクロンの時代には、彼らは設計のうちの上流設計だけを売ることになるかも知れない。一つははっきりしていることは、ディープサブミクロンの時代には、純粋なファンドリだけの半導体会社はその活躍の場は大幅に縮まるといってであろう。システム LSI の時代に向けて大変革が始まっていると言えよう。

#### 4. システムLSIのイメージ

図 5 に、システム LSI のチップイメージを示す。CPU/DSP をコアに、大容量メモリ、アナログ回路、画像処理などの分野特有のスタンダード機能、さらにはユーザのカスタム機能を載せて、1 チップですべてを実現する。システム技術はシステム特有機能回路と CPU/DSP のソフトウェア上に載せられる。

1 チップまでいなくても、数チップからなるチップセットによるものもシステム LSI 又はシステムオンチップと呼んでよい。システムレベルの知識と技術が必要になるからである。

現在、メモリでは 64 MDRAM が製品開発のフェーズであるが、その微細度 (0.35  $\mu\text{m}$ ) では、例えば、64 M ビットの半分 (4 M バイト) のメモリを使い、残りに CPU を含む大規模なロジックを載せることが可能である。これは、既に現在の小型のパソコンが 1 チップでできることを意味している。システム LSI の時代はすぐそこまで来ていると言えよう。

#### 5. システムLSIの技術課題

システムが大規模になり、システム LSI の集積度が大き

くなると、その設計は小はトランジスタ、基本ゲートから、加算器、乗算器、各種メモリ、ALU、さらには CPU、DSP、各種信号処理ハードウェアコアなどあらゆる規模や階層の論理回路についての設計技術が必要になる。

しかも、各部分はシステムの性能を最大化するように設計され、それぞれの選択、組合せも含めて最適化されていることが必要である。後述のようなハードとソフトの使い分けも最適に行われていることが必要である。

また、1 チップ化するときでも、チップセットの場合でも共通して言えることは、設計段階での LSI の検証をシステムレベルで行うことが必須になることである。これに対応したシステムレベルでのテストも用意される必要がある。

微細化に伴い配線を素子扱いにする又は配線間の電氣的干渉を考慮した設計が必要になること、あるいは集積度の増大に伴う消費電力の増大、あるいはそれを抑えるための個々の回路の低消費電力化など、システム LSI の課題は限りなく多い。

これらの技術課題に加え、開発戦略においても難題が多い。システムの標準化、オープン化を踏まえたターゲットの選定、開発リソースの増大、システム側との協業戦略、知的所有権の扱いなど、付加価値を巡って課題山積みというのが実情である。

#### 6. ハードとソフトの切り分け

システム LSI では技術の専門化、分化が一段と進む。先にも述べたように、システム LSI が分野ごとの最適 LSI 化手段だからである。図 6 はマルチメディア等に必要な信号処理を行う上でのコスト/パフォーマンスを、汎用と専用のアプローチに対して示す。専用ハードワイヤード LSI は同じジェネレーションで考えればコスト/パフォーマンスの点で汎用プロセッサに勝る。したがって、例えば画像処理のように高い演算性能が必要な分野では、ハードワイヤード LSI が汎用性を犠牲にしても実用される。一方、演算性能がさほど必要でない音声処理では、チップとしてのコスト/パフォーマンスは劣ってもプログラム可変性を残す DSP アプローチが用いられている。汎用プロセッサは信号処理用途には

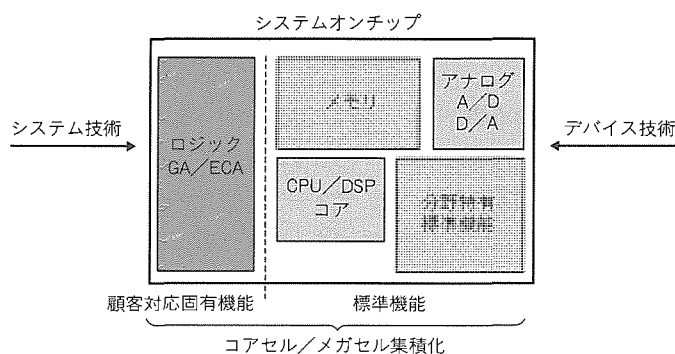


図 5. システムLSIのイメージ

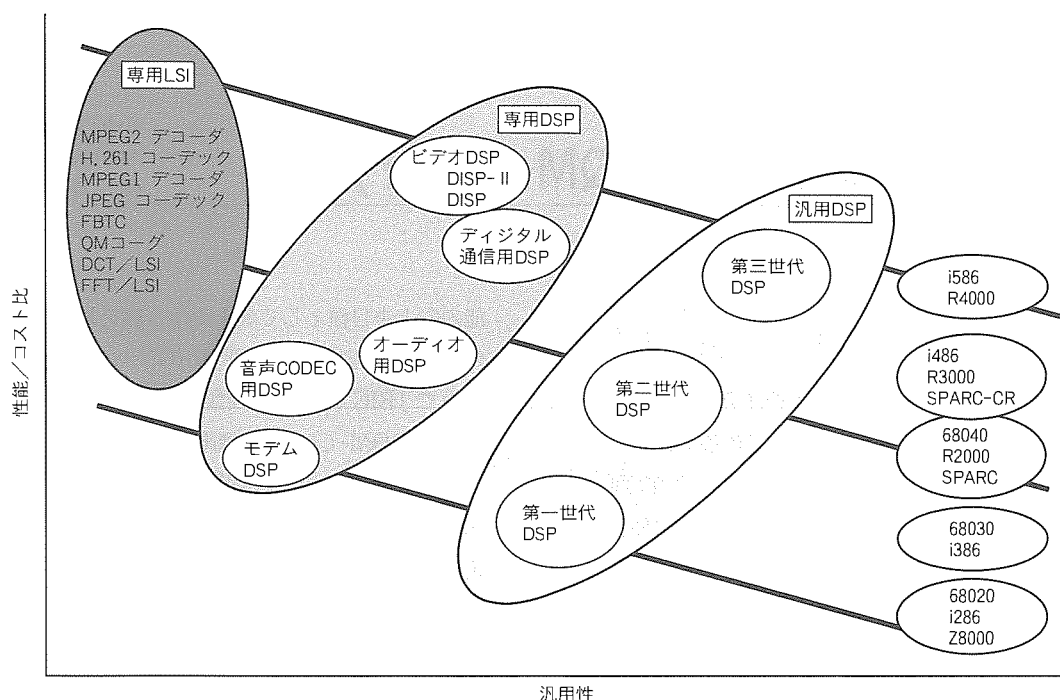


図6. LSIの分類（専用 vs 汎用）

最適解とは言えないが、他の汎用的機能の傍らで信号処理する形で用いられる。

MPUの性能向上でMPUのカバーできる範囲はジェネレーションとともに広がるが、画像処理アルゴリズムは更に高性能なもの（例えば高精細や三次元処理など）を要求するものへと拡張されるので、当分、先端アルゴリズムはハードワイヤードで実用されていくことになるだろう。

## 7. 当社のシステムLSI取組

以上の背景の下に、当社ではマルチメディア時代に向けシステムLSIの開発を積極的に展開している。現在、将来システムLSI上に集積化される個別機能を、個々のLSIで実現している段階である。例えば、コアになるCPU、画像信号処理LSI、通信用LSI等である。CPUではEWS用の高性能64ビットRISCからマルチメディア機器用の組込み用途の8/16ビットまで新製品を開発している。また、画像処理LSIにも力を入れており、MPEG1及びMPEG2のデコーダチップ、さらにはMPEG2のエンコーダチップセットも開発中である。この特集に納められたもの、あるいはその技術の多くも、将来はシステムLSI

に集積化される可能性を持ったものである。

## 8. 今後の展望

微細度が0.5 $\mu$ mから先に進展するに従い、それぞれの複合化が進み、0.35 $\mu$ m時代には名実共にシステムLSIと呼ばれるものが出現しているであろう。

またそのとき、システム開発において今以上にシステムLSIが主導的役割を演じているであろうこともほぼ間違いないところである。

## 9. むすび

システムLSIの出現に至った背景、そのイメージ、技術/事業上の課題、今後の展望について述べた。

システムLSIは、これまで汎用論理LSI、カスタムLSI、メモリ、ASICと歩んできたLSIの発展の歴史を大きく塗り替え、LSIとシステムを対立的なものから融合されたものへと導く。極論すれば、これからのシステムはシステムLSIとその上に載るソフトの二つに集約されていくことになると思われる。その途中過程で様々な電子機器業界の変革を巻き起こしつつ。

# 国際標準高効率符号化方式(QM-Coder)LSI

小野文孝\* 井須佳子\*\*  
今中良史\*\*  
樋口良平\*\*

## 1. ま え が き

音声、文字、画像情報等を融合したマルチメディアは、その利便性から幅広い応用範囲が期待され、現在各分野で、様々な機器の開発が活発に行われている。そして、その実現に必要とされる要素技術の中でも膨大な情報量を持つ画像信号を圧縮する符号化技術の持つ意義は特に重要である。画像には、静止画や動画など各種フォーマットがあり、図1に示すように、各々に対応した画像圧縮方式の国際標準化が進められている。そして、各方式を実現するLSIの開発も盛んに進められている。

本稿では、この中から2値画像符号化方式の国際標準化機関JBIG<sup>(注1)</sup>において標準化されたエントロピー符号であるQM-Coderに関して、その符号化アルゴリズムを概説し、当社が業界に先駆けて製品化したLSI“M65760FP”について説明する。

## 2. QM-Coderの標準化

ファクシミリの急速な普及に見られるように、ビジネスドキュメントの大部分は白黒の2値情報である。この2値情報を効率良く符号化する方法として、既にMH、MR、MMR方式が標準化され、ファクシミリなどで実用化されている。

一方、画像通信の多様化とともに、画像全体を粗い品質でも素早く伝送し、必要に応じ追加情報を加えて画品質を向上するプログレッシブ表示と種々の画像に対する符号化圧縮性

(注1) “JBIG (Joint Bi-level Image Group)”は、2値画像符号化方式のための国際標準化機関の名称

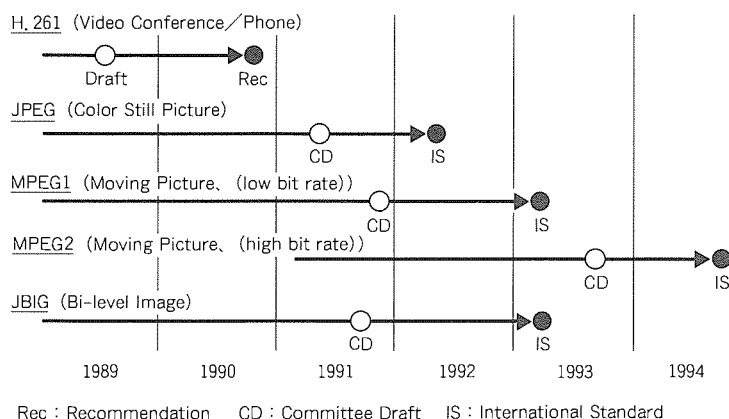


図1. 画像圧縮方式標準化動向

能の向上を目標として静止画像全般を対象とする高効率符号化方式の国際標準化機関JPEG<sup>(注2)</sup>/JBIGが発足した。その中でJBIGは、2値画像を取り扱い、エントロピー符号化としてQM-Coderを標準化した。

QM-Coderは、情報保存型(元の画像データを完全に復元できる。)で、しかも画像の統計的性質に応じてパラメータを常に最適化する学習機能を持つため高い圧縮効率を達成できる優れた符号化方式である。

## 3. QM-Coderのアルゴリズム

この章では、QM-Coderのアルゴリズムについて、JBIGで標準化の対象となっている階層的処理、QM-Coderの原理となる算術符号にも言及しつつ述べる。

### 3.1 階層的処理の概念

まず、JBIGにおける階層的符号化について述べる。図2にその概念を示す。原画の解像度は400dpi程度以上を想定し、送信側でまず、解像度を水平垂直共に1/2にした低解像度画像を順次作成する。解像度を1/2にすることは画素数を縦横1/2にすることでもあるので、低解像度を縮小処理とも呼ぶ。標準化モデルでは、原画の解像度を400dpi、階層数を6、最低解像度を12.5dpiとしている。送信は、まず最低解像度の画像を符号化し、伝送する。次に、順次解像度を向上するために必要な追加情報を符号化していく。受信側では最低解像度の画像から復号再生し、順次解像度を向上させた画像を表示させることにより、プログレッシブ表示を実現する。最終的には、劣化のない原画像の復号再生が得られるが、必要に応じて中間解像度の画像で打ち切ることも可能

である。これに対し、画像を上から下へ逐次的に表示する従来の方式をシーケンシャル表示という(図3)。次に、JPEG/JBIGで共通に使われるQM-Coderの原理である算術符号について述べる。

### 3.2 算術符号の原理

算術符号とは、数直線符号とも呼ばれ、0から1までの数直線上の対応区間を符号化シンボルの生起確率に応じて不等長に分割していき、対象シンボル系列を対応する部分区間に割り当て、最終的に得られた区間に含まれる座標をそのまま符号とするもの

(注2) “JPEG (Joint Photographic Experts Group)”は、カラー静止画符号化方式規格化のための国際標準化機関の名称

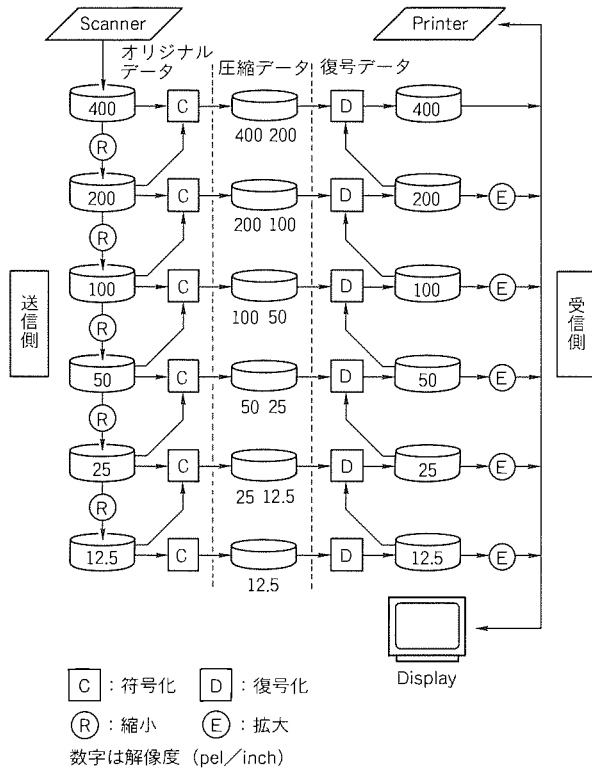


図2. 階層的符号化の概念

である。

図4に符号化シンボル系列0100を対象とした2値算術符号化の概念を示す。図において、例えば第1シンボルの符号化時には、全区間が0と1のシンボルの生起確率の比に従って  $A(0)$  と  $A(1)$  に分割され、0の発生により、区間  $A(0)$  が選択される。次に、第2シンボルの符号化の際には、その状態における両シンボルの生起確率比により、 $A(0)$  が更に分割され、発生シンボル系列に対応する区間として  $A(01)$  が選択される。このような分割と選択の繰り返しによって符号化が進められる。この処理により、最終的に符号化シンボル系列  $S$  を特定する符号語として  $S$  に対応する区間に含まれる座標がそのまま用いられる。 $S$  の生起確率  $p(s)$  は、数直線上の最終対応区間の幅に等しく、 $p(s)$  に対応する符号長  $L$  は、この区間に含まれる座標を少なくとも他の区間と区別して表現するのに必要となる精度と考えることができる。

次に、算術符号化の手順について説明する。情報源のシンメトリを仮定すれば事前に予測変換を想定し、常に優勢シンボル (MPS) を“0”，劣勢シンボル (LPS) を“1”と仮定してよい。それぞれのシンボルの生起確率を  $p(0)$ 、 $p(1)$  と表現する。この確率には、次式のような関係がある。

$$p(0) + p(1) = 1 \quad (p(0) \geq p(1)) \quad \cdots (1)$$

符号化シンボル系列  $S$  の第  $n$  シンボルまでの部分系列  $S_n$  の出現確率に対応する領域幅 (Augend) を  $A(S_n)$  と定義する。また、送るべき符号  $C$  として対応領域の下界座標をとることとする。符号化時の初期状態における Augend は1.0、

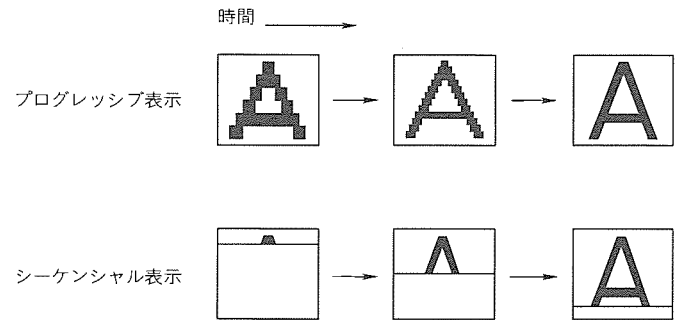


図3. プログレッシブ表示とシーケンシャル表示

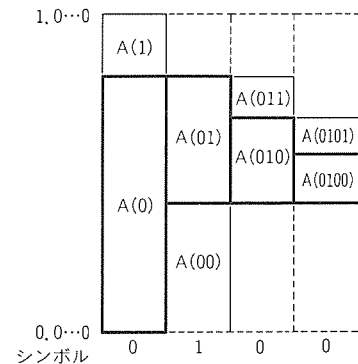


図4. 算術符号化の概念

符号系列は0.0である。

部分系列  $S_{n-1}$  まで符号化が終了した時点での Augend を  $A(S_{n-1})$  と表すと、第  $n$  シンボル  $X_n$  の発生により、Augend  $A(S_{n-1} \times X_n)$  は次式ようになる。

$$A(S_{n-1} \times 1) = A(S_{n-1}) \times p(1) \quad \cdots (2)$$

$$A(S_{n-1} \times 0) = A(S_{n-1}) - A(S_{n-1} \times 1) \quad \cdots (3)$$

領域の下界値 ( $S_{n-1} \times X_n$ ) は、LPS を数直線上で上位に配置するとして部分系列  $S_{n-1}$  までの符号系列  $C(S_{n-1})$  を以下のように更新することで求められる。

$$C(S_{n-1} \times 1) = C(S_{n-1}) + A(S_{n-1} \times 0) \quad \cdots (4)$$

$$C(S_{n-1} \times 0) = C(S_{n-1}) \quad \cdots (5)$$

算術符号は、マルコフ情報源のようにシンボルの生起確率がマルコフ状態 (コンテキスト) によって変化する場合でも、シンボルの生起確率に応じて対応区間の比を変化させることができるため、効率の良い符号化が可能である。また、有限個の情報源シンボルの系列に特定の符号語を対応させる通常の符号であるブロック符号を用いる場合に比べ、符号器の規模や必要メモリ量などのハードウェアが小さくて済むこと、より高い効率が期待できること、適応符号化が容易であるといった利点がある。

### 3.3 テンプレート (Template: 参照画像)

JBIG では、画像を既に符号化済みの周囲画素  $N$  画素で定まる  $N$  次マルコフモデルと考え、その  $2^N$  状態をコンテキストとして、その状態ごとに符号化画素を予測し、算術符号化を行う。テンプレートとは、符号化の際に予測モデルとして用いる参照画素のパターンである。テンプレートは、参

照画素が固定された Model Template と画素間相関によって適応的に参照画素を変化させる Adaptive Template (AT) から構成されている。図 5, 図 6 に Model Template

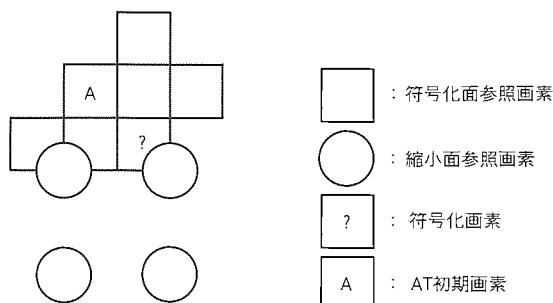


図 5. Model Template (差分レイヤ(例))

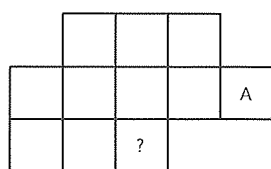


図 6. Model Template (最低解像度レイヤ)

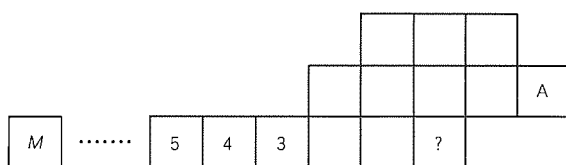


図 7. Adaptive Template (最低解像度レイヤ)

表 1. QM-Coder LSI (M65760FP) の機能・特長

項 目	内 容
符号化アルゴリズム	●国際標準JBIG/JPEGの算術符号QM-Coder
コン テ キ ス ト	内蔵コンテキスト ●最低解像度用10画素テンプレートモデルを準備 ●2又は3ラインテンプレートモデル選択可能
	外部コンテキスト ●最大12ビットのコンテキスト入力可能 ●階層的符号化に対応
符号化データ形式	●ストライプ データ エンティティ (SDE) (=バイトスタッフ付きストライプ符号データ+終端マーク) 1ストライプ分の符号化/復号を行う。
マーカコード	●SDE終端マーカをサポート
入 出 力 部	ホストバスI/F ●16/8ビットバス選択可能なCPU I/F ●データのDMA転送可能
	画データバスI/F ●32/16ビットの平行又はシリアル入出力可能
メモリ内蔵	●ラインメモリ用4Kバイト分のRAM ●コンテキストテーブルRAM ●確率推定テーブルROM
動作モード	●符号化/復号以外にデータをそのままスルーさせるスルー処理可能 ●コンテキストテーブルRAMの初期化、内容のリード/ライト可能
処理ライン数	最大65,535ライン
処理画素数	最大10,240画素/ライン (2ラインテンプレートモデル時)
プ ロ セ ス	0.8μm 2層アルミCMOSプロセス
パッケージ	100ピンプラスチックモールドフラットパッケージ
動作周波数	20MHz
電 源 電 圧	5V±5%

を示す。図 5 は、差分レイヤ方式に用いられるテンプレートである。既に符号化済みの近傍 6 画素と縮小画像の 4 画素を参照画素としており、コンテキストは縮小画像との位相の関係を示す 2 ビットを含めた  $2^{12}$  状態である。図 6 は、最低解像度レイヤ方式及び階層構造なしのシーケンシャル (1 レイヤ) 用のテンプレートで、符号化済みの近傍 10 画素が参照画素である。この場合、位相情報 2 ビットは不要であり、 $2^{10}$  状態がコンテキストとなる。

次に、図 7 を用いて AT を説明する。AT はディザ画像のように一定周期で強い相関がある画像に対し、符号化効率の向上を図るものである。参照画素の一つ“A”を初期 AT 画素と定義し、符号化画素“?”の 3 画素前から  $M$  画素までの画素を AT 候補画素とし、AT 候補画素と初期 AT 画素の中から相関の強い 1 画素を参照画素として選択する。AT は組織的ディザ法によって 2 値化された画像に有効な手段であり、この方法を用いることで、場合によっては符号量を  $1/2$  に削減できる。

### 3.4 エントロピー符号化方式 QM-Coder

#### 3.4.1 減算型算術符号と MPS/LPS 条件付き交換

QM-Coder は、基本的に確率推定値の対応するグループごとに Augend の  $A(S_{n-1} \times 1)$  に固定の値を用いて Augend 演算を減算のみで実現する減算型算術符号 (固定領域割当型) を採用している。

$$A(S_{n-1} \times 1) = \text{定数 } q_i \quad (A(S_{n-1}) \text{ によらず固定}) \quad \dots\dots\dots (6)$$

$$A(S_{n-1} \times 0) = A(S_{n-1}) - A(S_{n-1} \times 1) \quad \dots\dots\dots (7)$$

減算型算術符号では、有効領域が最大のときと最小のときとでは LPS の想定確率 (全有効領域に対する LPS の割当て領域の比率) がほぼ 2 倍まで変化するので符号化効率の低下を招くものの、符号・復号器の大幅な簡易化が図れる。そこで QM-Coder では、減算型の考えを保ったままで符号化効率の低下を防ぐ MPS/LPS 条件付き交換方式を採用している。

MPS/LPS 条件付き交換方式とは、減算型算術符号において LPS に固定領域を割り当てる際、LPS の領域と MPS の領域の比較を行い、LPS の領域の方が大きいときには MPS と LPS の解釈を一時的に入れ替えるものである。

#### 3.4.2 領域の正規化と

##### けた上がり待機

さて、Augend の値は符号化が進



むにつれて小さくなっていくため、Augend を表現するための必要ビット数が増加してくる。そこで、符号化の際に Augend の値  $A(S_{n-1} \times X_n)$  がある値  $R_{\min}$  (通常、最大有効領域  $R_{\max}$  の  $1/2$ ) よりも小さくなったときには  $R_{\min}$  と等しいか大きくなるように 2 のべき乗倍するビットシフト処理を行う。つまり、 $A(S_{n-1} \times X_n)$  は常に次式を満たすまで拡大処理を繰り返す。

$$R_{\min} \leq A(S_{n-1} \times X_n) \dots\dots\dots (8)$$

この処理を正規化 (Renormalization) と呼ぶ。

### 3.4.3 学習機能とコンテキストテーブル

QM-Coder ではシンボルの出現確率の推定部に、その推定値を実際のシンボルの出現過程に応じて適宜更新する学習機能を持たせている。その更新のタイミングは正規化に同期しており、LPS の出現によるときはそのコンテキストの LPS の推定出現確率を上げ、MPS によるときは正規化を引き起こしたコンテキストの MPS の推定出現確率を上げることとしている。

具体的には、各確率推定状態に対し MPS 正規化、及び LPS 正規化の二通りの遷移先状態番号を与える共通のテーブルが符号器側、復号器側に備えられ、現在の自己の状態と番号に基づいて正規化時の遷移先を求めることができる。

QM-Coder では、符号が各種の画像に幅広く対応できるよう初期の各コンテキストにおけるシンボルの推定出現確率はそれぞれ 0.5 に設定される。

QM-Coder では確率推定の状態 (インデックス) が 113 あり、LPS の出現回数に応じてシンボルの確率推定値の変動が緩やかになるというマルチレート遷移の考え方が採用されている。なお、マルコフモデルの各コンテキストについては、113 状態のいずれにあるかという情報が 7 ビット、MPS が白黒のいずれかという情報が 1 ビットで、計 8 ビットのメモリ (コンテキストテーブル) が必要となる。

### 3.4.4 フラッシュ

符号化終了時に符号系列を終端するのをフラッシュと呼ぶ。

符号化終了時に有効領域に含まれる領域を表現し得る最小けた数の 2 進小数を符号とするのが算術符号の原則であるが、JBIG では、マーカコードによって、符号化データの終了が示され、かつ画素数があらかじめ受信側に知らされているという前提であるので、QM-Coder では符号シンボルの最後に続く 0 は、可能な限り省略してもよいとしている。

## 4. QM-Coder LSIの概要

### 4.1 主な仕様

表 1 にこの LSI (M65760 FP) の主な機能を示す。M65760 FP は、高効率符号化方式 QM-Coder に準拠した符号化/復号を最高 2,000 万画素の高速で処理する画像圧縮伸長 LSI である。以下にこの製品の機能について述べる。

M65760 FP は、元の画像を完全に復元できる情報保存型符号化方式であるため、画像データのみならず文字データやコンピュータグラフィックスデータなど各種デジタルデータの圧縮にも利用可能である。また、従来の 2 値符号化方式である MMR に比べ、通常の 2 値画像で約 20 ~ 30 %、中間調画像で約 3 ~ 20 倍も圧縮効率が優れる。特に従来の符号化方式では、画像によっては符号化データ量が元の画像データの何倍にも増大すること (圧縮率 < 1) があるのに対して、この LSI では最悪の場合でも、ほぼ 1 に近い圧縮率が期待できる (図 8)。

最大クロック周波数は 20 MHz で、通常の文字画像の場合最高 1 クロック/画素で処理可能である。符号化、復号に要する総クロック数  $T$  は、1 ページの画素数を  $P$ 、符号化データビット数を  $C$ 、ライン数を  $L$ 、係数を  $\alpha$  (約 10) とすると、

$$T \approx P + 9/8 \times C + \alpha \times L \quad (\text{クロック}) \dots\dots (9)$$

で概算される。したがって、A4 判、8 画素/mm<sup>2</sup> の原稿を約 0.2 秒で符号化/復号できる。さらに、圧縮率  $\approx 1$  という最悪の場合でも処理時間が高々 2 倍で収まるのが特長である (図 9)。その上、確率推定テーブル ROM、ラインメモリ

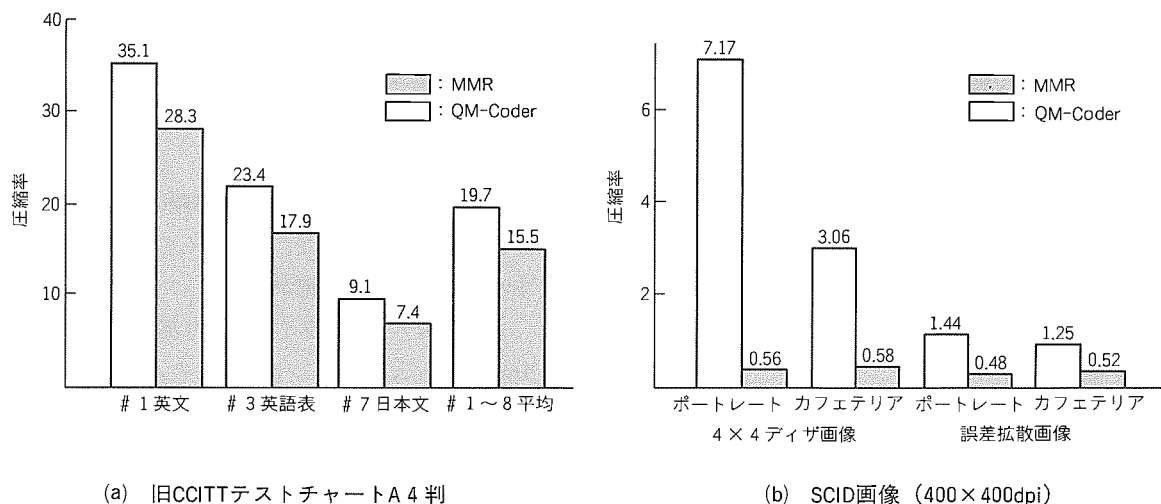


図 8. 文字・擬似中間調画像の圧縮性能

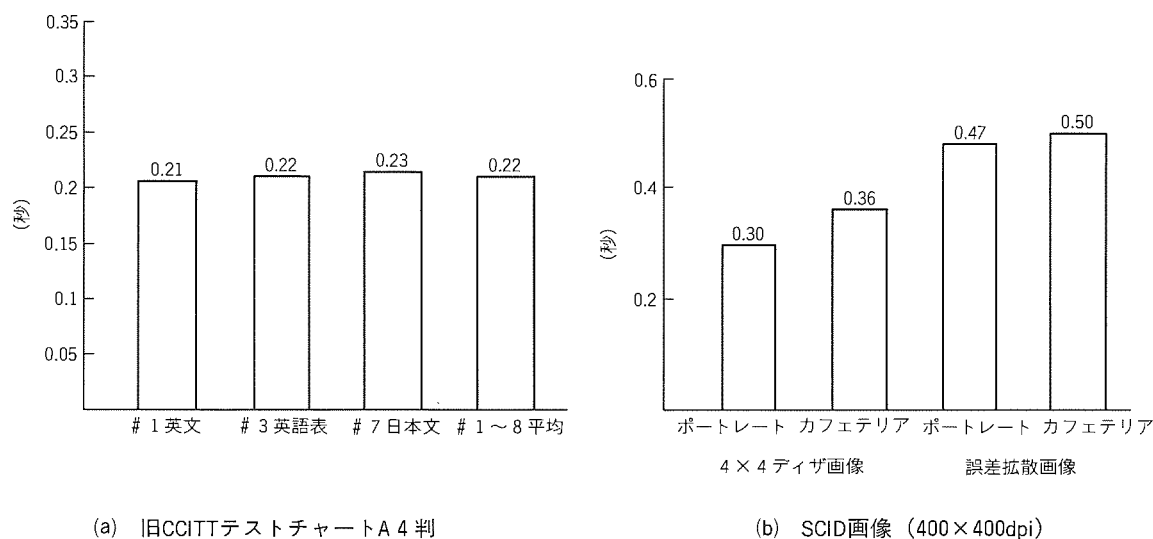


図9. 文字・擬似中間調画像の符号化処理時間

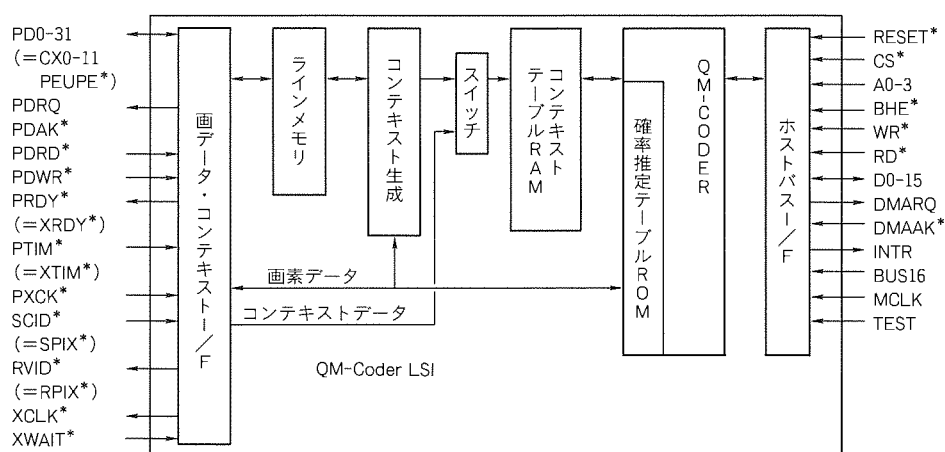


図10. M65760FPのブロック構成

用RAM、コンテキストテーブル用RAM(最大4Kバイト)を内蔵し、JBIG最低解像度レイヤの2ライン及び3ライン10画素テンプレートが内部コンテキストとしてサポートされているので1レイヤの符号化が外付けのメモリや回路なしに実現できるほか、外部コンテキストモード(最大12ビット)を用いることで、JBIGの階層的符号化もコンテキストテーブルRAMを追加することなく、実現できる。また、外部からのコマンドで動作モード、画素数(最大10,240画素)、ライン数(最大65,535ライン)、マーカコード及び拡大・縮小を指示、設定できる。LSIは、0.8 $\mu$ m2層アルミCMOSプロセス、100ピンプラスチックフラットパッケージで実現している。

#### 4.2 ブロック構成

図10にM65760FPのブロック構成を示す。以下、各部について説明する。

まず、外部とのインタフェースブロックとして、画像データの入出力を32/16ビットの平行I/FとシリアルI/Fが選択できる構成の画データI/F部、階層的符号化を実現する場合に内蔵のコンテキストを用いず外部からコンテキ

表2. QM-Coderの応用例

応用システム	使用目的
ファクシミリ	画像蓄積メモリ容量の低減 データ伝送の高速化
デジタル複写機	画像蓄積メモリ容量の低減
プリンタ	ページ又はバンドメモリ容量の低減 ホスト機器との間のデータ伝送の高速化
ファイリングシステム	プログレッシブ表示
アミューズメント機器	蓄積媒体(ROM/CD)容量の低減
携帯情報端末	ROM容量の低減

スト(最大12ビット)を入力する際のI/F部であるコンテキストI/F部、そして、外部からのMPUの命令等に対応するホストバスI/F部がある。

また、画データ・ラインメモリ部としては、4Kバイト分のメモリで、1ラインは外部との入出力に用いられ、残りのライン(2又は3ライン)は符号化/復号処理に用いられる。3ラインテンプレート時は、最大8,192画素/ラインまで、2ラインテンプレート時は最大10,240画素/ラインまで設定可能である。コンテキストの生成ブロックは、2ライ

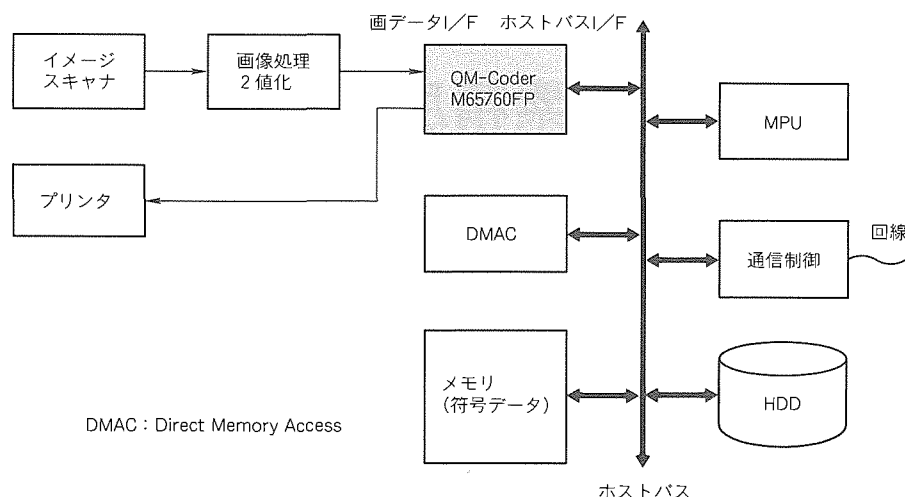


図11. QM-Coder LSI応用例

ン及び3ラインの10画素テンプレートに対応したコンテキスト生成の機能を持つ。内部コンテキストを使用する場合は10ビット、外部入力コンテキストの場合には最大12ビットまで対応可能なコンテキストテーブルRAMは、QM-Coderの特長である学習機能に従ってその内容が書き換えられるが、外部入力コンテキストの場合にはダウンロード及び書換え禁止（学習機能停止）モードを設定することも可能である。また、前章で述べた算術符号化（復号）の演算処理はQM-Coderブロックで行われ、このブロックには、113状態の確率推定テーブルROMも含まれている。

## 5. QM-Coderの応用

QM-Coder 符号化方式は、学習機能によって画像の持つ性質に適応した符号化を行うので、文字画像を始め、ディザ画像等の擬似中間調画像、また両者が混在するような2値画像において優れた圧縮効率を得られる。このため、様々なタイプの2値画像の圧縮を必要とするファクシミリ、デジタル複写機、プリンタ等の機器への応用が可能である。

また、QM-Coder 方式は完全可逆性を持つため、例えば、カラーバレット方式を使って画像の表示を行うアミューズメント機器など、符号化/復号によるデータの変化が許されない機器にも応用が期待される。さらに、M65760FPの場合、外部コンテキストインタフェースを備えるため、ファイリングシステムなどプログレッシブ表示の必要なシステムにも対応できる。

QM-Coder の応用例についてまとめたものを表2に示す。

QM-Coderを用いたシステムの構成例として、図11にコピー機能や通信機能を一体化した複合機の構成を示す。コピー時は、スキャナで読み取り、画像処理部で2値化された画像データはQM-Coderで符号化され、メモリにいったん蓄えられる。メモリの符号化データは、必要に応じてHDDに蓄積される。蓄えられた符号化データはQM-Coderで復号され、プリンタに出力される。通信時は、メモリ又はHDDに蓄えられた符号化データが通信制御部を介して受信機に送信される。QM-Coderを用いることにより、メモリの容量の削減又はHDDの蓄積枚数の増大を図ることができるほか、従来の符号化方式（MH/MR/MMR）よりも通信時間の短縮化が図れる。

## 6. む す び

この論文では、国際標準JBIGに準拠したQM-Coderの符号化アルゴリズムと今回製品化したLSI“M65760FP”について述べた。

現在、QM-Coderは、ITU-Tのファクシミリ標準化委員会でG3/G4ファクシミリの符号化オプションとして検討中であり今後、カラーファクシミリを始め各種OA機器、デジタル機器、アミューズメント機器など幅広い分野への適用が期待される。

今後は、このLSI M65760FPをベースに各々のアプリケーションに適した製品展開を行う計画である。

# MPEG 2 対応 1/2 画素精度 動き検出 LSI

石原和哉\* 味岡佳英\*  
増田真一\*\* 網城啓之†  
西川博文\*\*\*

## 1. ま え が き

画像圧縮技術は、“デジタル情報ハイウェイ”に代表される高度情報化社会実現のための基盤技術の一つである。中でも、動画画像圧縮の国際標準アルゴリズムである MPEG 2<sup>(1)</sup> (Moving Pictures Experts Group) は、デジタル C-ATV・デジタル DBS・デジタル HDTV などに採用予定の最も重要な技術と位置付けられる。

MPEG 2 は、動き補償予測を採用しており、高品質の動きベクトル検出が、高画質化のかぎ(鍵)の一つとなっている。一般に動きベクトル検出は、多大な演算量を必要とすることが知られているが、MPEG 2 アプリケーションではより高画質化を実現するために、1/2 画素精度の動きベクトルとともに多様な動き予測モードが要求される。現在までに、幾つかの動きベクトル検出 LSI<sup>(2)(3)</sup> が発表されているが、MPEG 2 アプリケーションの動きベクトル検出要求を完全に満たすものはない。

今回開発した動き検出 LSI (MPEG 2 Motion Estimation Processor: 以下“ME2”という。) は、上記要求を完全に満たす世界初の LSI である。ME2 は、0.5 μm CMOS 技術を用い、85 万トランジスタを集積することにより、この高性能化を実現した。

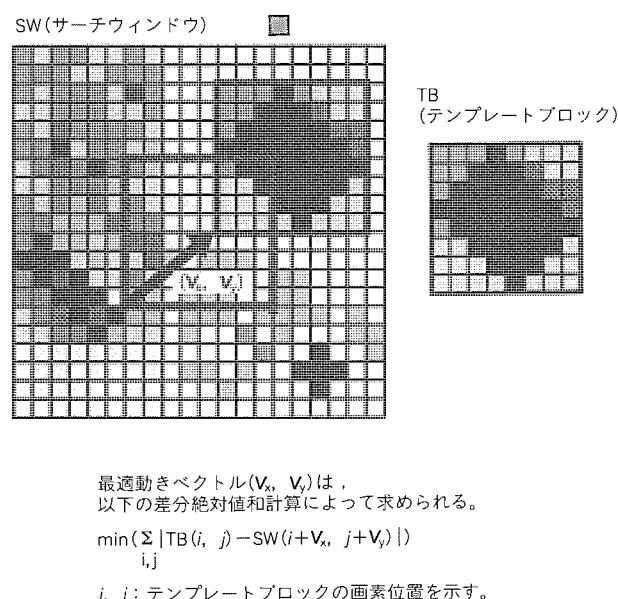


図1. ブロックマッチング手法

本稿では、ME2 のアーキテクチャ、試作評価結果及びシステム応用時の性能について述べる。

## 2. 動きベクトル検出アルゴリズム

動きベクトル検出は、動画画像データの時間軸方向の冗長度を削減する動き補償付き予測符号化方式において、最適な予測画像を求めるために用いられる。動きベクトルは、符号化ブロックデータと予測画像データとの画面上での変位であるが、ブロック内の画素単位での相関をある評価関数に従って算出し、その結果、最大の相関を示す予測ブロックまでの変位をもって動きベクトルとするブロックマッチング手法が、一般に用いられている。図1に、ブロックマッチング手法を示す。

表1. MPEG 2 の動き予測モード

ピクチャの種類	予測モード	テンプレートブロックサイズ (動きベクトル数)
フィールド	フィールド予測	16×16 (1 動きベクトル)
	16×8 MC*1 予測	16×8 upper, 16×8 lower (2 動きベクトル)
	デュアルプライム予測	16×16 (1 動きベクトルと dmv*2)
フレーム	フレーム予測	16×16 (1 動きベクトル)
	フィールド予測	16×8 top, 16×8 bottom (2 動きベクトル)
	デュアルプライム予測	16×16 (1 動きベクトルと dmv*2)

注 \*1 MC: Motion Compensation

\*2 dmv: delta motion vector

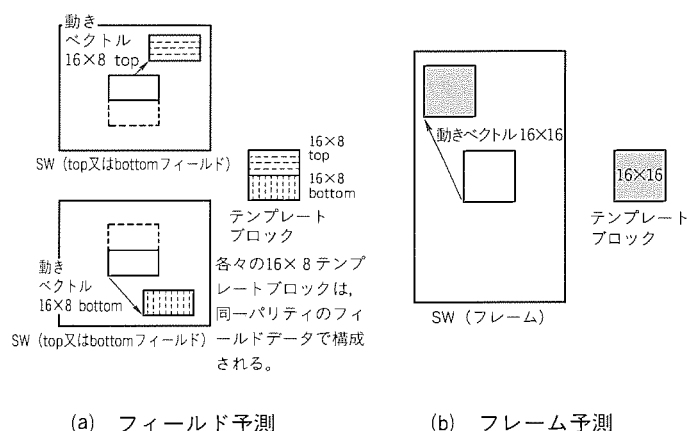


図2. フレームピクチャの動きベクトル

ブロックマッチングにおいて、プロセッサは探索範囲内において最大の相関（この例では差分絶対値和の最小値）を示す動きベクトルを探索することになる。評価関数としては、差分絶対値和又は差分二乗和が用いられるが、特に VLSI での実現では、乗算を必要としない差分絶対値和が一般的である。表 1 に MPEG 2 に規定される予測モードを、図 2 にフレームピクチャの場合の 3 種類のベクトルを示す。MPEG 2 では、ブロックサイズは  $16 \times 16$  及び  $16 \times 8$  となる。

次に、MPEG 2 対応の動き検出 LSI への要求性能をまとめる。

- (1) 様々な予測モードに対応した動きベクトル検出が実行できること。
- (2)  $1/2$  画素精度の動きベクトル検出が実行できること。
- (3) 探索範囲の拡張が容易に実現できること。

以上の要求に対応するため、ME 2 には幾つかのアーキテクチャ上の工夫がなされている。

### 3. アーキテクチャ

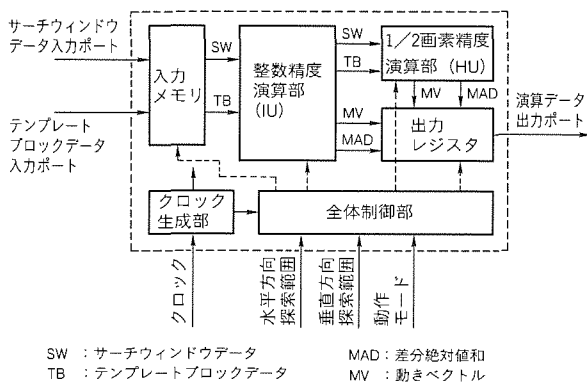


図 3. ME 2 の全体ブロック図

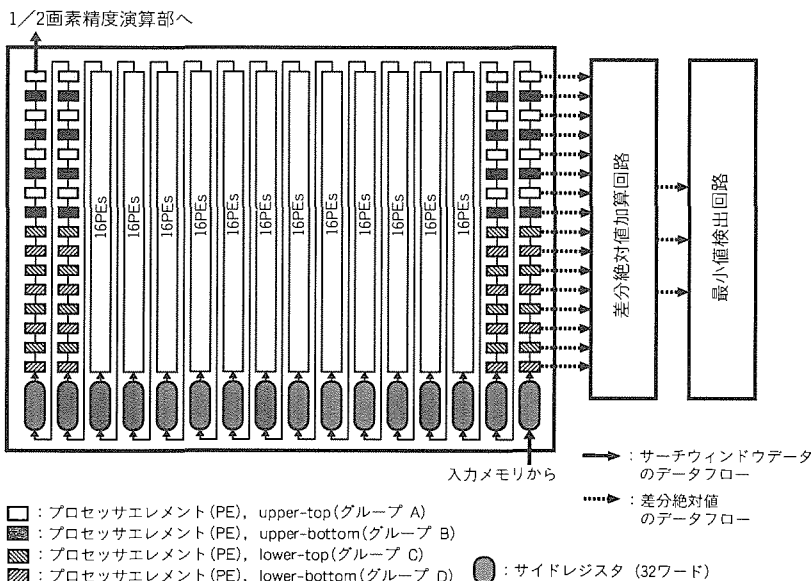


図 4. 整数精度演算部のブロック図

ME 2 の全体ブロック図を図 3 に示す。整数精度ベクトルに対する探索には、全探索法を採用した。整数精度ベクトルの探索処理は、整数精度演算部で実行される。全探索法は、多大な演算処理量を必要とするものの、高い探索精度が得られる。演算量を減らすため、探索点数を制限する階層的探索法をとる例<sup>(4)</sup>もあるが、必ずしも最適な動きベクトルが得られない。 $1/2$  画素精度演算部では、整数精度ベクトル探索終了後に、探索で得られた最適な整数精度動きベクトルの周辺 8 点のみについて探索を行う。整数精度ベクトル探索、 $1/2$  画素精度ベクトル探索とも、評価関数としてブロック内全画素の差分絶対値和を用いた。

ME 2 のアーキテクチャ上の特長を以下に列挙する。

- (1) 3 ベクトルを同時評価可能な差分絶対値加算手法の新規導入
- (2) デュアルプライム予測にも対応できる  $1/2$  画素精度プロセッサの内蔵
- (3) 探索範囲拡張を容易に実現する可変パイプラインアーキテクチャの新規採用

#### 3.1 整数精度演算部

ME 2 の第一の特長は、整数精度演算部に新規導入した 3 ベクトルを同時評価可能な差分絶対値加算手法である。整数精度演算部のブロック図を図 4 に示す。整数精度演算部は、差分絶対値を算出する 256 個のプロセッサエレメント (PE) と、差分絶対値の加算回路及び最小値検出回路から構成される。PE は、一次元のシストリックアレイ<sup>(5)</sup>に接続される。各 PE は、テンプレートブロックの画素に対応する。テンプレートブロックデータは、演算に先立って PE 内にロードされ、その後の演算期間に、探索領域のベクトルすべてについて差分絶対値を算出する。図 5 に PE の論理を示す。PE は、2 組のテンプレートブロックデータレジスタ (RB0, RB1)

を内蔵し、一方を演算に、他方を演算中のテンプレートデータロードに用いる。PE で算出する差分絶対値は、図 4 に示す PE の位置に応じて、upper-top (グループ A)、upper-bottom (グループ B)、lower-top (グループ C)、lower-bottom (グループ D) の 4 種類に分類される。そして、3 ベクトルに対する評価値となる各々の差分絶対値が、動作モード（フレームモード又はフィールドモード）に応じて加算回路で同時に算出される。表 2 に、フィールドピクチャ及びフレームピクチャに対して、3 ベクトル同時評価を実現する差分絶対値加算手法を示す。フレームピクチャの場合には、グループ A とグループ C が top  $16 \times 8$  テンプレートブロック評価のために加算され、グループ B とグループ D が bottom  $16 \times 8$  テンプレ

ートブロック評価のために加算される。そして、すべてのグループが $16 \times 16$ テンプレートブロック評価のために加算される。これら加算結果を評価値として、最小値検出回路が各々のテンプレートブロックに対する最小評価値を検出し、最適動きベクトルを検出する。この加算手法を導入することで、等価的に演算能力が2倍( $\{(16 \times 16) + 2 \times (16 \times 8)\}$  差分絶対値演算/サイクル)に向上し、チップ面積の増大を招くことなく3ベクトルの同時検出が可能となった。

### 3.2 1/2画素精度演算部

ME2の第二の特長は、1/2画素精度プロセッサを内蔵したことにある。図6に、1/2画素精度演算部のブロック図

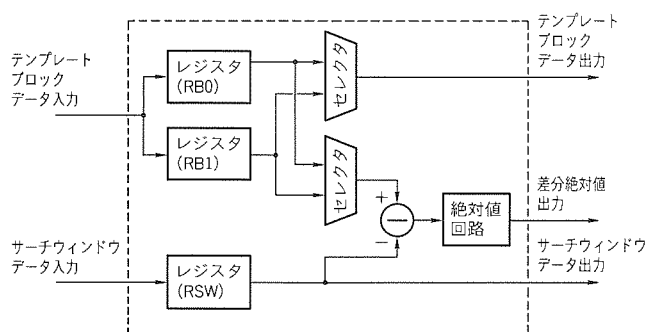


図5. プロセッサエレメントの論理図

表2. 評価値(差分絶対値和)加算手法

ピクチャの種類	テンプレートブロックサイズ (動きベクトルのタイプ)	評価値(差分絶対値和) 加算手法
フィールド	$16 \times 8$ upper ( $16 \times 8$ MC)	$\Sigma$ グループ A + $\Sigma$ グループ B
	$16 \times 8$ lower ( $16 \times 8$ MC)	$\Sigma$ グループ C + $\Sigma$ グループ D
	$16 \times 16$ (Field)	( $\Sigma$ グループ A + $\Sigma$ グループ B) + ( $\Sigma$ グループ C + $\Sigma$ グループ D)
フレーム	$16 \times 8$ top (Field)	$\Sigma$ グループ A + $\Sigma$ グループ C
	$16 \times 8$ bottom (Field)	$\Sigma$ グループ B + $\Sigma$ グループ D
	$16 \times 16$ (Frame)	( $\Sigma$ グループ A + $\Sigma$ グループ C) + ( $\Sigma$ グループ B + $\Sigma$ グループ D)

を示す。1/2画素精度演算部は、テンプレートブロックデータバッファメモリ(TBM)、サーチウィンドウデータバッファメモリ(SBM)及び2組の1/2画素精度プロセッサから構成される。一方の1/2画素精度プロセッサは、 $16 \times 16$ テンプレートブロックを処理し、他方が二つの $16 \times 8$ テンプレートブロックを処理する。これら1/2画素精度プロセッサにより、三つのテンプレートブロック各々について、整数精度演算部で検出された整数精度動きベクトルの近傍8点に対する1/2画素精度ベクトルの評価が実行され、最適な1/2画素精度動きベクトルが検出される。二つの $16 \times 8$ テンプレートブロックを処理する1/2画素精度プロセッサは、二つのテンプレートブロックを時分割で処理する。この時分割処理の採用により、1/2画素精度演算部においてもチップ面積の増加を最小限に抑えることが可能となった。

また、これら1/2画素精度プロセッサは、外部からのモード選択により、デュアルプライムの予測モードにも対応可能な構成をとっている。デュアルプライムモードの場合、一方の1/2画素精度プロセッサが動きベクトルで指示される1/2画素精度の画素を生成し、他方の1/2画素精度プロセッサが最適dmv(delta motion vector)を検出する。この1/2画素精度演算部を内蔵することで、MPEG2に必ず(須)の1/2画素精度動きベクトル探索が外部ハードウェアなしで実現可能となり、システムの小型化が実現できる。

### 3.3 パイプライン構成

ME2の第三の特長は、水平方向の探索範囲拡張を容易に実現できる可変パイプラインアーキテクチャの新規採用である。整数精度演算部と1/2画素精度演算部は、処理ブロック単位でのパイプライン化を行っている。表3に、水平探索範囲に応じたME2のパイプラインを示す。一つのパイプラインステージで、整数精度演算部は、水平方向16ベクトル×垂直方向33ベクトルのベクトル評価を実行できる。したがって、1個のME2で探索可能な水平方向探索範囲は $\pm 7.5$ となる。水平方向の探索範囲を拡張する場

表3. ME2のパイプライン

水平方向 探索範囲	ブロックレベル パイプラインステージ							
	ステージ1	ステージ2	ステージ3	ステージ4	ステージ5	ステージ6	ステージ7	ステージ8
$\pm 7.5$	テンプレート ブロック データ入力	IU演算 ( $-8 \rightarrow +7$ )	データ転送 IU $\rightarrow$ HU	HU演算	データ出力	—	—	—
$\pm 15.5$	テンプレート ブロック データ入力	IU演算 ( $-16 \rightarrow -1$ )	IU演算 ( $0 \rightarrow +15$ )	データ転送 IU $\rightarrow$ HU	HU演算	データ出力	—	—
$\pm 31.5$	テンプレート ブロック データ入力	IU演算 ( $-32 \rightarrow -17$ )	IU演算 ( $-16 \rightarrow -1$ )	IU演算 ( $0 \rightarrow +15$ )	IU演算 ( $+16 \rightarrow +31$ )	データ転送 IU $\rightarrow$ HU	HU演算	データ出力



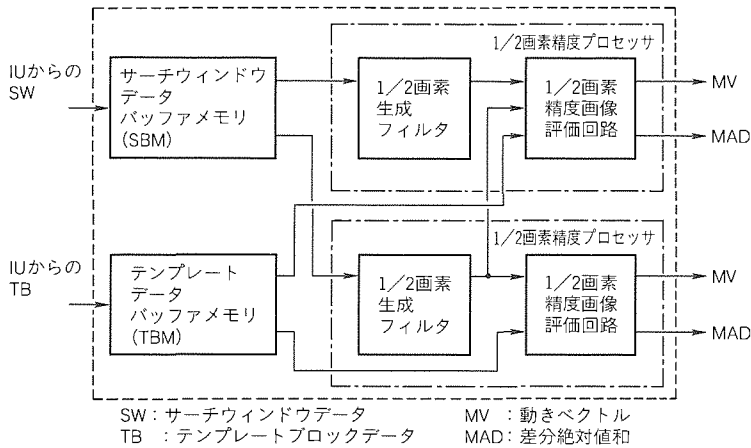


図6. 1/2画素精度演算部のブロック図

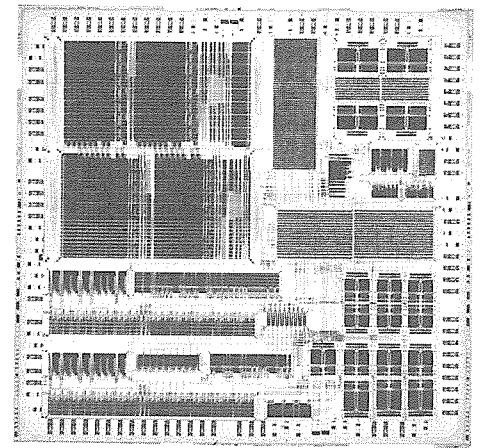


図7. ME2のチップ写真

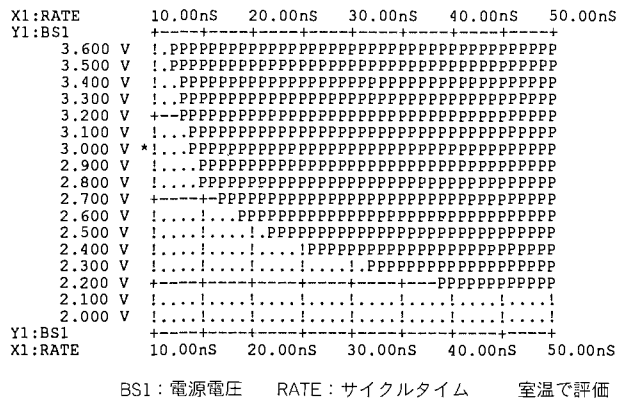


図8. ME2のシュミュープロット

合には、整数精度演算部に対して複数のパイプラインステージを割り当てる。水平探索範囲に応じて複数個のME2をインタリーブして使うことにより、スループットの低下なしに水平探索範囲の拡張が可能となる。このとき、すべてのME2に対して共通のサーチウィンドウデータを入力できるため、水平探索範囲拡張による外部データ転送の増加は発生しない。また、一つのテンプレートブロックに対するベクトル検出処理は、あくまで1個のME2が実行することになる。したがって、一つのテンプレートブロックに対する探索範囲を複数個の動き検出LSIで分割して処理する従来のアーキテクチャに比較して、外部での最適ベクトルの比較が不要になるため、外部ハードウェアの低減が実現できる。

このように、この可変パイプラインアーキテクチャの導入により、ME2は優れた探索範囲拡張性を持つことになり、探索範囲の要求が異なる様々なシステムに対して柔軟に対応可能となった。

#### 4. 試作結果

ME2は、0.5 $\mu$ m CMOSプロセスを用いて試作した。ME2のチップ写真を図7に示す。また、表4にME2の諸元をまとめる。ME2は4種類のモードで動作可能である。フィールドモード時及びフレームモード時には、三つの1/2

表4. ME2の諸元

チップサイズ	13.85mm×13.55mm
プロセス技術	0.5 $\mu$ m 2層メタルCMOS
電源電圧	3.3V
トランジスタ数	850kトランジスタ
動作周波数	75MHz max. (40MHzでNTSC解像度の実時間処理が可能)
消費電力	1.9W@3.3V, 40MHz (水平探索範囲 $\pm 15.5$ )
最大演算能力	20 GOPS (等価的に) @40MHz
水平方向探索範囲	$\pm 7.5$ , $\pm 15.5$ , $\pm 31.5$ , $\pm 63.5$ , $\pm 127.5$ (選択可能)
垂直方向探索範囲	$\pm 7.5$ , $\pm 15.5$ (選択可能)
動作モード	フィールド*, フレーム*, フィールドデュアルプライム, フレームデュアルプライム

注 \* 3ベクトル同時探索

画素精度ベクトルを同時に検出できる。

また、ME2は40MHz動作時に、ITU-R-601相当画像の実時間動きベクトル検出処理が可能であり、このときの最大演算能力は、等価的に20 GOPS (Giga Operation per Second)以上に達する。図8にLSIテストでの評価結果を示すが、テストの評価では、電源電圧3.3V時に75MHzでの動作が確認できた。また、40MHz時の消費電力は1.9Wであり、パワーQFPパッケージへの実装が可能である。

表5に、複数個のME2を使った場合のベクトル探索の範囲を示す。例えば、4個のME2を使用した場合、両方向からの予測を行うPピクチャに対して(水平方向 $\pm 31.5 \times$ 垂直方向 $\pm 15.5$ )の範囲のベクトル探索が、両方向からの予測を行うBピクチャに対して前後の各々の予測画像について(水平方向 $\pm 15.5 \times$ 垂直方向 $\pm 15.5$ )のベクトル探索が可能である。また、ME2を追加すれば、デュアルプライム予測も可能となる。

以上のようにこのME2を使用すれば、システム要求に応じた様々な動きベクトル検出機能が実現できるとともに、従来に比べて大幅な動き検出のハードウェア低減が可能である。

表 5. ME 2 のベクトル探索範囲

動作モード	ブロックサイズ	垂直方向探索範囲	水平方向探索範囲	必要チップ数
フレームモード	16×16 16×8 (top) 16×8 (bottom)	-15.5/+15.5 -7.5/+7.5 (2 fields) -7.5/+7.5 (2 fields)	-7.5/+7.5	1
			-15.5/+15.5	2
			-31.5/+31.5	4
			-63.5/+63.5	8
			-127.5/+127.5	16
フィールドモード	16×16 16×8 (upper) 16×8 (lower)	-15.5/+15.5	-7.5/+7.5	1
			-15.5/+15.5	2
			-31.5/+31.5	4
			-63.5/+63.5	8
			-127.5/+127.5	16
フレームデュアル プライムモード *1	16×8	-0.5/+0.5	-0.5/+0.5	* 2
フィールドデュアル プライムモード *1	16×16	-0.5/+0.5	-0.5/+0.5	* 2

注 動作周波数：@40MHz, 画像サイズ：ITU-R-601(720×480ピクセル), フレームレート：30

\* 1 デュアルプライム予測モードではMPEG 2に規定されるデュアルプライム予測の一部を実行する。

\* 2 必要チップ数は予測アルゴリズムに依存する。

## 5. む す び

世界初の、MPEG 2 準拠、1/2 画素精度、動き検出 LSI を開発した。整数精度演算部では、評価値加算手法の新規導入により、MPEG 2 アプリケーションに必要な 3 ベクトル同時検出機能を実現した。そして、3 ベクトルに対応し、デュアルプライム予測にも対応可能な 1/2 画素演算プロセッサを内蔵することにより、外部ハードウェアなしでの 1/2 画素精度ベクトル検出を可能とした。また、可変パイプラインの新規採用により、外部データ転送量の増加なしで、水平方向探索範囲の拡張が可能となった。以上のアーキテクチャにより、この LSI は MPEG 2 に規定されるすべての動き予測モードのサポートを実現し、併せてベクトル探索範囲の拡張に対する自由度を確保することができた。

この LSI により、効率的な動き検出機能の実現が可能となり、高度情報化社会の実現に向けて、低コスト・小型の MPEG 2 画像符号化装置の実現が可能となる。

## 参 考 文 献

- (1) ISO/IEC 13818-2 : Coding of Motion Pictures and Associated Audio (1994)
- (2) LSI Logic : L 64729 Motion Estimation Processor, CCITT Video Compression Data book (1991)
- (3) SGS-Thomson Microelectronics : STI3220 Motion Estimation Processor, Data Sheet (1990)
- (4) Tamitani, I., Ohta, M., Ooi, Y., Yoshida, A., Nomura, M., Koyama, H., Nishitani, T. : An Encoder/Decoder Chip Set for MPEG 2 Video Standard, Proc. of ICASSP, V-661 ~ 664 (1992)
- (5) Uramoto, S., Takabatake, A., Suzuki, M., Sakurai, H., Yoshimoto, M. : A Half-pel Precision Motion Estimation Processor for NTSC-Resolution Video, Proc. of CICC, 11. 2. 1 ~ 4 (1993)

# アナログ／デジタル混載用，10ビット， 20Mサンプル／秒CMOS A/Dコンバータ

伊藤正雄\* 山下征大\*\*\*  
三木隆博\* 岡田圭介\*  
熊本敏夫\*\*

## 1. ま え が き

MUSE信号を取り扱うハイビジョン方式の映像システム等では、変換速度が16Mサンプル／秒(S/s)のA/Dコンバータが必要とされている。特に民生機器の分野では、システムの低価格化、小型化及び携帯化のために、低電源電圧での動作が可能なA/Dコンバータをデジタル信号処理LSIにオンチップさせることが望まれる。

これまでも、低電源電圧の10ビット映像用A/Dコンバータが発表されているが、これはインバータを用いたチョッパ型比較器を採用している<sup>(1)</sup>。このタイプの比較器は、消費電力を小さくできるという利点があるが、その一方でアナログ／デジタル混載LSIへのオンチップ化に必要なノイズ耐性が差動型比較器に比べて十分ではないという実験結果が報告されている<sup>(2)</sup>。

この報告では、アナログ／デジタル混載用10ビット，20MS/s，3V単一電源CMOS A/Dコンバータについて述べる。開発したA/Dコンバータは、耐ノイズ性の高い差動型比較器を適用するとともに、独自のエンコーダ(ツインエンコーダ)を開発し、オンチップ化に必要な基板ノイズ耐性を高めている。また、低電源電圧化のために差動型比較器のバイアス回路を工夫し、さらに、ダイナミック特性を向上させるために分割アナログバスを適用した<sup>(3)(4)</sup>。

## 2. アーキテクチャ

10ビットの分解能と映像用に適した変換速度を実現する

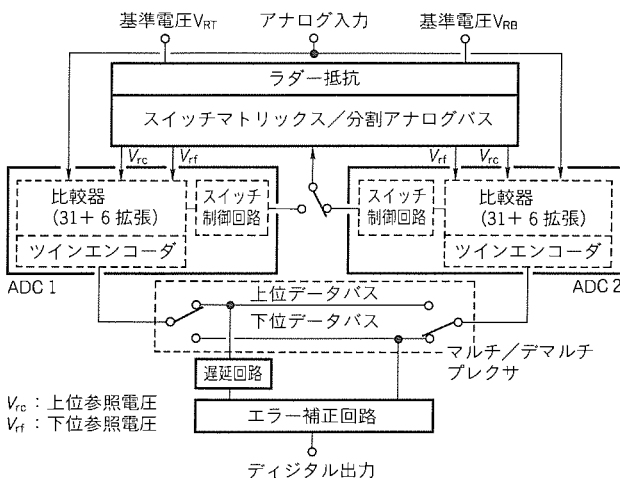


図1. A/Dコンバータの回路構成

アーキテクチャの候補としてはパイプライン方式<sup>(5)</sup>があるが、この方式ではアナログ入力信号を精度良くサンプル／ホールドするために高速高利得アンプが必要である。そのようなアンプは、通常、電源とグランドの間に複数のカスコード接続されたトランジスタを用いて構成する必要があるため、低電源電圧化が困難である。このA/Dコンバータではサプレッシング方式を用いた。この方式では高速高利得アンプが不要であるので比較的低電源電圧化が容易である。

図1にA/Dコンバータのブロック図を示す。ADC1，ADC2は、10ビットのサブA/Dコンバータである。各々のサブA/Dコンバータは、10ビットのA/D変換を上位5ビットと下位5ビットの2段階で行う。これら二つのサブA/Dコンバータをインタリーブ動作させることにより、A/Dコンバータの倍速化を図っている。このアーキテクチャは、以前当社から発表された低消費電力・映像用CMOS A/Dコンバータ<sup>(6)</sup>で用いた方式を基本としている。図2に、このA/Dコンバータの各回路の動作をクロック周期と対応させて示した。最初の1/2周期の期間、一方のサブA/Dコンバータの比較器でアナログ入力をサンプルし、次の1/2周期の期間にホールドされたアナログ入力電圧と上位参照電圧との比較を行う。さらに、次の1周期の期間、ホールドされたアナログ入力電圧と下位参照電圧の比較を行う。もう一方のサブA/Dコンバータでは、同じ動作を1周期ずらして行う。上位と下位の比較結果を、各々のサブA/Dコンバータで順次エンコードした後、図1に示したマルチ/デマルチプレクサでタイミングを調整して出力させる。

次にこのA/Dコンバータの特長の分割アナログバス、比較器とバイアス回路、ツインエンコーダについて述べる。

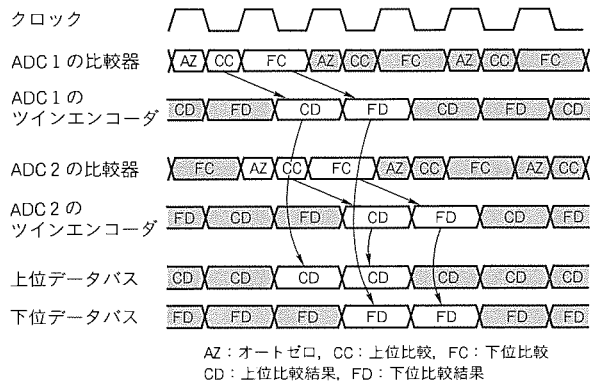


図2. A/Dコンバータの動作

### 3. 分割アナログバス

サブレンジング方式では、ラダー抵抗で発生された参照電圧をアナログバスとスイッチを介して比較器に印加する必要がある。ところが、従来のバスの構成で高分解能化を行うと、スイッチの寄生容量によって特性が劣化する。例えば、上位比較の分解能が5ビットのA/Dコンバータでは、下位参照電圧を一つの比較器へ供給するバスに $2^5 = 32$ 個のスイッチが接続される。そのため、スイッチ用トランジスタのドレイン容量によってA/Dコンバータの変換特性が劣化し、特に入力周波数が高い場合や高速動作時に大きな問題となる。

この問題を解決するために、分割アナログバスを適用したサブレンジング方式を開発した。図3に分割アナログバスの構成を示す。この方式では、一つの比較器に供給される32レベルの下位参照電圧を四つのグループに分けている。下位参照電圧は、八つのスイッチで構成されるスイッチマトリックス $SW_{Ai}$  ( $i = 1 \sim 4$ )のいずれかによって1本のバスラインに接続される。それと同時に、そのバスラインが四つのスイッチで構成されるスイッチマトリックス $SW_B$ によって比較器へ接続される。

この方式を用いると、下位参照電圧を一つの比較器へ供給するバスに接続されるスイッチの数は12となる。その結果、スイッチ用トランジスタの寄生容量が従来の $3/8$ に減少する。また、1本のバスにおける電位の最大変化量が従来の $1/4$ に抑えられるため、比較器入力部における下位参照電圧のセトリング時間が短縮される。この効果をシミュレーションで確認した。比較器入力部において、下位参照電圧が0.5 LSB (Least Significant Bit) 以内に収束するまでのセトリング時間を比較すると、従来のアナログバスでは16.6 nsであったのが、分割アナログバスを用いると10.5 nsとなり40%減少した。この方式により、高速動作時の特性向上が期待できる。

### 4. 比較器とバイアス回路

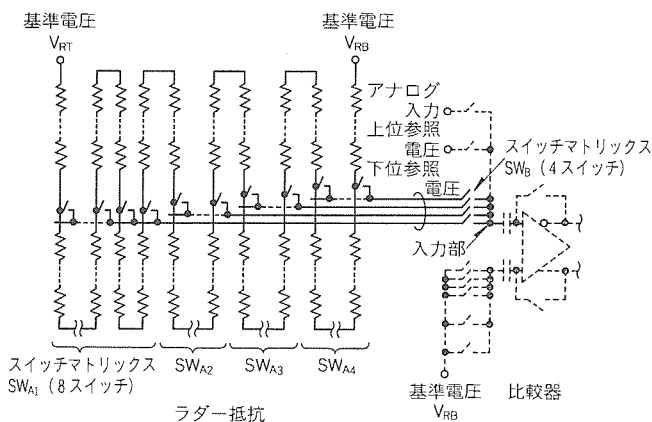


図3. 分割アナログバスの構成

1節で述べたように、このA/Dコンバータではノイズ耐性向上のため差動型比較器を導入した。図4(a)に比較器に内蔵されている差動型アンプを示す。この差動型アンプのバイアス回路には従来、(b)に示す回路が用いられていた。ところがこのバイアス回路では、最小電源電圧を次式の $V_{MIN}$ よりも小さくできない。

$$V_{MIN} = V_{dsat1} + V_{dsat2} + V_{dsat3} + V_{th2} + V_{th3} \quad \dots\dots\dots (1)$$

ここで、 $V_{dsati}$  ( $i = 1, 2, 3$ )は、各々トランジスタ $M_i$ ,  $M_{ia}$ ,  $M_{ib}$ を飽和状態にするために必要な電圧であり、 $V_{thj}$  ( $j = 2, 3$ )は、各々トランジスタ $M_j$ ,  $M_{ja}$ ,  $M_{jb}$ のしきい値電圧である。例えば、 $V_{thj}$  ( $j = 2, 3$ )を0.75 V、 $V_{dsati}$  ( $i = 1, 2, 3$ )を0.5 Vと仮定すると $V_{MIN}$ は3 Vになり、3 V電源電圧動作でのマージンがなくなる。この問題を解決するために、図4(c)に示した新規バイアス回路を開発した。このバイアス回路は、差動型アンプの回路構成をそのまま用いてアンプの一方の入力と出力を短絡して帰還をかけているので、ボルテージフォロアとなっている。したがって、トランジスタ $M_{3b}$ のゲート電圧は、トランジスタ $M_{2b}$ のドレイン電圧が参照電圧 $V_{AZ}$ にほぼ等しくなるように制御される。この帰還の接続は、差動型アンプのオートゼロ動作と同じ接続であるため、比較器の差動型アンプのオートゼロレベルは参照電圧 $V_{AZ}$ と等しくなる。

このバイアス回路では、最小電源電圧 $V_{MIN}'$ は次式のようになる。

$$V_{MIN}' = V_{dsat1} + V_{dsat2} + V_{dsat3} + V_{th2} \quad \dots\dots\dots (2)$$

すなわち、このバイアス回路を用いることにより、最小電源電圧を従来に比べトランジスタ $M_{3b}$ のしきい値電圧 $V_{th3}$ 分だけ小さくできる。例えば、前述と同じ条件で $V_{MIN}'$ は2.25 Vとなり、3 V電源電圧動作での十分なマージンを得ることができる。このようなバイアス回路を実現することにより、A/Dコンバータの低電源電圧動作が容易となった。

### 5. ツインエンコーダ

A/Dコンバータをアナログ/ディジタル混載LSIにオ

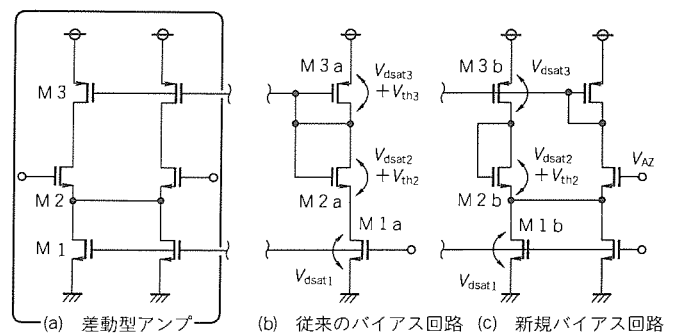


図4. 差動型アンプとバイアス回路の構成

ンチップ化すると、様々なノイズ干渉によって比較器列の出力に異常な組合せが生じ、エンコーダの複数のアドレス信号が“1”となる状態（マルチアドレス）が発生する。この状態は、微小な電位差のアナログ入力電圧と参照電圧を比較する下位比較時に発生しやすい。図5に示す従来のエンコーダでマルチアドレスが発生した場合、選択された二つのコード間のハミング距離が大きいと、大きな誤差が生じる。

図において（ ）で囲んで示した論理値は、比較器列の異常出力の一例を示している。この例では、“11000”と“10110”の二つのコードが選択され、出力コードが“10000”となって-7LSBの誤差が生じる。映像システムでは、このような誤差は、例えその発生頻度が低くても画質を大きく劣化させる。この誤差を抑えるために、図6に示した新たなエンコーダ（ツインエンコーダ）を開発した。

このエンコーダは、ANDタイプ及びORタイプのROM型エンコーダと加算器で構成されている。比較器列に異常出力が生じたとき、ANDタイプ及びORタイプのエンコーダからは、相反する極性で大きさがほぼ等しい誤差を含んだコードが出力される。加算器では、これら二つのコードを加算して最下位ビットを切り捨てることにより、両コードの平均値を出力する。図に示した例では、ANDタイプとORタイ

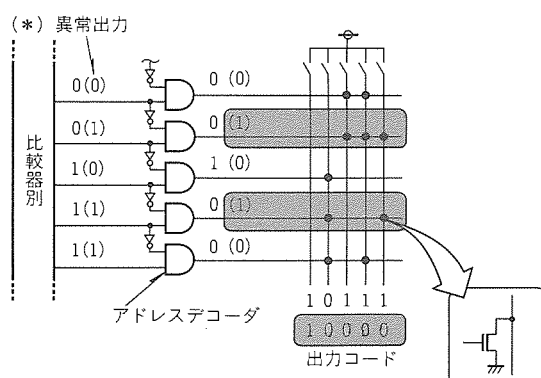


図5. 従来のエンコーダ

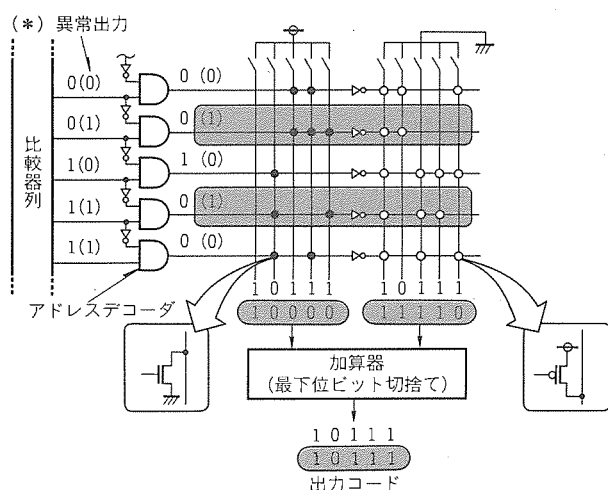


図6. ツインエンコーダ

プのエンコーダから各々コード“10000”とコード“11110”が出力される。これらの二つのコードは、それぞれ-7LSBと+7LSBという相反する極性で大きさが等しい誤差を含んでいる。そのため、両コードの平均値を取るることによって誤差がキャンセルされ、正常なコードに等しいコード“10111”が出力される。このようにして、マルチアドレスが生じた場合でも誤差を低減することができる。比較器に差動型アンプを適用することに加え、このツインエンコーダを用いることで、A/Dコンバータのノイズ耐性を大幅に向上できる。

## 6. 性能評価

図7にA/Dコンバータのチップ写真を示す。0.8 $\mu$ mルール、2層ポリシリコン、2層メタル配線構造のCMOSプロセスを用いてこのチップを試作した。出力バッファとパッドを除くセル領域の面積は、3.5mm $\times$ 2.0mmである。ツインエンコーダ中のORタイプのROM型エンコーダのトランジスタは、ANDタイプのエンコーダの空き領域に配置した。したがって、ツインエンコーダの導入による面積の増加はない。

基板ノイズに対するツインエンコーダの効果を調べるために、入力クロックと同期させた周期的なく（矩）形波の電圧を基板と $n^+$ 領域の接合部へ印加させた。図8に印加した電圧のレベル（ $V_{fb}$ ）とA/DコンバータのSN比の関係を示す。従来のバイナリエンコーダのモードでは、 $V_{fb}$ が0.7V

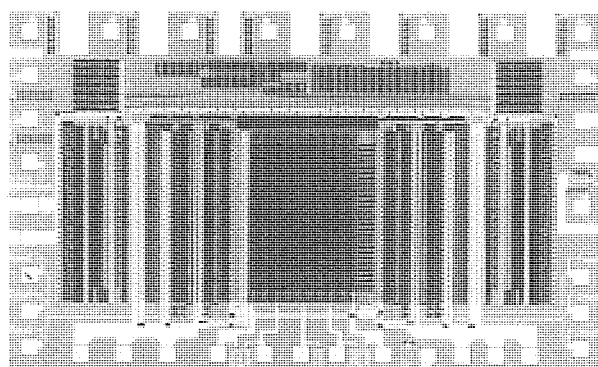


図7. チップ写真

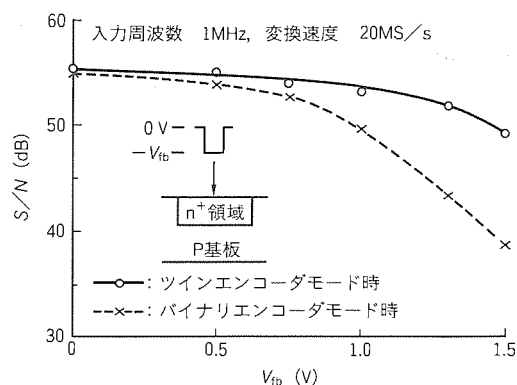
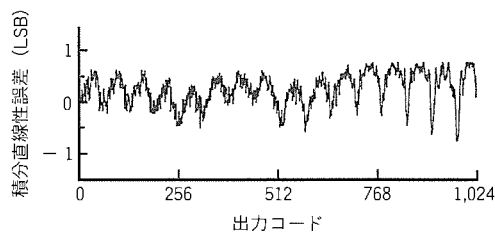
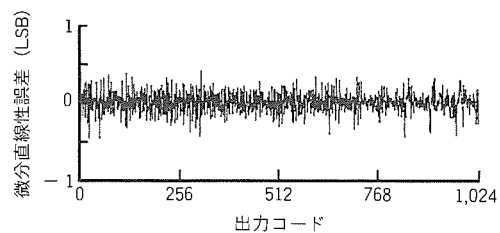


図8. 基板ノイズに対するツインエンコーダの効果

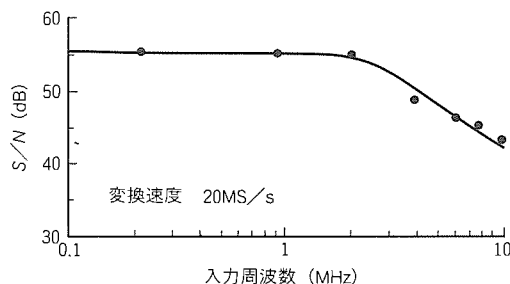


(a) 積分直線性誤差



(b) 微分直線性誤差

図 9. 直線性誤差

図10.  $S/N$ の周波数特性

を上回ると SN 比が急激に劣化するが、ツインエンコーダのモードにすると、 $V_{DD}$  が 1.3V までは 52dB 以上の SN 比を維持できる。この評価結果により、ツインエンコーダが基板ノイズの影響を抑えていることが確認できた。

図 9 に変換速度 20 MS/s における直線性誤差を示す。積分及び微分直線性誤差は、各々  $\pm 1$  LSB と  $\pm 0.5$  LSB 以下である。図 10 にダイナミック特性を示す。入力周波数が 2.0 MHz 時の SN 比は 56dB で、ナイキスト周波数においても 43dB 以上を示している。最後に、表 1 に性能をまとめる。この A/D コンバータは、3V 単一電源で動作し、入力ダイナミックレンジは  $1V_{p-p}$  である。消費電力は、ラダー抵抗と出力バッファでの消費分も含めて 135mW である。

## 7. む す び

ハイビジョン方式の映像システム用 LSI へのオンチップ化をターゲットとして、分解能 10 ビット、変換速度 20 MS/s、3V 単一電源の CMOS A/D コンバータを試作した。低電源電圧化のために、サブレンジング A/D 変換方式を採用し、ダイナミック特性を向上させるために分割アナログパスを適用した。オンチップ化の際に問題となるノイズ耐性を高めるために、ツインエンコーダを開発/導入している。また、3V 電源電圧での動作を実現するために差動型アンプのバイアス回路を新たに開発した。この A/D コンバータは、3V 単一電源で変換速度 20 MS/s で動作する。そして、ツインエンコーダによって基板ノイズに対する耐性が向上することが、評価結果から確認された。

## 参 考 文 献

- (1) Kusumoto, K., Murata, K., Matsuzawa, A., Tada,

表 1. 性能諸元

分解能	10ビット
変換速度	20MS/s
消費電力	135 mW
電源電圧	3 V単一
入力レンジ	1 $V_{p-p}$
積分直線性誤差	$\pm 1.0$ LSB
微分直線性誤差	$\pm 0.5$ LSB
$S/N$	56 dB
(入力周波数 2.0MHz, 変換速度 20MS/s)	
セル領域の面積	3.5 mm $\times$ 2.0 mm
プロセス	0.8 $\mu$ m CMOS

S., Maruyama, M., Oka, K., Konishi, H.: A 10 b 20MHz 30mW Pipelined Interpolating CMOS A DC, ISSCC Digest of Technical Papers, 62~63 (1993)

- (2) Fukuda, K. M., Kikuchi, T., Hotta, M.: Measurement of Digital Noise in Mixed-Signal Integrated Circuits, Symposium on VLSI Circuits Digest of Technical Papers, 23~24 (1993)
- (3) Ito, M., Miki, T., Hosotani, S., Kumamoto, T., Yamashita, Y., Kijima, M., Okada, K.: A 10b 20 MS/s 3V-Supply CMOS A/D Converter for Integration into System VLSIs, ISSCC Digest of Technical Papers, 48~49 (1994)
- (4) 伊藤正雄, 三木隆博, 細谷史郎, 熊本敏夫, 山下征大, 木島正貴, 岡田圭介: システム VLSI 搭載用 10bit, 20 MS/s, 3V 単一電源 CMOS A/D コンバータ, 電子情報通信学会集積回路研究会予稿集, ICD 94-48, 25~31 (1994)
- (5) Matsuura, T., Hotta, M., Usui, K., Imaizumi, E., Ueda, S.: A 95mW 10b 15 MHz Low-power CMOS ADC using Analog Double-Sampled Pipelining Scheme, Symposium on VLSI Circuits Digest of Technical Papers, 98~99 (1992)
- (6) Hosotani, S., Miki, T., Maeda, A., Yazawa, N.: An 8 bit 20 MS/s CMOS A/D Converter with 50 mW Power Consumption, IEEE J. of Solid-State Circuits, SC-25, No.1, 167~172 (1990)



# I<sup>2</sup>Cバスコントロール マルチスタンダードTV用LSI

奥野和彦\*  
菊地和行\*

## 1. ま え が き

近年、カラーテレビは価格の低下に伴い、シャーシの合理化が次々に行われている。当社が業界のトップを切ってシングルチップIC M51307SP (NTSC), M51408SP (PAL/NTSC) などを開発・量産したが、時代は更に周辺部品の削減・無調整化・省スペースを要求する一方、シャーシのマルチスタンダード化へと移行してきている。

そこで、今回マルチシステム対応のLSIとして、自動調整を可能とするI<sup>2</sup>C BUS<sup>(注1)</sup>コントロールPAL/NTSCシングルチップIC M52343SP及びSECAM色信号処理IC M52325Pを開発したのでここに報告する。

## 2. 全世界対応TV用LSIの概略及び開発コンセプト

世界のカラーテレビ放送方式は、日本・米国・韓国が採用しているNTSC方式、英国・西独ほか多くの国々で採用さ

れているPAL方式、フランス・東欧等が採用しているSECAM方式が存在するほか、垂直周波数は50Hzと60Hz、音声中間周波数は4.5MHz・5.5MHz・6.0MHz・6.5MHzというように様々なシステムが存在する。これらすべてに対応させるには、従来は数種類のシャーシで構成するか、又はサブ基板を多用していた。それゆえ、セット側での設計パワーもかかり、生産ラインも複雑であった。

今回のICチップセットは、全世界対応のカラーテレビの主信号系処理を画期的に簡素化することを目的とし、以下に示すコンセプトに基づいてチップ開発を行った。

- (1) 中間周波から偏向処理までの制御・調整は、TVでは標準になりつつあるI<sup>2</sup>C BUSによって制御され、人手を介さない完全自動調整生産ラインを実現可能とすること。
- (2) 周辺部品(フィルタ、ディレイライン、コイル等)を大幅に削減すること。

(注1) "I<sup>2</sup>C BUS" は、Philips社の2線式シリアルバスである。

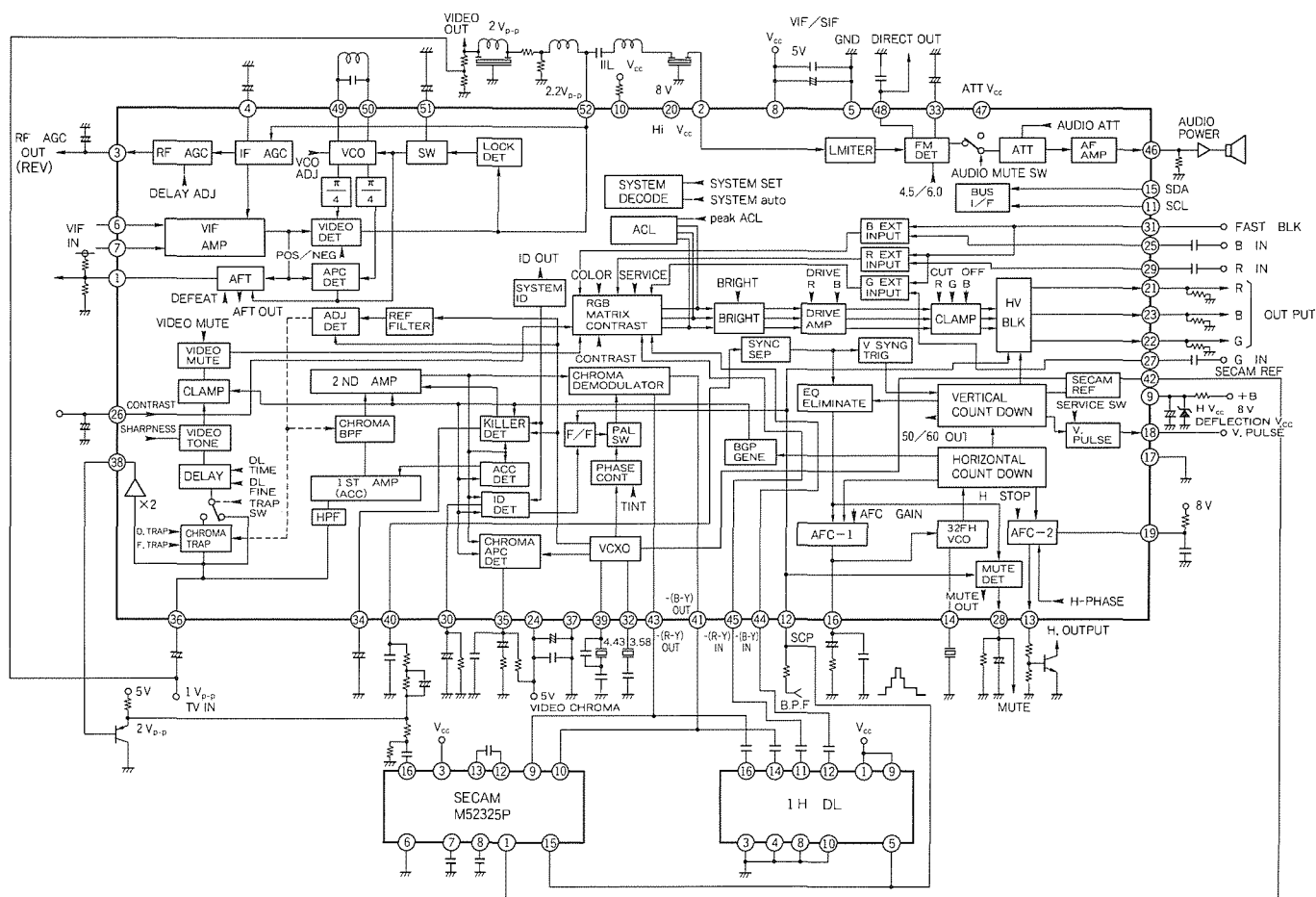


図1. M52343SPブロック図

(3) 自動システム判別やマルチ音声中間周波対応等マルチシステムとして従来ICより機能アップを図ること。

IC構成としては、最も需要の多いPAL/NTSCを基本として考え、映像中間周波・音声中間周波・輝度・色・偏向の各信号処理を含んだI<sup>2</sup>C BUSコントロールPAL/NTSCシングルチップICと無調整SECAM色信号処理ICの2チップ及び色差信号をベースバンド処理する1HディレイラインICで構成した。

### 3. PAL/NTSC I<sup>2</sup>C BUSコントロール シングルチップ M52343SP

このLSIは、SECAM色信号処理を除くすべての信号処理を行う。図1にこのICのブロック図を、表1に主要項目について従来の当社ICとの比較を示す。

次にこのICの大きな特長について述べる。

#### 3.1 I<sup>2</sup>C BUSによる生産ラインの合理化

ユーザコントロール(コントラスト・ブライツ・音量等)及び工場内の調整(ホワイトバランス調整・RF AGC調整等)をすべてI<sup>2</sup>C BUSによってシリアル制御することで、従来、VR等による手動調整やロボットによる機械的な調整方法から、バスラインを通じて純電子的に計測コンピュータを介して自動調整する生産ラインを構築することができる。

これによって、生産ラインの飛躍的合理化が実現される。例えば、異なるシャーシを多種少量生産する場合でも即座にラインの変更ができる等、フレキシブルにラインを組み替えられるわけである。

また、シャーシ内ではユーザコントロールに使用していた

マイコンのPWMポートも不要となる。したがって、部品点数及び配線領域を大幅に削減できるため実装面積も小さくなるメリットがある。

#### 3.2 フィルタ内蔵化

従来、外付けであったフィルタ類を後述のジャイレータ等の技術を駆使することで大幅に内蔵化し、部品点数を削減している。以下にその例を示す。

##### (1) クロマTRAP/Band Pass Filter (B.P.F.)

図2に自動追従型システムによるクロマTRAP/B.P.F.のブロック図を示す。自動カラーシステム判別の出力によってクロマVCXOを切り換え、この周波数を基準にすることでばらつきは吸収され、常に入力色副搬送波にチューニングされる。

図3にクロマTRAPの周波数特性を示す。

##### (2) クランプ回路ホールド容量

従来、電界コンデンサを使用していた輝度信号クランプやR.G.B.出力クランプ回路では、1.5μm高密度ウェーハプロセスを用いて基本電流を0.2μA以下で動作させることによって、保持容量を50pF(IC内蔵の窒化膜容量)で実現している。これにより、IC端子数の削減にも貢献している。

##### (3) Y-ディレイライン

ジャイレータ形式のディレイラインを内蔵しているだけでなく、遅延量を細かく変更できるため、システムによって最適に設定することが可能となり、高品位な映像を再現できる。

#### 3.3 マルチスタンダード対応の新機能充実

##### (1) 自動カラーシステム判別

従来のPAL/SECAMの自動判別から更に機能アップさ

表1. 従来ICとの機能比較

項 目	M52343SP	M51408SP
パッケージ/素子数/設計ルール	52SDIP/9,000素子/1.5μm	52SDIP/2,200素子/3μm
電源電圧	5V, 8V	9V
IF AGC方式	正負両極性対応	負極性のみ
映像検波方式	PLLによる完全同期検波	擬似同期検波
AFT検波方式	APC電圧によるコイルレスタイプ	AFTコイルによるコドレーチャタイプ
SIF検波方式	PLLによるコイルレスFM検波	FM検波コイルによるコドレーチャタイプ
Yディレイライン	内蔵(遅延量制御可能)	外付け
画質制御方式	ディレイラインアパチャコントロール方式	外付けCRによる二次微分方式
システム判別	自動判別(マニュアル可能)	外部からマニュアル制御
外部R.G.B.入力	可能(アナログ入力)	外付けICによる
クロマB.P.F./TRAP	内蔵(自動調整)	外付け
クランプ容量	内蔵	外付け
ACCフィルタ	内蔵	外付け
クロマVCXO	2 XTAL対応	1 XTAL
バーストクリーニングコイル	不要	調整必要
垂直周波数切換え	自動50/60判別	外部からマニュアル制御
水平AFC方式	二重AFC(内蔵D/Aで位相制御可)	単純AFC(外部VRで位相制御可)
ホワイトバランス調整	内蔵D/Aによる調整(I <sup>2</sup> C BUS)	外部VRによる調整
垂直出力方式	パルス出力タイプ	ランプ出力タイプ
各種ユーザ制御	内蔵D/A・SWによる制御(I <sup>2</sup> C BUS)	外部VR・D/Aによる制御

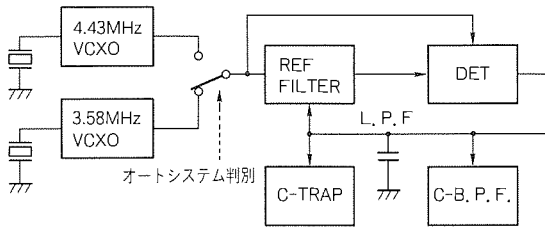


図 2. 自動追従型クロマTRAP/B.P.F. システム

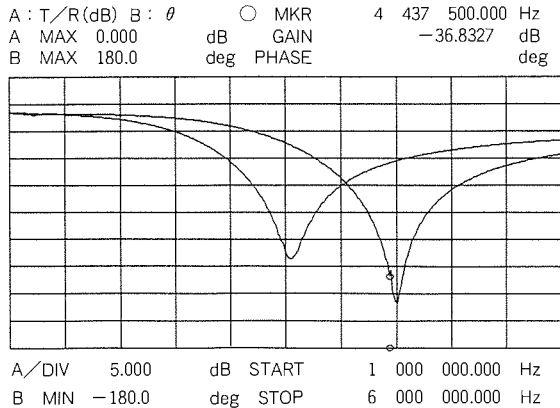


図 3. クロマTRAP周波数特性

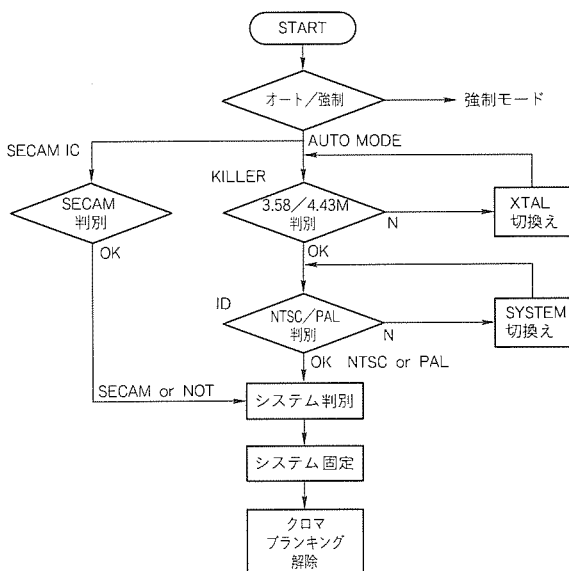


図 4. 自動システム判別フローチャート

せ、NTSC 及び副搬送波周波数 (4.43/3.58 MHz) として、垂直周波数 (50/60 Hz) を独立に検出することができる。図 4 にカラーシステムの判別フローチャートを示す。

## (2) ステータス読出し機能

常に最新のステータスを BUS 経由で読み出すことがソフトウェア上でできる。マイコンが端子を増やさず一定周期ごとに状態を監視することによってシャーシ及びオートサーチ機能の簡素化に貢献する。

なお、ステータスは AFT 出力 (2 ビット)・50/60 判別出力コインシデンス出力・カラーシステム判別入出力 (4 ビット)

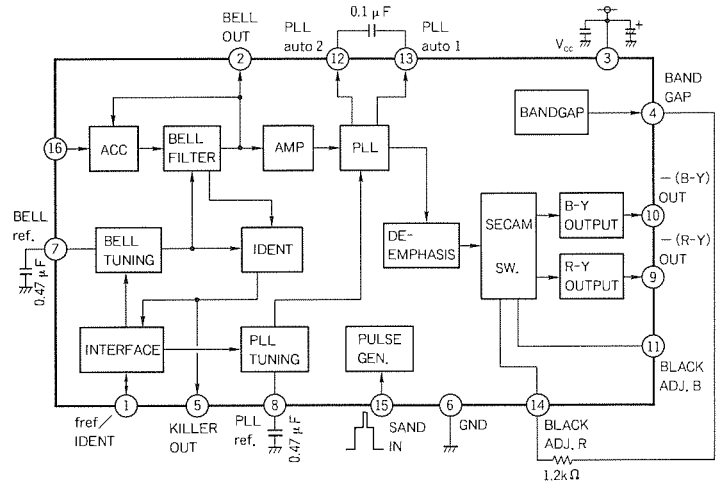


図 5. M52325P ブロック図

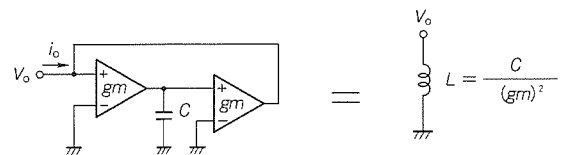


図 6. ジャイレータ基本原理

ット)の合計 8 ビットである。

## (3) マルチスタンダード音声処理

FM 検波回路には新たに PLL を使用した高帯域 FM 検波回路を採用した。これによって従来、複雑であった FM 検波コイルの周波数切換回路及びその調整箇所を削除可能となった。

## (4) ベースバンド 1 H (1 水平期間) ディレイライン

従来のガラスディレイラインでは複雑な調整が必要であったが、この IC ではベースバンドタイプの IC に合わせて設計したことによって、無調整かつクロストーク・クロスカラー等の妨害も減少した。

## (5) SECAM/L 映像検波

正極性映像変調にも対応できるため、フランス SECAM にも音声回路を付ければ復調可能となる従来にはない機能である。

## 4. SECAM方式色信号処理IC M52325P

従来の SECAM 方式色信号処理 IC では、ベルフィルタやアイデント検波用コイル等周辺部品点数が多く、かつ調整箇所も多いため TV セットのコストアップにつながっていた。

M52325P は、上記の問題を解消することを目的に開発し、SECAM 方式の色信号処理に必要なフィルタ類をすべて内蔵し、無調整化を実現した。図 5 にこの IC のブロック図を示す。

次にこの IC の特長について述べる。

### 4.1 ベルフィルタ

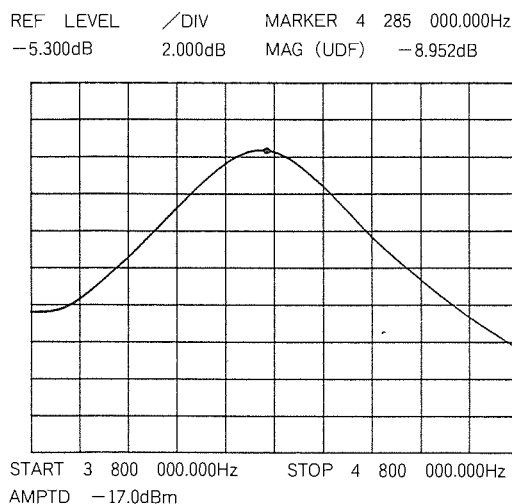


図7. ベルフィルタ周波数特性

従来外付けタンクコイルであったベルフィルタは、ジャイレータ容量タイプの gm (相互コンダクタンス) 可変アクティブフィルタから構成されており、垂直帰線期間にベルフィルタの入力は1ピン基準信号 ( $f = 4.43 \text{ MHz}$ ) に切り換え、中心周波数  $f_0$  が基準信号の周波数となるように自動調整される。また、垂直帰線期間以外の期間では、 $f_0 = 4.286 \text{ MHz}$  にシフトするように gm を制御する。

図6にジャイレータの基本原理を示す。ジャイレータは、gm アンプが2段と容量から構成され、 $v_o$  から見たインピーダンスは  $v_o / i_o = sC / (gm)^2 = sL$  となり、等価的にインダクタンスを得ることができる。

M52325Pのベルフィルタは、このジャイレータを応用したもので、伝達関数は次のとおり2次のローパスフィルタである。

$$T(S) = \omega_0^2 / \{S^2 + (\omega_0/Q)S + \omega_0^2\}$$

ベルフィルタの周波数特性を図7に示す。

#### 4.2 アイデント検波

SECAM 方式の色信号は、DR' 信号と DB' 信号が線順次に送信されるため、送信側と一致させるためのライン判別機能がアイデントであり、従来外付けタンクコイルを調整していた。

このICでは検波原理は、従来と同様クォドレーチャ型であるが、前述のベルフィルタを移相器として共用していることを特徴とする。ベルフィルタの中心周波数は、バーストゲート期間には  $f_0 = 4.33 \text{ MHz}$  ( $f_{0R} = 4.40625 \text{ MHz}$  と  $f_{0B} = 4.25 \text{ MHz}$  の平均) になるように制御される。図8に示すようにベルフィルタの入出力間の位相差が中心周波数で  $90^\circ$  となることを利用して、両信号を掛算して検波電圧を得てい

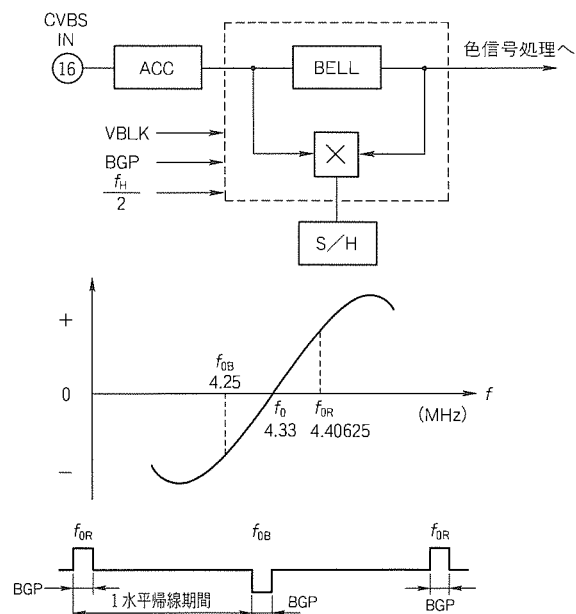


図8. アイデント検波器

る。実際にはこの後1水平期間ごとに反転し、バーストゲート期間にサンプリング、これ以外の期間では内蔵容量で保持することによってDC電圧  $v_o$  を出力し、これでアイデント動作を行っている。

#### 4.3 ピン数及び外付け部品の削減

上記4.2節及び4.3節で述べた部品の削減以外にディエンファシス回路やACCフィルタを内蔵したこと及び従来必要としていた  $4.25 \text{ MHz}$  XTAL も基準周波数を M52343SP から供給することで不要とした。これらによって、ICのピン数を1/2に、また外付け部品点数を約1/5に削減した(M52026SPとの比較)。

### 5. む す び

以上述べたように、マルチスタンダード対応テレビ用LSIとして、2品種開発した。これらのチップを使用することにより、TVセット設計方法がより標準化され、高性能かつ少ない周辺部品そして省スペースであるシャーシを実現できることとなった。

今後は更に高機能化したチップも開発中であり、ラインアップも充実させていく予定である。

#### 参 考 文 献

- (1) 橋本菅雄, 奥野和彦, 百武純一, 小嶋健治: マルチシステム対応カラーテレビ用LSI, 三菱電機技報, **62**, No.9, 830~833 (1988)

# サブミクロン大規模ASIC用 設計システム

加賀谷達次\* 原田輝昭\*\*\*  
小野真司\*\* 高瀬和彦\*  
齋藤 健\*

## 1. ま え が き

近年の半導体技術の進歩により、 $0.8\mu\text{m}/0.5\mu\text{m}/0.35\mu\text{m}$ とLSIの微細化が進むとともに、情報処理機器や通信機器、マルチメディア機器などのシステム開発のために大規模・高速なASIC (Application Specific IC) の要求が高まっている。システムの高性能化や市場への先行参入のために、ASICのより一層の高速化・高集積化が期待される一方で、より短期間での開発を求められている。

これまで、三菱電機(株)がASICを開発するために、ハードウェア記述言語を利用したトップダウン設計を支援するASIC設計システムを開発し、実用化してきた<sup>(1)</sup>。今回、次の機能に注力して、サブミクロンASIC向けに設計システムの強化を行った。

- (1) レイアウト後の手戻りを防ぐための、配線長などの設計情報の予測(見積り)に重点をおいたフロアプラン機能
  - (2) 設計者の操作ミスを防ぐための、ツールの起動を設計手順どおりに制御できる設計フロー管理支援機能
- 本稿では、サブミクロン対応のASIC設計システムで強化したこれらの機能について説明する。

## 2. サブミクロンASICとその設計システム

### 2.1 サブミクロンASICの特長

ASICにはセルベースLSIやゲートアレー(Gate Array: GA)など幾つかの種類があるが、性能・価格・納期などのユーザの要求をバランスよく満たすゲートアレーが、一番よく用いられている。最近では、セルベース手法で用いられる高集積なメモリなどを利用し、ゲートアレーとセルベースLSIの両方の利点を併せ持ったECA (Embedded Cell Array) も多く用いられるようになってきている。

当社の $0.5\mu\text{m}$  GA/ECAの特長を以下に示す<sup>(2)</sup>。

- (1) 大規模回路(100万ゲート)を1チップに集積可能であり、高速動作(143ps: 2NAND/標準負荷)を実現
- (2) 数千個の記憶素子を高速に駆動し、かつLSI内部だけでなく、各LSI間のクロックスキューを数百ps以下に抑えるクロック管理機能を具備
- (3) LSI間を100MHz以上の転送速度で高速なデータ転送を行うための、小振幅インタフェース回路(Gunning Transceiver Logic<sup>(3)</sup>: GTL)を搭載
- (4) 500ピン以上のパッケージに対応

### 2.2 サブミクロンASIC設計システムの特徴

2.1節で述べた特長を持つサブミクロンASICの設計では、以下の問題が発生している。

- (1) 回路の大規模化に伴い、レイアウト設計が困難
- (2) 微細化によって配線遅延が支配的となり、タイミング条件を満たすことが困難
- (3) 設計ツールが増大し、設計手順も複雑化するとともに、設計ツールに不慣れなユーザが多くなり、操作ミスなどによる設計手戻りが増加

(1)(2)の問題に対処するためには、各種設計情報を見積もることと見積もった値を満たすように設計を進めること、(3)に対処するには設計者によるミスの混入を防ぐこと、によって設計の手戻りを避けることが重要である。このために、サブミクロンASIC設計システムでは、フロアプラン技術と設計フロー管理支援技術を強化した。

フロアプラン技術については、面積見積りと配線長見積りに当社ASICデバイスに依存する情報を利用した新しい手法を考案し、EDA (Electronic Design Automation) ベンダのフロアプランナに設計予測機能を付加した、当社ASIC設計用デザインキットを開発した。

設計フロー管理支援技術では、作業ステップの起動・制御及び実行状況表示をフロー図を介して行う設計フロー管理機能を実用化した。従来の手法で設計フロー管理機能を実現すると、設計システムの開発工数が膨大になることが問題であった。簡単な設計フロー定義データを与えることで、設計フロー管理機能を持つ設計システムを自動生成する設計フロー自動生成ツールを開発した。現在、このシステムは、ケイデンス社(米国 Cadence Design Systems, Inc.)及びメンター社(米国 Mentor Graphics Corp.)のフレームワークに対応可能である。

## 3. フロアプラン技術

### 3.1 フロアプランを利用した設計フロー

フロアプランとは、レイアウト設計が容易であり、目標性能を満たせるように、回路を幾つかのブロックに分割し、チップ内部での各ブロックの位置を決定することである。したがって、フロアプランナには、以下の機能が必要である。

- (1) ブロックやピンを配置・移動するといった、レイアウトエディタに似た対話的な操作機能
- (2) ブロックやピンを自動的に配置する機能

### (3) 面積や配線長、接続度などの各種設計情報を見積もる／解析する機能

フロアプランナは、多くの EDA ベンダから発表されているが、市販のフロアプランナは対話的操作機能には十分優れているが、見積り機能では ASIC ベンダに依存する情報を扱う必要があるため、十分な機能があるとはいえない。2.2 節で述べたように、サブミクロン大規模 ASIC の設計では設計の手戻りを防ぐことが重要である。したがって、市販ツールに当社 ASIC に依存した情報を利用して見積り技術の強化を行った。

フロアプランナを用いない従来の設計手法では、種々の設計情報を設計者の経験と勘で予測したり、大きなマージンを持って設計を行っていた。例えば、ブロック間をまたがる信号はファンアウト数などを目安に設計し、レイアウト後に回路を調整することが多く、また仮想タイミング検証は、どのようにレイアウトされても大丈夫なように、配線容量に大きいマージンを持たせて行っていた。

一方、フロアプランナを用いると、図 1 に示すように回路の論理設計前に概略フロアプランを行ったり、仮想タイミング検証前に詳細フロアプランを行うことにより、設計情報を精度良く見積もって設計を進めることができる。概略フロアプランでブロック間の配線長を見積もることにより、ブロック外部の負荷条件を把握でき、ブロック内部の設計を正確に行える。また、詳細フロアプランにより、レイアウトする領域が限定され、ブロック間配線長も正確に見積もられるため、レイアウト後の詳細タイミング検証に近い精度で仮想タイミング検証が行える。

当社ゲートアレー設計用トップダウンデザインキットの一つとして、ケイデンス社製フロアプランナ Preview<sup>(注1)</sup>を核とし、見積り機能を強化したフロアプラン支援ツールを開発した。フロアプラン支援ツールの実行画面の一例(ブロック間の接続度表示)を図 2 に示す。このツールで機能強化した面積と配線長の見積り手法について詳しく述べる。

(注 1) “Preview”は、ケイデンス社の商標である。

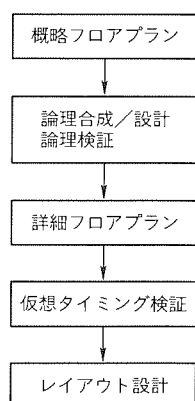


図 1. フロアプランを利用した設計フロー

### 3.2 面積見積り手法

従来、回路のレイアウトに必要な面積の見積りは、回路のゲート数と経験的に求められた集積密度 (BC (Basic Cell) 使用率) を基に求めている。しかし、配線本数が多い場合などにはレイアウトが難しくなり、見積もった面積と実際の面積の誤差が大きくなることもある。

ゲートアレーでは、セルの配置とセル間の配線はチップ上に定められた仮想的な格子 (配線格子という。図 3 参照) 上で行われる。当社ゲートアレーで最大集積密度を得た場合、この配線格子がセル及び配線によって占められる割合はほぼ一定であるという性質が実験的に確かめられており、我々はこの配線格子の使用率に着目した面積見積り手法を新たに開発した。

この手法では、回路のゲート数からセルが占める配線格子数を計算し、配線で接続すべきピンペア数から配線が占める配線格子数を算出することにより、この回路をレイアウトするために必要な配線格子数、つまり面積を見積もる。ゲート数及びピンペア数は、回路のネットリストから計算できるので、回路のネットリストを与えることにより、面積を見積もることが可能となった。

従来の手法で見積もった面積とこの手法で見積もった面積、

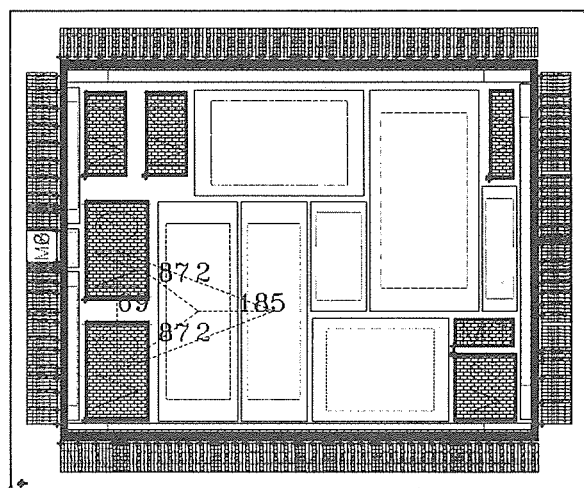


図 2. フロアプラン実行例 (接続度の表示)

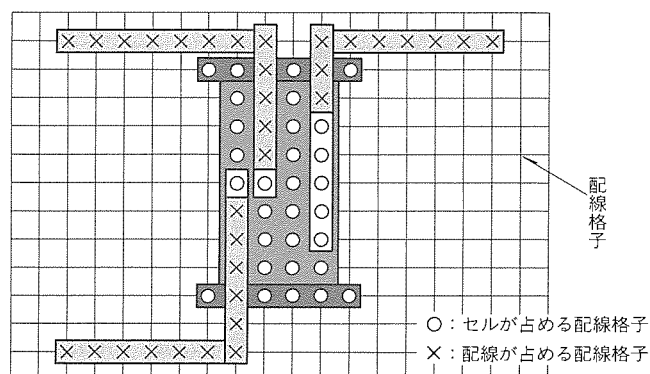


図 3. 配線格子



実際にレイアウトしたときに必要な面積を BC 使用率で比較したものが図 4 である。従来手法では最大約 30 % の誤差があるが、この手法の誤差は最大 20 % 弱に改善されている。特に、レイアウトが難しいため、大きな面積が必要な場合 (回路 C や D) に、この手法の見積り精度は高く、実使用には有効である。

### 3.3 配線長見積り手法

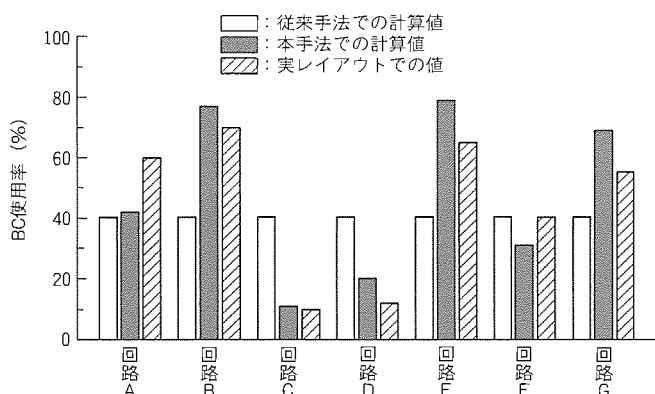


図 4. 面積見積り手法の評価

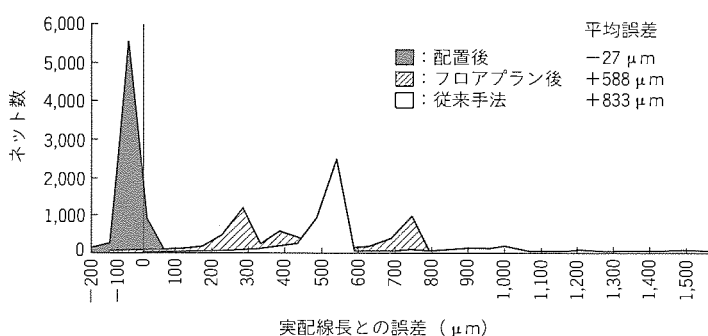


図 5. 配線長見積り手法の評価

従来の仮想配線長見積りは、過去の統計データを基に作成したファンアウトごとの配線長テーブルを用いて求めている。フロアプランナを用いれば、ブロックをレイアウトする領域の面積に応じて配線長を見積もることができる。しかし、どちらの手法とも、ファンアウト数が同じネットの配線長は同一となるため、セルの配置位置によっては誤差が大きくなることもある。そこで、セルの配置を上流設計の範囲内にとらえ、フロアプランナの中でセル配置を行った後、配線長を見積もるようにした。高速で品質の良い配置を行う当社製ゲートアレイ用自動配置配線ツール HGAOP (High-speed Gate Array Layout Program) <sup>(4)</sup> を配置ツールとして組み込み、配線長を見積もることができるようにした。

ある回路に対して、一つの配線長テーブルを用いる従来手法で見積もった配線長、フロアプラン (ブロック配置) 後に見積もった配線長、本稿で提案したセル配置後に見積もった配線長、レイアウト後の配線長との誤差を評価した結果が、図 5 である。平均誤差は、従来の方法では+833 μm、フロアプラン後は+588 μm であるのに対し、配置後は-27 μm と、10 倍以上の精度で配線長を見積もることができた。ただし、配置後は、セル間の最短経路で配線長を見積もるので、実際の値より短めに見積もられる。このため、現在のシステムでは、経験値を基に補正を行っている。

## 4. 設計フロー管理支援システム

ASIC の大規模化に伴って設計に要するステップ数が増大し、設計システムに設計フローを管理する機能が必要になっている。

図 6 に大規模 ASIC 対応設計フロー管理支援システムの概要を示す。設計フロー管理支援システムは、

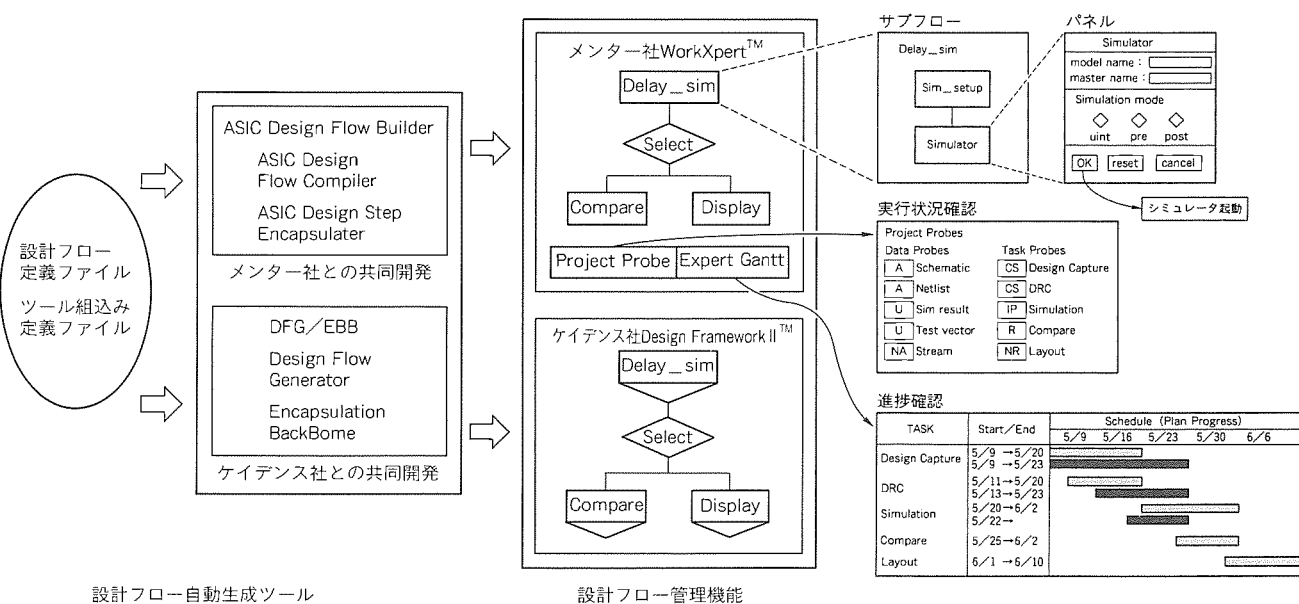


図 6. 大規模ASIC対応設計フロー管理支援システムの概要

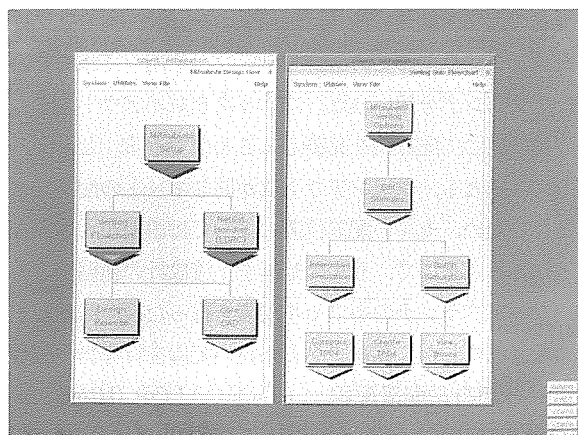


図7. ツールシーケンサ表示例(ケイデンス社システム対応)

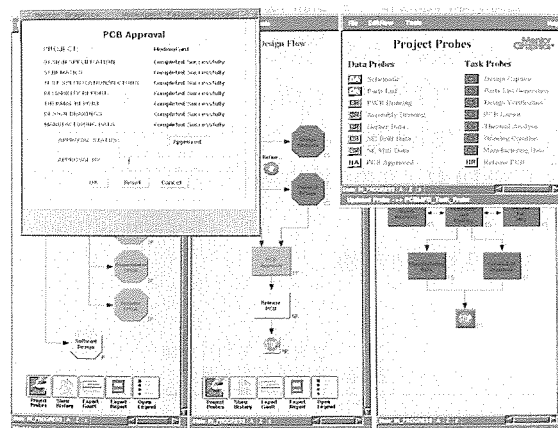


図9. 設計工程の実行状況表示例

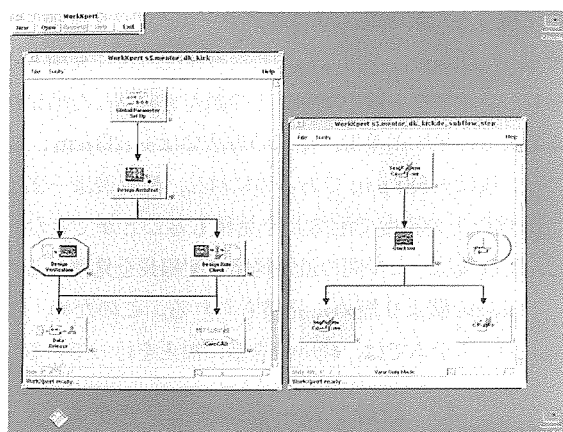


図8. ツールシーケンサ表示例(メンター社システム対応)

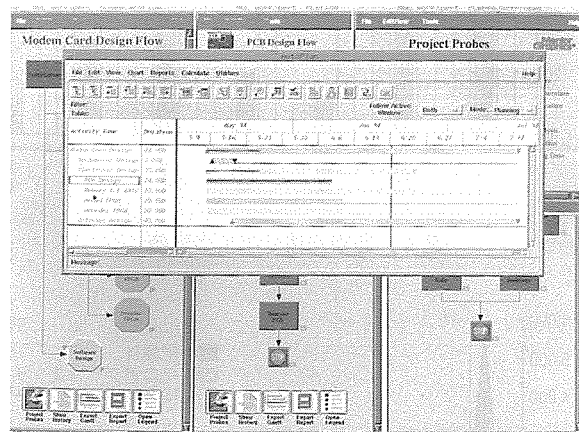


図10. プロジェクト進捗状況表示例

設計フロー自動生成ツールと設計システムのフレームワークに組み込まれた設計フロー管理機能で構成されている。

#### 4.1 設計フロー自動生成ツール

単純なテキストで設計フローを定義することにより、グラフィカルな設計フローを自動生成するツールをケイデンス社と共同開発した。次に、メンター社とも同一の定義データを入力・処理できる設計フロー自動生成ツールを共同開発した。

つまり、一つの設計フロー定義ファイルを作成すれば、EDAベンダの最大手であるケイデンス社とメンター社いずれのLook-and-Feel(外観)を持つ設計フローも簡単に自動生成できるようにした。

設計フロー自動生成ツールを開発した効果として、次の2点が挙げられる。

- (1) 設計フロー構築作業を従来と比較して1/5～1/10に短縮
- (2) 設計フローを顧客の設計環境に合わせて容易かつ短期間でカスタマイズ可能

#### 4.2 設計フロー管理機能

設計システムに設計フロー管理機能を持たせる要求は以前から存在し、数々の開発、実用化がなされている。

しかし、従来の設計フロー管理機能は、グラフィカルで視覚的に表現されたフローチャート形式の設計フローから論理合成、論理シミュレーション等のツールを起動するための“ツールランチャ”(ツール起動)であり、設計フロー管理を行えるレベルに到達していなかった。

当社からケイデンス社とメンター社に対して要求した仕様では、設計手順どおりに誤りなくツールを起動できる“ツールシーケンサ”とするために、ツール間の従属(親子)関係とツールの実行が必ず(須)か、選択かの定義を可能とした。ケイデンス社システム対応のツールシーケンサの例を図7に、メンター社システム対応のツールシーケンサの例を図8に示す。

さらに、メンター社と共同開発した設計フロー管理機能では、ツールシーケンサの機能に加えて設計工程の実行状況の確認と設計プロジェクト進ちょく(捗)フォローアップが可能になり、いわゆる“フローマネジャ”として、設計フローの管理が行えるようになった。

各設計工程の実行状況について、実行可能か又は正常終了であったか異常終了であったかを一覧表として表示する(図9)。また、設計プロジェクトの進捗状況について、図10

に示すようにガントチャート (Gantt Chart) 形式で各設計工程の計画と進捗状況を上下に対比して表示する。このことにより、プロジェクト管理者は、各設計工程の進捗度合いに応じてリソースの投入ができ、日々のフォローアップを実施することが可能となった。

## 5. 今後の課題

### 5.1 今後のフロアプラン技術

面積や配線長を精度良く見積もるためには、現在のフロアプランツールでは、回路の接続記述が必要である。回路の大規模化に対応するためには、設計のより早期の段階で見積もる必要がある。したがって、機能記述のブロックに対して回路規模や面積を見積もるために、現在、機能記述からゲート数を見積もるツールを開発中である。

### 5.2 設計フロー管理支援システムの今後の課題

#### (1) 設計ノウハウを盛り込んだ設計フローの構築

最先端デバイスを追求する顧客と、最新の設計手法と CAD 技術を用いて ASIC を共同開発し、それによって初めて培われる設計ノウハウを盛り込んで、多数の ASIC 設計者が有効に活用できる設計フローを構築する。

#### (2) チームデザインのサポート

大規模 ASIC 設計では、複数の設計者がチームを構成しチップ (回路) を複数のブロックに分割し、複数のワークステーションを用いて並行して作業を進めることが多い。設計フロー管理支援システムに対して、① 複数ユーザ、複数ワークステーションに対する設計工程、ブロック別の設計フロー管理、② 設計データのバージョン管理の機能を持たせる。

#### (3) 業界標準動向への追従

EDA 関連の標準化は、CFI (CAD Framework Initiative) の活動から活発になり、CDE (Common Desktop En-

vironment) と呼ばれるワークステーションの GUI (Graphical User Interface) の標準化グループである COSE (Common Open Software Environment) へと活動が広がりを見せている。このような業界標準の動向を視野に入れて開発を進めていくことがますます重要となっている。

## 6. む す び

以上述べてきたように、サブミクロン大規模 ASIC 用設計システムの開発により、設計の見積りと設計効率の向上に大きな効果を上げることができた。今後も継続して設計システムの高機能化を実施していく予定である。

最後に、開発に当たり御指導及び御協力をいただいた関係各位に対し深く感謝の意を表する。

## 参 考 文 献

- (1) 荒川隆彦, 前野秀史, 東谷恵一, 斎藤 健, 加藤周一: 0.5 $\mu$ m CMOS ゲートアレー, 三菱電機技報, **67**, No. 3, 234~237 (1993)
- (2) 小野真司, 布上裕之, 古茂田道夫, 村上雅典, 福水利之: ハードウェア記述言語による ASIC 設計向けトップダウン CAD システム, 三菱電機技報, **67**, No. 8, 791~796 (1993)
- (3) Gunning, B., Yuan, L., Nguyen, T., Wong, T.: A CMOS Low-Voltage-Swing Transmission-Line Transceiver, 1992 ISSCC Digest of Technical Papers, WP 3.7, 58~59 (1992)
- (4) 中尾博臣, 高橋一浩, 定兼利行, 奥田亮輔, 寺井正幸, 佐藤興二: CMOS ゲートアレー用自動レイアウト技術, 三菱電機技報, **68**, No. 3, 284~287 (1994)

# 新16ビットマイコンM16シリーズ

## — 低電圧・低消費電力シングルチップ版M16/12 —

畑 雅之\*  
 斉藤 彰\*\*  
 林 義弘\*\*\*

### 1. ま え が き

近年、ハードディスクドライブ、携帯電話、カメラやムービー等映像機器などの低消費電力化、高性能・高機能化に伴い、その頭脳部を担うCPUの低電圧動作化及び高速化が要求されている。また同時に、製品の小型化も要求されている。そこで、システム全体として部品数を減らすため、周辺機能のシングルチップ化も進んでいる。従来の高性能汎用CPUを使用すれば、外付けのROMやRAMを必要とし、そのため、部品点数の増加、外部回路の設計が避けられず、高性能CPUの採用の妨げとなっていた。

このような状況を踏まえて、今回、高性能CPUにROMとRAMを搭載した新16ビットシングルチップマイコン“M16/10シリーズ”の第二弾製品“M16/12グループ”(ワンタイムPROM版M31010E3 HPがグループ第一弾製品)を開発した。図1にサンプルの外観を示す。

M16/12は、M16/10シリーズの性能を維持したままで低電圧動作が可能であり、ROM、RAMと8種類の周辺I/Oを内蔵した。

本稿では、M16/12グループにおいて低消費電力・高性能・小型化を行った設計方法と、新たに追加された機能を中心に紹介する。

### 2. M16/12の概要

#### 2.1 M16/12グループの位置付け

M16/12グループは、新世代の組込み用16ビットシングルチップマイコンM16ファミリの中のM16/10シリーズに属し、M16/10シリーズ第一弾のM31000S2から、周辺I/Oの展開とROM展開を行ったグループである。そし

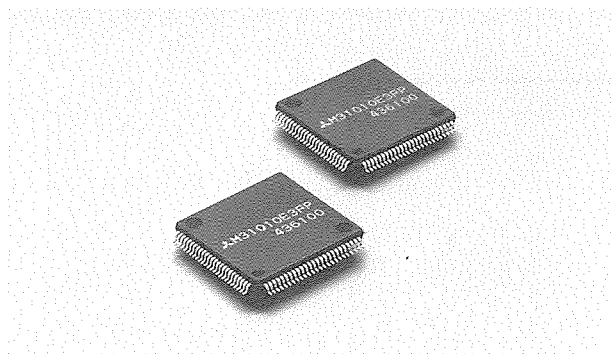


図1. M16/12サンプルの外観

てM31010E3は、M16/12グループ最初のワンタイムPROM48K版である。

図2にM16ファミリの展開図を示す。図のX軸が周辺機能展開を、Y軸がメモリ展開を、Z軸がコア展開を表す。まずX軸の周辺機能展開とは、例えば“シリアルI/OにFIFOのデータバッファを持つ周辺I/Oを内蔵”し、“三つのステッピングモータを制御するためのリアルポートタイマを三つ内蔵”するなど、分野固有のメカ制御に密接な関係を持ち、ターゲット分野を決める特長がある。そして、そのアプリケーションのデータ処理の負荷によってCPUコアの要求性能が、そのアプリケーションのプログラムサイズによってメモリ容量が決まる。

M16/12グループは、小型携帯機器をターゲットに選び、周辺I/Oを身軽にした。しかし、周辺I/Oを減らしたことによって応用分野を限定してしまうおそれがあるため、周辺I/Oをモード切換えによる多機能化することで幅広い応用に対応した。

これらの工夫によるチップ面積の減少はROMの搭載を可能にし、ピン数の減少は小型パッケージの使用を可能にした。

#### 2.2 M31010E3の概要と特長

M16/12のCPUコアは32ビット構成で、32ビット幅の汎用レジスタを16本内蔵している。また、高級言語の使用に適した直交性の良い命令体系を備え、使用頻度の高い命令は最短100nsで実行できるようにした。内蔵ROMは48Kバイト、内蔵RAMは3Kバイト実装し、32ビット幅でアクセスできる。また、メモリ拡張時における外付けROM

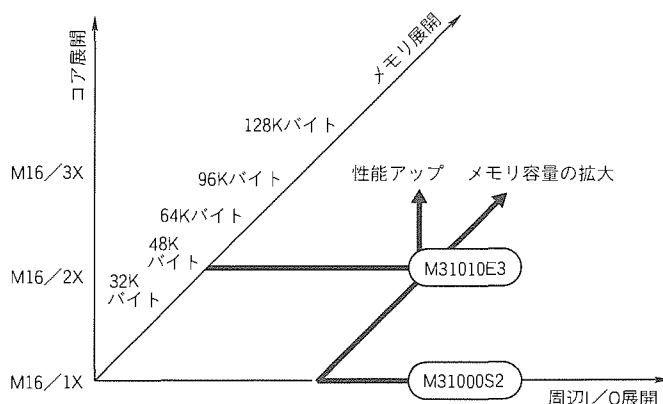


図2. M16ファミリの展開

や各種周辺デバイスは、16ビット幅の外部データバスに接続して、2Mバイトのリニアな空間に配置できる。さらに、メモリ拡張時の外部デバイスの接続を容易にするために、チップセレクトコントローラも内蔵した。

内蔵周辺I/Oには、割込みコントローラ、DMAコントローラ、タイマ、シリアルI/O、A-D変換器、チップセレクトコントローラ、監視タイマ、クロック&パワーマネージャの8種類を搭載した。

M16/12の主な特長を以下に示す。

(1) 高性能、低消費電力

- (a) 3.3V動作
- (b) 最短命令100nsで1命令実行
- (c) 4段パイプラインによる命令処理
- (d) 2Mバイトのリニアな外部アドレス空間
- (e) 内部32ビットバス

(内蔵周辺I/O及び外部データバス16ビット)

(f) 3種類の低消費電力機能

- システムクロックの2～32分周選択
- 内部クロックを2～8分周選択
- スリープ状態からウェイクアップ機能

(2) 使いやすさ (CPU)

- (a) 汎用レジスタ方式、可変長命令コードなど高級言語のインプリメントに適したアーキテクチャの採用
- (b) ワード境界をまたぐアクセスの自動分割
- (c) レジスタ-レジスタ間の演算を強化した99命令、9アドレッシングモードの命令体系

(3) 周辺機能

- (a) メモリ容量
  - ROM：48Kバイト
  - RAM：3Kバイト
- (b) 64Kバイト空間をサポートするDMAコントローラ

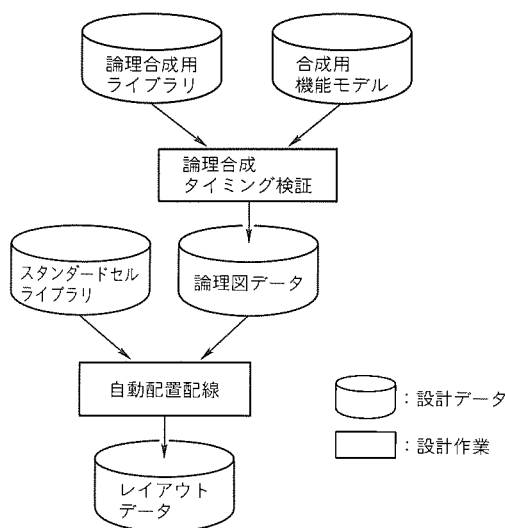


図3. CPUコアの設計フロー

- (c) サンプル&ホールド機能付き10ビットA-D変換器
- (d) クロック同期と非同期のマルチ機能のシリアルI/O
- (e) 6種類の機能を選択できる16ビットマルチタイマ

### 3. 低消費電力・高性能化

バッテリーや電池などで動作する携帯電話やカメラなどの個人向け電子機器は、消費電力が重要なファクタである。

消費電力は、

$$P = IE = E \cdot E/R \dots\dots\dots (1)$$

という式で表されるように電圧の2乗に比例するため、単純に動作電圧を下げるだけで、効果的に消費電力を下げるができる。

例えば、動作電源を5Vから3Vに変更すれば消費電力は約36%まで下がる。しかし、動作電圧を下げると動作周波数も下がり性能が落ちる。そこで、動作電圧を下げて性能を落とさないことの確認と設計を行った。

#### 3.1 CPUコアの低電圧化

M16シリーズではCPUのような大規模論理回路設計に際し、設計品質向上及び開発工期短縮のため、ハードウェア記述言語(以下“HDL”という。), 論理合成, 自動配置配線などのトップダウン設計技術を開発当初から適用していた。

図3にCPUコアの設計フローの一部を示す。図の合成用機能モデルは、論理合成可能なHDL記述された設計データを示し、論理合成用ライブラリは三菱ASICとして実績のあるライブラリを用いた。合成用機能モデルを論理合成し、タイミング検証を行って論理図データを作成する。そして、その論理図データを基に、三菱ASICとして実績のあるスタンダードセルライブラリを用いて自動配置配線を行う。

図4の上図にこのフローで作成されたM16シリーズ第一弾のM31000S2のF-Vシュムープロットを示す。図の縦

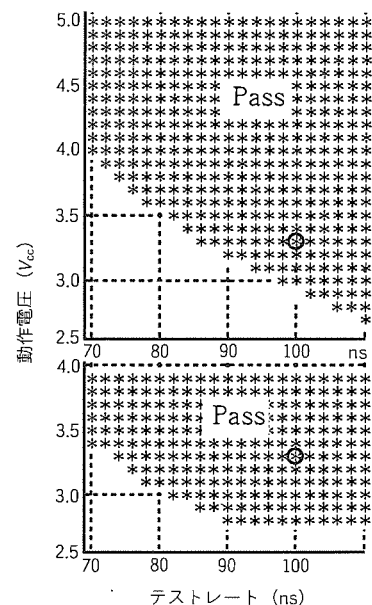


図4. F-Vシュムープロット

軸は動作電圧、横軸はテストレートを示す。テストレート 100 ns が 10 MHz 動作を示す。そして、“\*”はテストのパスを示す。M31000S2 のターゲットは動作電圧 5 V、動作周波数 10 MHz であるので、図から十分に余裕があると分かる。

そして、M16/12 のターゲットは、動作電圧 3.3 V、動作周波数 10 MHz である。M31000S2 の CPU を用いてもスペックは満足しているので、合成用機能モデルの記述変更による性能向上は図らず、論理合成時のタイミング検証で、クリティカルパスのディレイ値を短縮するアプローチで設計を行った。その結果を図 4 の下図に示す。

### 3.2 周辺 I/O の低電圧化

周辺 I/O は前述の CPU コアと異なり、マルチ機能を付加するため新たに設計した。論理設計規模が CPU ほどこきにならないので、設計は人手論理設計を行った。論理検証を行う際、仮想遅延込みのシミュレーションを行うことでタイミング検証も行った。通常論理シミュレーションは、ロジックの入力に対して論理を取り直ちに出力する。

図 5 に示すロジックにおいて入力  $a$  が“H”，入力  $b$  が“L → H”に変化すると、直ちに出力  $e$  が“H → L”に変化する。図 6 にその波形を示す。

今回の論理の伝搬遅延を考慮して行った論理シミュレーションでは、図 7 に示すように、入力  $b$  の変化のエッジから出力  $e$  が変化するまでに遅延を持たせた。この値は、本来レイアウト完了後に容量を算出し、その値とロジックのトランジスタ能力から算出できる。しかし、ハンドクラフトレイアウト完了後タイミング検証を実行し、その結果をフィードバックして論理変更を行うと、ターンアラウンドの長い設計になる。そこで、論理設計時にロジックにトランジスタサイズの情報をつ加し、論理シミュレーションの際、一つのロジックが駆動するトランジスタの総サイズと駆動トランジスタのサイズから次式に従って仮想遅延値を算出し、論理シミュレーションに反映させた。

$$t = a \cdot W_o / W_i + b \cdot W_i \dots\dots\dots (2)$$

ここで、 $t$ ：ディレイ時間

$W_o$ ：駆動するトランジスタのサイズ

$W_i$ ：駆動トランジスタのサイズ

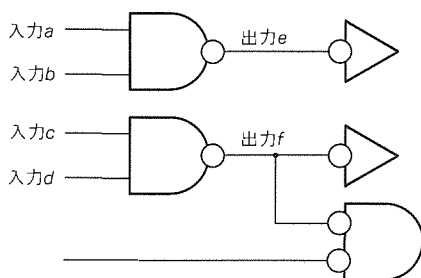


図 5. ロジック図

$a$ ：3 V 系での係数

$b$ ：配線係数

配線係数  $b$  を導入した理由は、

● 複数のロジックを駆動すると、配線も増える。

● ブロック間をまたがる信号の場合、配線は長くなる。

そのため、駆動トランジスタのサイズは通常大きく設計する。逆に言えば、駆動トランジスタのサイズが大きいときは配線も多いと考えられる。そこで、駆動トランジスタのサイズに応じた配線遅延を考慮に入れたモデルを考えたためである。

このような設計方法で、低電圧でも 10 MHz 動作の確実性を高めた。

### 3.3 パワーコントロール機能

M16/12 は、M16/10 でサポートしていた STOP モード（外部クロック発振子の発振を止める機能）と SLEEP モード（クロック発振子からのクロックを CPU コアと内蔵周辺 I/O に伝えない機能）に加えて、ウェークアップ機能と内部クロックの分周比を変更できる機能、システムクロック出力の分周比を変更できる機能とを追加した。

これらの機能はマイコンがいつでも全力動作である必要がなく、必要時のみ高速に動作することによって、システムトータルの消費電力を抑える用途において有効である。

#### 3.3.1 ウェークアップ機能

SLEEP モードは、外部源発振を動かしたままで CPU や内蔵周辺機能の内部クロック供給を停止し、低消費電力化を行う機能である。M16/10 では、SLEEP モードからの復帰をリセット又はノンマスクابلインタラプトの入力で行っていたが、M16/12 では、複数の外部端子をウェークアップ端子として設定することを可能とし、これらの端子によって SLEEP モードからの復帰が可能な仕様とした。

この機能によって、電子機器のキーが押されるまで内部クロックを停止しておき、起動がかかると高速にデータ処理を

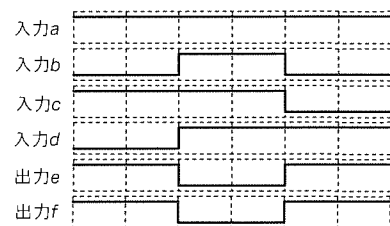


図 6. 論理シミュレーションの波形

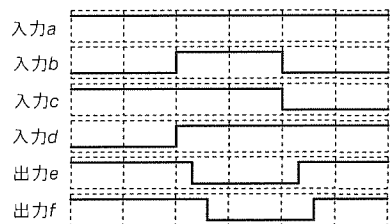


図 7. 負荷を考慮に入れたときの波形

行わせることで、要求性能を満足させながら機器全体の消費電力を抑えることができる。また、電子機器が SLEEP モードに入る際ウェークアップ端子の設定を変更することにより、復帰するキーを変えるなど、柔軟な対応が可能となっている。

### 3.3.2 内部クロック分周機能

M16/10の内部クロックは、外部源発振の周波数を1/2にして用いていた。これに加えて M16/12は、1/4、1/8と低速なクロックもプログラムによって選択可能にした。消費電力はクロックに比例して、1/2、1/4に抑えられる。この機能は前述のように、電子機器のキーが押されるまで内部クロックを低速にしておき、起動がかかると高速にデータ処理を行わせることでシステムのクリティカル処理に対する要求性能は満足させながら機器全体の消費電力を抑えるのに有効である。

### 3.3.3 システムクロックの分周機能

M16/12は、プログラムを内蔵メモリのデータのみで動作するシングルチップモードのときは、源発振のクロックから分周したクロック PCLK を出力する。このクロックは、2分周、4分周、8分周、16分周、32分周、又は“H”レベル出力、“L”レベル出力のいずれかをプログラムで選択し、PCLK 端子から外部へ出力する。

チップから出力するシステムクロックを可変とすることによって、マイコンほど高速性を要求されない外部機器は低速で駆動し、マイコン内部の演算処理のみ高速処理するという低消費電力システムを構築できる。

## 4. 小型・高機能化

システム全体を小型化するためには、“LSI 自体を小さくし、より多くの周辺機能を集積する”ことによって“外付け周辺回路の数を減らす”ことが重要である。

### 4.1 完全シングルチップMCU

M31010E3 HP は、プログラムとデータテーブルを記憶する48K バイトの ROM と、センサ出力や通信データ等を一時記憶するための3K バイトの RAM を搭載している。また、周辺機能として DMA コントローラ、10ビット A-D 変換器、マルチ機能のシリアル I/O、16ビットマルチタイマ、チップセレクトコントローラ、監視タイマ、割込みコントローラ、クロック&パワーマネージャを搭載している。

内蔵 ROM は32ビットデータバスで CPU と接続されるので、CPU の命令フェッチに対して1度のサイクルで4バイトのデータを渡すことができる。また、外部 ROM へのアクセスは16ビットデータバスで行われるので、1度のフェッチサイクルは2バイトになり、内蔵 ROM ベースに比べて半分となる。この様子を示したのが図8である。図は1度の命令フェッチに渡されるデータ量をアクセス時間で割ったフェッチの効率を、ノーウェイト外部 ROM ベース基準に示した図である。

M16 シリーズの CPU は、16ビット命令長が主であるので、1命令1サイクルのプログラム実行であれば、ノーウェイト外部 ROM ベースで滞りなく命令が実行されることになる。しかし、M16/12では、内蔵周辺 I/O と内蔵 RAM のデータの受渡しを DMA コントローラに受け持たせるため、DMA コントローラの転送サイクルが必要になる。このサイクルが入ると、CPU はノーウェイト外部 ROM ベースでも、命令を連続実行できなくなる。しかし、内蔵 ROM ベースでは、1度のフェッチで2命令のデータを取り込むことができるため、バス転送がボトルネックとならず、バスサイクルに空きが生じる。その結果、DMA コントローラの転送サイクルとのバスアクセスの衝突の回数が減り、M16の高速・高性能化が容易にできる。

### 4.2 周辺 I/O のマルチ機能化

周辺 I/O の高機能化はピン数増大の要因となる。逆に機能を削減してピン数を減らすと、特定用途への限定度合いが強まり、汎用性が失われる。例えば、EEPROM とシリアルデータのやり取りを行うには、クロック同期シリアル I/O

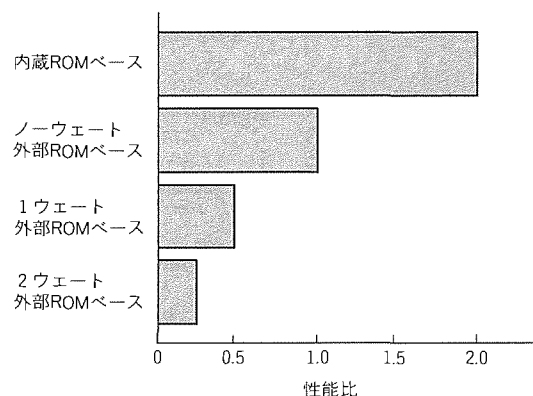


図8. インストラクションフェッチのピーク性能比

表1. 各タイマと機能

	定周期タイマ	PWM	ワンショット	周期計測	1相イベント	2相イベント
タイマA0	○			○	○	○
タイマA1	○			○	○	○
タイマB0		○	○			○
タイマB1		○	○			○
タイマC0	○	○	○			
タイマC1	○	○	○			

Oで十分である。クロック同期シリアルI/Oだけサポートしピン数の削減を行えば、パソコンとRS-232Cで接続することが必要な機器には不向きになってしまう。そこで、M16/12では、どちらもサポートしながらピン数を減らす工夫をした。すなわち、シリアルI/Oをクロック同期式シリアルI/OとUARTのどちらのモードでも動作でき、ソフトウェアで選択可能とした。

同様に、16ビットタイマも各チャネルをマルチ機能化した。タイマは6チャネル搭載したが、各チャネルへの機能・ピンの分配はモータ制御応用を中心に決定した。表1にタイマの各チャネルのモードを示した。

以上のように、M16/12はピン数削減の工夫により、0.5mmピッチ100ピン小型QFPパッケージに封止した。

### 5. む す び

新16ビットシングルチップマイコンM16ファミリの第二弾製品M16/12グループについて、その概要、低消費電力・高性能・小型化を行った設計方法及びM16/10から変更した機能等について紹介した。

M16/12グループは、応用システムの高性能化、低消費

電力化、小型化をターゲットにおいたシングルチップマイコンである。そして、今後も市場の要求に応じて、CPUコアの展開、周辺機能の展開、メモリの展開の三次元の展開でこたえていく予定である。

最後に、M16/12の開発に当たって有益な助言をいただいた関係者各位に深く感謝の意を表す。

### 参 考 文 献

- (1) 中尾裕一, 北上尚一, 清水 徹, 三輪久晴, 水垣重生: 高性能新16ビットマイクロコントローラ“M16シリーズ”, 三菱電機技報, 68, No.3, 231~235 (1994)
- (2) 岩田俊一, 清水 徹, 土居俊雄, 中尾裕一, 水垣重生, 三輪久晴: 1チップマイクロコンピュータM16の機能設計, 電子情報通信学会, ICD93-88, DSP93-49 (1993-9)
- (3) 土居俊雄, 岩田俊一, 梶井規雄, 前田弘美, 水垣重生, 清水 徹: 1チップマイクロコンピュータM16の開発(2)パイプラインの状態を考慮した機能検証, 情報処理学会第47回全国大会講演論文集(6) (1993)



# 16ビットマイコン7700ファミリ — 40MHz対応7751シリーズ —

伊藤 栄\*  
小松裕史\*\*

## 1. ま え が き

三菱電機(株)は16ビットマイコン7700ファミリとして、1987年に最初の製品を発表して以来、一般産業/高位民生用7700シリーズ、VTR用7770シリーズ、自動車用7790シリーズの3シリーズを柱として、同一CPUコアにそれぞれの分野に応じた周辺機能をオンチップ化した品種展開を行い、ファミリの充実を図ってきた(図1)。

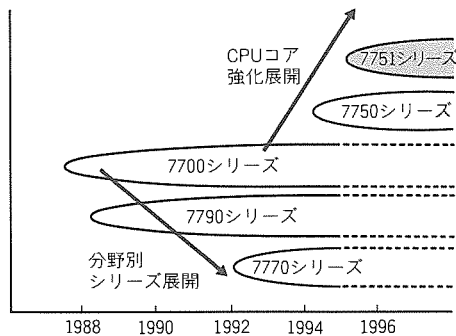


図1. 7700ファミリの展開

表1. M37751E6BFPの性能概要

項 目		性 能
基本命令数		109 (M37750命令セット+積和演算命令)
最大動作周波数		$f(X_{IN}) = 40\text{MHz}$ : 最短命令実行時間100ns
メモリ容量	PROM	48Kバイト
	RAM	2,048バイト
入出力ポート	P0~P2, P4~P8	8ビット×8
	P3	4ビット×1
多機能タイマ	TA0, TA1, TA2, TA3, TA4	16ビット×5
	TB0, TB1, TB2	16ビット×3
シリアルI/O		(UART又はクロック同期形)×2
A/D変換器		10ビット×1(8チャンネル)
監視タイマ		12ビット×1
割 込 み		外部3要因, 内部16要因 各割込みごとにレベル0~7までの割込み優先レベルをソフトウェアで設定可能
クロック発生回路		内蔵(セラミック共振子又は水晶共振子外付け)
電 源 電 圧		5V±10%
消 費 電 力		125mW (外部クロック入力周波数40MHz時)
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能(最大16Mバイト)
動作周囲温度		-20~85°C
素 子 構 造		CMOS高性能シリコンゲート
パッケージ		80ピンプラスチックモールドQFP (80P6N)

特に近年、マイコン応用機器の高機能化・高性能化によって16ビットマイコンの需要は急増しており、それに伴って今後の開発品に対する機能・性能向上への要求・期待も高まっている。当社ではこれらの要求・期待を背景に、既存シリーズの品種展開と平行して、これらのシリーズで共通に使用してきたCPUコアの機能・性能を向上させた新シリーズの開発にも積極的に取り組んでいる。

その成果として、CPUコア強化版の第一弾として、既に1994年には7750シリーズを製品化し、さらに今回その第二弾として7751シリーズの最初の製品であるM37751E6BFPの開発に成功した。

以下この論文では、7700ファミリのCPUコア強化と特長、及びそれを実現するための技術ポイントについて述べる。

## 2. 7751シリーズの概要と特長

表1に7751シリーズの最初の製品として開発したM37751E6BFPの性能概要を示す。網かけの部分が今後の展開品種で共通に使用される7751CPUコアの性能諸元である。

M37751E6BFPは、このCPUコアに48KバイトEPROM、2KバイトRAM、及び従来の7700シリーズで標準装備されている周辺機能(タイマ、シリアルI/O、A/D変換器等)をオンチップ化した製品である。

従来の7700CPUコアに対する7751CPUコアの強化ポイントは、

- (1) 外部クロック入力周波数40MHz時、20MHzでの高速動作が可能(7700CPUコアは外部クロック入力周波数25MHz時、12.5MHz動作が最大)
- (2) アルゴリズムの改良、ハードウェアの追加による命令実行サイクル数の短縮。特に乗除算命令は、従来コアの約1/2~3/4のサイクル数で実行

### (3) HDD 制御に適した積和演算命令の搭載

以下の章では、上記強化ポイントについて、その実現手段の詳細を述べる。

## 3. 動作周波数の向上

### 3.1 動作周波数向上実現の基本コンセプト

図2に従来コア(7700 CPU コア)を搭載した現在の主力製品のひとつである M37702E6BFP のブロック図を、また図3に7751 コアを搭載した M37751E6BFP のブロック図を示す。

従来製品では、外部から入力されたクロック(最大 25 MHz)から、クロック発生回路によって、演算処理装置(以下“CPU”という。)を動作させるクロック  $\phi_{CPU}$ 、バスインタフェース装置(以下“BIU”という。)を動作させるクロック  $\phi_1$ 、及び内蔵周辺デバイスを動作させるクロック  $\phi_2$  がそれぞれ生成される。従来コアでは、これらのクロック  $\phi_{CPU}$ 、 $\phi_1$ 、 $\phi_2$  はすべて外部クロックを2分周したもので最大 12.5 MHz であり、CPU と BIU 間のデータ転送も同じく 12.5 MHz で行われる。また、内部バスを介した BIU と内蔵周辺デバイス間のデータ転送は、6.25 MHz、外部バスを介した外部デバイスとのデータ転送は、6.25 MHz 又は 4.17 MHz のいずれかが選択可能である。

以上のような従来製品の構成をベースに、7751 シリーズの最初の製品である M37751E6BFP の開発に当たっては、“開発期間短縮のため、内蔵周辺デバイスはできる限り従来シリーズの資産を流用し、機能・性能強化の主眼をコアブロックにおき、なおかつ強化されたコアの性能が十分引き出せるように、既存ブロックとの調和に十分配慮する。”ことを基本コンセプトとし、以下の方針によって図3に示したブロック構成を採用した。

(1) 外部クロック入力の最大周波数を 40 MHz とし、CPU 及び BIU はこれを2分周した 20 MHz のクロック  $\phi_{CPU}$ 、 $\phi_1$  で動作できるように高速化する。また、CPU と BIU 間のデータ転送も 20 MHz で行う。

(2) 内蔵周辺デバイスは従来製品の資産を流用する。このため、内蔵周辺デバイスを動作させるクロックは、外部クロックを4分周した  $\phi_4$  (= 10 MHz) とする。また、内部バスを介した BIU と内蔵周辺デバイス間のデータ転送は、従来とほぼ同等の 6.67 MHz とするが、高速アクセスが可能な RAM のみ 10 MHz とし、7751 CPU の高速性を生かせるようにする。

(3) 外部デバイスとのデータ転送は、6.67 MHz、5 MHz、4 MHz のいずれかを選択できるようにし、外部デバイスの速度に応じた選択の自由度を拡大する。

### 3.2 CPUの動作周波数向上

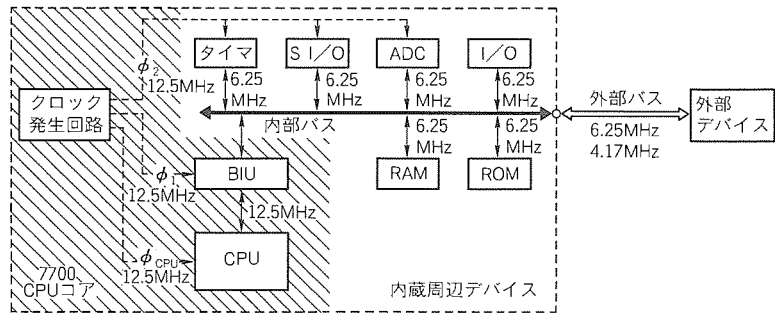


図2. M37702E6BFPのブロック図

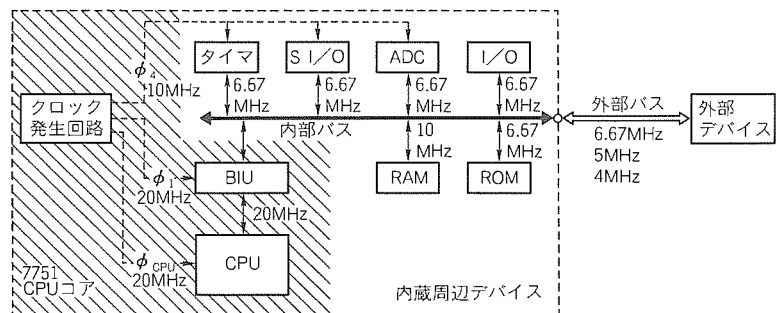
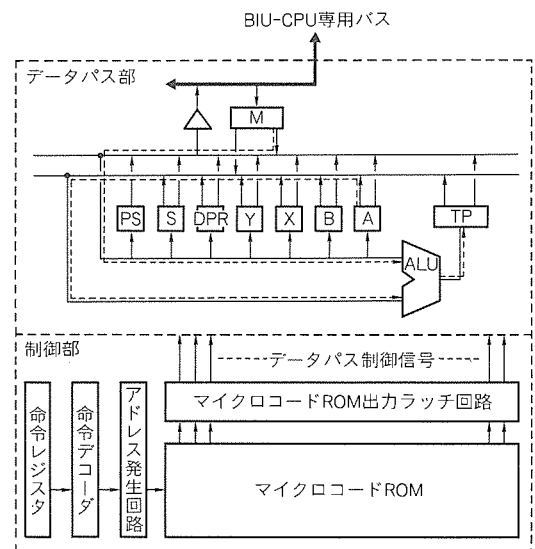


図3. M37751E6BFPのブロック図



TP : 一時格納レジスタ  
A : アキュムレータA  
B : アキュムレータB  
X : インデックスレジスタX  
Y : インデックスレジスタY  
DPR : ダイレクトページレジスタ  
S : スタックポインタ  
PS : プロセッサステータスレジスタ  
M : データ格納レジスタ  
ALU : 算術論理演算装置

図4. 7751CPUのブロック図

3.1 節で述べたように、CPU の動作速度を従来の最大 12.5 MHz から 20 MHz へ向上させることが、コア強化の第一のポイントとなる。図4は7751 CPU のブロック図であり、基本構成は従来コアのCPUと同じである。CPU の動作速度に関しては、従来コアのCPU の内部信号波形観測の蓄積データから、その制限要因が以下の2点であることが把握されている。すなわち、

(1) “命令デコード→マイクロROM アドレス発生→マイク

ロ ROM 読出し”のステージは、 $\phi_{\text{CPU}}$  の 1 サイクルで実行される。

(2) “内部レジスタ (例えばアキュムレータ A) と外部から読み込まれたデータ (レジスタ M に格納) との加減算を ALU (Arithmetic Logic Unit: 算術論理演算装置) で実行し、一時格納レジスタ TP へ格納”するステージ (図中破線で示した経路) も  $\phi_{\text{CPU}}$  の 1 サイクルで実行される。

したがって、7751CPU では、特にこの二つのステージの高速化に重点をおき、以下のような手段を講じた。

- 命令デコーダは、Nチャネルトランジスタのドミノ回路を駆使するとともに、デコードの並列度を増して入力から出力までのゲート段数を減らして高速化を図った。
- マイクロコード ROM は、高速化のために従来どおりほぼ完全な水平型を維持しつつ、マイクロルーチンの複数命令での共用化を徹底的に図り、サイズの増大を最小限に抑えた。
- ALU には 4 ビットごとのけた上げ先見回路を導入し、16 ビットデータの加減算速度の高速化を図った。

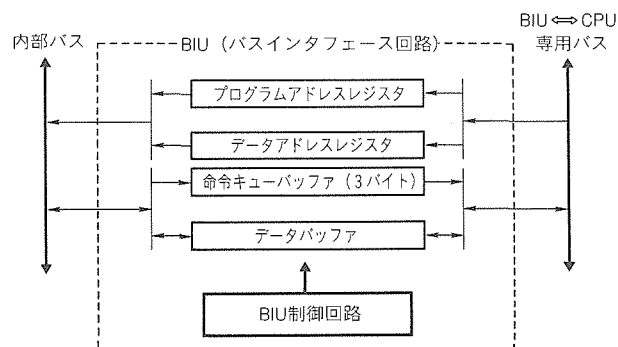


図 5. BIU (バスインタフェース回路) のブロック図

また、M37751E6 BFP は、アルミ配線一層のプロセスを使用するため、レイアウト設計では特に信号の遅延に細心の注意を払い、トランジスタサイズの最適化と併せて上記クリティカルパスの高速化に配慮した。

### 3.3 BIUの機能強化

CPU の動作が高速化されると、次に CPU と他のデバイス間のデータ転送能力がコア性能向上のボトルネックとなる。7700 ファミリーでは、CPU と他のデバイス間に図 5 に示す構成を持った BIU を設け、データ転送の効率化を図っている。

特に 7751 シリーズでは、CPU の動作速度とバスを介したデータの転送速度の開きが更に大きくなることから、高速化された CPU の性能をできる限り発揮させるためには、BIU の機能の見直しが必要となる。

具体的には 3.1 節で説明したように、従来シリーズの製品では、内部バスのデータ転送速度は一律に 6.25 MHz であったが、内蔵の RAM は ROM や周辺機能よりも実力的に高速アクセスが可能であるため、M37751E6 BFP では、RAM を 10 MHz アクセス、その他を 6.67 MHz アクセスとした。また、外部バスに関してもアクセス速度の異なる種々のデバイスが接続可能なように、6.67 MHz、5 MHz、4 MHz の三者択一という形を採っている。それぞれのデバイスをアクセスするときのバス波形を図 6 に示す。

## 4. 命令実行サイクル数短縮と命令セット拡張

### 4.1 乗除算命令の実行サイクル数短縮

CPU の演算性能を向上させるためには、前章で述べた動作クロックの高速化とともに、各命令の実行サイクル数の短縮を図ることが重要なのは言うまでもない。なかでも比較的実行サイクルの長い乗除算命令の短サイクル化は、その第一候補である。また、従来の 4、8 ビットマイコンが主にビッ

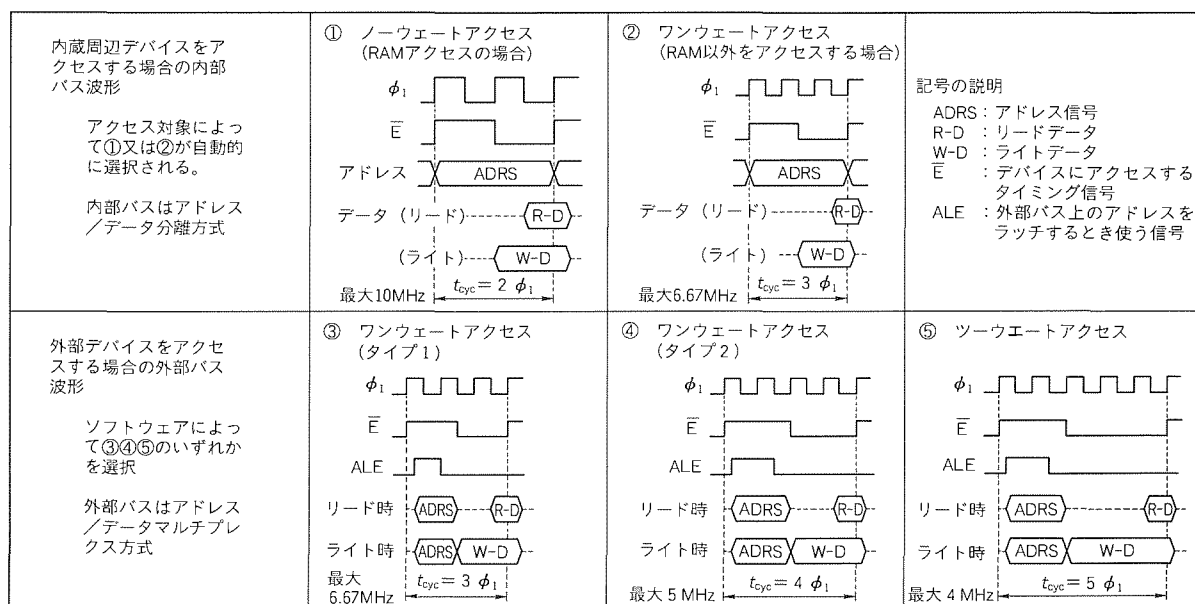


図 6. BIU が内蔵周辺デバイス／外部デバイスにアクセスする際のバス波形

ト処理中心の単純制御に用いられたのに対し、16ビットクラスのマイコンにはデータ演算に基づいた複雑な制御への応用が要求されることから、乗除算命令の高速化は実アプリケーションでの効果が大きいと考えられる。

乗除算命令実行の短サイクル化に関しては、既に数多くの方法が提案されているが、7751CPUではコストパフォーマンスの観点から、乗算に“ブースの2次のアルゴリズム”を採用し、また除算においても演算アルゴリズムの改良によって短サイクル化を実現した。ここでは、アルゴリズムの詳細には触れず、従来のCPUとの実行サイクル数の比較のみを

表2. 乗除算命令の実行サイクル数比較

サポート命令	演算長	7700CPUコア (12.5MHz)	7750CPUコア (12.5MHz)	7751CPUコア (20MHz)
符号なし乗算	16×16	26φ <sub>1</sub> (2.08μs)	26φ <sub>1</sub> (2.08μs)	16φ <sub>1</sub> (0.80μs)
符号付き乗算	16×16	—	31φ <sub>1</sub> (2.48μs)	16φ <sub>1</sub> (0.80μs)
符号なし除算	32÷16	45φ <sub>1</sub> (3.60μs)	45φ <sub>1</sub> (3.60μs)	35φ <sub>1</sub> (1.75μs)
符号付き除算	32÷16	—	48φ <sub>1</sub> (3.84μs)	33φ <sub>1</sub> (1.65μs)

表2に示す。表から明らかなように7751CPUの実行サイクル数は、乗算が従来の約1/2に、除算が約3/4に短縮されている。これを実現するためのハードウェアの増加(レイアウト面積増)は、約10%である。

## 4.2 積和演算命令の搭載

4.1節でも述べたように16ビットクラスのマイコンには、データ演算に基づいた複雑な制御手法に対応可能なデータ処理能力が要求される。特に制御理論に基づいて行列方程式の解を求めるような場合には、積和演算能力の大小が重要なポイントとなる。

7751シリーズでは、上記乗算命令の短サイクル化を更に有効活用するために、メモリ上に配置された係数列 $[a_0, a_1, \dots, a_n]$ と $[b_0, b_1, \dots, b_n]$ から、その積和

$$S = a_0 \cdot b_0 + a_1 \cdot b_1 + \dots + a_n \cdot b_n$$

を求める命令を新たに追加した。ここで係数 $a_i, b_i$ の積は16ビット長×16ビット長の符号付き乗算、また加算は32ビット長の符号付き加算として実行される。仕様の詳細については図7に示す。

## 5. レイアウト設計

図8にM37751E6BFPのチップ写真とレイアウトブロック図を示す。M37751E6BFPは、1.0μm CMOSプロセスを用い、8.02mm×8.28mmのチップサイズに約58万トランジスタを集積している。また、今回新規設計した7751CPUコアは2.5mm×2.5mmに約4万トランジスタを集積しており、非常にコンパクトで高密度なレイアウト設計がなされている。

図9は7700、7750、7751コアのレイアウトサイズを比較したもので、その面積比はおよそ1:1.1:1.4である。7750コアの面積増の要因は、主に命令追加によるマイクロROMサイズの増大である。7751コアでは、さらにデコード回路の増大等によって制御ブロックが約20%、また乗除算命令の高速化や積和演算命令のサポート等に伴うハードウェア増により、データパス部が約10%の面積増につながっている。

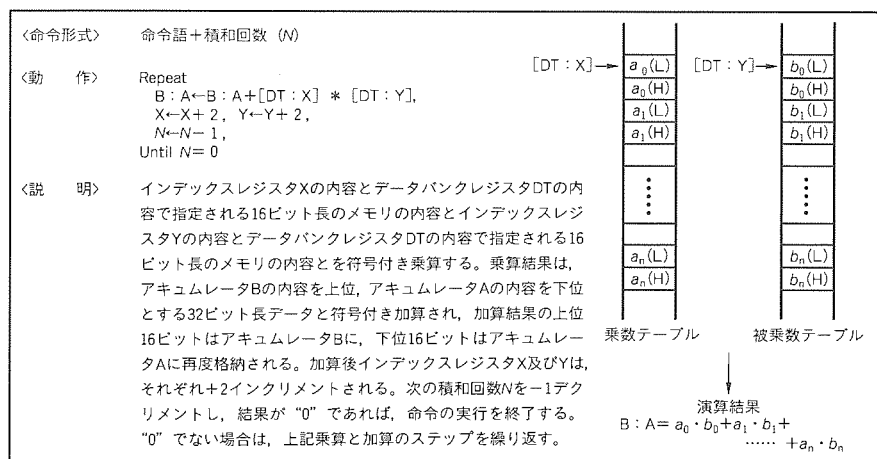


図7. 積和演算命令の概略仕様

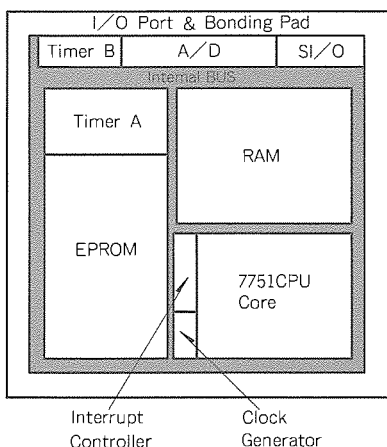
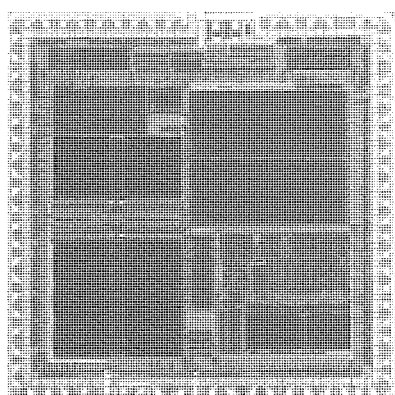
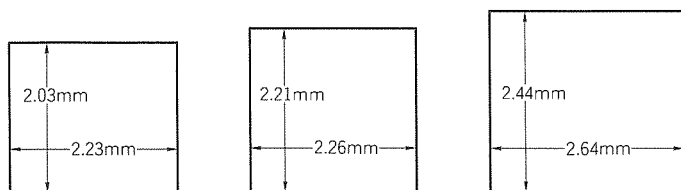


図8. M37751E6BFPのチップ写真とレイアウトブロック図



(a) 7700CPUコア (b) 7750CPUコア (c) 7751CPUコア

図9. 各シリーズのCPUコアのサイズ比較

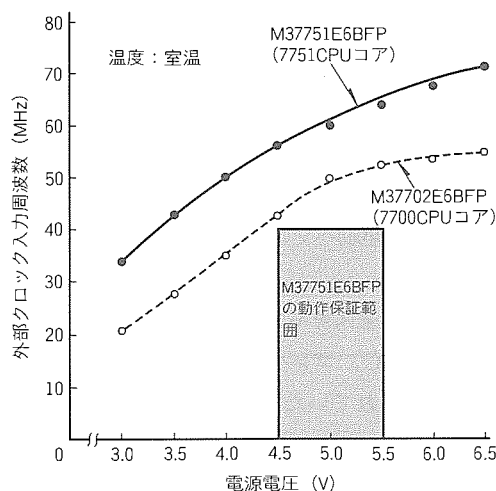


図10. M37751E6BFPの限界動作周波数の測定結果

## 6. 性能評価

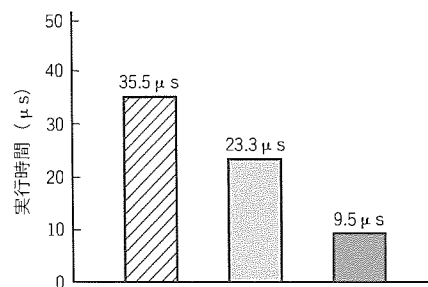
### 6.1 評価ボードを用いた性能評価

図10は7751CPUコアで実行可能な全命令を含む評価プログラムを内蔵のEPROMに書き込み、このプログラムを7751CPUで実行させたとき、正常動作する限界周波数(外部クロック入力周波数)を電源電圧をパラメータとして測定した結果である。プログラムの実行には内蔵のRAMも使用している。

同図にプロットした7700CPUコアに比べ、約30%程度の動作速度の向上が達成されており、40MHzの動作保証をするのに十分なマージンを持っていることが分かる。

### 6.2 ベンチマーク評価

図11はHDDの制御に応用する際に、その制御プログラムの心臓部となるサーボ演算部分を7700, 7750, 7751の各シリーズのCPUコアで実行した場合の実行時間を比較したものである。



CPUコア	→ 7700	7750	7751
動作周波数	→ 25MHz	25MHz	40MHz
プログラムサイズ	→ 204バイト	73バイト	50バイト
実行サイクル数	→ 444φ <sub>1</sub>	291φ <sub>1</sub>	190φ <sub>1</sub>

図11. 各シリーズコアのベンチマーク評価

演算内容は、行列方程式を解く際に多用される符号付き数の積和演算を中心としたものである。7700 CPU コアは、符号付きの乗算命令を持たず、ソフトウェアによってサブルーチンで処理しなければならないため、35.5 μsの実行時間を要している。これに対し、7750CPU は符号付き乗算命令がサポートされているため23.3 μsに短縮される。さらに、7751CPU では、動作周波数の向上、乗算の実行サイクル数短縮、及び積和演算命令のサポートの効果によって実行時間は9.5 μsとなり、7700CPU コアの約3.7倍、7750CPU コアの約2.5倍の演算能力を持っている。

## 7. むすび

16ビットマイコン7700ファミリのCPUコア強化展開の最新シリーズの概要と、シリーズ最初の製品であるM37751E6BFPについて述べた。

今回7751シリーズ用に開発した7751CPUコアは、動作周波数の向上、命令実行サイクル数の短縮、新規命令の追加などによって、従来コアに比べて高いデータ処理能力を持っており、特にハードディスクの制御用等の高速処理の必要な応用に最適な製品である。

今後は、まず第一にここで紹介したEPROM版に加えて、マスクROM内蔵版及びフラッシュメモリ内蔵版を順次開発する予定である。さらに、必要に応じてROM/RAM容量の異なる展開品種、応用分野に適合した周辺機能を搭載した展開品種も開発を検討し、シリーズの充実を図っていきたいと考えている。

# Phoenixファームウェア搭載の 新世代キーボードコントローラ M3880X

田代 哲\* 古村 高\*\*  
阿部 稔\*\* 森脇昇平\*  
鈴木真一\*\*

## 1. ま え が き

現在、世界で最も普及しているパソコンは、IBM PC/A T<sup>(注1)</sup>とその互換機(以下“PC”という。)と言われている。日本では、日本語処理への対応が壁となってPCの普及が遅れていたが、DOS/Vの登場を機にようやくPCが普及し始めた。

近年、ノートブックパソコンにおいて携帯性、機能、価格等の点で目覚ましい進歩が見られる。ここ1年余りの間では、各大手パソコンメーカが競ってサブノートパソコンの販売を発表しており、今後更に多くのメーカによる市場攻防の激化が予想される。

ここで述べる3880グループ(以下“3880X”という。)は、今後のPCのキーボードコントローラ(以下“KBC”という。)に必要な機能を持った新世代の8ビットスレーブマイコンである。また、3880Xには、三菱電機(株)がPhoenix社に依頼開発した専用ファームウェア“MultiKey/3880L”<sup>(注2)</sup>を準備している。このように、3880Xはハードウェアとファームウェアの最適化によるシングルチップKBCである。

## 2. 開発のねらい

従来、KBCは一般的に汎用マイコンを用いて、ソフトウェアによって最適化されている。3880Xでは、KBC用シングルチップマイコンとして市場のニーズに応じた最適化を行うとともに、ファームウェアも許容されるROM容量の中で最高機能を発揮するよう、Phoenix社によって最新機能を盛り込んだ専用ファームウェアの最適化を行った(図1)。これは、半導体とファームウェアの関係をより親密にすることにより、従来複数の半導体チップで構成されていたKBCシステムを、単一のマイコンと専用ファームウェアだけで実現したものである。

従来からのKBCシステムにおける問題を解決し、今後のKBCシステムに必要な最新機能を持った半導体と専用ファームウェアの双方をタイムリに提供することが開発のねらいである。

以下に、今回行った半導体とファームウェアの最適化について述べる。

(注1) “PC/AT” “PS/2” は、米国IBM Corp.の商標である。  
(注2) “MultiKey/3880L”は、米国Phoenix Technologies Ltd.の商標である。

## 3. 最 適 化

### 3.1 半導体の最適化

従来のKBCシステムでは、一つのKBCシステムを構成するのに複数の半導体チップが必要である。これは、実装面積の問題や、消費電流の点でノートブックやサブノートパソコン等のバッテリー駆動パソコンの動作時間を左右する大きな問題につながる。

3880Xでは、従来スキャンコードコントローラ(以下“SCC”という。)、KBC、コンパレータやLEDドライバ等の複数チップで構成されていたものを、1.0μm CMOSプロセスを用いてシングルチップ化し、0.5mmピッチ64ピンQFPパッケージ(ボディサイズ:10mm×10mm)に集約し、パッケージの小型化を図った。

また、最新CMOSプロセスによる3.3V動作サポートや低消費電力化に加えて、WAIT及びSTOPモードの二つのパワーセーブモードにより、5V/8MHz動作時で6.4mA、WAITモード時で1.6mA、STOPモード時で0.1μA以下という低消費電力化を実現した。

さらに、キーマトリックススキャン機能では、メンブレンキーボードに特有なゴーストキー現象、すなわちキーマトリックス内の電流回り込みによって押していないキーがあたかも押されているように見える現象に対処した。これは、抵抗メンブレンキーボードとKBCに内蔵されたプログラマブルボルテージコンパレータを用いて、キー入力検出電圧の制御によって解決したことに加え、8キーロールオーバー以上のキー入力検出機能を可能にした。

このほか、8KバイトのROM、キーオンウェークアップ機能、プルアップ抵抗、LEDドライバポートの内蔵など、シングルチップKBCに要求される種々の機能を盛り込んで

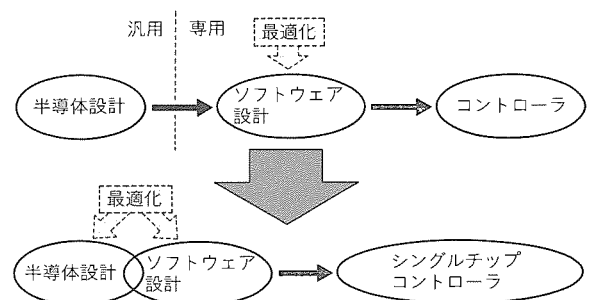


図1. シングルチップコントローラ開発へのアプローチ

機能の最適化を図った。

### 3.2 ファームウェアの最適化

Phoenix 社に依頼開発した専用ファームウェアでは、前述のパワーセーブモードを駆使し、システムマネジメント割込み (SMI) 対応 HotKey 出力機能により、周辺 IC のパワー制御も可能となっている。

また、OADG<sup>(注3)</sup> キーボードのサポート、3本の PS/2<sup>(注1)</sup> タイプキーボード/マウスインタフェース、接続デバイスの自動認識機能、PS/2 デバイスの Hot Plugability 機能、HotKey 出力によるボリュームやコントラストコントロール制御や、マトリックスのダウンロードによるカスタムキーボードへの対応など、従来にはない多様な機能を盛り込むことができた。

これは、シングルチップ KBC C 用ハードウェアとして 3880 × の機能最適化と、8 K バイトの内蔵 ROM 及び 384 バイトの RAM が、この多様な機能の実現に大きく貢献したといえる。

### 3.3 標準化困難な機能の排除

バッテリー駆動パソコンでは、Ni-Cd バッテリー、Ni-MH バッテリー、Li イオンバッテリーなどパソコンメーカーの機種ごとに多様なバッテリーが使われる。これらのパソコンでは、バッテリーのエネルギー残量監視機能を KBC システムに盛り込むことがある。しかし、バッテリーは特性ばらつきが大きく、パソコンメーカーはバッテリーエネルギー残量監視のためのマイコン用ファームウェアがなかなか確定できないという問題があり、標準化は困難である。このため、3880 × ではバッテリーエネルギー残量監視のための機能を盛り込まないこととした。

## 4. シングルチップキーボードコントローラ “3880 ×” の概要

(注3) OADG : Open Architecture Development Group

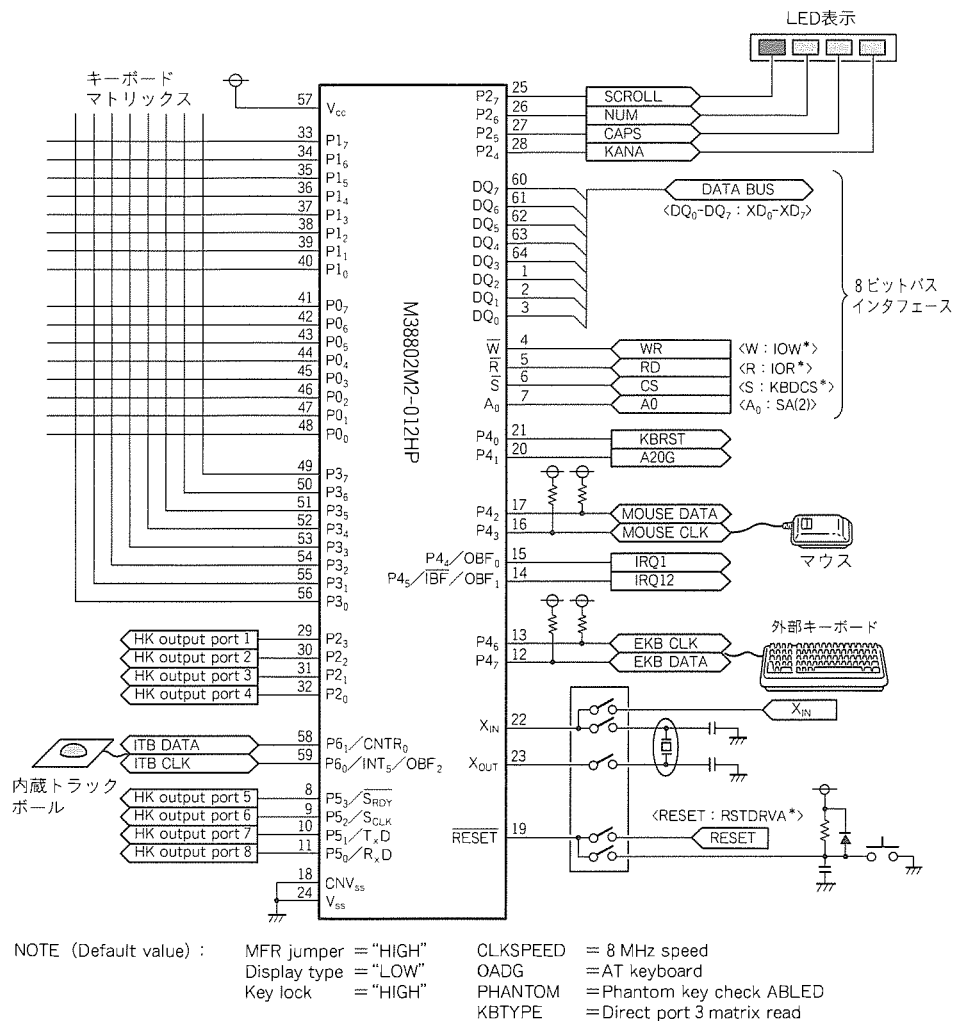


図 2. M38802M2 と MultiKey/3880L によるノートブックパソコン用 KBC への応用例

M38802M2 と Phoenix 社製 MultiKey/3880L の応用例を図 2 に示す。これらハードウェア、ファームウェアは、共にシングルチップ KBC として最適化されており、高機能な KBC システムが “Ready Made” ソリューションとして提供される。また、各パソコンメーカーによる仕様の追加変更要求に対しては、Phoenix 社がファームウェアのカスタマイズによって対応する。

## 5. む す び

これまで、3880 × と Phoenix 社製専用ファームウェアの意味とその概要について紹介したが、三菱電機(株)ではシステムに対するハードウェアとソフトウェアの双方によるシステム開発の重要性を認識しており、今後も市場ニーズに合った製品開発を行っていき、より一層お客様の愛顧にこたえていく所存である。

# 三次元グラフィックス用 フレームバッファメモリ (3D-RAM)

中村 尚\*  
井上一成\*  
河合浩行\*\*

## 1. ま え が き

三次元グラフィックスは、主として高性能ワークステーションやバーチャルリアリティの分野で使用されてきたが、今後マルチメディアの普及に伴い、PC (パソコン) やゲーム機の分野でも大きな市場が期待されている。

これまで一般的な画像メモリとして VRAM (Video RAM) があったが、動作速度はファーストページモードでも 25 MHz 程度であり、年々高速化されるグラフィックプロセッサのトレンドに追随できなくなっている。現在、高速化の要求にこたえるため、CDRAM (Cached DRAM), SD RAM (Synchronous DRAM) 等各種の画像メモリが開発されている。

一方、三次元グラフィックスでは、表示データに新しいデータを追加するごとに大量のデータをフレームメモリからいったん外部に読み出し、レンダリング LSI で新しいデータと演算した後フレームメモリに書き戻すという処理が必要のため、フレームメモリとレンダリング LSI を接続するバスの変幅が高速化のボトルネックであった (図 1)。

3D-RAM は、CDRAM で培った技術を用い、VRAM にキャッシュメモリと演算コア (ピクセル ALU) をオンチップ化し、三次元グラフィックシステム向けに最適に構成した高性能画像メモリである (図 2)。最大 100 MHz のフルシンクロナス動作設計による高速化に加え、従来レンダリング LSI で行っていた三次元グラフィックス基本処理をピクセル ALU でサポートすることにより、新しいデータの書き込み動

作だけで表示データが生成でき、上記変幅のボトルネックを解消することができた。3D-RAM の特長を表 1 に示す。

なお、3D-RAM は、Sun Microsystems Computer Corporation と当社が共同で開発した。

## 2. 3D-RAMの構成

今回開発した 3D-RAM は、10M ビットの DRAM、1 K ビットのシリアルアクセスメモリ (SAM)、2 K ビットの SRAM 及び 20 K ゲートのピクセル ALU から構成されている (図 3)。DRAM は 4 バンク構成であり、標準的な EWS のフレームサイズ (1,280 × 1,024) の 8 プレーン分のデータを格納できる。二つの DRAM バンクが一つの SAM を共有し、2 ウェイインタリーブでクロック (71.4 MHz) に同期してビデオデータ (× 16 ビット) を高速に出力する。SRAM は、表示データを変更する際のピクセルキャッシュとして使用され、DRAM と 256 ビット幅バスで接続されている。ピクセル ALU は、三次元グラフィックスに必要な  $\alpha$  ブ

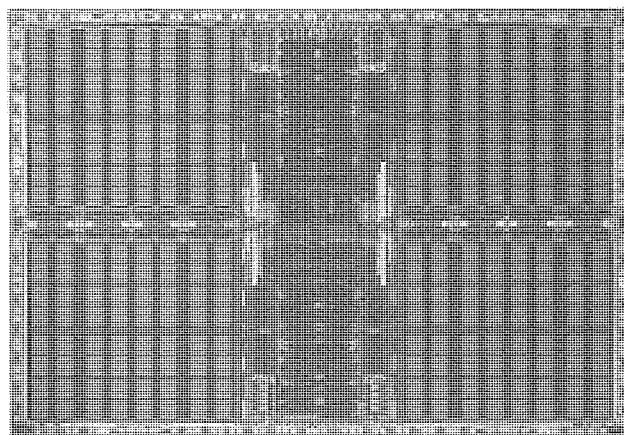


図 2. 3D-RAMチップ写真

表 1. 3D-RAMの特長

チップサイズ	141.0 mm <sup>2</sup> (9.94 × 14.18)
動作	完全同期式
マスタクロック周波数	100 MHz / 77 MHz / 67 MHz
ビデオクロック周波数	71.4 MHz
電源電圧	3.3V ± 5 %
入出力レベル	LVTTL
パッケージ	128ピンQFP
ウェーブプロセス	0.5 $\mu$ m CMOS プロセス

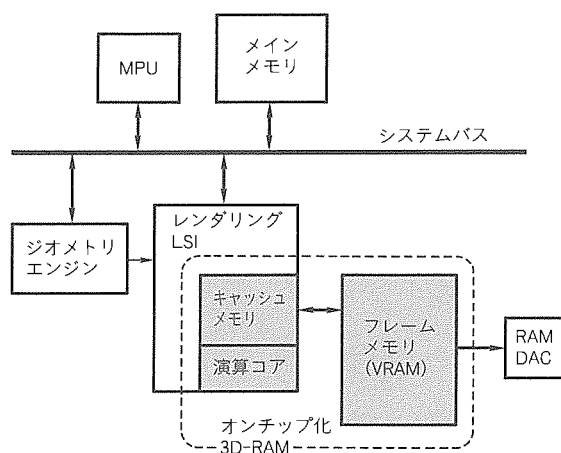


図 1. 三次元グラフィックシステム



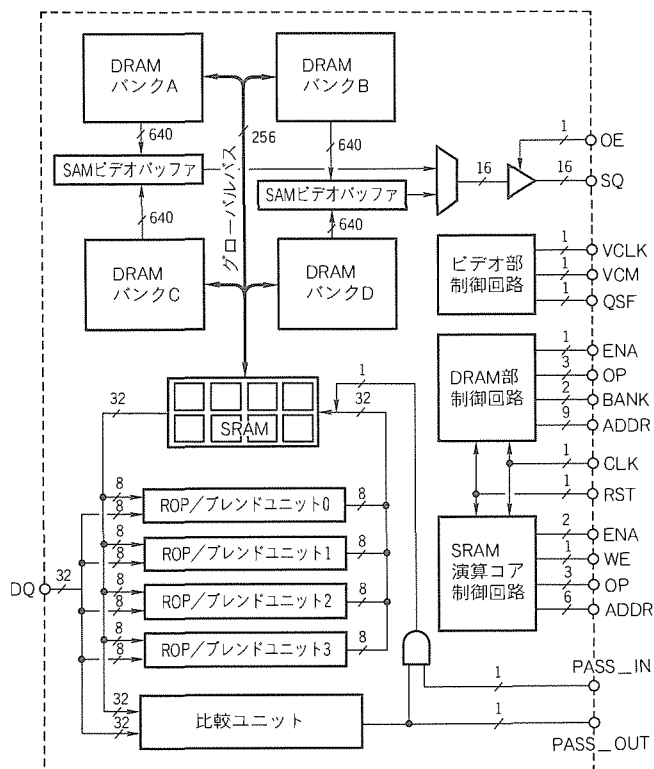


図3. 3D-RAMの構成

レンディング及びZバッファリングの処理とラスタオペレーションを行う SIMD (Single Instruction Stream Multiple Data Stream) 型演算コアである。演算は外部入力 DQ (×32) と SRAM からの読出しデータ (×32) 間で行われ、その結果が SRAM に書き戻される。ピクセル ALU から SRAM までは 7 ステージパイプラインで構成され、100 MHz 動作が可能である。

### 3. 3D-RAMの特長

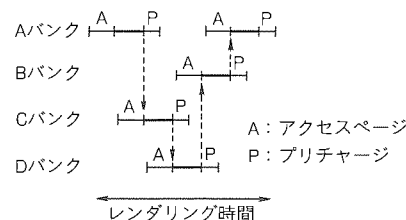
3D-RAM では、EWS、PC、ゲーム等における多様な三次元グラフィックスのニーズにこたえるため、以下のような高速化及び新機能追加を行った。

#### (1) 高速化

従来の VRAM を使った三次元グラフィックシステムでは、表示データに新たにデータを追加することに表示データをいったん外部に読み出し、レンダリング LSI で処理したデータを書き戻す必要があった。このため、VRAM の入出力ポートには 1 ピクセルの処理に対して双方向のデータ転送が発生し、その動作速度も 25 MHz (ファーストページモード) 程度であった。一方、グラフィックプロセッサに使用される MPU は、年々高速化され 100 MHz の時代を迎えており、VRAM の動作速度が高速画像処理のボトルネックとなってきた。

3D-RAM では、これを解決するため頻繁に使用する三次元グラフィック演算をピクセル ALU で処理できるようにし、データの外部読出し頻度を大幅に低減した。さらに、入

A : 0	B : 0	A : 1	B : 1
C : 0	D : 0	C : 1	D : 1
A : 8	B : 8	A : 9	B : 9
C : 8	D : 8	C : 9	D : 9



A : 0 はバンク A のページ 0 を示す。

図4. ページ配置

出力ポートを×32 (VRAM は×8) に拡張し、最高100 MHz のシンクロナス動作設計により、最大100 MPixel/秒の描画速度を実現した。

一方、フレームメモリの構成は、ベースとなった CDRA M と同様にページ形状をく形状とした。グラフィックスでは、ディスプレイ上で隣接したピクセルが連続して処理される。VRAM のページ形状は横長の短冊状であり、ページの短辺方向に連続してデータアクセスする場合、ページのヒット率が低下する。

3D-RAM では、SAM への転送レートも考慮してページサイズを 80 × 16 ピクセル (深さ 8 ビット) とし、ヒット率を最適化した。さらに、フレームメモリを 4 バンク構成とし、同一バンクに属するページがディスプレイ上で隣接しないように配置した (図4)。これにより、例えば図示のような線を描画するときバンクのインタリーブ動作が可能となり、一つのバンクへの描画処理と並列に他のバンクのアクセスやプリチャージが実行でき、描画の高速化が図れた。

3D-RAM では、ページ間コピー (デュプリケートページ) 動作が可能である。これは、同一バンク内で一つのページに書かれたデータを 80 ns で別のページにコピーするモードである。デュプリケートページ機能を使えば、1 ピクセル当たり 32 ビット表示の場合、4 G ピクセル/秒での高速画面クリアが可能である。

#### (2) 新機能

三次元グラフィックスの基本処理であるラスタオペレーション、及びαブレンディング、Zバッファリングの処理をピクセル ALU でサポートした。ピクセル ALU を構成する SIMD 演算ユニットは、ラスタオペレーション (ROP) ユニット、ブレンドユニット、及び大小/一致比較ユニットから構成されている。

ラスタオペレーションは、16 種類のブール関数の演算をビット単位で実行する機能であり、簡単な表示データの操作に使われる。

$\alpha$ ブレンディングは、既にフレームメモリ中にあるデータ DST (Destination) と新しい入力データ SRC (Source) を以下の式に従い、混合率  $\alpha_{SRC}$  でブレンドする処理である。 $\alpha_{SRC}$  が 0 のときは DST が表示され、 $\alpha_{SRC}$  が 1 のときは SRC が表示され、 $0 < \alpha_{SRC} < 1$  のときはブレンド結果が表示される (図 5)。

$$SRC \times \alpha_{SRC} + DST \times (1 - \alpha_{SRC})$$

なお、3D-RAM では上式の  $SRC \times \alpha_{SRC}$  と  $(1 - \alpha_{SRC})$  の項の計算結果をチップ外部から入力する構成とした。ブレンドユニットには 4 並列 SIMD アーキテクチャを採用し、ピクセルの要素データ R, G, B,  $\alpha$  を並列に処理できる。 $\alpha$ ブレンディングは、半透明な物体を置いたときに背景が透けてみえるような透明効果処理やアンチエイリアシング処理に使用され、三次元グラフィックスに不可欠な処理である。

Zバッファアルゴリズムは、ピクセルの奥行きデータ (Z 座標値) を用いる隠面消去アルゴリズムである。新しく表示したいピクセルの Z 値とそれに対応するフレームバッファ中のピクセルの Z 値を比較し、視点に近い方のピクセルをフレームバッファに書き込み、表示させる (図 6)。3D-RAM では、Zバッファアルゴリズム用に 32 ビット大小比較回路を設けると同時に、ウィンドウ ID、ステンシル比較用に 32 ビット一致比較回路を設けた (図 7)。各比較回路にはマスクレジスタが付加されており、任意のビットの比較をマスクすることができる。

SRAM への書き込みは、大小比較結果と一致比較結果の論理積 (PASS\_OUT 信号) によって制御される。この信号が 0 のときは、表示中のデータ DST が保持され、1 のときは新しく表示するデータが書き込まれる。なお、3D-RAM ではこの信号を外部に出力する端子 (PASS\_OUT) とそれを取り込む端子 (PASS\_IN) を設けた。これにより、ア

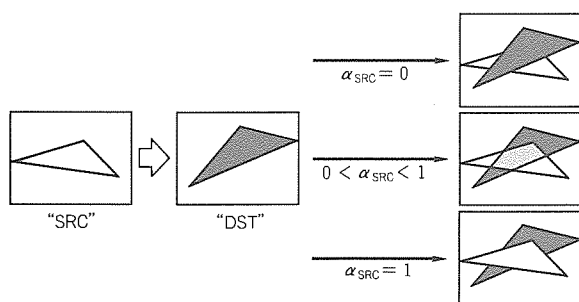


図 5.  $\alpha$  ブレンディング処理

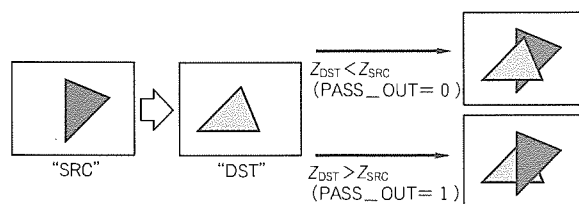


図 6. Z バッファリング処理

プリケーションの拡張性を高めることができた。

#### 4. 画像システムへの応用

3D-RAM は、各種フレームサイズの表示系に対応することができる。例えば、 $640 \times 512 \times 32$  のフレームサイズの三次元グラフィック表示システムには 3D-RAM 1 個で対応できる。この場合 32 プレーンでは、カラープレーンに 16 ビット (256 色表示用 8 ビットのダブルバッファ構成)、Z プレーンに 16 ビットを割り当てることができる。このアプリケーションとしては PC やゲーム等が考えられる。

3D-RAM 複数個を組み合わせて使用すると更に解像度の高い表示系に対応することができる。図 8 はカラーバッファ用と Z バッファ用に 3D-RAM を 1 個ずつ使用した場合の構成説明図である。この例では、1 ピクセル当たり 64 ビットである。64 ビットのデータを並列処理するため、カラーバッファと Z バッファには同じアドレス信号と制御信号を入力する。データはカラーバッファには R, G, B,  $\alpha$  各 8 ビットの計 32 ビット、Z バッファには Z 値 24 ビット、ウィンドウ ID 及びステンシル用 8 ビットの計 32 ビットを入力する。3D-RAM のピクセル ALU は 6 ステージパイプライン構成を採用し、高速処理を実現している。

Z バッファ用 3D-RAM 内では、外部入力データ (SRC) と SRAM から読み出したデータ (DST) が比較ユニットと ROP/ブレンドユニットに与えられる。比較ユニットは、SRC データと DST データの大小比較を行い、比較結果信号 (PASS\_OUT) を出力する。ROP/ブレンドユニットは、ROP ユニットの機能を使って SRC データを出力する。比較ユニットの出力と ROP/ブレンドユニットの出力は、共に 6 ステージ目に行われる。この結果、PASS\_OUT が 1 の場合は、ROP ユニットのデータをスルーしたデータが 7 ステージ目に SRAM に書き込まれ、PASS\_OUT が 0 の場合は、データは SRAM に書き込まれず SRAM のデータは保持される。この PASS\_OUT 信号は、6 ステージ目に PASS\_OUT 端子を使って外部にも出力される。この信号は、1

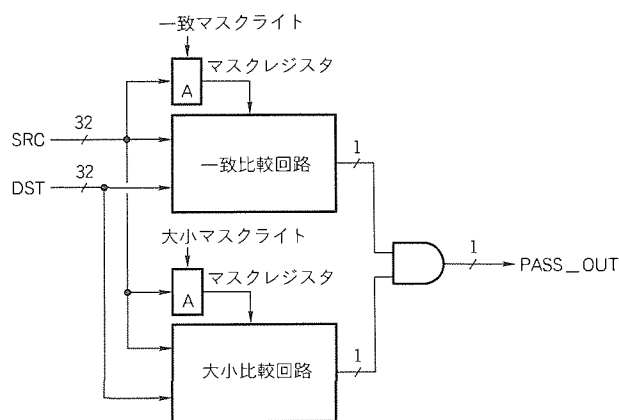


図 7. Z 値比較回路の構成

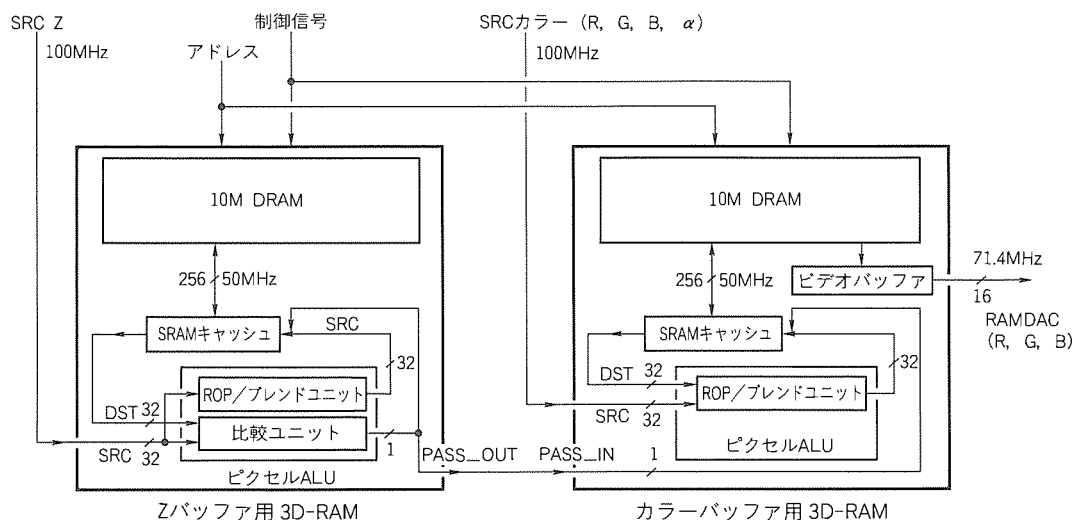


図 8 . 3D-RAMの動作

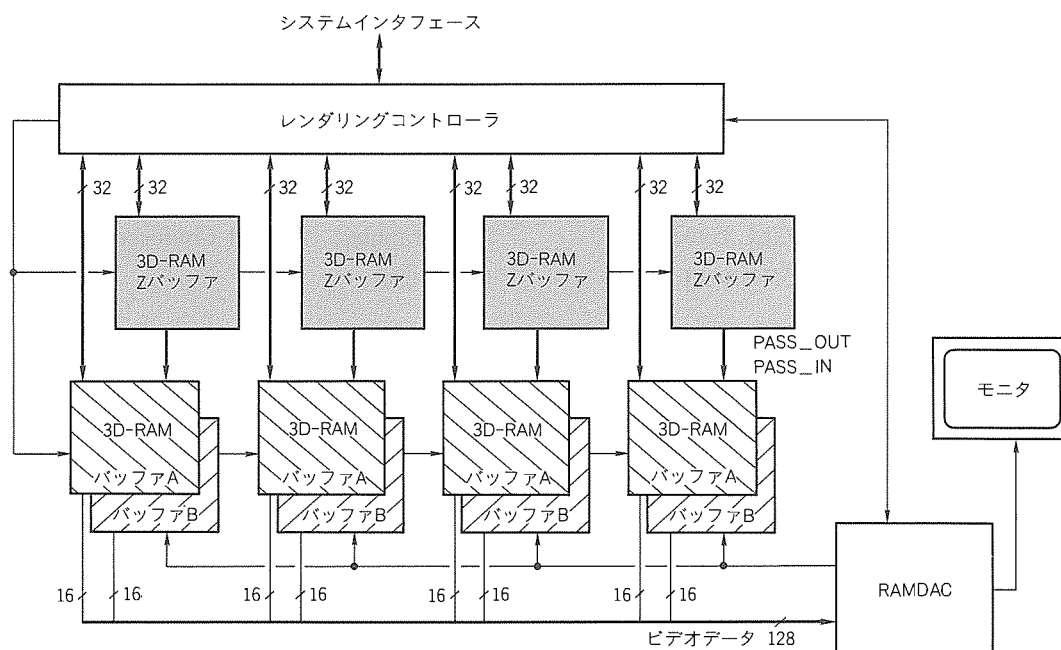


図 9 . システム構成例

サイクル内にカラーバッファの PASS\_IN 端子に伝達される。

一方、カラーバッファ内では、ピクセル ALU において入力データ (SRC) と表示中のデータ (DST) の間でラスタオペレーション又は  $\alpha$  ブレンディングの演算が行われ、その結果が 6 ステージ目に出力される。同時に 6 ステージ目に PASS\_IN 端子から Z 比較結果が取り込まれ、次の 7 ステージ目でこの信号が 1 のときカラーの演算結果が SRAM に書き込まれる。0 のときは、カラーの演算結果は SRAM に書き込まれず、現データが保持される。

3D-RAM を使用すれば、Z バッファとカラーバッファを別の 3D-RAM で構成しても、外付け回路なしに隠面消去処理をパイプライン処理によって高速に実現できる。

1,280 × 1,024 × 96 のフレームサイズのハイエンドグラフ

ィックシステムを構成した例を図 9 に示す。3D-RAM の高い入力データバンド幅、及び PASS\_IN/OUT 信号により、12 個の 3D-RAM だけで付加回路なしにハイエンドグラフィックシステム用フレームメモリを構築できる。この例では、カラーバッファは、ダブルバッファで 64 プレーン、Z バッファは 32 プレーンの構成である。1 フレームのデータは 4 分割され、1/4 フレーム分のデータが 3 個の 3D-RAM (Z バッファとカラー用ダブルバッファ) に格納される。

上記ハイエンドグラフィックシステムを従来の VRAM で構成した場合、VRAM のデータ転送ボトルネックを回避するため多数の VRAM を並べる必要があり、描画性能も 0.2 M トライアングル/秒 (100 ピクセル/トライアングル) しか実現できない。これに対し、3D-RAM を用いて構成すれば少ないシステムコストで、1.8 M トライアングル/秒

(従来比約10倍)の高速描画性能が実現可能である。

## 5. 今後の展開

三次元グラフィックス高速化のためには、従来ソフトウェアで処理していたグラフィック演算をハードウェア化することが必要である。しかし、様々なグラフィックス処理機能をメモリとオンチップ化するとチップサイズが大きくなりコスト高となる。また、アプリケーションによっては使用しない機能もある。画像用メモリに第一に求められるのは低価格であり、性能はそれとのトレードオフである。3D-RAMではチップサイズ増加を抑えるため、メモリとのオンチップ化によって描画性能の飛躍的向上が期待できる必要最小限の三次元グラフィックス処理機能のみを搭載した。

今後、マルチメディアの普及に伴い、三次元グラフィックス機器の多様化とそれに伴って細分化されるであろう画像用メモリニーズにも、3D-RAMはこたえられるものと期待している。

## 6. むすび

三次元グラフィックスをメインターゲットとして、メモリと演算コア(ピクセルALU)をオンチップ化した10Mビットフレームバッファメモリを開発した。ピクセルALUは、

$\alpha$ ブレンディング、Zバッファリング等の三次元グラフィックス基本処理をサポートし、256ビット幅内部バス、シンクロナス動作(100MHz)の採用により、VRAM使用の同コストの三次元グラフィックスシステムに比べて約10倍の描画性能高速化を実現した。

今後、3D-RAMはハイエンドからローエンドに至る三次元グラフィックス機器のキーデバイスになるものと確信している。

## 参考文献

- (1) 早野浩司, 阿部英明, 石塚康宏: キャッシュメモリを含んだメインメモリ用4MビットキャッシュDRAM, 三菱電機技報, 67, No.3, 253~256 (1993)
- (2) Deering, M., Nelson, S.: LEO: A System for Cost Effective Shaded 3D Graphics, Proceeding of SIGGRAPH '93, In Computer Graphics, Annual Conference Series, 101~108 (1993)
- (3) Deering, M., Schlapp, S., Lavelle, M.: FBRAM: A New Form of Memory Optimized for 3D Graphics, Proceeding of SIGGRAPH '94, In Computer Graphics, Annual Conference Series, 167~174 (1994)

# 3.3V単一電源16MビットDINOR型 フラッシュメモリ

三原雅章\* 九ノ里勇一\*  
小林真一\*  
杠 幸二郎\*

## 1. ま え が き

高機能かつ低コストの不揮発性メモリを目指して、ビット線を主ビット線と副ビット線の階層構造としたDINOR(Divided Bit Line NOR)型フラッシュメモリを開発した。メモリセルに接続される副ビット線をポリシリコンで形成し、各種の自己整合プロセスを開発することにより、従来のNOR型のメモリセルで大きな面積を必要としたコンタクト領域を大幅に縮小することができ、チップサイズを縮小した。また、書き込みメカニズムをホットエレクトロン注入から、電子の酸化膜中のトンネル現象を利用する手法に変更することにより、3.3Vの単一電源動作を実現した。80nsの高速アクセスが特長であり、メインメモリ用途に最適である。

当社では、16Mビットフラッシュメモリ第二世代にこの技術を適用した。仕様は基本的に第一世代<sup>(1)</sup>と同じで、更にシステムとのインタフェースを容易にするために各種の機能を追加している。

この論文では、DINOR型フラッシュメモリの概要、及び16Mビットフラッシュメモリ第二世代の製品仕様について紹介する。

## 2. DINOR型フラッシュメモリ

従来のフラッシュメモリは、アレー構成によってメモリセルを直列に接続したNAND型と、ビット線にメモリセルが並列に接続されたNOR型に分類される。NAND型は、単一電源動作とチップサイズが小さいのが特長であるが、ランダムアクセスが遅い。NOR型はアクセスは速いが、チップサイズが大きく、かつ、書き込み/消去に2電源

が必要である。DINOR型フラッシュメモリは、この二つの構造の特長を合わせ持つ。すなわち、チップサイズが小さく、アクセスが高速で、かつ単一電源で動作する(図1)。図2にメモリアレーの断面を示す。

メモリセルは、NOR型、NAND型と同じく最もシンプルなスタックドゲート型であり、ポリシリコンで形成された副ビット線に並列に接続される。副ビット線は選択ゲートを介して、アルミ(Al)で形成された主ビット線に接続される。副ビット線には64のメモリセルが接続されている。選択ゲートが必要ではあるが、メモリセルとの接続をポリシリコン(Poly-Si)と拡散層との埋込みコンタクトで形成したことにより、セルサイズをNOR型に比べて3割程度縮小することができた。動作条件を図3に示す。

書き込み(プログラム)は、コントロールゲートに-8V、ドレイン拡散層に6Vを印加し、フローティングゲートに蓄積された電子を引き抜くことによって行われる。書き込みを行うとメモリセルのしきい値は低くなる。消去はコントロールゲートに10V、pウェルに-8Vを印加し、フローティングゲートに電子を注入することによって行う。これによって、

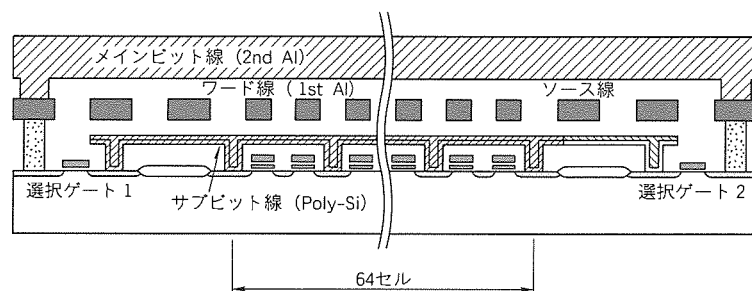


図2. メモリアレーの断面

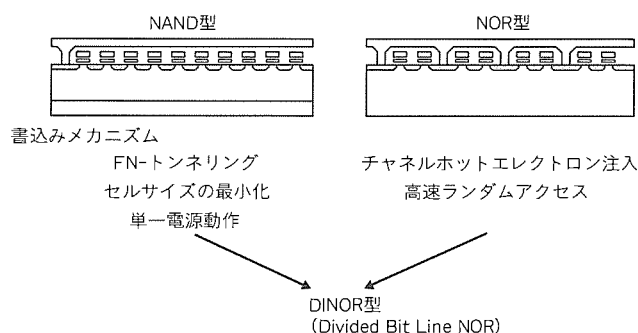


図1. 従来のフラッシュメモリ

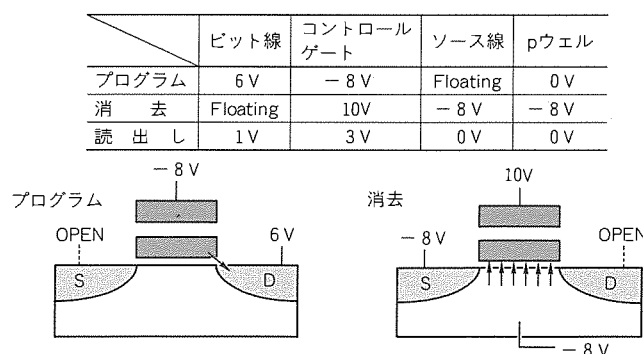


図3. 動作条件

しきい値は高くなる。読出し時はコントロールゲートに電源電圧の3.3Vを印加し、メモリセルがオンするかオフ状態かを検出することによって行う。このように、負電圧を利用したことにより、トランジスタでスイッチングすべき最大電圧を10Vに下げることができた。これにより、微細なトランジスタを用いることが可能となり、高速ランダムアクセス、小さなチップを実現した。また、将来のスケーリングが容易

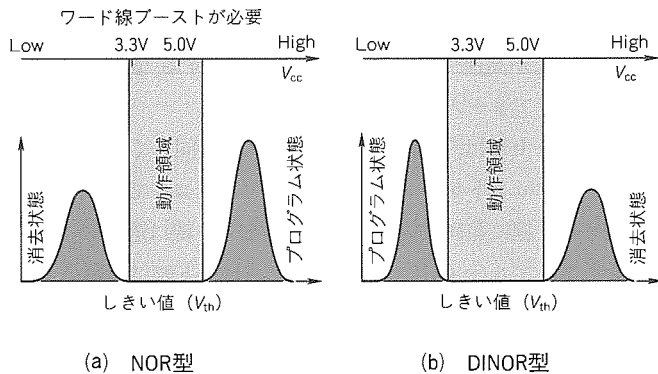


図4. メモリセルのしきい値分布

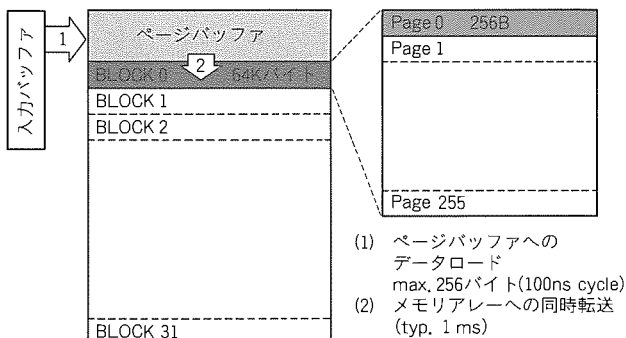


図5. ページモード書込み

表1. 製品仕様

● 語構成：2Mワード×8ビット	● システム性能向上
● 電源電圧：3.0~3.6V	ソフトウェアコマンド制御
● アクセス時間：80/100/120 ns	プロテクトブロック
● ディープパワーダウンモード	消去サスペンド/レジューム
● 消去ブロックサイズ：64Kバイト	ステータスレジスタ
(均等分割)	● パッケージ
● 書換えサイクル：100,000回	48ピンTSOP I
● 自動書込み&消去	44ピンSOP
書込み時間 1 ms (標準)	● ピン配置 (図6参照)
ページモード256バイト (最大)	
消去時間 10 ms (標準)	

表2. プロセス仕様

● プロセス	：0.5 $\mu$ mリソグラフィ
	3層ポリシリコン
	2層メタル
	P-sub Triple Well CMOS
● メモリセル	：1.35 $\mu$ m×1.4 $\mu$ m
● トンネル酸化膜厚	：9 nm
● ポリ層間膜厚	：18 nm (酸化膜換算)

である。メモリセルのしきい値分布を図4に示す。

NOR型フラッシュメモリでは、メモリセルのソースに高電圧を印加して消去を行っていた。ソースは一つの消去ブロックの中では共通に接続されているために、すべてのメモリセルに同じ消去パルスが印加され、しきい値分布のばらつきはプロセスばらつきを直接反映することになり、比較的広い分布となる。また、しきい値の低い側が消去状態であるため、過剰消去を起こさないようにするためには、しきい値分布の最大値を比較的高い値に設定する必要がある。このため、電源電圧が3.3Vに低くなると、ワード線のブーストが必要となり、アクセス時間の低下をもたらす。

一方、DINOR型フラッシュメモリでは、しきい値の高い側が消去状態であり、これは少々高い値になっても問題を生じない。プログラムは、ドレインに電圧を印加して行うので、メモリセルごとに最適の長さのパルスを印加することができ、タイトなしきい値分布が得られる。これにより、広い動作マージンが確保され、ワード線ブーストを行わなくても低電圧動作を実現できる。

DINOR型フラッシュメモリではNAND型フラッシュメモリと同じく、トンネル現象を用いて書込みを行う。このとき、書込み電流が非常に少ないため、複数バイトの同時書

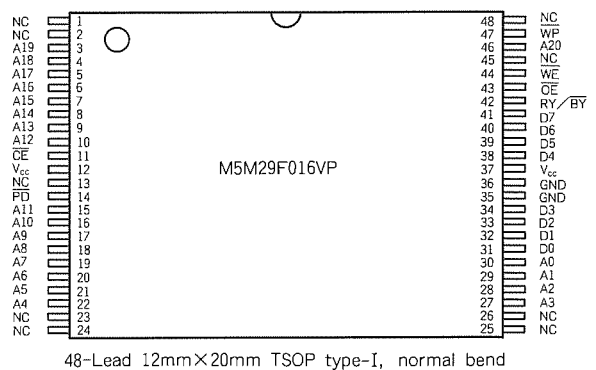
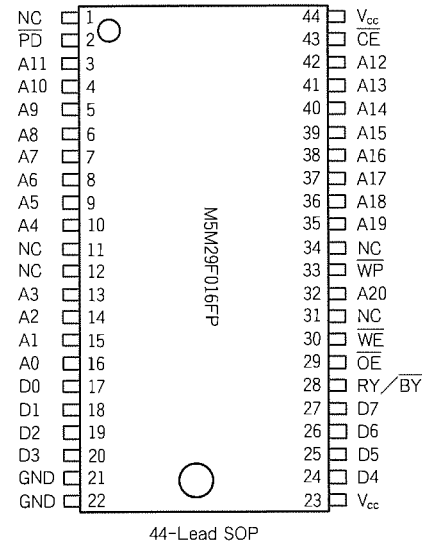


図6. ピン配置

込みができる。このために、メインビット線ごとにラッチ(カラムラッチ)を設けている。入力データは、まず、カラムラッチにロードされ、その後、メモリアレーに同時に転送される。16Mビット DINOR 型では256バイトのカラムラッチを持っており、プログラムは1ms程度で行われるので、250Kバイト/秒のデータ転送レートが実現できる。メモリアレーは、32個の64Kバイトの消去ブロックからなり、各々の消去ブロックは256バイトの256のページで構成されている(図5)。

### 3. 16Mビットフラッシュメモリ第二世代の製品仕様

表1に仕様、表2にプロセス概要をまとめる。3.3V単一電源で動作し、消去ブロックサイズは第一世代と同じ64Kバイトである。また、10万回の書換え可能回数を実現した。プロセスは、負電圧を使用するために三重ウェルを採用していることと、副ビット線に用いるポリシリコン配線が増えただけである。メモリセルのトンネル酸化膜厚は、9nm、層間膜厚は酸化膜厚換算で18nmである。メモリセルのワード線ピッチは1.2 $\mu\text{m}$ であるが選択トランジスタが必要であるので、1ビット当たりのセルサイズは1.35 $\mu\text{m}$ ×1.4 $\mu\text{m}$ となる。図7に16Mビットフラッシュメモリ第二世代のチップ写真を示す。

書込み、消去動作は、チップ内に設けられたシーケンスコントローラが制御を行うので、該当のコマンドを書き込むだけでよい。シーケンスコントローラは、8ビットのALUと11ビット×1Kワードのインストラクションコードアレーから構成されている。書込み、消去動作の終了は、RY/B＃ピンのレベル又はステータスレジスタの内容を読み出す

ことによって検出される。

以下、16Mビットフラッシュメモリ第一世代と異なる点、追加された機能について簡単に説明する。

#### (1) ページモード書込み

前項で述べたように、書込みデータは、まず、カラムラッチにロードされた後にメモリアレーに転送される。よって、256バイト単位でのデータの転送が行われるときにデータ転送レートが最大になる。バイトごとの書込みは可能であるが、ページモード書込み時と同様の書込み時間が必要である。ページモード書込み時の入出力波形を図8に示す。最初の書込みサイクルでコマンド“41H”が入力されると、ページモードに設定され、以降のサイクルの入力データが、順次、カラムラッチにラッチされる。A0～A7のアドレスを“00H”

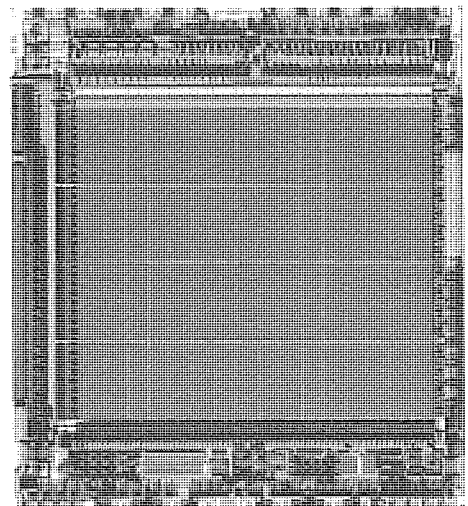


図7. チップ写真

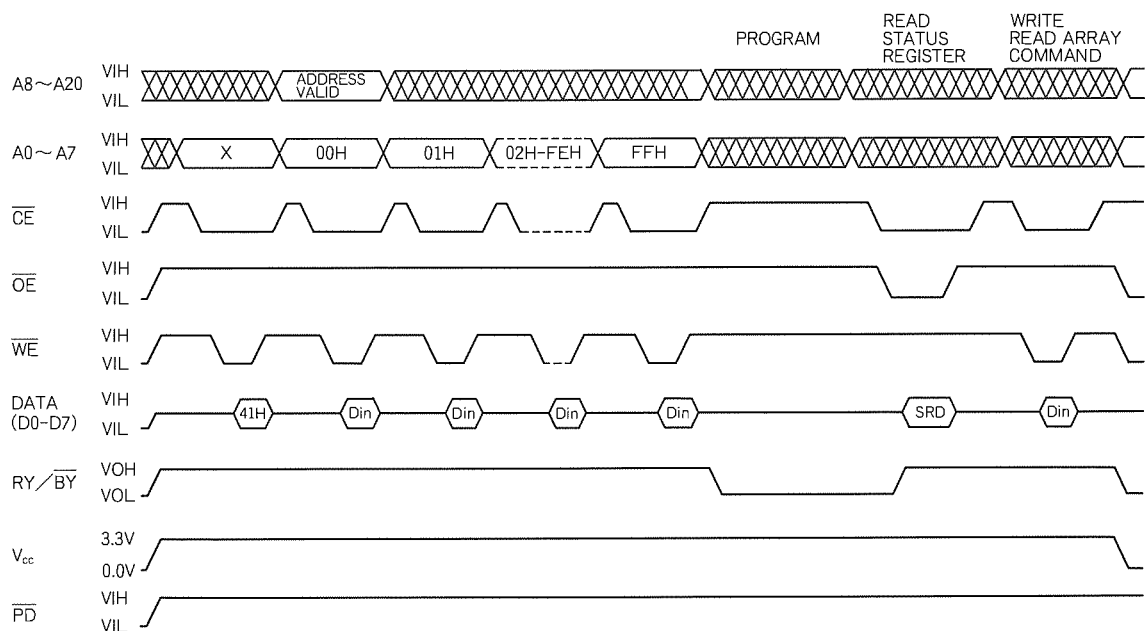


図8. ページモード書込み時の入出力波形

から“FFH”までインクリメントしながら書込みデータを入力すれば、最後のデータの入力後、メモリセルへの書込みが開始される。A8～A20のアドレスで規定されるページアドレスに相当するワード線に $-8\text{V}$ が印加され、ビット線にはラッチされた入力データに応じて $6\text{V}$ 又は $0\text{V}$ が印加される。入力データが“0”ならばカラムラッチがセットされ、ビット線には $6\text{V}$ が印加される。書込みパルス印加後、書込みベリファイモードに入り、“0”を書くべきメモリセルのしきい値が十分低くなったか否かを検出する。書込みが不十分であれば、そのメモリセルのみに再度書込みパルスが印加される。このサイクルがすべてのメモリセルの書込みが終了するまで繰り返される。

#### (2) プロテクトブロック

32の消去ブロックの任意のブロックにロックをかけ、書込み/消去コマンドを受け付けなくすることができる。これは、誤ってブロックの内容を変更しないようにするためのものである。各ブロックに不揮発なロックビットを持っており、このビットによってロックの状態を記憶する。WP # (ライトプロテクト) ピンが“L”のときに、ロックビットがセットされたブロックがロックされる。WP # ピンに“H”が印加されたときは、ロックビットの状態にかかわらず、すべてのブロックへの書込み、消去が可能である。消去時に同時にロックビットもリセットされる。

### 4. 電気特性

図9にアドレスアクセスのシュムープロットを示す。この

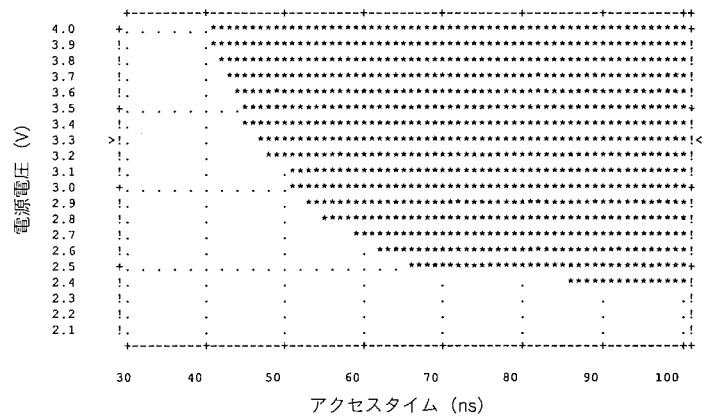


図9. アドレスアクセスシュムープロット

結果から  $V_{cc} = 3.3 \pm 0.3\text{V}$  の範囲ではアクセス時間は $80\text{ns}$ 以下であり、高速アクセスタイムが実現されていることが分かる。

### 5. む す び

$0.5\mu\text{m}$  ルールのプロセスを用いて DINOR 型 16M ビットフラッシュメモリを開発した。 $3.3\text{V}$  の単一電源動作、 $80\text{ns}$  の高速アクセスを実現した。

この開発は、(株)日立製作所との共同によるものである。

### 参 考 文 献

- (1) 中山武志, 三原雅章, 宮脇好和, 大井 誠, 新井 肇: ブロック消去可能な 16M ビットフラッシュメモリ, 三菱電機技報, 68, No.3, 213～216 (1994)



# 100MHz動作 2バンク構成 16MビットシンクロナスDRAM

小西康弘\*  
澤田誠二\*\*

## 1. ま え が き

近年、動作周波数が100MHzを超えるマイクロプロセッサが実用化され、急ピッチで高速化に向かっているのに対し、コンピュータの主記憶であるダイナミック RAM (DRAM) のサイクル周波数は33MHz程度にとどまっております。これを解消するために、様々な高速 DRAM が提案されてきた。

そのなかで、シンクロナス DRAM (SDRAM) は、JEDEC (Joint Electron Device Engineering Council) でその仕様が標準化され、次世代の標準 DRAM として期待されている製品である。当社では、100MHzのクロック周波数で動作可能な2バンク構成の16Mビット SDRAM を開発したので、その仕様・構成・電気的特性を紹介する。

## 2. 仕 様

SDRAM は、従来の DRAM と異なり、システムクロックに同期してアドレス・制御信号・データなどを取り込み、データを出力する。図1にピン配置を示す。パッケージは0.8mm ピッチ 44ピン 400ミル幅の TSOP (Thin Small Outline Package) II である。高速なデータ出力を実現するために、出力専用の電源/グラウンドピン ( $V_{ddQ}/V_{ssQ}$ ) が4ピンずつ設けられ、ノイズを減少させているのが特長である。新たに導入されたパラメータとして、バースト長、アク

セスレイテンシ、バーストタイプがあり、これらは内蔵するモードレジスタに随時設定可能となっている。これらを図2に示す。バースト長は、連続してアクセスすることのできるデータ長のことで1/2/4/8に、アクセスレイテンシはリードコマンドを入力してからデータが出力されるまでのクロック数のことで1/2/3/4に、バーストタイプはバーストデータのアドレスの進み方のことで、シーケンシャルとインタリーブに、それぞれ設定可能である。モードレジスタに適切なパラメータを設定することにより、多様なシステムに対応できるようになっている。また、SDRAM では、メモリアレーが内部で二つのバンクに分割されており、独立して制御することができる。バンクの指定はバンクアドレス (A11) を用い、両バンクをインタリーブすることにより、アレーのプリチャージ期間を隠して連続したリード/ライトを行うことが可能である。

## 3. 回 路 構 成

### 3.1 読出し回路

高速な外部クロックに同期してデータを出力するために、SDRAM ではセンスアンプから出力ピンまでのデータパスを3段のパイプラインステージに分割する必要がある。当社では高速動作を容易に実現するために、1段目のステージでセンスアンプからのデータを64ビット同時にレジスタに転送するマルチレジスタ方式を採用した<sup>(1)</sup>。リードデータパスのブロック図及びタイミングを図3に示す。リードコマンドが入力された第1サイクルで、コラムデコードによって選択された64個のセンスアンプがローカルIO線を介してグローバルIO線に接続され、プリアンプによってそのデータが増幅され、64個のレジスタに格納される。第2ステージで

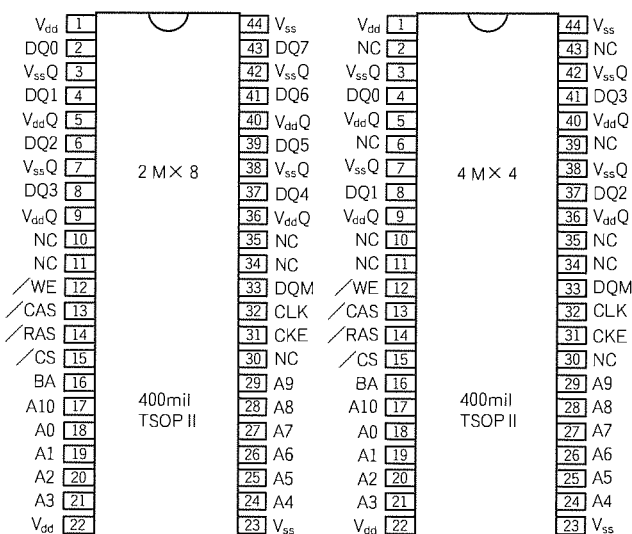


図1. 16MSDRAMのピン配置

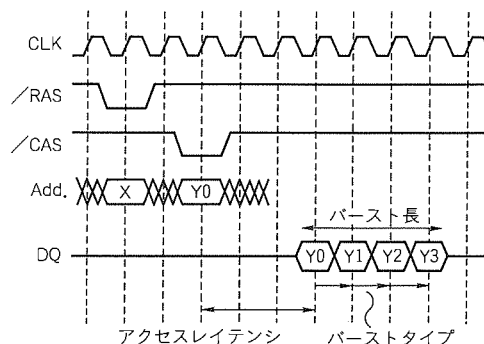


図2. 新規に導入されたパラメータ

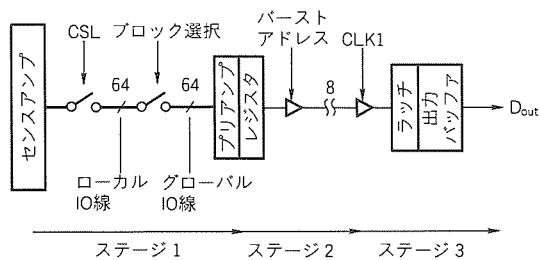


図3. リードデータパスのブロック図とタイミング図

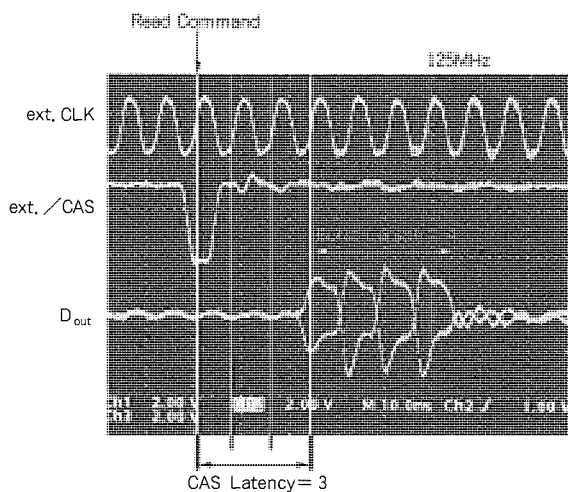


図4. クロック周波数125MHzにおける出力波形

は、内部カウンタで発生されたバーストアドレスにより、レジスタを選択してパイプラインの次段ラッチに転送する。第3ステージでは、クロックの立ち上がり直後にトランスミッションゲートを開放して、ラッチされたデータをバッファを介して外部に出力する。第1ステージのセンスアンプ-レジスタ間のデータ転送は、微小な電位差を増幅するために最も時間を必要とし、またこのステージを更に分割することはチップ面積増大などを招き不利である。このリードデータパスの分割方法では、ステージ2に要する時間が短いため、ステージ1に約1.5サイクルを割り当てている。マルチレジスタ方式の利点は、いったんセンスアンプのデータがレジスタに格納されるとメモリアレーを動作させる必要がなく、①レジスタから出力バッファまでを高速に動作させることができること、②ステージ1に2クロックサイクルを割り当てる

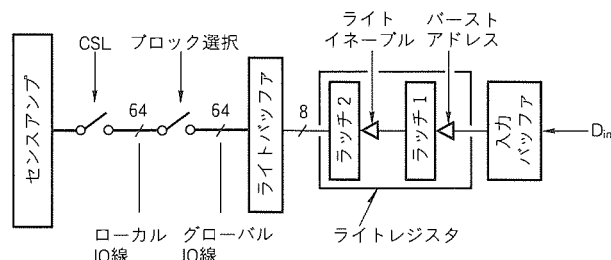


図5. ライトデータパスのブロック図

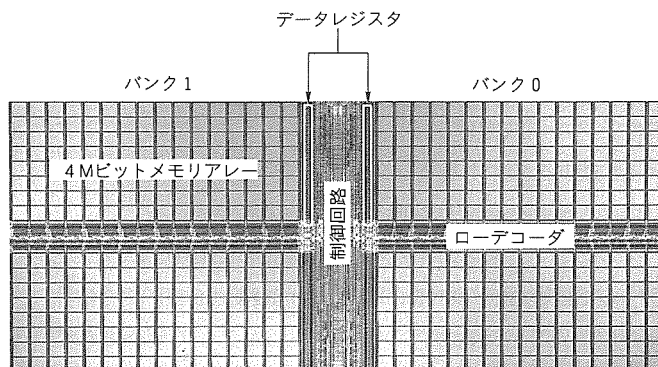


図6. 16MSDRAMのチップ写真

ことが可能で、レイテンシを4に増やすことにより、さらに高周波数に対応することができること、③レジスタにデータ格納後、即座にアレーをプリチャージすることができること、の3点である。この技術により、100 MHz以上のクロック周波数での読出し動作を確認している。図4に125 MHzにおける読出し波形を示す。

### 3.2 書き込み回路

SDRAMの書き込み動作は、クロックに同期して順次外部データを取り込み、それを該当するアドレスのメモセルに書き込むものである。つまり、クロックごとに送られてくる外部データを受け取るとともに、メモリアレーにデータを書き込むために必要な時間だけデータを保持しておく必要がある。図5にライトデータパスのブロック図を示す。ライトデータレジスタは2段構成になっており、1段目で入力データバッファからのデータを取り込み、2段目でライトバッファが動作している間、書き込みデータを保持する。レジスタは、内部カウンタで発生されるバーストアドレスで選択される。レジスタからセンスアンプへの転送は、2クロックサイクルごとに1度行われる。この方式により、書き込み時間に余裕を持たせることができ、またバーストライトを途中で中断することが可能になる。

### 4. チップ構成

16MSDRAMのチップ写真を図6に示す。メモリアレーは、チップ中央部の周辺回路を境にして二つの8Mビットバンクに分割され、それぞれのバンクには合計64ビットの

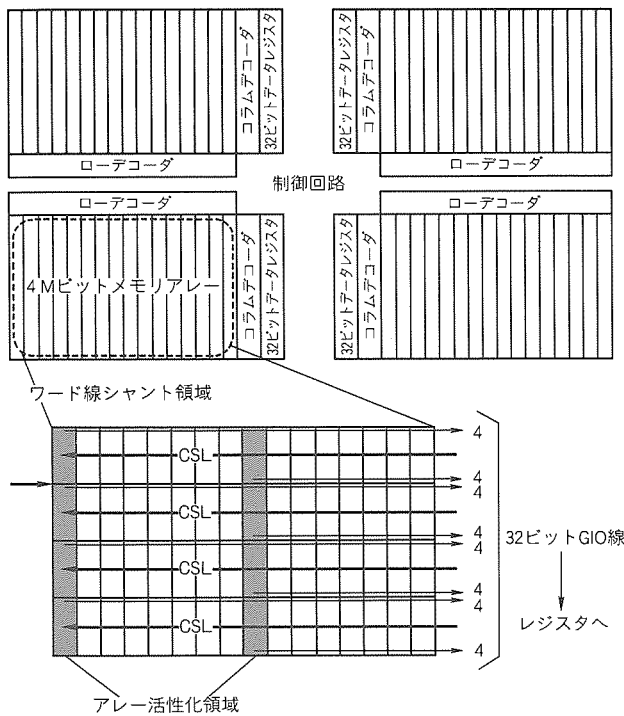


図7. 16MSDRAMのアレー構成

表1. 16MSDRAMの仕様一覧

語 構 成	1 Mワード×8 ビット×2 バンク / 2 Mワード×4 ビット×2 バンク (ボンディング切換え)
プロセス技術	0.55 μm トリプルウェルCMOS
アクセス時間	CASアクセス時間=30 ns CLKアクセス時間=9 ns ( $V_{dd}=3.0V$ , $T_a=80^{\circ}C$ )
電 源 電 流	平均動作電源電流=100 mA ( $V_{dd}=3.6V$ , $t_c=160$ ns, 100MHz, バースト長=8) 待機時電源電流=2.5 mA ( $V_{dd}=3.6V$ , 100MHz, CKE=L)
リフレッシュサイクル	4,096サイクル/64 ms
動作モード	バースト長=1/2/4/8, CASレイテンシ=1/2/3/4 バーストタイプ=シーケンシャル/インタリーブ (モードレジスタで設定)
パッケージ	400 mil 44ピン 0.8 mmピッチ TSOP II

データレジスタがアレー中央端に配置されている。図7のメモリアレー構成に示すように、×8ビット構成の場合、1回のコラムアクセスで4Mビット当たり4本のコラム選択線(CSL)が活性化され、8Mビットアレーで合計64個のセンスアンプがローカルIO線を介してグローバルIO線(GIO)に接続される。GIO線は2層目のAl配線で形成され、メモリアレーブロックの間を通過して中央部のデータレジスタに接続されている。データレジスタに格納される64ビットは、I/O数(8)×バースト長(8)のデータに対応している。このような多数ビットの平行転送技術は、今後ますます必要とされるデータレートの高速化を実現するのに適している。

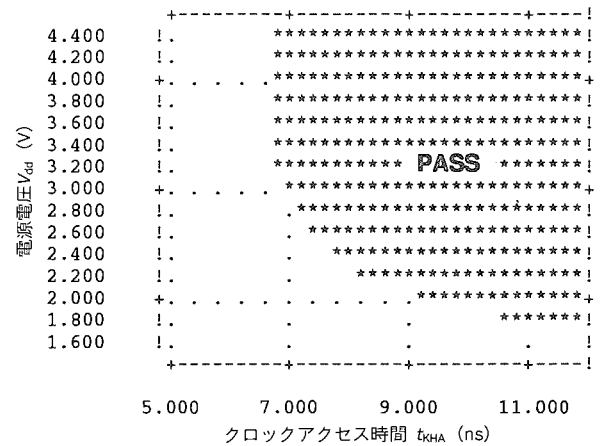


図8. クロックアクセス時間の電源電圧依存性 (周囲温度80℃)

## 5. 電氣的特性

図8は周囲温度80℃におけるCLKアクセス時間( $t_{KHA}$ )の電源電圧( $V_{dd} = V_{ddQ}$ )依存性を示すシュムープロット図である。 $V_{dd} = 3.0V$ において $t_{KHA} = 7.0ns$ の高速動作を実現している。また、クロック周波数100MHz、 $V_{dd} = 3.6V$ 、サイクル時間160ns、バースト長8の場合の平均動作電源電流は90mA、平均スタンバイ電流は2.1mAである。セルフリフレッシュモード時はすべての内部クロックを停止するため、標準DRAMと同等の300μAを実現している。

表1に16MSDRAMの仕様一覧を示す。

## 6. む す び

JEDEC標準に準拠した16M SDRAMを開発した。センスアンプからのデータを64ビット同時に転送するマルチレジスタ方式の採用により、クロック周波数100MHzでの安定した動作を実現している。この製品は、次世代のメインメモリ及びグラフィック用メモリとして十分な性能を持っている。

## 参 考 文 献

- (1) Iwamoto, H., Watanabe, N., Yamazaki, A., Sawada, S., Murai, Y., Konishi, Y., Itoh, H., Miyamoto, T., Kumanoya, M.: A 180MHz Multiple-Registered DRAM for Low-cost 2MB/chip Secondary Cache, Proceedings of CICC '94, 591~594 (1994)

# 第三世代低消費電力 1 Mビット SRAM

小久保信幸\* 有馬 聡\*  
山下正之\* 石川英一\*  
南 ふゆみ\*

## 1. ま え が き

今日の高度情報化社会において、EWS を始めパソコンなどの各種 OA 機器、通信機器、携帯端末機器等が急速に普及している。半導体デバイスはこれらのシステムのキーデバイスであり、なかでも MOS メモリは、システムの高性能化とあいまって欠くことのできない半導体デバイスである。

このような状況の中で特に、低消費電力 SRAM は動作コントロールが簡単で使いやすく、スタンバイ時の消費電力が少なくバッテリーバックアップが可能であり、低電圧でも動作し、動作時の消費電力も少なく、電池駆動に最適である。また、広温度範囲の動作が可能であるなど多くの利点があるため、IC カードを始め、電子手帳、携帯電話、PHS、ハンディ端末やノートパソコン、OA 機器等の低消費電力化・携帯化のトレンドに乗って幅広い製品分野で使用されている。

現在当社では、256K ビット(×8)、1M ビット(×8、×16)、4M ビット(×8)等の低消費 SRAM を製品化しているが、低電圧高速動作品、広温度動作保証品等の高性能化に対する市場の要求が強くなっている。

これらの要求に対応するため、0.6 $\mu$ m のプロセス技術を用い、今後の主力製品である第三世代低消費電力 1M ビット SRAM (型名“M5M51008B”)を開発した。

本稿では、この SRAM の製品概要、設計思想、製造技術及び電気的特性について紹介する。

## 2. 開発のねらい

### (1) 動作消費電力の低減

チップサイズの縮小、回路設計の最適化、ATD (Address Transition Detection) 回路及び DTD (Data Transition Detection) 回路の採用による DC 電流の低減

### (2) アクセスタイムの高速化

0.6 $\mu$ m プロセス技術の採用による業界最高速のアクセスタイム 55ns の高速品の製品化

### (3) 低電圧動作化

メモリセルレイアウト及びプロセスパラメータの最適化による低電圧動作マージンの拡大 (2.4V 動作)

## 3. 製品概要

M5M51008B の製品概要及び製造プロセスの第二世代品

との比較を表 1 に示す。 $V_{cc} = 5V \pm 10\%$  の動作保証品で、アクセスタイム 55ns 以上のものをラインアップし、タイミングスペックも第二世代と全く同じであり、第二世代品からの置換えが可能となっている。さらに低電圧動作保証品として、アクセスタイム 70ns 以上を製品化する予定である。動作時の消費電流は回路の最適化によって低減されており、スタンバイ時の消費電流は第二世代品と同等である。

図 1 に M5M51008B-XXXX の各パッケージのピン接続を示す。いずれも第二世代品と全く同じピン接続になっており、第二世代品からの置換えが可能となっている。

## 4. 設計技術

### 4.1 チップ構成

第二世代の M5M51008A と第三世代の M5M51008B のチップ写真を図 2 に、各々のブロック図を図 3 に示す。第二世代品のメモリセルアレイは 8 個のローデコーダにより、512 ロー×128 コラムを 1 ブロックとした 16 ブロックに分割されているが、第三世代品は、0.6 $\mu$ m トランジスタの性能を十分に生かし、1,024 ロー×128 コラムを 1 ブロックとした 8 ブロック分割のよりシンプルなチップ構成となっているため、メモリセル以外の周辺ロジックの面積を大幅に削減

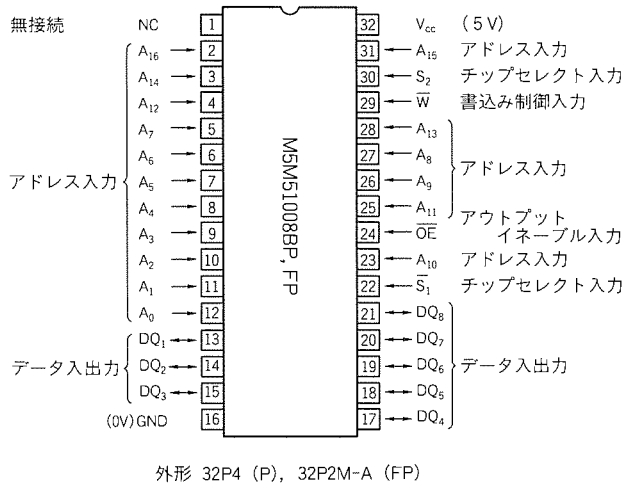
表 1. 第二、第三世代の製品概要及びプロセス比較

項 目		第 三 世 代	第 二 世 代
形 名		M5M51008B	M5M51008A
ビット構成		128K×8ワード	←
セル 構 造		高抵抗負荷型	←
デザインルール		0.6 $\mu$ m	0.7 $\mu$ m
方 式		N基板ツインウェル	←
		3層ポリシリコン	←
		1層アルミニウム	←
ゲート酸化膜厚		14nm	18nm
トランジスタ		Nch $L=0.6\mu$ m	Nch $L=0.8\mu$ m
		Pch $L=0.6\mu$ m	Pch $L=1.0\mu$ m
メモリセル	ワード線	2ndポリシリコン	1stポリシリコン
	GND線	2ndポリシリコン	N <sup>+</sup> 拡散層
	$V_{cc}$ 線	3rdポリシリコン	2ndポリシリコン
	高抵抗	3rdポリシリコン	←
	ビット線	1層アルミニウム	←
アクセス時間	5V	55/70/100ns	←
	3V	70/100/120/150ns	100/120/150ns
電 流	動作時	35mA (typ.)	45mA (typ.)
	スタンバイ時	0.3 $\mu$ A (typ.)	←

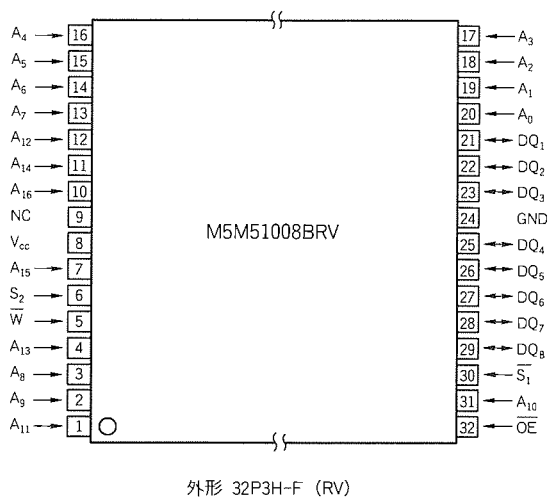
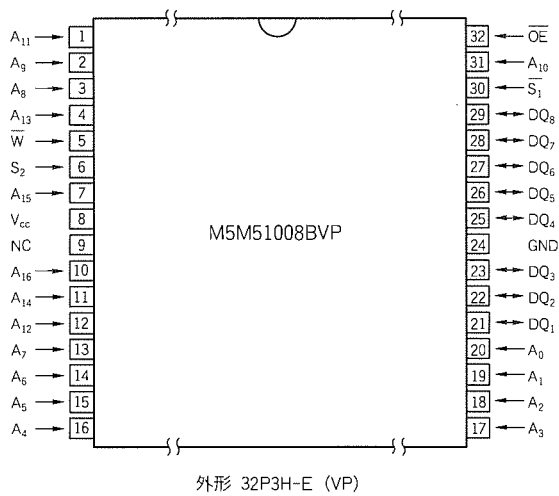
することが可能になり、チップサイズの縮小を達成している。

#### 4.2 冗長回路構成

第三世代品 M5M51008B は、各ブロックに 4 ロー×2 コラムの冗長メモリセルを設け、レーザトリミングによって



(a) DIP, SOP



(b) TSOP

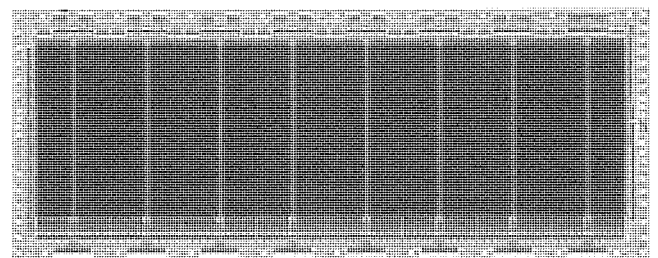
図 1. M5M51008Bのピン接続図 (上面図)

不良アドレスと置換え可能となっており、ハーフミクロンプロセスでの歩留り向上に大きく寄与している。一般に冗長ロー又は冗長コラムを使用する場合には、不良ワード線又は不良ビット線を不活性化するために、すべてのワード線及びビット線にレーザブロー用のフューズを設ける必要があるが、第三世代品 M5M51008B では、不良アドレスが選択された際に、選択信号によって不良ワード線又は不良ビット線を論理回路で不活性化する方式を採用することにより、レーザフューズ本数を激減させることができた。その結果、レーザフューズ部分の面積を大幅に削減することができた。

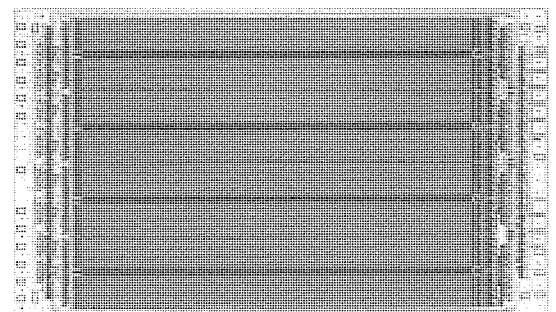
さらに、各ブロックに 4 本存在する冗長ローは、任意のアドレスがプログラミング可能であるため、各ブロックに 4 本のアドレスプログラミング回路を設ける必要があるが、4 ブロックのアドレスプログラミング回路を共用化する新方式を採用し、各ブロック 1 個のアドレスプログラミング回路のみで 4 本の冗長ローをプログラムすることが可能になり、アドレスプログラミング回路の面積削減が可能になった。

#### 4.3 メモリセル

図 4 に SRAM のメモリセル等価回路図を示す。SRAM のメモリセルでは、選択されたすべてのメモリセルに、アクセストランジスタを介して電流が流れ込む。従来のメモリセルレイアウトでは、データ“0”を記憶したセルには  $N^+$  拡散層配線を介して電流が流れ、データ“1”を記憶したセルにはポリシリコン配線とポリシリコン- $N^+$  拡散層直接コンタクトとを介して電流が流れ込むため、メモリセルレイアウトの非対称性が存在していた。

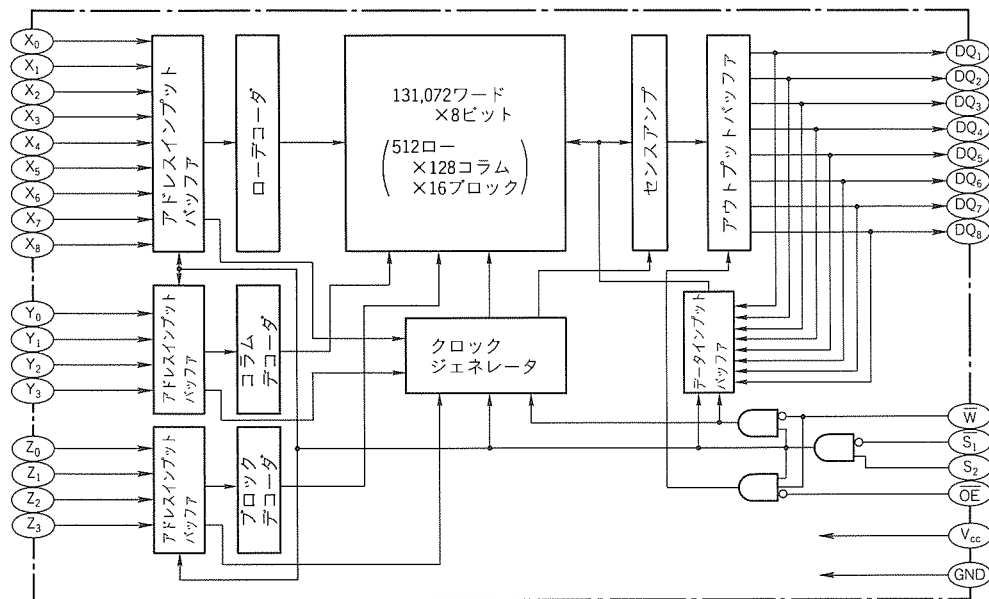


(a) M5M51008A

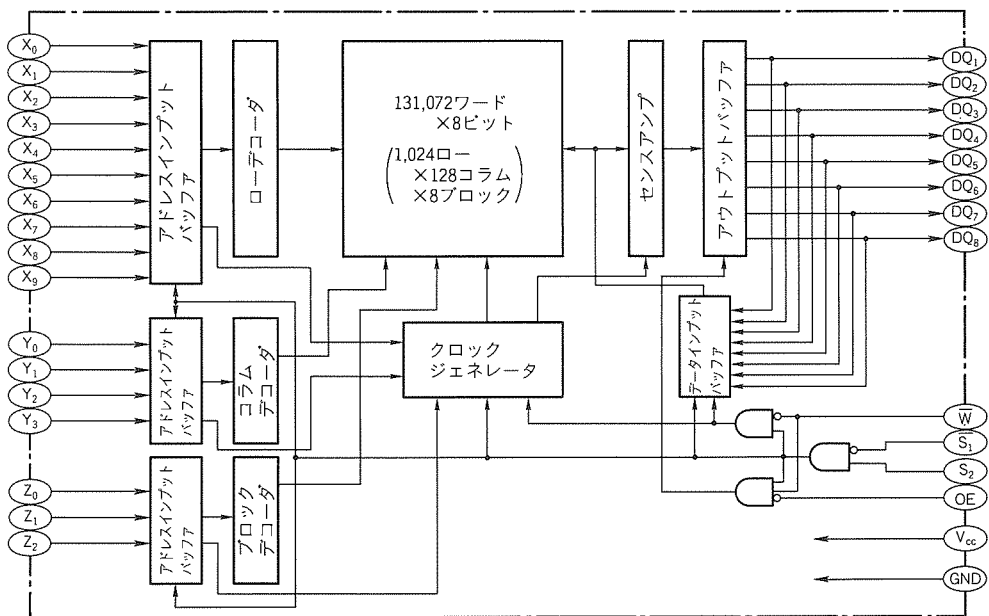


(b) M5M51008B

図 2. チップ写真



(a) M5M51008A



(b) M5M51008B

図 3. ブロック図

従来方式のメモリセルレイアウトで、更に微細化をしようと、 $N^+$  拡散層配線のパターン形状が複雑であるため、 $N^+$  拡散層配線の形成が困難になり、マスク合わせのずれマージンが少なくなる。そのため、更に非対称性が大きくなり、SRAMの電気的特性を保証する上で無視できなくなってくる。これらの問題点を解決するため、従来とは異なるメモリセルレイアウトを用いた。

今回採用したメモリセルでは、ドライバトランジスタのゲート電極と記憶ノードとの接続に、従来の直接コンタクト方式に替え、1st ポリシリコンを直接  $N^+$  拡散層に接続する埋込みコンタクト方式を使用した。そのため、メモリセルレ

イアウトが全く対称になり、データ“0”を記憶したセルでも、データ“1”を記憶したセルでも、 $N^+$  拡散層のみを介して電流が流れ込むため、“0”読出し時間と“1”読出し時間が同じであるという特長を持っている。さらに、対称性が良く、なおかつ、メモリセルのアクセストランジスタとドライバトランジスタの電流比である $\beta$ 比を大きくできるため、低電圧動作マージンを拡大することが可能になった。

#### 4.4 低消費電力化技術

第三世代品 M5M51008B は、読出し動作時の低消費電力技術としてアドレス入力信号の変化を検知して発生される ATD 信号を用いたオートパワーダウン方式と、書き込み時の

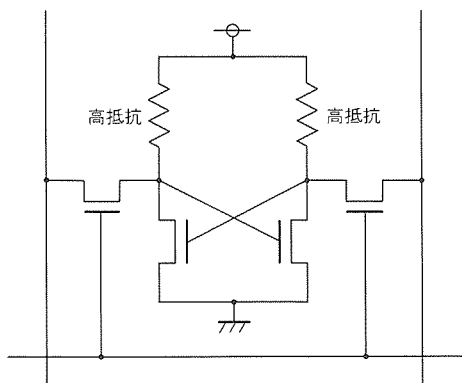


図4. メモリセル等価回路図

低消費電力化技術として書き込み入力信号の変化及びデータ入力信号の変化を検知して発生される DTD を用いた書き込み方式を採用している。これらの技術は、第二世代品 M5M51008A から用いられている低消費電力 SRAM の低消費電力化において重要な技術である。

## 5. プロセス技術

第三世代低消費電力 1MSRAM を開発するに当たり、製造工程を簡略化し、スループットの高いプロセスを開発することとした。

### 5.1 トランジスタ

低コストなハーフミクロントランジスタを開発するに当たり、ウェル構成の見直しを行い、従来よりも浅いウェル構成とした。ウェル形成のためのドライブ時間が短くなり、生産性が向上するとともに、 $\alpha$ 線によるソフトエラー率が低減する。さらに、トランジスタのゲート電極材料を従来の多結晶シリコンと WSi (タングステンシリサイド) の二層構成から、多結晶シリコンのみの一層構成に変更し、工程削減を行っている。

また、トランジスタの性能向上を図り、かつ  $V_{cc} = 5V$  時の信頼性を保てるように、ゲート酸化膜厚は 14nm を使用している。

### 5.2 メモリセル構造

ワード線の配線遅延時間を短縮するため、ワード線には WSi と多結晶シリコン層で形成された、低抵抗の 2nd ポリシリコン層を用いた。同時に、同層の 2nd ポリシリコン層でメモリセルの GND 配線層を形成することにより、GND 配線の低抵抗化も達成している。

メモリセル面積の縮小に伴い、高抵抗負荷の 3rd ポリシリコンの長さが短くなり、抵抗値が下がる。そのため、第三世代低消費電力 1MSRAM では、3rd ポリシリコン層の更なる薄膜化を実施することにより、第二世代品と同レベルの低スタンバイ電流を実現している。

また、コンタクト径の縮小に伴い、Al (アルミニウム) 配線層の形成が困難になったため、各層の薄膜化及び層間膜の

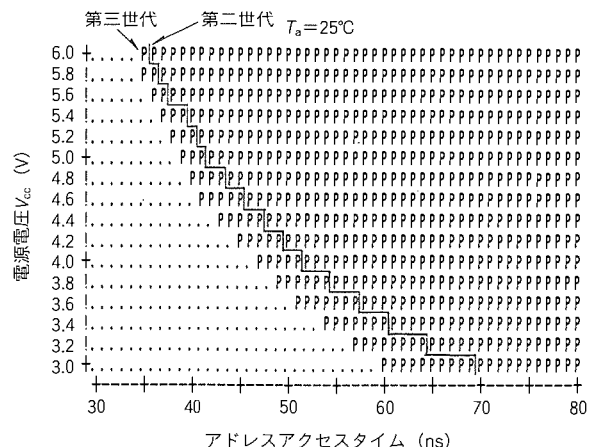


図5. アクセスタイムと電源電圧のシュムープロット

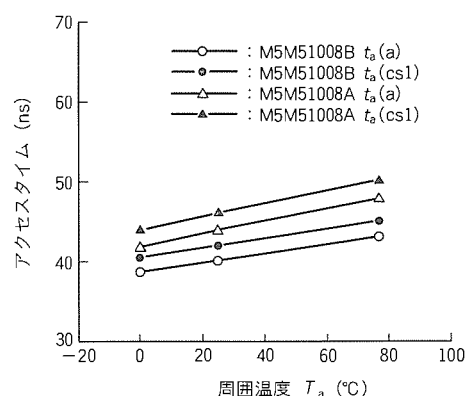


図6. アクセスタイムの周囲温度依存性

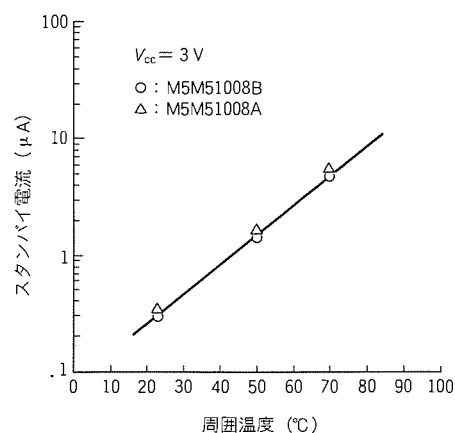
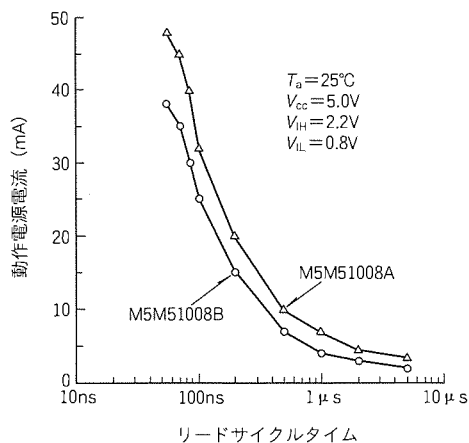


図7. スタンバイ電流の周囲温度依存性

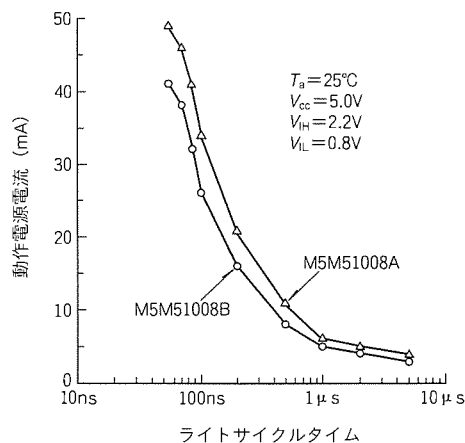
低段差化を行った。さらに、バリアメタルを使用した複合膜で Al 配線を形成し、Al のヒロックを低減することにより、信頼性の高い微細 Al 配線を実現している。

## 6. 電気的特性

図5に M5M51008B-XXXX のアクセスタイムと電源電圧との関係を示したシュムープロットを示す。図6には電源電圧 4.5V でのアクセスタイムの周囲温度依存性を示す。図



(a) 読み出し時



(b) 書き込み時

図 8. 動作電源電流のサイクルタイム依存性

7 にはスタンバイ電流の周囲温度依存性を示す。図 8 には動作電源電流のサイクルタイム依存性を示す。動作電源電流は第二世代品と比較して、チップサイズの縮小や回路設計の最適化等により、10mA 程度削減されている。

## 7. む す び

0.6 μm プロセス技術と、新規のメモリセル構造とを用い、最適な回路設計を行うことにより、第三世代低消費電力 1M SRAM である M5M51008B を開発した。全く新しいメモリセル構造ではあるが、従来からのプロセス技術を延長したものを用いているため、第二世代品と同様の信頼性レベルが実現できている。

低消費電力 SRAM は、パーソナルコンピュータの普及に伴う HDD 市場の拡大や、パーソナル携帯端末器の普及と

携帯電話の売切り制度導入に伴う携帯端末市場の大幅な拡大に支えられ、今後とも需要は増加するものと予想されており、第三世代品によって市場要求を満たしていけると考えている。

さらに、低消費電力 SRAM の市場の中心は 256 KSRAM から 1 MSRAM へと移り変わりつつあり、4 MSRAM の市場も立ち上がりつつある。また今後は、4 MSRAM の生産性向上や、更なる大容量低消費電力 SRAM の開発を行っていく予定である。

## 参 考 文 献

- (1) 池田和也, 有田 豊, 山下正之, 小久保信幸, 南 ふゆみ : TFT 負荷型第二世代 1M ビット中速 (低消費電力) SRAM, 三菱電機技報, 66, No.11, 1120~1125 (1992)



# 世界最大容量の 6 kV／6 kA GTOサイリスタ

古賀真次\* 山元正則\*  
中川 勉\*  
徳能 太\*

## 1. ま え が き

GTO サイリスタ (以下“GTO”という。)を用いたインバータ回路は、従来のサイリスタを用いた回路に比べて、転流回路が不要となるため、インバータ装置の主回路の小型・軽量化が図れるとともに、PWM 制御によって高精度・高効率の可変速ドライブが可能となり、装置の高性能化に有効である等の優れた特長を持っている。

これらの特長から、GTO は鉄道車両用インバータや産業用インバータなどに広く用いられてきた。GTO の容量は4 インチウェーハを用いて耐電圧4.5 kV、可制御オン電流4 kA 級のものまでが製品化されており、4,000 kVA 級までのインバータ装置に実用化されていた。近年、鉄鋼用モータ制御や電力用 SVG 等の応用分野で、更に大容量の装置へ適用可能な大容量 GTO の実現が望まれてきた。この分野では、素子数の低減が可能な GTO の高耐圧大容量化とともに、周辺装置の小型化に有効な低スナバ化、低ロス化が特に望まれている。

今回、これらの要求にこたえ得る 6 kV／6 kA の低スナバ、低ロス GTO FG6000 AU-120D を開発したので、その構造と電気特性について報告する。

## 2. 適 用 技 術

大容量 GTO は、一般的に微少容量の単位 GTO の並列接続構造をとっている。単位 GTO の構造は、図1に示すような細長い島状の構造となっている。GTO の大容量化、低スナバ化にはこの単位 GTO のスイッチング能力の向上と、数千個に及ぶ単位 GTO の電流分布の均一化が重要な課題とな

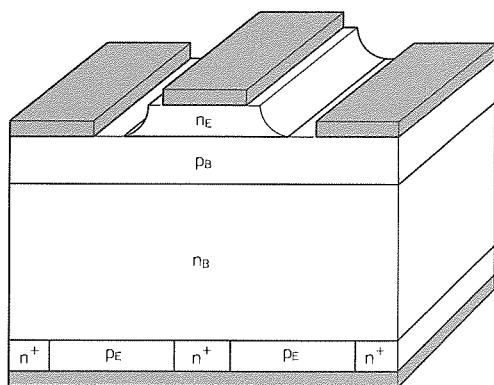


図1. 単位GTOの構造

る。

低ロス化については、GTO の通電時に発生する定常ロスと、ターンオン、ターンオフ時に発生するスイッチングロスのトレードオフを改善する必要がある。

このGTO ではこれらの技術課題を解決するため、以下の技術を適用した。

- (1) 6 インチの大口徑ウェーハ適用
- (2) エミッタ幅の縮小 (ファインパターン化)
- (3) シリコンとモリブデン等の熱緩衝板を合金化せず、圧接のみで電氣的に接触させる非合金化 (デアロイ化)
- (4) シリコンウェーハ内のライフタイム分布を制御する局所ライフタイム制御

### 2.1 大口徑ウェーハの適用

6 kV／6 kA の大容量を実現するため、FZ シリコン単結晶のウェーハでは世界最大の6 インチまで拡大するとともに、イオン注入技術の導入により、この大口徑ウェーハ内の不純物濃度分布の均一化を図った。

### 2.2 ファインパターン化

GTO を構成する単位 GTO のターンオフ能力向上のため、GTO の n エミッタ幅を当社高周波 GTO シリーズの63 % まで低減した。エミッタ面積の確保のため、単位 GTO の数は従来の4,000 A 級 GTO の約3 倍に増加している。また、単位 GTO 数の増加に伴うゲートトリガの増加を抑制するため、アノードショート率の最適化を行った。図2 にカソードエミッタパターンの外観を示す。このパターンの採用によってターンオフ能力は向上し、スナバコンデンサ容量6  $\mu$ F で6,000 A のターンオフ能力を実現した。

### 2.3 デアロイ化

このGTO では、大口徑素子での圧接圧力分布を均一化し、

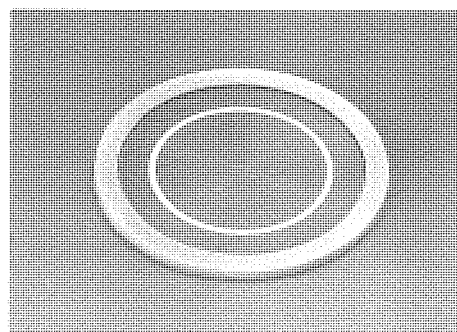


図2. カソードエミッタパターン外観

マルチエミッタ構造での電流集中を緩和するため、シリコンウェーハとモリブデン等の熱緩衝板を合金化しないデアロイ構造を採用した。図3にその構造模式図を示す。

## 2.4 局所ライフタイム制御

GTOの動作時に発生するロスを低減する手段として、ウェーハ内のキャリアライフタイムを制御し、定常ロスとスイッチングロストレードオフの最適化を図る技術があるが、従来はこのライフタイムキラーとして重金属を拡散したり、電子線等を照射する技術が一般に用いられてきた。これらのライフタイム制御技術では、シリコンウェーハの厚み方向のライフタイムを部分的に制御することが困難なため、トレードオフの改善に限界があった。このGTOでは、荷電粒子としてプロトンを採用し、照射エネルギーを制御することによって、ウェーハの厚み方向のライフタイム分布を制御することで $V_{TM}$ の増加を制御しながら、テイル電流を減少させた。

この局所ライフタイム制御技術の採用により、定常ロスとスイッチングロスのトレードオフを大幅に改善することが可能となった。

## 3. 電気特性

以上の大口径ウェーハの採用、ファインパターン化、デアロイ化、局所ライフタイム制御技術により、6kV/6kA低ロス、低スナバGTO (FG 6000 AU-120D)の開発に成功した。

FG 6000 AUはスナバ容量6 $\mu$ Fで6,000Aのターンオフ能力を持っており、単位セグメント長当たりのゲートトリガ感度を従来の50%以下に低減しながら、ターンオンロスを約20%に、ターンオフロスを約40%に低減している。以下に電気特性の詳細を示す。

### 3.1 ターンオン特性

GTOのターンオン能力は、ゲートトリガ感度( $I_{GT}$ )、広がりスピード、ターンオン時のゲートドライブ条件(ハイゲート率)等に大きく依存する。GTOとしては $I_{GT}$ の低減、及びターンオン時の広がりスピードの増大が課題となる。一般にターンオン特性とターンオフ特性はトレードオフの関係

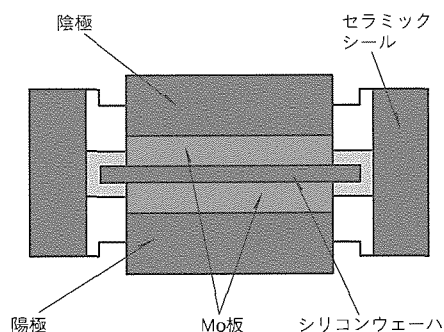


図3. デアロイ構造模式図

にあり、ターンオン特性の改善はターンオフ特性の悪化を招くが、FG 6000 AUではファインパターン化、デアロイ化、及び局所ライフタイム制御技術の導入によってこの問題を解決した。

図4にFG 6000 AUの $V_D$ 、 $I_T$ 及び $I_G$ 波形を示す。この例では、ハイゲート電流90Aを供給し、 $V_D=3,200$ Vから $di/dt=500$ A/ $\mu$ sで $I_T=6,000$ Aをターンオンさせている。このときのターンオンタイム( $t_{gt}$ )は3 $\mu$ sで、当社6kV/3kA GTOの3kAでのターンオンロスの約60%となっており、極めて良好なターンオン動作を示している。

### 3.2 ターンオフ特性

GTOの可制御オン電流は次式に示すように、GTOを構成するnpnトランジスタ、pnpトランジスタの増倍率( $\alpha_{npn}$ 、 $\alpha_{pnp}$ )、ゲート-カソード間の逆バイアス電圧( $V_{GR}$ )、pベースの平均抵抗率( $\rho_{pB}$ )、nエミッタ幅( $W_{nE}$ )、nエミッタ長( $L_{nE}$ )を用いて示される。

$$I_{TGQ} \propto \frac{\alpha_{npn}}{(\alpha_{npn} + \alpha_{pnp} - 1)} \cdot \frac{V_{GR} \cdot L_{nE}}{2 \cdot \rho_{pB} \cdot W_{nE}} \dots\dots\dots (1)$$

式(1)から、 $W_{nE}$ を小さく、 $L_{nE}$ を大きくするとターンオフ能力が向上する。初期のGTOでは $W_{nE}$ は300 $\mu$ m程度であったが、大容量化、低スナバ化に伴い $W_{nE}$ の低減がなされてきており、当社高周波GTOシリーズで約1/2程度に縮小したが、FG 6000 AUでは高周波GTOシリーズの更に約70%まで縮小を進めるとともに、デアロイ構造の採用によって電流分布の均一化を図り、大容量と低スナバの両立を達成している。

図5にFG 6000 AUの $I_{TGQ}$ の $C_s$ 依存性を示す。スナバ容量3 $\mu$ Fで4,000A、4 $\mu$ Fで5,000A、6 $\mu$ Fで6,000Aのターンオフ能力を持ち、従来の6kV GTOに比べてスナバ容量は約1/2に低減されている。図6に6,000Aターンオフ時の $I_T$ 、 $V_D$ 、 $I_G$ 波形例を示す。

### 3.3 定常ロスとスイッチングロスのトレードオフ

局所ライフタイム制御技術を用い、これを最適化すること

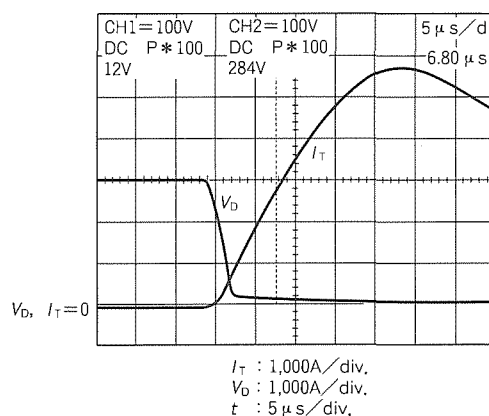


図4. ターンオン波形例

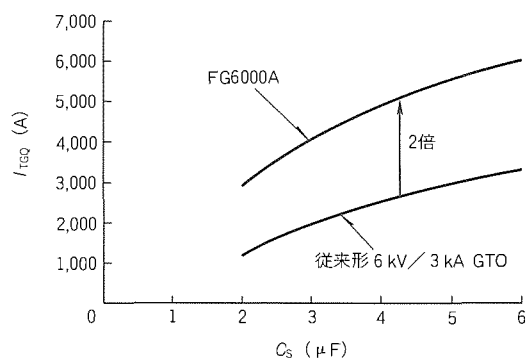


図 5.  $I_{TGQ}$  の  $C_g$  依存性

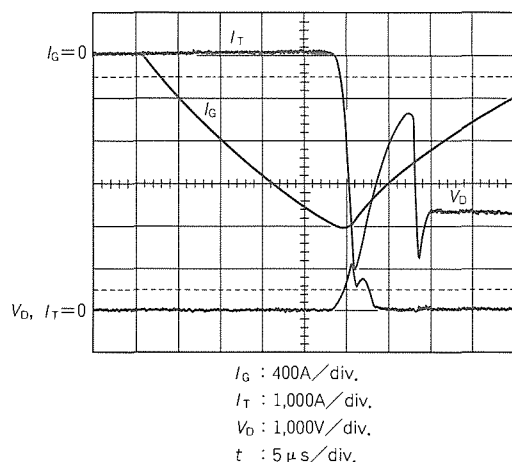


図 6. ターンオフ波形例

で定常ロスとターンオン、ターンオフロスのトレードオフを大幅に改善することができた。定常ロスは通電電流  $I_T$  とオン電圧  $V_{TM}$  の積で示される。 $V_{TM}$  とターンオンロス ( $E_{on}$ )、ターンオフロス ( $E_{off}$ ) のトレードオフを図 7 に示す。

FG6000 AU は同一耐圧の従来構造 GTO に比べてターンオンロスが約 20 %、ターンオフロスが約 40 % まで低減しており、通流率 30 %、動作周波数 500 Hz で定常損失とスイッチング損失の総和 (トータルロス) で比較すると約 1/2 まで損失が低減している。従来形 GTO と FG6000 AU の、各損失及びトータルロスの比較を図 8 に示す。

### 3.4 その他の特性

表 1 に FG6000 AU の最大定格、表 2 に主要電気特性を示す。アノードショート率とウェーハの厚み方向のライフタイム分布を最適化することにより、単位 GTO のトリガ感度を改善し、 $I_{GT}$  は従来の 3,000 A GTO 並みに抑制されており、 $E_{on}$  の低減に寄与している。

## 4. GTO の応用

大容量、低スナバ、低損失 GTO は、パワーエレクトロニクス機器の大容量化に伴い、今後大幅な需要が期待される。特に、数千 kVA 以上の従来はサイクロコンバータが主流であった鉄鋼用モータ制御や数十 MW 以上の電力用 SVG (無

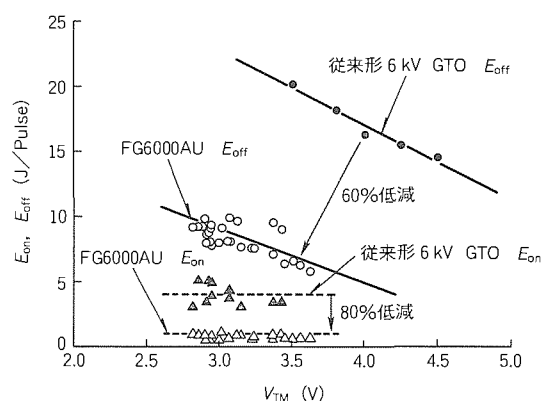


図 7.  $V_{TM}$  と  $E_{on}$ ,  $E_{off}$  のトレードオフ

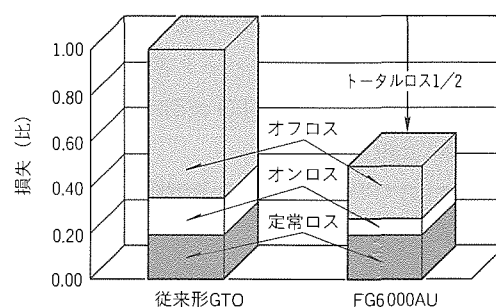


図 8. 従来形 GTO と FG6000AU のロス比較

表 1. 最大定格

項 目	記 号	最 大 値	単 位
ピーク繰返しオフ電圧	$V_{DRM}$	6,000	V
ピーク繰返し逆電圧	$V_{RRM}$	22	V
可制御オン電流	$I_{TGQ}$	6,000 ( $C_g = 6 \mu F$ )	A
実効オン電流	$I_{T(rms)}$	2,000	A
サージオン電流	$I_{TSM}$	40,000	A
臨界オン電流上昇率	$di/dt$	500	A
圧 接 力	—	8,400	kg

表 2. 主要電気特性

項 目	記 号	条 件	特性値	単 位
オン電圧	$V_{TM}$	$I_T = 6,000 A$	4.0	V
臨界オフ電圧上昇率	$dv/dt$	$V_D = 1/2 V_{DRM}$	1,000	V/μs
ゲートトリガ電圧	$V_{GT}$	$V_D = 5 \sim 20 V$	1.5	V
ゲートトリガ電流	$I_{GT}$	$I_T = 20 \sim 200 A$	4	A
ターンオン時間	$t_{gt}$	$I_T = 6,000 A$ $V_D = 1/2 V_{DRM}$	6	μs
ターンオフ時間	$t_{gt}$	$I_T = 6,000 A$ $V_D = 1/2 V_{DRM}$	30	μs
熱 抵 抗	$R_{th(i-f)}$	—	0.0044	°C/W

効電力発生装置) に対し、応用上なくてはならない重要なキーデバイスとなる。これは、大容量装置に GTO を適用する場合は、装置の性能・効率、装置据付け面積、及び冷却装置能力の制約から GTO の大容量化、低スナバ、低損失化が必要不可欠となるからである。

鉄鋼圧延機モータ制御用インバータ装置を例にとって以下

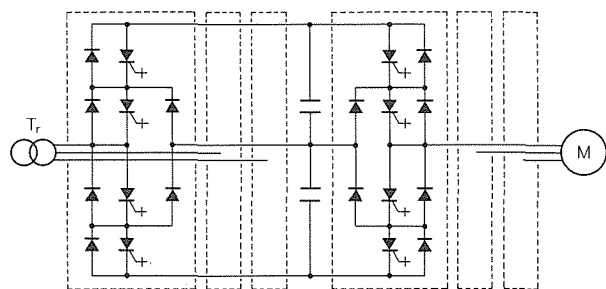


図 9. 3レベルインバータコンバータ回路例

に述べる。

基本回路は図 9 のとおりで、3 レベルコンバータ、インバータ回路を使用している。1 台の装置で、24 個の GTO 素子を使用する。表 3 に同一インバータ容量 10MVA を実現する場合に、4.5kV/4kA GTO 使用時と、6kV/6kA GTO 使用時の比較を示す。

4.5kV/4kA GTO 使用時は、装置間のバランスを考慮し、表の装置が 3 台必要となる。これによって 6kV/6kA GTO 使用時は、4.5kV/4kA GTO 使用時に比較し、素子数は 66%減、トータル損失は 12%減となり、大きな特性改善が図られ要求を満足し、容量 10MVA のインバータを達成している。

表 3. 同一インバータ容量での特性比較

(インバータ容量 10MVA)

使用素子	4.5kV/4kA GTO	6kV/6kA GTO
通電電流 (1素子当たり)	1,400A	2,800A
直流電圧 (1素子当たり)	2,250V	3,200V
周波数	500Hz	500Hz
スナバコンデンサ容量 $C_s$	4 $\mu$ F	6 $\mu$ F
使用素子数	72個 (装置 3 台分)	66%減 → 24個
トータル損失	100% → 88%	<div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: fit-content;"> <div style="display: flex; justify-content: space-between;"> <div style="text-align: center;"> <div>41%</div> <div>59%</div> </div> <div style="text-align: center;"> <div>スイッチング損失 + 定常損失</div> <div>スナバ損失</div> </div> <div style="text-align: center;"> <div>28%</div> <div>60%</div> </div> </div> <div style="text-align: center; margin-top: -10px;">12%減</div> </div>

## 5. む す び

6kV/6kA GTO は、今後ともこのような大容量装置への適用が期待され、パワーエレクトロニクス機器の発展に貢献できるものと考ええる。

# トレンチ構造60V耐圧パワーMOSFET

福持泰明\* 梶崎敦司\*\*  
久本好明\* 吉田英二\*\*  
小野 隆\*\*

## 1. ま え が き

低耐圧パワー MOSFET の用途は、パソコン、プリンタ、複写機、FAX、電動工具、DC-DC コンバータ及びスイッチング電源と広がっており、需要は年々確実に増加している。このような状況の中で、低耐圧パワー MOSFET には電子機器の更なる小型化・高効率化のための低オン抵抗化が求められている。

また最近では、低耐圧パワー MOSFET の新たな使用方法として、従来のショットキーダイオードに替わりスイッチング電源の二次側整流用デバイスとしての“同期整流用”（後述：図 8）が考えられている。これは、パワー MOSFET の逆方向特性を利用し、ショットキーダイオードでは実現が難しい低オン電圧＝0.3V 以下で動作させる整流方法である。このため、パワー MOSFET には低オン抵抗が強く求められている。

今回、これらの要求にこたえるべく、チップ表面に溝（トレンチ）を形成し、その側壁に MOSFET のゲートを形成する“新構造”の開発と組立方法の改善により、TO-220 F 外形でオン抵抗 5.7mΩ (Typ.)、耐圧 60V と超低オン抵抗の FS70 TM-06 の開発に成功した。

本稿では、今回開発した低耐圧パワー MOSFET と従来のパワー MOSFET のチップ構造の違いと特徴、組立方法の改善について、またフォワード形コンバータの二次側整流回路にパワー MOSFET を適用した場合の適用例とその効

果について述べる。

## 2. トレンチMOSFETチップの構造と特徴

図 1 にトレンチ構造パワー MOSFET チップの断面構造を示す。基板表面にはソース電極層があり、その下に p ベース層を突き抜けたストライプ状のトレンチを約 4 μm 間隔で形成する。

MOSFET のゲートは、それぞれのトレンチの両側面に形成され、トレンチ内に埋め込まれたリンを含んだポリシリコンがゲート電極として働く。MOSFET の動作は、ゲート電極を p ベース層に対して正電位にすると p ベース層のトレンチ側面の薄いシリコン酸化膜との界面が n 形領域（チャンネル）に反転し、電流が n<sup>+</sup> ドレイン→n<sup>-</sup> エピタキシャル層→チャンネル領域→n<sup>+</sup> ソース層の経路で流れる。

図 2(a), (b) は、トレンチ構造パワー MOSFET と従来構造のパワー MOSFET の断面模型図である。以下に両者の違いについて説明する。

図 2(a) に示す従来構造 MOSFET では、p ベース層に挟まれた領域（R<sub>j</sub>FET）でオン電流の経路が挟まれる現象（接合型 FET 効果）が起こるために電圧降下が発生する。この電圧降下は、それ自体 MOSFET のオン電圧を上げるうえ、最も低オン抵抗化に効果のある微細化を制限する要因となる。すなわち、微細化を進めて p ベース層間隔を狭くすると電圧降下が急激に大きくなり、かえってオン電圧が増大する現象が起こる。この悪影響は p ベース深さを浅くして低減できるが、短チャンネル効果とのトレードオフから限界がある。

トレンチ構造 MOSFET では、図 2(b) に示すようにオン電流の経路が狭くなる領域（R<sub>j</sub>FET）がなくなり、加工技術の限界まで、セル幅を縮小することができる（このチップは

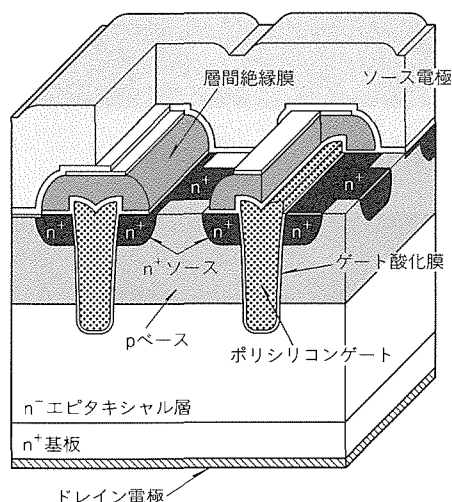
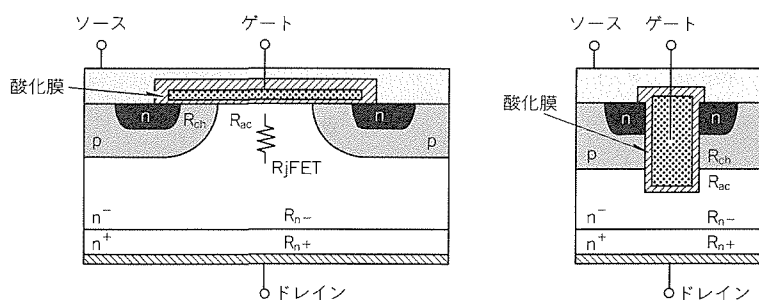


図 1. トレンチMOSFET構造



(a) 従来構造

(b) トレンチ構造

図 2. MOSFETの構造比較

1  $\mu\text{m}$  ルールを適用)。このため、従来構造と比較するとセル密度は約3倍となっている。

### 3. チップ製造プロセス

図3に、製造プロセスの概要を示す。 $n^+$ 基板上に $n^-$ 層をエピタキシャル成長させたウェーハ表面にホウ素を拡散してpベース層を形成した後に、ヒ素拡散によってソース層を形成する(図3(a))。次に、シリコン基板を異方性エッチングしてpベースを貫通し底部が $n^-$ エピタキシャル層に達するトレンチを形成する(図3(b))。続いてトレンチ内壁にゲート酸化膜を形成した後、リンを含んだポリシリコンをたい(堆)積してトレンチを埋め込む(図3(c))。

さらに、ゲート電極、ソース電極の層間絶縁膜としてCVD酸化膜を形成し、ソースのコンタクトホールを形成する(図3(d))。最後に、表面にソース電極及びゲート電極、裏面にドレイン電極を形成する。図3(e)がプロセス完了後のチップ断面である。

### 4. 組立構造の改善

パワー MOSFET のチップのオン抵抗が低オン抵抗化されるに従い、素子全体のオン抵抗のうちパッケージの占める割合が増加してくる。このため、低オン抵抗のパワー MOSFET を開発するには、チップのみの改善にとどまらず、組立構造を含めパッケージの改善も重要になる。

この製品を開発するに際しては、チップを搭載するパッケージは従来 TO-3P であったが、トレンチ構造によってチップシュリンクが可能となり、小型で、なおかつ絶縁シート等の外部絶縁の不用な、一般ユーザに既に普及している T

O-220F パッケージを採用した。その外観を図4に示す。

この構造は、この外形制約条件の中で、従来の組立技術の究極をねらうことにより、パッケージ抵抗を極限まで低減することを目的とし、次の二つの技術アイテムをテーマとして検討した。

- 内部リードアルミ線の太線化
- 内部リードアルミ線の多本化・多ステッチ化

まず、太線化に関しては、ワイヤボンド装置のフレーム押さえ構造の変更、ワイヤボンド条件の最適化により、フレーム側ステッチパッドのステッチエリアの拡大を可能とし、従来の300  $\mu\text{m}$  アルミワイヤ径を400  $\mu\text{m}$  に変更することに成功した。

また、多本化・多ステッチ化に関しては、認識用カメラの倍率アップ及びチップに特殊認識マークを入れて認識精度を上げることにより、チップソース電極パターン上にアルミワイヤ2本をトリプルステッチボンドすることを可能とした。

図5にその内部構造を示す。以上の課題をクリアすることにより、総合効果として TO-220F パッケージのパッケージ抵抗を1.2 m $\Omega$  から0.8 m $\Omega$  にすることに成功し、素子全体の低オン抵抗化に寄与することができた。

### 5. 電気的特性

図6にトレンチ構造パワー MOSFET と従来構造パワー MOSFET のパッケージ抵抗を含まないチップのみのオン抵抗( $r_{DS(on)}$ ) $\times$ 有効面積と耐圧( $V_{DSS}$ )の関係を示す。ト

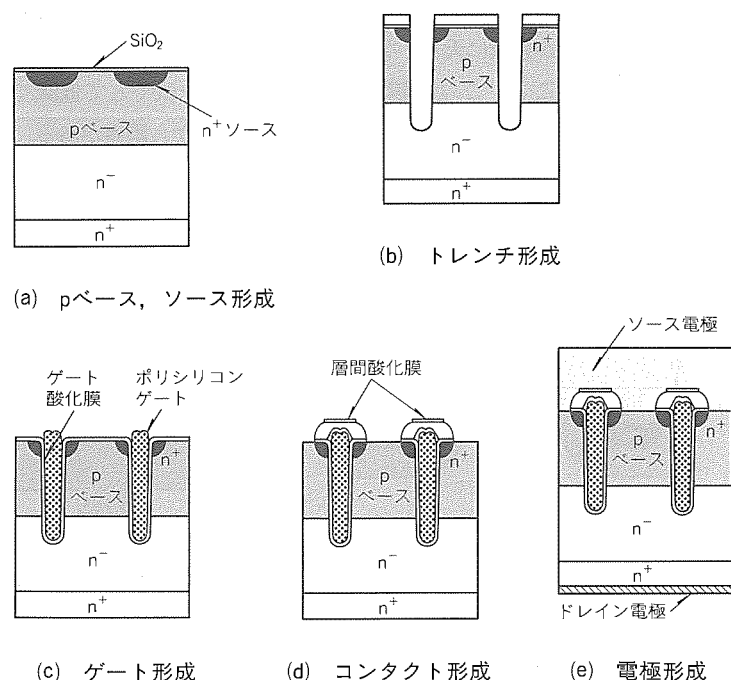


図3. 製造プロセスフロー

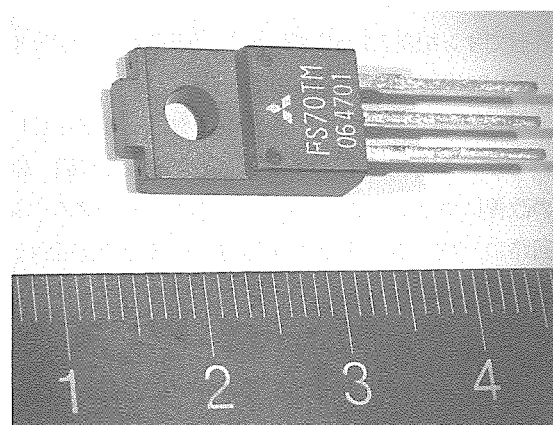


図4. パワーMOSFETの外観

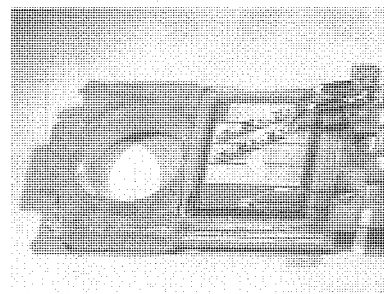


図5. 組立内部構造

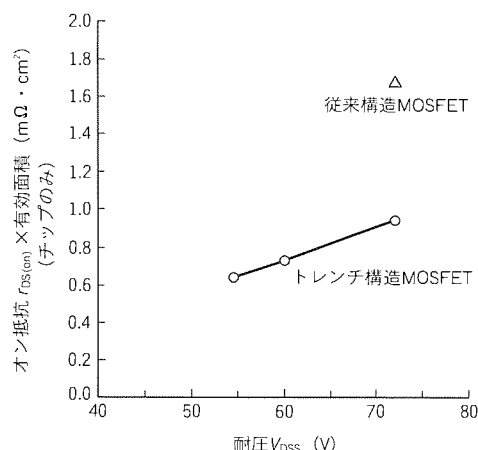
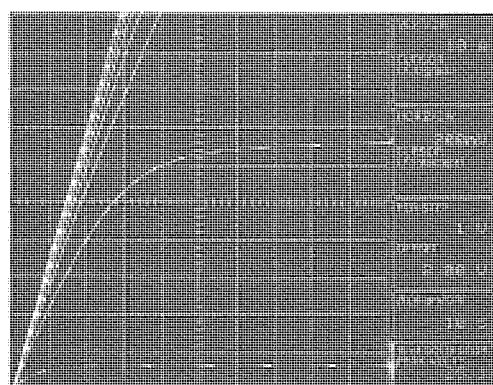
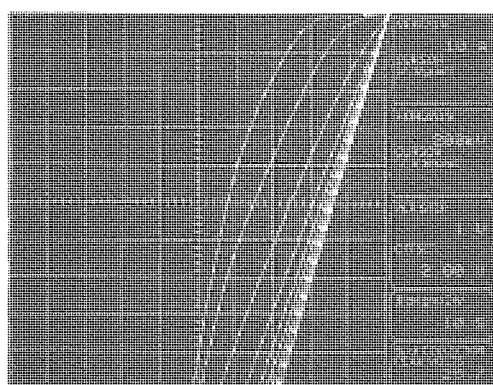


図 6. オン抵抗×有効面積(チップのみ) 対 耐圧



(a) 正方向出力特性



(b) 逆方向出力特性

図 7. トレンチ構造 MOSFET の出力特性 ( $T_c = 25^\circ\text{C}$ )

レンチ構造では従来構造に比べて 44% のオン抵抗低減となる。素子全体のオン抵抗で  $5.7\text{ m}\Omega$  (Typ.) を実現した。

今回製品化したトレンチ構造パワー MOSFET の正方向出力特性と逆方向出力特性を図 7(a), (b) に示す。耐圧  $60\text{ V}$  クラスの場合、ショットキーバリアダイオード (SBD) の順方向電圧  $V_F$  は  $0.5\text{ V}$  程度であり、表 1 のオン電圧比較に示すように  $125^\circ\text{C}$  では従来構造 MOSFET のオン電圧は SBD と同程度であり、同期整流器としての損失低減効果は期待できない。

表 1. オン電圧比較

	ショットキーバリアダイオード	従来構造 MOSFET		トレンチ構造 MOSFET	
$T_c$ ( $^\circ\text{C}$ )	125	25	125	25	125
オン電圧 (V)	0.5	0.35	0.51	0.19	0.28
オン抵抗 (mΩ)	—	10	14.5	5.3	8.0

注  $I_0 = 35\text{ A}$

表 2. 最大定格 ( $T_c = 25^\circ\text{C}$ )

項 目	記 号	定 格
ドレイン-ソース間電圧	$V_{DSS}$	$60\text{ V}$
ゲート-ソース間電圧	$V_{GSS}$	$\pm 20\text{ V}$
ドレイン電流	$I_D$	$70\text{ A}$
ドレイン電流 (パルス)	$I_{DM}$	$280\text{ A}$

表 3. 電気的特性 ( $T_c = 25^\circ\text{C}$ )

項 目	記 号	測 定 条 件	標準値
ゲート-ソース間しきい値電圧	$V_{GS(th)}$	$I_D = 1\text{ mA}$ , $V_{GS} = 10\text{ V}$	$3.0\text{ V}$
ドレイン-ソース間オン抵抗	$R_{DS(on)}$	$I_D = 35\text{ A}$ , $V_{GS} = 10\text{ V}$	$5.7\text{ m}\Omega$
入 力 容 量	$C_{iss}$	$V_{DS} = 10\text{ V}$	$6,750\text{ pF}$
出 力 容 量	$C_{oss}$	$V_{GS} = 0\text{ V}$	$1,650\text{ pF}$
帰 還 容 量	$C_{rss}$	$f = 1\text{ MHz}$	$725\text{ pF}$
ターンオン遅延時間	$t_{d(on)}$	$V_{DD} = 30\text{ V}$	$100\text{ ns}$
立ち上がり時間	$t_r$	$I_D = 35\text{ A}$	$220\text{ ns}$
ターンオフ遅延時間	$t_{d(off)}$	$V_{GS} = 10\text{ V}$	$270\text{ ns}$
下 降 時 間	$t_f$	$R_{GEN} = R_{GS} = 50\text{ }\Omega$	$190\text{ ns}$

今回のトレンチ構造パワー MOSFET では、オン抵抗低減により、オン電圧も同様に低下するため同期整流器用 MOSFET として使用すれば損失低減効果が十分にある。特にフォワード形コンバータが一般に適用される電力容量範囲で DC-DC コンバータの効率改善効果が期待できる。

表 2 にトレンチ構造パワー MOSFET (FS 70 TM-06) の主な最大定格を、表 3 には主な電気的特性を示す。表 3 のオン抵抗は製品としての標準値を示す。

## 6. 同期整流器回路への適用

1 石フォワード形 DC-DC コンバータの二次側整流用ダイオードの代わりに、今回開発したトレンチ構造パワー MOSFET (FS 70 TM-06) を同期整流器として適用した場合の整流損失低減効果を実験によって検証したので、その結果を以下に述べる。

図 8 に  $9\text{ V}$  出力フォワード形コンバータの実験回路の構成、表 4 に実験条件を示す。図 8 の  $Q_1$ ,  $Q_2$  の同期整流器にトレンチ MOSFET を適用している。同期整流器  $Q_1$ ,  $Q_2$  の駆動回路は、トランスにドライブ用巻線  $n_1$ ,  $n_2$  を設けてメインスイッチ  $Q_0$  に同期した駆動信号を得る方法をとる。トランスの各巻線は  $n_1 : n_2 : n_3 : n_4 = 13 : 4 : 2 : 2$  ターンとしており、同期整流器用 MOSFET  $Q_1$ ,  $Q_2$  のゲート駆動電圧は  $10\text{ V}$  である。

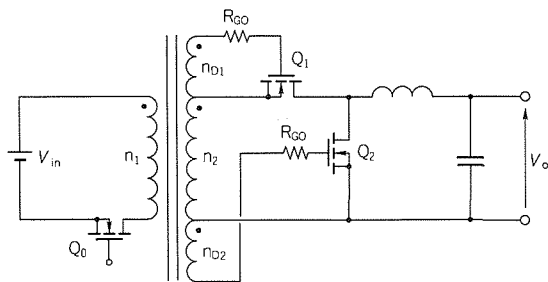


図8. 同期整流器を用いたフォワード形コンバータの構成

トレンチ MOSFET 同期整流器回路を用いたフォワード形コンバータと従来の SBD を用いたフォワード形コンバータの出力電流に対する効率比較を図9に示す。トレンチ MOSFET を同期整流器として用いれば、出力電流が約 4 A 以上で 92% 以上の高効率化が実現できる。また、SBD を用いた場合と比較して 1.3 ~ 2% 程度の改善効果が図れる。ただし、同期整流器のドライブ電力が整流損失低減を上回る軽負荷では、改善効果がなくなる領域が存在する。

出力電流 8 A における損失分析結果を表5に示す。SBD の場合の整流損失は全損失の 44.8% を占めている。SBD の整流損失  $P_{Q1}$ ,  $P_{Q2}$  は出力電流を  $I_o$ , SBD の順方向電圧の実測値を  $V_F$ , オンデューティを  $D$  として次式で求められる。

$$P_{Q1} = I_o \cdot V_F \cdot D \quad \dots\dots\dots (1)$$

$$P_{Q2} = I_o \cdot V_F \cdot (1 - D) \quad \dots\dots\dots (2)$$

また、トレンチ MOSFET の同期整流器の整流損失  $P_{Q1}$ ,  $P_{Q2}$  は、定常損失である導通損失  $P_{on}$  とスイッチング損失  $P_{SW}$ , 及びトレンチ MOSFET 同期整流器を駆動するためのドライブ損失  $P_{DR}$  の和として表すことができる。 $Q_1$ ,  $Q_2$  の導通損失  $P_{on(Q1)}$ ,  $P_{on(Q2)}$  は、トレンチパワー MOSFET のオン抵抗を  $r_{on}$ , その温度係数を  $\alpha$  として次式で求められる。

$$P_{on(Q1)} = I_o^2 \cdot \alpha \cdot r_{on} \cdot D \quad \dots\dots\dots (3)$$

$$P_{on(Q2)} = I_o^2 \cdot \alpha \cdot r_{on} \cdot (1 - D) \quad \dots\dots\dots (4)$$

スイッチング損失  $P_{SW}$  は、トレンチ MOSFET 同期整流器  $Q_1$ ,  $Q_2$  それぞれのドレイン電流、ドレイン-ソース間電圧波形から計算した。トレンチ MOSFET 同期整流器のターンオン時のスイッチング損失は、無視できるほど小さいため、スイッチング損失はターンオフ時のスイッチング損失で決定される。また、ドライブ損失  $P_{DR}$  は、 $Q_1$ ,  $Q_2$  のゲート波形から計算した実効値  $I_{G(rms)}$  と外付けのゲート抵抗  $R_{GO}$  及びトレンチ MOSFET の内部抵抗  $R_{GT}$  から次式で求められる。

$$P_{DR} = I_{G(rms)}^2 \cdot (R_{GO} + R_{GT}) \quad \dots\dots\dots (5)$$

以上二次側整流素子に、SBD の代わりにトレンチ構造 MOSFET を用いると高効率化が図れることを実証した。

表4. 実験条件

入力電圧 $V_{in}$	70 V
出力電圧 $V_o$	9 V
出力電流 $I_o$	1 ~ 8 A
スイッチング周波数 $f_{sw}$	147 kHz

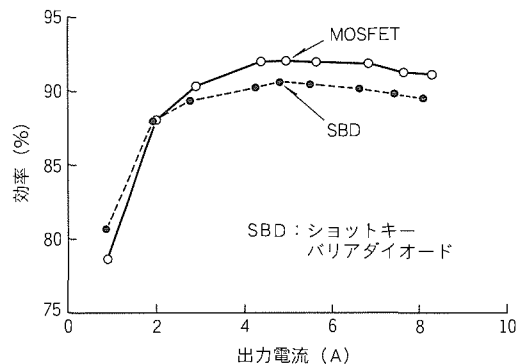


図9. 効率比較 (9V出力)

表5. 損失分析

単位: W

		$P_{on}$	$P_{SW}$	$P_{DR}$	整流損失
同期整流	$Q_1$	0.206	0.233	0.680	1.119
	$Q_2$	0.284	0.623	0.652	1.559
	$Q_1 + Q_2$	0.490	0.856	1.332	2.678
S B D	$Q_1$	—	—	—	1.493
	$Q_2$	—	—	—	2.062
	$Q_1 + Q_2$	—	—	—	3.555

## 7. む す び

60 V 耐圧パワー MOSFET についての特徴、構造、組立方法、スイッチング電源の二次側整流回路に用いた応用例とその効果について述べた。このようにパワー MOSFET にトレンチ構造を採用して低オン抵抗化に成功し、これまで実現できなかった同期整流に初めて使用できるようになり、効率アップが可能となった。

したがって、電子機器の小型化・低損失化が図れ、パワー MOSFET の市場が拡大するものと期待される。

## 参 考 文 献

- (1) 菅 郁郎, 高橋英樹, 西原秀典, 岩田信幸: 新構造 MOSFET を用いた同期整流器, 電子情報通信学会電子通信用電源技術研究会, PE94-25 (1994)
- (2) 原田真名, 湊 忠玄, 西原秀典, 高橋英樹, 井上敬二, 高田育紀: トレンチ MOS ゲート構造の 600V 絶縁ゲートバイポーラトランジスタ, 三菱電機技報, 68, No.3 270 ~ 274 (1994)



# 単層ハーフトーン位相シフトマスク

吉岡信行\* 前床和行\*\*  
楠瀬治彦\*\* 今井忠義\*\*  
千葉 明\*\*\* 宮崎順二+

## 1. ま え が き

超 LSI などの半導体デバイスの製造にはガラス基板上に遮光膜 (Cr 又は MoSi 等) の回路パターンを描いたマスクの光学像をレンズで縮小投影し、ウェーハ上に回路パターンを転写する光リソグラフィが使われている。しかし、近年、64 MDRAM などの先端デバイスは、パターンサイズがサブハーフミクロンの領域に入り、光リソグラフィの解像限界に近いところで作られている。このため、光リソグラフィの解像限界を延ばし、パターン転写工程でのプロセスマージンを拡大させる位相シフト露光法が検討されてきた。これは、光の位相を制御するシフトパターンを付加したマスクを用い、その位相制御で投影像の解像力を向上させる方法である。

ハーフトーン位相シフトマスクはその一つの方式で、マスク遮光膜材料として透過率が 5～20%，位相角が 180°の半透明シフト膜を使用したものである<sup>(1)</sup>。このマスクは、転写解像が特に難しいとされるホールパターンのフォーカスマージン拡大に有効である。さらに、パターンレイアウト上の制約がなく通常のマスクと同様なパターン設計ツールが使えることから最も実用的な方式であると考えられる。また、露光装置の光源形状を変えて解像力を改善させる変形照明法との組合せで、配線パターンの解像性改善手段としても期待されている。

従来、図 1 の (a) に示すようにハーフトーン位相シフトマスクは、透過率を制御する Cr と位相を制御する SiO<sub>2</sub> の二層構造シフトで作られてきた。しかし、異なる材料の二層構造では成膜やエッチングが難しく、高精度で無欠陥のマスクが実現できなかった。近年になり、図 1 の (b) に示すような実用性の高い、単一の材料系で作られた単層シフト膜が開発された<sup>(2)～(7)</sup>。当社では、通常のマスクで使われてきた MoSi 又は Cr の材料で単層のハーフトーン位相シフトマスクを実

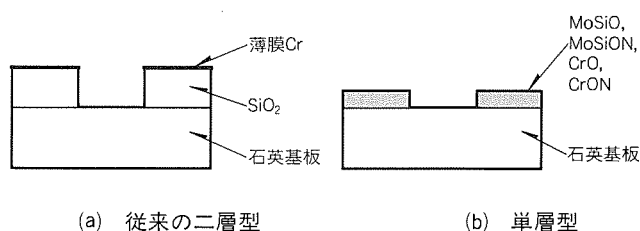


図 1. 単層型と従来の二層型のハーフトーン位相シフトマスクの構造比較

現することを目的に、開発を進めてきた。

この論文では、MoSi 系と Cr 系材料の単層ハーフトーン位相シフトマスクの開発について紹介する。

## 2. 単層ハーフトーン位相シフトマスク製作技術

### 2.1 単層シフト膜形成

ハーフトーンシフト膜は、180°の位相角で透過率が 5～20%であることが要求される。これを単層膜で実現するには、位相角と透過率を決めている膜の屈折率  $n$  と消衰係数  $k$  が成膜条件で独立に制御できることが望まれる。我々は、スパッタ成膜による MoSiO<sub>x</sub>, MoSiON, CrO と CrON 膜の  $n$  と  $k$  が成膜条件にどのように依存しているかを評価し、要求の位相角と透過率が達成できるかを調べた。

MoSiO<sub>x</sub>, MoSiON 膜及び CrO, CrON 膜は、それぞれターゲットに Cr, MoSi を用い、ガスに Ar + O<sub>2</sub> 又は Ar + O<sub>2</sub> + N<sub>2</sub> を用いた DC 反応性スパッタで形成された。この成膜方法は、通常の MoSi, Cr マスクブランクス製造でも使用されているものである。

図 2 は MoSiO 膜の i 線 (波長: 365nm) に対する  $n$  と  $k$  の反応ガス O<sub>2</sub> の流量依存性である。MoSiO 膜の  $n$  と  $k$  は、O<sub>2</sub> 含有量が増えるとともに減少する。

一方、図 3 は CrO 膜の i 線 (波長: 365nm) に対する  $n$  と  $k$  の反応ガス O<sub>2</sub> の流量依存性である。CrO 膜の場合では  $n$  は O<sub>2</sub> 含有量が増えるとともに増加し、Cr が完全酸化した Cr<sub>2</sub>O<sub>3</sub> の屈折率 ( $n = 2.76$ ) に近づく。 $k$  は O<sub>2</sub> 含有量が増加するとともに減少する。さらに、MoSiO<sub>x</sub>, CrO の膜は、N<sub>2</sub> を加えても  $n$  と  $k$  が変化し、またガス圧力や DC パワーに

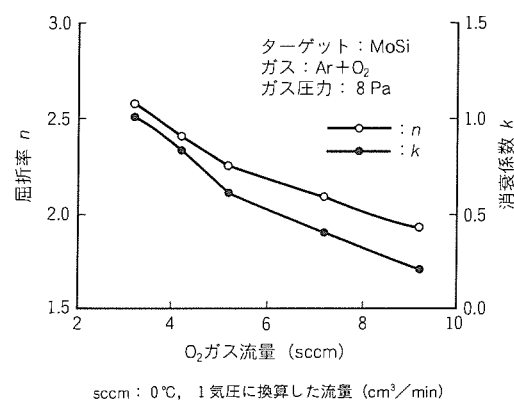


図 2. i 線 ( $\lambda = 365\text{nm}$ ) に対する MoSiO 膜の屈折率  $n$  と消衰係数  $k$  の O<sub>2</sub> ガス流量依存性

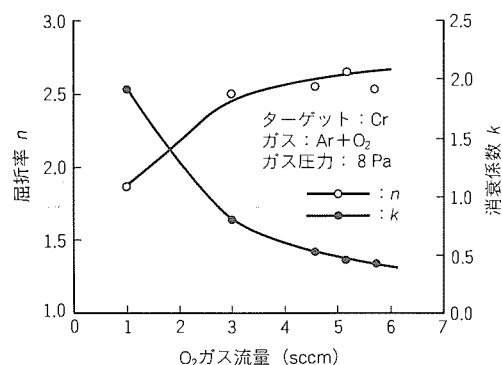


図3. i線 ( $\lambda = 365\text{nm}$ ) に対するCrO膜の屈折率 $n$ と消衰係数 $k$ の $\text{O}_2$ ガス流量依存性

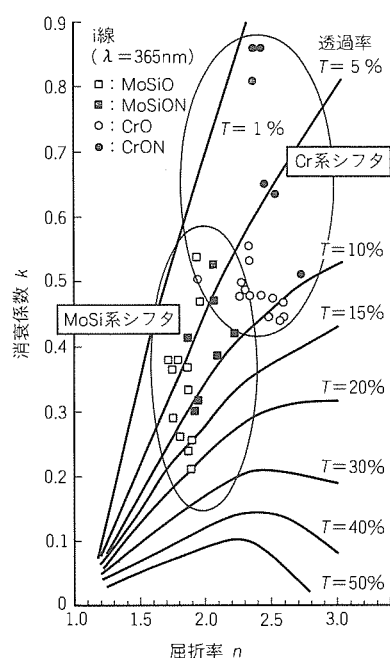


図4. MoSiO, MoSiON, CrO, CrON膜のi線 ( $\lambda = 365\text{nm}$ ) に対する屈折率 $n$ と消衰係数の関係も依存することが分かった。

図4は実験で得られたMoSiO, MoSiON, CrOとCrON膜のi線に対する $n$ と $k$ をまとめたものである。図内の透過率 $T = 5\%$ や $10\%$ と書かれた線は、その透過率と位相角 $180^\circ$ を満足する $n$ と $k$ の組合せを結んだものである。図4の結果が示すように、MoSiO, MoSiON, CrOとCrON膜が透過率を5～20%の範囲で制御できる単層のハーフトーンシフトになることが分かる。さらに、MoSi系の膜がKrFエキシマレーザ光(波長: 248nm)に対しても単層のシフト膜になることが分かった。このことは、MoSi系のシフト膜を適用することで同一プロセスでi線用とKrF用のハーフトーン位相シフトマスクを製造できる可能性を示している。

表1は実験で得られたシフト膜の代表的なものをまとめたものである。i線のシフト膜厚は、CrOが110nm, MoSiOが165nm程度で、従来の二層型(Cr/SiO<sub>2</sub>, 膜厚430nm)

表1. 代表的なハーフトーン位相シフトマスク用シフト膜の屈折率, 消衰係数, 膜厚と透過率

波長	膜のタイプ	屈折率 $n$	消衰係数 $k$	膜厚 $ds$ (nm)	透過率 $T$ (%)
365nm (i線)	MoSiO	2.09	0.38	165	10
	MoSiON	2.21	0.42	150	9
	CrO	2.63	0.50	110	10
	CrON	2.67	0.47	120	10
	Cr/SiO <sub>2</sub>	—	—	430	10
248nm (KrF)	MoSiO	1.97	0.35	135	9

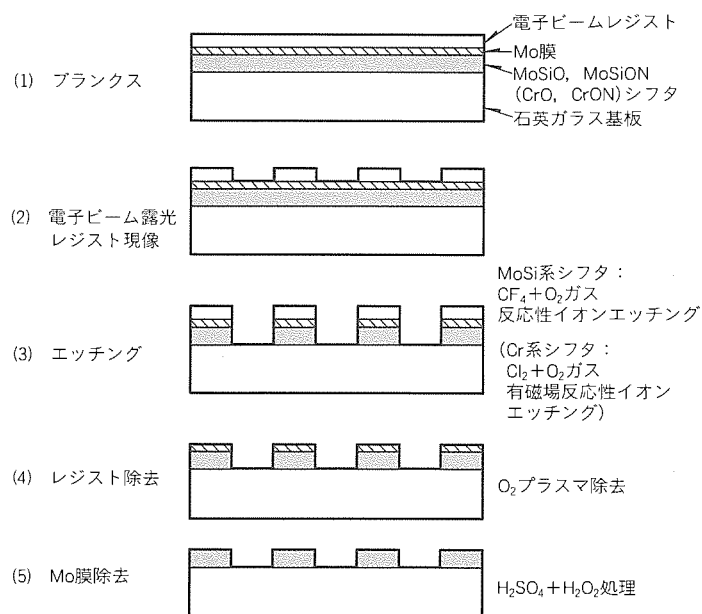


図5. MoSi系, Cr系単層シフトを用いたハーフトーン位相シフトマスクの加工フロー

に比べて薄くなるため、高精度なエッチングに有利である。

## 2.2 マスク加工技術

MoSi系及びCr系のシフト膜は、導電性が小さいため、電子線描画時に帯電し、描画精度が低下する問題がある。これを解決するために、プラックスのシフト表面にMo金属膜(膜厚: 20nm)を形成した。図5はCrO, CrON, MoSiOとMoSiON膜シフトを用いたマスクの製造フローである。レジストにはドライエッチング耐性に優れたポジ型電子線レジストを用いた。シフトとMo膜の加工は、MoSi系シフトに対し $\text{CF}_4 + \text{O}_2$ ガスの反応性イオンエッチング(Reactive Ion Etching: RIE), Cr系シフトに対して $\text{Cl}_2 + \text{O}_2$ ガスの有磁場反応性イオンエッチング(Magnetron Reactive Ion Etching: MRIE)によって行う。レジスト除去後、Mo膜を $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ によるウェット処理で除去する。これらのシフト膜は、通常のCrマスクの洗浄で用いられている $\text{H}_2\text{SO}_4$ などの酸に対し強く、通常マスクと同じ洗浄プロセスが適用できる<sup>(8)</sup>。

欠陥検査については、検査波長に対する透過率が20～40% (i線用) と通常のマスクに比べて高いが、従来の透過型欠

陥検査装置が利用できる。欠陥修正も通常のマスクで利用されている残り欠陥に対するレーザアブレーション、ピンホール欠陥に対するFIB-カーボンデポジションが利用できる。図6はハーフトーン位相シフトマスクで生じる残り欠陥とピンホール欠陥の修正方法及び修正結果を示している。

### 3. ハーフトーン位相シフトマスクの転写特性

#### 3.1 転写特性

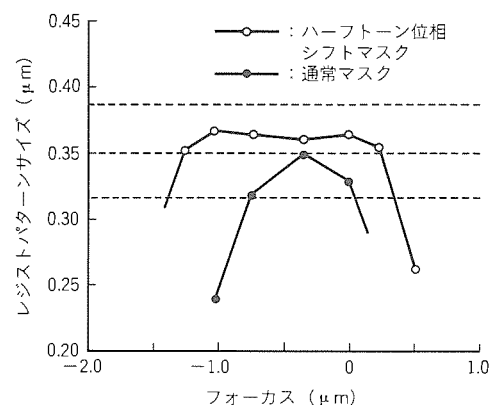
試作した単層ハーフトーン位相シフトマスクを用いて転写の解像力評価を行った<sup>(4)</sup>。図7(a)はハーフトーン位相シフトマスク及び通常マスクを用い、レンズ開口数  $NA = 0.57$  のi線縮小露光装置で転写した $0.35\mu\text{m}$ ホールパターン寸法-フォーカス特性である。ハーフトーン位相シフトマスクには、透過率10%の $\text{MoSiO}_2$ シフトを用いた。図7が示すように、寸法が $0.35\mu\text{m} \pm 10\%$ に入るフォーカスマージンが通常マスクでは $0.6\mu\text{m}$ であるのに対し、ハーフトーン位相シフトマスクでは2倍以上の $1.5\mu\text{m}$ になる。同様に、図7(b)に示すように $\text{KrF}$ エキシマレーザ光を用いた縮小露光( $NA = 0.5$ )でもハーフトーン位相シフトマスク( $\text{MoSiO}_2$ , 透過率10%)を用いることでフォーカスマージンが向上した。

図8は $\text{KrF}$ エキシマレーザ露光に $\text{MoSiO}_2$ シフトのハーフトーン位相シフトマスクを適用して得られた $0.2\mu\text{m}$ のホールパターンの断面である。

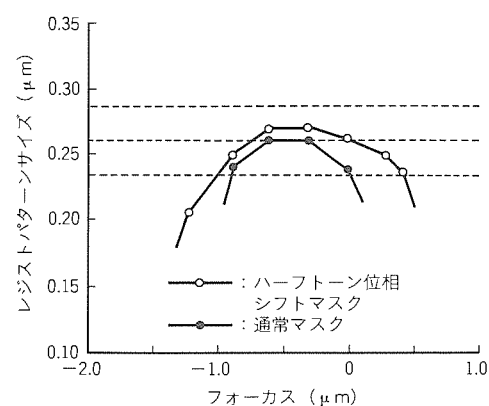
#### 3.2 マスク精度と転写精度

ハーフトーン位相シフトマスクの製作仕様には通常のマス

クで用いられているパターンの寸法精度、位置精度、欠陥サイズの仕様に、シフトの位相角と透過率が加わる。この位相角と透過率の精度をどの程度の値に入れないかなければならないのかを明確にするために、i線露光における位相角と透過率の誤差が転写結果に与える影響を調べた<sup>(9)</sup>。



(a) i線露光 ( $NA = 0.57$ )



(b)  $\text{KrF}$ エキシマレーザ露光 ( $NA = 0.50$ )

図7. 転写パターンの寸法-フォーカス特性

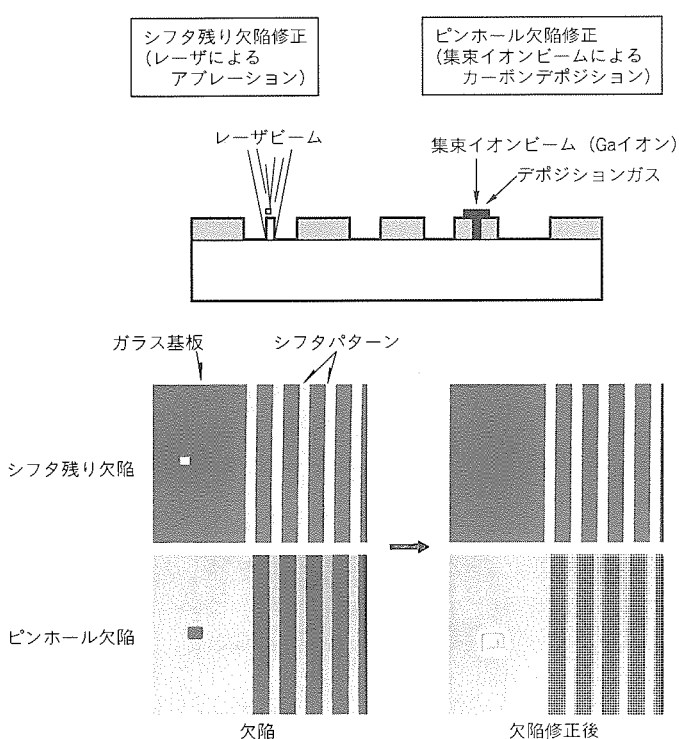


図6. シフトパターン欠陥修正方法及び修正実験結果

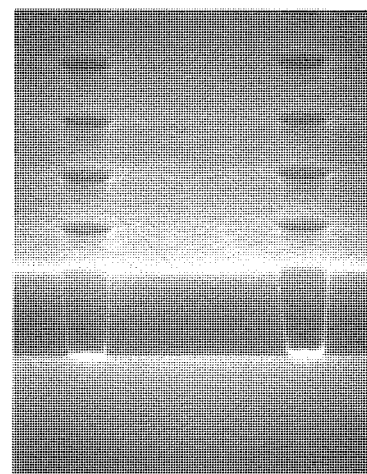


図8.  $\text{KrF}$ エキシマレーザ露光に $\text{MoSiO}_2$ シフトのハーフトーン位相シフトマスクを適用して得られた $0.2\mu\text{m}$ ホールパターン断面

図9は $0.4\mu\text{m}$ ホールパターンの転写に対し、位相角誤差が生じたときのベストフォーカスと焦点深度 (Depth Of Focus: DOF) の変化をシミュレーションで求めた結果である。位相角誤差が大きくなると、ベストフォーカスの位置ずれが大きくなり、DOFは減少する。この結果から、ベストフォーカスの位置ずれとDOFの減少を $0.2\mu\text{m}$ 以下にするためには、位相角精度 (マスク内の中心値と分布) を $180 \pm 4^\circ$  以内に入れないことが分かる。図10はベストフォーカスの位置ずれとDOFの透過率依存性である。図が示すように、高い透過率の方がDOFは高くなる。しかし、その上限はシフト透過光による悪影響、例えば露光のかぶりの影響がでない透過率に決められる。透過率の中心値に対する許容値は位相角と同様にベストフォーカスの位置ずれとDOFの減少を $0.2\mu\text{m}$ 以下とすれば、 $\pm 2\%$ 以下になる。

#### 4. シフトの位相角測定技術

ハーフトーン位相シフトマスクの製造では位相角と透過率を測定し、保証する必要がある。透過率は既に市販されている分光光度計を用いて絶対値を測定することができる。一方、

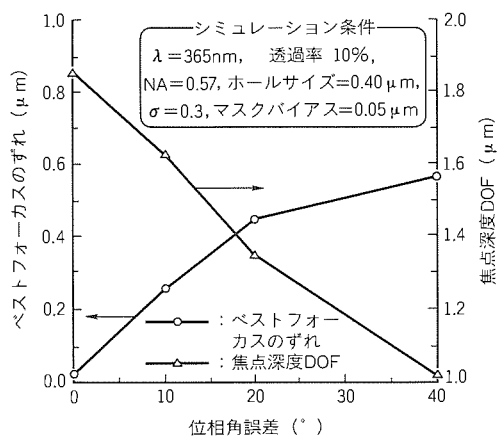


図9. ベストフォーカスのずれと焦点深度DOFの位相角依存性

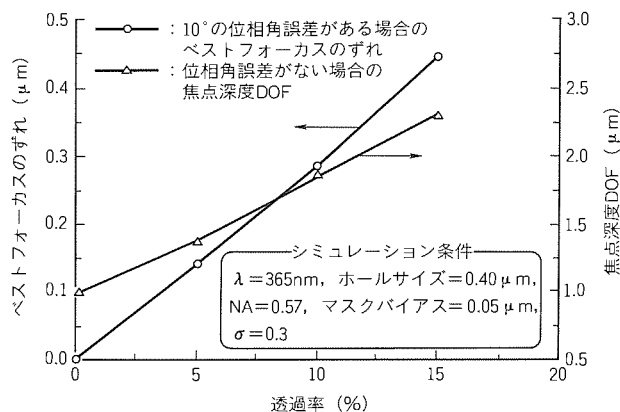


図10. ベストフォーカスのずれと焦点深度DOFの透過率依存性

位相角については露光波長で直接測定できる装置はなく、シフトの膜厚と屈折率から計算で求める方法が行われてきたが、精度に問題があった。このため、当社ではハーフトーン位相シフトマスクの開発とともに露光波長で位相差を直接測定する位相差測定器の開発を行ってきた<sup>(10)</sup>。図11がその原理である。

この装置は、図のようにシャリング方式のマッハ・ツェンダー干渉計を用い、マスク上のシフトとガラス基板を透過した光を干渉させて得られる光強度信号を測定することでシフトの位相角を求める方法をとっている。光源には水銀ランプを用い、フィルタで波長を選択することで、i, h, g, e線に対する位相角測定が可能である。この方式を用いた測定器を試作し、測定精度 $3\sigma = 0.3^\circ$ を達成している。また、透過率を測定する機能も持ち、 $3\sigma = 0.1\%$ の測定再現性を達成している。図12は位相差測定器である。

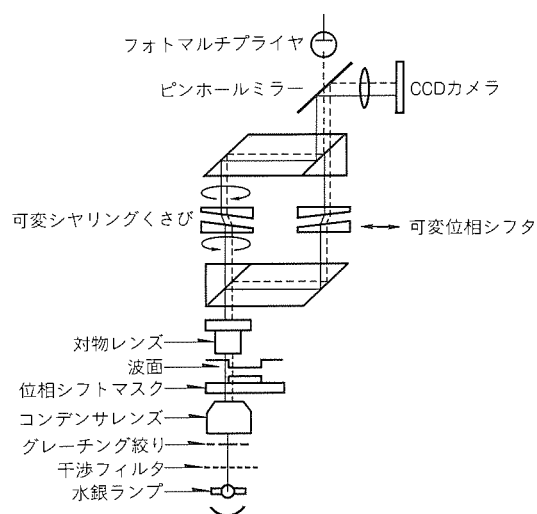


図11. シャリング方式のマッハ・ツェンダー干渉計を用いた位相差測定器の原理

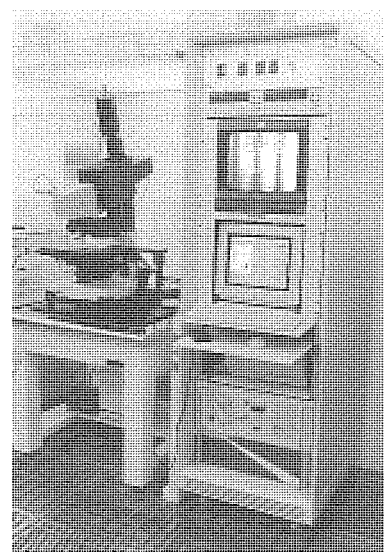


図12. 位相差測定器

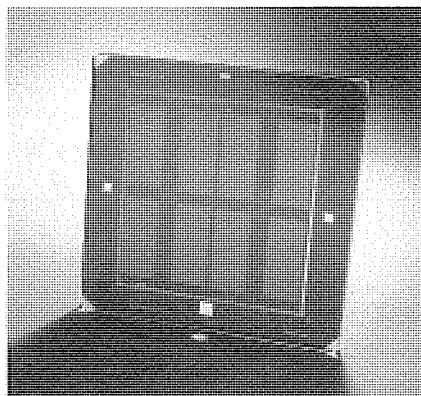
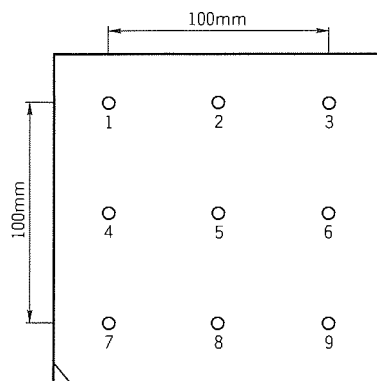


図13. 64MDRAMのi線用ハーフトーン  
位相シフトマスク



(a) 測定位置

	パターン寸法 ( $\mu\text{m}$ )	位相角 ( $^{\circ}$ )
ねらい値	2.500	180.0
マスク内測定値	1	2.518
	2	2.528
	3	2.522
	4	2.520
	5	2.528
	6	2.529
	7	2.503
	8	2.501
	9	2.508
平均値	2.517	181.1
分布 (レンジ)	0.028	3.2

(b) マスク内測定結果

図14. 6インチマスク内のパターン寸法と位相角の分布 (100mm内)

## 5. 実デバイス対応ハーフトーン 位相シフトマスクの試作

前項まで述べてきた単層シフト成膜技術、マスク製造技術や測定技術を用いて、64MDRAMのi線用ハーフトーン位相シフトマスクを製作した。図13は64MDRAMのホール工程用6インチMoSi系ハーフトーン位相シフトマスクである。このマスクで $0.5\mu\text{m}$ 以上の欠陥ゼロ、透過率 $\pm 1\%$ 、位相角 $180 \pm 5^{\circ}$ のスペックを実現している。図14は6インチマスクの100mm内の寸法分布と位相角分布であり、レンジで寸法 $0.03\mu\text{m}$ 、位相角 $3.5^{\circ}$ 以下になっている。

## 6. む す び

MoSi系とCr系の単層ハーフトーン位相シフトマスクの開発について述べてきた。このマスクは、現在、半導体製造の汎用技術として期待され、実用化の段階に入りつつある。このため、今後は通常のマスクと同レベルのコスト、製造工程能力、短納期化を実現することが課題である。

## 参 考 文 献

- (1) Terasawa, T., Hasegawa, N., Fukuda, H., Katagiri, S.: Jpn. J. Appl. Phys., **30**, 2991 (1991)
- (2) Iwabuchi, Y., Ushioda, J., Tanabe, H., Ogura, Y., Kishida, S.: Jpn. J. Appl. Phys., **30**, 5900 (1993)
- (3) Yoshioka, N., Miyazaki, J., Kusunose, H., Hosono, K., Nakajima, M., Morimoto, H., Watakabe, Y., Tsukamoto, K.: Technical Digest of IEDM '93, 653 (1993)
- (4) Nakajima, M., Yoshioka, N., Miyazaki, J., Kusunose, H., Hosono, K., Morimoto, H., Watakabe, Y., Tsukamoto, K.: Proc. SPIE, **2197**, 111 (1994)
- (5) Ito, S., Hazama, H., Kamo, T., Miyazaki, H., Sato, H., Hayashi, K., Shigemitsu, H., Mori, I.: Proc. SPIE, **2197**, 99 (1994)
- (6) Mori, H., Hashimoto, K., Tominaga, T., Fujikawa, J., Inomata, H., Iimura, Y., Gotoh, M., Takahashi, M., Sano, H.: Digest of Papers, Photomask Japan '94, 60 (1994)
- (7) Mitsui, H., Matsumoto, K., Yamaguchi, Y., Mitsui, M., Matsui, S., Suda, Y., Ohkubo, Y.: Digest of Papers, Photomask Japan '94, 60 (1994)
- (8) Saito, Y., Kawada, S., Yamamoto, T., Hayashi, A., Isao, A., Tokoro, Y.: Digest of Papers, Photomask Japan '94, 12 (1994)
- (9) Miyazaki, J., Nakae, A., Kusunose, H., Yoshioka, N., Wakamiya, W., Murayama, K.: Digest of Papers, Micro Process '94, 300 (1994)
- (10) Kusunose, H., Nakae, A., Miyazaki, J., Yoshioka, N., Morimoto, H., Murayama, K.: Digest of Papers, Photomask Japan '94, 70 (1994)

# アモルファスシリコンTFT用 回路／デバイスシミュレータ

谷沢元昭\* 坪内夏朗\*\*\*  
石川清志\*\* 大縄登史男+  
小谷教彦\*\*\* 菊田 繁++

## 1. ま え が き

液晶ディスプレイの駆動素子として、アモルファスシリコン (a-Si) TFT はその製造上の均一性やコストの面で注目されている。表示デバイスの開発の効率化では、メモリ設計と同様に回路設計・デバイス設計の各段階で果たす TCAD (Technology CAD) ツールの役割は大きい。中でも、回路シミュレータによる動作検証や設計マージンの最適化は、デバイスの高性能化・高品質化のための重要なステップである。また、個々のトランジスタの最適化にはデバイスシミュレータを用いたデバイス物理にまで踏み込んだ開発が必要となってきた。

我々は、a-Si TFT の DC ドレイン電流及びゲート容量特性を記述するための解析モデルを回路シミュレータ MICS (Mitsubishi Circuit Simulator) に、バンドギャップ中の局在準位の充放電モデルをデバイスシミュレータ MIDSIP-T (Mitsubishi Device Simulation Program-Triangular) にそれぞれ導入し、TEG (Test Element Group) 実測との比較を行った。

この報告では、以下に TFT モデルの内容の詳細及びその適用結果について説明する。

## 2. a-Siモデル

通常の結晶では、長距離秩序に基づく周期性による Bloch の定理によって、エネルギーのバンド構造が容易に導かれる。長距離秩序のないアモルファス (非晶質) シリコンにおいても、短距離秩序が存在するため、エネルギーのバンド構造を仮定し、種々の現象がうまく説明できている。以下に禁制帯内のトラップ準位で特徴付けられる a-Si のエネルギーバン

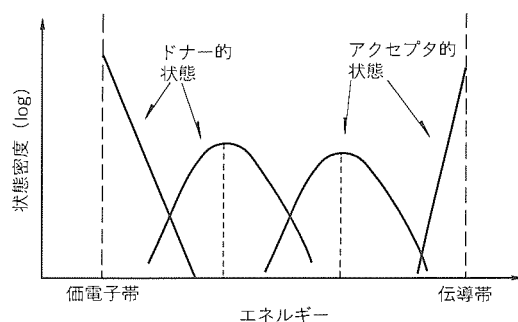
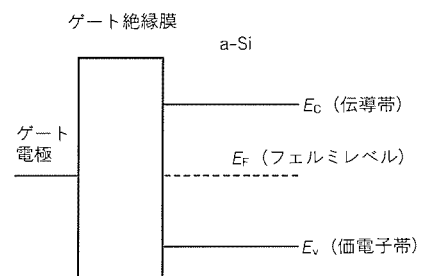


図1. a-Siの禁制帯内のトラップ準位 (DOSモデル)

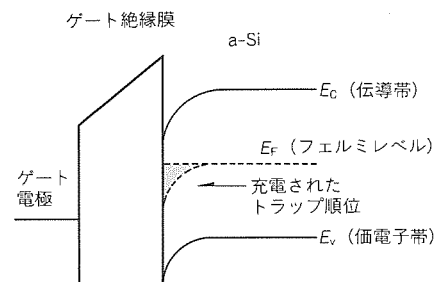
ド構造に対する仮定を述べる。

a-Si は、通常水素によるパッシベーションを行うが、水素化処理後も a-Si には非晶質固有の欠陥が高密度に存在し、バンドギャップ中に多数の局在準位を形成する。これらの準位には、原子間の結合のひずみ (歪) に起因するバンド端から指数的にすそ (裾) をひくものと、未結合手に起因した禁制帯中心付近に Gauss 分布的な分布を持つものがある。それぞれにドナー的なものとアクセプタ的なものが存在し、図1のような分布を仮定することができる。これを DOS (Density of States) モデルという。

禁制帯内局在準位の効果を定性的に見てみよう<sup>(1)</sup>。図2は a-Si TFT のチャネル形成時におけるバンド構造の変化を示している。a-Si TFT では、多数の局在準位の充放電が必要であるため、sub-threshold 特性がなまる。このなまった Sub-threshold 特性が、局在準位の効果がほとんど無視できる結晶 Si との大きな違いになっている。この局在準位にトラップされるキャリアをデバイスシミュレーションでは直接に、回路シミュレーションでは解析式による近似で求める。



(a) フラットバンド状態



(b) チャネル形成状態

図2. a-Si TFTチャネル形成時のバンド構造変化

## 3. a-Si TFT回路モデル

a-Si TFT の解析モデルとしてドレイン電流は、GCA (Gradual Channel Approximation) に基づく Hack & Shur のモデル<sup>(2)(3)</sup>に DIBL (Drain Induced Barrier Lowering) を表すための修正を行ったもの、またゲート容量は Shur のモデル<sup>(4)</sup>に S. Y. Oh のチャネル電荷の分割手法<sup>(5)</sup>を適用して導出した電荷保存型容量モデルを開発した。これにより、MOSFET の場合と同様にパラメータに対する感度解析等も可能となった。

非線形素子である a-Si TFT は、回路シミュレータ内では図 3 の等価回路に示すように、能動特性を表す直流電流源と並列抵抗、バイアス依存性のあるゲート容量とオーバーラップ容量及びソースとドレインの寄生抵抗から構成される。この中でモデル化が必要なのは電流源と非線形ゲート容量特性である。

## (1) 直流特性

a-Si TFT では禁制帯内に、未結合手等に起因する局在準位が多数存在し、バルク MOSFET とは異なる電気特性を示す。ゲート電圧を十分に印加した状態ではバルクの特性に近づくが、 $V_{TH}$  前後では局在準位の影響を強く受ける。また、バルクにおいて、実効移動度がゲート電圧を印加すると表面散乱によって低下するのに対して、a-Si では伝導帯に誘起される電荷が増え電界効果移動度は上昇する。

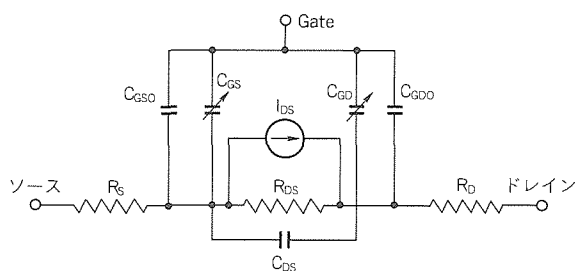
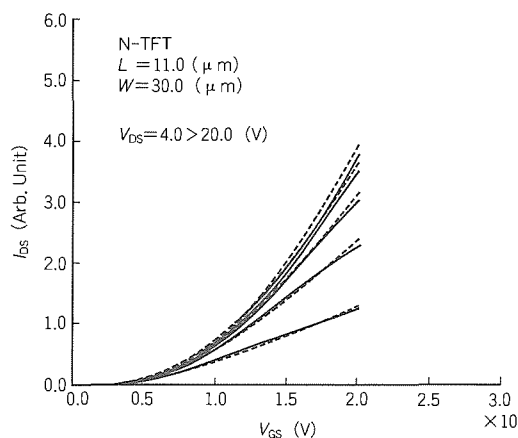


図 3. a-Si TFT の等価回路 (3 端子素子)

(a) a-Si TFT の  $I_{DS}$ - $V_{GS}$  特性

Hack & Shur は、禁制帯内の状態密度をエネルギーの適当な関数形で近似することによって、電界効果移動度  $\mu_{FET}$  を誘起される電荷  $N_{IND}$  (自由なキャリアと局在準位にトラップされているものとの和) の関数で表した実験式を求め、これらを GCA に適用してドレイン電流式を導いている。

トランジスタの実効チャネル長、幅をそれぞれ  $L$ ,  $W$  で表すと、線形領域でのドレイン電流  $I_{DS}$  は以下のようにして与えられる。

$$I_{DS} = q \frac{W}{L} \int_0^{V_{DS}} \mu_{FET} N_{IND} dV_y \quad \dots\dots\dots (1)$$

$$\mu_{FET} = (A_0 + A_1 N + A_2 N^2 + A_3 N^3 + A_4 N^4 + A_5 N^5) \mu_{BAND} \quad \dots\dots\dots (2)$$

$$N = N_{IND} / N_0 \quad \dots\dots\dots (3)$$

ここで、 $q$  は単位電荷を示し、 $\mu_{BAND}$  はバンド移動度、 $N_0$  は規格化のための定数 ( $1.0 \times 10^{12} \text{ (cm}^{-2}\text{)})$  を表している。 $A_0 \sim A_5$  は、電界効果移動度の誘起電荷量依存性を表す係数である。また、単位面積当たりのゲート容量を  $C_{ox}$ 、フラットバンド電圧を  $V_{FB}$  とすると、チャネル内の任意の位置  $Y$  における誘起電荷量  $N_{IND}$  は、

$$N_{IND} = C_{ox} (V_{GS} - V_{FB} - V_y) / q \quad \dots\dots\dots (4-1)$$

$$V_{FB} = V_{FBO} - E_{TA} V_{DS} \quad \dots\dots\dots (4-2)$$

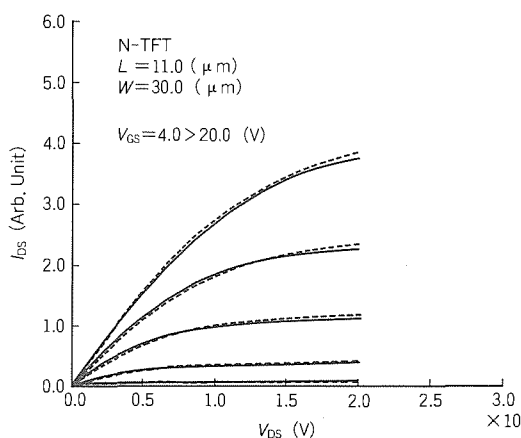
で表される。なお、 $E_{TA}$  は DIBL を表すフィッティングパラメータである。

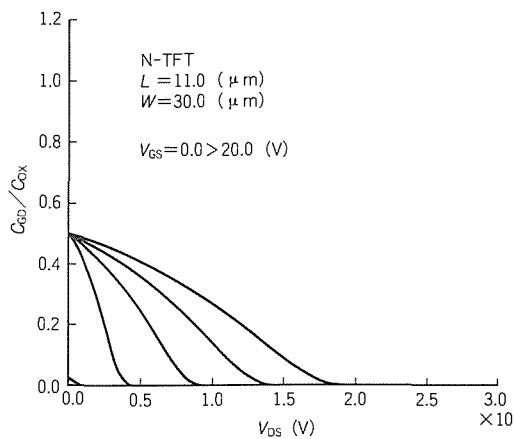
一方、飽和領域 ( $V_{DS} > V_{DSAT} = V_{GS} - V_{FB}$ ) でのドレイン電流  $I_{DS}$  は、ドレイン近傍の空乏層幅を  $\Delta L$  とすると、チャネル長が  $L - \Delta L$  の TFT に、長さ  $\Delta L$  の n-i-n ダイオードが直列に接続された複合素子としてモデル化できる。モデル式を以下に示す。

$$I_{DS} = I_{DSAF} \frac{L}{L - \Delta L} \quad \dots\dots\dots (5)$$

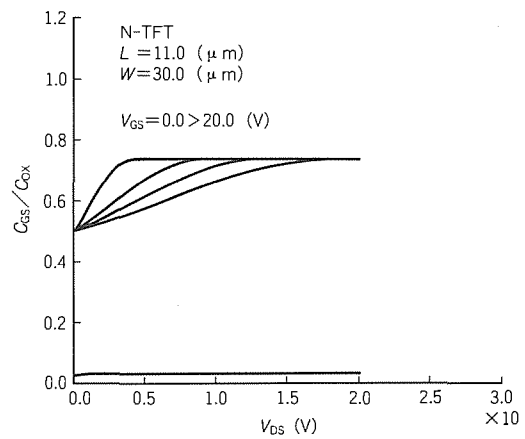
ただし、 $I_{DSAT}$  はピンチオフ時のドレイン電流である。

以上のモデルに必要なパラメータ抽出は、MPE (Mi-

(b) a-Si TFT の  $I_{DS}$ - $V_{DS}$  特性図 4.  $I_{DS}$ - $V_{GS}$  及び  $I_{DS}$ - $V_{DS}$  特性の実測値との比較



(a) a-Si TFTの $C_{GD}$ 特性



(b) a-Si TFTの $C_{GS}$ 特性

図5. a-Si TFTのゲートC-V特性の計算値

tsubishi Parameter Extractor) で可能である。得られたパラメータを用いて計算した $L/W = 11/30$  ( $\mu\text{m}$ ) の a-Si TFT の  $I_{DS}-V_{GS}$  及び  $I_{DS}-V_{DS}$  特性の TEG 実測値との比較を図4に示す。

## (2) ゲート容量特性

a-Si TFT のスイッチング特性等の動特性を精度良く計算するには、ゲート容量の正確なモデリングが必要になる。a-Si TFT に固有な移動度の誘起電荷密度依存性を考慮した電荷保存則を満足するゲート容量モデルを以下に示す。このモデルは、Shur<sup>(4)</sup>が行った電荷分割の欠点を修正した非交換容量モデルである。

上記(1)においてドレイン電流モデルを導出したときと同様に静電的なアプローチをとれば、ゲートに誘起される電荷 $Q_G$ は次式で表される。

$$Q_G = \frac{(qW)^2}{I_{DS}} \int_0^{V_{DS}} \mu_{FET} N_{IND}^2 dV \quad \dots\dots\dots (6)$$

一方、TFT のような3端子素子では、電荷保存則が満たされるようにチャネル電荷をソースとドレイン ( $Q_S$ ,  $Q_D$ ) に分割する必要がある。そのためにバルク MOSFET のゲート容量モデルで用いられている S. Y. Oh の分割 Scheme が有効である。この手法に従えば、ドレインに割り当てられる電荷量は次式で与えられる。

$$Q_D = -Q_G + \frac{(qW)^2}{I_{DS}} \cdot$$

$$\int_0^{V_{DS}} \left\{ \int_0^V \mu_{FET} N_{IND}^2 dV \right\} \frac{dx}{LdV} dV \quad \dots\dots\dots (7)$$

電荷保存型のゲート容量モデルは非交換容量となり、電極間容量 $C_{XY}$  ( $X, Y = G, D, S$ ) は、各端子に割り当てられた電荷の端子電圧による微分値として求めることができる。以上のモデルに基づいて計算した a-Si TFT のゲート C-V 特性の計算値を図5に示す。線形領域 ( $V_{DS} \rightarrow 0$ ) で  $C_{GD} = C_{GS} = C_{OX}/2$  となり、また飽和領域 ( $V_{DS} > V_{DSAT}$ ) でのチャネル電荷の分割比は、MOSFET と異なり、 $Q_D/Q_S$

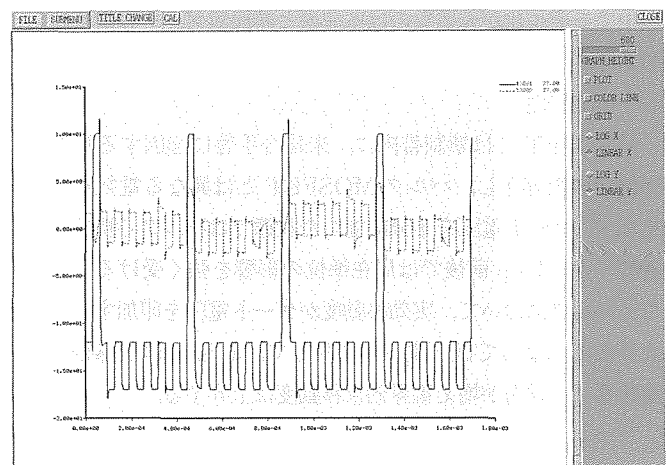


図6. MICSによるa-Si TFT画素電位シミュレーション結果

$> 2/3$  となる。

## (3) 解法

非線形素子である a-Si TFT は、ニュートン法で線形化する。収束判定は、他の3端子素子と同様に、図3の等価回路のドレイン及びゲート端子に流れ込む電流の総和に対して行う。

以上に示した素子モデル、数値解法を用いて計算した画素電位計算例を図6に示す。

## 4. a-Siデバイスシミュレーションモデル

a-Si H では、禁制帯内に局在準位が多数存在するため、局在準位へのキャリアのトラップ及び局在準位を介した生成再結合がバルク Si との特微的な差異となる。2章で述べた a-Si モデルをデバイスシミュレータに組み込むためのモデル化の詳細を述べる。

### (1) a-Si 内のトラップ準位

a-Si バンドギャップ内のトラップとしてアクセプタ型とドナー型の2種類の速い準位を考える。すなわち、電子の分布関数は、自由な電子・正孔密度をそれぞれ  $n$ ,  $p$  として定



常状態における Fermi の分布関数

$$f(E, n, p) = \frac{V_{th} \sigma_n n + e_p}{V_{th} (\sigma_n n + \sigma_p p) + e_n + e_p} \quad \dots\dots (8)$$

と記述できる。 $V_{th}$  は電子の熱速度,  $\sigma$ ,  $e$  は電子・正孔の散乱断面積, 放出確率を表し,  $n_i$  を真性キャリア密度として

$$e_n = V_{th} \sigma_n n_i \exp\left(\frac{E - E_i}{kT}\right) \quad \dots\dots\dots (9-1)$$

$$e_p = V_{th} \sigma_p n_i \exp\left(\frac{E_i - E}{kT}\right) \quad \dots\dots\dots (9-2)$$

で与えられる。これらの準位にトラップされている電子・正孔密度をそれぞれ  $n_t$ ,  $p_t$  とすれば,

$$n_t = \int_{E_v}^{E_c} g(E) f(E, n, p) dE \quad \dots\dots\dots (10-1)$$

$$p_t = \int_{E_v}^{E_c} g(E) \{1 - f(E, n, p)\} dE \quad \dots\dots\dots (10-2)$$

となる。ここで  $g(E)$  は、図 1 で与えられる状態密度を表す。

MOS トランジスタでは、ゲートに印加した電圧によって誘起されるキャリアの一部がトラップに捕獲され、動けないため、回路シミュレーションのモデルでいう移動度が低下する。デバイスシミュレータでは局所的な移動度を用いるため、ポアソン方程式を、

$$\Delta(\epsilon \psi) = q(n - p + n_t - p_t) \quad \dots\dots\dots (11)$$

と変更し、電流として自由なキャリアのみ考慮した電流連続式と連立させた偏微分方程式を解く必要がある。また、SRH (Shockley Read Hall) 消滅項は、多数の局在準位を介した機構から、

$$R(n, p) = \int \frac{V_{th}^2 \sigma_n \sigma_p n p + e_n e_p}{V_{th} (\sigma_n n + \sigma_p p) + e_n + e_p} g(E) dE \quad \dots\dots\dots (12)$$

となる。

式(8)~(10)から分かるように、 $n_t$ ,  $p_t$  は  $n$ ,  $p$  の非線形関

数であるため変動が激しく、ヤコービアンをとるなどの数値解法上の工夫が必要である。

## (2) 実測との比較

3章までで述べたモデルをデバイスシミュレータ MIDSIP-T に組み込み、a-Si TFT に適用した結果と TEG 実測との比較を図 7 に示す。図 8 は TEG に用いたオーバーラップ構造 a-Si TFT の簡素化構造である。バンドギャップ、局在準位密度等のパラメータのフィッティングにより、シミュレーションと実測は十分な精度で一致しているといえる。さらに、図 9 に飽和領域における電子密度分布のシミュレーション結果を示す。

ドレインのかぶさっているチャンネル上部にも電子密度の高い部分ができ (back channel), ドレイン近傍でチャンネル下部の電子密度の高い部分 (front channel) から二また (股) に分岐しているのが分かる。このように、デバイスシミュレーションを用いて物理量の内部分布をみることにより、デバイス構造の本質を踏まえた解析が可能となる。

## 5. む す び

a-Si TFT 用のモデルを回路及びデバイスシミュレータに導入し、回路シミュレータでは 3 端子素子である a-Si TFT の素子モデルを用いた回路解析が可能となった。a-Si TFT モデルでは、電荷保存型ゲート容量モデルを用いるこ

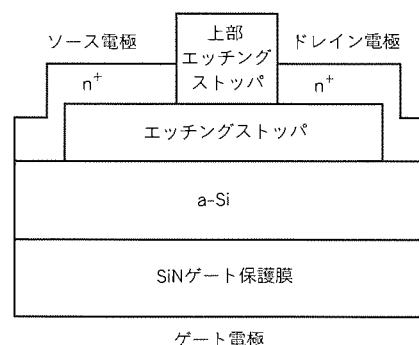


図 8. a-Si TFT の TEG 構造

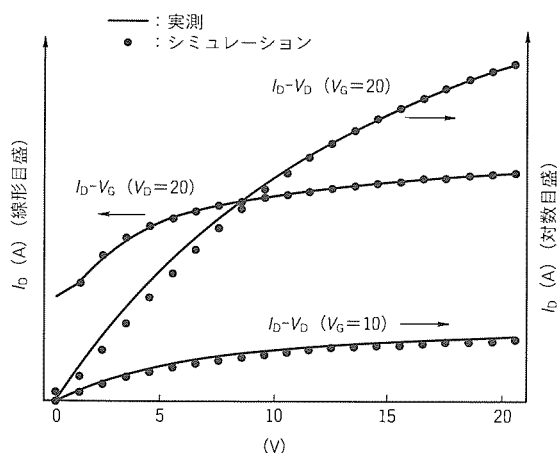


図 7.  $I_D-V_G$  及び  $I_D-V_D$  特性の実測値との比較

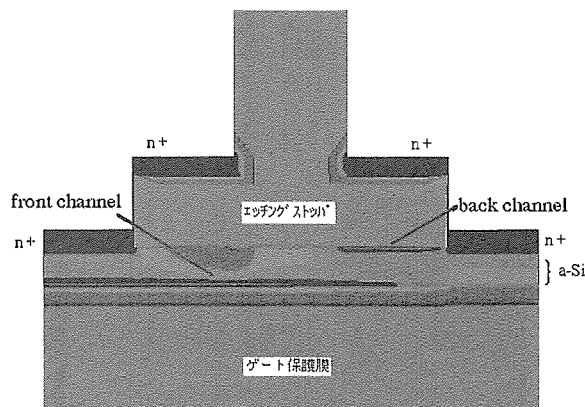


図 9. シミュレーションによる電子密度分布

とにより、過渡解析時の収束性が向上した。デバイスシミュレータではバンドギャップ、局在準位密度等がデバイスに与える影響が解析可能となった。

今後の課題として、次のものが挙げられる。

回路シミュレータでは、

- 充電特性等のスイッチング特性評価時の精度改善のため、深い準位を考慮した動特性モデルの開発

デバイスシミュレータでは、

- 界面準位、遅いトラップモデルの開発
- トラップを介したトンネリングモデル等によるリーク特性シミュレーションの高精度化

#### 参 考 文 献

- (1) 両角伸治, 大島弘之, フラットパネルディスプレイ'91, 日経BP, 97~104 (1991)
- (2) Hack, M., Shur, M. S., Shaw, J. G.: Physical Models for Amorphous-Silicon Thin-Film Transistors and Their Implementation in a Circuit Simulation Program, IEEE Trans. on Electron Devices, **ED-36**, No.12, 2764~2769 (1989)
- (3) Shur, M. S., Hack, M., Shaw, J. G.: A New Analytic Model for Amorphous Silicon Thin-Film Transistors, J. Appl. Phys., **66**, No.7, 3371~3380 (1989)
- (4) Shur, M. S., Hack, M., Shaw, J. G. Martin, R. A.: Capacitance-voltage Characteristics of Amorphous Silicon Thin-Film Transistors, J. Appl. Phys., **66**, No.7, 3381~3385 (1989)
- (5) Oh, S. Y., Ward, D. E., Dutton, R. W.: Transient Analysis of MOS Transistors, IEEE Trans. on Electron Devices, **ED-27**, No.8, 1571~1578 (1980)
- (6) Shaw, J. G., Hack, M.: Simulation of Short-Channel and Overlap Effects in Amorphous-Silicon Thin-Film Transistors, J. Appl. Phys., **65**, No.5, 2124~2129 (1989)



# SRリソグラフィによる 超微細パターン形成

井上正巳\* 尾崎禎彦\*  
炭谷博昭\*\* 熊田輝彦†  
糸賀賢二\*\*\*

## 1. ま え が き

LSIの分野では、3年ごとに4倍の高集積化が進むというペースが依然として続いている。0.5 $\mu\text{m}$ レベルの16MビットDRAM (Dynamic Random Access Memory) は、既に生産に入っており、0.35 $\mu\text{m}$ レベルの64Mの生産技術も確立しつつある。さらに、0.25 $\mu\text{m}$ レベルの256Mのデバイス開発及び0.15 $\mu\text{m}$ レベルの1Gの要素技術開発が進められており、今後も一層の微細化、高集積化が進むものと予想される。

リソグラフィは、微細化のかぎ(鍵)を握る最も重要な工程であり、LSIの製造コスト、製造時間に占める割合も大きい。そこで、微細化に伴う生産工程の複雑化と生産設備の大型化により、LSIのコストアップの要因を打破できる革新的リソグラフィ技術の出現が待たれている。

一方、当社では産業での利用を目指したSR (Synchrotron Radiation) 装置とその光利用技術の開発を進めている。これまでに超電導小型SRリングとシンクロトロン加速器を完成させた。これを用いて、産業での利用として最もインパクトの大きいリソグラフィ技術の開発を進めるため、X線マスクを含むSR転写システムの構築に取り組んできた。そして、SR装置からのX線をビームラインによってステッパに導き、X線マスクの微細パターンをウェーハ上のレジストに等倍転写するシステムを我が国の半導体メーカーとして初め

て自社内に完成させた<sup>(1)</sup>。

この転写システムを駆使することにより、0.15 $\mu\text{m}$ レベルの超微細パターン形成の研究に取り組み、高解像性、深い焦点深度、大きなプロセス裕度等のSR転写の特長を実証することができた。本稿ではその概要を紹介する。

## 2. SR転写システム

### 2.1 S R 光 源

SR光源である電子蓄積リングは、偏向部に超電導電磁石を用いたレーストラック型を採用し、電子ビーム軌道の周長が9.2mである。現在、蓄積リングは、電子エネルギー600 MeVで運転しており、波長0.8nm付近で最大の強度を持つスペクトル分布となっている。SR光取り出しポート部での電子ビーム径は水平、垂直方向とも1mm以下である<sup>(1)</sup>。

### 2.2 ビームライン

ビームラインの概略構成を図1に示した。集光光学系によって露光強度を増大し、転写効率の向上を図っている。2枚の回転だ(楕)円体面ミラーを採用し、露光強度は1枚平面ミラーの場合に比べて10倍向上した。また、図1に示すようにSR光源点位置の変化を測定するためのSR光位置モニタを組み込んでいる。さらに、大気との隔壁となっているベリリウム窓の万一の破損による真空破壊からSRリングを保護するため、衝撃波遅延管と高速遮断バルブとから成る真空保護装置を組み込んで信頼性を高めている<sup>(1)</sup>。

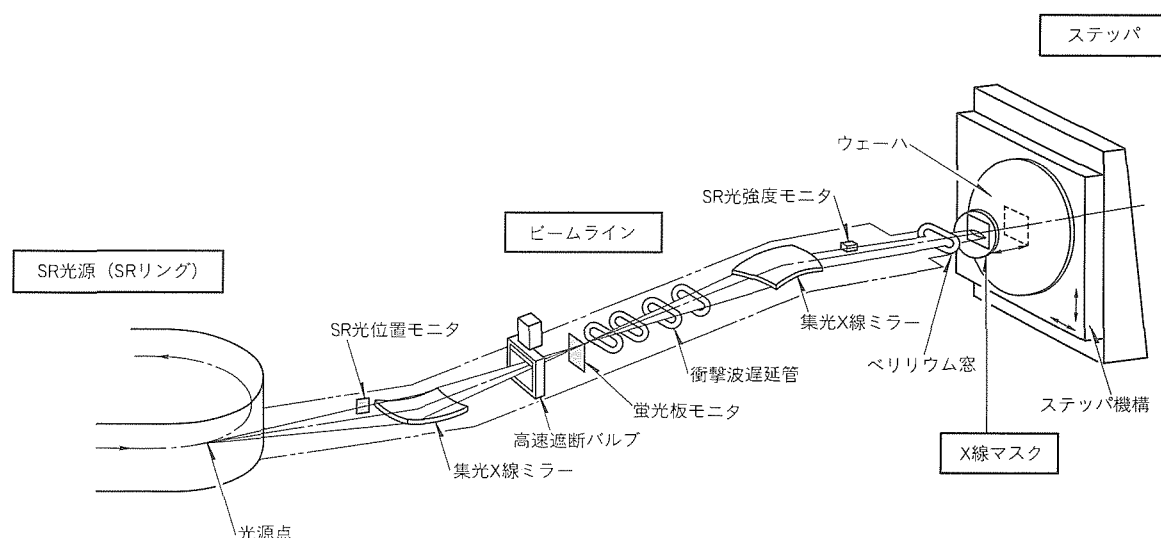


図1. ビームライン構成概要

## 2.3 ステッパ

ステッパは、カールズス社製のステッパ XRS200で、マスクとウェーハを一体にして垂直方向へ走査しているの、ビームラインからのSR光位置は固定されている。露光雰囲気は大気である。マスクとウェーハの位置合わせを行うアライメントは、各マークの顕微鏡像を画像処理する方法で、精度として100nm程度である<sup>(2)</sup>。露光フィールドサイズは25mm×25mmである。

## 2.4 露光SR光の品質

ここでは、スペクトル、強度、強度均一性、安定性を取り上げた。SR光のミラーへの入射角は88°、ベリリウム窓の厚さは20μmであり、ベリリウム窓-マスク間距離は約4mmである。ビームライン光学系の光軸調整後のベリリウム窓からの出射SR光の形状を図2に示す。円弧形状のSR光の前面でマスクとウェーハを走査し、走査速度によって露光量を調節する。

露光強度の設計値は、リング蓄積電流100mA時に約13mW/cm<sup>2</sup>であり、感度が既知のレジスト評価からも同様の結果が得られている。また、25mmフィールドの露光範囲の強度均一性は設計値の約±4%に対し、実際の露光・現像時のレジスト膜厚分布の計測から±5~9%であった。これは、光軸調整が必ずしも完全ではないことと、SR光源点位置の変化による光軸ズレのためと考えている。

実験的にSR光源点を最適値から垂直方向に変化(dY=-0.9~1.2mm)させたときの強度分布を図3に示した。強度分布は、ベリリウム窓直前のSR光強度モニターで測定したものである。図3に示すように光源点位置の変化の影響は大きく、安定した露光のためには光源点位置の安定化が重要となる。なお、光源点を+方向に変位させたときに強度分布が下に凸となるのは、SR光軸がX線ミラーを外れるために生じたものである。

現在、SR光位置モニターを利用して電子ビーム軌道補正を半自動化し、露光の安定化制御を行っている。

## 2.5 X線マスク

開発したX線マスクの構成を図4に示した。シリコンウ

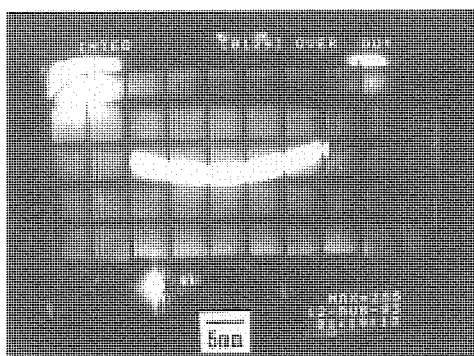


図2. ベリリウム窓出射SR光ビーム形状

ェーハ上の厚さ2μmのSiCメンブレンに0.5μm厚のW-Ti合金からなる吸収体パターンが形成され、サポートリングと呼ばれる保持治具に接合されている<sup>(3)</sup>。なお、アライメント用可視光に対するメンブレンの透過率を高めるため、インジウム-スズ酸化物(ITO)を無反射コートとして用いている。吸収体パターンは、電子ビームによって描画され、ステージを-50℃に冷却した低温ECRエッチングによって形成した。

今回の転写に使用したマスクのコントラスト(X線吸収体有無部分の透過X線強度の比)は4.5である。マスクパターンとして、0.1~1.0μmパターン幅のL/S(Line & Space)、ホール、さらに1Gクラスの回路パターン(フィールド、トランスファゲート、ビットライン、ストレージノード、コンタクトホール)を形成した。

## 3. SR転写プロセス

### 3.1 化学増幅レジスト

現状では、X線レジストとして十分な感度と解像度を持つものを入手することが難しい。X線がレジストに入射されると、非常に高いエネルギーを持つ二次電子がレジスト中に放出され、電子ビームと同じ反応が引き起こされるため、電子ビームレジストをX線用として使用できる。今回のSR転写には、ネガ型レジストとしてX線用によく使われているSAL601(シプレイ社製)、ポジ型レジストとして当社の材料デバイス研究所で開発したMELKER<sup>(4)</sup>(菱電化成株

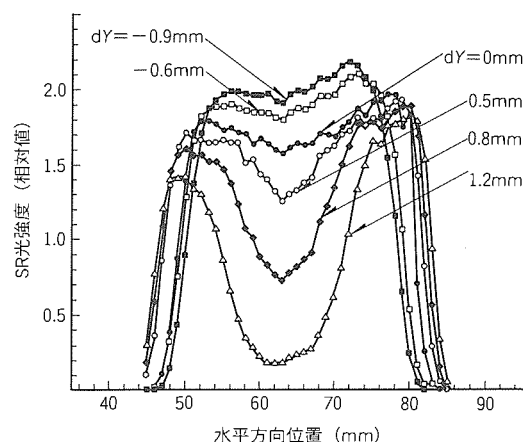


図3. SR光源点変位(垂直方向)とSR光強度分布

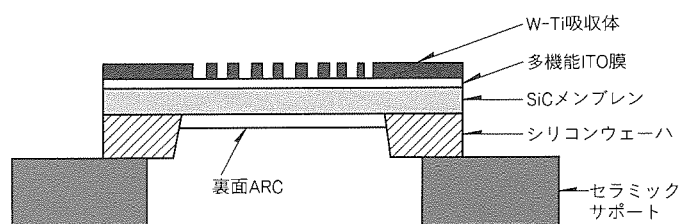


図4. X線マスクの構成

製)等の電子ビーム用化学増幅レジストを用いた。

化学増幅レジストは、レジスト中に添加されたオニウム塩などの酸発生剤が、光、X線、電子ビームの照射によって酸を発生し、露光後の加熱によってその酸が触媒として作用し、ネガ型レジストでは主成分のポリマに架橋反応が引き起こされて現像液に対して不溶化し、ポジ型レジストでは溶解阻止剤が変化してポリマが現像液に対して可溶化することにより、パターンが形成される。化学増幅レジストの特長は高感度であることにあり、加熱時に触媒の酸が繰り返し作用することに起因する。

しかしながら、酸の露光領域外への拡散、酸と露光雰囲気中の塩基類や基板表面との反応による触媒作用の失活により、解像度が低下することがある。したがって、化学増幅レジストを用いて超微細パターン形成を実現するためにはプロセス上の工夫が必要である。

### 3.2 レジストプロセス

レジストを均一に塗布したウェーハを前加熱(Pre-Baking: PB)し、ステッパに装着する。露光後、再加熱(Post Exposure Baking: PEB)し、直ちに現像することによってレジストパターンを形成させる。レジストパターンの品質は、レジストの感度に依存し、感度は加熱条件等のレジストプロセスに大きく左右される。ネガ型レジストの感度と加熱条件の関係を図5に示す。レジスト感度は、PEB条件によって大きく変化する。これはPEB時の酸による架橋反応の速度が温度に大きく影響されるためである。PEB温度が高いとレジスト感度は高くなるが、レジスト中での酸の拡散速度も大きくなるため、露光領域外まで架橋反応が生じ解像度が著しく低下する。

PB条件は、PEBと比べて感度への影響は小さいが、酸の拡散距離を決定する上で重要である。すなわち、PB温度が低いとレジスト中の残存溶媒量が多くなり、酸の拡散速度と距離が大きくなるため、レジスト感度は高くなるが解像度は低下する。そこで、レジスト感度を低下することになるが、PB温度を高く、PEB温度を低く抑える等のプロセス条件の最適化によって、0.15  $\mu\text{m}$  レベルの超微細パターン形成に

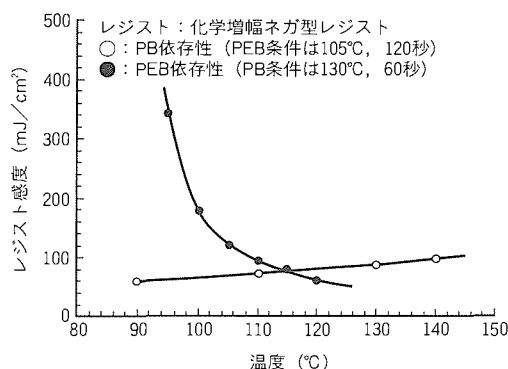


図5. レジスト感度とPB及びPEB温度

成功した。

### 3.3 マスクと転写パターン寸法のリニアリティ

等倍SR転写は、マスクとウェーハを近接した状態で露光する方式である。X線マスク上の吸収体パターンでの回折現象が解像度低下の原因となるので、極力マスクとウェーハを接近させる必要がある。X線マスクは薄膜で構成されており機械的強度が十分でないため、マスクとウェーハの接触による損傷を避けるために両者を数十 $\mu\text{m}$ 離して露光を行う。マスク-ウェーハ間ギャップを変えて、レジストパターン寸法精度の露光量依存性を計測した。30  $\mu\text{m}$  ギャップでは、低露光量で0.15  $\mu\text{m}$  パターンに倒れが生じ、高露光量でパターン間にレジスト残さ(渣)が残るため、良好なパターンの得られる露光領域が狭かった。ギャップを20  $\mu\text{m}$  に狭めると、図6に示すように、レジスト残渣が抑えられ、0.15  $\mu\text{m}$  線幅パターンに対して20%程度の露光裕度(寸法精度 $\pm 10\%$ を確保できる許容露光強度変動幅)が得られた。

20  $\mu\text{m}$  のギャップを用い、同一露光量で転写した場合の寸法リニアリティ(マスクパターンとレジストパターン寸法の相関関係)は、図7に示すよう1:1の直線性が得られ、X線マスク上のパターンを正確にウェーハ上に転写できることが分かった。すなわち、マスク上に種々の寸法のパターンが

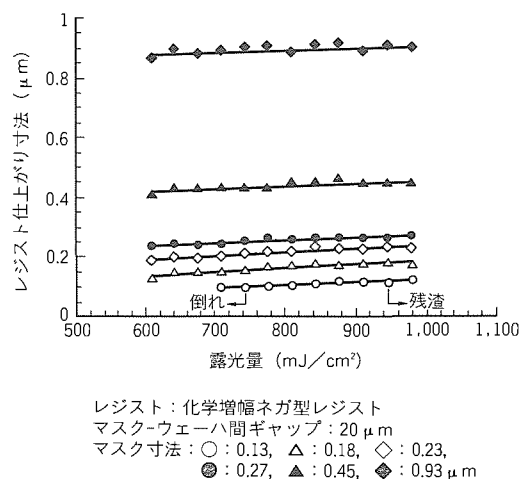


図6. レジストパターン寸法と露光量

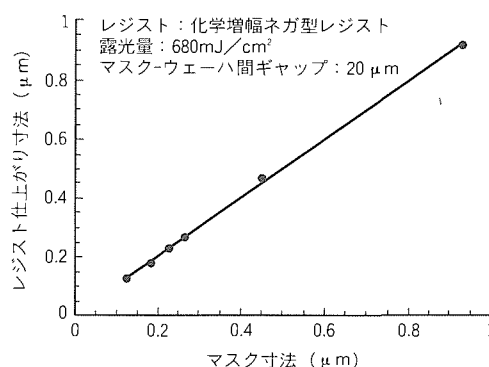
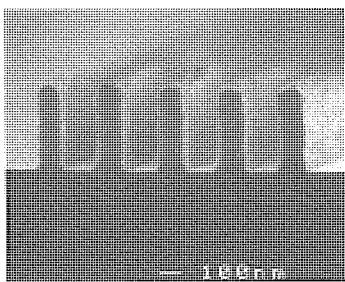
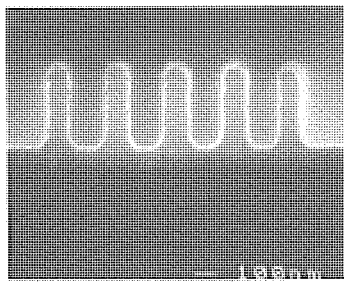
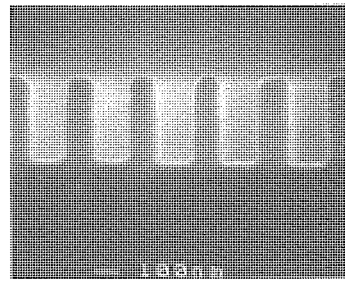


図7. マスク寸法と転写レジストパターン寸法

(a)  $\text{Si}_3\text{N}_4$ 下地 (ネガ型レジスト)

(b) WSi下地 (ネガ型レジスト)



(c) Siウェーハ (ポジ型レジスト)

図8.  $0.15\ \mu\text{m}$  L/Sレジストパターン

混在していても同一露光量で正確に転写できることが確認された。

#### 4. 微細パターン形成

##### 4.1 L/S及びホールパターンの形成

L/Sパターンの転写結果を図8に示す。ネガ型、ポジ型レジストともに $0.15\ \mu\text{m}$ のL/Sパターンが得られた。ネガ型レジストについて、種々の下地上で転写を行ったが、ほとんどの下地で、図に示した窒化膜( $\text{Si}_3\text{N}_4$ )下地と同様に良好なL/Sパターンが得られた。ただし、タングステンシリサイド(WSi)のような重金属を含む基板では、下地からの二次電子による影響と考えられるすそ(裾)引きが見られ、今後、表面処理法等を検討していく。

また、ホールパターン形成は、光リソグラフィにとって不得意であるが、SRリソグラフィの特長を大いに発揮できる対象である。実際に、当社で開発した電子ビーム用化学増幅ポジ型レジストを用いて転写した結果、図9に示すようにホール径 $0.15\ \mu\text{m}$ の良好なホールパターンが形成できた。

##### 4.2 高段差下地上でのパターンの形成

実際のデバイスでの転写は、平たんな面ではなく起伏面で行われる。高さ約 $1\ \mu\text{m}$ の酸化膜( $\text{SiO}_2$ )及びアルミ(Al)段差上でネガ型レジストを用いて転写を行った結果を図10に示す。パターン付きウェーハ上にレジストを厚さ $0.5\ \mu\text{m}$ で塗布すると、段差に挟まれた溝中のレジスト厚さが約 $1.5\ \mu\text{m}$ になるにもかかわらず、段差の上下で寸法精度に差のない高アスペクト比の $0.15\ \mu\text{m}$  L/Sパターンが形成できた。

光リソグラフィでは、露光光の下地からの反射、レジスト膜内での多重反射、及び光の減衰等の現象があり、レジストパターン寸法の変動が大きい。特に、Al膜上ではこの影響が顕著であり、これを除くため反射防止膜(Anti-Reflection Coating: ARC)を用いなければならない。しかし、SRリソグラフィの場合、図10に示すようにAl膜上でもARCなしで寸法精度の良い転写ができた。

##### 4.3 1 GDRAM相当回路パターンの形成

次に、1 G相当の回路パターン(マスクの最小寸法: $0.18\ \mu\text{m}$ )のSEM観察結果を図11に示す。フィールドやストレージノードでは、光転写によるレジストパターンでよく見ら

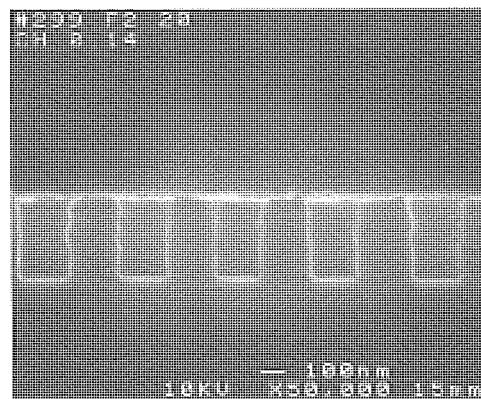
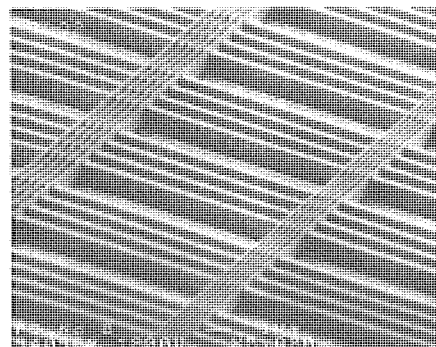
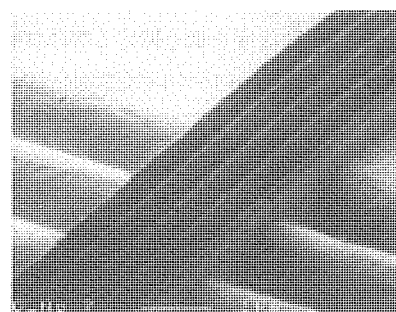


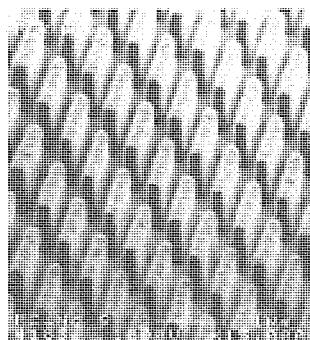
図9. ポジ型レジストによるホールパターン(断面SEM写真)

(a)  $\text{SiO}_2$ 段差上

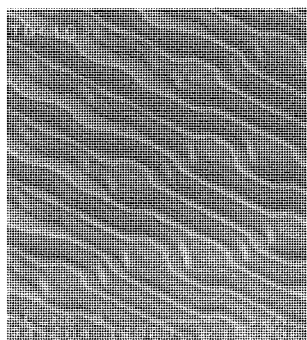
(b) Al段差上

図10. 高段差上でのL/Sパターン

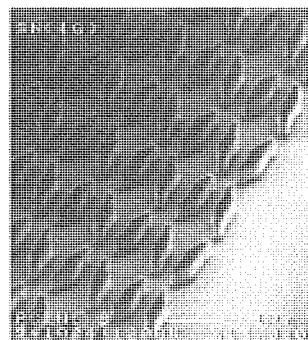
れるブリッジ状の残渣は認められず、また、コーナ部の形状も丸くならず、マスクパターンが正確に転写されており、SR転写による1 G相当デバイス試作の可能性を示唆している。



(a) フィールドパターン



(b) トランスファゲートパターン



(c) ストレージノードパターン

図11. 1 GビットDRAM相当回路レジストパターン

## 5. む す び

この1年間、自社内に構築した転写システムを利用して転写プロセスの開発を行ってきた。その結果、取扱いの難しい化学増幅レジストを用いても、大きなプロセス裕度で $0.15\mu\text{m}$ レベルの超微細パターン形成を実現することができた。今後、特にステッパとX線マスクの高精度化を図りながら、 $0.15\mu\text{m}$ レベルの先端デバイス開発への適用を積極化していく。

SRリソグラフィ技術は、一括転写方式のためスループット面で有利であり、 $0.1\mu\text{m}$ 以下への展開も可能と考えられ、今後数世代にわたって対応できる技術である。そこで、高解像性だけではなく、デバイス試作を通じて、量産技術としてのコスト的、技術的な優位性についても実証していく計画である。

## 参 考 文 献

(1) 幸丸正樹, 島野裕樹, 丸本健二, 中西哲也, 尾崎禎彦,

吉岡信行: X線リソグラフィー技術, 三菱電機技報, **68**, No. 3, 296~300 (1994)

(2) Proglor, C. J., Chen, A. C., Gunther, T. A., Kaiser, P., Cooper, K. A., Hughlett, R. E.: Overlay Performance of X-ray Steppers in IBM Advance Lithography Facility, J. Vac. Sci. Technol., **B11**(6), 2888~2896 (1993-11/12)

(3) Marumoto, K., Yabe, H., Aya, S., Kise, K., Matsui, Y.: Total Evaluation of W-Ti Absorber for X-ray Mask, Proceedings of SPIE, **2194**, 221~230 (1994)

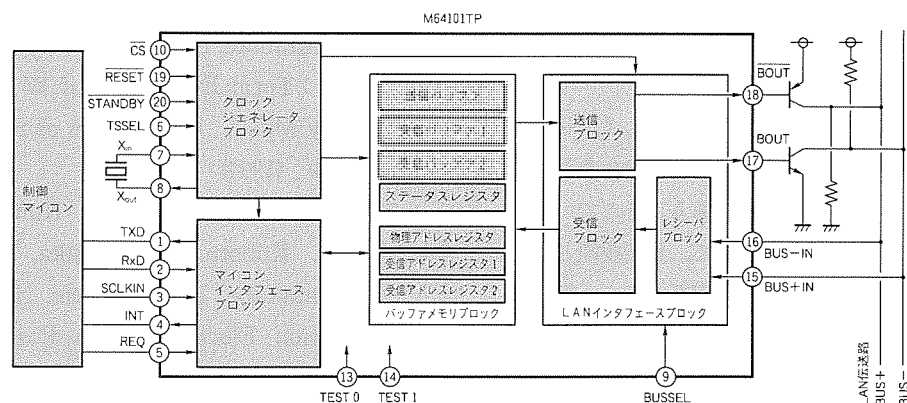
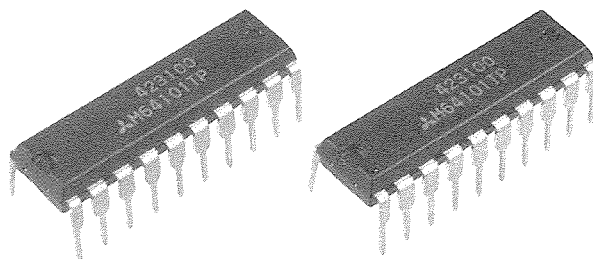
(4) Fujino, T., Maeda, H., Kumada, T., Moriizumi, K., Kubota, S., Koezuka, H., Morimoto, H., Watakabe, Y., Tsubouchi, N.: Chemical Amplification Electron Beam Positive Resist Process free from Surface Insoluble Layer, J. Vac. Sci. Technol., **B11**(6), 2773~2778 (1993-11/12)

現在、自動車には多くの電子部品ユニットが搭載されています。これらの電子部品ユニットを一つのLANシステムとして結び、各々のユニットの情報を共有化することによって自動車の性能を向上させる開発が進んでいます。また、安全性の確保及び排気ガスによる環境破壊の対策として、故障診断系のLANシステムも注目されています。外部の診断装置で各電子部品ユニットの状態を診断し、異常の早期発見によって安全性を確保するとともに、ユニットの劣化による環境への悪影響を防ごうとするものです。

今回紹介しますM64101TPは、CSMA/CDによるバス制御方式をサポートし、通信プロトコル制御及びフレームフォーマットはSAE-J1850に準拠した自動車用LANコントローラICです。自動車の故障診断LANシステムや、各電子部品ユニット間のデータ通信に適しています。

M64101TPの機能ブロック図を紙面中央に示します。制

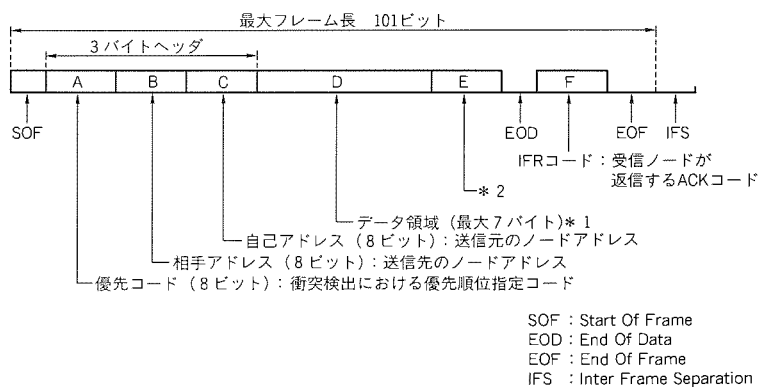
御マイコンとの接続はクロック同期式インタフェースを用いており、5本の信号線で接続が可能です。また、LANインタフェースブロック内にレシーバ回路を内蔵していますので、LAN伝送路との接続において外付けの部品点数を軽減できます。機能概要を表に、基本フレームフォーマットを右下に示します。



機能ブロック図

## 機能概要

- プロトコル制御はSAE-J1850準拠
- CSMA/CDによる衝突検出、及び優先制御
- アドレスフィルタ機能内蔵
- 伝送レートは2種類をサポート (41.6kbps/125kbps)
- 伝送路に対する変復調方式はPWMモードをサポート
- 誤り検出として8ビットCRC符号器、復号器を内蔵
- 1フレーム分の送信バッファ、2フレーム分の受信バッファを内蔵
- 1バイトRSPモードに対応 (RSP自動送受信機能内蔵)
- 受信対象アドレスとして物理アドレスレジスタのほか2種類の受信アドレスを設定可能 (受信アドレスレジスタ1, 2)
- ステータスレジスタによってマイコン側で各種伝送状態を検出可能
- フレーム長は可変長で、最大12バイト (レスポンスを含む)
- マイコンインタフェース  
クロック同期型シリアルインタフェース (LSBファースト8ビットデータ)
- 各種伝送エラー検出機能内蔵  
送信エラー (エコーバックエラー, IFRビットエラー, IFRなしエラー, IFR不一致エラー)  
受信エラー (CRCエラー, 不正電文長エラー, ビットエラー, オーバランエラー)  
BUSラインエラー (BUS+ラインエラー, BUS-ラインエラー)
- スタンバイモードをサポート  
LAN伝送路上の信号変化によるスタンバイ解除要求機能内蔵



- \*1 Dに示すデータ領域は、0から7バイトまで可変長です。
- \*2 Eに示すCRCコードは、A, B, C, Dを対象に8ビットCRC演算をLANコントローラで実施してデータ領域の最後のデータの後に付加します。

## 基本フレームフォーマット





# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
総合グループ Tel(03)3218-2137

## アーク溶接機の溶接電流制御装置 (特許 第1501355号, 特公昭63-45913号)

発明者 岩田明彦

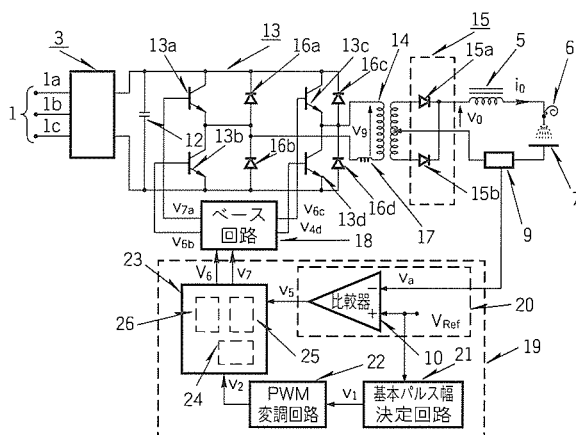
この発明は、アーク溶接電源の制御に関し、負荷に供給する電流をフィードバック制御させ、電流を一定に保持させることを目的とするものである。

従来の装置は三相トランスの入力周波数が低周波(50/60 Hz)であることから、トランスの重量が大きかった。

この発明は上記のような欠点を除去するためになされたもので、図の実施例について説明する。三相電圧を直接ダイオードブリッジ(3)とコンデンサ(12)で直流化し、この電流をインバータ(13)で高周波化して、高周波トランス(14)に投入し、高周波トランス(14)の二次側の高周波電圧をダイオード(15)で整流して、その電圧を直流リアクトル(5)を介してアーク負荷に供給することで所望の電流波形を供給できるようにした。ここで、インバータ(13)の役目は、①高周波化すること、②電流検出器(9)から負荷電流を帰還させて所望の負荷電流波形を得ることと、③高周波トランスの偏磁を防止することであり、これらの制御を達成するために、インバータ

制御回路(19)を構成した。

以上のように、トランスの一次側周波数をインバータで高めて、かつ、トランスの偏磁を防止できるようにしたので、軽量のトランスで、電流リップルも小さくできる効果がある。



## 電気式膨脹弁制御装置 (特許 第1496788号, 特公昭63-45031号)

発明者 松岡文雄, 飯島 等, 山崎起助, 笠置 紘, 中島康雄, 梅原三夫

この発明は冷凍サイクルにおける電気式膨脹弁の制御に関するものである。

従来のこの種のものは、スーパーヒート(SH)の絶対値そのものを検知することができず、運転状態に合った最適な制御をすることができなかった。

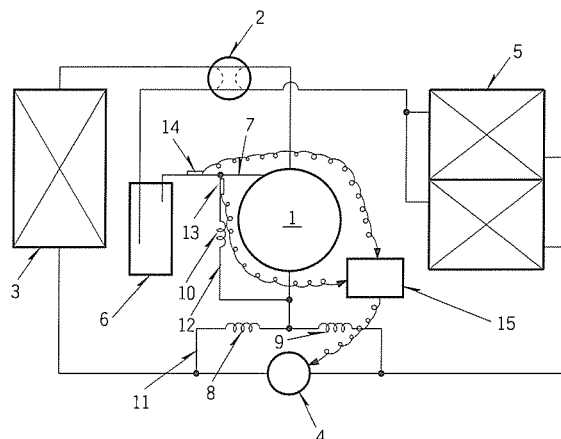
この発明は、このような従来の問題にかんがみてなされたものである。図は実施例の構成を示す冷凍回路図で、暖房運転時、圧縮機(1)で圧縮された高温高压の冷媒ガスは四方弁(2)を通り室内側熱交換器(3)で凝縮液化され、電気式膨脹弁(4)で減圧され、室外側熱交換器(5)で蒸発気化し、四方弁(2)で流路が切り換えられてアキュムレータ(6)に至り、温度センサ(14)を経て吸入管(7)から圧縮機(1)に吸入され、再び同じサイクルを繰り返す。

電気式膨脹弁(4)の両端に接続するバイパス路(11)にはキャピラリチューブ(8, 9)が設けられ、この途中の分岐管(12)がキャピラリチューブ(10)、温度センサ(13)を経て圧縮機(1)の吸入管(7)に合流している。

温度センサ(14)は吸入温度、温度センサ(13)は吸入圧力相

当の飽和温度を示し、制御器(15)に入力されてSH量が演算される。

SH量に基づいて、標準温度条件下ではEER(Energy Efficiency Ratio)優先、低温時の暖房能力不足時には能力優先の電気式膨脹弁開度とし、快適性、省エネルギー性を考慮したきめ細かな運転制御を実行する。





# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
総合グループ Tel/(03) 3218-2137

## 電圧発生回路 (特許 第1865665号, 特公平5-74851号)

発明者 飛田洋一

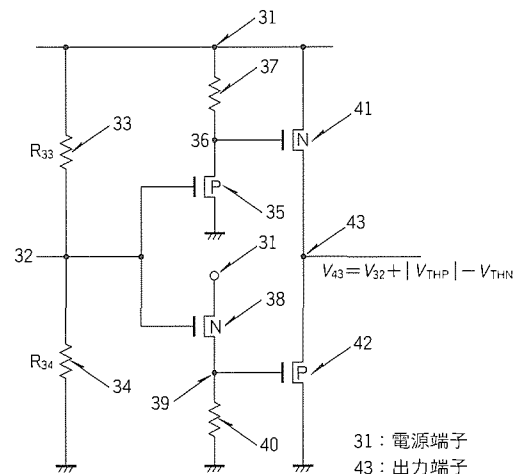
この発明は半導体集積回路の電圧発生回路に関するもので、MOSトランジスタを用いて消費電力を小さくし、ノイズの影響を排除することができるものである。

従来の電圧発生回路では、ノイズの影響を考慮して、大容量のデカップリングを出力端子に接続するため、半導体チップ上に大きな面積を確保しなければならない問題があった。

この発明は従来の問題点を解決するためになされたもので、図の発明の背景を説明するための回路図について説明する。

正の電位を供給する電源端子(31)と接地電位を供給する端子の間に抵抗(33)及び(34)を直列接続し、その接続点(32)と出力端子(43)の間にP型MOSトランジスタ(35)(42)及びN型MOSトランジスタ(38)(41)を相補的に組み合わせ、オン・オフの境界状態で動作させる。仮に出力端子(43)に正のノイズ電圧が生じた場合には、P型MOSトランジスタ(42)が導通し、また、負のノイズ電圧が生じた場合には、N型MOSトランジスタ(41)が導通して、発生したノイズ電圧を

打ち消すように動作する。しかも、MOSトランジスタのいずれか一方を境界点よりもオフ側で動作させることによって、MOSトランジスタの対に不必要な電流が流れることを防止し、消費電力を小さくすることができる。



<次号予定> 三菱電機技報 Vol. 69 No.4 特集 “新型ノーヒューズ遮断器・漏電遮断器”

### 特集論文

- 高性能低圧遮断器への期待
- ノーヒューズ遮断器・漏電遮断器の現状と展望
- 新型ノーヒューズ遮断器・漏電遮断器の技術動向
- 新型ノーヒューズ遮断器・漏電遮断器 “PSS”
- 新型ノーヒューズ遮断器・漏電遮断器の新遮断技術 “ISTAC”
- 新型ノーヒューズ遮断器・漏電遮断器の消弧室における三次元磁界解析
- 新型ノーヒューズ遮断器・漏電遮断器の機構・構造設計におけるCAE技術
- 新型ノーヒューズ遮断器・漏電遮断器のモールド材料
- 新型ノーヒューズ遮断器・漏電遮断器の消弧絶縁材料
- 新型ノーヒューズ遮断器・漏電遮断器の遮断後の絶縁性能低下抑制材料

- 新型ノーヒューズ遮断器・漏電遮断器の電子回路
  - 新型ノーヒューズ遮断器・漏電遮断器の生産管理システム
- 普通論文
- デジタル制御スイッチギヤ—MA形—
  - Cアーム型ラジオサージャリシステム
  - 東京電力(株)納め衛星利用ITVシステム
  - 地域防災無線システム
  - 高機能型多地点テレビ会議システム
  - 台所用洗浄機 “クッキングウォッシャー”
  - 低電圧8ビットLCDマイコン M38267M8L

### 三菱電機技報編集委員

委員長 田岡恒雄  
委員 永田譲蔵 鈴木幹雄  
都築鎮 大井房武  
尾関龍夫 江頭英隆  
水野久隆 東條孝雄  
畑谷正雄 才田敏和  
中井良雄 鳥取浩  
幹事 長崎忠一  
3月号特集担当 角 正

### 三菱電機技報69巻3号

(無断転載を禁ず)

1995年3月22日 印刷  
1995年3月25日 発行

編集兼発行人 長崎 忠一  
印刷所 千葉市川市塩浜三丁目12番地 (〒272-01)  
三菱電機印刷株式会社  
発行所 東京都港区新橋六丁目4番地9号  
北海ビル新橋 (〒105)  
三菱電機エンジニアリング株式会社内  
「三菱電機技報社」 Tel. (03) 3437局2692  
発売元 東京都千代田区神田錦町三丁目1番地 (〒101)  
株式会社 オーム社  
Tel. (03) 3233局0641代, 振替口座東京6-20018  
定価 1部721円(本体700円) 送料別

# スポットライト 三菱変圧器油中ガス分析装置

変圧器などの油入機器の内部異常を早期に検出することは、受配電設備の高信頼運転の維持にとって重要であり、この手段として、油中溶解ガスを分析し、変圧器の内部異常の検出・診断を行うことが最も信頼できる保守管理の方法として広く一般に行われています。

三菱変圧器油中ガス分析装置は上記要求にこたえ、一次診断から精密分析まで、あるいはポータブルタイプからオンライン装置まで、多様なニーズにフレキシブルに対応できる信頼性の高い機種をそろえて変圧器の診断を支援致します。



TCGテスト TCG-100A



ポータブル油中ガス分析装置  
PGA-200



精密油中ガス自動分析装置  
FAF



オンライン式油中ガス監視装置  
TCG-6C

## 仕 様

装置名 項目 型 名		ポータブル装置		オンライン装置		精密分析装置
		TCGテスト (ハンディタイプ)	ポータブル油中 ガス分析装置 (6成分分析)	油中可燃性ガス 自動測定装置	油中ガス監視装置 6成分分析タイプ	油中ガス自動分析装置
		TCG-100A	PGA-200	TCG	TCG-6C	FAF
性 能	測定対象ガス及び 測定範囲 (ppm)	TCG (油中総可燃 性ガス): 200~9,990	C <sub>2</sub> H <sub>2</sub> : 3~2,000 H <sub>2</sub> , CH <sub>4</sub> : 20~2,000 CO, C <sub>2</sub> H <sub>4</sub> , C <sub>2</sub> H <sub>6</sub> : 30~2,000 TCG: 50~10,000	TCG: 100~5,000	C <sub>2</sub> H <sub>2</sub> : 2~2,000 CO, H <sub>2</sub> , CH <sub>4</sub> , C <sub>2</sub> H <sub>4</sub> , C <sub>2</sub> H <sub>6</sub> : 20~2,000 TCG: 20~10,000	O <sub>2</sub> , N <sub>2</sub> : 20~200,000 H <sub>2</sub> , CCl <sub>2</sub> F <sub>2</sub> : 5~100,000 CO <sub>2</sub> , CO, CH <sub>4</sub> , C <sub>2</sub> H <sub>2</sub> , C <sub>2</sub> H <sub>4</sub> , C <sub>2</sub> H <sub>6</sub> , C <sub>3</sub> H <sub>6</sub> , C <sub>3</sub> H <sub>8</sub> : 1~100,000 TCG: 1~1,000,000
	再現精度 (%)	±30	±30	±20	±20	±10
	測定時間 (min)	1	10	50	50	120
一 般 仕 様	寸法 (mm) (W)×(D)×(H)	本体 84×40×190	430×290×360	600×600×1,000	750×750×1,850	1,200×900×1,900
	質量 (kg)	0.6 (本体)	16	180	300	800
	電源	単三形乾電池 4 本 (DC6V) 又は AVアダプタ	AC100V	AC200V又は AC100V 1 kVA	AC200V又は AC100V 1 kVA	AC200V又は AC100V 5 kVA
	使用環境 (°C)	0~40	0~40	-20~40	-20~40	0~40

注) 上記一覧表以外にも、シリコン油入変圧器用のポータブル装置 (PGA-200S型)、及びTCGとC<sub>2</sub>H<sub>2</sub>を監視するオンライン装置 (TCG-C型) などをそろえています。