

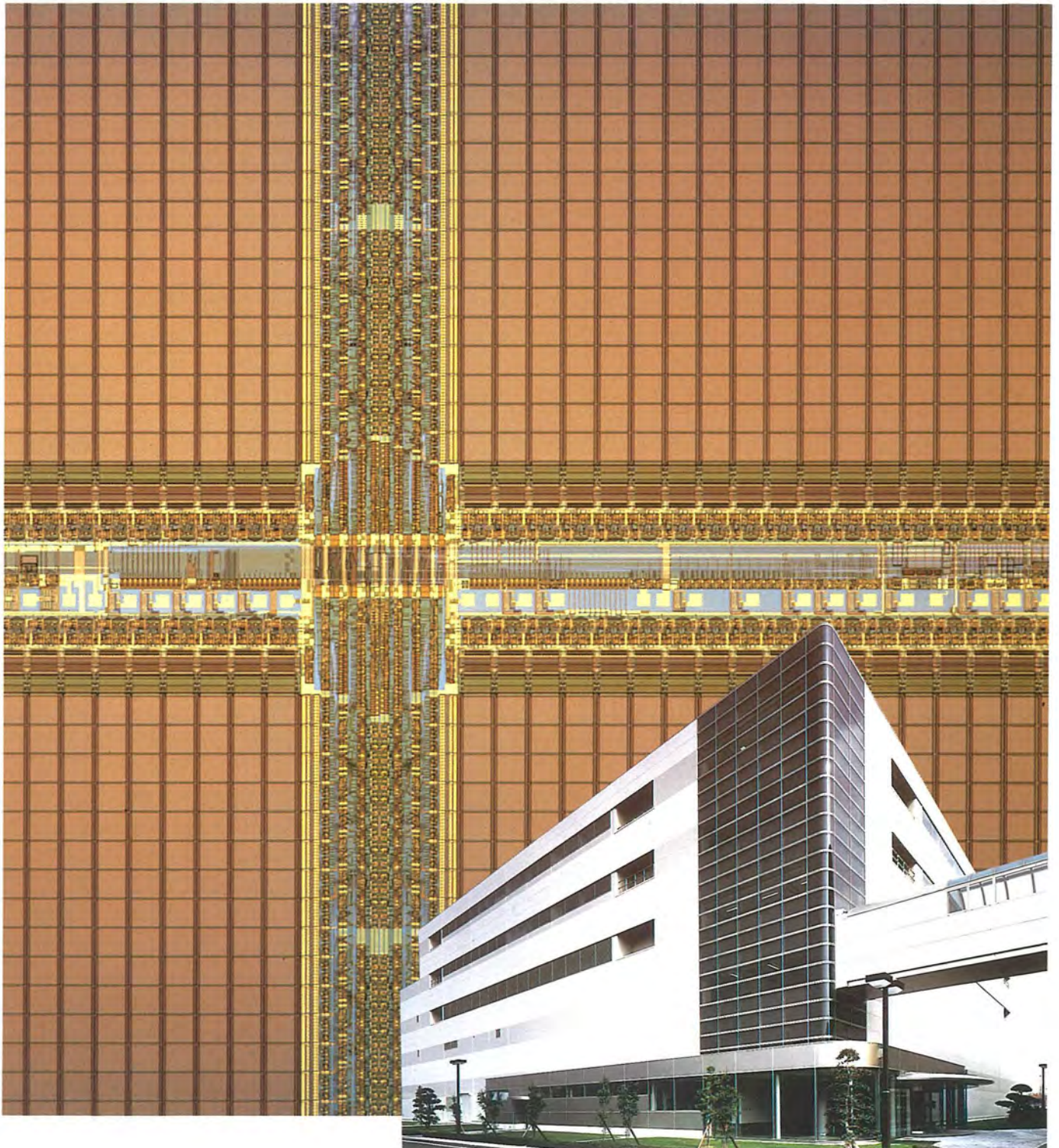
# MITSUBISHI

## 三菱電機技報

Vol.68 No.3

特集“先端半導体”半導体事業35周年記念

'94 3



## 特集 “先端半導体” —— 半導体事業35周年記念 ——

### 目 次

#### 特集論文

|  |      |
|--|------|
| 巻頭言 .....                                  | 1    |
| 平林庄司                                       |      |
| パラダイムシフトの時代を迎えたマイクロエレクトロニクス .....          | 2    |
| 大見忠弘                                       |      |
| 半導体の技術動向と展望 .....                          | 3    |
| 坂根英生                                       |      |
| 64M ビット DRAM .....                         | 7    |
| 諸岡毅一・宮本博司・古谷清広・岡本龍郎・須賀原和之                  |      |
| ブロック消去可能な16M ビットフラッシュメモリ .....             | 11   |
| 中山武志・三原雅章・宮脇好和・大井 誠・新井 肇                   |      |
| 高速 QuadCAS 付き第三世代4 MDRAM .....             | 15   |
| 吹上貴彦・豆谷智治                                  |      |
| 高速1M ビット CMOS スタティック RAM .....             | 19   |
| 梶原洋次・坂口定則・秋山義雄・田原良昭・南 ふゆみ                  |      |
| 超薄形パッケージ IC を搭載した大容量 IC メモリカード .....       | 24   |
| 郷地英伸・越智克則・寺岡康宏                             |      |
| 高性能新16ビット マイクロコントローラ “M16シリーズ” .....       | 29   |
| 中尾裕一・北上尚一・清水 徹・三輪久晴・水垣重生                   |      |
| データリンク層通信プロトコルコントローラ内蔵 MCU .....           | 34   |
| 長 芳樹・山ノ井悟郎・林 良紀・田代 哲・藤沢行雄                  |      |
| システム提案型マイコン応用技術 .....                      | 39   |
| 樋口敬三・山田園裕・杉本正樹                             |      |
| 12ビット100kFLIPS フェージ推論プロセッサ .....           | 45   |
| 下邨研一・新田泰彦・坂下徳美・中村和夫・徳田 健                   |      |
| 0.5 $\mu$ m CMOS セミカスタム IC .....           | 49   |
| 真田邦彦・青木一夫・前野秀史・松本 尚・笹田真喜子                  |      |
| 国際標準 JPEG 準拠のカラー画像圧縮・伸長 LSI .....          | 54   |
| 小川文伸・井田静男・今中良史・杉野博之・寺根秀幸                   |      |
| VTR 用ワンチップカラオケプロセッサ LSI .....              | 59   |
| 安達靖史・山田友右                                  |      |
| 3V 動作10ビット50M サンプル/秒 CMOS D/A コンバータ .....  | 63   |
| 中村泰之・三本隆博・西川毅一・岡田圭介                        |      |
| トレンチ MOS ゲート構造の600V 絶縁ゲートバイポーラトランジスタ ..... | 68   |
| 原田眞名・湊 忠玄・高橋英樹・西原秀典・井上敬二・高田育紀              |      |
| 溶融再結晶化法を用いた新型高効率薄膜多結晶シリコン太陽電池 .....        | 73   |
| 森川浩昭・有本 智・石原 隆・隈部久雄・室谷利夫                   |      |
| 小型・高機能エアバッグ用半導体加速度センサ .....                | 77   |
| 荒木 達・山本雅裕・瀬々倉 孝                            |      |
| CMOS ゲートアレー用自動レイアウト技術 .....                | 82   |
| 中尾博臣・高橋一浩・定兼利行・奥田亮輔・寺井正幸・佐藤興二              |      |
| VLSI マスクデータ照査システム .....                    | 86   |
| 菅野 誠・濱本末雄・田中健一・宗像恒任・森泉幸一                   |      |
| 高誘電率薄膜技術 .....                             | 90   |
| 佐藤一直・三上 登・川原孝昭・楠見嘉宏・伊藤博巳                   |      |
| X 線リソグラフィ技術 .....                          | 94   |
| 幸丸正樹・丸本健二・尾崎禎彦・島野裕樹・中西哲也・吉岡信行              |      |
| ハーフミクロン対応ロジック用 CMOS LSI ウェーハプロセス .....     | 99   |
| 野崎雅彦・越久和俊・原田 繁・東谷恵市・高田佳史                   |      |
| ノンバイアス ECR プラズマによる微細加工技術 .....             | 103  |
| 丸山隆弘・藤原伸夫・米田昌弘・塚本克博・大森達夫・番條敏信              |      |
| 高機能・高信頼性パッケージ .....                        | 107  |
| 佐々木育夫・樋口徳昌・森賀南木・木村通孝                       |      |
| 特許と新案                                      |      |
| 「パターン配置方法」「寸法選別方法」 .....                   | 113  |
| 「短絡移行アーク溶接機」 .....                         | 114  |
| スポットライト                                    |      |
| 非接触 IC カード .....                           | 112  |
| 電源開発(株)本州-四国連系線児島ケーブルヘッド地点用                |      |
| 500kV, 250MVA分路リアクトル .....                 | (表3) |

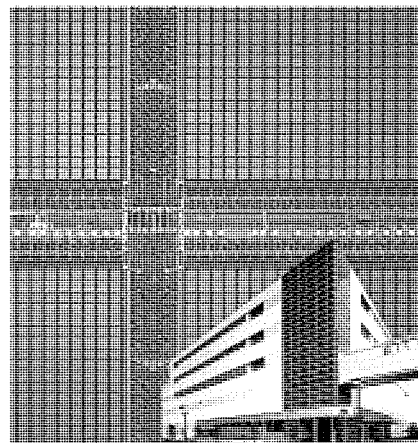
### 表紙

#### 64M ビット DRAM チップと ULSI 開発棟

表紙の写真は、当社における半導体技術開発の拠点である ULSI 開発研究所(伊丹市)に完成した ULSI 開発棟と、そこで開発した 64M ビット DRAM チップである。

ULSI 開発棟は 64M ビット DRAM 以降の先端製造技術開発及び先端デバイスの開発を行うため建設した新開発棟で、最新鋭のクリーンルームと開発設備を備えている。

64M ビット DRAM は、0.35 $\mu$ m CMOS 技術を用い、面積10.59mm $\times$ 20.6mm のチップに約1億4000万個のトランジスタやコンデンサを集積しており、動作電圧 3.3V で 32ns の高速アクセス時間を実現した。



三菱電機技報に掲載の技術論文では、国際単位“SI”〔SI 第2段階(換算値方式)を基本〕を使用しています。ただし、保安上、安全上等の理由で、従来単位を使用している場合があります。



# アブストラクト

## 半導体の技術動向と展望

坂根英生

三菱電機技報 Vol.68・No.3・p.3~6 (1994)

急速な半導体技術の進歩が、応用市場を目覚ましに拡大してきた。その半導体産業も1990年代に入り、量的拡大から、より質的拡大すなわち高性能化・小型化・低消費電力化・ディジタル化等を一層追求する時代に転換してきている。この転換期を乗り越えるためには、応用市場からのニーズと半導体自身のシーズ技術の融合がますます重要になっている。本稿では、最近の応用市場動向と、それに対する半導体側からのアプローチについて展望する。

超薄形パッケージ IC を搭載した大容量 IC メモリカード  
郷地英伸・越智克則・寺岡康宏

三菱電機技報 Vol.68・No.3・p.24~28 (1994)

厚さ0.5mmの超薄形パッケージとして32pin DTP(Dual Tape carrier Package), 28pin DTP及び80pin QTP(Quad Tape carrier Package)を業界で初めて開発した。32pin DTPに1MビットSRAMを、80pin QTPにカード周辺回路用ICを封入し、それぞれ32個と3個を高密度実装した厚さ3.3mmの高信頼性の4MバイトSRAMカードを開発した。

## 64M ビット DRAM

諸岡毅一・宮本博司・古谷清広・岡本龍郎・須賀原和之

三菱電機技報 Vol.68・No.3・p.7~10 (1994)

0.35 $\mu$ m デザインルールと5層ポリシリコン2層アルミCMOSプロセスを用いた64MビットDRAMを開発した。 $\times 1/\times 4/\times 8/\times 16$ の4種類の語構成と、高速ページ/ニブル/スタティックコラムの各モードを同一チップ上で選択可能とした。チップサイズは218mm<sup>2</sup>であり、500mil 幅のSOJ/TSOPパッケージに収容している。電源電圧3.3V, LVTTTL(Low Voltage TTL)インタフェースを採用した。性能は、RASアクセス時間50ns, 動作時電源電流120mAを実現している。

高性能新16ビット マイクロコントローラ“M16シリーズ”  
中尾裕一・北上尚一・清水 徹・三輪久晴・水垣重生

三菱電機技報 Vol.68・No.3・p.29~33 (1994)

CPU 内部32ビット, 内蔵周辺及び外部バス16ビットを基本構成とする新世代16ビット マイクロコントローラ M16シリーズを開発した。第一世代 M16 は、4~5MIPS を持つCPUコア及びOA関連機器制御に適した周辺機能を搭載し、約37万トランジスタを集積する。LSIは、いわゆるトップダウン設計の考え方によって開発した。HDLによる定義を最上位とし、生成するマクロセルの性格により、セルベース設計とハンドクラフト設計を使い分けて最適なマイコン LSIを実現した。

## ブロック消去可能な 16M ビットフラッシュメモリ

中山武志・三原雅章・宮脇好和・大井 誠・新井 肇

三菱電機技報 Vol.68・No.3・p.11~14 (1994)

3.3Vと12Vの2電源で動作するブロック消去(64Kバイト単位)可能な16Mビットフラッシュメモリを開発した。0.5 $\mu$ mルールを用いて、セルサイズ1.7 $\mu$ m $\times$ 1.9 $\mu$ m, チップサイズ9.3mm $\times$ 11.5mmを実現した。電源電圧3.3Vで100nsの高速アクセスタイムや、自動消去中に消去動作を一時中断し、読出し動作を行い、引き続き消去動作を行うことのできる消去サスペンド/レジューム機能などを実現した。

## データリンク層通信プロトコルコントローラ内蔵 MCU

長 芳樹・山ノ井悟郎・林 良紀・田代 哲・藤沢行雄

三菱電機技報 Vol.68・No.3・p.34~38 (1994)

小規模な装置・装置間のデータリンク層通信プロトコルコントローラを内蔵したマイクロコントローラを開発した。今回開発したデータリンク層通信プロトコルは、半二重非同期マルチマスタ方式、約4~30kbpsの伝送速度で、優先制御はCSMA/CD方式である。プロトコルコントローラ部は新たに開発した専用のオンチップサブMCUを用いて、ファームウェアで実現している。J1850を始めとする通信プロトコルにファームウェアの変更によって容易に対応できる。

## 高速 QuadCAS 付き第三世代 4 MDRAM

吹上貴彦・豆谷智治

三菱電機技報 Vol.68・No.3・p.15~18 (1994)

0.65 $\mu$ mの最小設計寸法を採用し、さらに最新回路技術を駆使することにより、アクセスタイムの高速化・低消費電力化を図った4MDRAM(4メガビットDRAM)第三世代品を開発した。新機能であるQuadCAS(コラムアドレスストロブ)機能は、4ビットの入出力データを四つのCASを用いることにより、任意に高速書込み、読出しを可能にする。また、バッテリー駆動に適したセルフリフレッシュ機能も備えている。

## システム提案型マイコン応用技術

樋口敬三・山田罔裕・杉本正樹

三菱電機技報 Vol.68・No.3・p.39~44 (1994)

マイクロコンピュータ(マイコン)が用いられる機器組込み応用では、マイコンの特長を最終製品においてコスト、性能、機能面でどのように差別化できるかを事前評価することは難しい。当社ではマイコンを使用した応用製品での適合性評価を提供するとともに、最終応用製品にほぼ等価な評価用システム(通称デモセット)を開発し、システム提案活動を実施してきた。その応用事例を論じる。

## 高速 1 M ビット CMOS スタティック RAM

檜原洋次・坂口定則・秋山義雄・田原良昭・南 ふゆみ

三菱電機技報 Vol.68・No.3・p.19~23 (1994)

アクセスタイム15nsの高速1Mビット(128K $\times$ 8/256K $\times$ 4/1M $\times$ 1)CMOSスタティックRAM(SRAM)を開発した。このSRAMでは高性能を達成するために多層配線を含む0.6 $\mu$ m微細化プロセス技術と高信頼性かつ高性能トランジスタを採用している。また、回路面において多層配線を有効に用いる分割ワード線方式、新型の内部同期式回路などを使用し、アクセス時間15nsという高速性能を達成した。

## 12ビット100k FLIPS ファジー推論プロセッサ

下邨研一・新田泰彦・坂下徳美・中村和夫・徳田 健

三菱電機技報 Vol.68・No.3・p.45~48 (1994)

自動車エンジン制御等の高速制御分野への適用が可能な12ビット100kFLIPS(Fuzzy Logical Inference Per Second)のファジー推論プロセッサを開発した。推論速度向上のために、前件部処理と後件部処理のパイプライン化、add/divide アルゴリズムの改良を行った。さらに、ルール命令や専用のメンバーシップ関数発生器を設け処理を高速化した。このプロセッサは、1 $\mu$ m CMOS 技術によって86k素子が7.5mm $\times$ 6.7mmに集積され、最高100nsの命令サイクルで動作する。

# Abstracts

Mitsubishi Denki Giho: Vol.68, No.3, pp.24~28 (1994)

## Large-Capacity Memory Card Using Ultra-Thin Package Technology

by Hidenobu Gochi, Katsunori Ochi & Yasuhiro Teraoka

In an industry first, the corporation has developed ultra-thin 0.5mm-thick tape-carrier packages, including 28-and 32-pin dual tape-carrier packages (DTPs) and 80-pin quad tape-carrier packages (QTPs). A 3.3mm-thick high-reliability 4MB SRAM memory card has been developed using 32 1Mbit SRAM devices packaged in 32-pin DTPs, a 64Kbit EEPROM device packaged in a 28-pin DTP, three peripheral ICs packaged in 80-pin QTPs, and high-density mounting technology.

Mitsubishi Denki Giho: Vol.68, No.3, pp.3~6 (1994)

## A Review of Trends in Semiconductor Technology

by Hideo Sakane

The rapidly advancing front of semiconductor technology research has expanded into the applications market. Since entering the 1990s, the semiconductor industry has been shifting from a mass-production oriented market to an increasingly quality-oriented one—with special emphasis on high-performance, compact form factor, low-power consumption, and digital functionality. Making this shift requires a synthesis of application needs with semiconductor seed technologies. The article surveys application trends in the market and various approaches toward providing suitable semiconductor devices.

Mitsubishi Denki Giho: Vol.68, No.3, pp.29~33 (1994)

## M16 Series: A New-Generation High-Performance 16bit Microcontroller

by Yuichi Nakao, Naiochi Kitakami, Toru Shimizu, Hisaharu Miwa & Shigeo Mizugaki

The corporation has developed the M16 Series, a new-generation 16bit microcontroller based on a 32bit microprocessor with a 16bit external bus and 16bit peripheral circuits. The first-generation M16 microcontrollers, which comprise approximately 370,000 transistors, consist of a 4~5 MIPS microprocessor core coupled with peripheral circuits suited for control of electronic office equipment. The devices were developed using a top-down philosophy. Hardware description language (HDL), used to define the device at the highest level, was combined with handcrafted design and cell-based design in consideration of the characteristics of each submodule in order to satisfy flexibility and small die size.

Mitsubishi Denki Giho: Vol.68, No.3, pp.7~10 (1994)

## A 64Mbit DRAM

by Yoshikazu Morooka, Hiroshi Miyamoto, Kiyohiro Furutani, Tatsuo Okamoto & Kazuyuki Sugawara

A 64Mbit CMOS DRAM has been developed applying a CMOS process with 0.35  $\mu\text{m}$  design rule, 2-layer polycide, 3-layer polysilicon and 2-layer metalization. The same chip can be configured for 1, 4, 8 or 16bit word lengths with addressing by high-speed page, nibble, or static column modes. The 218mm<sup>2</sup> die is housed in 500-mil SOJ or TSOP packages. The power supply is 3.3V, with a low-voltage transistor-transistor logic (LVTTL) interface. The random access strobe (RAS) access time is 50ns, and the device dissipates 432mW when operating at 120mA.

Mitsubishi Denki Giho: Vol.68, No.3, pp.34~38 (1994)

## A Microcontroller with a Built-In Data-Link-Level Protocol Control Function

by Yoshiki Cho, Goro Yamanoi, Yoshinori Hayashi, Tetsu Tashiro & Yukio Fujisawa

A microcontroller with a data-link protocol control function has been developed to enable network communications between compact electronic equipment. A separate on-chip microcontroller uses firmware to implement a half-duplex asynchronous multimaster protocol with a speed of 4~30kbps and applies carrier-sense multiple access with collision detection (CSMA/CD) for priority control. The firmware can be easily modified to adapt the device for J1850 and other communications protocols.

Mitsubishi Denki Giho: Vol.68, No.3, pp.11~14 (1994)

## A 16Mbit Flash Memory with Block-Erase Capability

by Takeshi Nakayama, Masaaki Mihara, Yoshikazu Miyawaki, Makoto Ooi & Hajime Arai

A 16Mbit flash-memory device with a 64kB block-erase function has been developed. It is capable of operating on dual 3.3V and 12V power supplies. Implemented using 0.5  $\mu\text{m}$  technology, it has a cell size of  $1.7 \times 1.9 \mu\text{m}$  and chip size of  $9.3 \times 11.5\text{mm}$ . The access time is 100ns operating on the 3.3V supply voltage. The device also includes an erase suspend/resume function that allows the automatic erase function to be temporarily interrupted, the memory contents read out, and the erase resumed.

Mitsubishi Denki Giho: Vol.68, No.3, pp.39~44 (1994)

## Systematic Design of Microcomputer-Based Embedded-Control Systems

by Keizo Higuchi, Kunihiro Yamada & Masaki Sugimoto

In microcomputer-based embedded-control applications, it is difficult to determine the effects of a microprocessor choice on the cost, performance and functionality of the end product. The corporation therefore offers design support services which include (1) evaluating microprocessor suitability for specific applications, (2) supplying demonstration systems nearly equivalent to the final application product, and (3) proposing systems. The article introduces these services.

Mitsubishi Denki Giho: Vol.68, No.3, pp.15~18 (1994)

## A Third-Generation 4Mbit DRAM with High-Speed Quad Column Address Strokes

by Takahiko Fukiage & Tomoharu Mametani

A third-generation 4Mbit DRAM has been designed utilizing a minimum transistor length of 0.65  $\mu\text{m}$  and a new circuit. This new device has high access speed and low power dissipation. It has a quad column access strobe (CAS) function that enables arbitrary high-speed writing or reading by each CAS. It also has a self-refresh function that is suitable for battery back-up application.

Mitsubishi Denki Giho: Vol.68, No.3, pp.45~48 (1994)

## A Fuzzy Inference Processor with 12bit Resolution and 100k FLIPS Performance

by Ken'ichi Shimomura, Yasuhiko Nitta, Narumi Sakashita, Kazuo Nakamura & Takeshi Tokuda

The corporation has developed a high-performance fuzzy inference processor with 12bit resolution capable of 100k fuzzy logical inferences per second (FLIPS) for automotive use and other demanding applications. In order to maximize processing speed, the device features a pipeline architecture with pre- and post-processing, and an improved add/divide algorithm. Speed improvements were also achieved by adding rule instructions and including a dedicated circuit for generating membership functions. The device, which consists of 86,000 transistors, is implemented using 1.0  $\mu\text{m}$  CMOS technology with a die size of  $7.5 \times 6.7\text{mm}$ . The minimum instruction cycle time is 100ns.

Mitsubishi Denki Giho: Vol.68, No.3, pp.19~23 (1994)

## A High-Speed 1Mbit CMOS SRAM

by Yoji Kashihara, Sadanori Sakaguchi, Yoshio Akiyama, Yoshiaki Tahara & Fuyumi Minami

A high-speed 1Mbit CMOS static RAM has been developed with a 15ns access time and 1, 4 and 8bit word lengths. The device was implemented using a 0.6  $\mu\text{m}$  CMOS process, multilayer metalization, and high-performance, high-reliability transistors. The circuit achieves a 15ns access speed through use of a distributed word-line architecture suited for multilayer metalization and a new internal clock-synchronization circuit.



## アブストラクト

### 0.5 $\mu$ m CMOS セミカスタム IC

真田邦彦・青木一夫・前野秀史・松本 尚・笹田真喜子

三菱電機技報 Vol.68・No.3・p.49～53 (1994)

最先端のシステムオンシリコン設計技術の基盤となる 0.5 $\mu$ m CMOS ゲートアレーに引き続き、今回新しくエンベッデッドタイプの高密度モジュールジェネレータ、PLL、GTL 回路を開発した。その結果、エンベッデッド セルアレー及びセルベースICを含めた 0.5 $\mu$ m セミカスタム IC トータルの開発体制が整い、高機能なシステムを 1 チップで設計することが可能となった。

### 溶融再結晶化法を用いた

#### 新型高効率薄膜多結晶シリコン太陽電池

森川浩昭・有本 智・石原 隆・隈部久雄・室谷利夫

三菱電機技報 Vol.68・No.3・p.73～76 (1994)

溶融再結晶化法による絶縁膜上の薄膜多結晶シリコンの高品質化技術、活性層内に有効に光を閉じ込めるための独自の構造及びプロセスを開発し、薄膜多結晶シリコン太陽電池としては世界最高の変換効率(14.2 %, 10cm 角)を実現するとともに、電力用太陽電池の実用化上最も重要な材料コストを従来の1/10に低減している。

### 国際標準 JPEG 準拠のカラー画像圧縮・伸長 LSI

小川文伸・井田静男・今中良史・杉野博之・寺根秀幸

三菱電機技報 Vol.68・No.3・p.54～58 (1994)

国際標準 JPEG (Joint Photographic Experts Group) の基本システム準拠のカラー画像圧縮・伸長 LSI を開発した。この LSI の最大の特長は、カラー画像(RGB, 640 $\times$ 480画素)を30フレーム/秒で符号化/復号できる高速性である。また、各種フォーマット変換や簡易符号量制御など豊富な周辺機能を 1 チップ内に収めた。この LSI は高速性により、静止画像はもちろんのこと、デジタルビデオ機器やパソコン上での動画ファイルリングなど動画像への応用も可能となる。

### 小型・高機能エアバッグ用半導体加速度センサ

荒木 達・山本雅裕・瀬々倉 孝

三菱電機技報 Vol.68・No.3・p.77～81 (1994)

今回、開発したエアバッグ用半導体加速度センサは、加速度によって生じるシリコンチップ上の機械的ひずみをピエゾ抵抗効果(Piezoresistive Effect)によって電圧に変換するセンサ部と、増幅回路や自己診断回路(Diagnosis Circuit)などの信号処理回路を当社独自の IC 化センサ技術によってワンチップに集積化したため、従来の圧電セラミック型の加速度センサに比べ、約1/2の価格と1/3のサイズとを実現した。

### VTR 用ワンチップカラオケプロセッサ LSI

安達靖史・山田友右

三菱電機技報 Vol.68・No.3・p.59～62 (1994)

当社では、従来からデジタルエコーやデジタルキーコントロール等のカラオケ専用 LSI を多数製品化し、市場に広く親しまれている。今回、シリーズ中最も高機能なワンチップカラオケプロセッサ LSI M65835 FP を開発した。この IC は、主にカラオケ機能付き VTR 用として、ボーカルカット、キーコントロール、エコー等カラオケに必要なすべての機能とテープの頭出しが容易に検出できるデジタルサーチシステムを搭載し、最新の 0.8 $\mu$ m CMOS プロセスで実現した。

### CMOS ゲートアレー用自動レイアウト技術

中尾博臣・高橋一浩・定兼利行・奥田亮輔・寺井正幸・佐藤興二

三菱電機技報 Vol.68・No.3・p.82～85 (1994)

CMOS SOG (Sea of Gate) ゲートアレー自動レイアウトのための CAD ソフトウェア、自動配置配線 HGALOP とマクロセル自動生成 MCgen を開発した。HGALOP は、SOG ゲートアレーのレイアウト構造を有効利用したアルゴリズムにより、汎用的な市販ツールより平均20倍高速であり、MCgen は独自の配線手法により、高密度なマクロセルのレイアウトパターンを生成する。共に、0.5 $\mu$ m 以上のデバイスに適用中である。

### 3 V 動作10ビット50M サンプル/秒 CMOS D/A コンバータ

中村泰之・三木隆博・西川毅一・岡田圭介

三菱電機技報 Vol.68・No.3・p.63～67 (1994)

3 V 電源(2.7V 以上)で動作する分解能10ビット、最大変換速度50M サンプル/秒の CMOS D/A コンバータを世界で初めて試作した。

当社独自のバイアス方法及び駆動方法を用いた電流源回路を新たに開発することで上記性能を達成した。パッドを除いた有効面積は1.41mm $\times$ 1.28mm と小さく、システム VLSI へのオンチップ化に適している。消費電力は、最大 50mW (フルスケール出力電流が 10mA のとき)である。

### VLSI マスクデータ照査システム

菅野 誠・濱本末雄・田中健一・宗像恒任・森泉幸一

三菱電機技報 Vol.68・No.3・p.86～89 (1994)

複数の VLSI マスクデータを相互比較し、パターン相違部分を高速に自動検出するマスクデータ照査システムを開発した。このシステムは、ニューラルネットワークモデルを用いて、丸め誤差等パターンの微妙なズレによる相違部分の検出、不検出を自動的に判断できるものであり、従来のグラフィック画面での目視照査に比べて、1/10以下の時間で照査可能となった。なお、このシステムは、既に16MDRAM (16メガビット DRAM) 等、製品へ適用した。

### トレンチ MOS ゲート構造の

#### 600V 絶縁ゲートバイポーラトランジスタ

原田眞名・湊 忠玄・高橋英樹・西原秀典・井上敬二・高田育紀

三菱電機技報 Vol.68・No.3・p.68～72 (1994)

トレンチ MOS ゲート構造の600V, 50A 絶縁ゲートバイポーラトランジスタ(トレンチ IGBT)を開発した。トレンチ MOS ゲート構造の採用により、ユニットセル寸法を従来構造IGBTの約1/10に縮小することができ、200A/cm<sup>2</sup>の高電流密度で1.4V ( $t_f$ =200ns)と極めて低いオン電圧を得た。トレンチ IGBT は、素子耐圧、破壊耐量にも優れており、IGBT の理想形をほぼ実現しているデバイスであることを確認した。

### 高誘電率薄膜技術

佐藤一直・三上 登・川原孝昭・楠見嘉宏・伊藤博巳

三菱電機技報 Vol.68・No.3・p.90～93 (1994)

高誘電率を持つ(Ba, Sr)TiO<sub>3</sub> 膜の DRAM への適用性を検討した。スパッタ成膜法、CVD 成膜法及びエッチング加工法を検討し、各プロセスで 256MDRAM に適用可能な基本特性を達成した。実際に、高誘電率薄膜を適用した 256MDRAM 構造を試作し、シンプルなセル構造を持ち、製造コストを低減できる 256MDRAM の実現性を示した。

# Abstracts

Mitsubishi Denki Giho: Vol.68, No.3, pp.73~76 (1994)

## Zone-Melting Recrystallization Technique Developed for Production of A New Highly Efficient Thin-Film Polycrystalline Silicon Solar Battery

by Hiroaki Morikawa, Satoshi Arimoto, Takashi Ishihara, Hisao Kumabe & Toshio Murotani

The corporation has demonstrated a thin-film polycrystalline silicon solar cell with the world's highest conversion efficiency: 14.2% over a  $10 \times 10$ cm square. A zone-melting recrystallization technique for forming thin polycrystalline silicon layer over insulator and a novel structure and process have been developed. The cost of materials for the device is one-tenth that of previous solar cells, providing strong motivation for commercial development.

Mitsubishi Denki Giho: Vol.68, No.3, pp.49~53 (1994)

## A 0.5 $\mu$ m Semicustom CMOS IC

by Kunihiro Sanada, Kazuo Aoki, Hideshi Maeno, Hisashi Matsumoto & Makiko Sasada

The corporation has recently advanced its system-on-silicon design technology by developing a generator for embedded-type high-density modules and phase-locked loop (PLL) and Gunning transceiver logic (GTL) elements for its 0.5  $\mu$ m CMOS gate arrays. This advance rounds out the corporation's development capabilities for 0.5  $\mu$ m semicustom devices including embedded-cell arrays and cell-based ICs, allowing design of high-performance integrated systems.

Mitsubishi Denki Giho: Vol.68, No.3, pp.77~81 (1994)

## Compact, Highly Functional Semiconductor Acceleration Sensor for Airbag Systems

by Toru Araki, Masahiro Yamamoto & Takashi Sasekura

The corporation has integrated a semiconductor accelerometer for airbag applications on a single chip with comprised of a piezoresistive element that converts strain to voltage, an amplifier and diagnostic circuits. This device costs half that of previous ceramic devices and occupies one-third the volume.

Mitsubishi Denki Giho: Vol.68, No.3, pp.54~58 (1994)

## A Still-Color-Image Compression/Expansion LSI that Conforms to JPEG International Standards

by Fuminobu Ogawa, Shizuo Ida, Yoshifumi Imanaka, Hiroyuki Sugino & Hideyuki Terane

The corporation has developed a high-performance still-color-image compression/expansion LSI that complies with the baseline system of standards of the Joint Photographic Experts Group (JPEG). This new LSI is capable of coding or decoding  $640 \times 480$  pixel RGB images at a rate of 30 frames per second. It is therefore useful for storing moving-picture data in digital video equipment and personal computers as well as use for still-image applications. The device also includes a number of peripheral functions including color space conversion and simple coding rate control for a variety of applications.

Mitsubishi Denki Giho: Vol.68, No.3, pp.82~85 (1994)

## Automatic Layout Technology for CMOS Gate Arrays

by Hiroomi Nakao, Kazuhiro Takahashi, Toshiyuki Sadakane, Ryosuke Okuda, Masayuki Terai & Koji Sato

The corporation has developed automatic CAD layout software for CMOS sea-of-gate arrays, HGAOP (automatic placement and routing), and MCgen (automatic macrocell generation). HGAOP employs an algorithm that effectively uses the conformity in the layout structures of sea-of-gate devices and is, on average 20 times faster than commercially available tools. MCgen employs a proprietary automatic routing method that generates dense layout patterns for macrocells. The software is being used for devices of 0.5  $\mu$ m or larger.

Mitsubishi Denki Giho: Vol.68, No.3, pp.59~62 (1994)

## A Single-Chip LSI Karaoke Processor for VCR Applications

by Yasushi Adachi & Yusuke Yamada

The corporation has developed the M65835FP high-performance one-chip karaoke processor for karaoke-capable VCRs. It contains a vocal-track cut function, key control functions, echo processing function, and a digital search system for tape cueing. The device is implemented in a new 0.8  $\mu$ m CMOS process. The corporation had previously developed an echo processor, digital key control, and other special-purpose ICs for karaoke use.

Mitsubishi Denki Giho: Vol.68, No.3, pp.86~89 (1994)

## A Verification System for VLSI Mask Data

by Makoto Kanno, Sueo Hamamoto, Ken'ichi Tanaka, Tsunesato Munakata & Koichi Morizumi

The corporation has developed a mask-verification system that rapidly compares VLSI mask data and detects pattern errors. The system, which employs a neural network model, can automatically determine whether small rounding and similar errors due to slight mask misalignments will be detected. It tests masks in less than one-tenth of the time required for visual comparison on a graphic display, and has already been applied in the production of 16Mbit DRAM devices.

Mitsubishi Denki Giho: Vol.68, No.3, pp.63~67 (1994)

## A 10bit 50 Megasample per Second CMOS DA Converter that Operates on 3V

by Yasuyuki Nakamura, Takahiro Miki, Yoshikazu Nishikawa & Keisuke Okada

The corporation has produced a prototype of the world's first CMOS DA converter. It has 10-bit resolution, a maximum conversion rate of 50 megasamples per second, and operates on a 3V power supply (2.7V and above). This high performance was achieved by developing a current-source circuit with proprietary bias and drive methods. The effective device area (minus bonding pads) is  $1.28 \times 1.41$ mm, a design that allows integration in larger monolithic devices. Maximum power consumption is 50mW at the rated full output current of 10mA.

Mitsubishi Denki Giho: Vol.68, No.3, pp.90~93 (1994)

## Technology for High-Dielectric-Constant Thin Films

by Kazunao Sato, Noboru Mikami, Takaaki Kawahara, Yoshihiro Kusumi & Hiromi Ito

The authors have investigated the application of the high-dielectric-constant thin films of (Ba, Sr) TiO<sub>3</sub> to DRAM devices. Studies were conducted on etching processes and film formation by sputtering and chemical vapor deposition (CVD). Suitable process characteristics for 256Mbit DRAM devices were achieved, and a high-dielectric film was employed in fabrication of 256Mbit devices. The film allows use of a simple cell structure that will lower the cost of producing these devices.

Mitsubishi Denki Giho: Vol.68, No.3, pp.68~72 (1994)

## A 600V Gate-Insulated Bipolar Transistor Using a Trench MOS Gate

by Masana Harada, Tadaharu Minato, Hideki Takahashi, Hidenori Nishihara, Keiji Inoue & Ikunori Takata

The corporation has developed a 600V/50A insulated-gate bipolar transistor (IGBT) with a trench MOS-gate structure. As a result of this trench MOS-gate structure, the new IGBT has a cell area one-tenth that of previous IGBTs, sustains a maximum current density of 200A/cm<sup>2</sup>, turns on at the unusually low level of 1.4V ( $t_r=200$ ns), and has a high breakdown voltage. Tests on these trench IGBTs showed their characteristics to be nearly ideal.

## アブストラクト

### X線リソグラフィ技術

幸丸正樹・丸本健二・尾崎禎彦・島野裕樹・中西哲也・吉岡信行  
三菱電機技報 Vol.68・No.3・p.94～98 (1994)

クォーターミクロン以降の半導体デバイス微細加工技術として、シンクロトロン放射(Synchrotron Radiation: SR)光を用いたX線リソグラフィ技術の開発を進めている。

本稿では、光源となるSRリングの小型化、ビームライン照明系の集光光学系によるSR光強度増強や真空保護機能、X線マスクの解像性・位置精度向上、特性評価のための転写シミュレーションに関する当社の取組の概要を紹介する。

### ノンバイアス ECR プラズマによる微細加工技術

丸山隆弘・藤原伸夫・米田昌弘・塚本克博・大森達夫・番條敏信  
三菱電機技報 Vol.68・No.3・p.103～106 (1994)

0.25～0.3 $\mu\text{m}$  レベルの ULSI の製造には、高異方性エッチング技術が必要である。このため、新たに複合磁場を用いた電子サイクロロン共鳴(ECR)プラズマエッチング技術を開発した。この技術では ECR 領域の磁場こう配の制御により、大口径ウェーハを高速度で均一性良くエッチングできるとともに、パターンのアスペクト比に依存したイオン軌道の乱れの抑制によって高選択性・高異方性エッチングの実現が可能である。

### ハーフミクロン対応ロジック用 CMOS LSI ウェーハプロセス

野崎雅彦・越久和俊・原田 繁・東谷恵市・高田佳史  
三菱電機技報 Vol.68・No.3・p.99～102 (1994)

世界最小レベルの微細ピッチで配線可能な多層配線技術と、飽和ソースドレイン電流 NMOS: 0.44mA/ $\mu\text{m}$ , PMOS: 0.22mA/ $\mu\text{m}$  という高駆動能力トランジスタを持つ0.5 $\mu\text{m}$  ロジック用 CMOS LSI ウェーハプロセスを開発し、高品位ロジックデバイスの世界最高レベルの性能及び低コスト化を達成できた。今回開発した高品位ロジックデバイス技術と、16MDRAM に代表されるメモリデバイス技術とを融合させ、コンパクト化・高機能化に優れたシステム LSI 開発への展開が可能となった。

### 高機能・高信頼性パッケージ

佐々木育夫・樋口徳昌・森賀南木・木村通孝  
三菱電機技報 Vol.68・No.3・p.107～111 (1994)

電子機器の高機能化、高速化、小型・軽量化など多様化する要求に対応した4種類の新パッケージの開発状況を紹介する。

①メモリのチップ収容率向上により、パッケージの小型化を達成した“LOC 構造”パッケージ。②メモリの防湿こん(梱)包開封後、実装までの制約条件をなくした高信頼性パッケージ。③マイコン、ゲートアレーなど非メモリの小型化を目的としたファインピッチ QFP。④ヒートスプレッドの内蔵により、高放熱特性を達成した高放熱パワー QFP。



# Abstracts

Mitsubishi Denki Giho: Vol.68, No.3, pp.103~106 (1994)

## Fine Etching by Non-Biased ECR Plasma

by Takahiro Maruyama, Nobuo Fujiwara, Masahiro Yoneda, Katsuhiro Tsukamoto, Tatsuo Dmori & Toshinobu Banjo

The authors have investigated etching technology suitable for semiconductor devices employing  $0.25\sim0.3\ \mu\text{m}$  geometries, and developed a new plasma-etching technology employing electron cyclotron resonance (ECR) with a composite magnetic field. The technology is capable of etching large-diameter wafers at high speed with excellent uniformity. The magnetic field gradient in the ECR region suppresses pattern aspect-ratio-dependent ion-path disturbances, resulting in highly selective and highly anisotropic etching.

Mitsubishi Denki Giho: Vol.68, No.3, pp.94~98 (1994)

## X-Ray Lithography Technology

by Masaki Komaru, Kenji Marumoto, Yoshihiko Dzaki, Hiroki Shimano, Tetsuya Nakanishi & Nobuyuki Yoshioka

Technological advances are applying X-ray radiation from a synchrotron source to lithography of quarter-micron and smaller semiconductor devices. The article reports on the corporation's developments in the areas of smaller synchrotron radiation sources, focusing optics that increase the intensity of the beam line radiation, maintaining vacuum; improvements in X-ray mask resolution and alignment precision, and transfer simulations used to evaluate system characteristics.

Mitsubishi Denki Giho: Vol.68, No.3, pp.107~111 (1994)

## Highly Functional, Highly Reliable Packaging

by Ikuro Sasaki, Noriaki Higuchi, Namiki Moriga & Michitaka Kimura

The article reports on the development of four new packages designed to meet needs for faster, smaller, lighter, and more functional semiconductor devices: (1) a small lead-on-chip (LOC) package designed to increase memory mounting density, (2) a high-reliability package that loosens restrictions on memory device storage conditions between the opening of moisture proof wrapping and mounting of the devices, (3) a fine-pitch quad flat package (QFP) designed to reduce the size and mounting area of microprocessors, gate arrays and other non-memory devices, and (4) a power QFP with an internal heat spreader to improve dissipation characteristics.

Mitsubishi Denki Giho: Vol.68, No.3, pp.99~102 (1994)

## A CMOS Wafer Process for Half-Micron Logic Devices

by Masahiko Nozaki, Kazutoshi Dku, Shigeru Harada, Keiichi Higashitani & Yoshifumi Takata

The corporation has developed a half-micron CMOS wafer process capable of low-cost fabrication of high-performance LSI devices. The process supports multilayer metalization employing extremely fine lines, and realizes NMOS source-to-drain currents of  $0.44\text{mA}/\mu\text{m}$  and PMOS source-to-drain currents of  $0.22\text{mA}/\mu\text{m}$ . This advance will make it possible to integrate logic with 16Mbit DRAM technology to build high-performance monolithic systems.

半導体産業は1993年には回復するとの大方の予想を裏切  
って、日本市場の低迷に加え、円高のなかで、いまだ回復  
の兆しが顕著ではない。バブル崩壊で利益構造の弱点を露  
呈した日本の半導体企業各社は、適正利益の確保を求めて  
事業体質の改善に躍起となっている。

一方、半導体技術の高度化による開発費と開発設備投資  
の増大は、費用構造と開発体制の見直しを迫っている。国  
内外の有力メーカーとのグローバルアライアンスやパート  
ナーシップによる共同開発や開発拠点の積極的な海外展開  
は、重要な開発戦略となっている。また、生産コスト削減  
のための海外展開が、特にNIESからASEAN、中国へと、  
政治・経済体制のボーダレス化として活発化している。

当社は、昨年6月に、事業戦略と開発戦略との有機的展  
開を図るため、従来開発本部に所属していた半導体関連の  
三つの研究所を半導体事業本部傘下にした。また、システ  
ムLSIの開発力強化と開発効率向上を図るため、三つの研  
究所を統合し、ULSI開発研究所・システムLSI開発研究  
所・光マイクロ波開発研究所として再編成し、タイムリー  
で効率の良い製品開発ができる体制を整えた。さらに、将  
来に向けた半導体の基盤技術を確認するため、半導体基礎  
研究所を開発本部に新たに設立し、役割分担を明確にした。

有望製品の見直しとバランスの良い製品構成を図ること  
が今後の事業運営に重要となるため、当社は、メモリ、マ  
イコン/ASIC、及び個別半導体の3事業責任体制を明確  
にし、各々の事業体質に合わせた事業展開策を実行してい  
く予定である。

メモリの分野では、コスト競争力強化のための4M、16  
MDRAMなど現有製品に対する徹底した低コスト化技術  
の適用と0.35~0.25ミクロンの次世代デバイスの要素技術

開発を行っている。

マイコン/ASICの分野では、時代に先行した付加価値  
のあるコアセル、メガセルを開発し、さらに、メモリと複  
合化したシステムLSIの開発を進めている。

個別半導体の分野では、MOS系先端品の開発・製品化、  
コスト競争力強化を進め、化合物半導体に関しては、通信  
用高性能光マイクロ波デバイスの開発を推進している。

着実に増えている研究開発費は売上げ比率をベースにし  
た考え方を改める時期にきている。研究開発費の重点的投  
入、及びリスク分散とリソースの共有化を目的とした協業  
による研究開発の効率化は、従来の考え方から大きく変化  
している。

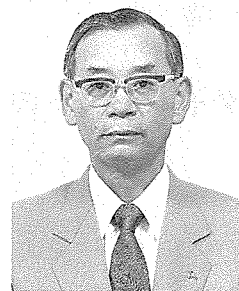
研究開発の成果は①事業に直接結び付く売上げ直結型、  
②ノウハウや特許等の技術蓄積型に分類される。後者に関  
しては、技術の蓄積をいかにドキュメント化し、財産とし  
て残すか、そしていかに早期に権利化を図るかが経営上重  
要である。蓄積した技術を共通技術として他の製品開発に  
素早く展開するため、そのデータベース化とマネジメント  
が重要となる。

今回の多くの半導体関連の技術論文は、このような開発  
のスタンスを十分考慮したものと期待している。

50年にも満たない半導体の歴史は、これまでに人類が蓄  
積した技術の上に成り立っているものが多い。シリコンと  
いう地球上に豊富に存在している石の上に、人間は自らの  
高度な技術と英知で、考える石につくり上げた。

その技術と英知がエネルギー問題を解決し、地球の環境  
を守り、すべての人類に豊かな生活空間を与えられるよう  
な価値ある役割を果たすよう、当社半導体35周年を迎える  
なかで、祈念する次第である。

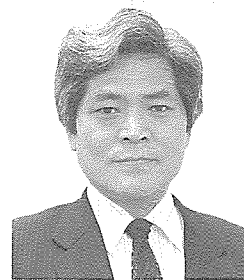
常務取締役  
半導体事業本部長  
平林 庄司



## パラダイムシフトの時代を迎えたマイクロエレクトロニクス

東北大学工学部

教授 大見 忠弘



今、エレクトロニクスがその技術体系を大きく転換しようとしている。

技術が貧困でプロセス変動が大きく精度の高いIC作りができなかった時代に最も整合性の良いブール代数を基礎とするバイナリデジタル技術と、四則演算の超高速処理に優れ、演算処理の結果のデータをレジスタを介してメモリ部に記憶させ、次段の演算処理ブロック部をプログラムに従ったスイッチ操作により探し出し、レジスタ部及び配線を介して必要なデータをメモリ部から送り出し、逐次直列的にデータ処理を行って答えを求めていくノイマン型コンピューティングシステムとの組み合わせが、現状の信号情報処理体系となっている。すなわち、演算処理ブロック、メモリブロックがそれぞれチップ上、ボード上に多数分離して局在し、巧妙なソフトウェアにより互いに膨大なデータ通信を膨大な配線を介して行いながら情報処理を行っている。取り扱う情報量が多くなければ、この処理方式は厳密かつ正確で極めて有効である。

しかし、画像処理にみられるように対象とする情報量が多くなると、現状の電子システムの応答性は極端に劣化し、人間や種々の動物等の生命体有する瞬時応答機能に全く歯が立たなくなる。LSIの配線に沿う信号伝搬速度は、生命体の神経の信号伝搬速度に比べて6桁以上速く、トランジスタの動作速度は生体ニューロンのそれに比べて7桁以上速いにもかかわらずである。

技術が貧困でIC、LSI製造プロセスの変動が大きく動作余裕が少ない時代に、エレクトロニクスの最大の使命である正確で厳密かつ確実な動作、すなわち完全な信頼性を求めて導入した情報処理体系をそのまま今日まで継続させた当然の結果である。

データが処理される場所を求めて演算処理ブロック部とメモリ部を往き来するのではなく、データフローパスがミニマムになされ、かつチップ間や演算処理ブロック間に情報の通信を必要としない、すなわちチップ間や演算処理ブロック間に複雑な配線を必要としない、データが同時完全並列処理される情報処理体系への転換が今や不可欠となっている。ソフトウェアがハードウェア中に一体となって埋め込まれ、演算処理部とメモリ部が巨大ブロック化されて分離して局在するのではなく、隣接して分散分布するとともに、演算処理部が前段の処理の結果等に基づいて要求される処理機能に実時間で変わっていくフレキシブルなハードウェアが必要となる。演算処理部間の複雑な配線を介したデータ通信も徹底的に少なくして、理想的にはゼロにすることにより、データフローパスがミニマムになるばかりでなく、データの同時並列処理が行われて瞬時応答性に優れ、文字どおり知的処理機能を備えた電子システムが実現されていく。

こうした演算処理部間の通信を伴わずデータフローパスミニマムで同時並列処理を行うには、従来のバイナリデジタル技術だけでは不可能で、数系を十分考慮した多値論理処理を縦横に駆使することが不可欠であるとの指摘が既に東北大学の樋口龍雄教授や亀山充隆教授によりなされている。これまで多値論理を具現化しようとする、イオン注入の打ち分けにより、必要な多値レベルに相当する異なった閾値電圧を持つMOSトランジスタの導入が必要となり、製造プロセス

への負担が重く、性能は圧倒的に向上するにもかかわらず広く普及するに至らなかった。

音楽の分野でクラシックの愛好者は極めて多い。モーツァルト、ベートーヴェン、シューベルトといった天才達が到達した頂点を、その後100年～200年経過した今日においても乗り越える作曲家は現れない。何故だろうか。駆使できる楽器の種類が決まり、その演奏技術が頂点を極めた同一の条件下では、歴史上の天才を後世の人間が乗り越えることは極めて困難なことである。もし、今後新しい交響曲の世界を拓こうとすれば、未だかつて誰も聞いたことがなくてかつ快適な音色の新しい楽器を創り出す以外に道はないのではないかと筆者は考える。楽器すなわち音楽の世界における基盤技術である。

すべての分野においてこのことは普遍的であろうと筆者は考えている。

20世紀のエレクトロニクスは、1906年に発明された3極真空管、1948年のバイポーラトランジスタ及び1960年のMOSトランジスタに代表される3端子デバイスによって創り上げられたと筆者は考えている。二つの主電極間を流れる電流を第3の制御電極の入力信号により制御できる機能を備えた3端子デバイスの出現により、増幅、発振、波形整形、スイッチング動作といったエレクトロニクスに不可欠な機能が実現された。真空管と異なり、Normally-Off特性を有するトランジスタは、入出力電圧が同極性電圧となることから直結型回路構成が可能なこと、及び相補型(Complementary)回路構成が可能であり、消費電力を徹底的に小さくできることから、集積化エレクトロニクスが一挙に開花し、今日のマイクロエレクトロニクス全盛の時代が築かれた。

しかし、我々はトランジスタ・3端子デバイスの世界に酔いしれすぎていたようである。そのために、未だに小動物の瞬時応答機能に全く歯が立たない電子システムしか考案できずにいたようである。第3の端子による電流制御そのものを制御する第4の端子を導入した4端子デバイスは、電流制御の自由度が1次元増えることから、単体デバイスレベルで実に多彩な機能を発揮する。4端子デバイスは、電子デバイスの超高速性能を備えながら、機能は生体ニューロンの多彩さを兼ね備えている。多値論理処理はもちろん、知的電子システムに不可欠のバイナリ・多値・アナログ融合動作を単体デバイスレベルで可能にする。ソフトウェアをハードウェア中に埋め込もうとしたときに、まさに格好の機能を備えたデバイスである。マイクロエレクトロニクスの分野に、従来は誰も使うことのできなかった新たな基盤技術が誕生したのである。瞬時応答機能を備えた知的電子システムに向けたパラダイムシフトが、この90年代に急速に進展する。

システムにフレキシビリティやプログラマビリティを持たせようとすると、ULSI製造技術は正確無比で極めて厳密なものでなければならなくなる。マイクロエレクトロニクスの分野に第2の革命期が訪れたのである。

三菱半導体技術陣の21世紀に向けた新たな飛躍を目指した一層の奮闘を祈念してやまない。



# 半導体の技術動向と展望

坂根英生\*

## 1. ま え が き

急速な技術進歩と応用範囲の拡大によって目覚ましい成長を遂げてきた半導体産業も、1990年代に入り質的拡大、すなわち高性能化、小型化・低消費電力化、デジタル化等を一層追求する時代へと転換してきている。

このような変化の中で、半導体応用市場からのニーズと半導体自身のシーズ技術の融合がますます重要になってきている。高性能化、小型化・低消費電力化、デジタル化といったシステム側からのニーズは、LSIの微細化・高集積化、生産技術等のシーズ技術の進展によって実現が進み、またシステムLSIもハーフミクロン時代に入り、いよいよ本格化しようとしている。

この背景のもとに本稿では、最近の技術動向について、半導体の応用市場及び半導体デバイス・技術の両面からこの特集号の論文を引用しながら展望する。

## 2. 半導体の応用市場の動向

半導体が応用される電子機器の世界では、技術の進展に伴って大きな変革が起こりつつある。それは、半導体の三大市場として独立に発展してきたコンピュータ、通信、AVが融合・一体化し、いわゆるマルチメディアという形で、21世紀の情報化社会の主役になろうとしている点である(図1)。

### 2.1 コンピュータ市場の動向

過去の10年間はコンピュータ技術の大変革の時代であった。特に近年は半導体技術の進歩により、従来の大型機に匹敵する機能が机の上に載るサイズで、しかも数十万円程度のパソコンで実現できるようになったため、大型機から小型機へのシフト、いわゆるダウンサイジングが雪崩のように起こった。また、コンピュータの大衆化により、使いやすいOSやGUIや汎用応用ソフトウェア等のソフト産業の重要性が増した。今日でもダウンサイジングの勢いは止まっておらず、21世紀には手の平に載るスーパーコンピュータが実現できるようになるであろう。周辺機器の小型化、高性能化も同時に進んでおり、超小型のHDDや、高品質印字のできるLBP、さらにはフラッシュメモリを使った固体ディスク等が登場してコンピュータ産業を支えている。また、コンピュータの高性能化で、数値データのみならず、画像、なかでも動画までもパソコンで扱えるまでになってきた。こうなると、今後は単なるダウンサイジングにはとどまらず、全く新しい概念

の応用機器に変身していくように思われる。

### 2.2 通信分野の動向

高度情報化社会では、情報をいかに速く正確に伝えるかが極めて重要であり、通信技術が大きな役割を果たす。未来社会では、“いつでも、どこでも、だれとでも”という標語で示されているように、時間・空間を飛び越えてあらゆる情報が高速に行きかうようになる。最近では、この標語に“なにとでも”が追加され、人とコンピュータが通信で結び付こうとしている。これらを支えるのが通信機器のパーソナル化であり、高速通信網のインフラ整備である。パーソナル化では、既に自動車用携帯電話が現実のものとなっているが、より簡便な個人用の携帯電話(日本ではPHPの呼び名)が間もなくサービス開始予定されるなど、着々と準備が進んでいる。電話というのは、設置場所にかけるのではなく、それを保有している人に、居場所を意識せずにかけるという時代に間もなく変わろうとしている。さらに、将来は音声のみならず携帯情報端末としてコンピュータ技術と結び付き、データ通信、画像通信をも扱えるいわゆるマルチメディア機器に発展するものと期待されている。

インフラの整備では、米国での情報スーパーハイウェイ計画で代表されるように、情報が高速に行きかう光ファイバによる情報ハイウェイが新社会資本の重要要素として認識されるようになってきた。また、通信衛星を多数個打ち上げ、世界中どこでも移動体通信端末が使えるようにしようとの雄大な構想もあり、国境を越えた活動が盛んになろうとしている。これらの通信技術を支えるのが半導体技術であり、高周波を

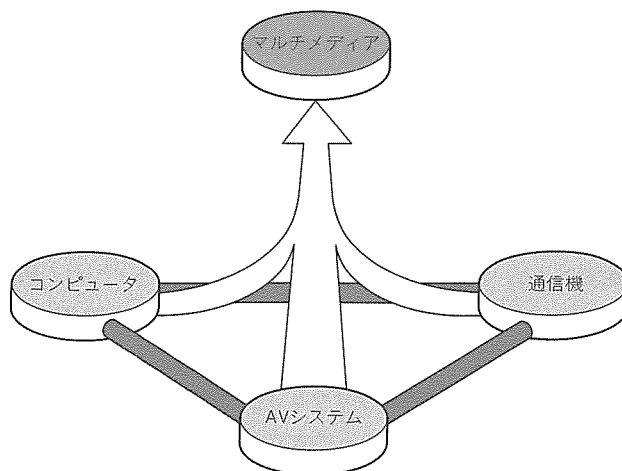


図1. システムの進展、融合と統合化

扱う半導体から、データ処理を行う半導体まで広範なデバイスが必要となる。

### 2.3 AV市場の動向

堅実な発展を遂げてきたAV市場も、ここ2～3年はやや伸び悩みの傾向を見せている。これは、TV、VTR、オーディオといった主力機種において、文化を変えるほどの革新性を持った概念の製品が登場しなかったためと思われる。しかし、ハイビジョンの本格化等、新しい芽が伸び始めており、技術の発展とともに新たな飛躍へと踏み出し始めている。その背景にあるのが、信号処理のデジタル化である。従来、アナログの世界であったAV市場でも、半導体技術の進歩によってデジタル処理化が可能になってきた。現在は、YC分離、ゴーストキャンセラ等の画質向上目的で従来路線の技術向上に使われているが、デジタル方式はコンピュータ技術との親和性が良いため、将来はコンピュータと結び付いてマルチメディアの一貫として、様々な応用機器に発展するものと考えられる。例えば、双方向通信のできるインタラクティブTV、携帯情報端末でのTV電話等が検討されている。

### 2.4 マルチメディア

以上述べたように、コンピュータ、通信、AVが融合してマルチメディア時代へ向かおうとしている。ただし、具体的な製品像はまだ暗中模索の状態であり、現在は、必ず(須)技術としての画像、音声の圧縮/伸長技術開発及びその半導体での実現の動きが主である。その中で、民生用途としてCDに圧縮した画像情報を載せ、現在のレーザディスクにとって変えようという動きが具体的に進みつつある。また、米国では、全米に既に張り巡らされているケーブルテレビ網をインフラとして利用し、デジタル技術を採用することにより、双方向のデータ通信が可能なインタラクティブTVへの具体化が進んでいる。さらに、将来は個人の持つ携帯情報端末に無線技術と高速通信網が結合して、本格的なマルチメディア時代が到来するものと考えられる。ただし、それを経済的に実現できる技術と提供できるソフト、サービスについてのインフラが必要である。

## 3. 主要半導体の動向

### 3.1 メモリ

(1) DRAMは、大容量化<sup>#</sup>とともに多機能化が進んできている。これは低消費電力を必要とする小型システムの台頭及びシステムの高機能化・特種機能化に伴うメモリ側への強い要求による。すなわちこの2～3年の間にノートパソコン等の携帯小型システム向けとして、小容量の主メモリ用又はバッファメモリ用多ビット品が開発・生産されるとともに、電池駆動機器用としてセルフリフレッシュ機能品を代表とする低消費電力版<sup>#</sup>が主流になってきている。さらに、低電圧化

が加速されており、今後低電圧品の比率が高くなっていく。スピードについてみれば、プロセッサの高速化に対してDRAMのスピードが追従できなくなって久しいが、新たな高速化技術が開発・展開されてきている。その例として、当社オリジナルの高速SRAM(キャッシュ)内蔵のCDRAMや、ほかにEDRAM/RDRAMやシンクロナスDRAMなどがある。さらに、グラフィック用メモリでは、システムの一部をチップ上に取り込むシステムオンチップ化が始まっている。図2にDRAMの品種別需要予測を示している。

(2) SRAMでは、PC用HDD、小型携帯機器やコンピュータに用いられる高速SRAMに、一層の低消費電力化・大容量化・高速化が要求されている。このため、1M、4Mの大容量低消費電力SRAMには、ハーフミクロン微細化CMOSプロセス、TFTなどの新技術を取り入れ、低電圧動作、超低スタンバイ電流を実現し、低消費電力性能を達成している。また、256K、1M高速SRAMでは、最新世代の微細化CMOSプロセスを適用して世代交代を進め、より高速のアクセスタイムと低電圧動作を実現<sup>#</sup>している。より高速の要求に対しては、BiCMOS技術を採用し10ns以下の超高速アクセスタイムを達成している。

(3) フラッシュメモリは、EPROMとEEPROMの特長を融合した、最も成長が期待される半導体メモリの一つである。サブミクロンプロセスで製造される1M/4Mビット品は、既存のEPROMの置き換え用途がメインであり5V/12Vの2電源、ソフトウェアコマンド制御が標準装備される。16Mビット品<sup>#</sup>は最初のハーフミクロンフラッシュメモリとして電池駆動の携帯情報機器向けを中心に低電圧対応となり、ワード線昇圧・行リダンダンシの採用によって実用化される。さらに、次世代フラッシュメモリは、単一電源化・高密度化が要求され、負電圧制御・新規セル構造の開発が進んでいる。

### 3.2 マイクロコンピュータ・ASIC

集積規模の増大とともに、システムをより少数のLSIに統合するシステムLSI化が進んでいる。今後ハーフミクロ

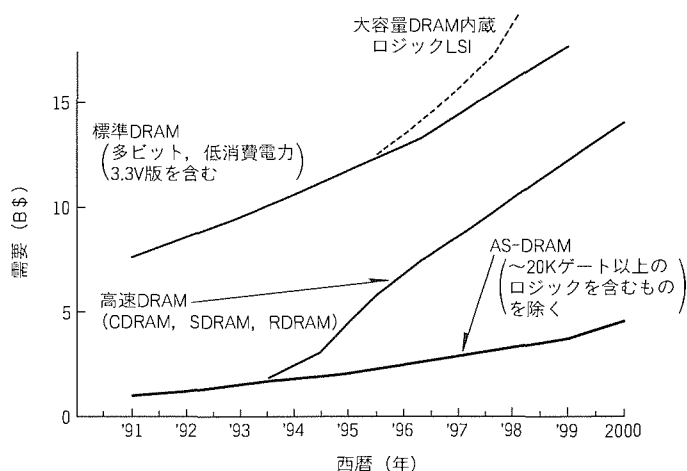


図2. DRAM世界需要の当社予測

(注) #印の付いた項目については、この特集号の論文に掲載されていることを示す。

ン時代を迎え本格的な展開が期待されるが、多品種を設計・生産する効率が問題となる。このため、設計手法・CAD・プロセスの標準化や統合による生産性の向上が図られている。システム LSI の展開は、ニーズとシーズが調和しなければならないが、図 3 に示すように、MPU をコアとして ASIC を取り込む方向と、大容量メモリをベースに進展する方向がある。どちらも将来のシングルチップ PC に向けて、これからは楽しみな応用と技術である。

(1) マイクロコンピュータでは微細化の進展により、CPU 性能の向上、周辺機能の充実、高速動作、低電圧化、低消費電力化、内蔵メモリの大容量化、小型パッケージ化など、様々なメリットが出せるようになってきた。以下に当社のマイクロコンピュータでの幾つかの例を挙げる。

- CPU 性能の向上では、高性能新 16 ビットマイコン (M16 ファミリー) の開発<sup>#</sup>
- 周辺機能の充実では、自動車用マイコンでの 16 ビットタイマの 24 本化
- 高速動作では、8 ビットマイコンで 10 MHz から 20 MHz に
- 低電圧化では、4 ビットマイコンで 1.1 V 動作の実現
- 低消費電力化では、16 ビットマイコン (7700 シリーズ) で 4 mA (3 V, 8 MHz 時) の実現
- 内蔵メモリでは、自動車用マイコンでの ROM 92 K バイト、RAM 3 K バイトの内蔵化

また、処理能力の更なる向上をねらい、CPU を複数内蔵する動きもある。この一つの例として、当社では通信処理専用サブ CPU を内蔵した 8 ビットマイコン<sup>#</sup>を開発中である。

微細化のメリットは、このように多種の成果を生み出しているが、それらを加速する上でネックとなるものも幾つか存在する。例えば、プログラム容量増大に伴うソフトウェア開発の難しさがある。その開発サポートツールの充実もメーカーとして必須である。また、大容量プログラム化時代に向けてプログラム開発の容易化<sup>#</sup>をねらった CPU コアの開発も重要である。

微細化のネックとして二つ目にノイズ問題がある。トランジスタの高速化に伴うノイズ発生と外部ノイズによる誤動作の両面で問題が発生する。マイクロコンピュータの機能が向上するほど、これを使用した機器では問題も大きくなる。また、高集積化を加速する上でも問題となる。そのため、当社

では特にこの問題に重点的に取り組み、技術的に回避できるようになった。

このように高集積化の壁も少なくなり、マイクロコンピュータは今後とも大きく発展するとともに、システムオンチップの代表デバイスとしても発展が期待される。

(2) ASIC は、コンピュータ、通信、AV 機器等各応用市場対応のキーデバイスとして開発が一層活発化してきている。

コンピュータ・周辺機器用途では、メモリ制御、バス監視等の高速データ処理用に、高速・低消費電力の最先端 0.5  $\mu$ m CMOS セミカスタム IC<sup>#</sup>の適用が既に始まっており、また、SCSI/LAN/FDD/プリンタ制御用 LSI も開発されてきている。低消費電力パソコン用には VGA 表示/液晶表示コントローラ、バッテリーマネジメント IC、HDD 用にはローノイズ R/W アンプ+信号処理 LSI 等も実用化されている。

マルチメディア用としては、画像・音声の圧縮・伸長用 LSI<sup>#</sup>が JPEG、MPEG 等の世界標準規格に基づいて開発されており、画・音の変・復調 LSI も開発されている。

通信機器の特に市場が急成長している携帯電話では、高速・低電圧・低消費電力・小型化へのニーズが非常に強く、選局用 IC、音声コーデック等の LSI が超小型パッケージを適用して開発されている。

AV 機器では、高画質・高音質化に対応して、MUSE デコーダ、デジタル YC 分離 LSI を、また複合製品であるカラオケ VTR 用には音声処理 LSI<sup>#</sup>が開発されている。また、TV 信号等の画像処理用に多用される高速 DA コンバータの低電圧、低消費電力化<sup>#</sup>へのニーズは大きい。MD・DCC 用音声処理 LSI も市場に出始めた。

OA 機器としてプリンタ、複写機、FAX 用に高画質・省メモリのための画像圧縮・伸長 LSI、高画質化等の画像処

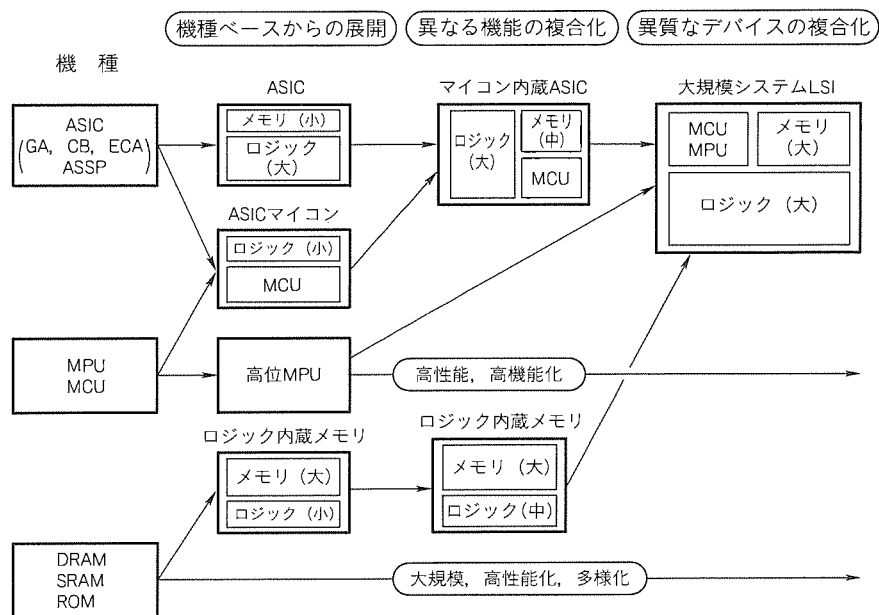


図 3. システム LSI の発展過程



理 LSI、高速・高精度モータドライブ LSI、モデム用 LSI 等が開発されている。

### 3.3 個別半導体・応用製品

(1) 最近のパワーエレクトロニクスは、電力・産業・情報・家電の各分野で“インバータ化”をキーワードとして目覚ましい発展を遂げているが、この発展に大きく貢献しているパワーデバイス、市場ニーズに対応して高周波化 (MOS 化) が一段と進んでいる。その中でも IGBT や、更なる使いやすさの追求とインテリジェント化を図った IPM が急速に広がっている。これらは微細化・高集積化の技術革新によって世代交代を重ねており、トレンチ MOS 構造 IGBT<sup>#</sup> もその開発トレンドの中で重要な位置を占める。

(2) 高周波光半導体素子は、高度情報化社会の通信技術に大きな役割を果たす重要なデバイスであり、その市場はますます広がろうとしている。当社ではこれら市場に対応し、携帯無線・自動車電話用に高効率高周波高出力モジュール、携帯電話用に低電圧化 GaAs IC、衛星・地上通信用に高性能高出力 GaAsFET、光通信用高性能 DFB レーザを開発・製品化している。

(3) メモリ応用製品として当社は、1987 年に TSOP を搭載した世界初の 512K バイト大容量 SRAM や OTP カードを発表し、新しい市場の開拓を行ってきた。このたび、TSOP よりも更に薄い DTP (Dual Tape Carrier Package) を新たに開発し、これを使用したメモリと周辺 IC を搭載した大容量カード<sup>#</sup>を開発した。この DTP 搭載型カードは、TSOP カードと比べて 2 倍の大容量化が実現できるので、将来 HDD 代替の 100～150M バイト級カードも実現できる。

(4) 応用製品の他の例として自動車用半導体を見ると、地球環境保全に関連した燃費、排ガスの規制強化、さらに安全対策としてのエアバッグの改良などに幅広く使用されている。一例としてのエアバッグの衝突検知用加速度センサを、従来のスイッチ機能のみの機械式又は電気式からリニアセンシング機能を持つ電子式へ切り替える検計が進められているが、そこでは半導体式加速度センサ<sup>#</sup>が有望視されている。

## 4. 半導体の設計、製造技術

### 4.1 CAD 技術

メモリ、MPU 等半導体の急激な進歩による高性能・低価格 EWS の実現とソフトウェアの充実により、LSI 設計用 CAD は論理設計/検証等上流設計から、レイアウト設計/検証等までを統合的に行えるようになった。さらに、LSI 製品それぞれの最適設計手法に対応し、メモリ/マイコン/A SIC (セルベース、GA、ECA) /アナログの各 CAD システムが開発、実用化された。CAD による設計は、コンピュータを駆使した自動化により、大規模 LSI を高精度、短期間に設計することである。レイアウト設計/検証の自動化が

ら、最近では、ASIC やマイコンの CAD において言語による機能記述/論理合成など上流設計の自動化<sup>#</sup>が実現された。メモリ対応の CAD ではプロセス/製品のコンカレント開発環境、超大規模レイアウト設計/マスクデータ処理用 CAD<sup>#</sup>が、またアナログ用 CAD ではアナログ/デジタル混在 LSI 用設計環境が、実現されつつある。これらは、今後システム LSI 設計用 CAD へと進化していく。

### 4.2 ウェーハプロセス技術

DRAM をドライブとして、ハーフミクロン技術の量産化が始まった。デバイス技術では、16 MDRAM で培った技術が SRAM・フラッシュメモリへ、さらには先端ロジックデバイスの標準 CMOS プロセスへと展開されている。当社では、ASIC 用として市場のニーズに対応した高速トランジスタ構造を開発し、また最大 4 層配線を実現<sup>#</sup>した。これにより、システム LSI 対応プロセスのメニューがそろった。

クォーターミクロン技術では、i 線ステッパやエキシマステッパ、各種異方性エッチング技術更に平坦化技術、新配線材料技術等の開発<sup>#</sup>が行われている。

また、次世代メモリへの展開が有望視されている高誘電体薄膜材料<sup>#</sup>や、21 世紀の技術として X 線リソグラフィ<sup>#</sup>などの基礎基盤技術の研究・開発が欠かせない。

今後は、増大する開発投資をいかに抑えるかを念頭に置きつつ、競争力のある微細化技術開発を継続する必要がある。

### 4.3 アセンブリ技術

LSI の高集積化、高速化とともに、アセンブリ技術の重要性がますます増大してきた。従来の IC チップをシステムに実装する手段及び使用環境から保護する手段に加え、ダウンサイジングに伴う小型・軽量化、内蔵デバイスの高速化に対応した電気的特性改善、より一層の大規模化に伴う多ピン・高放熱特性の要求など、よりユーザーニーズに沿ったパッケージが求められるようになってきた。例えば、MPU を代表とするロジック系の IC では、ピン数の増大と 200 MHz にも及ぶ高速化と発熱の増大に対処できるパッケージが必要となってきた。これに対応して、ピン間隔の縮小と放熱板を内蔵した高放熱 QFP<sup>#</sup>を開発した。

今後も、一層の小型・高密度実装技術へのニーズに適応して新概念に基づくパッケージ構造開発が継続されよう。

## 5. む す び

本稿では、半導体応用市場と半導体デバイス及び技術の動向について主なトピックスを述べた。個々のシステムや半導体デバイスは今後とも一層進展していくが、一方マルチメディアやシステム LSI で代表されるように新たな応用市場やそれに対応する半導体デバイスの実現が加速されていく。

今後はニーズ側、シーズ側の双方にとって、従来以上にその融合と多面的なアプローチが重要な時代となてこよう。

# 64Mビット DRAM

諸岡毅一\* 岡本龍郎\*\*  
宮本博司\* 須賀原和之\*\*  
古谷清広\*

## 1. ま え が き

超 LSI の代表品種であるダイナミック RAM (DRAM) は、半導体のテクノロジードライバと呼ばれるように先端技術を駆使して高集積化を実現し、そこでの技術開発が LSI 技術全体に大きな影響を与えてきた。DRAM は、1 トランジスタ + 1 キャパシタというメモリ素子の構成上高集積化に適しており、3 年で 4 倍の比率で高集積化が進められ、微細加工技術の進展に応じて大容量化・高速化が図られてきた。

DRAM は、大容量化によるビットコストの低減によって市場規模を拡大してきており、また最大の市場であるコンピュータ市場では、そのアプリケーションが大容量のメモリを要求する傾向にあることから需要は年々増加している。一方、マイクロプロセッサに代表されるシステム側の高性能化の進化も著しく、DRAM にもより一層の高速化・低消費電力化が要求されている。

当社ではこのような大容量化・高性能化の要請にこたえるべく 64M ビット DRAM (64MDRAM) の開発を進め、IS SCC '91 (1991 IEEE International SolidState Circuit Conference) において新規テストモードを内蔵した 64MDRAM を発表した<sup>(1)</sup>。

さらに、より高速、低消費電力を目指し、かつ JEDEC (Joint Electron Device Engineering Council) の標準仕様である外部 3.3V、LVTTL (Low Voltage TTL) インタフェース、500mil 幅の SOJ (Small Outline J-leaded Package)、TSOP (Thin Small Outline Package) パッケージに封止するという要求に適合した 64MDRAM を開発した。本稿では、その特長及び技術について述べるとともに、電気的特性を紹介する。

表 1. 設計のねらい

|        |  |                      |
|--------|--|----------------------|
| 高 速 化  | $t_{RAC}^{*1}=50ns$                                |                      |
| 低消費電力化 | 1/32 分割動作, $I_{CC1}^{*2}=120mA$<br>(@ $t_C=90ns$ ) |                      |
| 生産性向上  | 品種切替え  | ボンディング切替え            |
|        | 冗長構成   | 256 行 / 64 コラム       |
|        | テストモード   | 32 ビット並列             |
| 標 準 化  | 電源電圧   | 3.3V                 |
|        | インタフェース  | LVTTL                |
|        | パッケージ  | 500mil SOJ / TSOP II |

注 \*1  $t_{RAC}$  : RAC アクセス時間

注 \*2  $I_{CC1}$  : 動作時平均電源電流

## 2. 設 計 技 術

### 2.1 設 計 方 針

システム側からの高性能化への要求、多ビット化に代表されるような幅広い用途への対応、チップ面積増大に対する歩留りの確保、ビット数増加に対するテストコストの低減等を目的とした設計のねらいを表 1 に示す。

- (1) 高速化：最近のマイクロプロセッサの動作周波数の向上に対応するため、50ns の RAS アクセス時間、25ns のコラムアドレスアクセス時間を実現する。
- (2) 低消費電力化：メモリアレーの分割動作により、サイクル時間 90ns で動作時の電源電流 120mA を目指す。
- (3) 生産性向上：×1 から ×16 の語構成及びすべての動作モードをボンディング切替えとし、冗長構成は自由度の高い 256 行 / 64 コラムを備える。また、32 ビット並列のテストモードを備えることで、テスト時間の短縮を可能とする。
- (4) 標準化：JEDEC の標準仕様である、低電圧 (3.3V) の L

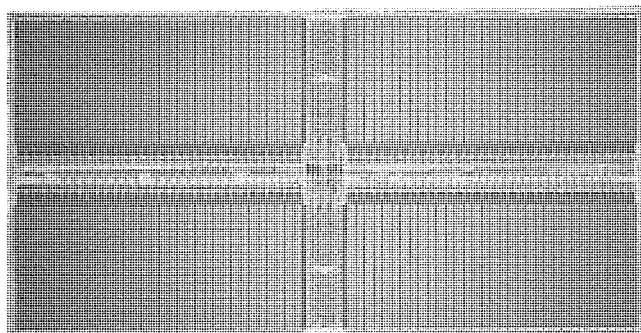


図 1. 64MDRAM のチップ写真

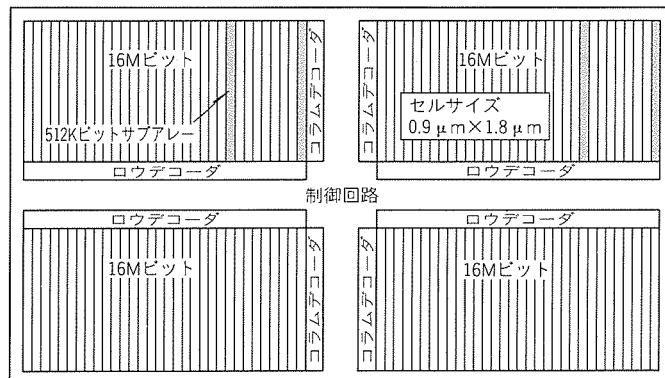


図 2. 64MDRAM のブロック図

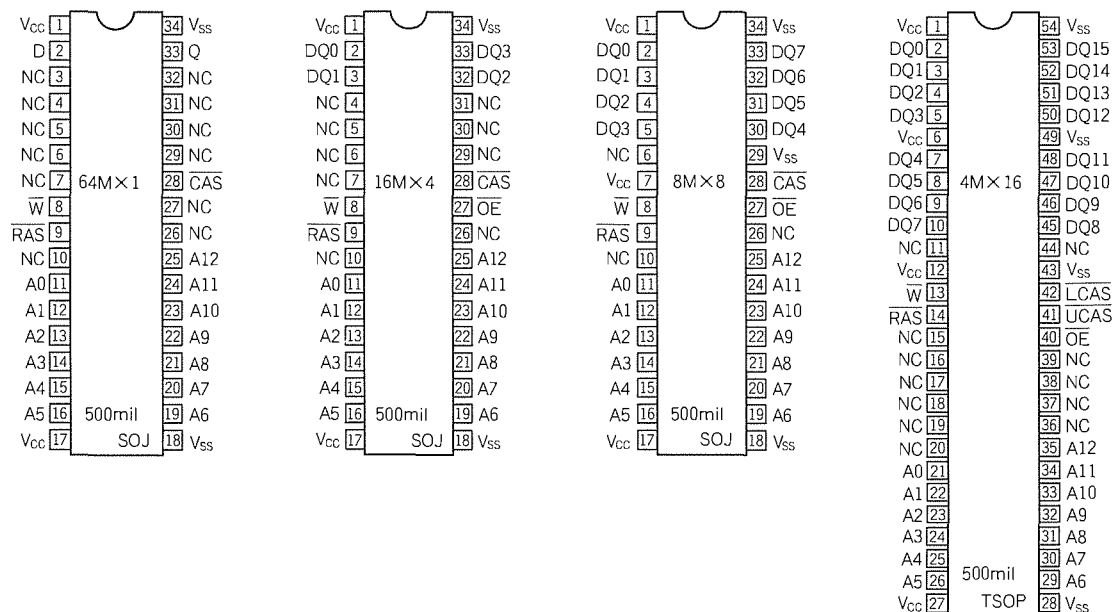


図 3. 64MDRAMのピン配置

VTTL インタフェースとし、500mil の SOJ/TSOP に封止する。

## 2.2 チップ構成

64 MDRAM のチップ写真を図 1 に、ブロック図を図 2 に示す。語構成は 64 M × 1 から 4 M × 16 まではボンディングによって切り替えている。チップサイズは、10.59 × 20.6 (= 218mm<sup>2</sup>)、メモリセルサイズは 0.9 × 1.8 (= 1.62 μm<sup>2</sup>) である。図に示すようにメモリセルアレーはロウデコーダ及びコラムデコーダにより、四つの 16M ビットブロックに分割され、各 16M ビットブロックはセンスアンプ列によって更に 32 個の 512K ビットサブアレーに分割されている。

ボンディングパッドは、チップ中央部に長辺と平行な方向に配置してある。語構成及び動作モードの選択はすべてボンディングによって行われる。図 3 に語構成が × 1、× 4、× 8、× 16、のそれぞれのピン配置を示す。

## 2.3 高速・低消費電力化設計

64 MDRAM の高性能化を実現する要素技術として、トランジスタの高性能化と 2 層アルミ配線技術による新規アレー構成の採用、メモリアレーの分割動作が挙げられる。

表 2 に第二世代 16MDRAM<sup>(2)</sup> とのトランジスタパラメータの比較を示す。トランジスタのゲート長を P チャネル 0.45 μm、N チャネル 0.4 μm に縮小し、ゲート酸化膜を 12nm に薄膜化することによって高性能化を図った。

64 MDRAM では、チップサイズの増大に伴って信号配線長も増加し、メモリセルアレーからの読み出し信号の伝搬遅延がアクセス時間を決定する大きな要因となっている。2 層アルミ配線技術を適用した新規アレー構成<sup>(3)</sup>を図 4 に示す。センスアンプ駆動回路を分散させてアレー内のセンスアンプの近くに配置し、センスアンプ駆動回路のための電源を 2 層目の Al 配線でコラム選択線の間を通すことによって供給し

表 2. トランジスタパラメータの比較

|                       |       | 64MDRAM | 第二世代16MDRAM |
|-----------------------|-------|---------|-------------|
| ゲート長<br>(μm)          | Nチャネル | 0.4     | 0.6         |
|                       | Pチャネル | 0.45    | 0.6         |
| ゲート酸化膜厚 $t_{ox}$ (nm) |       | 12      | 13          |

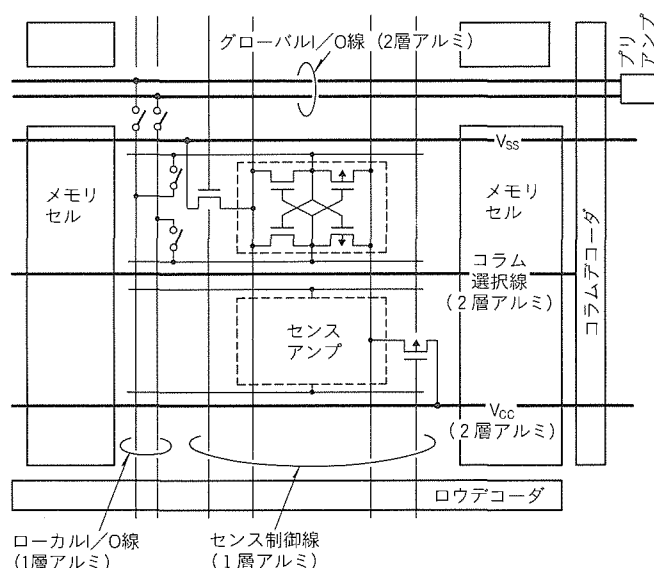


図 4. 2 層アルミ配線技術による新規アレー構成

ている。この電源線は、アレー内で 1 層目の Al 配線によって結ばれ、網目状の配線を形成している。この構成を採ることによってセンスアンプ駆動回路には安定した電源が供給され、かつセンスアンプとの距離も近くなっているため高速で安定したセンス動作が行える。センスアンプからの読み出しにも階層 I/O 構成を採用し、I/O 線の配線容量を軽減させることにより、高速読み出しを実現した。

高速化に伴うサイクル時間の短縮は、消費電力を増加させ



る。64MDRAMでは図2に示すように、1/32の分割動作とすることでサイクル時間90nsで電源電流120mAの低消費電力を達成している。

## 2.4 高生産性設計

パターンの微細化とチップ面積の増大に伴い、歩留り向上のための冗長回路の役割がますます重要になっている。64MDRAMでは冗長回路としてレーザプログラム方式を採用し、512Kビットサブアレーごとに2ロウ、及び16Mブロックごとに16コラムの計256ロウ/64コラムのスペアメモリセルを設け、歩留りの向上を図った。

DRAMの多岐にわたる用途に対応するため、 $\times 1$ 、 $\times 4$ 、 $\times 8$ 、 $\times 16$ 、の語構成、高速ページ、ニブル、スタティックコラムの動作モードを同一チップに搭載し、アセンブリ工程で選択可能なボンディング切替えとして生産性の向上を図った。

また、メモリ容量の増大に伴うテスト時間の増加に対処するため、32ビットの並列テストを行えるテストモードを搭載している。表3にテストモードの諸元を示す。コラムアドレスの最上位5ビット( $\times 1$ 構成時)から1ビット( $\times 16$ 構成時)がコンプレスアドレスとなっている。テストモード時の読み出しデータが32ビットすべて同じ("H"又は"L")のとき出力ピンに"H"が出力され、1ビットでもデータが異なるときには"L"が出力される。

表3. テストモード諸元

|           | 64M $\times$ 1   | 16M $\times$ 4 | 8M $\times$ 8 | 4M $\times$ 16 |
|-----------|--|----------------|---------------|----------------|
| 並列テストビット  | 32ビット  | 32ビット          | 32ビット         | 32ビット          |
| コンプレスアドレス | CA12, CA11, CA10, CA9, CA8                             | CA10, CA9, CA8 | CA9, CA8      | CA8            |
| データ入力ピン   | D  | DQ3            | DQ7           | DQ15           |
| データ出力ピン   | Q  | DQ3            | DQ7           | DQ15           |
| セットサイクル   | WCBR (Write CAS Before RAS)                            |                |               |                |
| リセットサイクル  | ROR (RAS Only Refresh)<br>CBR (CAS Before RAS Refresh) |                |               |                |
| 出力方式      | 2値出力 (H:一致, L:不一致)                                     |                |               |                |

表4. 64MDRAMのプロセス技術概要

|        |   |
|--------|---|
| 素子分離   | 改良LOCOS   |
| ウェル構成  | レトログレード型トリプルウェル   |
| メモリセル  | 埋め込みビット線型円筒スタック<br>$t_{ox}(\text{eff})=5\text{nm}$ , $C_s=35\text{fF}$<br>セルサイズ; $0.9\times 1.8=1.62\ \mu\text{m}^2$          |
| トランジスタ | Nチャネル; $0.40\ \mu\text{m}$ (LDD)<br>Pチャネル; $0.45\ \mu\text{m}$<br>$t_{ox}=12\text{nm}$  |
| 配線構造   | ワード線: $\text{WSi}_2/\text{Poly Si}+1\text{層Al}$ (積層配線)<br>ビット線: $\text{WSi}_2/\text{Poly Si}$<br>コラム選択線: $2\text{層Al}$ (積層配線) |

## 3. プロセス技術

64MDRAMのプロセス技術の概要を表4に示す。メモリセルは最小設計ルール $0.35\ \mu\text{m}$ の微細加工技術を駆使することにより、 $0.9\ \mu\text{m}\times 1.8\ \mu\text{m}$ のセルサイズで、ビット線の上にキャパシタを形成する埋め込みビット線方式の円筒型スタックキャパシタを実現し、 $\text{SiO}_2$ 換算で5nmのON膜を用いて35fFのキャパシタ容量を得た。

メモリセル内のビット線コンタクト、ストレージノードコンタクトなどの微細コンタクトでの接触抵抗増大を防ぐために、シリコン基板とCVD多結晶シリコン膜との界面制御技術を新たに開発し、比抵抗値 $1.5\times 10^{-7}\ \Omega\ \text{cm}^2$ 以下の低抵抗オーミックコンタクトを実現した。

ウェル形成には、低ソフトエラー率、耐ノイズマージンを確保するために、高エネルギーイオン注入技術を用い、レトログレード型のトリプルウェル構造を採用した。

トランジスタ構造は、ゲート酸化膜厚12nm、タングステンポリサイドゲート電極膜からなり、トランジスタの最小ゲート長はNチャネル、Pチャネルそれぞれ $0.4\ \mu\text{m}$ 、 $0.45\ \mu\text{m}$ である。

アルミ配線は、エレクトロマイグレーション、ストレスマイグレーションに対する信頼性の観点から1層、2層ともにAlCu合金膜を用いた積層配線構造を採用した。

## 4. 電気的特性

図5は周囲温度 $80^\circ\text{C}$ におけるRASアクセス時間( $t_{\text{RAC}}$ )の電源電圧( $V_{\text{CC}}$ )依存性を示すシュムープロット図である。 $V_{\text{CC}}=3.0\text{V}$ において $t_{\text{RAC}}=42\text{ns}$ の高速動作を達成しており、50ns品として十分マージンを持っていることが分かる。また、サイクル時間90nsにおける動作時平均電源電流は97mA、待機時の電源電流はCMOS入力レベルで $28\ \mu\text{A}$ の値を得ている。表5に64MDR

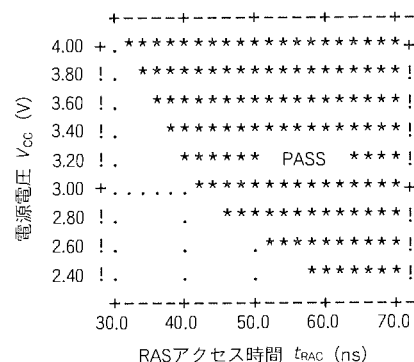


図5. RASアクセス時間の電源電圧依存性 (周囲温度 $80^\circ\text{C}$ )

表 5. 64MDRAMの仕様一覧

|            |   |
|------------|---|
| 語構成        | 64M×1, 16M×4, 8M×8, 4M×16<br>(ボンディング切替え)  |
| チップサイズ     | 10.59×20.6=218mm <sup>2</sup>   |
| セルサイズ      | 0.9×1.8=1.62μm <sup>2</sup>   |
| プロセス技術     | 0.35μmトリプルウェルCMOS   |
| アクセス時間     | RASアクセス時間=50ns<br>コラムアドレスアクセス時間=25ns<br>(V <sub>CC</sub> =3.0V, T <sub>a</sub> =80°C)   |
| 電源電流       | 動作時平均電源電流=120mA<br>(t <sub>c</sub> =90ns, V <sub>CC</sub> =3.6V, T <sub>a</sub> =25°C)<br>待機時電源電流=0.5mA<br>(CMOS入力レベル, V <sub>CC</sub> =3.6V, T <sub>a</sub> =25°C) |
| リフレッシュサイクル | 8,192サイクル/64ms, 4,096サイクル/64ms  |
| 冗長回路       | 256row/64コラム (レーザプログラム)   |
| 動作モード      | 高速ページ, ニブル, スタティックコラム<br>(×1, ×4ボンディング切替え)<br>高速ページ, スタティックコラム<br>(×8, ×16ボンディング切替え)  |
| テストモード     | 32ビット並列   |
| パッケージ      | 500mil 34ピンSOJ, TSOPII (×1, ×4, ×8)<br>500mil 54ピンTSOPII (×16)  |

AMの仕様一覧を示す。

## 5. む す び

大容量化のみならず低消費電力化・多ビット化への要求にも対応した64MDRAMを開発した。0.35μmCMOSプロセスを駆使し、高性能トランジスタと2層アルミ配線技術による新規アレー構成の採用により、RASアクセス時間50ns

を達成した。

×1, ×4, ×8, ×16の語構成と高速ページ, ニブル, スタティックコラムの各動作モードを同一チップに搭載し, ボンディング切替えとしている。さらに, テストモード, 冗長回路等の充実によって優れた生産性を持っている。

今回開発した64MDRAMは, 16MDRAMの次世代のメモリとして幅広い用途からの要求にこたえ得るものと確信している。

## 参 考 文 献

- (1) Mori, S., Miyamoto, H., Morooka, Y., Kikuda, S., Suwa, M., Kinoshita, M., Hachisuka, A., Arima, H., Yamada, M., Yoshihara, T., Kayano, S.: A 45ns 64Mb DRAM with a Merged Match-line Test Architecture, 1991 ISSCC Digest of Technical Papers, 110~111 (1991)
- (2) 宮元崇行, 梶本 毅, 森 茂, 野崎雅彦, 源城英毅: 5.0V/3.3V版第二世代16MビットDRAM, 三菱電機技報, 67, No.3, 308~311 (1993)
- (3) Miyamoto, H., Morooka, Y., Furutani, K., Yasuda, K., Kikuda, S., Tsukikawa, Y., Arima, H., Ozaki, H., Yoshihara, T.: A 32ns 64Mb DRAM with Extended Second Metal Line Architecture, ESSCIRC '93 Proceedings, 41~44 (1993-9)

# ブロック消去可能な 16Mビットフラッシュメモリ

中山武志\* 大井 誠\*  
三原雅章\* 新井 肇\*\*  
宮脇好和\*

## 1. ま え が き

フラッシュメモリは、電氣的に書換えが可能な不揮発性メモリであり、かつメモリセルサイズが小さいことからDRAMよりビットコストが下がると言われている。この特長を生かして、応用分野としてはメモリカード、HDDの置き換えなどが考えられ、今後需要が飛躍的に増大することが期待されている。

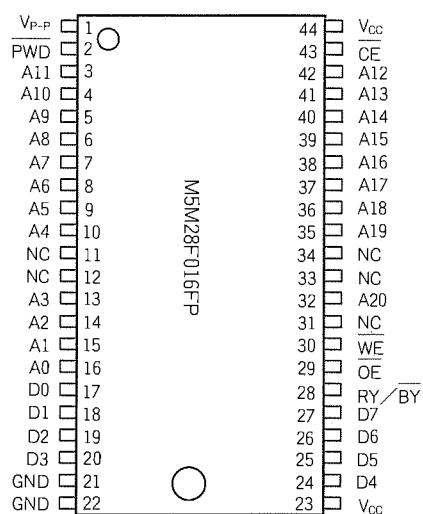
当社は1Mビット<sup>(1)</sup>、4Mビット<sup>(2)</sup>を既に製品化し、16MビットのプロトタイプをISSCC91<sup>(3)</sup>で発表している。しかし、プロトタイプはチップ全体を消去する一括消去タイプであることや、電源電圧が5Vであることからユーザーにとって使いにくい仕様であった。そこで今回、ブロック消去、電源電圧3.3Vでの高速アクセスタイムやユーザーの使いやすい機能を実現した16Mビットフラッシュメモリ第一世代を開発した。

この論文では、16Mビットフラッシュメモリ第一世代の製品概要、プロセス技術、及び回路技術について紹介する。

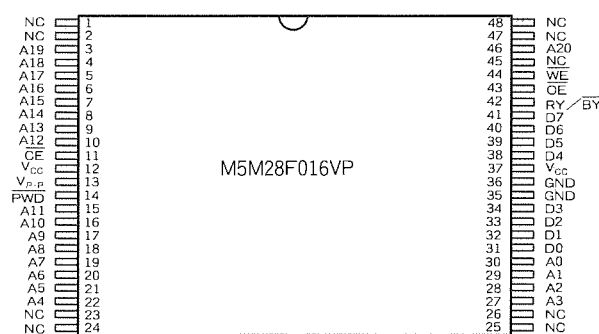
## 2. 製 品 概 要

今回開発した16Mビットフラッシュメモリ第一世代の主な特長を以下に示す。

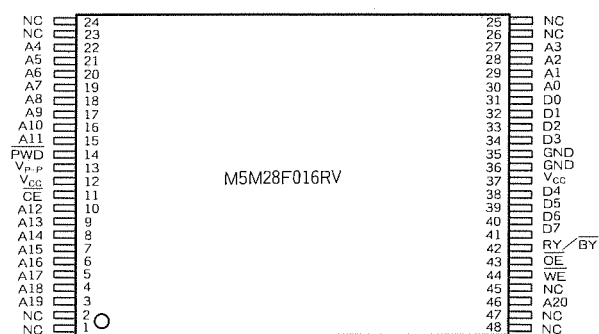
- (1) 語構成 2,097,152語×8ビット
- (2) 電源電圧  $V_{CC} = 3.3V \pm 0.3V$



(a) 44P2A-A (SOP:FP)



(b) 48P3Q-E (TSOP:VP)



(c) 48P3Q-F (TSOP:RV)

図1. ピン配置

### 3. プロセス技術

図2にメモリセルの断面、表1にプロセス概要を示す。メモリセルは、現在フラッシュメモリで主流のNOR型セルを採用している。NOR型セルは書き込み動作をメモリトランジスタのドレイン近傍で発生するチャネルホットエレクトロンの注入によって行い、消去動作をフローティングゲートとソース拡散領域の重なり部分でFowler-Nordheimトンネル現象により、電子を引き抜くことによって行う。0.5  $\mu\text{m}$  ルールを採用して1.7  $\mu\text{m} \times 1.9 \mu\text{m}$  のメモリセルサイズを実現した。また、ポリシリコンのワード線を2層目のアルミ配線で補強して、ワード線電圧の立ち上がり速度を早め、アクセスタイムの向上を図っている。

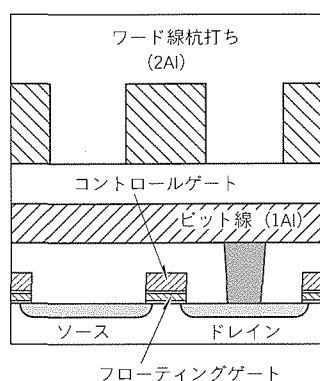


図2. メモリセル断面

表1. プロセス概要

|          |  |
|----------|--|
| プロセス     | 0.5 $\mu\text{m}$ ルール<br>Twin Well CMOS<br>2-ポリシリコン, 2-メタル |
| メモリセル    | NOR型セル<br>1.7 $\mu\text{m} \times 1.9 \mu\text{m}$         |
| トンネル酸化膜厚 | 10nm   |
| ポリ層間膜厚   | 25nm (酸化膜換算)   |

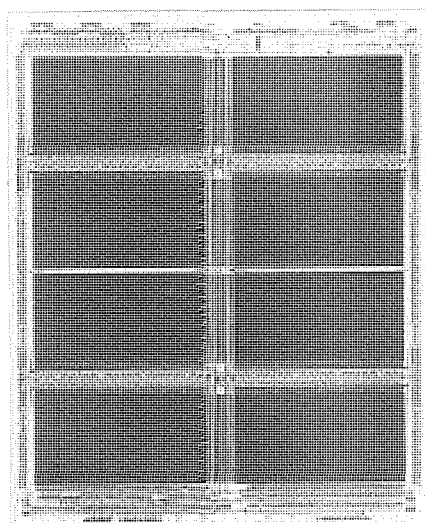


図3. チップ写真

ブロック消去タイプではワード線が複数ブロックにまたがることから、ゲートディスタurbが問題になる。ゲートディスタurbとは書き込み時に起きる誤動作で、非選択メモリセルのフローティングゲートから電子が抜ける、又は注入される現象である。ゲートディスタurbを抑えるためにフローティングゲート材質、フローティングゲートとコントロールゲートの間の層間絶縁膜の最適化を行っている。

### 4. 回路技術

#### 4.1 チップ概要

図3に16Mビットフラッシュメモリ第一世代のチップ写真を示す。チップサイズは9.3mm  $\times$  11.5mmを実現している。図4にブロック図を示す。メモリアレーは32のブロック(消去ブロック)に分割されており、1消去ブロックは64Kバイトからなっている。消去ブロックごとに消去電圧スイッチを配置しているため、それぞれ独立に書き込み、消去が可能になっている。外部から入力されたコマンドはコマンドデコーダに書き込まれ、デコードされてコマンドに応じた動作を開始する。ソフトウェアコマンドの一覧を表2に示す。

ステータスレジスタは、チップ内部の動作状態を外部に読み出すことを可能にする機能である。8ビットからなるレジスタのそれぞれのビットが書き込み、消去等の状態を示している。ステータスレジスタの一覧を表3に示す。

自動書き込み、自動消去はシーケンスコントローラで制御される。R/Bピンは内部の動作状況を示すピンで、“H”ならばレディー状態(書き込み、消去コマンド受付可能)、“L”ならばビジー状態(自動書き込み、又は自動消去中)を示す。PWDピンを接地レベルにすればディープパワーダウンモードになり、消費電流を1  $\mu\text{A}$  以下に下げることができる。

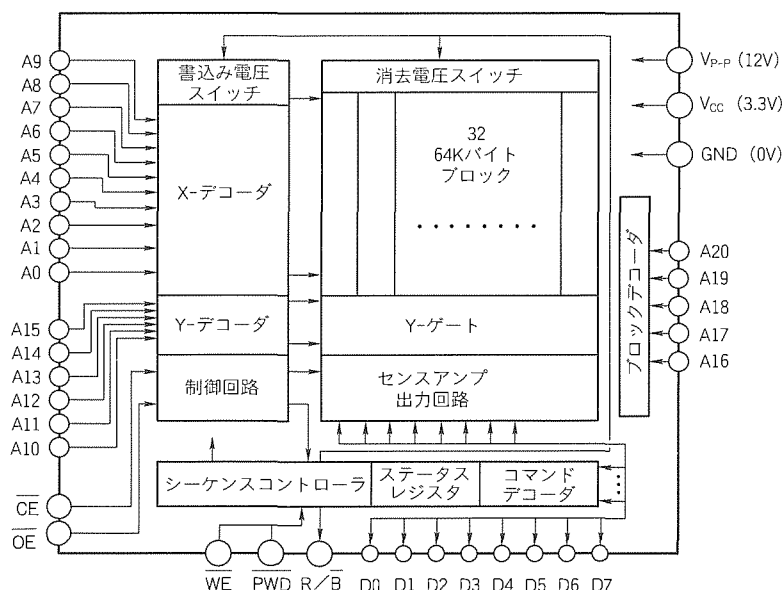


図4. ブロック図

表 2. ソフトウェアコマンド

| コマンド          | バスサイクル | 第 1 バスサイクル |                 |     | 第 2 バスサイクル |                   |                   |
|---------------|--------|------------|-----------------|-----|------------|-------------------|-------------------|
|               |        | モード        | アドレス            | データ | モード        | アドレス              | データ               |
| アレーリード        | 1      | Write      | X               | FFH | —          | —                 | —                 |
| IDコードリード      | 2      | Write      | X               | 90H | Read       | ADI* <sup>1</sup> | DDI* <sup>1</sup> |
| ステータスレジスタリード  | 2      | Write      | X               | 70H | Read       | X                 | SRD* <sup>2</sup> |
| ステータスレジスタクリア  | 1      | Write      | X               | 50H | —          | —                 | —                 |
| 消 去           | 2      | Write      | Block Address   | 20H | Write      | Block Address     | D0H               |
| 消去サスペンド/レジューム | 2      | Write      | X               | B0H | Write      | X                 | D0H               |
| プログラム         | 2      | Write      | Program Address | 40H | Write      | Program Address   | Program Date      |

注 \* 1 ADI = 製品識別アドレス, DDI = 製品識別出力コード  
 \* 2 SRD = ステータスレジスタからの読出しデータ

表 3. ステータスレジスタ

| I/O | 出力内容                  | 出力状態定義                  |                       |
|-----|-----------------------|-------------------------|-----------------------|
|     |                       | “1”                     | “0”                   |
| 7   | 内部動作状態                | レディー状態                  | ビジー状態                 |
| 6   | 消去サスペンド状態             | 消去サスペンド状態               | 非消去サスペンド状態            |
| 5   | 消去状態                  | 消去不良                    | 消去OK                  |
| 4   | プログラム状態               | プログラム不良                 | プログラムOK               |
| 3   | V <sub>p-p</sub> 電圧状態 | V <sub>p-p</sub> 電圧低下検出 | V <sub>p-p</sub> 電圧OK |
| 2   | 未使用                   | —                       | —                     |
| 1   | 未使用                   | —                       | —                     |
| 0   | 未使用                   | —                       | —                     |

#### 4.2 自動書き込み、自動消去機能

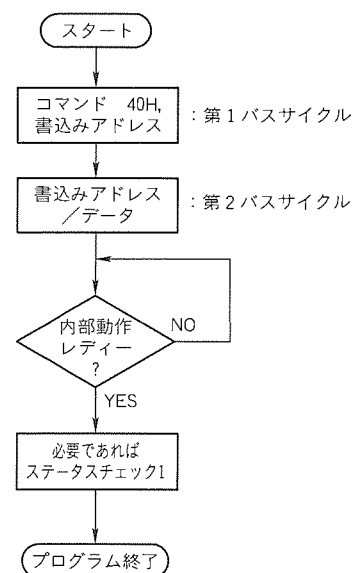
自動書き込み、自動消去のフローチャートを図 5、図 6 に示す。自動書き込みは、第 1 バスサイクルで自動書き込みコマンドと書き込みアドレスを入力し、第 2 バスサイクルで書き込みアドレスと書き込みデータを入力することによって行う。上記動作後、チップは自動的に書き込み動作を開始する。チップが自動書き込みを終了したかどうかを R/ $\overline{B}$  ピンのモニタ又はステータスレジスタリードにより、確認することができる。自動書き込みの終了を確認した後、必要であれば、書き込みが正常終了したかどうかをステータスレジスタで確認することができる。

自動消去は、第 1 バスサイクルで自動消去コマンドと消去ブロックアドレスを入力し、第 2 バスサイクルで消去確認コマンドと消去ブロックアドレスを入力することによって行う。後は自動書き込みと同様に自動的に動作が進行し、ステータスレジスタによる動作の確認が可能である。また、消去では自動消去中に後述する消去サスペンド動作が可能である。

こうした一連のシーケンスを論理回路で構成されたシーケンスコントローラで実現している。

#### 4.3 消去サスペンド/レジューム機能

当社のフラッシュメモリでは 16M ビットから搭載する機能の一つとして、消去サスペンド/レジューム機能(消去中断/再開)がある。フラッシュメモリの自動消去は長い時間を要する。システムにおいて、自動消去中に読出しを行う要求があった場合、従来は自動消去が終了してから読出し動作



ステータスレジスタチェックフロー1

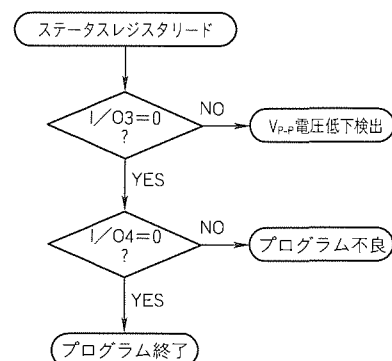
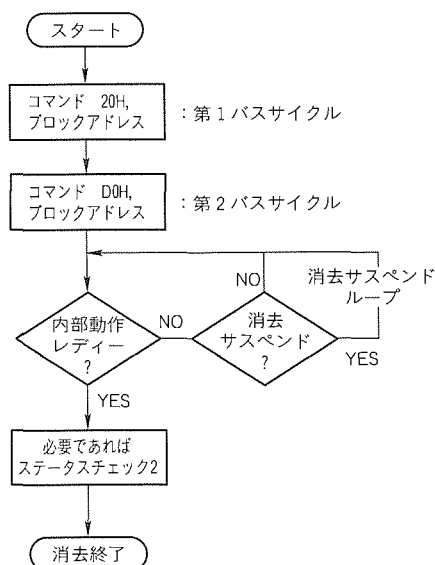


図 5. 自動書き込みフローチャート

を行っていたが、これがシステム全体のパフォーマンスを落とす原因の一つになっていた。この不具合を解消するために、消去サスペンド/レジューム機能を搭載した。自動消去中にマイクロコントローラから消去サスペンドコマンドが入力された場合、チップは直ちに消去動作を中断する。引き続きアレーリードコマンドを入力すれば、消去を行っているブロック以外のブロックから読出しを行うことができる。また、読出し動作終了後、消去レジュームコマンドを入力すればチッ





ステータスレジスタチェックフロー2

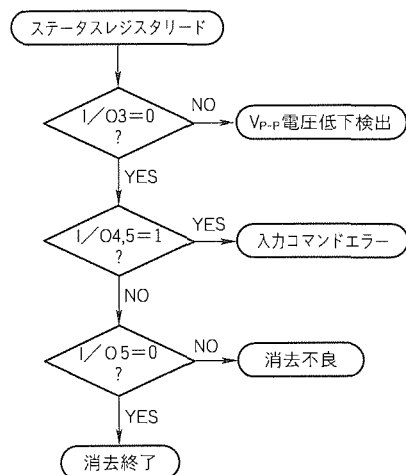


図6. 自動消去フローチャート

ブは先ほど消去中断したポイントから自動消去を実行する。消去サスペンド/レジュームのフローチャートを図7に示す。この機能により、消去時間の長さは見掛け上大きく改善され、システムとしてのパフォーマンス向上に寄与することができる。

## 5. 電気特性

図8にアドレスアクセスのシュムープロットを示す。測定条件は、室温で $C_L$  (負荷容量) は50pFである。この結果から $V_{CC} = 3.3 \pm 0.3V$ の範囲で80ns以下であり、高速アクセスタイムが実現されていることが分かる。また、電源電圧3.3Vの場合に重要となる低電源電圧マージンも十分(2.4V以上で動作) があることが分かる。

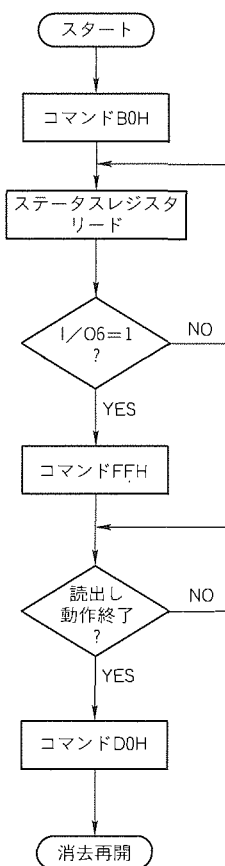


図7. 消去サスペンド/レジュームフロー

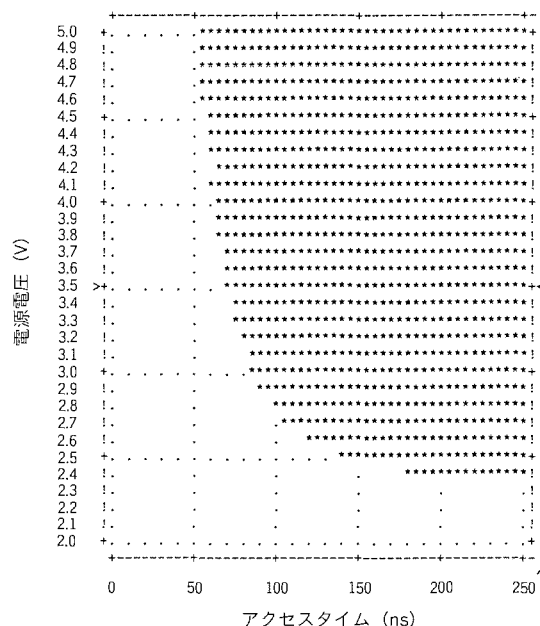


図8. アドレスアクセスシュムープロット

## 6. むすび

0.5  $\mu m$  ルールのプロセスを用いて、ブロック消去可能な16Mビットフラッシュメモリを開発した。電源電圧3.3Vでの高速アクセス、自動書込み、自動消去、消去サスペンド/レジュームなどの高機能化を実現した。

今後、単一電源化、高速書換え等の更なる高機能化をコスト上昇を最小限に抑えつつ実現していく必要がある。

## 参考文献

- (1) 小林和男, 中島盛義, 山本 誠, 長田隆広: 高速1MビットフラッシュEEPROM, 三菱電機技報, 65, No. 4, 380~383 (1991)
- (2) 野口健二, 大川 実, 山本 誠, 新井 肇, 伊庭智久: ブロック消去可能な高速4Mビットフラッシュメモリ, 三菱電機技報, 67, No.3, 312~315 (1993)
- (3) Nakayama, T., Kobayashi, S., Miyawaki, Y., Terada, Y., Ajika, N., Ohi, M., Arima, H., Matsukawa, T., Yoshihara, T.: A 60ns 16Mb Flash EEPROM with Program and Erase Sequence Controller, ISSCC Digest of Technical Papers, 260~261 (1991)

# 高速QuadCAS付き第三世代 4 MDRAM

吹上貴彦\*  
豆谷智治\*

## 1. ま え が き

DRAM (ダイナミックランダムアクセスメモリ) は、汎用コンピュータ、EWS (エンジニアリングワークステーション)、PC (パーソナルコンピュータ) 等のメインメモリとして主に使用されており、3年ごとに4倍の容量をもつDRAMが開発、生産されてきた。4MDRAM (4MビットDRAM) は、1980年代後半に登場して以来、その生産性、価格対性能比の優位性から、現在DRAMの中で最も大量に使用されており、今後も強い需要が予測される。

また、4MDRAMに対する性能、機能等への要求としては以下の点が挙げられる。

- (1) CPU (中央演算処理装置) の高速化に伴った高速化の要求
- (2) ラップトップ、ノートブック型PC等での4MDRAMの需要が増加してきている。これらの分野での使用に伴い、電池によるバックアップを可能とする低消費電力化の要求
- (3) メモリモジュール、パリティメモリ用としてQuadCAS (コラムアドレスストロープ) 機能付きDRAMの要求

以上のような要求に対して、第二世代4MDRAMをベースとしてセルフリフレッシュ機能、QuadCAS機能付き第三世代4MDRAMの開発を完了した。以下に、その技術内容の詳細について報告する。

## 2. 第三世代 4 MDRAMの概要

表1に第二世代4MDRAMと第三世代品の製品比較を示す。第三世代品は第二世代品と同様に、すべての製品はボンディング切替えによって生産できる設計になっており、生産性が高く、市場ニーズに素早く対応できる。さらに、ピン配置、パッケージ構成は互換性が保たれている。また、第三世代品は、QuadCAS機能、セルフリフレッシュ機能を新たに追加している。

## 3. 第三世代 4 MDRAMの高速化

### 3.1 チップアーキテクチャ

図1にチップ写真、図2にチップアーキテクチャを示す。メモリセルアレーは、128Kビットの32個のサブアレーに分割されている<sup>(1)</sup>。ワード線はロウ (行) デコードからチップ短辺方向に走っている。また、第一層ポリシリコンで構成されたワード線の抵抗を低減するために、9か所で第一層アルミ配線と接続している。コラム (列) 方向については、コ

表1. 第二世代/第三世代4MDRAM製品規格の比較

|   |        | 第二世代4MDRAM  | 第三世代4MDRAM                                      |
|---|--------|---|---|
| ビット構成                                     |        | ×1/×4<br>(ボンディング切替え)                                  | ×1/×4<br>(ボンディング切替え)                            |
| パッケージ                                     |        | 300mil SOJ<br>350mil SOJ<br>400mil ZIP<br>300mil TSOP | 300mil SOJ<br>400mil ZIP<br>300mil TSOP         |
| アクセスタイム                                   |        | 60/70/80/100ns  | (50)*1/60/70/80ns                               |
| 電源電流                                      | 動作時    | 100/85/75/65mA  | (125)/100/85/75mA                               |
|   | スタンバイ時 | 1mA (MOS)<br>2mA (TTL)                                | 1mA (MOS)<br>2mA (TTL)                          |
| 高速アクセスモード                                 |        | Fast Page<br>Nibble (×1のみ)<br>Static Column           | Fast Page<br>(Nibble (×1のみ))*2<br>Static Column |
| ライトパービット機能 (×4のみ)                         |        | あり  | あり*2  |
| 4CAS機能 (×4のみ)                             |        | なし  | あり  |
| セルフリフレッシュ機能                               |        | なし  | あり  |
| ローパワー版<br>リフレッシュ電流<br>( $t_{ref}=128ms$ ) |        | 200 $\mu A$   | 150 $\mu A$                                     |
| セルフリフレッシュ電流                               |        | なし  | 150 $\mu A$                                     |

注 \*1 50ns品は開発中

\*2 市場の状況によって開発を検討

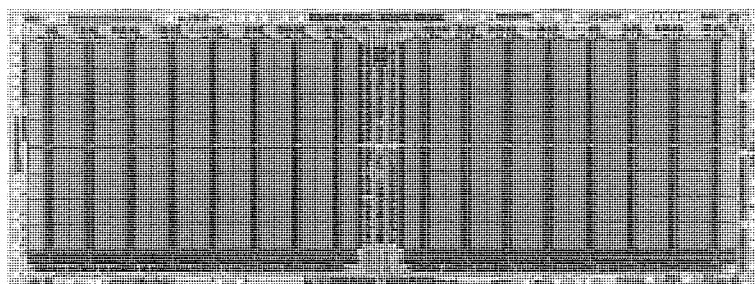


図1. 第三世代4MDRAMのチップ写真

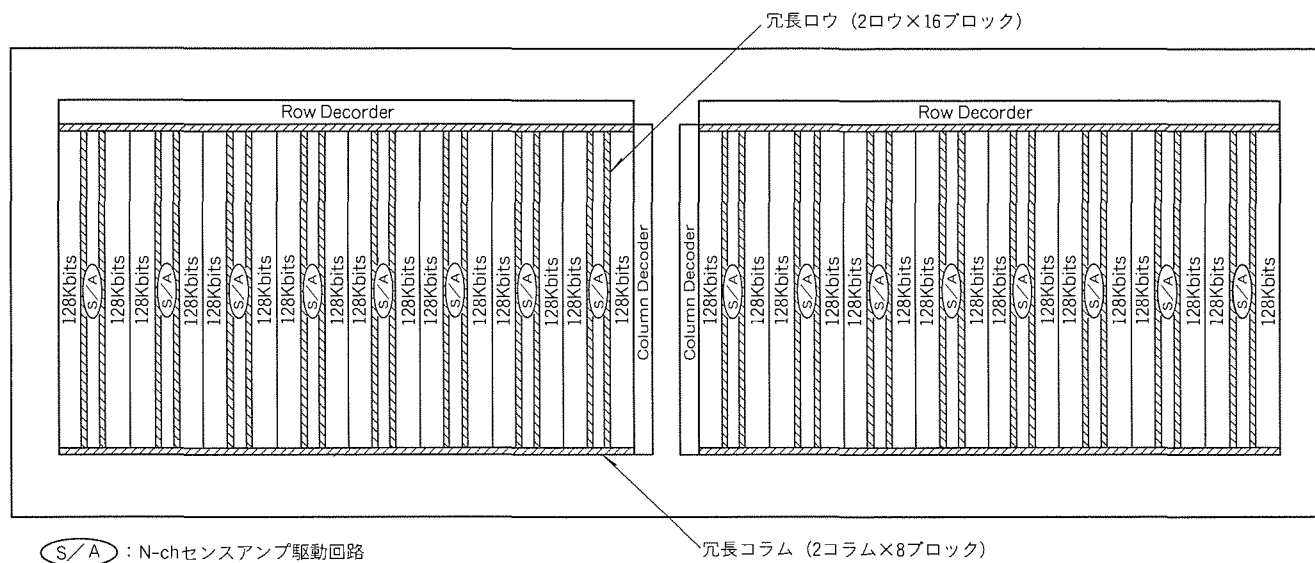


図2. チップアーキテクチャ

ラムデコーダがチップ中央部両側に配置され、第二層アルミ配線を用いたコラム選択線によってデータを選択する。各サブアレーの間には、センスアンプが配置されているため1本のビット線に接続されるメモリセルは64個のみとなり、センスの高速化を図ることができる。以上の構成は、第二世代4MDRAMと同一であるが、第三世代品は、更にセンスの高速化を図るために、センスアンプの中央部に(図2の丸印部分)Nチャネルセンスアンプ駆動回路を追加した<sup>(2)</sup>。なお、第二世代品では、Nチャネルセンスアンプ駆動回路はロウデコーダと反対側のみに配置されている。この方式を採用することにより、センス時間を短縮することが可能となり、アクセス時間の高速化が実現できた。

### 3.2 プロセス技術

第三世代4MDRAMで用いたプロセスパラメータを表2に示す。回路全体の高速化を図るために、Nチャネルトランジスタのゲート酸化膜厚を17nm(=170Å)と薄膜化することにより、トランジスタの高性能化を実現した。

また、第三世代品は微細化プロセスの導入により、大幅に配線容量が低減されたことも高速化に寄与している。メモリセルは、キャパシタ絶縁膜の膜厚を薄膜化し、さらにSN(ストレージノード)膜厚を厚膜化させることにより、チップ縮小化によるメモリセル容量減少を抑えており、第二世代品と同程度のメモリセル容量を確保した。

図3にRASアクセス時間の電源電圧( $V_{CC}$ )依存性を示す。周囲温度70°C、 $V_{CC}=4.5V$ で50nsというRASアクセス時間の高速化を実現した。

## 4. 新機能

### 4.1 QuadCAS機能DRAM

図4にQuadCAS機能DRAMの外形を示す。従来、4MDRAMの×4ビット構成(1Mワード×4ビット)品は

表2. 第二世代/第三世代4MDRAMのプロセス比較

|                 | 第二世代4MDRAM | 第三世代4MDRAM |
|-----------------|------------|------------|
| 分離              | シングルLOCOS  | シングルLOCOS  |
| ウェル             | 二重ウェル      | 二重ウェル      |
| メモリセル構造         | スタックセル     | スタックセル     |
| トランジスタ $t_{ox}$ | 18nm       | 17nm       |
| 内部配線            | 4ポリ2アルミ    | 4ポリ2アルミ    |
| 設計ルール           | 0.7μm      | 0.65μm     |

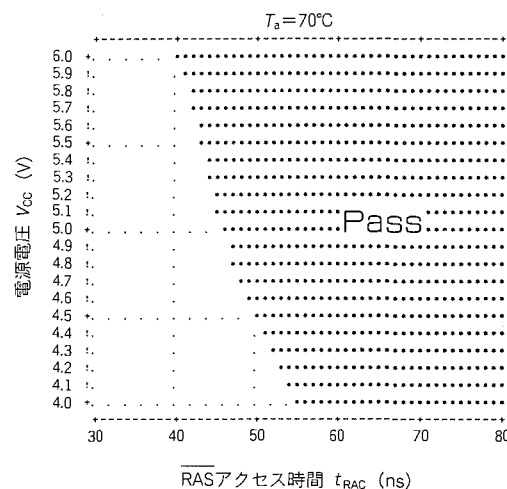


図3. RASアクセス時間

CASピンが一つであり、四つの入出力ピンに対して、同時に書き込み、読出しを行っていた。そのため、四つの入出力データを個々に制御することができなかった。QuadCAS機能は、四つの入出力データ各々に対応するCASが存在し、四つの入出力データを任意に書き込み、読出しを可能にした。図5にQuadCAS機能動作例を示す。時刻 $t=T_0$ において $RAS=L$ (活性化状態)、 $t=T_1$ 時に $CAS1\sim4=L$ 、 $WE=L$ になり、四つのDQ1~4(入出力ピン)に同時にデータが書き込まれる。続いて、時刻 $t=T_2$ においてCA

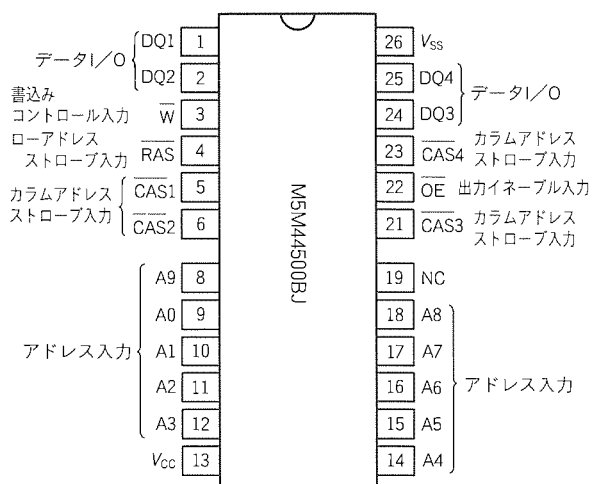


図4. QuadCAS機能DRAMピン接続図

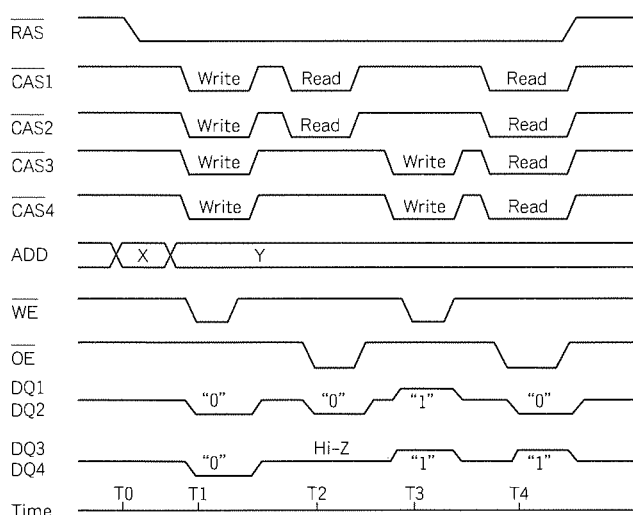


図5. QuadCAS機能タイミング

$\overline{S}1, 2 = L, \overline{CAS}3, 4 = H$  (非活性化状態),  $\overline{OE} = L$  にすることによって DQ1, 2 は、出力データ“0”が読み出されるが、DQ3, 4 はハイインピーダンス状態となる。さらに、時刻  $t = T3$  において  $\overline{CAS}1, 2 = H, \overline{CAS}3, 4 = L, \overline{WE} = L$  にすることにより、DQ3, 4 に入力データ“1”が書き込まれるが、 $\overline{CAS}1, 2$  は非活性化状態であるため DQ1, 2 にはデータ“1”が書き込まれない。そのため、時刻  $t = T4$  において出力データとして DQ1, 2 は“0”, DQ3, 4 は“1”が読み出される。以上のように QuadCAS 機能は、高速ページモード ( $\overline{RAS} = L$ ) においても、四つの任意の入出力ピンに対して書き込み、読出しを可能にする。

## 4.2 セルフリフレッシュ機能

第三世代 4 MDRAM は、バッテリーバックアップシステム用メモリとして、より一層の低消費電力化を可能にする CBR セルフリフレッシュ機能を備えている。セルフリフレッシュ機能は、リフレッシュアドレス及びリフレッシュタイミングを内蔵するタイマにより、生成させるものである。図6にセルフリフレッシュタイミングを示す。図7にセルフリフレッシュ時のデータ保持電流 ( $I_{CC9}$ ) の電圧依存性、図8に  $I_{CC9}$  の温度依存性を示す。

$V_{CC} = 5.5V$  においてもデータ保持電流は  $80\mu A$  以下を示し、バッテリーバックアップシステム用メモリに適合した特性をもっている。

## 5. 信頼性

第三世代 4 MDRAM のデバイス構造は、これまで実績のある第二世代品のスタックトキャパシタメモリセル、2層ア

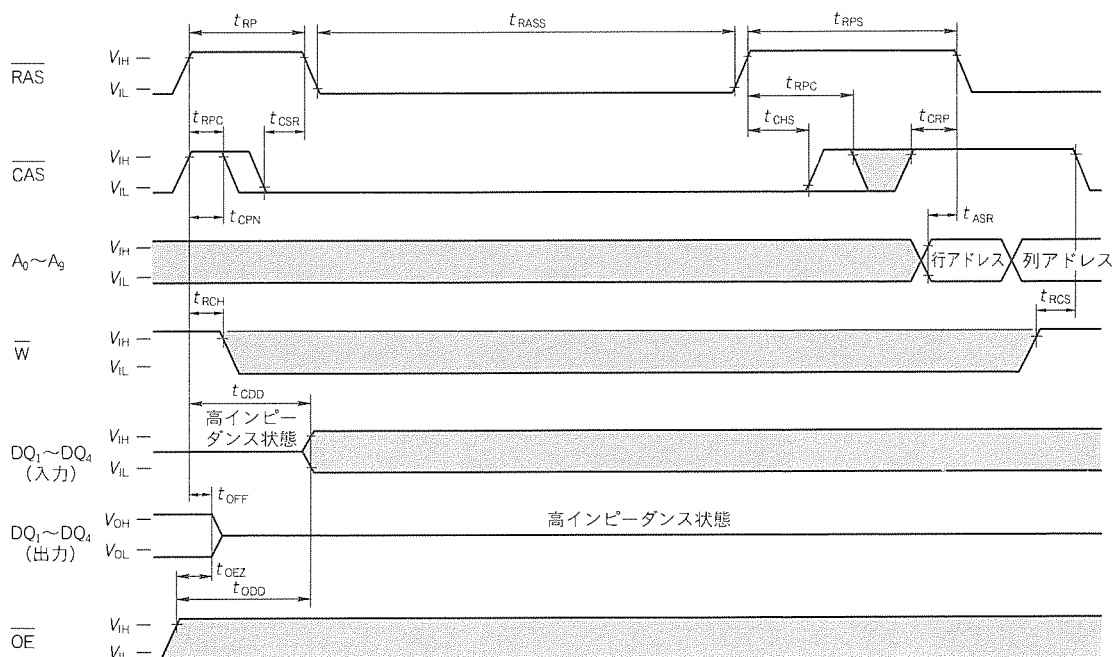


図6. セルフリフレッシュタイミング

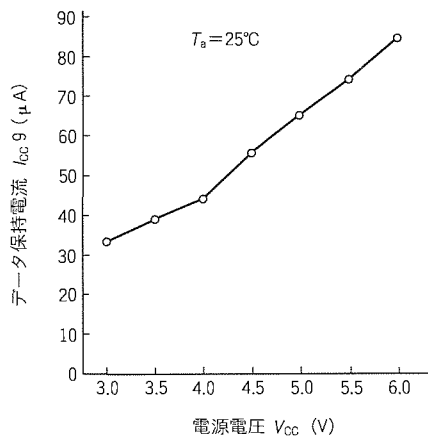


図 7. セルフリフレッシュ電流の電圧依存性

ルミ配線プロセスを採用している。また、微細化プロセスを導入したにもかかわらず、第三世代品のメモリセル容量は、第二世代品と同レベルであるため、第三世代品のソフトウェア率は第二世代品同様に低く抑えられ、高信頼性が実現できた。

## 6. む す び

高速化・低消費電力化・多機能化という市場のニーズに対して、第三世代 4 MDRAM を開発した。センス時間の高速化、トランジスタの高性能化等によってアクセス時間の高速

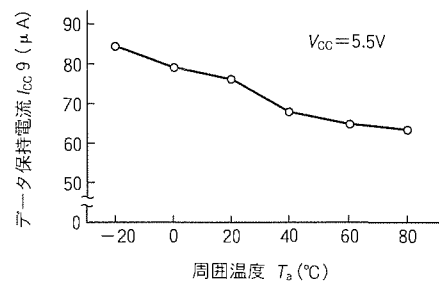


図 8. セルフリフレッシュ電流の温度依存性

化を実現した。また、セルフリフレッシュ機能を備えることにより、バッテリーバックアップシステム用メモリとして十分な低消費保持電流を実現した。さらに、QuadCAS 機能の追加により、高速ページモードにおいても任意の入出力ピンにデータの書き込み、読出しが可能になり、メモリモジュール、パリティメモリとして容易に使用できる。

## 参 考 文 献

- (1) 熊野谷正樹，飛田洋一，長友正男：第二世代 4 M ビット DRAM，三菱電機技報，**65**，No. 7，697～702 (1991)
- (2) 富上健司，豆谷智治，長山安治，長友正男：4 M ビットバイトワイド／ワードワイド DRAM，三菱電機技報，**67**，No. 3，316～319 (1993)

# 高速 1 Mビット CMOS スタティック RAM

櫻原洋次\* 田原良昭\*\*  
坂口定則\* 南 ふゆみ\*  
秋山義雄\*\*

## 1. ま え が き

CMOS スタティック RAM (SRAM) は、他の MOS メモリと比較してアクセスタイムが高速であり、低電流でデータが保持できるという特長がある。このうち、低電力化に着目したものが低消費電力 SRAM であり、アクセスタイムの高速化を追求したものが高速 SRAM である。高速 SRAM の用途としては、ワークステーション及びパーソナルコンピュータのキャッシュメモリ、スーパーコンピュータ及び大型コンピュータのメインメモリなどが挙げられる。

キャッシュメモリに要求されるのは、アクセスタイム 15 ns 以下の高速性、及び  $\times 8$  以上の広い語構成などであり、容量的にはそれほど大きいものは必要とされていなかったため  $8K \times 8$ 、 $32K \times 8$  等の高速 SRAM が使用されてきた。しかし、近年キャッシュメモリの容量増大に伴い、1 M クラスの大容量品の要求も高まってきている。一方、メインメモリには  $\times 1$ 、 $\times 4$  等の語構成のものが用いられ、1 M、4 M 等の大容量化が要求される半面、これまではアクセスタイムについては 25 ns 程度とそれほど高速化が必要とされていなかった<sup>(2)(3)</sup>。しかしながら、スーパーコンピュータ等の著しい性能向上に伴い、近年はメインメモリの分野においても 15 ns クラスの高速品の要求が強まってきている。

このような要求を踏まえて、最大アクセスタイム 15 ns の 1 M ビット CMOS SRAM を開発した。本稿では 1 M ビットという大容量で 15 ns の高速アクセスタイムを実現するために用いた設計技術、製造技術、及び得られた電気的特性を紹介する。

## 2. 開発のねらい

### (1) 高速アクセス時間

15 ns 品の供給に支障が出ないように、標準条件でのアクセスタイムが 10 ns 程度となるようにする。

### (2) 語構成

以下の 3 品種を 1 枚のマスクの差し替えのみで作り分ける。

- 1 M 語  $\times$  1 ビット (M5M51001B)
- 256 K 語  $\times$  4 ビット (M5M51004B)
- 128 K 語  $\times$  8 ビット (M5M51288B)

上記 3 品種のピン配置を図 1 に示す。

### (3) パッケージ

パッケージは各品種とも 2 種類を用意する。

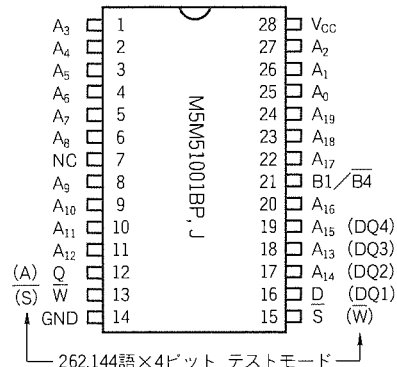
- 400 mil 幅 28 ピン DIP  
(M5M51001B/M5M51004B)
- 400 mil 幅 32 ピン DIP  
(M5M51288B)

ただし、チップサイズを 300 mil 幅パッケージに収納可能な大ききとすることにより、300 mil 幅パッケージにも対応可能なようにする。

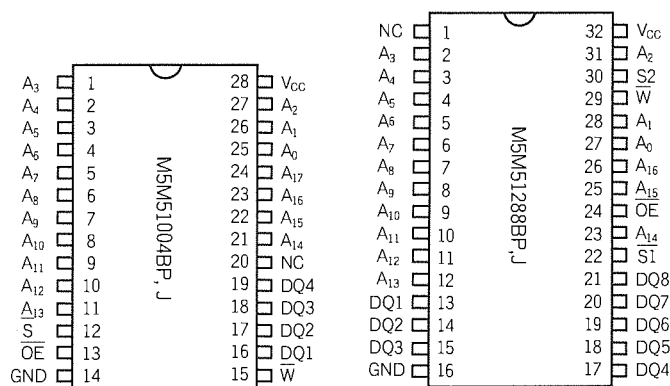
## 3. 設 計 技 術

### 3.1 チップ構成

図 2 に M5M51001B/M5M51004B/M5M51288B のブロック構成を示す。メモリセルアレーは全体で 512 行  $\times$  2,048 列から構成され、これらをワード線方向に 16 ブロックに分割している。ブロック分割はアクセスタイムの高速化



(a)



(b)

(c)

図 1. ピン配置



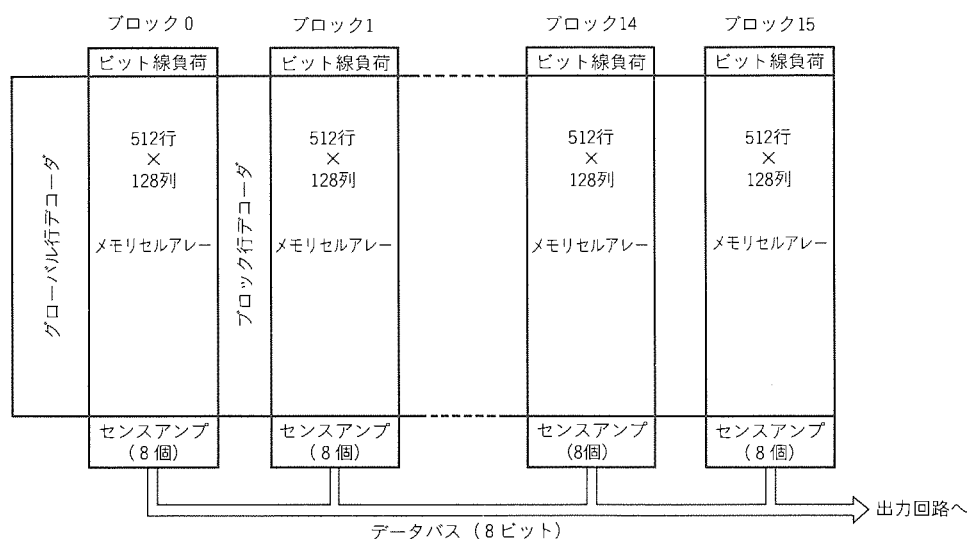


図2. ブロック構成

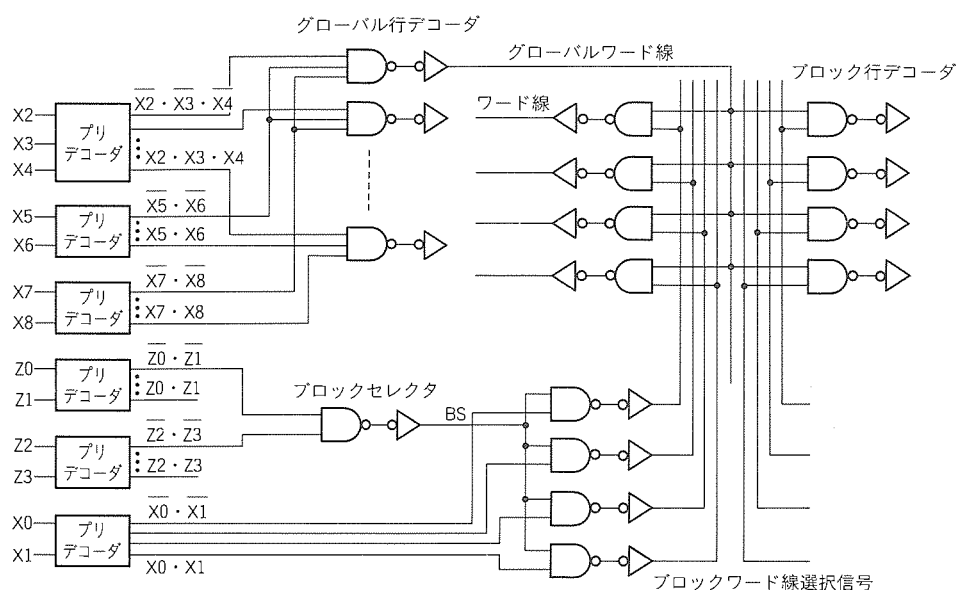


図3. ワード線選択回路

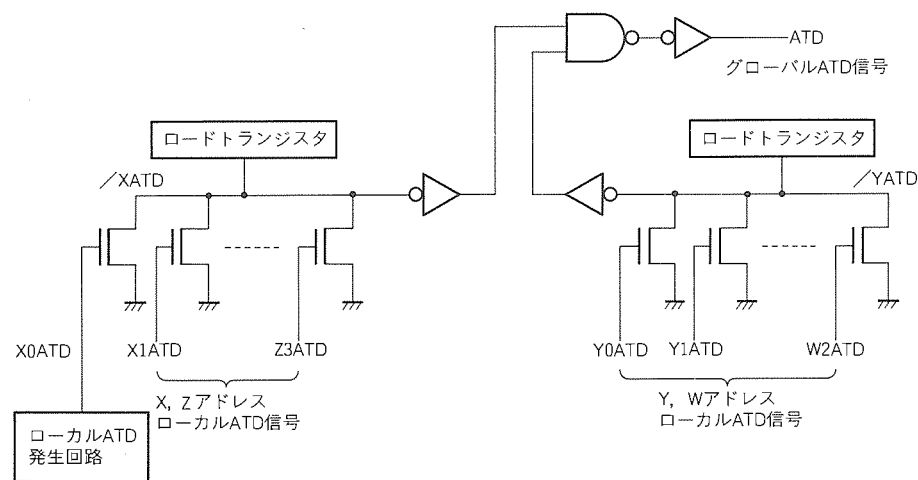


図4. ATD信号発生回路

のために不可欠であり、これによってワード線長を短くすることができ、ワード線遅延の増大を抑えている。

1ブロックは512行×128列からなっているが、さらに512行×16列からなる8個のサブブロックに分割され、それぞれにセンスアンプを配置して128K語×8ビットに対応させている。また、256K語×4ビットの場合は8個のセンスアンプのうち4個のみを、1M語×1ビットの場合は8個のうち1個のみを動作させることにより、センスアンプの増加による不要な電流増加を防いでいる。

このようなセルアレーの中から任意のメモリセルを選択するためのアドレス入力は四つのグループ(X, Y, Z, W)に分かれており、X, Y, Zはそれぞれ行選択、列選択、ブロック選択に使用し、WはM5M51001B/M5M51004Bでサブブロックを選択するために使用される。

### 3.2 分割ワード線選択方式

ワード線選択の方法として図3に示すような分割ワード線選択方式を採用した。この方式では上位の行アドレス(X2～X8)はグローバル行デコーダでプリデコードされ、グローバルワード線を活性化する。一方、下位の行アドレス(X0～X1)は、ブロックアドレス(Z0～Z3)をプリデコードして作られたブロックセレクト信号(BS)と論理積がとられ、ブロックワード線選択信号を活性化する。ワード線の

選択はグローバルワード線とブロックワード線選択信号の論理積によってなされるため、一度に活性化されるワード線は1ブロック分のみなので、カラム電流は大幅に低減できる。また、ワード線がポリシリコンで構成されるのに対し、グローバルワード線、ブロックワード線選択信号ともアルミ配線で構成されるので、高速化にも役立っている。

### 3.3 ATDと高速化技術

高速化を図るためにATD (Address Transition Detector) 回路を用いて各ノードのプリチャージ及びイコライズを行っている。ATDが有効に機能するためにはアドレス変化に対応して迅速にATDパルスが発生させる必要があるが、1Mクラスの大容量品になるとチップサイズの増大によって配線長が増加し、寄生容量の増大のために負荷が重くなりATD波形が鈍る可能性がある。これを防ぐため、図4に示すようにXアドレス系、Zアドレス系のローカルATD信号とYアドレス系、Wアドレス系のローカルATD信号を別個のグローバルATD回路で集め、その論理積によって最終的なATD信号を生成している。このように、ローカルATD回路の位置が比較的接近しているアドレスのみで

グローバルATD信号を生成しているため、 $\neg$ XATD、 $\neg$ YATD信号の配線長が縮小でき、ATD波形の鈍りを最小限に抑えている。

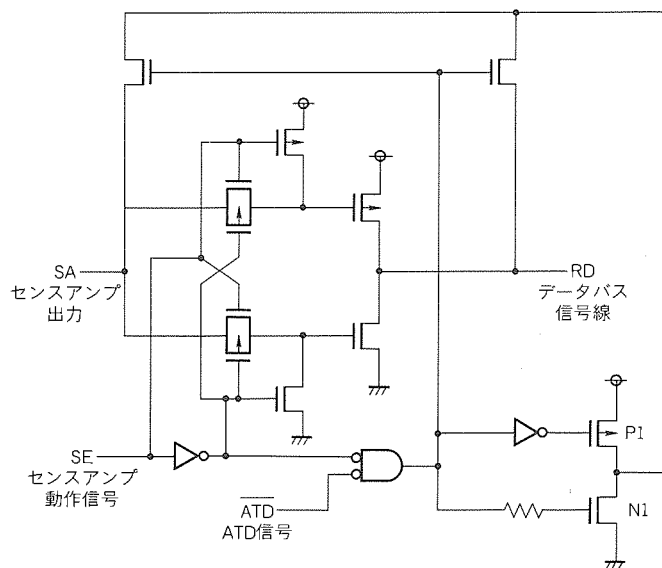


図5. データバス信号線イコライズ回路

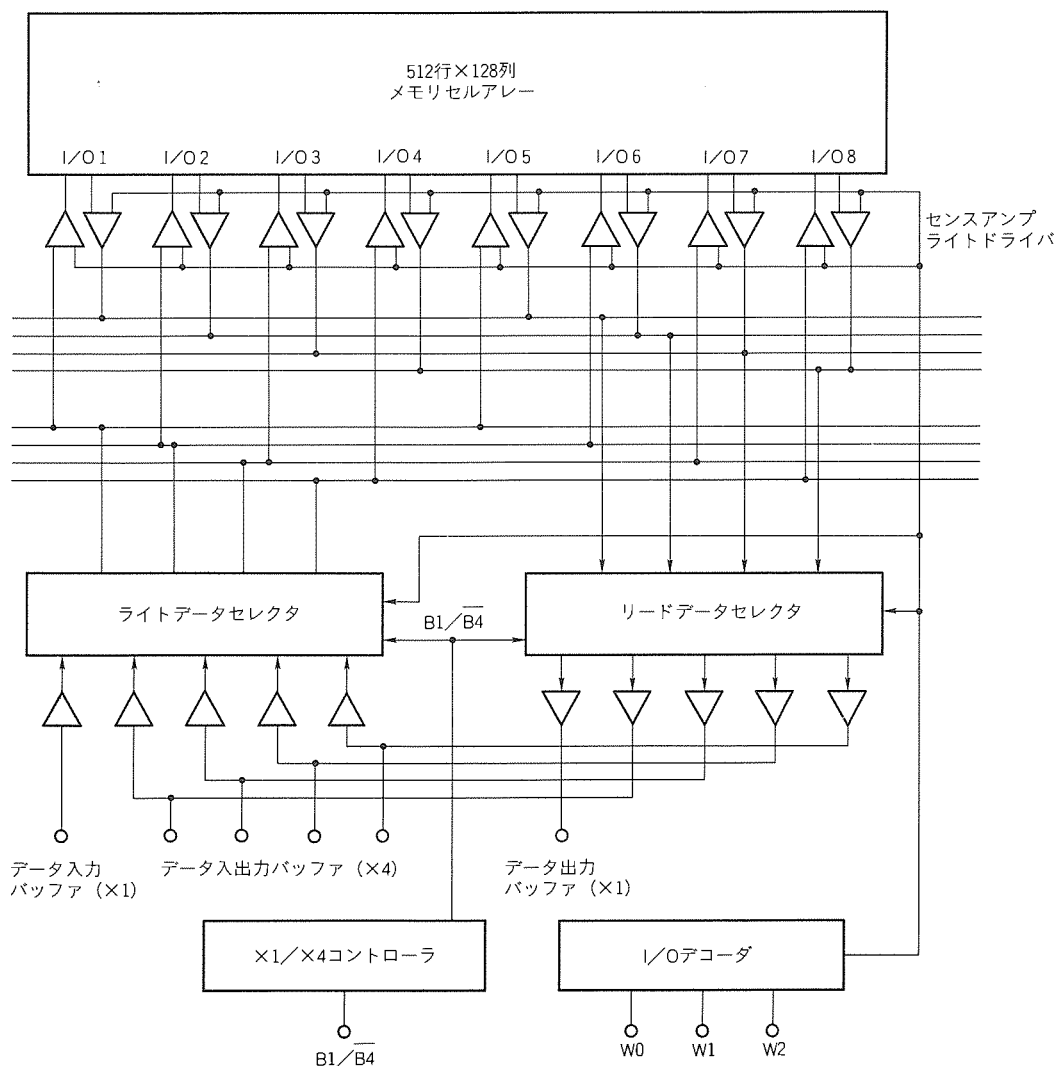


図6. 語構成可変方式 (M5M51001B)

ATD 信号は主にリード系信号線のイコライズに使用されているが、特に重要なのがリードデータバス信号線のイコライズである。リードデータバスは各センスアンプの出力を出力バッファに伝えるための配線であり、多くのセンスアンプ出力のドレインにつな(繋)がる上、チップ長辺を走り、極めて長くなる。そのため、寄生容量が大きくなり、ここでのデータ遅延時間は無視できない。遅延時間を短くする対策としては、一般にリードデータバスを ATD 信号で中間電位にプリチャージするという方法がよく用いられるが、ここで問題となるのがプリチャージの方法である。なぜなら、リードデータバスは容量が重いため、容量の軽いノードとイコライズしても十分中間電位にならないことがあるからである。このような問題を解決するために、図5に示すようなデータバス信号線イコライズ回路を使用した。ATD 信号入力時には P チャネルトランジスタ P1 と N チャネルトランジスタ N1 が同時にオンし、リードデータバス信号線はセンスアンプ出力と同時に強力なトランジスタ P1, N1 によって強制的に中間電位にイコライズされる。したがって、データバス信号線には瞬時にセンスアンプ出力のデータが伝達し、データ遅延を最小限に抑えている。

### 3.4 語構成可変機能

M5M51001B では図6に示すような回路構成により、1 M 語×1 ビット構成を外部信号で 256 K 語×4 ビット構成に切替え可能になっている。これは 1 M 語×1 ビット構成を 256 K 語×4 ビット構成に変えることで、テスト時間の短縮を図るものである。実際の適用としては、21 ピンの B1/

B4 ピンを“L”にすることで 256 K 語×4 ビット構成のデバイスとして動作する。このピンは内部でプルアップされており、信号を与えなければ 1 M 語×1 ビット構成のデバイスとして動作する。

## 4. プロセス技術

表1に高速 1 M ビット SRAM の主要なプロセス技術を示す。今回用いたプロセスは N 型基板ツインウェル・3 層ポリシリコン・2 層アルミ配線の 0.6  $\mu$ m ルール CMOS プロセスである。ポリシリコン配線については、第一ポリシリコンは WSi<sub>x</sub> ポリサイドで形成し、ゲート電極及びワード線として使用している。また、第二ポリシリコンはメモリセルの電源線として使用し、第三ポリシリコンには高抵抗専用の薄膜ポリシリコンを採用している。アルミ配線に関しては、アルミの層間膜を十分に平坦(坦)化することにより、第二アルミの配線ピッチを従来と比較して約 1/2 にすることが可能となり、第二アルミ配線をビット線として用いている。これによって、メモリセルの接地線を低抵抗の第一アルミ配線にすることが可能となり、メモリセルの安定化動作に寄与している。また、メモリセルの素子分離にはバースピークを低減した LOCOS (Local Oxidation of Silicon) 法を採用している。トランジスタには LDD (Lightly Doped Drain) 構造が用いられ、ゲート長を短くしながら信頼性の高いトランジスタを形成している。これにより、N チャネルトランジスタ、P チャネルトランジスタともゲート長を 0.6  $\mu$ m と微細化することが可能となり、高駆動能力とゲート容量の低減が図られアクセスの高速化に寄与している。

## 5. 電気特性

図7に電源電圧 4.5 V、室温時の高速 1 M ビット SRAM の出力波形を示す。これより標準条件でのアドレスアクセス時間は 9 ns 以下が達成されていることが分かる。また、チ

ップセレクトアクセス時間も同程度である。図8は  $T_a = 75^\circ\text{C}$  での  $V_{CC}$  対アドレスアクセス時間の、図9は同じく  $T_a = 75^\circ\text{C}$  での  $V_{CC}$  対チップセレクトアクセス時間のシュミュープロットであり、 $V_{CC} = 4.5\text{V}$  の最悪条件でアドレスアクセス時間は 13.5 ns、チップセレクトアクセス時間は 13.0 ns であることが分かる。M5M51288B の動作時における  $I_{CC1}$  (動作時の電源電流) のサ

表1. プロセス技術

|          |   |
|----------|---|
| プロセス方式   | 0.6 $\mu$ m CMOS<br>N基板ツインウェル<br>3層ポリ2層Al |
| ゲート電極    | WSi <sub>x</sub> ポリサイド                    |
| トランジスタ構造 | LDD構造 (LSi=0.6 $\mu$ m)                   |
| 素子分離法    | LOCOS                                     |

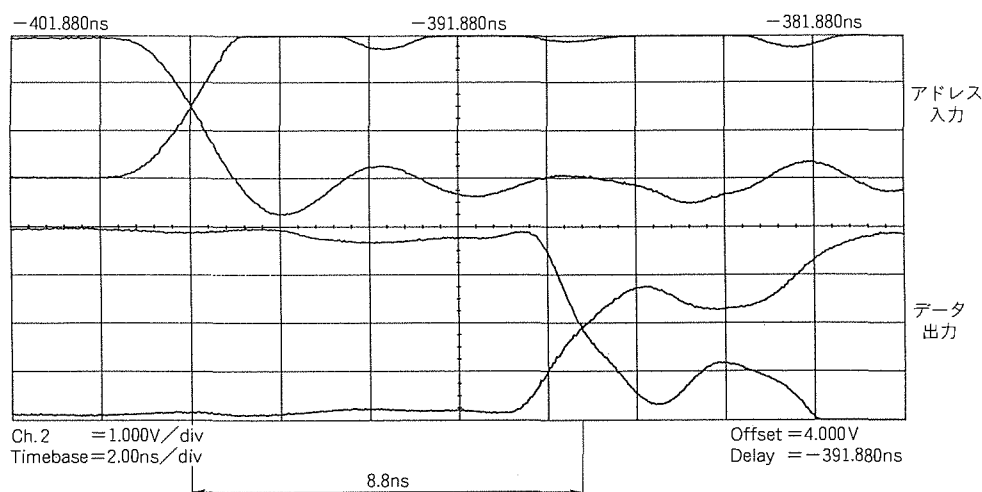


図7. 出力波形 ( $V_{CC} = 4.5\text{V}$ , 室温)

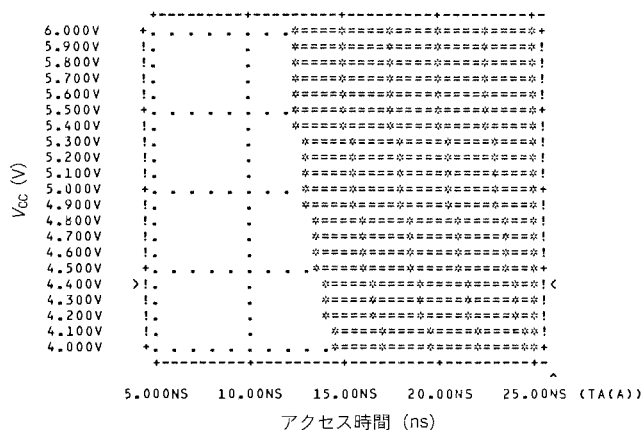


図8. アドレスアクセス時間のシュミュープロット  
( $T_a = 75^\circ\text{C}$ )

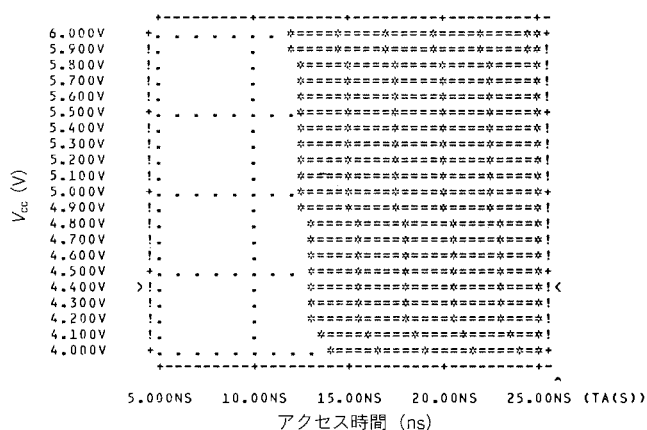


図9. チップセレクトアクセス時間のシュミュープロット  
( $T_a = 75^\circ\text{C}$ )

イクル時間依存性を図10に示す。サイクル時間15ns,  $V_{CC} = 5.5\text{V}$ の最悪条件でも125mAと小さな値となっている。また, MOSレベル入力時のスタンバイ電流は,  $T_a = 75^\circ\text{C}$ ,  $V_{CC} = 5.5\text{V}$ の最悪条件で $10\mu\text{A}$ 以下と小さい値となっており, 低消費電力版(Lバージョン)にも対応可能である。パッケージは, 400mil DIP, SOJの2種類を用意しているが, 300milパッケージにも対応する予定である。高速1MビットSRAMの性能一覧を表2にまとめる。

## 6. む す び

0.6  $\mu\text{m}$ 設計ルールの3層ポリシリコン, 2層アルミ構造のツインウェルCMOSプロセスを用いて最大アクセス時間15nsの1MビットCMOS SRAM M5M51001B (1M  $\times$  1), M5M51004B (256K  $\times$  4), M5M51288B (128K  $\times$  8)を開発した。信頼性を損なうことなく達成した高性能トランジスタ技術と変形分割ワード線方式等の高速回路技術を導入することによって, 1Mビットという大容量でアクセ

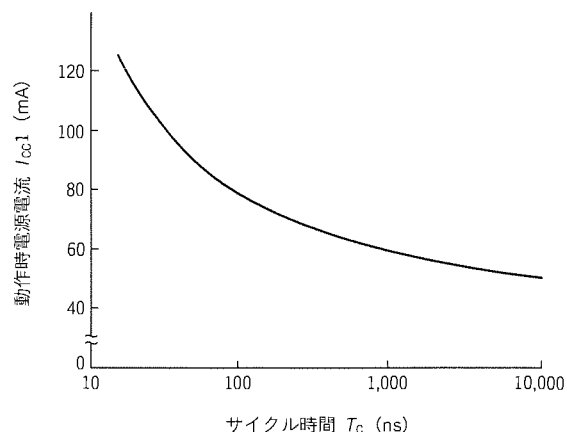


図10. 電源電流特性 ( $V_{CC} = 5.5\text{V}$ , 室温)

表2. 高速1MビットSRAMの性能一覧

|               |  |
|---------------|--|
| 語 構 成         | 1M語 $\times$ 1ビット(M5M51001B)<br>256K語 $\times$ 4ビット(M5M51004B)<br>128K語 $\times$ 8ビット(M5M51288B) |
| プ ロ セ ス       | 3層ポリシリコン2層アルミCMOS  |
| デザインルール       | 0.6 $\mu\text{m}$  |
| 電 源 電 圧       | 5V単一   |
| 入出力レベル        | TTL  |
| アドレスアクセス時間    | 15ns (最大)  |
| チップセレクトアクセス時間 | 15ns (最大)  |
| サイクル時間        | 15ns (最小)  |
| 動作時電源電流       | 140mA (最大)   |
| スタンバイ時電源電流    | 40mA (最大)  |
| TTLレベル入力時     | 1mA (最大) (Lバージョンは $10\mu\text{A}$ )  |
| MOSレベル入力時     |  |
| パッケージ*        | 28ピン400mil DIP, SOJ<br>(M5M51001B/51004B)<br>32ピン400mil DIP, SOJ<br>(M5M51288B)                  |

注 \*300milパッケージにも対応予定

スタ임15nsという高速性能を実現することができた。

今後も高速SRAMに対する大容量化・高速化・多ビット化の要求にこたえて, 更に次世代の高速SRAMの開発を推進する予定である。

## 参 考 文 献

- (1) 一瀬勝樹, 河野芳雄, 篠原尋史, 村上修二, 船越也寿宏: 高速256KビットCMOSスタティックRAM, 三菱電機技報, 61, No.4, 329~332 (1987)
- (2) 營野雅直, 和田知久, 杠 幸二郎, 向井孝夫, 河野芳雄: 高速1MビットCMOSスタティックRAM, 三菱電機技報, 63, No.11, 895~898 (1989)
- (3) 木原雄治, 坂口定則, 畑迫健一, 古賀 剛, 安東 亮: 超高速1MビットCMOS SRAM, 三菱電機技報, 65, No.4, 385~388 (1991)

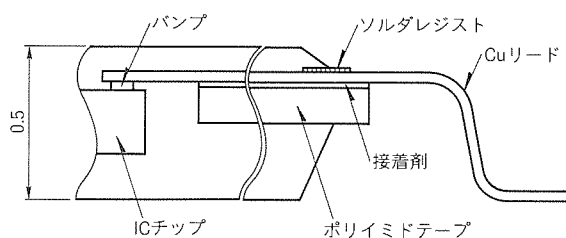
# 超薄形パッケージICを搭載した 大容量ICメモ리카ード

郷地英伸\*  
越智克則\*  
寺岡康宏\*\*

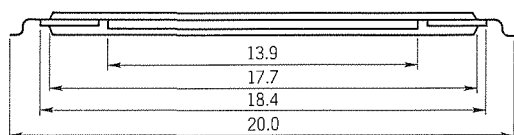
## 1. ま え が き

電子機器のポータブル化及び高機能化に伴い、高速性・低消費電力性・携帯性に優れたICメモ리카ードは、携帯型機器の外部記憶媒体として採用されている。特に、ノートブック型やパームトップ型のパーソナルコンピュータには、ICメモ리카ードのスロットが1個以上標準装備されるようになってきた。また、(社)日本電子工業振興協会(Japan Electronic Industry Development Association: JEIDA)は、1985年からこのICメモ리카ードの標準化に取り組み、1993年10月には“PCカードガイドライン Ver.4.2”を発表した。この規格ではICメモ리카ードの完全互換を目指してシステム側ソフトウェアの規格が新たに策定された。このことにより、ICメモ리카ードの一層の普及促進が期待されている。また、市場では電子機器の高機能化・多機能化及びソフトウェアの高度化に伴い、データ処理量が増大している。このため外部記憶媒体としてのICメモ리카ードは大容量、高速化が要求されている。

一方、ICメモ리카ードに使用するメモリICは年々集積度が向上し、IC当たりのメモリ容量は大幅に増大する反面、ICのチップサイズも容量とともに大きくなってきており、現在主流のTSOP(Thin Small Outline Package)を基板に両面実装して、標準のカードサイズに納めた場合の搭載できるICの個数は、メモリICの世代交代ごとに少なくなってきた。



(a) 断面構造



単位: mm

(b) 側面

図1. パッケージの断面構造及び側面

ている。この結果、メモリICの容量に比例してカードの容量を増大できない事態になっている。

これに対処するため、当社ではTSOPよりも更に薄い0.5mm厚さの超薄形パッケージ(Dual Tape Carrier Package: DTP)を業界で初めて開発した。このDTPに1MビットSRAMを封入し、薄形基板に32個のDTP ICを両面実装することによってJEIDA規格に準拠した4MバイトSRAMカード(形名: MF34M1-H1EAT××)を開発した。DTPは単体での完全なテストが可能であるため、この完全良品を基板上に多数搭載してもカードとして高歩留りが可能で、高品質・高信頼性が実現できる。

本稿では、今後の大容量ICメモ리카ードの開発に必ず(須)となるDTPの構造及びアセンブリ技術とこのDTP ICを使用して開発したMF34M1-H1EAT××のカードの構造及びアセンブリ技術と回路技術について述べる。

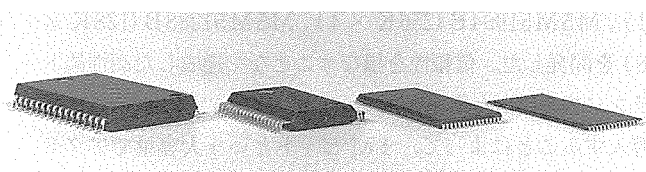
## 2. 超薄形パッケージ

### 2.1 パッケージ構造

図1にDTPの断面構造及び側面を示す。大容量ICメモ리카ード用途を目的としてパッケージ厚0.5mmを実現するために、TAB技術及びウェーハの薄研磨を採用している。ウェーハ上に形成されたAuバンパはSnめっきされたテープキャリアのインナリードと接合される。樹脂封止にトランスファモールド技術を採用することによって、耐熱性が向上し、リフロー方式による表面実装が可能となった。

また、アウトリード部は、TSOPと同面積のフットプリント上に実装可能のようにフォーミングされ、かつバーニンなど後工程での熱履歴によるはんだ付け性劣化を防止するために、リード表面にははんだめっきが施されている。図2は各種40ピンパッケージの側面外観比較であり、このDTPの薄さがよく分かる。

### 2.2 アセンブリ技術



(左からSOP, SSOP, TSOP, DTP)

図2. 各種パッケージの外観比較 (40pin)

DTPを開発する上での最重要課題は、パッケージ反りによるチップへの応力が最小となる構造とするために0.5mmの厚さの中で、いかにチップをパッケージ中央に位置するようコントロールするかであり、特にILB (Inner Lead Bonding) 及びモールド工程において対策を施した。ここでは、この二つのプロセスについてのみ概略を説明する。

### 2.2.1 インナリードボンディング(ILB)

ILB工程は、IC上のAuバンプとテープキャリアのインナリードとを接合する工程である。なお、テープキャリアは、ポリイミド、接着剤、Cuはく(箔)の3層構造のものを使用している。インナリードは表面に約0.5  $\mu\text{m}$ のSnがめっきされた約35  $\mu\text{m}$ 厚のCu箔で、最適荷重と加熱によってAuバンプとAu-Sn共晶合金を形成し接合が行われる。

この工程では、パッケージの厚さ方向に対するICの位置をコントロールするために、ボンディング後のテープキャリアに対するICの高さ方向の位置関係及び傾き量が30  $\mu\text{m}$ 以内になるように管理している。

### 2.2.2 モールド

モールド工程は、ILBを完了したテープキャリア上のチップを外部環境から保護するために樹脂封止する工程である。TCP (Tape Carrier Package) では液状樹脂の塗布が一般的であるが、このパッケージは、外形厚みの要求精度が高いこと、表面実装可能な高信頼性パッケージを得るために、モノリシックICで培われてきたトランスファモールド技術を適用した。

この工程では、ICチップがパッケージの中央に位置するように、成形樹脂の低粘度化と流動フローの最適化がプロセス開発のキーポイントである。成形樹脂の低粘度化に対して

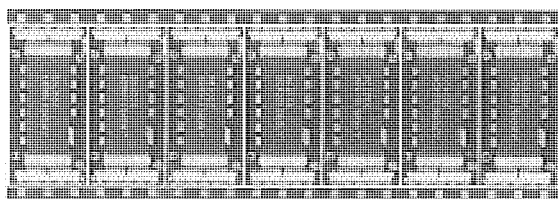
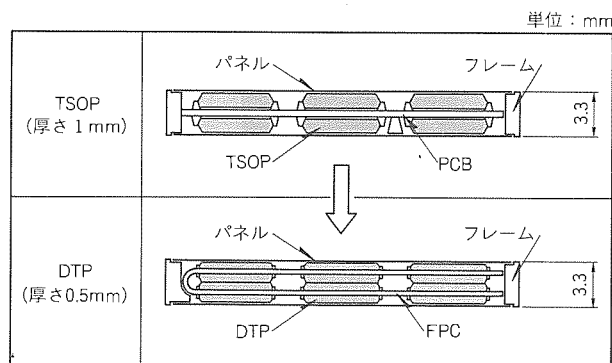


図3. DTPの外観 (32pin)



両面実装基板を二つ折りにして従来のカード外形の中に納める

図4. DTPカードの構造

は、従来の樹脂の基本組成・物性を劣化させることなく、ファイラーの粒度分布や粒径をコントロールすることにより、粘度を約1/6に下げたTCP用の樹脂を開発し、また成形樹脂の流動フローの最適化に対しては、モールド金型におけるゲート部のランド長さ、樹脂注入速度などのプロセス条件の適正化により、ICの位置を変化させることなく安定して樹脂を注入することが可能となった。さらに、後工程に対して問題となる樹脂バリについても、テープ設計とモールド装置を改良することによって対策を施した。

以上のように、ILB・モールド各工程におけるプロセスの厳密なコントロールと、材料及び装置の条件適正化により、図3に示すDTPの最産化を達成した。また、同技術を80pinのQTP (Quad Tape Carrier Package) にも適用している。

## 3. 4 MバイトSRAMカード

### 3.1 製品概要

今回、DTP ICを使用して開発した4 MバイトSRAMカード、MF34M1-H1EAT××の主な特長は次のとおりである。

- (1) 外形寸法：(縦) 85.6 × (横) 54.0 × (厚さ) 3.3 (mm)  
“JEIDA Type Iに準拠”
- (2) 使用コネクタ：68ピン ツーピースコネクタ
- (3) データバス幅：8ビット及び16ビットの切替えが可能
- (4) アクセスタイム：250ns (最大)
- (5) アトリビュートメモリ：電源電圧が5V 単一で読み書きができる64KビットのEEPROMを内蔵  
“書換え可能回数10,000回”
- (6) 消費電力：16ビット動作時675mW (typ.)  
8ビット動作時450mW (typ.)  
スタンバイ時1.5mW (typ.)
- (7) 電池の期待寿命：1.0年 (typ.)
- (8) その他の機能

● コモンメモリ領域 (SRAM部) 及びアトリビュートメモリ領域 (EEPROM部) の両方に動作可能なライトプロテクト機能

● 電池電圧を2点で検出し、各点で2値のロジックレベルで出力

### 3.2 モジュール化とカード化のアセンブリ技術

#### 3.2.1 構造

図4にDTP IC搭載ICメモリカードの構造を示す。DTP ICを搭

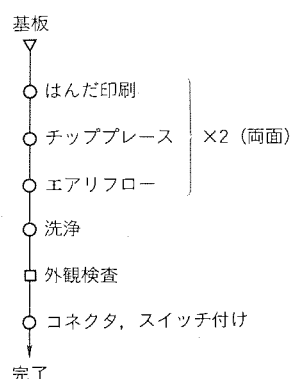


図5. モジュールアセンブリフロー



載するための基板材料としては、耐熱性に優れ、しかも薄形化が可能でフレキシブルな特性を持つフレキシブル銅張積層板、いわゆる FPC (Flexible Printed Circuit) 基板を使用し、両面実装後この基板を二つ折りにして従来のカード外形サイズ (縦 85.6 × 横 54.0 × 厚さ 3.3 (mm)) の中に納めている。カードの外形サイズは、JEIDA TYPE I に準拠している。参考までに従来仕様の TSOP IC 搭載 IC メモリカードの構造も図 4 に示す。従来の基板はリジッド PCB (Printed Circuit Board) を使用し、両面実装している。DTP IC 搭載カードの特長は、① 搭載基板として前述の FPC 基板を使用していること、② この基板を折り曲げていること、③ DTP IC を 4 段実装していることである。

### 3.2.2 モジュール化技術

図 5 に DTP IC 搭載 IC メモリカードのモジュールアセンブリフローチャートを示す。基本的には TSOP IC 搭載 IC メモリカードモジュールのアセンブリフローと同じである。従来のプロセスを利用して、① はんだ印刷用ステージ及びメタルマスクの改良、② 薄形基板用搬送治具の開発、③ チッププレサ認識系の改良 (解像度の向上) により、DTP IC の搭載を可能とした。

図 6 に DTP IC を実装後のはんだ付け接合部の断面写真を示す。はんだ厚み (50 ~ 60  $\mu\text{m}$ )、先端及びバックフィレット共に良好な接合状態が得られている。また、接合強度は数百 g/ピンであり、十分な強度を持っている。

モジュール厚みとしては、2.9 mm 以内に仕上げている。実装技術のキープポイントは、① DTP IC を薄形で、かつ従来の 2 倍サイズの FPC 基板上に搭載する両面実装技術、② リードピッチ 0.4 mm の QTP の実装技術である。

### 3.2.3 カード化技術

図 7 に DTP IC 搭載 IC メモリカードのカードアセンブリフローチャートを示す。モジュールアセンブリフローと同様に、カードアセンブリフローも TSOP IC 搭載タイプと基本的には同じである。このカードアセンブリプロセスは、従来プロセスを基本とするため、① 実装部品にダメージを与えないように FPC 基板を折り曲げるための治具開発、② FPC 基板をメインフレームに固定する技術、③ 熱可塑性接着

シートを使用したパネルの接着技術である。

図 8 にモジュールの内部写真を示す。3.2.1 項の構造のところで述べたように、カード厚み 3.3 mm の中に納めるために FPC 基板を二つ折りにした構造になっている。

### 3.3 回路技術

#### 3.3.1 回路構成

MF34M1-H1EAT××の回路ブロック図を図 9 に示す。メモリ IC のアドレスバス及びデータバスにはすべてバッファを入れ、32 個のメモリ IC を搭載してもカードの各接続ピンの入出力容量を最大でも数十 pF 程度にした。この結果、カードへの必要駆動入力値の低減と動作速度の高速化が達成できた。また、電源制御回路によって外部からカードへの供給電圧がなくなった場合、自動的にカードに内蔵した電池でデータを保持するようにした。JEIDA 規格に準拠するため、電池電圧を 2 レベル (BVD2, BVD1) で検出し、BVD2, BVD1 の端子からロジック信号によって電池電圧の状態を 3 段階で表すようにした。

アトリビュートメモリは、カードの属性情報を記憶するためのメモリで、カードとシステムの互換性を高めるためそのカードの物理情報やフォーマット情報等を偶数バイトのみに格納する。このカードのアトリビュートメモリはユーザーの利便性を考え、64K ビットの EEPROM を採用した。なお、JEIDA 準拠のカードにおいてアトリビュートメモリのデータバス幅は、8 ビット幅に制限されている。表 1 にこのカードのアトリビュートメモリに格納されたカード属性情報の一例を示す。

#### 3.3.2 低消費電力化と高速動作

SRAM カードの場合、内蔵電池の寿命を延ばす

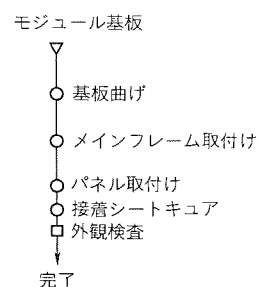


図 7. カードアセンブリフロー

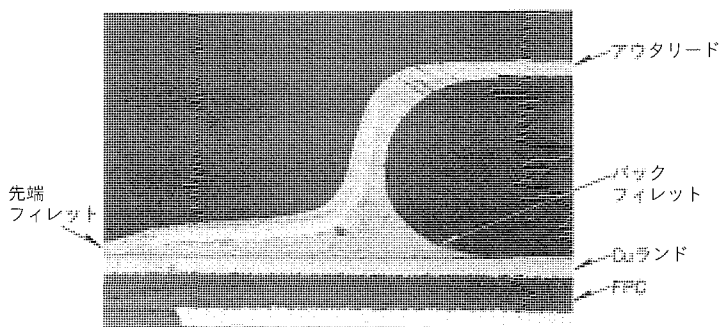


図 6. DTP はんだ付け断面

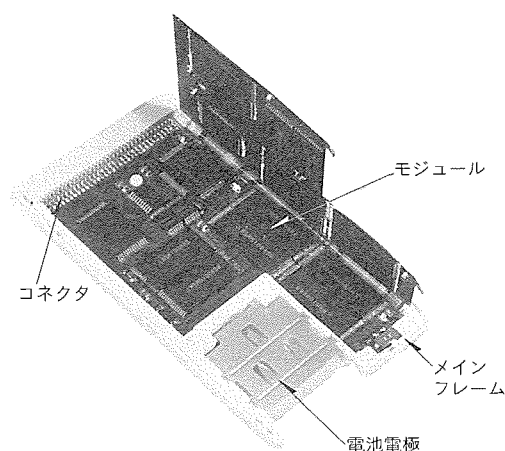


図 8. カード内部写真

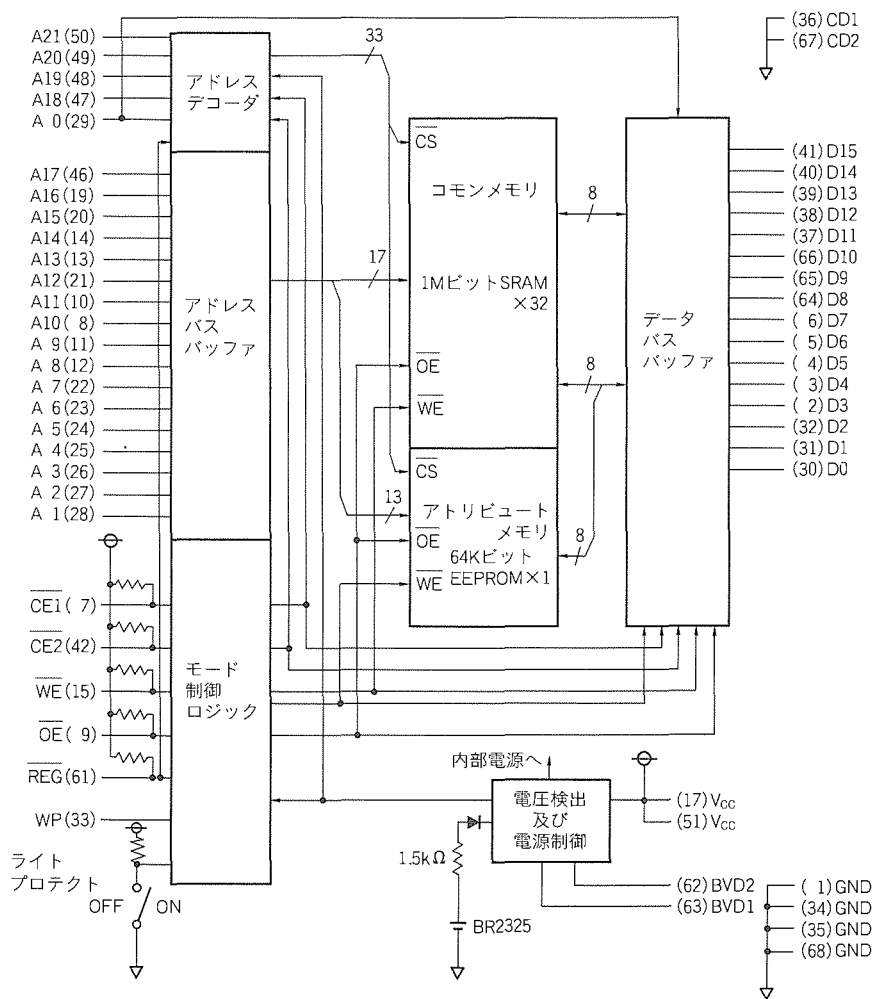


図 9. MF34M1-H1EATxxの回路ブロック図

表 1. アトリビュートメモリに格納されたカード属性情報の一例

| 項 目                          |          | DATA内容         |
|------------------------------|----------|----------------|
|                              |          | MF34M1-H1EAT01 |
| 製 品 情 報                      | 仕様バージョン  | 0400h          |
|                              | 製品メーカー   | 三菱電機           |
|                              | 製品形名     | MF34M1-H1EAT01 |
| デバイス情報<br>(コモンメモリ)           | デバイス速度   | 250ns          |
|                              | ライトプロテクト | 有効             |
|                              | デバイス種別   | RAM (backup)   |
|                              | デバイスサイズ  | 4Mバイト          |
| デバイス情報<br>(アトリビュートメモリ)       | デバイス速度   | 300ns          |
|                              | ライトプロテクト | 有効             |
|                              | デバイス種別   | EEPROM         |
|                              | デバイスサイズ  | 8Kバイト          |
| JEDEC・デバイスID<br>(アトリビュートメモリ) | メーカーID   | 1Ch            |
|                              | デバイスID   | 40h            |
| チェックサム                       | アドレス     | 0000h          |
|                              | ブロック長    | 0093h          |
|                              | チェックサム   | 0Dh            |

ため、この電池に接続されている回路の消費電流を非常に小さく抑える必要がある。これを達成するため、SRAM 部分とアトリビュートメモリ用の EEPROM 部分について次の

対策を実施した。①SRAM 部のみ内蔵電池から電源電圧を供給し、データを保持するようにした。②SRAM 部と EEPROM 部の共通のラインである内部アドレスバス及び内部データバスはバックアップ時、GND レベルに固定した。③ EEPROM 部に入る  $\overline{OE}$  以外の内部コントロール信号は、SRAM 部と分離してバックアップ時には GND レベルにした。この結果、電池の消費電流は、ほぼ SRAM 32 個のスタンバイ電流程度に抑えることが達成できた。

また、IC メモリカードを電池駆動型システムで使用する場合、アドレスバスやデータバスはシステムの中で他のデバイスや IC メモリカードと共有されている場合が多い。したがって、システム内蔵の電池寿命を延ばすためには、アドレスバスやデータバスが動作したスタンバイ状態のカードの消費電流を小さく抑える必要がある。これを達成するため以下の対策を実施した。カード内のアドレスバスバッファとデータバスバッファの入力の初段に、 $\overline{CE1}$  と  $\overline{CE2}$  のスタンバイ信号を入力し、スタ

ンバイ時に内部アドレスバス及び内部データバスが動作しないようにレベルを固定した。この結果、システムの各種バスラインが動作した場合でも固定された場合と同程度にカードのスタンバイ時の消費電流を低減できた。

メモリ IC を 32 個搭載して、各アドレスライン及びデータラインをそれぞれ接続した場合、アドレスバスバッファやデータバスバッファ等の周辺の IC は 200 pF 以上の非常に大きな負荷容量をドライブしなければならず、それに比例して遅延も大きくなっていく。このカードでは、そのようなアドレスバスバッファやデータバスバッファの遅延をできるだけ小さく抑えるため、次の対策を実施した。①偶数バイトと奇数バイトのメモリ IC のモジュールでの物理的な位置をかためて搭載し、内部ラインの配線長さを可能な限り小さく抑えた。②偶数バイトと奇数バイトのメモリ IC の内部アドレスバス及び内部データバスをそれぞれ分割して、内部ラインの負荷容量を百数十 pF に抑えた。この結果、高速動作を達成できた。

### 3.4 電気的特性

図 10 に電源電流の周囲温度依存性を示す。 $I_{CC}$  は 16 ビットデータバス動作時の電源電流、 $I_{sb}$  はスタンバイ時の電

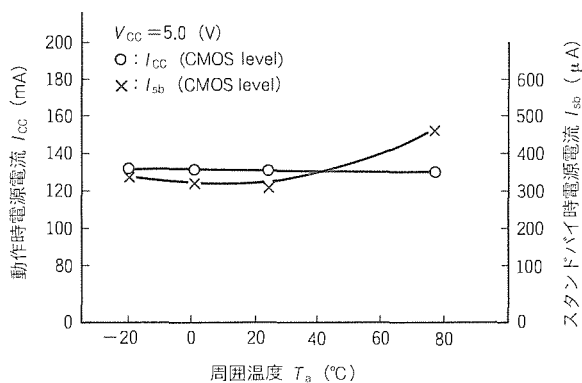


図10. 電源電流の周囲温度依存性

源電流でいずれも入力レベルはCMOSレベルである。標準条件 ( $V_{CC} = 5V$ ,  $T_a = 25^\circ C$ ) では,  $I_{CC} = 135mA$ ,  $I_{sb} = 0.30mA$  であり, 各電源電流は目標値 ( $I_{CC} = 250mA$ ,  $I_{sb} = 2.0mA$ ) に比べて小さく抑えられている。

図11にアドレスアクセスタイム及びカードイネーブルアクセスタイムの電源電圧依存性をシュムープロットで示す。標準条件でアドレスアクセスタイムは120ns, カードイネーブルアクセスタイムは110nsであり, 高速性を達成している。

#### 4. む す び

厚さ0.5mmのDTPに封入した1MビットSRAMを32個と, QTPに封入したカード周辺用IC3個を, 薄形基板に両面実装してJEIDA規格に準拠した厚さ3.3mmの4MバイトSRAMカードを開発した。周辺回路を工夫することにより, 4Mバイトという大容量でデータバックアップ時及びスタンバイ時の低消費電力化と高速動作を達成した。

今後, 携帯型電子機器の高機能・多機能化に伴うアプリケーションソフトやデータの容量増大に対応して, ICメモリカードの大容量化への要求はますます強まるものと予想される。これに対処するために, 最先端のDRAM, SRAM, フラッシュメモリをDTPに封入して数十~100Mバイト以上の超大容量ICメモリカードを開発する予定である。

#### 参 考 文 献

- (1) 田淵正行, 木村正俊, 渡辺忠勝, 白土修一: ミックスメモリカード, 三菱電機技報, **67**, No.3, 300~303 (1993)
- (2) (社) 日本電子工業振興協会: PCカードガイドライン Ver.4.2 (1993)
- (3) Shimamoto, H., Seki, H., Nakao, S., Ueda, T., Teraoka, Y., Yagoura, H., Tachikawa, T., Takehara, M.: TAB Applied VLSI Package and its

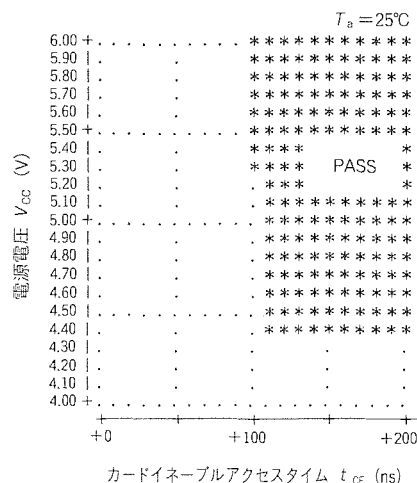
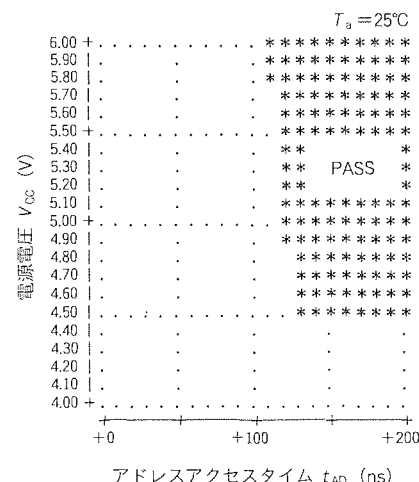


図11. MF34M1-H1EAT××のアクセスタイム  
(16ビットデータバス動作時,  $T_a = 25^\circ C$ )

Performance, IEEE VLSI & GaAs Chip Packaging Workshop Proceeding, Boston, MA, 8~10 (1990)

- (4) 立川 透, 島本晴夫, 竹村誠次: 厚さ0.5mmを実現したICパッケージ, 電子材料, **30**, No.4, 109~114 (1991)
- (5) Shimamoto, H., Uemura, S.: A High-Density-Packaging Module and Packaging Technologies, Mitsubishi Electric ADVANCE, **44**, 22~24 (1988)
- (6) 吉田 稔, 島本晴夫, 上田哲也, 中尾 伸: ASIC対応パッケージング技術の最新動向, 三菱電機技報, **65**, No.2, 171~176 (1991)
- (7) 御坂如英也, 関 博司, 島本晴夫: ゲートアレイとTAB, Semiconductor World 増刊号, **10**, No.9, 163~167 (1991)

# 高性能新16ビット マイクロコントローラ“M16シリーズ”

中尾裕一\* 三輪久晴\*  
北上尚一\* 水垣重生\*  
清水 徹\*\*

## 1. ま え が き

新16ビット ワンチップマイコン“M16シリーズ”の第一弾製品 M16/10 (M31000S2FP) を開発した。10MHz 動作時 4～5MIPS の性能を持つ32ビット CPU コアと OA 機器制御に適した周辺機能及び 2K バイト RAM を搭載し、約 37 万トランジスタを集積する。表 1 に製品概要、図 1 にチップ写真を示す。

開発に当たってはハードウェア記述言語 (以下“HDL”という。) に代表される最新のトップダウン設計技術を適用し、かつセルベース設計手法とハンドクラフト設計手法を最適に組み合わせて使用することにより、コストパフォーマンスが高く、高品質なマイコンを約 1 年で開発できた。

本稿では M16 の設計思想及び設計手法について、M16/10 の開発例をもとに解説する。

## 2. 設 計 方 針

M16/10 の開発着手に先立ち、以下のとおり設計方針を定めた。

- (1) 設計品質向上及び開発工期短縮のため、HDL、論理合成、自動配置配線等のトップダウン設計技術を適用する。これにより、構造化された見通しの良いマイコンハードウェアを実現する。
- (2) 長期にわたる M16 シリーズ展開及びその安定供給を容

易に行うため、インプリメント (ウェーハプロセス方式、レイアウト設計方式等を指す。) 依存度の低い設計とする。具体的には、ノンオーバーラップ 2 相クロックを使用した同期設計とスタティック回路構成に基づいた平易な論理設計を行う。

(3) コスト耐力が要求されるマイクロコントローラ (MCU) に適したコンパクトなチップサイズを実現する。このために、規則性の高い機能ブロック等を中心にハンドクラフト設計技術も採用する。この際、設計効率及び設計品質向上に十分配慮する。

次章以降では、上記設計方針に基づいて実施した M16/10 の開発手法をその開発手順に従って解説する。

## 3. CPU の設計

### 3.1 機 能 設 計

CPU のような大規模論理回路を短期間で開発するためには、設計初期段階における機能検証が重要である。HDL の適用は、以下の理由で機能検証に大変有効である。

- シミュレーション可能な仕様書 (以下“機能モデル”という。) を実インプリメント開始以前に開発できる。
- また、後工程設計の検証は、機能モデルとの一致検証という形式に単純化できる。
- シミュレーション実行が高速である。

#### 3.1.1 機能モデル

M16/10 の CPU 機能モデルは、機能実現に必要なハー

表 1. M16/10 の製品概要

|         |                              |
|---------|------------------------------|
| CPU コア  | : 32ビット                      |
|         | 性能 4～5MIPS                   |
|         | 96命令/9アドレッシング                |
|         | 汎用レジスタ方式 (16本)               |
|         | アドレス空間 16Mバイトリニア×4           |
| 周 辺 機 能 | : 割込みコントローラ                  |
|         | 複合機能タイマ                      |
|         | ウェート/チップセレクトコントローラ           |
|         | DMAコントローラ                    |
|         | DRAMコントローラ                   |
|         | UART                         |
|         | FIFO付きクロック同期シリアル             |
|         | 10ビットA-Dコンバータ                |
|         | 監視タイマ                        |
|         | 汎用入出力ポート                     |
| R A M   | : 2Kバイト                      |
| プ ロ セ ス | : 0.8 $\mu$ mCMOS 1層ポリ 2層アルミ |
| チップサイズ  | : 7.55×9.14 (mm)             |
| 電 源 電 圧 | : 5V                         |
| 消 費 電 力 | : 約300mW                     |

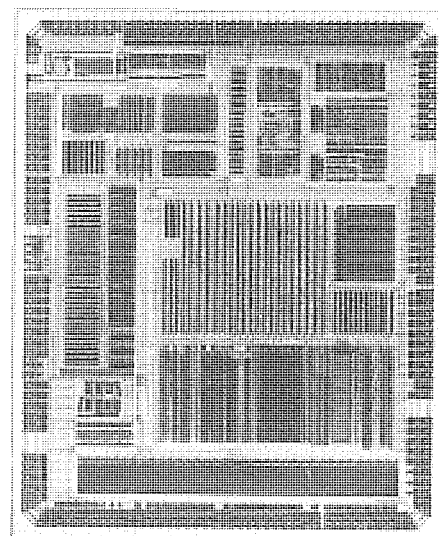


図 1. M16 のチップ写真

ドウェア資源と、そのサイクル単位の動作を HDL によって記述している。機能モデルに含まれるマイクロコードは、汎用のマイクロプログラミングツールを用いて開発した。モデリング上の主な特長を以下に示す。

- パイプラインステージを基本単位として機能分割する。
- LSI で実際に使用される駆動クロックは2相／1マシンスイクルであるが、機能設計及び記述を容易にするために1マシンスイクルをPH1A, PH1B, PH2A, PH2Bの4相に分割して記述する。
- 上記の各クロックごとに実行すべき動作をひとまとめに記述する。

機能モデルにおける記述フォーマットの例を図2に示す。

### 3.1.2 機能検証

機能モデル検証の主たる着眼点は以下の2点である。

### (1) 外部仕様に着目した検証

機能モデルをブラックボックスとして取り扱い、外部仕様のみに着目して開発したテストケースに基づいた検証を行った。これは命令、割込み、外部バス等が各々単一動作として外部仕様どおり機能することを検証するものである。

## (2) ハードウェアに着目した検証

命令や割込みの組合せに起因する機能不具合を効率良く検出するために、CPU 内部のハードウェア状態に関するカバレッジ測定を実施した。今回の機能モデルでは、

- マイクロプログラムの実行アドレス
- 各パイプラインステージごとの制御信号 (状態変数等)

の2種類をカバレッジ測定対象にできる  
ような記述を追加した。

### 3.2 論理設計

論理設計フローの概要を図3に示す。  
論理設計は大きく分けると、

- 合成用モデルの記述と検証
- 論理図データの作成と検証

の2段階から成る。各開発工程の要点を

```
always @(posedge PH1A) begin
    PH1A 立ち上がりエッジでの動作
end

always @(posedge PH1B) begin
    PH1B 立ち上がりエッジでの動作
end

always @(posedge PH2A) begin
    PH2A 立ち上がりエッジでの動作
end

always @(posedge PH2B) begin
    PH2B 立ち上がりエッジでの動作
end
```

図2. 機能モデルの記述フォーマット

以下にまとめる。

### 3.2.1 合成用モデルの作成と検証

前述の機能モデルを論理合成可能な HDL 記述に書き換え、合成用モデルとした。書換えの目的は以下のとおりである。

(1) ハードウェア構成を意識した機能再分割

ランダムロジックで構成される制御部(例:命令デコーダ)と、論理及びレイアウトの規則性が高く容易に集積度を上げることが可能なデータパス部及び $\mu$ ROM部とに機能再分割する。

## (2) インプリメントを意識したクロック記述

機能モデル開発で使った4相クロックを実際の駆動クロックである2相に整理する。PH1A及びPH1BをP1に、PH2A及びPH2BをP2に統合する。

### (3) Dラッチによるモデリング

コンパクトなレイアウトを実現するため、記憶素子として D ラッチを明示的に用いたモデリングを行う。

#### (4) 論理合成用コマンド群の追加

論理合成対象外の部分を読み飛ばすためのコマンド等論理合成ツールに対する種々のコマンド群を追加する。図 4 に合成用モデルのモデリングにおける回路イメージを、図 5 に記述フォーマットの例を示す。

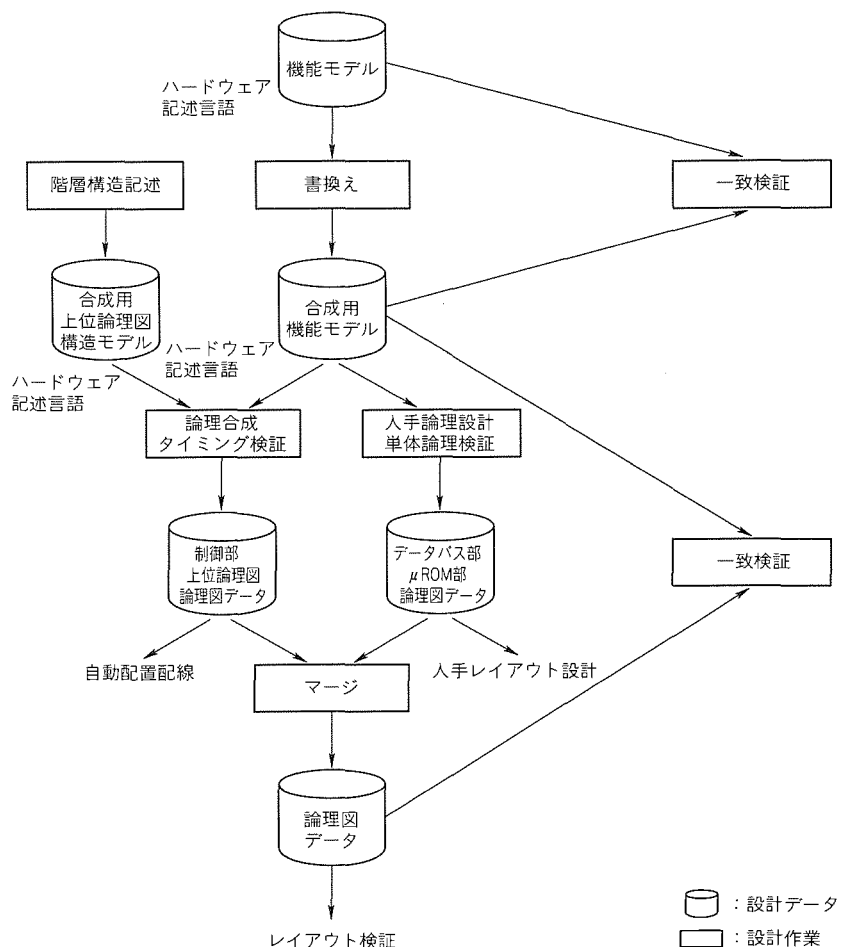


図3. CPUの論理設計フロー

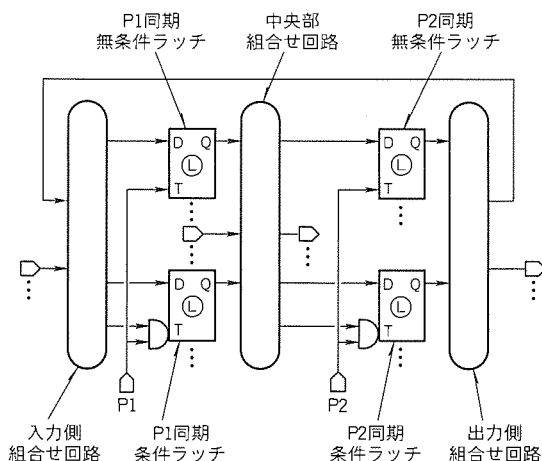


図4. 回路イメージ

合成用モデルの検証は、機能検証で使ったテストプログラム(主として M16の命令列)を用いて機能モデルとの一致検証を行うことによって実施した。

### 3.2.2 論理図データの作成と検証

ランダムロジックで構成される制御部は、合成用モデルに含まれるパイプラインステージ対応の記述階層を取り払った後、全パイプラインステージの制御部を一括して論理合成した。合成された論理に関するタイミング検証は、フォワードアノテーションに基づいたタイミング検証ツールも用いて行った。

データパス部及び $\mu$ ROM 周辺回路部は、合成用モデルの記述を上位仕様書として、人手による論理設計及び論理図入力を行った。 $\mu$ ROM メモリアレー部は、ROM ジェネレータによって自動生成した。人手による論理設計を行った機能ブロックは、合成用モデルの記述からテストケースを作成し、機能ブロック単体による検証を実施した。

最後に論理合成した論理データと人手で設計した論理図データをマージして CPU 全体の最終論理図を生成した。最終論理図の検証は、合成用モデルとの一致検証を行うことによって実施した。

## 3.3 レイアウト設計

CPU のレイアウト設計では以下の点を工夫した。

### 3.3.1 データパス部

- (1) 演算器接続のためにデータパス内部を走る種々の内部バス線がもたらすデータパス高さ方向(データの流れるに垂直な方向)の寸法増大が最小となるよう各演算器類の配置を決定した。
- (2) データパス内部におけるバス信号線の位置をあらかじめ規定し、複数のサブモジュール(演算器、レジスタファイル等)を同時にレイアウト設計した。
- (3) 短期間で高密度なレイアウト設計を行うため、専用に作成したトランジスタ水準のプリミティブセルを用いてハンドクラフト設計を行った。

```
//---Input side combination-----P2---
always @ (xxx or xxx or ... or xxx) begin
end
...
always @ (xxx or xxx or ... or xxx) begin
end
//---Input side register (unconditional) ---P1---
always @ (xxx or P1) if (P1) xxx = xxx ;
...
always @ (xxx or P1) if (P1) xxx = xxx ;
//---Input side register (conditional) -----P1---
always @ (xxx or xxx or P1) if (xxx & P1) xxx = xxx ;
...
always @ (xxx or xxx or P1) if (xxx & P1) xxx = xxx ;
//---Center combination-----P1---
always @ (xxx or xxx or ... or xxx) begin
end
...
always @ (xxx or xxx or ... or xxx) begin
end
//---Output side register (unconditional) ---P2---
always @ (xxx or P2) if (P2) xxx = xxx ;
...
always @ (xxx or P2) if (P2) xxx = xxx ;
//---Output side register (conditional) -----P2---
always @ (xxx or xxx or P2) if (xxx & P2) xxx = xxx ;
...
always @ (xxx or xxx or P2) if (xxx & P2) xxx = xxx ;
//---Output side combination-----P2---
always @ (xxx or xxx or ... or xxx) begin
end
...
always @ (xxx or xxx or ... or xxx) begin
end
```

図5. 合成用機能モデル

### 3.3.2 制御部

- (1) ハンドクラフト設計部(データパス部及び $\mu$ ROM 部)との接続がバッティングで行えるよう、自動配置配線のピン位置を指定した。
- (2) クロック分配遅延によるクロックスキューを抑えるために、クロック信号線の経路指定を行った後、全信号の自動配線を行った。

## 4. 周辺機能の設計

### 4.1 設計手法

周辺機能部は、各機能ブロックが持つ性格によってフルカスタム設計技術とセルベース設計技術を使い分けた。

#### (1) 普遍的機能を持つ周辺機能ブロック

UART や 10 ビット AD 変換器等は標準的周辺機能であり、大きな仕様変更は発生しにくいと考えられる。これらの機能ブロックは、レイアウトサイズを小さくすることを最優先とし、ハンドクラフト設計を行った。

パラレル入出力ポートは、M16 シリーズ展開において種々の仕様組合せが予想されるが、ポートセルをパッド近傍に配置するための形状特殊性を考慮してハンドクラフト設計を採用した。シリーズ展開における機能ブロック再利用性は、1 ビット単位セルの標準化(例:セルサイズはポート機能によらず同一)によって確保することとした。



## (2) 応用分野による仕様変更が想定される機能ブロック

応用分野ごとのニーズ多様性により、仕様変更の可能性がある機能ブロックは、柔軟な再構築が可能な設計手法を採用しておく必要がある。これらの機能ブロックでは、機能設計に当たりハンドクラフト設計で実現するサブモジュールと自動配置配線を実現するサブモジュールの機能分割を十分に考慮した上で、機能記述、論理合成、スタンダードセル自動配置配線等を組み合わせて設計した。タイマ、DMA コントローラにおける事例を以下に示す。

タイマの論理設計では、HDL を用いて合成用モデルを開発した。図 6 に合成モデルの記述フォーマットを示す。カウンタ、FIFO (シフトレジスタ) 等論理の規則性が高いサブモジュールは、人手による論理設計に基づいてハンドクラフト設計を行った。これらのサブモジュールは、合成用モデル中では機能定義のみされており、論理合成時には読み飛ばされる。PWM 機能、周期計測機能等の多様なタイマ仕様を実現する制御サブモジュールは、合成用モデルから論理合成した後にスタンダードセル自動配置配線を用いてレイアウトを

生成した。

DMA コントローラの機能設計では、

- 転送チャネル数の仕様変更が容易
- ステートジェネレータ部 (内部の状態遷移を制御し、演算器類へのハードウェア制御信号をデコード出力する。) の仕様変更が容易

等を目標として、各サブモジュールへの機能分割及びその設計手法を決定した。

レイアウト設計は、ハンドクラフト設計と自動配置配線を併用した。各サブモジュールの形状及び DMA コントローラ全体のフロアプラン決定では以下の点を配慮した。

- 制御レジスタファイル、カウンタ等の相互接続をする内部バス線がもたらすビット高さ方向の寸法増大が最小となるよう各レジスタファイル、カウンタ等を配置する (3.3 節で述べた CPU データパスのレイアウトに類似)。
- チャネル数を変更した場合にも DMA コントローラのレイアウト形状がく (矩) 形を維持できる。

```

assign T1EDB=t1drdst ? {13'h0, t2rstr} : 16'hz ;
always @(t1dwrst or T2_PH or T1EDB or T1HRESET)
    if((t1dwrst | T1HRESET) & T2PH)
        for(i=0 ; i<3 ; i=i+1) t2rstr[i] = ~T1HRESET & T1EDB[i+13] ;

always @(t2rstr or T2H002CK or T2H016CK or T2H064CK or T2H256CK)
    case ({t2rstr[1], t2rstr[2]}) //xxxxxxx parallel _case full _case
        2'b00 : t2dfclk=T2H002CK & t2rstr[0] ;
        2'b01 : t2dfclk=T2H016CK & t2rstr[0] ;
        2'b10 : t2dfclk=T2H064CK & t2rstr[0] ;
        2'b11 : t2dfclk=T2H256CK & t2rstr[0] ;
    endcase

always @(T2PH or T1HTERM)
    if(T2PH) t2rtc=T1HTERM ;
assign T2HSTINT=t2dfclk & t2rtc ;
    
```

制御レジスタリード/ライト動作

カウントクロック選択/出力動作

割込み出力動作

図 6. タイマの機能記述例

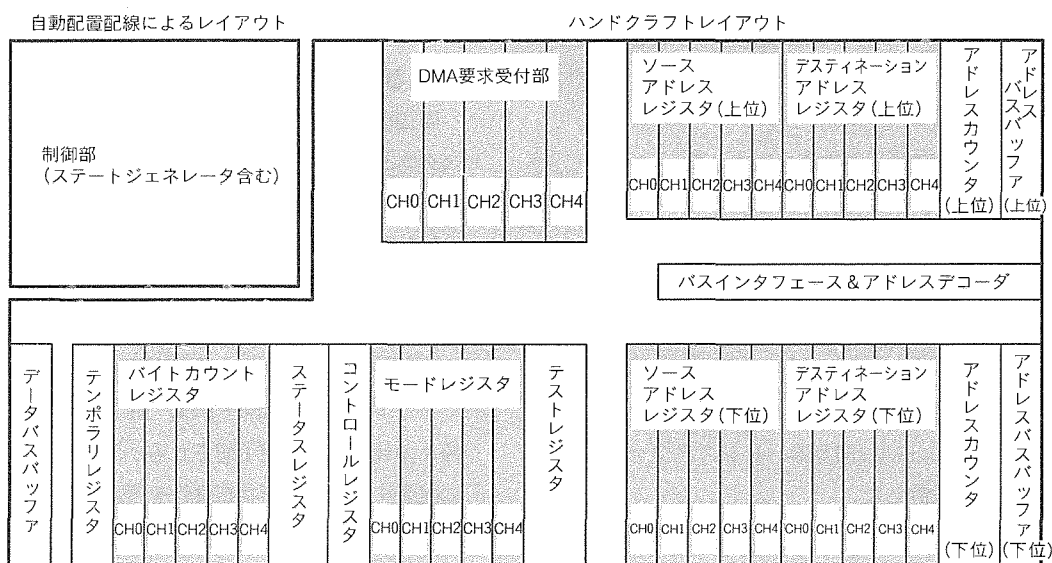


図 7. DMA コントローラのフロアプラン

図7にDMAコントローラフロアプランを示す。

## 4.2 論理検証

ランダムロジックのみで構成される周辺機能の論理検証では、検証対象に与える入力信号(スティミュラス)の効率の生成が重要である。マイコンに内蔵される周辺機能の検証では、周辺機能の制御レジスタがすべて内部バスに接続されているという構造上の特長を生かして、必要な入力信号の大部分を内部バスから与えることが可能である。

今回の開発では内部バス上のリード、ライト動作等を簡潔に表現するバス指向信号記述を自作して検証の効率化を図った。バス指向信号記述で定義される独自フォーマットで記述された入力パターンは、専用の変換プログラムによって論理シミュレータが取扱い可能なテストベンチに変換される。バス指向信号記述を用いた結果、検証入力作成時間を大幅に短縮できたのみならず、デバッグ及び検証用入力パターンのメンテナンスが容易になった。

## 5. チップレベルの設計

### 5.1 チップレベル検証

チップレベル検証とは、3～4章で述べた各機能ブロックの上位レベルにおけるM16/10全体の機能検証である。具体的には、機能ブロック間の情報受渡し(プロトコル)に問題がないかを確認する開発工程である。今回のチップレベル検証では、以下の項目について外部仕様に基づいた検証を行った。

- 周辺機能に対するスレーブアクセス
- 周辺機能から割込みコントローラへの割込み要求伝達
- 内部バスのアービトレーション
- ウェイトコントローラによるウェイト挿入、リカバリサイクル挿入

●DRAMコントローラによるトランザクション変換

### 5.2 チップレベルレイアウト

チップレベルのレイアウト生成は、ジェネラルセル自動配置配線によって行った。機能ブロックをフロアプランに従って人手配置した後、電源及びクロックを手配線した。その後、残りの全信号線を自動配線し、インタラクティブな配線修正及びコンパクションを反復使用してチップサイズの最適化を図った。この結果、ほぼ目標どおりのチップサイズを実現した。

## 6. むすび

M16/10の開発を通じて、トップダウン設計技術をマイコン開発に最適利用する基礎を確立することができた。今後、トップダウン設計をより積極的に適用することにより、高付加価値なマイコン製品をタイムリーに開発し、M16シリーズの充実、発展を図っていく予定である。

## 参考文献

- (1) 岩田俊一, 清水 徹, 土居俊雄, 中尾裕一, 水垣重生, 三輪久晴: 1チップマイクロコンピュータ M16の機能設計, 電子情報通信学会, ICD 93-88, DSP 93-49 (1933-9)
- (2) 岩田俊一, 土居俊雄, 西川浩司, 水垣重生, 清水 徹: 1チップ・マイクロコンピュータ M16の開発(1)ハードウェア記述言語を駆使した機能設計, 情報処理学会第47回全国大会講演論文集(6) (1993)
- (3) 土居俊雄, 岩田俊一, 梶井規雄, 前田弘美, 水垣重生, 清水 徹: 1チップ・マイクロコンピュータ M16の開発(2)パイプラインの状態を考慮した機能検証, 情報処理学会第47回全国大会講演論文集(6) (1993)

# データリンク層通信プロトコル コントローラ内蔵MCU

長 芳樹\* 田代 哲\*  
山ノ井悟郎\* 藤沢行雄\*\*  
林 良紀\*

## 1. ま え が き

マイクロコントローラ (MCU) を複数使用して分散制御を行うシステムでは、一つのメイン制御用マイコンに対して、複数のスレーブ制御用マイコンがそれぞれ専用のシリアル通信機能 (UART 等) を介して接続されていた。しかし、通信の誤り検出・訂正が十分に行えないことによる信頼性の問題やシステムの機能数に比例してシリアル通信に必要な線路が増すことによるコスト・拡張性に問題があった。

近年、これを解決するためにデータ通信プロトコルコントローラを用いて、より高い信頼性と拡張性を備えたシステムが様々な応用システムごとに開発されてきた (図1: カーオーディオシステムの一例)。ところが、一つの応用分野であってもその通信プロトコルが統一されていないのが実状であり、通信プロトコルの方言が存在することも珍しくない。そのため、短期間で各種通信プロトコルに対応できる通信プロトコルコントローラの開発が望まれていた。

しかし、通信プロトコルコントローラをハードワイヤードロジックのみで実現すると、各種通信プロトコルごとに通信コントローラを開発しなければならない。そこで、通信プロトコルコントローラ部を高速処理が可能なオンチップ化されたサブMCU (以下“サブMCU”という。) を用い、三菱電機㈱の8ビットMCU38000シリーズに内蔵したデュアルCPU構成のMCUを開発した。この開発により、ファームウェアの変更で短期間で各種データリンク層通信プロトコルに対応でき、かつ実装面積の縮小及びシステムコストの

低減を実現した。

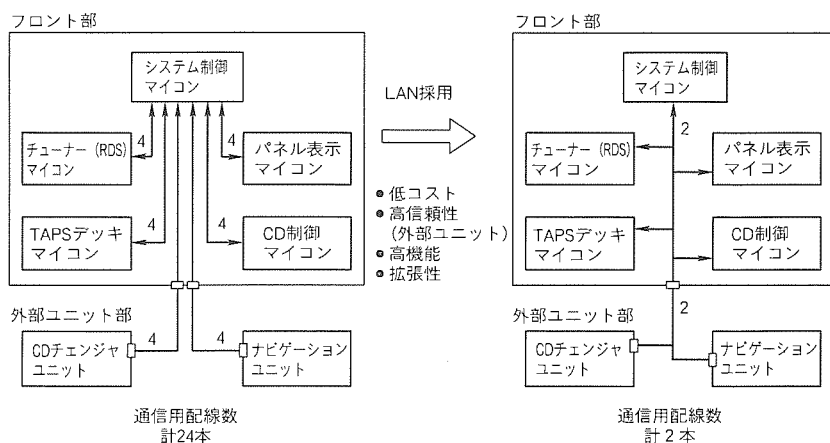
## 2. データリンク層通信とその伝送制御手順

データリンク層通信とは、国際標準化機構 (ISO) 及び国際電信電話諮問委員会 (CCITT) によって標準化された OSI (Open Systems Interconnection) 参照モデル中に規定されたデータ通信の一つのレベルである (表1)。

一般的にデータ通信を間違いなく行うには、回線接続、送受信、誤り制御などの制御手順を実行する必要がある。この制御手順を伝送制御手順 (通信プロトコル) という。専用回線を用いたデータ伝送において、伝送制御手順を用いたデータ伝送を行うには、次の手続きに従ってデータを送受信しなければならない。

### (1) データリンクの確立

相手の確認、伝送先の指定、送受信準備状態の確認を行い、



(a) 従来システム

(b) データリンク層通信プロトコルを使用したシステム

図1. データリンク層通信プロトコルを使用したシステム例  
(カーオーディオシステム)

表1. OSI参照モデルによるプロトコル階層の概念

| レベル | 階 層 名      | 各階層の意味                              |
|-----|------------|-------------------------------------|
| 7   | アプリケーション層  | 業務の中の通信に関する部分だけを共通的に取り扱う層           |
| 6   | プレゼンテーション層 | 伝送双方で転送されるデータの意味、解釈を共通にするなどを行う層     |
| 5   | セッション層     | 相手セッション層との送受信、同期制御などを行う層            |
| 4   | トランスポート層   | これより上位の層にネットワークを意識させない等価な伝送をサポートする層 |
| 3   | ネットワーク層    | ネットワークを介して中継を行うパケットレベルの制御を行う。       |
| 2   | データリンク層    | 物理ノード間の誤り制御を行う伝送制御を規定する。            |
| 1   | 物 理 層      | 電気的接続や伝送路との物理的接続を規定する。              |

送受信間の経路をデータ伝送可能状態にする。

## (2) 情報の転送

データの伝送、誤り検出時には訂正又はデータを再送する。

## (3) 終結

送受信両端末間でデータ伝送の終了を確認し、装置を初期状態に戻す。

今回開発したデータリンク層通信プロトコルコントローラ内蔵 MCU は、以上のような通信レベルを用いたシステムを構築することを可能としたものである。

## 3. データリンク層通信プロトコル コントローラ内蔵MCU

### 3.1 概要

表2に今回開発した MCU の性能概要を、図2にそのチップ写真を示す。周辺機能の一つであるデータリンク層通信プロトコルコントローラは、メイン CPU とは異なるアーキテクチャを採用した専用のオンチップサブ MCU で実現した。データ伝送の伝送制御手順は、それに適したハードウェアとオンチップサブ MCU のファームウェアで実現した。その他の周辺機能としては、シリアル I/O、タイマ、A-D 変換器、キーオンウエークアップなどを備えた。

### 3.2 伝送制御手順

今回開発したデータリンク層通信プロトコルコントローラ内蔵 MCU の通信プロトコルのデータ伝送レートは、約 3～40 kbps であり、マルチマスタ方式を採っている。変調は PWM 方式の一種を用いる。送信の優先制御は CSMA/CD (Carrier Sense Multiple Access with Collision Detection) を採用している。CSMA/CD とは、データ送出しようとしている送信ユニットが伝送路を監視し、伝送路が占有されている場合にはデータ送出を待ち、伝送路が空いていればデータを送出する手法である。送信ユニットは、データ送

出後もデータの衝突がないか伝送路を監視し、衝突があった場合はデータを再送する。

一例として、ある通信プロトコルにおけるフレームフォーマット及びビットフォーマットを図3に示す。図中のマスタアドレスで送信元、スレーブアドレスで受信先を指定する。データリンクの確立は、マスタアドレス送出中に1ビットごとに行われる。ある送信ユニットが優先制御(アービトレーション)に負けた場合、その送信ユニットは自動的に3回までデータ通信を行う。3回とも優先制御に負けるとデータ通信エラーとなる。

誤りの訂正は送信元が送信したデータ及びパリティを受信側で比較して行う。誤りがあった場合は受信先がアクノリッジを返さず、アクノリッジが返されなかった場合、送信元はアクノリッジが返ってくるまで伝送データを再送する。ただし、データの再送は1回のデータ伝送で許される最大伝送バイト数を超えると終了し、データ通信エラー(データフィールドエラー)となる。

図中のビットフォーマットは、信号出力準備期間(TP1)、同期信号出力・保持期間(TP2)、データ信号出力期間(TP3)、停止信号出力期間(TP4)から構成されている。各期間の規定はフレームフォーマット中の各フィールドやデータ伝送レートによって異なる上に、その値は比較的簡単な整数倍となっていない場合がある。この MCU では、各規定に対応するタイミングがファームウェア変更により、プログラマブルとなっている。

## 4. オンチップサブMCU

### 4.1 概要及び特長

今回開発したデータリンク層通信プロトコルコントローラ

表2. データリンク層通信プロトコルコントローラ内蔵MCUの性能概要

| 項 目                      | 性 能                                |
|--------------------------|------------------------------------|
| 基本命令数                    | 71                                 |
| 命令実行時間                   | 0.64 $\mu$ s (最短命令, 発振周波数は6.29MHz) |
| 発振周波数                    | 6.29MHz (最大)                       |
| 入出力ポート                   | 8ビット×9本                            |
| 入力ポート                    | 1ビット×1本                            |
| シリアル I/O 1               | 1本 (クロック同期形又は非同期形)                 |
| シリアル I/O 2               | 1本 (クロック同期形)                       |
| タイマ                      | 16ビット×2本, 8ビット×3本                  |
| A-D変換器                   | 8ビット×8チャンネル                        |
| キーオンウエークアップ              | 8チャンネル                             |
| データリンク層通信<br>プロトコルコントローラ | 1チャンネル                             |
| 割 込 み                    | 27要因 (外部10, 内部16, ソフトウェア1要因)       |
| クロック発生回路                 | 内蔵 (セラミック共振子外付け, 水晶共振子外付け)         |
| 動作電源電圧                   | 4.5~5.5V                           |
| 動作周囲温度                   | -40~85°C                           |

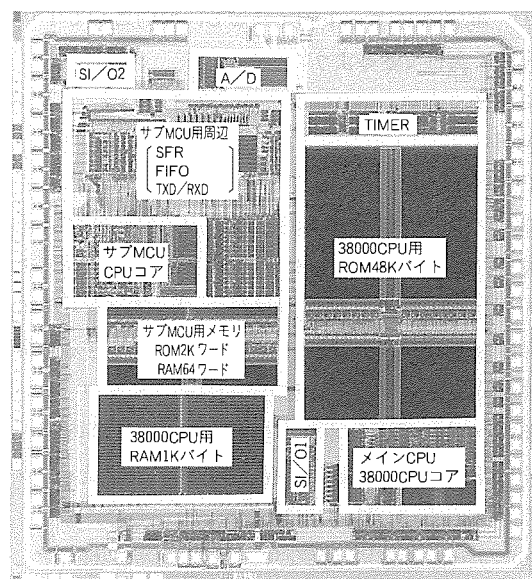
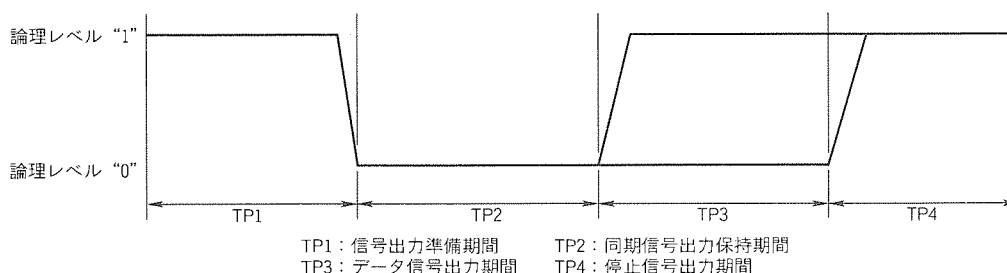


図2. データリンク層通信プロトコル  
コントローラ内蔵MCUのチップ写真



(a) フレームフォーマット



(b) ビットフォーマット

図 3. フレームフォーマット及びデータフィールドにおけるビットフォーマット

内蔵 MCU の大きな特長であるオンチップサブ MCU について説明する。表 3 にオンチップサブ MCU の性能概要を、図 4 にそのブロック図を示す。前述のデータリンク層通信プロトコルをコントロールするためには、高速な演算 (16 ビット)・分岐制御・割込みが必要であった。このために、以下のような工夫をオンチップサブ MCU に盛り込んだ。

- (1) 命令は 16 ビット固定長とし、原則として 1 サイクル/命令で実行できるようにした。
- (2) 基本クロックから二つのノンオーバーラップクロック (TMH, TML) を生成し、それぞれ読出し (TML) と書込み (TMH) の基本クロックとして使用した。
- (3) オンチップサブ MCU の各周辺ファンクションを制御するファンクションレジスタを CPU 内部レジスタとして割り付け、データバス内に接続し、高速アクセスを可能とした。
- (4) 任意レジスタ/ビットで条件判定ができる命令を用意し、条件成立から分岐を高速化した。
- (5) メイン CPU-オンチップサブ MCU 間のデータ授受は、データのアクセス競合を避けるために、機能・ビットごとにデータの流れが単一方向となるようにした。
- (6) データ通信に必要なサブ MCU の周辺機能として、
  - 変調に必要なタイマ
  - シリアルデータ入出力に必要なパラレル/シリアル変換レジスタ

表 3. サブMCUの性能概要

|           |  |
|-----------|--|
| 機械語命令     | 16ビット固定長                                 |
| 命令数       | 88                                       |
| 最短命令実行時間  | 160ns(6.3MHz時) 1命令/サイクル実行が原則             |
| 最大メモリ空間   | 8 Kワード (1ワード=16ビット)                      |
| データバス     | 16ビット                                    |
| プログラムカウンタ | 13ビット                                    |
| レジスタ空間    | 最大64ワード (スタック, アドレス指定, スペシャルファンクションを含む。) |
| スタック      | 8ワード (うち6は割込み飛び先, 戻り先番地退避と兼用)            |
| アドレス指定    | 2ワード                                     |
| タイマ       | 16ビット×2本 (レジスタ空間内に配置)                    |
| TXD/RXD   | シリアル/パラレル変換レジスタ, パリティチェック機能              |

- データ伝送路のモニタに必要なデータ入力立ち上がり、立ち下がりエッジ検出などの割り込みを設けた。

#### 4.2 高速化の工夫<条件分岐制御>

データリンク層通信において、ビットフォーマット (図 3) のある期間から次の期間に移るときには各期間に対応した処理へ状態遷移する間、伝送路の監視に不感帯が発生する。この不感帯を減らすために、任意レジスタ/ビット参照して判定できる専用命令を設けた。

この任意レジスタ/ビット参照による分岐判定方式と従来のフラグ参照 (MELPS 740 等) による分岐判定方式との比較を図 5 に示す (レジスタ A の i ビット目が "0" から "1" に変化するときに分岐する例)。図 5(a) に示すように、任意レジスタ/ビット参照方式では参照するレジスタ及びビットの指定が必要となるが、条件判定・分岐ループ内でフラグ参照のような参照値の更新操作が不要となる。これにより、図 5(b) に示すように条件分岐制御ループ内のステップ数を減らせる。両者のプログラムを実行すると図 5(c) のようにな

る。ただし、どちらの方式が高速な分岐が可能かを明確にするために、いずれの方式も各命令実行サイクルは“1”とした。図中のタイミングTでレジスタAのiビットが“0”か

ら“1”に変化した場合、二つの方式を比較すると任意レジスタ/ビット参照による分岐判定方式の方がフラグ参照方式より2ステップ早く分岐できることが分かる。

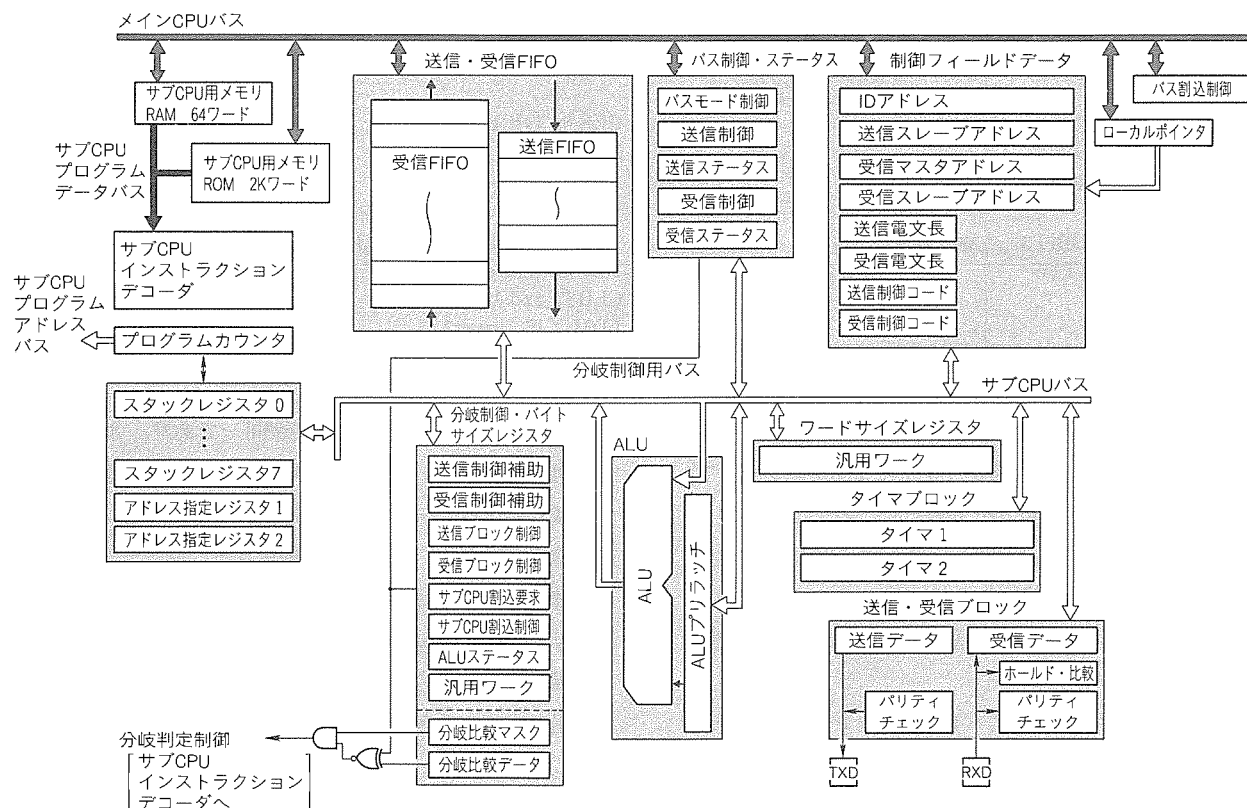


図4. オンチップサブMCUのブロック図

|                | 任意レジスタ/ビット参照 | フラグ参照 |
|----------------|--------------|-------|
| 参照レジスタ/ビットの指定  | 必要           | 不要    |
| 参照レジスタ/ビット値の更新 | 不要           | 必要    |

(a) 特長の比較

| 任意レジスタ/ビット参照 |                         | フラグ参照 |                          |
|--------------|-------------------------|-------|--------------------------|
| ステップ         | ニーモニック                  | ステップ  | ニーモニック                   |
| 2-1          | BMS i, A : 専用命令         | 1-1   | LOOP : TST i, A : 参照値の更新 |
| 2-2          | LOOP : BRC EXE1 : 条件判定・ | 1-2   | BRC EXE1 : 条件判定・         |
| 2-3          | BRA LOOP : 分岐ループ        | 1-3   | BRA LOOP : 分岐ループ         |
| 2-4          | EXE1 : MOV A to B :     | 1-4   | EXE1 : MOV A to B :      |

(b) プログラムリスト

任意レジスタ  
／ビット参照

ニーモニック  
ステップ

|     |     |     |     |     |     |     |     |     |     |     |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| BMS | BRC | BRA | BRC | BRA | ... | BRC | BRA | BRC | MOV | ... |
| 1-1 | 1-2 | 1-3 | 1-2 | 1-3 | ... | 1-2 | 1-3 | 1-2 | 1-4 | ... |

フラグ参照

ニーモニック  
ステップ

|  |     |     |     |     |     |     |     |     |     |     |     |     |
|--|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
|  | TST | BRC | BRA | TST | ... | TST | BRC | BRA | TST | BRC | MOV | ... |
|  | 2-1 | 2-2 | 2-3 | 2-1 | ... | 2-1 | 2-2 | 2-3 | 2-1 | 2-2 | 2-4 | ... |

↑ タイミングT  
レジスタAのビットiが“1”

(c) 実行サイクル比較

図5. データリンク層通信プロトコルコントローラ内蔵MCU

表4. サブMCUと38000シリーズCPUのプログラム比較

| サブMCUのCPU                 |                    |       | 38000シリーズCPU            |                    |       |
|---------------------------|--------------------|-------|-------------------------|--------------------|-------|
| ニーモニック                    | 動作                 | サイクル数 | ニーモニック                  | 動作                 | サイクル数 |
| MOU w DBIT1 to stack7     | ジャンプ先の記憶           | 2     | LDA # >ID_ADRS          | 送信アドレスのロード         | 3     |
| MOU w ID_ADRS to txd_data | 送信アドレスのストア         | 1     | STA txd_data            | 送信アドレスのストア         | 4     |
| MOU b # 03H to txd_pnt    | シフトレジスタの<br>ポインタ設定 | 1     | LDM # \$ 03, txd_pnt    | シフトレジスタの<br>ポインタ設定 | 4     |
| CLB 0, txd_block          | 送信準備               | 1     | CLB 0, txd_block        | 送信準備               | 5     |
| MOU b # 00H to rxd_block  |                    | 1     | LDM # \$ 00, rxd_block  |                    | 4     |
| BRA t abs stack7, stack8  |                    | 1     | JSR DBIT1               |                    | 6     |
| DBIT1 :                   |                    |       | DBIT1 :                 |                    |       |
| BBC 1, rxd-block, DBIT3   | 送信処理               | 2     | BBC 1, rxd-block, DBIT3 | 送信処理               | 5     |
| BBC 0, int-req, DBIT1W    |                    | 2     | BBC 0, int-req, DBIT1W  |                    | 5     |
| CLB 1, txd-block          |                    | 1     | CLB 1, txd-block        |                    | 5     |
| MOU b # 15 to timer1      |                    | 1     | LDM # 15, timer1        |                    | 4     |
|                           |                    | 合計13  |                         |                    | 合計45  |

#### 4.3 オンチップサブMCUとメインCPUとの比較

概要と特長で述べたような様々な工夫によってオンチップサブMCUの高速な処理能力を実現した。ここでは、オンチップサブMCUのパフォーマンスを示すために、オンチップサブMCUを用いた場合と、その代わりに38000シリーズCPUを用いた場合とを簡単なプログラムによって比較する。

表4に送信データ(マスタアドレス)をコントローラが取り込んでから送信するまでのプログラム例を示す。ニーモニックレベルのライン数は同じだが、各命令の実行サイクル数が大きく異なる。オンチップサブMCUの実行サイクル数は、38000シリーズCPUの約1/3となっており、オンチップサブMCUの方が6倍高速である(オンチップサブMCUのマシンクロックは38000CPUの2倍)。

#### 5. む す び

この論文では例題として一つの通信プロトコルについてのみ説明したが、オンチップサブMCU方式では、データ伝

送線路のハードウェア構成が同一であり、オンチップサブMCUのパフォーマンスで対応できるデータ伝送速度であれば、異なるデータリンク層通信プロトコルをファームウェアの変更により、短期間で実現できる。ファームウェアの開発は、チップの開発と比べると短期間でできる。J1850 (Society of Automotive Engineers Inc. (SAE) によって統一・規格化された。)や独自のプロトコル開発などへの応用・展開を検討中である。

#### 参 考 文 献

- (1) 岡本 泰, 在本昭哉, 菊山誠一郎, 高井一兆, 村松菊男: 自動車用LANコントローラ, トランシーバーIC, 三菱電機技報, 67, No.3, 282~286 (1993)
- (2) 林 良紀, 倉持昌司, 竹内 稔, 広川祐之: プロトコル制御用マイクロコンピュータ, 三菱電機技報, 67, No.3, 292~294 (1993)
- (3) 井上伸雄: 通信・ニューメディアがわかる事典, 日本実業出版社 (1993)



## システム提案型マイコン応用技術

樋口敬三\*  
山田園裕\*  
杉本正樹\*\*

## 1. ま え が き

マイクロコンピュータ（以下“マイコン”という。）には、パソコンに使用されるマイクロプロセッサ（MPU）と、家庭用電化製品からOA、情報通信機器、自動車等のマイクロコントローラ（MCU）として使用される機器組込み型マイコンがある。三菱電機㈱では後者のマイコンを4ビットから32ビットまでシリーズ展開中である。

近年のマイコン市場環境では、複雑なシステムをより安くかつ短工期で実現することを要求され、この解決策と差別化をソフトウェアによるノウハウの作り込みに求めるケースが増えている。この市場要求にこたえるためには単にマイコンのLSIとしての素材だけでなく、これをどう応用するかの技術提案とこれを具体化した応用技術提供が必ず（須）である。

三菱電機㈱では市場でのマイコン検討段階からの円滑な評価環境を提供する手段として、応用製品設計の視点に立ったシステム提案を実施しており、各種応用でのシステム評価ツール（通称デモセット）やこれを基にした新たなLSIやソフ

トウェアを提供してきた。ここでは、その具体的な内容について報告する。

## 2. 機器組込みマイコンの応用

## 2.1 機器組込みマイコンのモデル

ここで論じる機器組込みマイコンの制御モデルは、図1に示すように制御対象がモータやアクチュエータの場合や、メモリ中のデータや外部データ処理装置である場合とがあり、次の2モデルに分類できる。

## ●メカ制御型

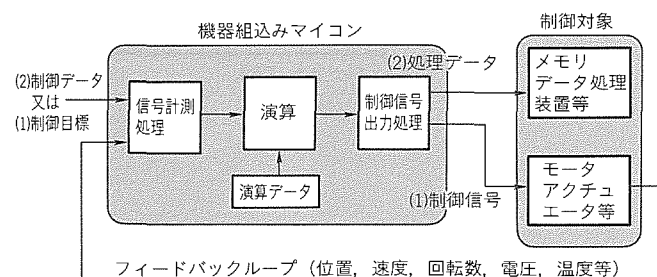


図1. 機器組込みマイコンの制御モデル

表1. 機器組込みマイコンの各種応用での処理内容

| 項 目<br>応用例                      | プログラムの規模<br>(バイト) | 処理系の応答速度*       | 応答速度の要因                | 主な処理の内容                       |   |                                 |
|---------------------------------|-------------------|-----------------|------------------------|-------------------------------|---|---------------------------------|
|                                 |                   |                 |                        | 入力データ                         | 演算処理  | 出力（制御信号、データ）                    |
| VTRサーボ                          | 32~48K            | 1 ms            | ドラム、キャプスタンモータの回転数、位相   | 両モータの速度、位相パルス                 | モータ回転数のエラー値と制御量算出                           | モータ駆動用PWM波形                     |
| エアコン用インバータ                      | 16~32K            | 300 $\mu$ s     | インバータ用三相PWM周波数（搬送波周波数） | 回転速度の指令                       | 三相PWM波形幅の計算                                 | 三相モータ駆動用PWM波形                   |
| HDD<br>(Hard Disk Drive)        | 32~64K            | 200~300 $\mu$ s | ディスクの回転数とディスク上のセクタ間隔   | ディスク上のトラック情報<br>コンピュータからのコマンド | モータ制御量の計算<br>コマンド解析、キャッシュ（メモリ）制御            | PWM又はD-A変換器によるモータ駆動の波形HDC、モータ制御 |
| 自動車エンジン制御                       | 32~64K            | 1~10ms          | エンジンの回転数とピストン数         | 回転数、温度、速度、空気流量                | リアルタイムに変化する入力に応じた燃料噴射時間と充電時間計算（テーブル参照、補間計算） | 燃料噴射量<br>点火時期                   |
| シリアル系プリンタ                       | 64~150K           | 100~500 $\mu$ s | 印字ヘッドへのデータ転送時間         | プリンタ言語データ<br>モータ位置情報          | プリンタ言語の解釈／印字情報への分解<br>印字ヘッド移動情報             | 印字ヘッドデータ出力<br>ステップモータ駆動パルス      |
| LBP画像処理<br>(Laser Beam Printer) | 0.5~1M            | 約100ms          | LBPエンジンの印字能力（枚／min）    | プリンタ言語データ                     | プリンタ言語解釈／イメージ情報への分解とビデオRAMへの転送              | LBPエンジンへのビデオ信号出力                |

注 \* 処理系のサンプリング時間の目安（クリティカル時間ではない。）

●データ処理型

前者の例として、VTRやHDDのサーボ制御や自動車のエンジン制御等があり、後者の例はプリンタやFAX等で見られるイメージ処理応用がある。表1にこの代表例を挙げマイコン処理の内容を整理した。

図2にメカ制御型のHDDヘッドにおける位置決め制御の応用例を示し、その処理系を説明する。HDDでは磁気ヘッドが記録された磁気面を正確にトレースできるよう、あらかじめ記録面にパルス列(バースト情報)がセクタごとに書

き込まれている。マイコンではこのバースト情報をA-D変換器で読み込み(図1の信号計測処理)、磁気ヘッドのズレを計算し(図1の演算)、ボイスコイルモータへのサーボ制御信号としてPWM信号(図1の制御信号出力)を出力する。例えば、ディスクが5,400r/minで回転し、記録面のセクタが50セクタ/トラックで記録されていると、セクタパルスの周期は222 $\mu$ sとなる。HDD応用は、図2のサーボ演算をこの時間内で必ず完了しなければならない局所パワーを要する。また、逆に余剰時間はコンピュータ側とのインタフ

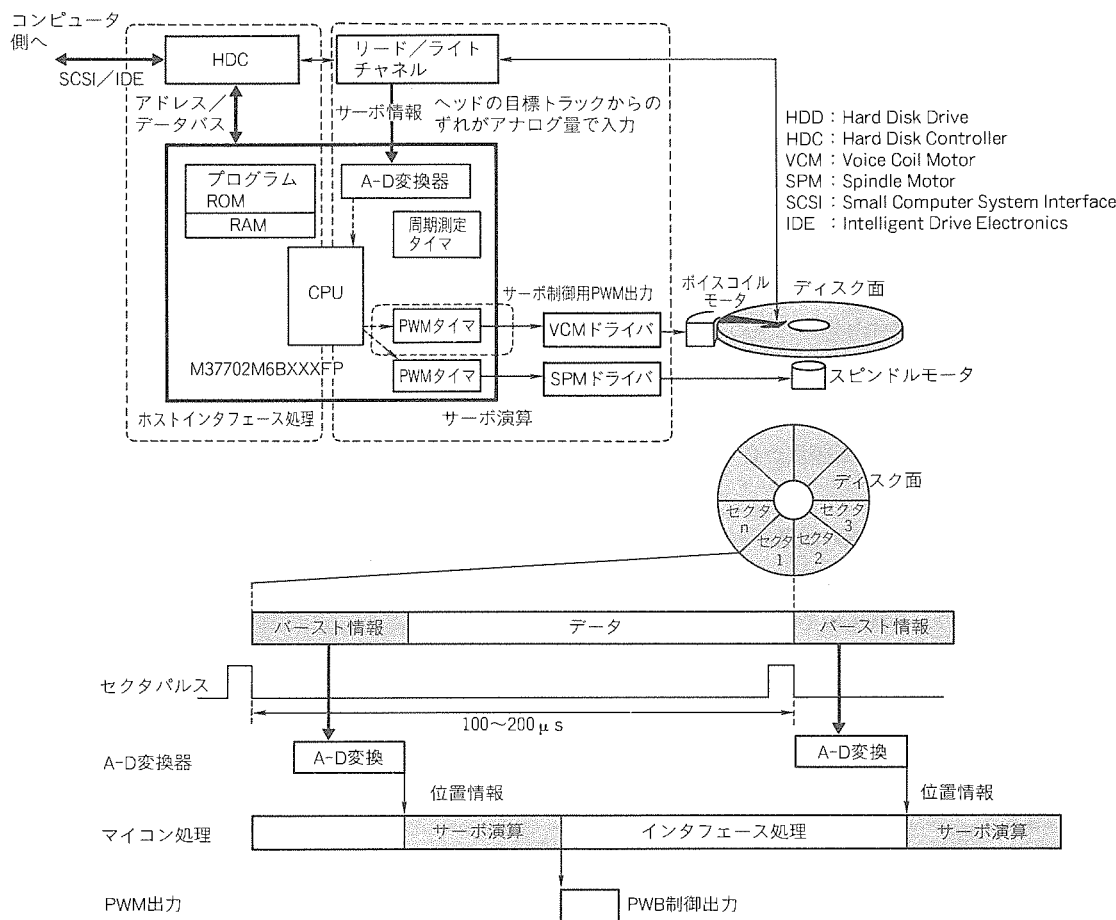


図2. HDDシステムのマイコン制御例（ヘッドの位置決め制御）

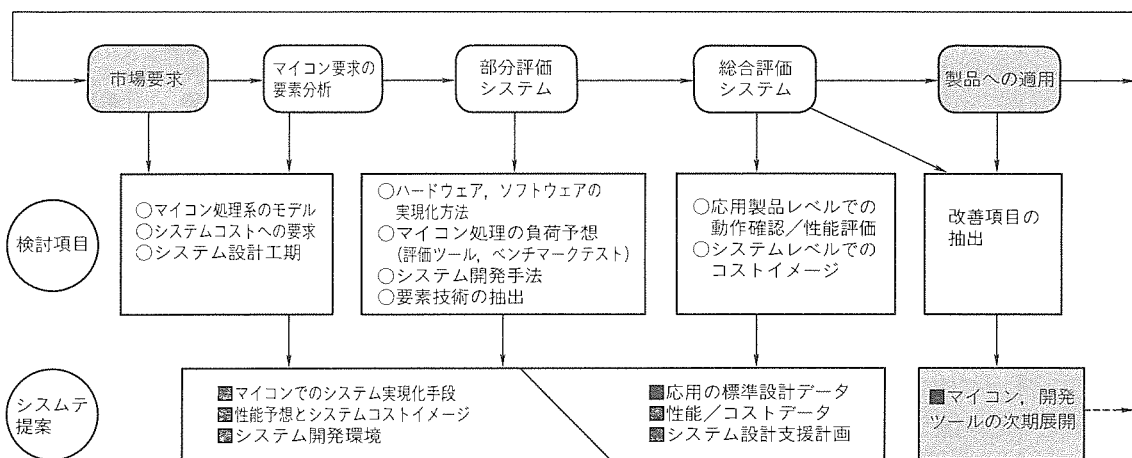


図3. システム提案型応用技術開発のサイクル

エース処理に割り付け、2個のマイコンで行う処理を1個にすることもできる。

プリンタのイメージ処理は、次の操作を連続的にリアルタイムで実行する。

- (1) ホストコンピュータからの印字データ受信
- (2) 印字データ (プリンタ言語) の解析
- (3) プリンタ言語のビットマップイメージデータへの変換と RAM への一時格納 (描画)
- (4) プリンタ印字部のタイミングに同期したデータ転送

以上の処理は大量のデータを加工するため、マイコンの総合的な処理能力を必要とし、(1)～(4)までが一つのマイコン内で同時進行するかのように実行される。(2)、(3)の処理が(1)のホストコンピュータからのデータや、(4)のプリンタ印字メカの速度より速くなるようなマイコン選択とソフトウェア設計が行われる。

## 2.2 マイコン評価技術とシステム提案

2.1 節の HDD とプリンタ応用例で述べたように、各種の機器組み込み応用で、マイコンの適合性を正しく評価することは、ハードウェアとソフトウェアの組合せが多いため難しい。マイコンのシステム設計では、できる限り最終応用製品に近い環境で評価することで、マイコンの負荷状況を把握し、ハードウェア、ソフトウェアの最適ナリソース配分をすることにより、最適化設計が可能となる。一方で、この手法はシステムの規模が大きいくほど、適合性評価が複雑になるため、実現のための時間と費用を考えると現実的ではない。

市場要求から当社マイコンでのシステム提案、評価システムの提供による問題解決提案までに至るサイクルの事例を図3に示す。この手順を選択的に実行することでマイコン評価をより実応用に近い環境で迅速に行うことが可能である。

## 3. マイコンシステム提案の事例

この章では図3で示したマイコン評価とシステム提案をど

表2. M16/10 (M31000S2FP) の概略仕様

| 性 能     |                    | マシンサイクル 100ns (外部クロック入力20MHz時)  |
|---------|--------------------|---|
| マイコン・コア | レジスタ構成             | 汎用レジスタ: 32ビット×16本<br>制御レジスタ: 32ビット×4本                                       |
|         | 命令/アドレッシング         | 86基本命令/9アドレッシングモード  |
|         | バス仕様               | 基本バスサイクル 100ns<br>外部データバス 16ビット<br>外部アドレスバス標準仕様 24ビット                       |
|         | インプリメーション          | パイプライン4段<br>(レジスタ-レジスタ間演算高速化を主眼とするRISC風構成)                                  |
| 周辺機能    | 割込みコントローラ          | 22要因, 8レベル優先順位管理  |
|         | 複合機能タイマ            | ワンショットパルス出力<br>PWM<br>リアルタイムFIFO<br>1相イベントカウント/周期計測<br>2相イベントカウント<br>定周期タイマ |
|         | ウェイト/チップセレクトコントローラ | 4ブロック, CS0-3出力  |
|         | DMAコントローラ          | 5チャンネル  |
|         | DRAMコントローラ         | マルチプレックスアドレス, リフレッシュタイマ内蔵   |
|         | UART               | 1チャンネル  |
|         | FIFO付きクロック同期シリアル   | 1チャンネル, 送信・受信各々16バイトFIFO  |
|         | A-Dコンバータ           | 10ビット分解能, 8マルチプレックス入力   |
|         | 汎用入出力ポート           | 60ビット (11ポート)   |

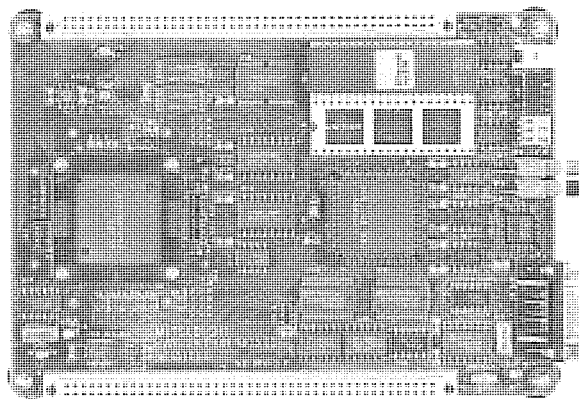


図4. MSA1000評価ボードの外観

表3. M16/10評価ボード (MSA1000) の仕様

| MCU      | M16/10 (M31000S2FP)                            |
|----------|--|
| 動作モード    | ● スタンドアロン (評価ボード)<br>● インサーキット (ユーザーターゲットに接続)  |
| システム用メモリ | EPROM 256Kバイト<br>SRAM 64Kバイト                   |
| ユーザー用メモリ | EPROM 64~512Kバイト<br>SRAM 128Kバイト<br>DRAM 1Mバイト |
| システムI/O  | UART, TIMER, PPI (並列ポート)                       |
| コネクタ     | 40ピン: インサーキットアダプタ用<br>90ピン: M16ローカルバスコネクタ      |
| 寸法 (mm)  | 170×120×25, B6版サイズ, 両面実装                       |

のような形で実現してきたかを新16ビットマイクロコントローラ M16/10 (M31000S2FP) のプリンタへの適用例を通じて解説する。

### 3.1 要求モデル分析

M16/10は表2にその製品概要を示すように従来の16ビットマイコンに比べて十分なデータ処理能力を持ちながら、モータなどのメカトロ制御も可能なマイクロコントローラである。この素材を使えるプリンタ製品は、コストに対して極めて敏感である。応用技術開発に当たり、次のような製品適用のモデルを想定した。

- (1) マイコンだけでなくメモリ、周辺機能も含めたシステム全体でコスト/性能比が高いこと(簡単なハードウェア)。
- (2) 従来の16ビットマイクロコントローラでは負荷の重いプリンタ記述言語 (Page Description Language : PDL) 実行での性能を確保できること。
- (3) 応用に特化したハードウェア、ソフトウェアを要素技術として開発し、マイコンの特長を生かせる技術として提供できること。

### 3.2 マイコン評価用ハードウェア

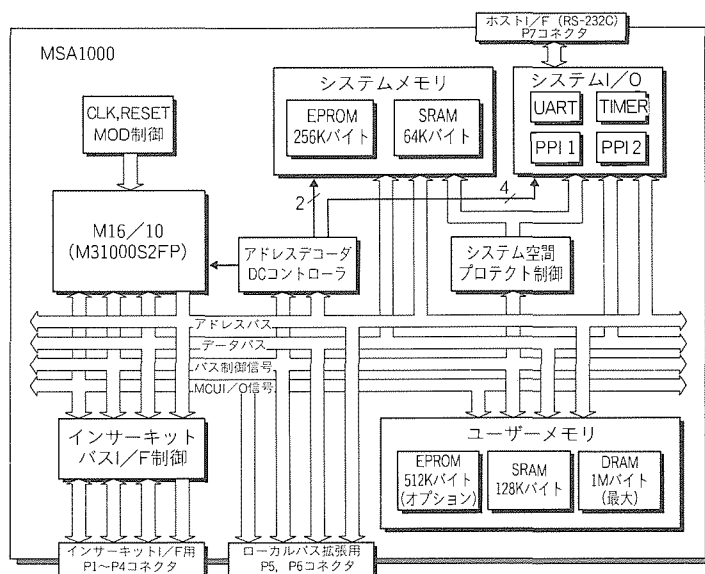


図5. MSA1000のブロック図

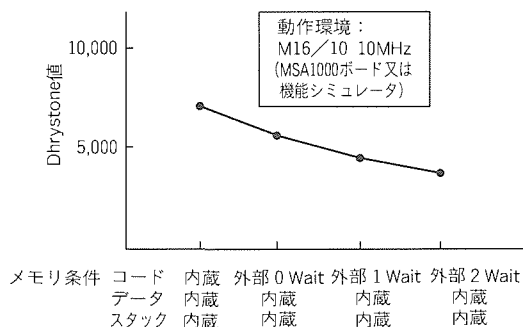


図6. M16/10の汎用ベンチマーク評価 (Dhrystone V 2.1)

M16/10の初期評価を行うため、図4に示す評価用ボード (MSA1000) がある。マイコン評価段階に合わせて次の使用形態を想定し設計した。

- (1) スタンドアロンボードレベルでの評価
- (2) 評価ボードを応用製品へ組み込んだ状態での評価
- (3) 応用製品ボードとデバッグシステムとの接続評価

評価ボードの仕様を表3に示す。(1), (2)実現のため、B6サイズに収め、当社製統合化クロスツールと接続可能なデバッグ用ボードモニタプログラムを実装した。(3)実現のため、応用製品のボードとのインサートキット機能を設けた。マイコンのICソケット経由で応用製品ボードと接続し、プログラムの実行制御が可能である(図5に示すブロック図を参照)。

### 3.3 マイコン性能データ測定とベンチマークテスト

図3に示した部分システム評価の手法として、M16/10のベンチマークテストを実施する。これにより、M16/10と従来マイコンとの相対的な性能の位置付けを確認できる。図6に汎用ベンチマーク Dhrystone Ver 2.1 での評価結果を示す。今後のコンパイラの最適化により、さらに性能向上が期待できる。

図7はプリンタ応用プログラムの一つであるアウトラインフォント展開時間の測定結果である。応用ベンチマークテストは、汎用評価プログラムで評価するより最終製品でのマイコン性能を推定しやすい。

組込みマイコンでは、外付けメモリの速度と経済性の関係で最高速で動作させるわけではない。経済的なハードウェア環境での速度評価が実質的なマイコン性能といえる。図6, 図7の測定は、マイコンとメモリとのインタフェースタイミング(マイコンウェイト数)を変化させながら、3.2節のMSA1000や機能シミュレータで実施した。

### 3.4 応用特化ライブラリ

M16/10 応用特化ライブラリとして、浮動小数点

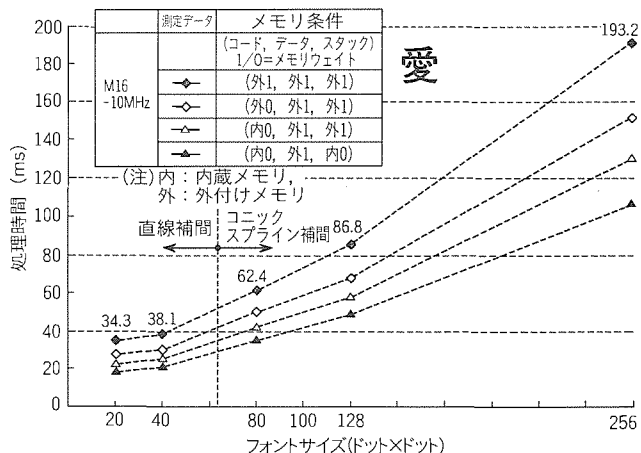


図7. M16/10による応用特化ベンチマークアウトラインフォント展開時間

表 4. M16浮動小数点ライブラリの仕様

|            |  |
|------------|--|
| 各開発ツールへの対応 | 三菱電機製開発ツール CC16<br>サードパーティツール 計画中                              |
| サポート関数     | 演算子 各単精度/倍精度<br>+, -, ×, ÷, 符号変換, 比較, 型変換                      |
|            | 28関数   |
|            | 数学関数 各単精度/倍精度<br>三角, 双曲線, 指数, 対数など<br>48関数                     |
| プログラムサイズ   | 最大26Kバイト<br>オブジェクトには, 使用するモジュールだけリンクされる。<br>例: 倍精度四則のみでは約2Kバイト |

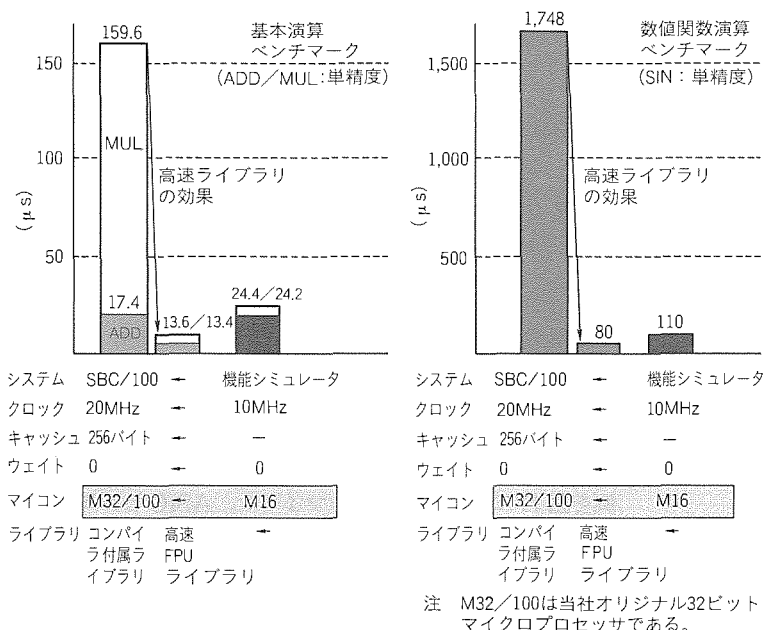


図 8. 高速浮動小数点ライブラリの性能—単精度—

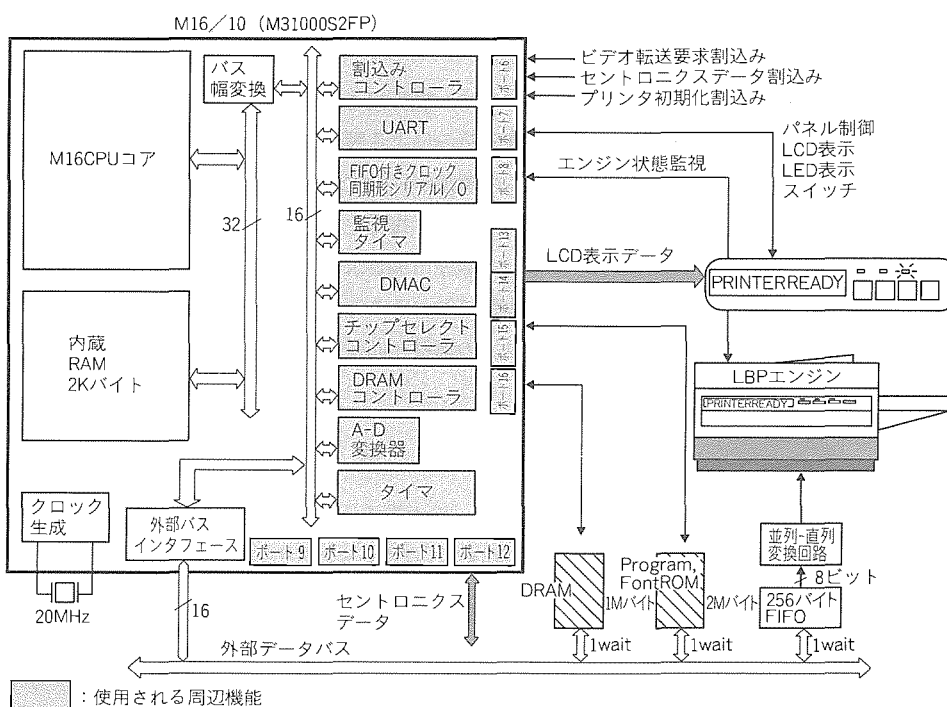


図 9. M16/10による評価用プリンタ (LBP) コントローラのブロック図

ライブラリがある。3.5節で説明するPDLを搭載したプリンタではグラフィック描画の座標計算に浮動小数点演算が使われる。従来、この演算にハードウェアの浮動小数点ユニット (FPU) を使用してきたが、浮動小数点処理をソフトウェア化することでシステム価格の低減をねらった。

機器組込み用として次のような特長がある。

- (1) M16用にあセンブラ言語で最適化を行っているため高速である。
- (2) IEEE-754に準拠した演算精度を保証する。
- (3) ソフトウェアで実現したため、コスト低減に有効である。
- (4) 既存Cコンパイラ付属の浮動小数点ライブラリ群との完全互換性を持っている。

表4にライブラリ仕様と、図8に性能評価の結果を示す。

高速化実現のため、アセンブラ言語でのコーディングとマイコンのパイプライン構造を考慮した最適化を行った。また、汎用マイコンの処理に適したCORDIC (Coordinate Rotating Digital Computer) アルゴリズムを採用し、加減算、シフト、定数テーブル参照だけの命令で処理速度を上げている。これにより、当社M32コンパイラ付属のライブラリに比べて約6～16倍の速度を得ている。

マイコンへのライブラリの最適化は、マイコンユーザー側でも可能であるが、マイコンを熟知したマイコンベンダ側でプログラムの作り込みを行う方が効率的である。

### 3.5 最終製品モデル開発

最終製品レベルでの評価モデル (通称デモセット) として、PDLを搭載したページプリンタ事例を紹介する。このデモセットのシステム構成を図9に示す。3.2節で述べた評価ボードにプリンタ用画像メモリとプリンタエンジンインタフェースを追加してプリンタコントローラボードとし、これにPDLを移植した。ここで使用したPDLはC言語で記述され、プログラム規模は700Kバイトを超える。移植は主にシステム固有のハードウェア

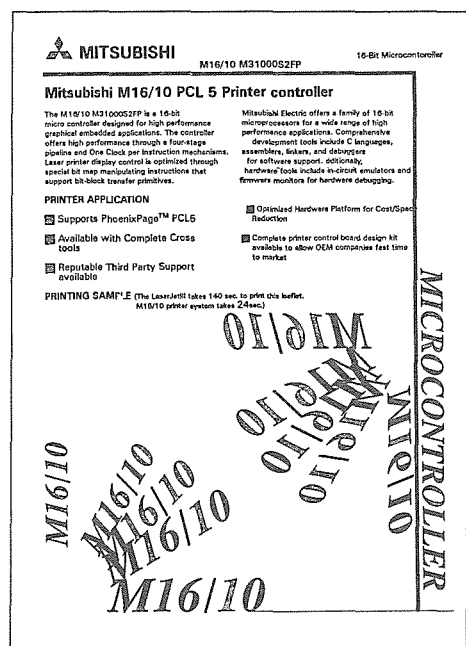


図10. M16/10のプリンタ評価システムの印字サンプル

部分の BIOS (入出力ソフトウェア) 設計と、PDL 本体のマイコンへの合わせ込み設計とからなる。この過程でマイコンと周辺ハードウェアだけでなく、開発ツール環境までの、全般的評価がマイコンユーザーの視点で行える。

このデモセットをプリンタ製品と同じテスト印字の速度測定をすることで、M16/10の応用性能評価ができる。3.3節のベンチマーク評価から、最終製品での効果を正確に把握できる。図10に印字命令に対するその印字サンプルを示す。

### 3.6 ソフトウェアの最適化

組込み応用のソフトウェアの最適化は、コードサイズと実行性能との両面で議論される。メモリがマイコンに内蔵されないプリンタ応用では、ROM 内蔵型マイコンでみられるコードサイズ削減要求よりも、部分的なソフトウェアの最適化による性能向上がより重要である。

M16/10が使用される応用は、プログラム規模が大きくなり、高級言語でプログラミングされても部分的なアセンブラ言語での C 言語との混在使用による最適化が自由にできることが大切である。このため、M16/10ではマイコンアーキテクチャと開発ツール両面での工夫がある。

3.5節に示したデモセットでは、RAM への描画展開処理部とリアルタイムモニタ部とのコードの一部を C 言語からアセンブラ言語に書き直すことで、約30～40%の性能向上が従来の開発経験に基づいて予測される<sup>(1)(2)</sup>。

### 3.7 ハードウェアの最適化

図6、図7で示したようにマイコン性能は、メモリとのインタフェース速度に依存するため、中低速メモリ使用による経済システムによる性能向上が極めて重要である。10MHzでのM16/10は80nsのDRAMや120nsのROMと1ウェイト(100ns)を挿入して接続可能であり経済的なシステ

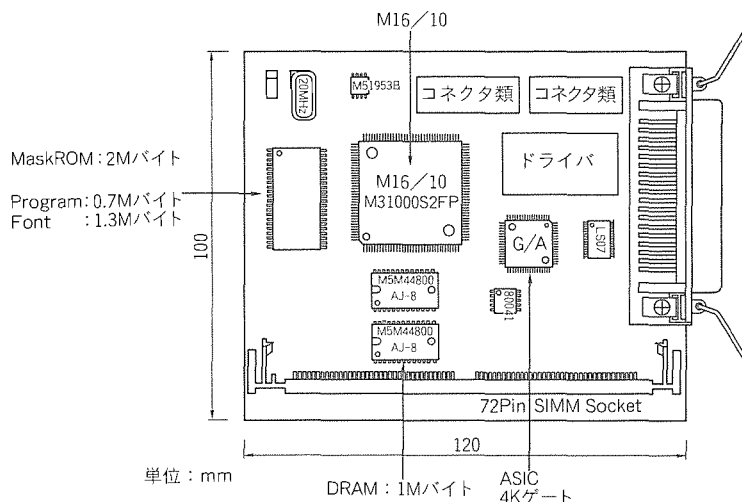


図11. M16/10を用いたPDLプリンタボードイメージ

ムを構成できる。

## 4. システムオンチップの可能性

3章で述べた PDL 搭載プリンタの応用事例は、システムオンボードからサブシステムオンチップ、システムオンチップに至るシステム提案型マイコン応用技術の一過程と見ることができる。デモセットを仮想的に量産ボードに仕上げた事例を図11に示す。ボードはマイコン、ASICとメモリの能動部品のみで構成される。この応用技術開発の結果、M16/10使用によるメリットをマイコンユーザー側に立って明らかにできた。市場からのマイコンへの反応を早期に予想し、製品開発に反映することで、より具体的な応用密着型マイコン提案が可能となる。

## 5. むすび

今後、マイコン機器組込み分野ではソフトウェア主導のノウハウの作り込みによる製品の差別化が行われ、マイコン応用システムの規模が拡大する。以上述べたシステム提案型応用技術開発により、複雑化するマイコンをより最適に应用できるよう、多様な市場要求にこたえていきたい。

なお、本稿で触れることのできなかったマイコン開発環境は、マイコンの素材と同様重要であるが、別の機会に譲りたい。

## 参考文献

- (1) 梶原 亮, 松山景洋, 大橋伸一郎: 32ビット MPU M32/100を用いたページプリンタコントローラ, MSC 技報, No.6 (1993)
- (2) 山内直樹, 大橋伸一郎, 中嶋純子, 的場成浩, 松山景洋: G<sub>MICRO</sub> M32/100のページプリンタへの応用, 三菱電機技報, 66, No.2, 200～204 (1992)

# 12ビット100kFLIPS ファジー推論プロセッサ

下邨研一\* 中村和夫\*\*  
新田泰彦\* 徳田 健\*\*\*  
坂下徳美\*

## 1. ま え が き

1960年代に提案されたファジー推論は、その“あいまい(曖昧)さ”を許容する考え方に対して学会を中心に抵抗が強かったため、応用も遅々として進まなかったが、近年制御分野において多数の信号の変化を考慮し、かつ比較的容易に制御量を決定できるデータ処理方法として注目され、家電分野に広く適用されている。家電製品の場合、推論速度はそれほど必要ではなく低コストでファジー推論を実現できるマイコンによるソフト処理が主流である。

一方、高速制御分野にファジー推論を適用するためには専用LSIが必要である。ファジー推論の性能と応用分野の関係を図1に示す。これまで発表されたLSIの場合、高速推論可能なものは入力分解能が低く、また入力分解能が高いものでは推論速度が低くなっている。自動車エンジンなどの制御では、きめ細かな制御のために推論速度だけでなく入力分解能も必要である。

ここで紹介するのは、自動車エンジン制御や航空宇宙分野等における高速制御への適用を目的として開発したファジー推論プロセッサである<sup>(1)</sup>。このプロセッサは、ソフトウェア制御によって1回の推論に同一の演算回路を複数回用いるハードウェア構成を採用しており、最小限のハードウェアで高速、高分解能を両立した。また、実応用で有効な推論評価機構を備えている。

本稿では、まずファジー推論方法について述べた後、このチップのアーキテクチャについて紹介する。

## 2. ファジー推論方法

このプロセッサには、ファジー推論方法として最も広く用いられているmin-max-重心法を採用した。以下では、min-

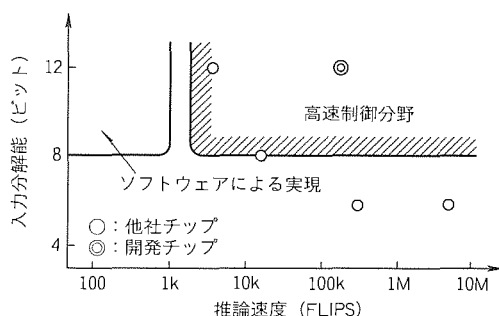


図1. ファジー推論の性能と応用分野

max-重心法による推論を自動車のオートクルーズ制御を例にとって説明する。ルールは次のように記述できる。

ルール0: IF 車速=遅い and 上りこう配=急

THEN アクセル=踏み込む

ルール1: IF 車速=速い and 上りこう配=緩い

THEN アクセル=緩める

IF以降 THENの前までを前件部、THEN以降の部分を後件部という。前件部には入力に対する条件を、後件部には入力条件が合致したときに起こすべき出力動作を記述する。

このルールによるmin-max-重心法を図式化したのが図2である。“遅い”などの条件は、関数(メンバーシップ関数)によって定義される。

推論は、入力値が前件部の条件を満足している度合い(グレードという。)を各ルールごとに調べ(前件部処理)、グレードを重みとして各ルールの出力動作の平均をとる(後件部処理)ことによって実行される。

必要となる演算は、前件部ではメンバーシップ関数計算とmin演算であり、後件部ではメンバーシップ関数計算とmin演算に加え、max演算及び重心演算である。

## 3. アーキテクチャ

### 3.1 ハードウェア構成

チップのブロック構成を図3に示す。ファジー推論用演算回路として前件部ユニットと後件部ユニットを設けた<sup>(2)</sup>。前件部ユニットはメンバーシップ関数発生器、min演算部及び

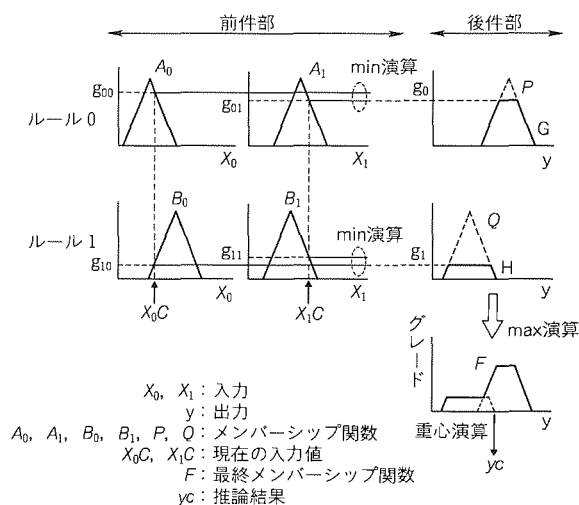


図2. min-max-重心法

max 演算部から構成される。後件部ユニットは min-max 部と累算部から構成される。

ALU, レジスタファイル, 内部 RAM, プログラムシーケンサは, 通常のマイクロプロセッサと同様の機能ブロックである。このプロセッサにはスタンドアロンモードとコプロセッシングモードの二つのモードがあり, スタンドアロンモードでは単独で推論を実行するのにに対し, コプロセッシングモードではマイコンなどのホストプロセッサに対して推論エンジンとして働く。マスタプロセッサは, レジスタファイルや内部又は外部 RAM に対してバスアービタを介してアクセスできる。

### 3.2 高速化技術

#### 3.2.1 前件部処理と後件部処理のパイプライン化

add/divide アルゴリズム<sup>(3)</sup>の改良を行い前件部において後件部の累算処理に合わせた処理手順をとることにより, 前件部処理と後件部処理のパイプライン化を実現した<sup>(2)</sup>。

重心演算には乗算や除算が必要であり, その高速化は重要である。一般に離散値の独立変数  $y$  ( $y = 0, 1, 2, \dots, n-1$ ) を持つ関数  $F(y)$  の重心  $yc$  は, 次式で定義される。

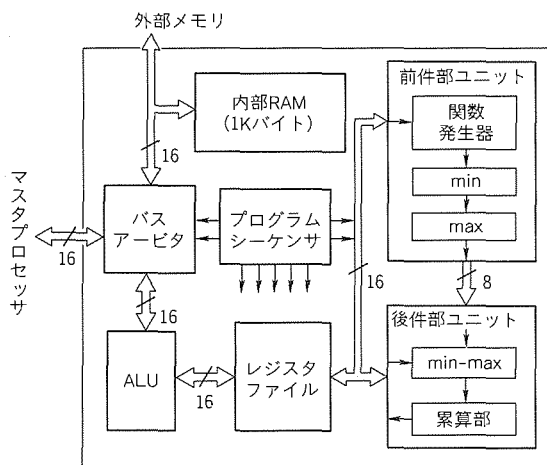


図3. LSIのブロック構成

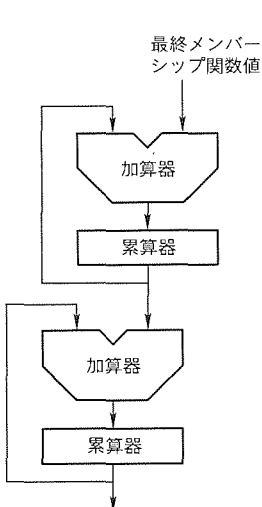


図4. 二段加算器

ルール0: IF  $X_0=A_0$  AND  $X_1=A_1$  AND  $X_2=A_2$  THEN  $y=P_0$   
 ルール1: IF  $X_0=B_0$  AND  $X_1=C_1$  AND  $X_2=B_2$  THEN  $y=P_0$   
 ルール2: IF  $X_0=C_0$  AND  $X_1=C_1$  AND  $X_2=C_2$  THEN  $y=P_1$   
 ルール3: IF  $X_0=D_0$  AND  $X_1=D_1$  THEN  $y=P_2$   
 ルール4: IF  $X_0=E_0$  AND  $X_1=E_1$  AND  $X_2=E_2$  THEN  $y=P_2$   
 ルール5: IF  $X_0=F_0$  AND  $X_1=F_1$  AND  $X_2=F_2$  THEN  $y=P_2$   
 ルール6: IF  $X_0=G_0$  AND  $X_1=G_1$  AND  $X_2=G_2$  THEN  $y=P_3$   
 ルール7: IF  $X_0=H_0$  THEN  $y=P_3$

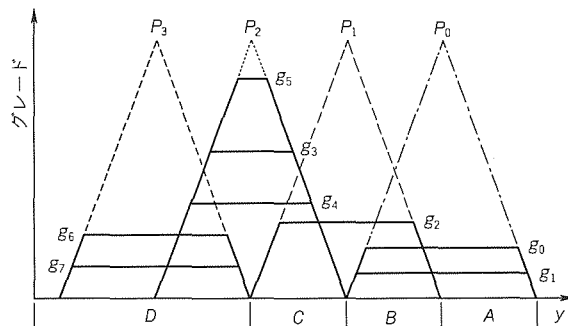


図5. ルールとその最終メンバーシップ関数の例

$$yc = \sum yF(y) / \sum F(y) \quad \dots\dots\dots(1)$$

上式の分子は積和演算を表しているが, 図4に示したような二段加算器を用いて  $F(y)$  の累算とその途中結果の累算を降順に ( $y = n-1$  から  $y = 0$  まで) 行えば  $\sum F(y)$  と  $\sum yF(y)$  を同時に得ることができる。(add/divide アルゴリズム<sup>(3)</sup>)。

ルールと最終メンバーシップ関数の例を図5に示すが, この場合以下の9つの処理で構成されたアルゴリズムにより, 重心  $yc$  を求めることができる。これは, このプロセッサで採用した改良 add/divide アルゴリズムである。

(1) ルールをその後件部メンバーシップ関数の降順に並べる。(ルール0からルール7は既に大きい  $P_0$  から順に並んでいる。)

(2) グレード  $g_0$  と  $g_1$  を計算し, その max 演算を実行する。

(3) 領域 A で次の関数  $F_0(y)$  の二段加算を実行する。

$$F_0(y) = \min\{P_0(y), g_0\} \quad \dots\dots\dots(2)$$

(4) グレード  $g_2$  を計算する。

(5) 領域 B で関数  $F_1(y)$  の二段加算を実行する。

$$F_1(y) = \max[\min\{P_0(y), g_0\}, \min\{P_1(y), g_2\}] \quad \dots\dots\dots(3)$$

(6) グレード  $g_3, g_4, g_5$  を計算し, その max 演算を実行する。

(7) 領域 C で関数  $F_2(y)$  の二段加算を実行する。

$$F_2(y) = \max[\min\{P_1(y), g_2\}, \min\{P_2(y), g_5\}] \quad \dots\dots\dots(4)$$

(8) グレード  $g_6$  と  $g_7$  を計算し, その max 演算を実行する。

(9) 領域 D で関数  $f_3(y)$  の二段加算を実行する。

$$F_3(y) = \max[\min\{P_2(y), g_5\}, \min\{P_3(y), g_6\}] \quad \dots\dots\dots(5)$$

改良 add/divide アルゴリズムでは, 後件部の累算実行順序に合わせて後件部メンバーシップ関数の降順にルール処理を行うことにより, 前件部処理と後件部処理のパイプライン化が可能となった。

#### 3.2.2 パイプライン処理の効率化

##### 効率化

同一後件部メンバーシップ関数のグレード (例えば,  $P_0$  に対する  $g_0$  と  $g_1$ ) 間の max 演算を前件部で処理することによって, 前件部と後件部の演算負荷のバランスをとり, 効率の良いパイプライン化を実現した。

図5の例では, ルール0からルール7の8つのルールで, それぞれ  $g_0$  から  $g_7$  のルールグレードが得られた場合,  $g_0, g_2, g_5, g_6$  だけが推論結果に影響する。つまり, 同



一の後件部メンバーシップ関数を持つルールの中でグレードが最大のものについて以後の計算を行えばよい。これは、min-max-重心法の特徴の一つである。本来、max 演算は後件部の処理であるが、これを前件部処理に組み込むように推論アルゴリズムを再構成することにより、前件部処理と後件部処理の演算負荷のバランスをとった。

### 3.2.3 ルール命令

1 命令で 1 ルールを記述できるルール命令を設け、メンバーシップ関数計算と min 演算を 1 クロックサイクルで実行可能とすることにより、前件部処理の高速化を図った。

命令フォーマットを図 6 に示す。命令は命令コード、レジスタリストとそれに続く関数パラメータで構成される。レジスタリストは推論の入力を指定する 16 ビットのパラメータである。各ビットがそれぞれデータレジスタに 1 対 1 で対応しており、任意のビットを 1 にセットすることにより、対応するレジスタに格納されている値を推論の対象として用いる

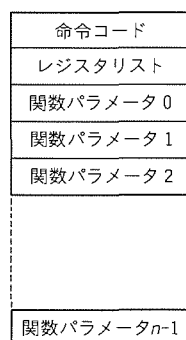
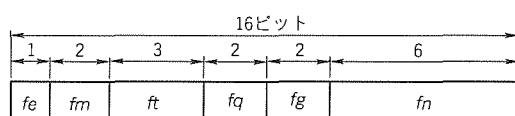


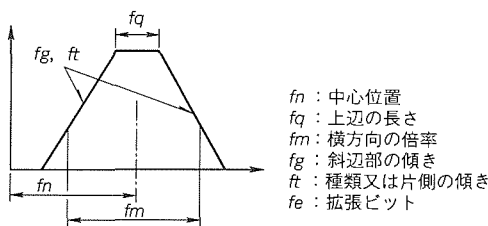
図 6. ルール命令



(a)



(b)



(c)

図 7. 関数パラメータ

ことができる。

この命令を設けたことにより、入力数が  $n$  個のルールを  $n + 1$  クロックサイクルで処理することができる。

### 3.2.4 メンバーシップ関数計算機構

min 演算などに比べて演算量が多いメンバーシップ関数計算を半クロックサイクルで実行するため、メンバーシップ関数発生器という専用回路を設けた。メンバーシップ関数の計算は推論処理において頻度が高く、これを高速化することは推論全体の高速化に寄与する。

メンバーシップ関数発生器は、関数形状を指定する 16 ビットの関数パラメータ (図 7) と入力値からメンバーシップ関数のグレードを計算する。関数は右上がり、右下がり、台形、三角形の 4 種の形状を発生することができる。fe を除く五つのフィールドにより、台形を基本として 3 万種以上の形状を指定することができ、これを半クロックで計算することができる。また、fe は斜辺部の形状を直線から S 字などの曲線に変更するためのオプションであり、更に自由度の高い形状を発生することができる。

### 3.2.5 min-max 部の構成

min-max 部のブロック構成を図 8 に示す。メンバーシップ関数発生器などを 2 組備えており、二つの関数を同時に計算する構成を採ることにより、最終メンバーシップ関数計算の高速化を図った。

### 3.3 推論評価機構

今回、推論結果を評価する尺度として最終メンバーシップ関数の分散と最大グレードの二つを提案する。

このチップはこれら二つの値を計算し、評価する機構を備えている。分散計算は、重心計算に用いるハードウェアを共用しており、重心計算のための累算と同時に実行される。また、最大グレードの計算は min-max 部での最終メンバー

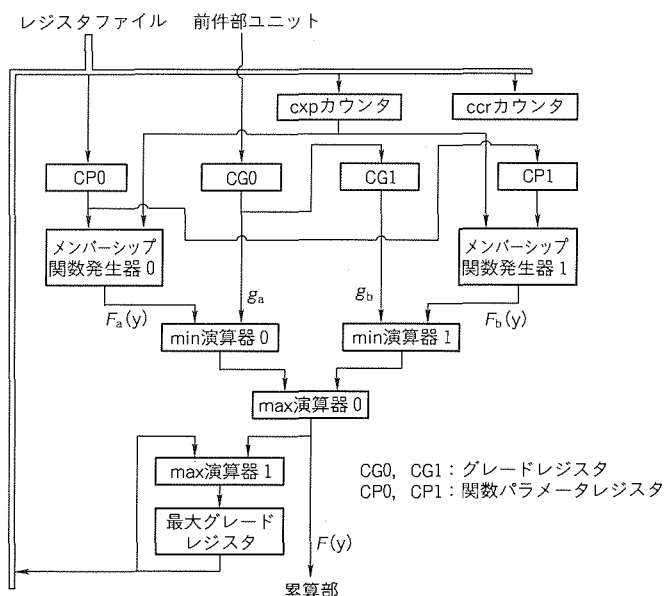


図 8. min-max 部のブロック構成

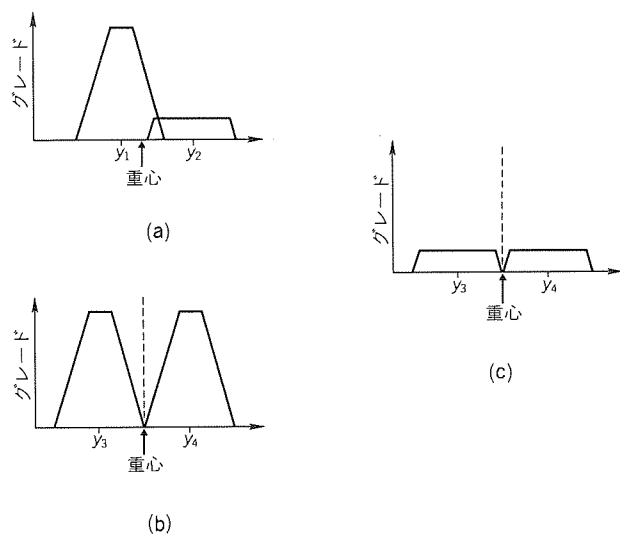


図9. 最終メンバーシップ関数の例

シップ関数の計算と同時に実行される。それぞれの値を評価する命令をプログラムに追加することにより、ルールのデバッグが可能となる。

#### (1) 分散による推論の評価

図9(a)と(b)では推論結果である重心が同じである。しかしながら、(a)においては $y_1$ のみが強く主張されているのに対して、(b)においては $y_3$ と $y_4$ の両方が強く主張されており、したがって異なる結論を持つルールが衝突している。最終メンバーシップ関数の分散を計算し評価することにより、推論に不具合がある(b)の状態を検出できる。

#### (2) 最大グレードによる推論の評価

図9(a)と(c)もやはり重心が同じである。しかしながら、(c)の場合はグレードの高いルールが一つもなく、推論結果として問題である。最終メンバーシップ関数の最大グレードを計算し、評価することによって問題のある(c)の状態を検出できる。

### 4. LSI諸元

試作したファジー推論プロセッサのLSI諸元を表1に、またチップ写真を図10に示す。テクノロジーとして1層ポリシリコン、2層アルミ配線の1 $\mu$ m CMOSプロセスを用いて86,000トランジスタを7.5mm $\times$ 6.7mmのチップサイズに集積している。ルール数が20、入力が2~4、出力が1という典型的な条件で1推論を100クロックサイクルで実行できる。これはクロック周波数が10MHzのとき100kFLIPS (Fuzzy Logical Inference Per Second) に相当する。

### 5. むすび

12ビットの入力分解能と100kFLIPSの推論速度を併せ持つ高速高分解能ファジー推論プロセッサを開発した。

低コストで高速、高分解能を達成するためプログラマブル

表1. LSI諸元

|         |                                  |
|---------|----------------------------------|
| 推論速度    | 100kFLIPS<br>(20ルール, 2~4入力, 1出力) |
| 入力分解能   | 12ビット                            |
| 出力分解能   | 16ビット                            |
| 関数形状の種類 | 約3万                              |
| ルール数    | 15,000以上                         |
| プロセス    | 1.0 $\mu$ m CMOS<br>1層ポリ, 2アルミ配線 |
| トランジスタ数 | 86,000                           |
| チップサイズ  | 7.5mm $\times$ 6.7mm             |
| クロック周波数 | 10MHz                            |
| 電源電圧    | 5V                               |
| パッケージ   | 80ピン フラットパッケージ                   |

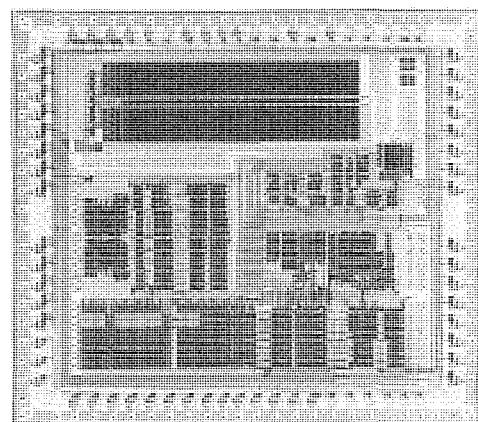


図10. チップ写真

なマイクロプロセッサのハードウェアにファジー推論用演算回路として前件部ユニットと後件部ユニットを付加する構成とした。前件部ユニットと後件部ユニットのパイプライン化、ルール命令の採用など、特にアーキテクチャレベルでの最適化によって高速化を図った。

今後、制御分野だけでなく環境認識などの分野にもファジー推論の応用が進むと期待される。

### 参考文献

- (1) Nakamura, K., Sakashita, N., Nitta, Y., Shimomura, K., Ohno, T., Eguchi, K., Tokuda, T.: A 12-Bit Resolution 200 kFLIPS Fuzzy Inference Processor, ISSCC Digest of Technical Papers, 182~183 (1993-2)
- (2) 新田泰彦, 中村和夫, 坂下徳美, 下邨研一, 大野多喜夫, 江口剛治, 徳田 健: 12ビット200kFLIPSのファジー推論プロセッサ, 信学技報ICD93-9, 63~69 (1993)
- (3) Watanabe, H., Dettloff, W. D., Yount, K. E.: A VLSI Fuzzy Logic Controller with Reconfigurable, Cascadable Architecture, IEEE J. Solid-State Circuits, 25, No.2, 376~382 (1990)

# 0.5 $\mu$ m CMOS セミカスタム IC

真田邦彦\* 松本 尚\*\*  
青木一夫\* 笹田真喜子\*  
前野秀史\*\*

## 1. ま え が き

最近の情報化社会にあってワークステーション、パソコンを筆頭に小型かつ高性能なダウンサイジング化が急速に進んでいる。その原動力として、ASIC (Application Specific IC) が重要な役割を果たしており、中でもセミカスタム IC (Semicustom IC) が目覚ましい発展を遂げてきた。

システムを実現するキーデバイスとなったセミカスタム IC は、ウェーハ微細加工技術の進展とともに高速化・大規模化・低消費電力化が進み、シリコン基板上にシステムの主要部分を構築するシステムオンシリコンを可能にした。

当社ではこの市場のニーズにこたえるため、最先端の基盤技術である 0.5  $\mu$ m CMOS・3 層メタル配線プロセス技術、世界最高速級の全面敷き詰め (Sea of Gates) 型 CMOS ゲートアレー技術、システムオンシリコン化に必ず (須) であるエンベッデッド (Embedded) 型モジュールジェネレータ (Module Generator) と 100 MHz 以上のシステム動作周波数に対応する高速化セル技術の開発を進めてきた。

本稿では、今回開発したエンベッデッド型モジュールジェネレータを中心に、高速化セル技術とこれらの適用品種例について紹介する。

## 2. モジュールジェネレータ

システムの高速化・高機能化に対応するため、シングルポート RAM・マルチポート RAM・データパスの 3 種類のモジュールジェネレータを開発した。

シングルポート RAM 及びマルチポート RAM は、100

MHz 級のシステムクロックに対応するため、従来の非同期型に加え、ライトパルス発生回路内蔵のエッジトリガ同期型も生成可能とした。エッジトリガ同期型の場合はアドレス及びデータ入力、データ出力、制御信号に対してフリップフロップが付加される (データ出力に対してはフリップフロップのないものも生成可能)。したがって、このフリップフロップのセットアップ/ホールドタイムを満足するだけで RAM を確実に動作させることができ、タイミング設計が非常に容易になる。さらに、この結果、RAM 周辺のランダムロジックの設計を論理合成ツールを用いて行うことも可能になり、LSI の開発期間を短縮できる。

また、100 MHz 級のシステムでは RAM のサイクルタイムがシステムのサイクルタイムを制約することが多いが、フリップフロップを内蔵したことにより、フリップフロップを外付けした非同期型 RAM に比べてサイクルタイムを短縮することができ、システムの高速化が可能である。

また、このモジュールジェネレータで生成された RAM は、テスト容易化設計に対応してスキャンパス方式のテスト回路を内蔵することができる。テスト回路付きの RAM を生成した場合、RAM のテストパターンは当社テストパターン生成ツールによって自動生成される。

データパスは 32 ビット構成で 100 MHz 動作が可能となるように設計されている。これらのモジュールジェネレータの利用により、システム設計者は 100 MHz 級の高機能システムを容易に 1 チップ化できる。

### 2.1 シングルポート RAM ジェネレータ

システムの高速化・高機能化に対応するため、高密度で高

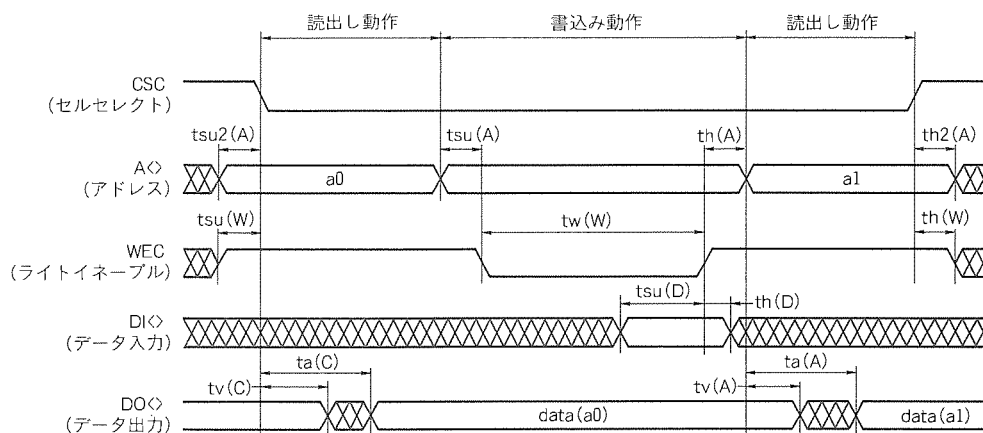


図 1. 非同期型シングルポート RAM のタイミングチャート

速なシングルポート RAM のジェネレータを開発した。従来の非同期型に加え、エッジトリガ同期型も生成可能である。最大容量は 256K ビットであり、ビット数は 1～128、ワード数は 16 ワード～16K ワードの範囲で可変である。256K ビット (128 ビット×2K ワード) のセルサイズが 4.24 mm×6.42 mm であり、1M ゲート (100 万ゲート) マスタチップの約 50% の領域に 1M ビット (256K ビット×4 個) の RAM が搭載できる。

### 2.1.1 非同期型シングルポート RAM

図 1 に非同期型シングルポート RAM のタイミングチャートを示す。読出し動作は、CSC (セルセレクト) 信号が“L”レベルの場合、アドレスの変化に応じて非同期に行われる。書込み動作は、CSC 信号と WEC (ライトイネーブル) 信号が共に“L”レベルのときに行われ、WEC 信号の立ち上がりエッジで DI (データ入力) 信号の値を取り込む。128 ビ

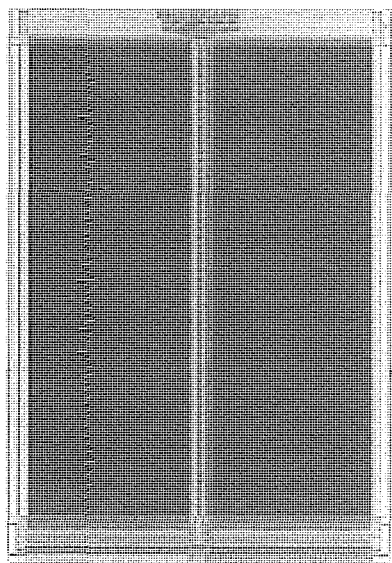


図 2. 非同期型シングルポート RAM  
(128 ビット×2K ワード)

ット×2K ワード構成の非同期型シングルポート RAM のアクセスタイムは、8.8ns (標準条件) である。図 2 にチップ写真を示す。

### 2.1.2 エッジトリガ同期型シングルポート RAM

図 3 にエッジトリガ同期型シングルポート RAM のタイミングチャートを示す。入力信号 (アドレス、データ入力、ライトイネーブル、セルセレクト) は、クロック信号の立ち上がりで取り込まれ、書込み又は読出しの動作が行われる。書込み動作は、WEC 信号にフリップフロップとライトパルス発生回路を備えているため、セットアップ/ホールドタイムを満足するだけで確実に行うことができる。読出し動作は、アドレスを読み込んだ次のクロック信号の立ち上がりエッジで行われ、DO (データ出力) 端子に読出しデータが出力される。

また、オプション指定により、ビットライト機能 (ビットごとに独立に書込みを抑制できる機能) を設けることができ、バイトライト機能等を実現できる。24 ビット×1K ワード構成の同期型シングルポート RAM のサイクルタイムは、5.0 ns (標準条件) である。

## 2.2 マルチポート RAM ジェネレータ

システムの高機能化に対応するため、2 ポート RAM (1 Write 1 Read) 及び 3 ポート RAM (1 Write 2 Read) のジェネレータを開発した。従来の非同期型に加え、エッジトリガ同期型も生成可能である。

### 2.2.1 非同期型マルチポート RAM

非同期型マルチポート RAM の最大容量は 36K ビットであり、ビット数は 1～72、ワード数は 4 ワード～1K ワードの範囲で可変である。図 4 に非同期型マルチポート RAM のタイミングチャートを示す。

各ポートは独立して非同期に動作可能である。読出し動作は REC (リードイネーブル) 信号が“L”レベルの場合、アドレスの変化に応じて非同期に行われる。書込み動作は、WE

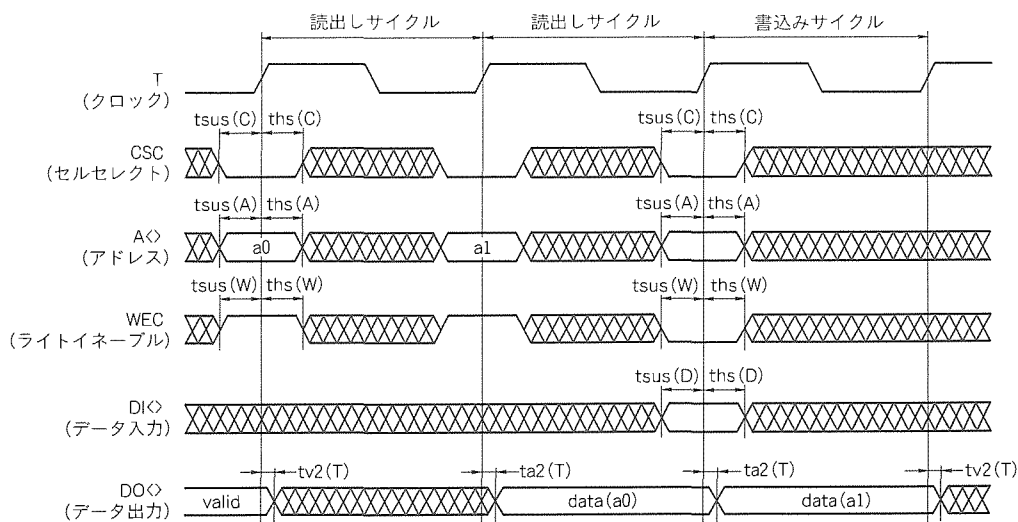


図 3. エッジトリガ同期型シングルポート RAM のタイミングチャート

C(ライトイネーブル)信号が“L”レベルのときに行われ、WEC信号の立ち上がりエッジでDI(データ入力)信号の値を取り込む。36ビット×1Kワード構成の非同期型2ポートRAM(1 Write 1 Read)のアクセスタイムは、6.2ns(標準条件)である。なお、ゲートアレー用としても機能互換の非同期型マルチポートRAMがサポートされており<sup>(1)</sup>、RAM

容量の拡大に応じてゲートアレーからエンベデッドセルアレーに容易に設計変更することができる。

## 2.2.2 エッジトリガ同期型マルチポートRAM

エッジトリガ同期型マルチポートRAMの最大容量は18Kビットであり、ビット数は2～72、ワード数は4～256ワードの範囲で可変である。図5にエッジトリガ同期型マルチポートRAMのタイミングチャートを示す。

各ポートは、エッジトリガ同期型シングルポートRAMと同様の動作を行う。つまり、入力信号(アドレス、データ入力、ライトイネーブル、リードイネーブル)は、クロック信号の立ち上がりで取り込まれ、書き込み又は読出しの動作が行われる。また、読出しの動作はアドレスを読み込んだ次のクロック信号の立ち上がりエッジで行われ、DO(データ出力)端子に読出しデータが出力される。

なお、フリップフロップのクロック(T0, T1)はポートごとに独立しており、異なる周波数で非同期に動作させることが可能である(ポート内同期、ポート間非同期)。したがって、FIFO等の用途にも利用できる。また、オプション指定により、ビットライト機能(ビットごとに独立に書き込みを抑制できる機能)を設けることができ、レジスタファイルのバイトライト機能等を実現できる。72ビット×256ワード構成の同期型2ポートRAM(1 Write 1 Read)のサイクルタイムは、7.9ns(標準条件)である。

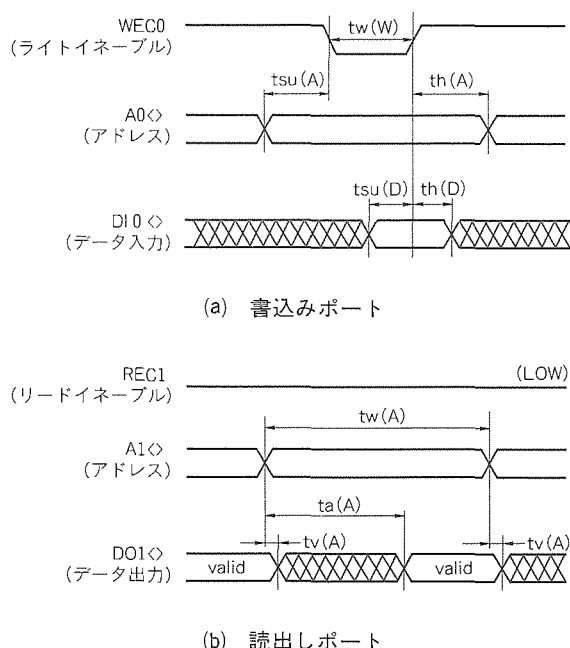


図4. 非同期型マルチポートRAMのタイミングチャート

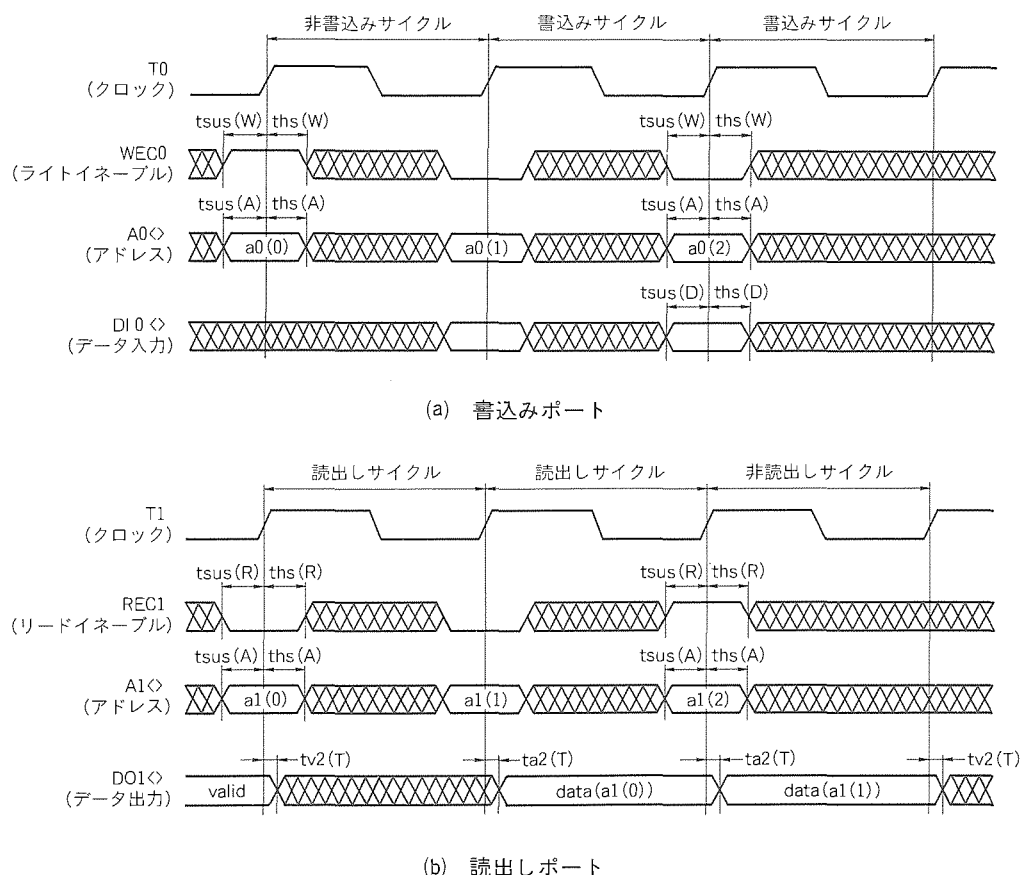


図5. エッジトリガ同期型マルチポートRAMのタイミングチャート

表 1. データパスジェネレータの機能ブロック

|                        | 主 な 特 徴  | 性 能                 |              |          |        |
|------------------------|--|---------------------|--------------|----------|--------|
|                        |  | 構 成                 | 遅延値 (ns)     | 幅 (μm) * | 集積度 ** |
| 加算器<br>・<br>減算器        | 速度選択オプション<br>● キャリールックアヘッド (CLA) 1/2 階層<br>● キャリーセレクトアダプター (CSL) | 64ビット 2 階層CLA + CSL | $T_{pd}=5.5$ | 155      | 10.5   |
|                        |  | 32ビット 2 階層CLA + CSL | $T_{pd}=4.4$ | 155      | 9.8    |
|                        |  | 32ビット 1 階層CLA       | $T_{pd}=5.8$ | 102      | 13.2   |
| ALU                    | 16通りの論理/算術演算<br>速度選択オプション<br>● キャリールックアヘッド (CLA) 1/2 階層          | 64ビット 2 階層CLA + CSL | $T_{pd}=6.0$ | 264      | 8.8    |
|                        |  | 32ビット 2 階層CLA + CSL | $T_{pd}=5.0$ | 264      | 10.7   |
|                        |  | 32ビット 1 階層CLA       | $T_{pd}=6.7$ | 204      | 12.7   |
| インクリメンタ<br>・<br>デクリメンタ | 機能選択オプション<br>● インクリメンタ<br>● デクリメンタ                               | 8 ビットインクリメンタ        | $T_{pd}=3.1$ | 35       | 12.7   |
| バレルシフト                 | シフト動作 : 右方向/左方向/双方向/<br>ローテート/算術シフト/論理シフト<br>最大シフト幅: 0 ~ ビット幅-1  | 64ビット, 最大シフト幅63ビット  | $T_{pd}=4.6$ | 472      | 7.5    |
|                        |  | 32ビット, 最大シフト幅31ビット  | $T_{pd}=3.3$ | 311      | 8.4    |
| 1 ビットシフト               | シフト動作 : 右方向/左方向/双方向/<br>ローテート/符号付きローテート/<br>算術シフト/論理シフト          | 64ビット               | $T_{pd}=2.7$ | 52       | 6.8    |
| レジスタ<br>ファイル           | 非同期動作<br>ポート構成: 3 ポート (2R1W) / 2ポート (1R1W)<br>ワード数 : 4 ~ 64      | 64ビット × 64ワード: 2R1W | $T(A)=5.8$   | 1,033    | 15.0   |
|                        |  | 32ビット × 32ワード: 2R1W | $T(A)=4.4$   | 584      | 13.3   |
| レジスタ                   | 機能選択オプション<br>● Dラッチ (リセットの有無選択可)<br>● マスタスレーブ                    | Dラッチ (リセットなし)       | $T_{pd}=0.8$ | 23       | 12.0   |
|                        |  | マスタスレーブ             | —            | 38       | 12.8   |
| マルチプレクサ                | 2 to 1 ~ 8 to 1  | 2 to 1              | $T_{pd}=0.9$ | 20       | 10.8   |
|                        |  | 8 to 1              | $T_{pd}=1.3$ | 54       | 6.9    |

注 \*機能ブロック高さ: 37.5 μm/ビット \*\*単位: kTr/mm<sup>2</sup>

## 2.3 データパスジェネレータ

マイクロプロセッサや DSP 等の演算実行部の高性能化・高集積化と設計効率向上を図るためデータパスジェネレータを開発した。

このジェネレータは、様々なアーキテクチャのデータパス設計を可能にするため、RAM、ROM 等のジェネレータとは異なり、ユーザーインタフェースは機能ブロックライブラリ(加算器、ALU、バレルシフト、レジスタファイル等)を用いたスキマティック入力としている。機能ブロックの個数及びそれらの相互接続に関しては制約を設けていない。

表 1 にこのデータパスジェネレータが提供する主な機能ブロックの諸元を示す。同表に示した 8 機能ブロック以外にロジックゲート (AND, OR, NAND, NOR, XOR 等), トライステートバッファを提供する。すべての機能ブロックは 64 ビット幅まで対応できるように設計されている。また、各機能ブロックは、データパスの規模に応じて出力駆動能力を 3 段階に切り替えることが可能である。このほかに、機能ブロックごとに機能指定用パラメータがある。例えば、加算器の速度選択やレジスタファイルのワード数、ポート数の指定等のパラメータがあり、システム設計者は最適な回路を選択できる。

また、ビットスライス構造とストレッチャブルセル技術<sup>(2)</sup>をレイアウト構成に対して適用し、10 kTr/mm<sup>2</sup>を超えるフルカスタム LSI と同等の集積度を達成した。論理・遅延検証用のシミュレーションモデルの自動生成も可能である。

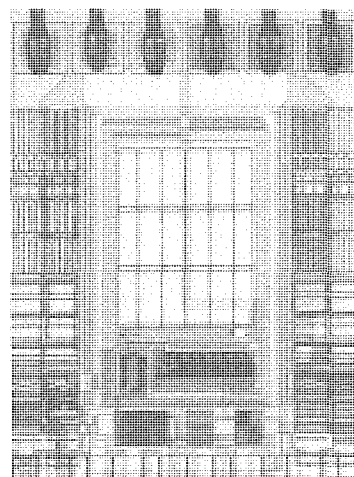


図 6. PLLセル

## 3. 高速化セル技術

### 3.1 PLL (Phase Locked Loop) セル

大規模回路をオンチップ化した場合、数千個以上のラッチ及びフリップフロップを使用する。また、複数の大規模 AS IC を含む 50 MHz を超える高速システムでは、各 LSI 間のクロックスキューを 1 ns 以下に制御する必要があり、LSI 内部のクロックと外部のクロックを同期させるために PLL セルによるクロックスキュー管理方式を開発した。図 6 に示す PLL セルにより、クロックスキューを約 0.3 ns 以下に抑えることができた。

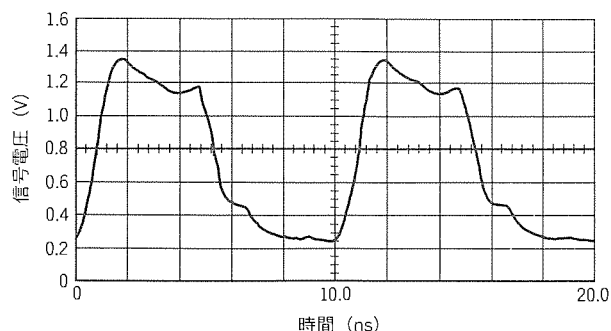


図7. GTLセルの出力波形 (100MHz動作時)

### 3.2 GTL (Gunning Transceiver Logic) セル

複数の大規模 ASIC 間的高速データインタフェースとして要求される性能は、高速・低消費電力・低ノイズ性能である。この要求を達成するには信号振幅が小さいインタフェースが有利である。このため、CMOS 回路で ECL に似た信号振幅 0.8V の GTL セルを開発した。GTL セルに 50  $\Omega$  の特性インピーダンスを持つ伝送線路 (50  $\Omega$  の終端抵抗で両端を 1.2V にプルアップしたもの) を接続し、100MHz で動作させたときの出力波形を図7に示す。この GTL セルにより、100MHz で的高速インタフェースを達成している。

## 4. 適用事例

図8にこれらの新規開発技術を適用した品種のチップ写真を示す。17.0mm  $\times$  17.0mm のチップに、約30万ゲートのランダムロジック、及びモジュールジェネレータで生成したトータル16K ビットの RAM (8ブロック) が搭載されている。また、PLL セルによるクロックスキュー管理も行っている。システムクロック周波数は40MHz であり、3.3V の電源電圧で動作させたときの消費電力は約6.1W である。

## 5. むすび

システムのダウンサイジング化を加速するシステムオンシ

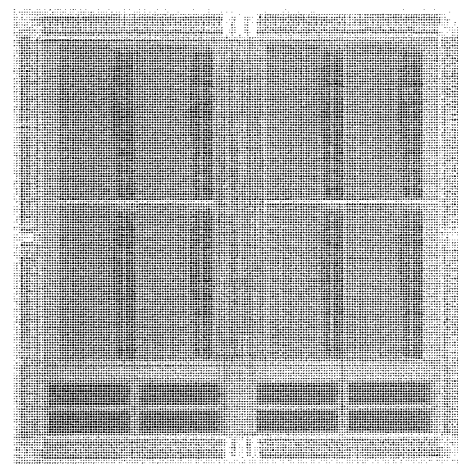


図8. 1Mゲートチップレイアウト

リコンに対応する主要技術であるエンベデッド型モジュールジェネレータ、システムクロック周波数の高速化に対応する高速化セル及びその適用事例を述べた。本稿で紹介した要素技術により、大規模・高速・高機能なセミカスタム IC を短期間で設計することが可能となった。

今後も更に高機能化が進展する情報処理機器を始め、情報通信機器分野への応用に対応するため、各種ライブラリの拡充を図っていく予定である。

## 参考文献

- (1) 荒川隆彦, 斎藤 健, 前野秀史, 加藤周一, 東谷恵市: 0.5  $\mu$ m CMOSゲートアレー, 三菱電機技報, 67, No. 3, 234~237 (1993)
- (2) 辻橋良樹, 松本 尚, 宮西篤史, 西巻秀克, 中尾博臣, 北田 修: セルベース設計用データパスジェネレータ, 三菱電機技報, 67, No. 3, 249~252 (1993)

# 国際標準JPEG準拠の カラー画像圧縮・伸長LSI

小川文伸\* 杉野博之\*\*  
井田静男\*\* 寺根秀幸\*\*\*  
今中良史\*\*

## 1. ま え が き

文字、音声、画像等の様々な情報を統合し、インタラクティブにアクセス可能なマルチメディアは、その利便性から幅広い応用範囲が期待され、今後本格的な発展が期待される。マルチメディアの実現には様々な要素技術が必要になるが、なかでも膨大な情報量を持つ画像を圧縮する符号化技術は、今後ますます重要性を増すと考えられる。画像には静止画や動画など各種フォーマットが考えられるが、図1に示すように、各々に対応した画像圧縮方式の国際標準化が進みつつある。また、各方式のLSIの開発も近年急激に進んでいる。

画像圧縮・伸長に関する三菱電機㈱半導体事業は、図2に示すように大きく二つの軸を中心に展開している。一つはファームウェア(F/W)で圧縮・伸長等に対応できるハイエンドシステム向けのプログラマブルなDSPタイプの展開、もう一つは世界最高速・最小面積のDCT(Discrete Cosine Transform)コア<sup>(1)</sup>に基づくASSP(Application Specific Standard Products)の展開である。

DSPタイプはDISP(Digital Image Signal Processor)と称して、1989年に60MOPSの性能を持つチップを開発している<sup>(2)</sup>。さらに、MPEG2(Moving Picture Experts Group)のリアルタイム符号化をも可能とする次期高性能DISPを開発中である。また、ASSPについては、JPEG(Joint Photographic Experts Group)符号化/復号LSI、MPEG復号LSI、動きベクトル検出エンジン等のLSIの開発を順次進めている。

本稿では、この中からJPEG LSI(M65700)について述べる。M65700は、カラー静止画符号化標準JPEGの基本

(ベースライン)システムに準拠し、最大の特長は、カラー画像(RGB, 640×480画素相当)を毎秒30フレームで符号化/復号できる高速性である。これは高性能なDCTコア、高速符号化/復号アルゴリズムの採用、及びウェーブプロセスの微細化によって実現できた。さらに、フォーマット変換など各種周辺機能を1チップ内に収めている。このLSIは、この高性能の実現により、電子スチルカメラ、カラーFAX、HDTV静止画ファイリング等の静止画像としての応用はもちろんのこと、デジタルビデオ機器やパソコン上での動画ファイリングなど各種動画を扱う機器への応用も可能となる。

## 2. JPEG LSIの主な仕様

表1にこのLSIの主な機能を示す。JPEG基本システムの機能をスキンのレベルでサポートする。すなわち、最大4コンポーネントまでの1スキャンデータを符号化/復号できる。量子化テーブルとハフマン符号テーブルはユーザーが設定することもできるし、内蔵のデフォルトテーブルを使うこともできる。ハフマン符号テーブルについてはbitsとval(各符号長の符号語数、発生頻度順の符号化シンボルの並び)を設定するだけで、符号化/復号テーブルを自動生成する機能を持っている。さらに、非線形演算も可能な色空間変換、サンプル変換、ラスタ形式-ブロック形式変換機能、簡易符号量制御機能、モード端子による代表的な動作モードの自動設定機能など、アプリケーションに必要な各種周辺機能もLSI内に備えている。

表2にこのLSIの諸元を示す。0.8μmのCMOSプロセスで、約91万トランジスタを1チップに集積した。最大動

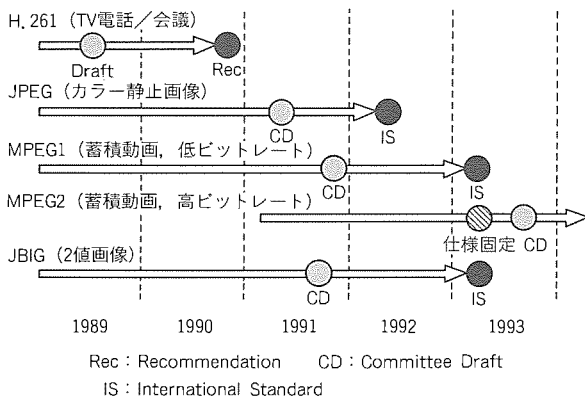


図1. 画像圧縮方式標準化動向

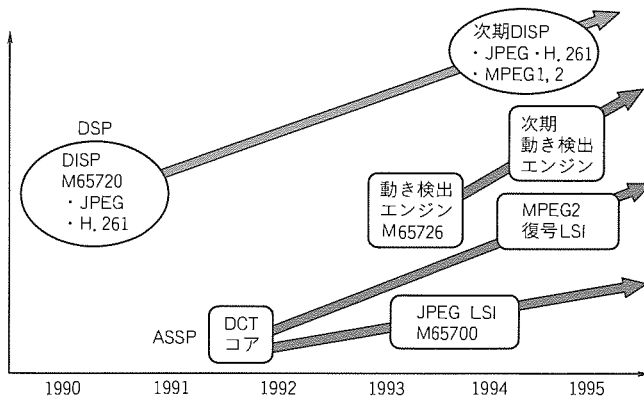


図2. 画像圧縮・伸長LSI開発方針



表 1. JPEG LSI(M65700)の主な機能

| 機 能     | 内 容   |
|---------|---|
| 基 本 機 能 | <ul style="list-style-type: none"> <li>●国際標準JPEGベースラインシステム準拠</li> <li>●最大4コンポーネント/スキャン設定可能</li> <li>●量子化テーブルRAM内蔵(4面)</li> <li>●ハフマン符号テーブルRAM内蔵(DC, AC用各2面)</li> <li>●各種マーカコード対応</li> </ul>                     |
| 付 加 機 能 | <ul style="list-style-type: none"> <li>●フォーマット変換機能内蔵<br/>色空間変換<br/>サンプル変換<br/>ラスタ-ブロック変換(バッファメモリは外付け)</li> <li>●簡易符号量制御機能</li> <li>●簡易モード設定機能</li> <li>●量子化/ハフマン符号のデフォルトROM内蔵</li> <li>●DMAインタフェース内蔵</li> </ul> |

作周波数は30MHzであり、基本的に1クロック/画素の速度で処理できる。図3にこのLSIのチップ写真を示す。

### 3. 外部インタフェース

図4にシステム構成例を示す。M65700は、画像データを入力するピクセルバスインタフェース、ラスタ形式-ブロック形式間のフォーマット変換をするためのブロックラインバッファインタフェース、符号データの入出力、及びテーブルや制御レジスタ群への設定を行うホストバスインタフェースを持っている。

#### 3.1 ピクセルバスインタフェース

ピクセルバスインタフェースは、画像データの入出力を制御するためのインタフェースである。8ビットの画像データを最大3成分(計24ビット)まで同時入出力可能であり、ラスタ形式とブロック形式の両画像データをサポートする。ピクセルバスは、このLSIの供給するピクセルクロックに同期してデータを転送する同期モードとピクセルバスに接続された外部DMAコントローラを利用することによって画像データを転送するDMA転送モードを選択できる。同期モードの場合、ピクセルクロック速度は、システムクロックと同一速度か、2及び3分周クロック速度の3通りのいずれかに設定できる。

#### 3.2 ブロックラインバッファインタフェース

ブロックラインバッファインタフェースは、外部ブロックラインバッファメモリを接続することによって、符号化時にピクセルバスインタフェースから取り込まれたラスタ形式画像をブロック形式画像に変換し、復号時にブロックバッファから取り込まれたブロック形式画像をラスタ形式画像に変換するためのインタフェースである。ブロックラインバッファメモリの容量は、処理する画面サイズに合わせて用意する必要があるが、最大(8,192画素/ライン, 3コンポーネント)の場合、8,192×8ビット×3コンポーネント×8ライン×2面(=128k×24ビット)必要となる。

なお、ブロック形式画像入出力モード時は、ブロックラインバッファメモリは不要である。

表 2. JPEG LSI(M65700)の諸元

|          |                 |
|----------|-----------------|
| プロセス     | 0.8μm 2層メタルCMOS |
| トランジスタ数  | 910kTr          |
| DCTコア    | 102kTr          |
| ROM, RAM | 668kTr          |
| ロジック     | 140kTr          |
| チップサイズ   | 14.81mm×14.81mm |
| パッケージ    | 177端子セラミックPGA   |
| 動作周波数    | 最高30MHz         |
| 電源電圧範囲   | 5.0V±5%         |

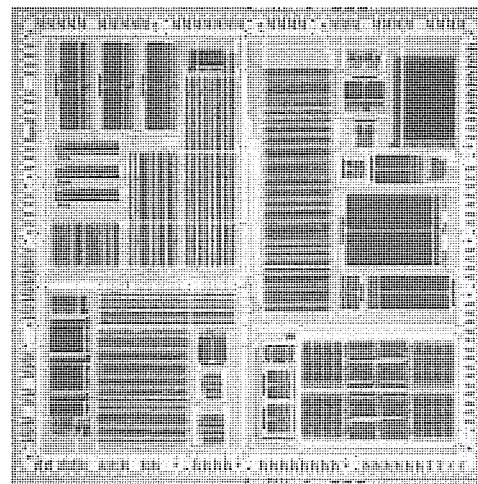


図 3. JPEG LSIのチップ写真

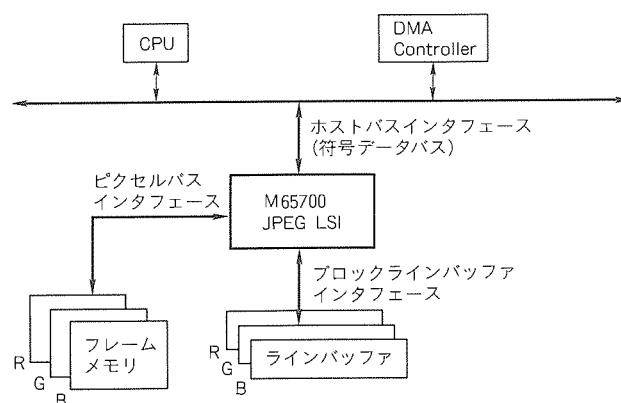


図 4. システム構成例

#### 3.3 ホストバスインタフェース

ホストバスインタフェースは、16ビットのデータバスと14ビットのアドレスバスを備える。ホストプロセッサは、このインタフェースを介して、M65700のレジスタ群及びテーブルを設定することができる。また、ホストバスインタフェースは、外部DMAコントローラを利用して符号データをM65700の内外へ高速に転送するためのデータバス機能を備える。内部には、符号データ転送用のバッファとして、64ワード×16ビットのFIFOを備える。さらに、ホストバスインタフェースは、ビット/バイトスワップ機能を備え、符号化データのワード内配置をビット/バイト単位で変更可能である。

## 4. 内部構成

### 4.1 ブロック構成

M65700は、図5のブロック構成に示すように、色空間変換部、サンプル変換部、ラスタ-ブロック変換部、DCT/IDCT (Inverse DCT)、ジグザグ変換部、量子化部、シンボルバッファ (FIFO)、ハフマン符号化/復号部 (VLC: Variable Length Coding/VLD: Variable Length Decoding)、マーカ制御部等から構成され、それぞれがパイプラインによって効果的に動作する。以下、各部について説明する。

### 4.2 ブロック説明

#### (1) 色空間変換

色空間変換は、一般的には色空間を構成する3コンポーネントに $3 \times 3$ の変換行列を乗じる演算で行うことができる。M65700では、各コンポーネントと変換行列の各々の係数との積の乗算結果を計9個のRAMテーブルに設定しておき、各コンポーネントの値により指定されるRAMデータの加算によって変換を実現した。したがって、RAMテーブルの設定の仕方によっては、ガンマ特性の補正など非線形演算を含む変換も可能となる。

また、YUV色空間<sup>(注1)</sup>については、この色空間を適用するアプリケーションも多いため、RGB-YUV変換テーブルをROMとして内蔵し、外部からの設定を不要とした。

#### (2) サンプル変換

人間の視覚の分解能特性は色に対して鈍感であるため、Y

UVのように輝度と色差情報とに分離された画像データの場合、色差データをサブサンプリングすることにより、符号化効率を改善することができる。そこで、M65700は水平方向のサンプル変換機能を具備し、符号化時には $1/2$ 間引き、復号時には2倍補間を行うことができる。間引きの場合は、3タップローパスフィルタ後に間引くモードと偶数画素のみを出力するモードの2通りを、補間の場合は線形補間又は左画素のコピー処理の2通りをサポートする。サンプル変換は、色空間を構成する三つの要素のうち、二つについてのみ適用される。例えば、YUV色空間を符号化する場合、U、Vについてのみサンプル変換が可能である。

#### (3) ラスタ-ブロック変換

JPEGでは、画像データをブロック単位に処理する。しかし、実際の画像データは、カメラやスキャナによって入力されるため、一般にはラスタスキャンの順に入力される。そこで、ラスタスキャンの順に入力されたデータをブロックスキャンに変換するラスタ-ブロック変換機能を設けた。ブロックスキャンデータを直接入出力することも可能である。

符号化時には、取り込んだ画像データをラスタスキャン順序で外部ブロックラインバッファに書き込み、ブロックスキャン順序で読み出すことによって変換し、復号時にはブロックスキャン順序で書き込んだデータをラスタ順序で読み出すことによって変換を実現する。

#### (4) DCT

$8 \times 8$ の各ブロックに対して二次元DCTを実行するが、M65700は三菱電機(株)LSI研究所(現在、システムLSI研究所)で開発した高性能DCTコア<sup>(1)</sup>を採用し、小型化・高速化を実現した。

#### (5) ジグザグスキャン変換、量子化

DCTによって得られる64個のDCT係数のうち、高周波

(注1) YUV色空間は、YCrCb色空間ともいう。R(赤)G(緑)B(青)色成分から輝度成分( $Y=0.299R+0.587B+0.114G$ )と色差成分( $U=0.564 \times (B-Y)$ ,  $V=0.713 \times (R-Y)$ )に分離した色空間。

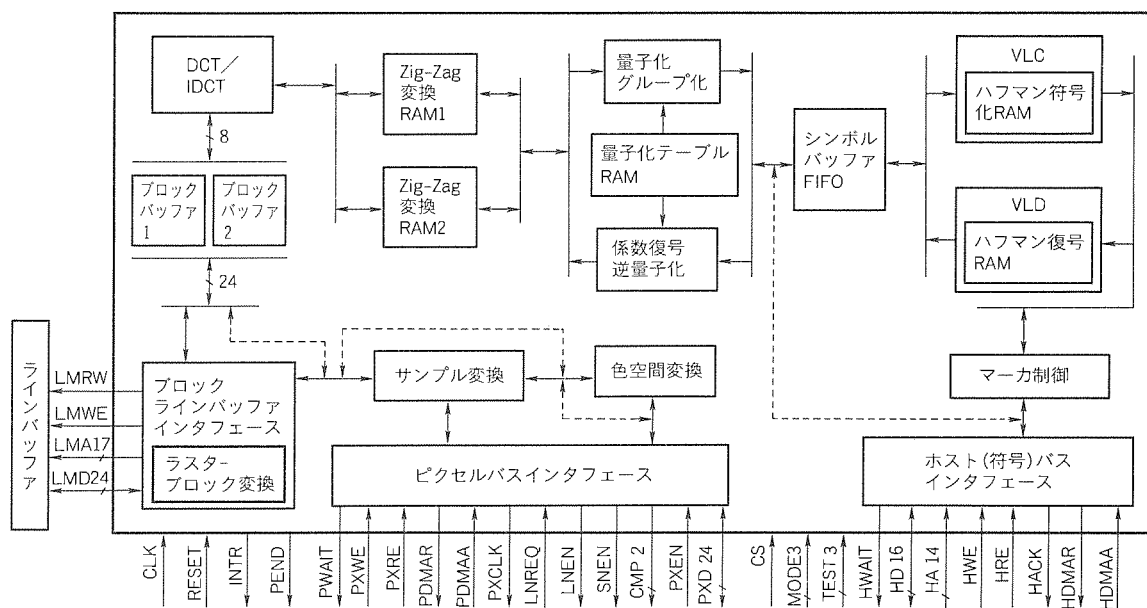


図5. JPEG LSI(M65700)ブロック構成

成分は、画像データの性質から値が非常に小さいか“0”であることが多い。したがって、DCT 係数を周波数の低い方から高い方へ順にジグザグにスキャンして一次元に並べると“0”が連続して発生する確率が高くなり、符号化効率を高めることができる。M65700では、変換テーブルを用い、ジグザグスキャン変換を高速に実現している。

また、各周波数成分が視覚に与える影響はそれぞれ異なるため、各周波数成分は各々、独立した64個のステップで量子化される。量子化ステップについては、輝度と色差に対応する標準的な値を格納したROM テーブルを1種ずつ備え、またこのほかに任意値が設定できるRAM テーブルを最大4種類まで設定可能とした。

#### (6) ハフマン符号化／復号

量子化されたDCT 係数のうち、DC 成分はDPCM (Differential Pulse Code Modulation) による前ブロックとの差分値を、AC 成分は絶対値がゼロである係数のランレングスとゼロでない係数値のセットをハフマン符号化の対象(シンボル)とする。また、各係数は絶対値の大きさによってグループ分けされ、グループインデックスとグループ内識別子に分解される。実際の符号化処理には、①グループインデックス(又はグループインデックスとゼロ係数のランレングスのペア)のハフマン符号化と、②グループ内識別子の出力の2サイクルが最低でも必要となる。

M65700は、パイプライン処理と並列処理を効果的に組み合わせることにより、1符号化シンボル当たり平均2クロックの高速符号化を実現している。また、標準的なDC 用及びAC 用ハフマンテーブルを輝度用、色差用それぞれに1組ずつROM で内蔵し、さらにユーザーが設定できる2組のRAM テーブルも具備している。

#### (7) シンボルバッファ(FIFO)

画像データ入力から量子化までの処理過程は、パイプライン処理化によって平均1クロック／画素の処理速度で実現可

能であるのに対し、前述のようにハフマン符号化にかかる処理速度は平均2クロック／シンボルとなる。

一般的に、通常使用される圧縮率ではハフマン符号化の対象となるシンボルのブロック当たりの個数は32未満であることが多いため、ハフマン符号化に要する処理時間の方が平均的には短いと考えられる。しかし、画像の統計的性質が局所的に異なった場合、ハフマン符号化部の負荷が瞬時的に高くなり、ハフマン符号化部以外の系にウェイトが発生し、結果として全体の処理速度が低下してしまう可能性もある。

そこで、図5に示すようにハフマン符号化部の前段にシンボルバッファとしてのFIFOを設け、ハフマン符号化処理時間のばらつきを吸収できるようにした。FIFOの容量は512シンボル分とした。

#### (8) マーカ制御

このLSIは符号化時には、SOI (Start of Image), SOF<sub>0</sub> (Start of Frame), SOS (Start of Scan), DRI (Define Restart Interval), RSTn (Restart Interval Termination), EOI (End of Image) マーカとそれらに付随する付加データを出力することができる。

復号時には、SOI, DRI, RSTn, EOI マーカのデコード処理を行い、その他すべてのマーカについては検出した後、マーカとそれらに付随するデータを削除する機能を備える。

#### 4.3 簡易符号量制御機能

一般的に、高い空間周波数成分が多い画像の場合符号化データ量が増大し、反対に低い空間周波数成分の多い画像の場合符号化データ量は少なくなる。アプリケーションによっては、どのような画像でも符号化データ量をある範囲内に収めたい場合も多い。JPEGの場合、量子化ステップの大きさを変更することで画質や符号量を間接的に制御できる。

M65700では、ホストプロセッサの指示によって量子化テーブルの各値を、 $X/16$ 又は $X/64$ 倍( $X$ は0～255の値)にスケールすることにより、簡易的に符号量及び画質を制御できる機能を具備した。スケール値 $X$ はMCU (Minimum Coded Unit) 単位に変更できる。

## 5. 性能評価

この章ではM65700の処理速度を計算機シミュレーションによって評価した結果を示す。

表3. シミュレーション条件

| 項 目      | 条 件                     |
|----------|-------------------------|
| 対象画像     | SCID画像をRGBに変換後サブサンプル    |
| 画像データ精度  | R, G, B 各8ビット           |
| ハフマンテーブル | 内蔵輝度用テーブル               |
| 量子化テーブル  | 内蔵輝度用テーブル (スケール値=16/16) |

表4. シミュレーション結果

| 画 像 名 称<br>(画面サイズ: H×V) | バイスクル<br>(512×640) | カフェテリア<br>(512×640) | フルーツ<br>(640×512) | オーキッド<br>(640×512) | ポートレート<br>(512×640) | ワイン<br>(640×512) |
|-------------------------|--------------------|---------------------|-------------------|--------------------|---------------------|------------------|
| 符号ビットレート (bit/pel)      | 2.81               | 3.92                | 1.82              | 1.68               | 2.09                | 1.99             |
| 平均ブロック内シンボル数            | 12.3               | 17.5                | 8.0               | 5.4                | 9.2                 | 8.3              |
| 符号化時最大FIFOバッファ残量        | 31                 | 107                 | 0                 | 9                  | 0                   | 1                |
| 符号化時FIFOフル状態数           | 0                  | 0                   | 0                 | 0                  | 0                   | 0                |
| 復号時FIFOエンブティ状態数         | 0                  | 0                   | 0                 | 0                  | 0                   | 0                |
| 符号化処理時間 (ms)            | 32.8               | 32.8                | 32.8              | 32.8               | 32.8                | 32.8             |
| 復号処理時間 (ms)             | 32.8               | 32.8                | 32.8              | 32.8               | 32.8                | 32.8             |

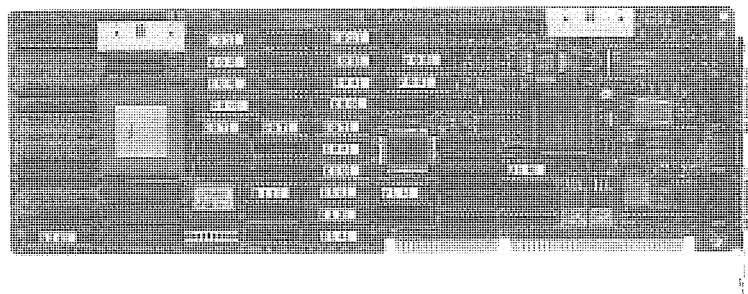


図 6. JPEG LSI評価ボード

表 5. 評価ボードのハードウェア仕様

| 項 目   | 内 容   |
|-------|---|
| 基板形式  | PC/AT(ISA)拡張ボード<br>(VGA(640×480), Featureバスが必要) |
| ビデオ入力 | NTSCコンポジット又はS-VIDEO信号                           |
| ビデオ出力 | PCのVGA画面上にビデオをスーパーインポーズ                         |
| 画像メモリ | 1,024×512×24(RGB各8ビット)実装                        |
| 画像符号化 | JPEG符号化 (M65700)                                |
| 画像処理  | 明度/色相調整, 画面位置/サイズ/拡大縮小設定可能                      |

表 6. 評価ボードの機能仕様

| 項 目     | 内 容                              |
|---------|----------------------------------|
| 動画表示    | 入力ビデオ動画をパソコン画面上に表示               |
| 静止画入力   | 入力ビデオから静止画を切り出しファイル化             |
| 静止画表示   | 静止画ファイルをパソコン画面上に再生               |
| 静止画圧縮入力 | 入力ビデオから静止画を切り出し<br>JPEG圧縮してファイル化 |
| 静止画伸長表示 | JPEG圧縮静止画ファイルを伸長して再生             |
| 動画圧縮入力  | 入力ビデオ動画を順次JPEG圧縮しファイル化           |
| 動画伸長表示  | JPEG圧縮動画ファイルを伸長し動画再生             |

M65700の処理速度は、基本的には1クロック/画素であるが、局所的に圧縮率が大幅に低下してシンボルバッファ(FIFO)が符号化時にフルになった場合と、復号時にエンパティになった場合にハフマン符号化/復号部がネックになり、系に遅延が生じて処理速度が低下する可能性もある。

そこで、動作周波数を30MHzとし、表3に示す条件で処理時間をシミュレーションした結果を表4に示す。この結果、この条件で符号化する場合のシンボルバッファの最大残

量は107シンボルであり、フル状態は発生しない。また、復号時にもエンパティ状態は生じない。したがって、30MHzで動作させた場合、640×512画素のRGBカラー画像の処理時間は全画像データ分のクロック数に等しく、 $32.8\text{ms}(=640 \times 512 \times 3 \times 33.3\text{ns})$ となる

## 6. 評価ボード

このLSIを実装した評価ボードを開発した(図6)。表5と表6にハードウェア仕様及び機能仕様を示す。このボードは、外部入力ビデオ画像を静止画又は動画としてJPEG符号化してファイレインアップする機能と、入力画像及び再生画像をパソコンのディスプレイ上に任意の位置と大きさで表示する機能を持っている。

## 7. む す び

この論文では、国際標準JPEG基本システム準拠のカラー画像圧縮・伸長LSI(M65700)の開発について述べた。

このLSIの最大の特長である高速性を実現するため、高性能なDCTコア、高速符号化/復号アルゴリズムを採用した。その結果、カラー動画のリアルタイム処理を実現することができた。さらに、このLSIは各種フォーマット変換などの周辺機能を1チップ内に具備しているため、外付け回路の少ないシステム構成が可能である。

今後は、このLSIをベースにして各々のアプリケーションに適したLSIに品種展開していきたいと考えている。

## 参 考 文 献

- (1) 高島明彦, 竹田 淳, 浦本紳一, 山下征大, 井上喜嗣: 画像圧縮 LSI 用高速 DCT コア, 三菱電機技報, 67, No.3, 244~248 (1993)
- (2) 寺根秀幸, 嶋田敏明, 中川伸一, 篠原尋史, 吉本雅彦, 畑中正弘: 24ビット, 50ns 画像/映像処理用シグナルプロセッサ (DISP), 三菱電機技報, 63, No.11, 929~933 (1989)

# VTR用ワンチップカラオケ プロセッサLSI

安達靖史\*  
山田友右\*

## 1. ま え が き

近年、カラオケは“Karaoke”の英単語が認知されるほど世界的に普及し、年齢を問わずに楽しめる娯楽として成長を続けている。そのメディアも大きく変遷を遂げ、一昔前の8トラックカセット、コンパクトカセットから国内では業務用、マニア層を中心に映像を伴ったLD (Laser Disc) が主流となった。最近では、CD (Compact Disc) にコンピュータグラフィックの静止画を記録したCD-G (CD-Graphic) や、同じくCDに圧縮した音声と動画を記録したビデオCDまで登場し、メディア間の競争がますます激化している(図1)。

一方、中国、東南アジア地区では、VTRにカラオケ機能を内蔵したカラオケVTRを中心に大きな市場を形成している。カラオケVTRはソフトが得られやすく、容易にカラオケが楽しめるため国内の一般家庭用としても注目され、普及が期待されている。

当社では、以前からデジタル技術とアナログ技術を混載したデジタルエコーやデジタルキーコントロール等のカラオケ専用LSIを多数製品化してきた。今回、カラオケに

必要なすべての機能をワンチップに集約し、特にカラオケVTR用に最適なワンチップカラオケプロセッサLSI M65835FPを開発した。本稿ではカラオケ機器に要求される機能等とM65835FPの製品概要について述べる。

## 2. カラオケシステム

図1に示した各種カラオケ機器の代表的なシステムブロック図を図2に示す。LD、VTR、テープ等のカラオケソースを選択した後、ソース信号はボーカルカット回路に入力される。これは、通常のボーカル入りソフトに含まれる歌手の歌声(ボーカル成分)のみを除去し、簡易的にカラオケ音楽を得る機能である。カラオケソフトがまだリリースされていない新曲や家庭での練習によく用いられている。

次にソース信号は、キーコントロール回路に入力される。キーコントロールとは曲の音程(キー)、つまり、周波数を変える機能である。人間の歌声の音域は個人によって非常に異なっており、曲によっては高い声か、又は低い声が出せずに歌えないという悩みがある。このため、伴奏の音程を変えることにより、歌手の音域に合わせてこの悩みを解決しようとするものである。

一方、歌手の音声はマイクによって電気信号に変換され、マイクアンプで処理しやすい電圧(通常数百mV)に増幅される。音声信号は、さらにエコー回路に入力される。エコーとは原信号に対して遅延した信号を付加し、言葉どおり“こだま”のような残響効果を得るものである。エコーによって歌手は臨場感豊かなステージに立つのと同様の雰囲気浸

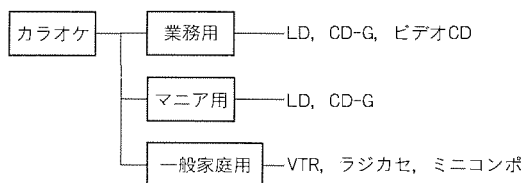


図1. 購入層別カラオケ機器の例

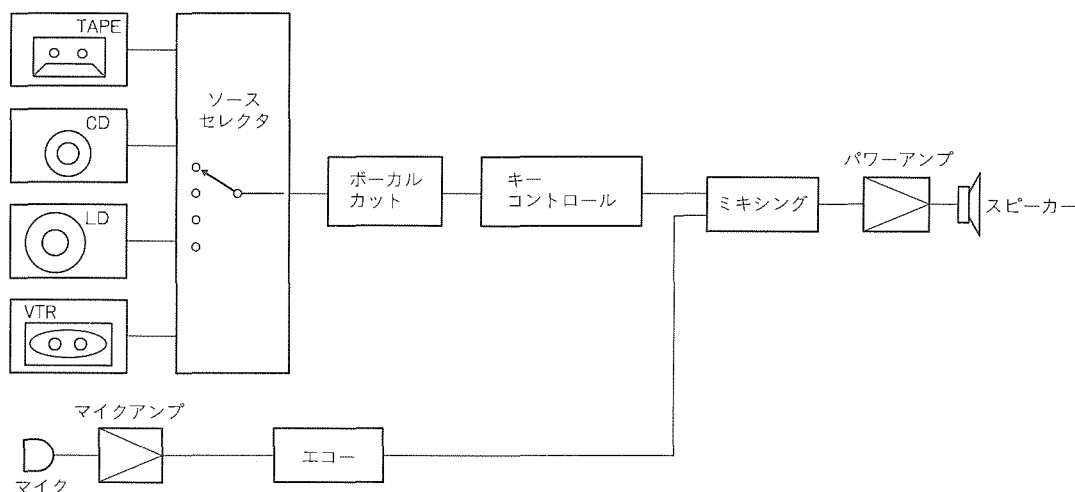


図2. カラオケ機器のシステムブロック図

れ、気持ち良く歌うことができる。

上述のボーカルカット、キーコントロール、エコーが一般的にはカラオケの三大機能と称され、多くのカラオケ機器はこれらの機能を持っている。

こうして処理されたカラオケのソース信号と歌手の音声信号はミキシング回路で合成され、パワーアンプを通してスピーカーから出力される。

### 3. ワンチップカラオケプロセッサ

#### LSI M65835FPの概要

M65835FPは、図3の機能ブロック図に示すように、ボーカルカット、キーコントロール、エコーの三大機能に加え、低音を増強するバスブーストを備えている。また、特にカラオケVTR用に設計したので、VTRのHi-Fi音声用2チャンネル、ノーマル音声用1チャンネルの計3チャンネルのライン入出力とテープ頭出しを行うためのデジタルミュージックサーチシステムも内蔵した。以下に各機能ごとの詳細について説明する。

#### 3.1 ボーカルカット

ステレオ録音されているボーカル入りソフトでは、通常、歌手のボーカルは左右のスピーカーの中央に定位するように、左、右チャンネルとも同位相、同振幅で録音されている。このため、差動増幅器で左チャンネルと右チャンネルの同相成分を除去すれば（つまり、左-右の演算を行う）、原理的にボーカルは消える。しかし、このままでは、同じく同位相で録音されていることの多いベース等の低域成分も著しく減衰し、音楽性が損なわれる。そのため、M65835FPではボーカル成分の存在する周波数より低い成分の信号はそのまま残すようにローパスフィルタを装備した。ローパスフィルタのカットオフ周波数は、ボーカル帯域に影響がないように50

～100Hzに設定している。

#### 3.2 デジタルキーコントロール

キーコントロールとは前述したように、曲の音程、つまり周波数を自在に変えることである。8トラックカセットやコンパクトカセットテープカラオケ全盛時代ではテープ速度を変えることによって音程を変えていた。しかし、この方法は、同時に曲の速さ（テンポ）が変わってしまうことや、LDカラオケのように映像を伴うソースの場合に速度を変えると映像との同期がとれないなどの欠点があり、現在ではそれらが解決できるデジタルキーコントロールが主流となっている。

デジタルキーコントロールの原理を図4に示す。まず、周波数 $f_i$ の入力信号をサンプリング周波数 $f_{si}$ でA/D変換し、同時に $f_{si}$ を書き込みクロックとしてメモリに書き込む。次に、メモリからクロック $f_{so}$ で読み出し、同時に $f_{so}$ をサンプリング周波数としてD/A変換を行うと、D/A変換後の信号周波数 $f_o$ は、

$$f_o = \frac{f_{so}}{f_{si}} \times f_i$$

となる。したがって、 $f_{so} > f_{si}$ とすれば $f_o > f_i$ 、つまり高い周波数に変換（キーが上がる。）され、逆に、 $f_{so} < f_{si}$ とすれば $f_o < f_i$ と低い周波数に変換（キーが下がる。）されることになる。しかし、このような単純な周波数変換だけではテープ速度の制御と同様に信号のテンポまで変化してしまう。そのため、デジタルキーコントロールではキーを上げた場合は、メモリに蓄積したデータから繰り返しダミーデータを生成し、時間軸圧縮のために欠けた部分に挿入する。キーを下げた場合は、信号の一部を間引きすることで時間軸伸長で発生する時間的なずれを補正する。これにより、見掛け上テンポを保持しながらキーシフトすることが可能となった。

M65835FPでは上述の繰り返し処理、間引き処理をキー

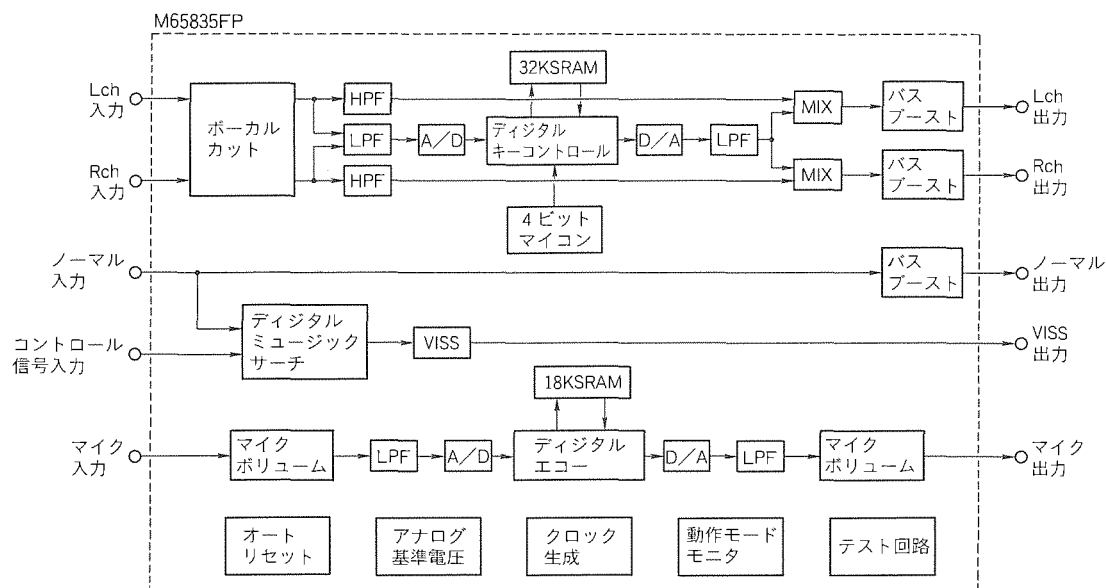


図3. M65835FPの機能ブロック図

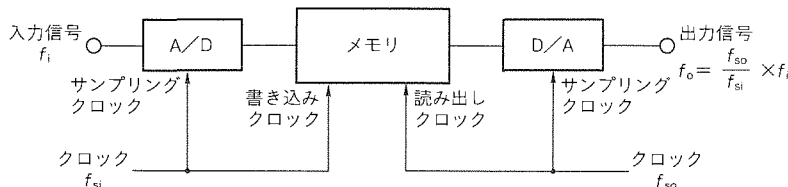


図4. デジタルキーコントロールの動作原理

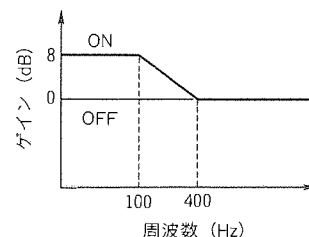
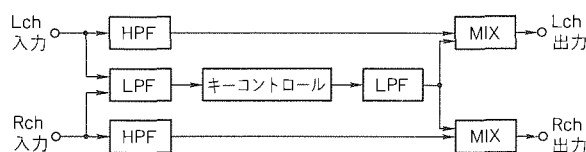


図6. バスブースト回路の特性



(a) DFP方式の基本構成



(b) DFP方式による簡易ステレオ構成

図5. DFP方式の構成

シフト量に応じて内蔵の4ビットマイコンが最適にコントロールしており、聴感上それらの処理を感じないように工夫した。また、A/D、D/A変換に当社の現行カラオケ用LSIで実績があり、ハードウェア構成が簡単である1ビット符号化方式のADM (Adaptive Delta Modulation) を採用し、チップコストの低減を図った。

さらに、M65835FPでは当社独自のDFP (Devided Frequency Processing) 方式を用いている。DFPとは図5に示すように、人間の耳に音程を感じる中音域以下の周波数成分だけをLPF (Low Pass Filter) で抽出し、キーコントロールの処理を行う方式である。音程を感じない中高域以上の周波数成分は、HPF (High Pass Filter) でスルーさせる。この方式は次の3点の特長がある。

- (1) デジタル処理する信号帯域を中音域以下に制限することでデジタル回路の規模を小さくできる。
- (2) キーシフトしてもシンバルのような小気味よい高音は周波数変換されずにそのまま残り、音楽性が保たれる。
- (3) 中音域以上を左、右チャンネル独立にHPFでスルーさせることにより、簡易的にステレオ構成とすることができる。

M65835FPは、DFP方式デジタルキーコントロールとコストパフォーマンスの高い簡易ステレオ回路を内蔵し、標準的な応用例では半音階（約6%）ステップで-4から+3までの7段階のキーシフトが可能である。また、DFP方式の場合、HPF部の周波数設定が高音質の確保にとって重要で、ここではカットオフ周波数3.4kHzを最適値としている。

### 3.3 デジタルエコー

エコー効果は、前述のように遅延信号を原音に重畳するこ

とで得られる。M65835FPはデジタル方式によって遅延を発生させ、エコーに応用している。これは図3の機能ブロック図に示すようにデジタルキーコントロールに採用したADMによる1ビット符号化方式のA/D、D/A変換器を内蔵している。デジタル化された音声信号はメモリに一時記憶され、遅延を発生させる。遅延用のメモリには18KビットのSRAMを内蔵し、エコー効果に最適な139msの遅延を得ている。

### 3.4 バスブースト

カラオケでは豊かな低音も効果的な演出としてよく用いられる。M65835FPは低音増強用にバスブースト回路を内蔵している。バスブースト回路を動かせれば、図6のように400Hz付近から低域の信号ゲインが増加し、100Hz以下では8dBの低音増強が行われ、豊かな低音が再生できる。

### 3.5 デジタルミュージックサーチシステム

カラオケVTRの場合、記憶・再生が可能のため、カラオケソフトが容易に得られる大きな特長を持つ反面、曲の頭出しが困難という短所もある。M65835FPでは確度の高い曲の頭出しが行えるように、デジタルミュージックサーチシステムを搭載している。

この方式の大きな特長は、テープ記録上の実時間で曲の有無や曲間の判定を行うことにより、テープの早送り時でもテープの走行速度によらずに正確な検出ができることである。VTRの場合、テープとヘッドのトラッキング制御用にコントロールトラック信号を持ち、テープ上に規則正しく（NTSCの場合はテープ上の実時間にして約33ms周期）記録されている。M65835FPではこのコントロールトラック信号をテープ上での実時間管理に利用している。

信号の検出は、VTRのノーマルトラックに記録された音声信号を利用する。まず、図7に示すようにコンパレータで信号の有無を検出する。検出のためのスレシールド電圧は1mV以上の任意の値が設定できる。次に、得られた検出結果をエネルギー密度分布パルスに変換することで音声信号の周波数に依存しない、確度の高い検出を可能にしている。

曲間の検出は曲であることを検出する有曲検出と、曲がないことを検出する無曲検出によって行う。有曲検出はコントロールトラック信号を用いてテープ上の実時間にして約20秒間エネルギー密度パルスの数をカウントし、一定値を越えれば有曲と判断する。無曲検出は同様に、テープ上の実時間

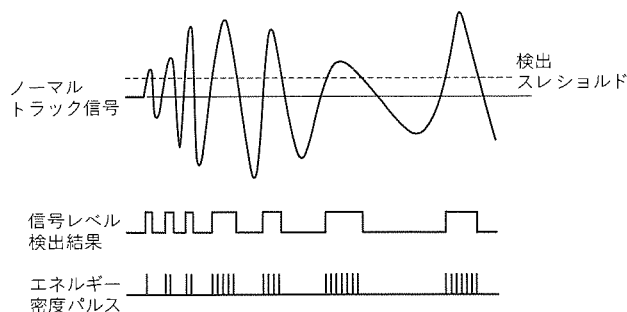


図7. デジタルサーチシステムの信号レベル検出

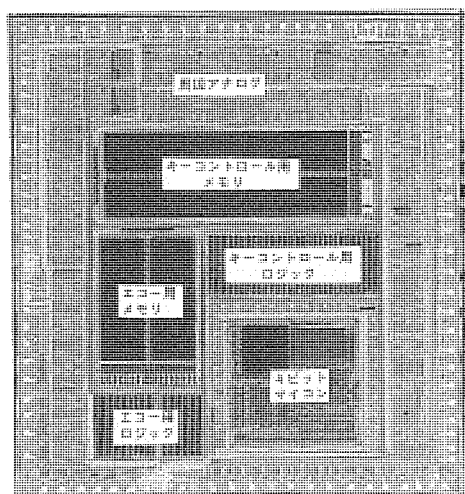


図8. M65835FPのチップ写真

にして約3秒間にエネルギーパルス数が0個であれば無曲と判断している。有曲の後に無曲を検出すれば曲間であると判定する。

このように曲間の検出をデジタル方式にすることで、テープ走行速度を通常再生時の1.5～100倍の範囲内で再現性の高い検出が行えるようになった。また、曲間検出結果をVISS (VHS Index Search System) 信号で出力できるため、既存のVISS制御マイコンによる制御を可能としている。

#### 4. チップレイアウト構成

図8にM65835FPのチップ写真を、表1にLSIの諸元を紹介する。デジタルキーコントロール用のロジック、メモリ、4ビットマイコン、デジタルエコー用のロジック、メモリ、さらに、A/D変換器、D/A変換器、バスブースト、ミキシングアンプ等の周辺アナログ部で構成されている。ワンチップ化に当たっては最新の0.8 $\mu$ mCMOSプロセスを使用した。

#### 5. 特性

表2に得られた特性をまとめる。デジタル方式により、

表1. LSI諸元

|       |                      |          |
|-------|----------------------|----------|
| プロセス  | 0.8 $\mu$ mCMOS 2層配線 |          |
| 回路規模  | アナログ                 | 600素子    |
|       | ロジック                 | 4.5Kゲート  |
|       | メモリ                  | 50Kビット   |
|       | MCU                  | 4ビットマイコン |
| パッケージ | 100ピンプラスチックQFP       |          |
| 電源電圧  | 5V $\pm$ 10%         |          |

表2. LSIの特性

| 機能           | 項目                  | 特性                     |
|--------------|---------------------|------------------------|
| 全体           | 回路電流                | 75mA                   |
| ボーカルカット      | ダイナミックレンジ           | 91dB                   |
|              | ボーカル除去比             | 24dB                   |
| デジタルキーコントロール | ダイナミックレンジ           | 82dB                   |
|              | ひずみ率                | 0.8%                   |
|              | キー可変範囲 (1ステップは半音相当) | 標準時 -4 $\sim$ +3ステップ   |
|              |                     | 拡張時 -20 $\sim$ +20ステップ |
| デジタルエコー      | ダイナミックレンジ           | 90dB                   |
|              | ひずみ率                | 1.8%                   |
|              | 遅延時間                | 139ms                  |

キーコントロール、エコーのダイナミックレンジはそれぞれ82dB、90dBを達成した。また、デジタルノイズのアナログへの影響は、チップ内に施したシールドや電源の分離等の工夫により、実用上問題ないレベルにまで低減している。

#### 6. むすび

高性能なアナログCMOS技術とデジタル信号処理技術、マイコンコアを駆使し、微細加工プロセスを活用してカラオケ機能をワンチップ化した。ワンチップ化によって機器の小型化・高性能化・低価格化が図れ、VTRのみならず、ポータブル機器、ミニコンボ等のオーディオ機器など広範囲な用途に適用できる。

今後は、LSIの省電力化やビデオCD等のデジタルオーディオソースに対応するデジタル入出力を備えたカラオケプロセッサの開発を予定している。

#### 参考文献

- (1) 渡辺公治, 木村陽一: ADM方式による音程変換器, 1985年電子通信学会秋期技術報告会, EA85-40 (1985)
- (2) 山田友右: 専用ICを使うには—カラオケプロセッサ①, ②, 電子技術, ①No.9, 92～93, ②No.11, 92～93 (1992)
- (3) 三菱電機(株): '92データブック, サウンドプロセッサ編 (1992)



# 3 V動作10ビット50Mサンプル／秒 CMOS D/Aコンバータ

中村泰之\* 岡田圭介\*  
三木隆博\*  
西川毅一\*\*

## 1. ま え が き

ハイビジョンを始めとする次世代映像システムでは、分解能10ビット以上、最大変換速度50Mサンプル／秒以上のD/Aコンバータが必要とされている。一方、システムの低消費電力化やバッテリー駆動などを考慮してLSIの低電源電圧化が進みつつある。さらに、トランジスタの微細化に伴い、信頼性の面からもLSIの低電源電圧化は必ず(須)となってきた。したがって、D/Aコンバータにも前記変換性能を維持した上で、低電源電圧化が要求される。現在までにハイビジョン対応のCMOS D/Aコンバータは幾つか発表されているが<sup>(1)~(3)</sup>、これらは5V電源対応のものであり、3V電源対応のD/Aコンバータの報告はなされていない。

今回、当社独自のバイアス方法及び駆動方法を用いた電流源回路を新たに開発することにより、3V電源(2.7V以上)においても分解能10ビット、最大変換速度50Mサンプル／秒の性能を満足するD/Aコンバータを開発した<sup>(4)~(6)</sup>。

本稿では、3V電源対応の電流源回路の構成を中心に、このD/Aコンバータの構成及び試作結果について述べる。

## 2. 電流源セル回路

### 2.1 低電源電圧化

図1に5V電源対応のD/Aコンバータで用いていた従来型電流源セルの回路構成を示す<sup>(2)(7)</sup>。この電流源回路は、トランジスタ $M_1$ を電流源トランジスタ、トランジスタ $M_2$ をスイッチングトランジスタとして用いている。トランジスタ $M_1$ は、飽和領域にバイアスされている。トランスミッションゲートとNMOSトランジスタから成るスイッチ回路は、コントロール信号 $S$ 、 $\bar{S}$ で制御される。このスイッチ回路を

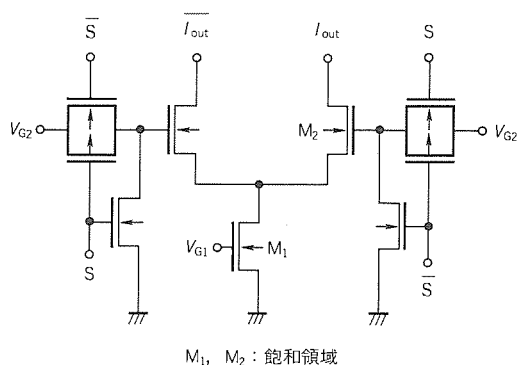


図1. 従来型電流源回路

通してオン状態時にはバイアス電圧 $V_{G2}$ 、オフ状態時にはグラウンド電位がトランジスタ $M_2$ に供給される。バイアス電圧 $V_{G2}$ が供給されたときトランジスタ $M_2$ は飽和領域で動作する。このように直列接続されたトランジスタを共に飽和領域で動作させることで電流源回路全体の出力インピーダンスを高くし、定電流性を向上させている。

しかし、この回路構成では低電源電圧化は困難と考えられる。すなわち、低電源電圧化に対しては次式の制約を満足しなければならない。

$$V_{DD} > V_{G2} > V_{SAT1} + V_{SAT2} + V_{TH2} \dots \dots \dots (1)$$

ここでバイアス電圧 $V_{G2}$ は、トランジスタ $M_1$ 、 $M_2$ の飽和領域動作電圧 $V_{SAT1}$ 、 $V_{SAT2}$ (トランジスタが飽和領域で動作するのに必要な最低限のドレイン電圧)、トランジスタ $M_2$ のしきい(閾)値電圧 $V_{TH2}$ の総和以上の電圧が必要である。また、電源電圧 $V_{DD}$ はバイアス電圧 $V_{G2}$ より高くなくてはならない。一方、 $V_{TH2}$ は、通常、バックゲートバイアス効果によって大きな値となっている。例えば、仮に $V_{SAT1}$ 、 $V_{SAT2}$ を0.8V、 $V_{TH2}$ を1.3Vとすると、式(1)から $V_{G2}$ の論理的下限は2.9Vに達する。さらに、これ以外にもロット間でのトランジスタパラメータのばらつき等を考慮した電圧マージンが必要となる。したがって、図1に示した従来型電流源セルの回路構成のままで、3V電源にて動作させるのは非常に困難である。

そこで、低電源電圧における動作を可能にするために、トランジスタ $M_1$ を線形領域で動作させる方法について検討した。図2は電流源のオン状態におけるバイアス方法を模式的に示したものである。図のように、トランジスタ $M_1$ を線形領域で動作させるバイアス方法を採用することで、トランジスタ $M_1$ のソース-ドレイン間電圧を前述した飽和領域動作

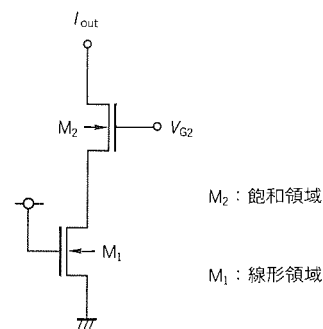


図2. 低電源電圧化のためのバイアス方法

電圧  $V_{SAT1}$  に比べて非常に小さな値にすることができる。したがって、電源電圧を低く設定することができ、低電源電圧化に有効である。しかし、その反面このバイアス方法では、トランジスタ  $M_1$  の出力インピーダンス (小信号ドレインソース間抵抗) が非常に小さくなってしまふ。その結果、電流源回路全体の出力インピーダンスの低下を招いてしまふ。D/A コンバータの直線性を従来の 5 V 電源対応のものと同程度に維持するためには、電流源回路の出力インピーダンスを同程度に高く維持する必要がある。そこで、図 2 に示した回路構成においてトランジスタ  $M_2$  のチャネル長を大きくし、このトランジスタの出力インピーダンスを高めることで電流源回路の出力インピーダンスを維持する方法について検討した。

図 3 にトランジスタ単体のチャネル長に対する出力インピーダンスの測定値を実線で示す。図から、トランジスタ単体での出力インピーダンスは、チャネル長の増大にほぼ比例して大きくなっている。また、図 2 に示した電流源回路構成において、トランジスタ  $M_1$  の出力インピーダンスを 0 と仮定した場合、D/A コンバータの直線性は図 3 の破線となる<sup>(6)</sup>。これより、トランジスタ  $M_2$  のチャネル長が 5  $\mu\text{m}$  以上であれば直線性は  $\pm 0.05\%$  以下となることが予想される。したがって、トランジスタ  $M_2$  のチャネル長を 5  $\mu\text{m}$  以上にすることで図 2 に示したバイアス方法でも 10 ビット精度が実現できる見通しが得られた。

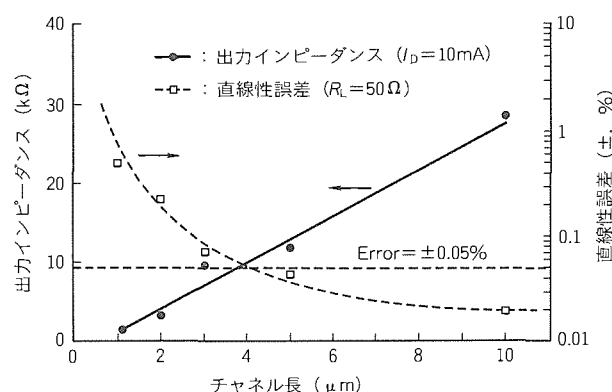


図 3. チャネル長と直線性の関係

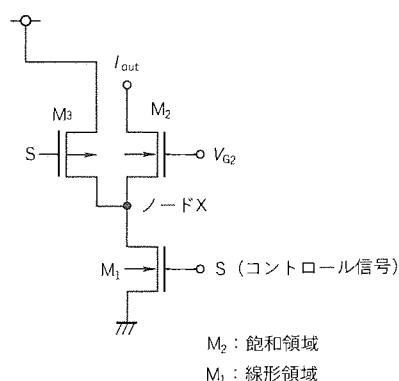


図 4. 高速化のための駆動方法

## 2.2 高速化

前節では、新しいバイアス方法によって精度を維持しつつ低電源電圧化が可能となる見通しが得られた。しかし、前節のバイアス方法を図 1 に示した従来形電流源回路に取り入れた場合、スイッチングスピードの劣化が予想される。すなわち、トランジスタ  $M_2$  のゲート面積の増大による寄生容量の増大、電源電圧低下によるトランスミッションゲートのオン抵抗の増大が考えられる。そのため、バイアス電圧  $V_{G2}$  のトランジスタ  $M_2$  への伝搬が遅くなる。したがって、トランジスタ  $M_2$  のスイッチングスピードが低下し、セトリングタイムの劣化につながるという速度面での問題点が残る。

図 4 は、以上述べた速度面での問題点を解消するための駆動方法を模式的に示したものである。図においてトランジスタ  $M_1$  はスイッチングトランジスタとして用いている。前節で述べたバイアス方法では、トランジスタ  $M_1$  はスイッチングトランジスタとして動作すればよく、最小チャネル長のトランジスタで構成することができる。それによって、ゲート容量を小さく抑えることができる。また、オン状態を実現するための電圧としてトランジスタ  $M_1$  のゲートに電源電圧を印加することができる。したがって、トランスミッションゲートは必要なくなり、トランジスタ  $M_1$  を電源電圧と等しい論理振幅を持つコントロール信号  $S$  によって直接駆動している。以上のように、接地側トランジスタ  $M_1$  の直接駆動により、スイッチングスピードの向上が期待できる。

加えて図 4 に示すように PMOS トランジスタ  $M_3$  を導入した。出力オフ状態、すなわちコントロール信号  $S$  が “H” レベルから “L” レベルに変化したとき、ノード  $X$  の電位を少なくとも  $V_{G2} - V_{TH2}$  まで充電する必要がある。PMOS トランジスタ  $M_3$  が不在の場合、この充電はトランジスタ  $M_2$  のドレイン電流のみで行わなければならない。MOS トランジスタのドレイン電流は、ゲート-ソース間電圧が小さくなるほどに減少する。したがって、トランジスタ  $M_2$  のソース電位 (ノード  $X$  の電位) が  $V_{G2} - V_{TH2}$  に近付くと、この電流は極端に減少する。このためオフ動作の最終局面での回路応答が鈍り、セトリングタイムの劣化につながる。ノード  $X$  に付加された PMOS トランジスタ  $M_3$  は、これを回避するために設けられたものである。コントロール信号  $S$  が

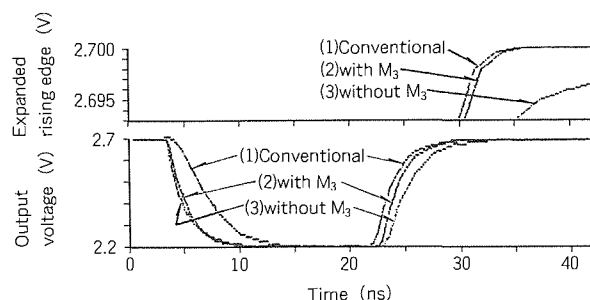


図 5. 回路構成別出力応答

“L”レベルになったとき、ノード X の電位は上昇し始める。それと同時に PMOS トランジスタ  $M_3$  は、オン状態となりノード X 点の電位上昇を加速するため、セトリングタイムの劣化を防ぐことができる。

以上述べた接地側トランジスタ  $M_1$  の直接駆動及びトランジスタ  $M_3$  の導入の効果を図 5 に示す。図で比較しているのは、① 図 1 の従来形電流源回路において新バイアス方法を導入するため、トランジスタ  $M_2$  のチャネル長を長くした場合、② 後で述べるこの電流源回路の最終構成回路である図 6 の構成を用いた場合、③ 同図の構成から PMOS トランジスタを取り去った場合の三つの波形である。図中下部に示した波形は出力応答波形全体を示している。立ち下がり遷移波形に注目すると接地側トランジスタ  $M_1$  をコントロール信号で直接駆動する方式を採用することで、セトリングタイムが向上していることが分かる。また、図中上部に示した波形は出力波形の立ち上がり遷移時におけるセトリング部分を拡大したものである。図に示されるように PMOS トランジスタ  $M_3$  を付加したことにより、出力電圧が最終値に近付いてもセトリングタイムの劣化がなく、高速化が実現されている。以上のように、図 4 に示した電流源回路の構成を用いることによって、精度及び速度を損なうことなく低電源電圧化が実現できることが確認できた。

図 6 にこの D/A コンバータに実際に採用した電流源回路構成を示す。基本的には図 4 に示した電流源回路二つを 1 組とした。一对の電流源回路はコントロール信号  $S$ ,  $\bar{S}$  で直接駆動され、その動作は相補関係にある。この回路構成は相補出力電流経路を持つため、消費電流をほぼ一定に保つこと

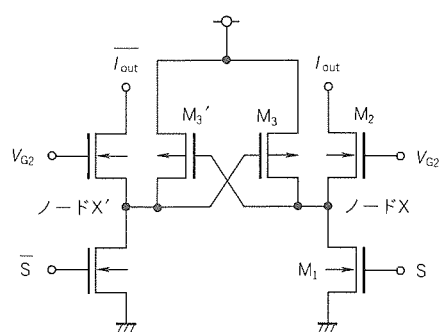


図 6. 低電源電圧用電流源回路

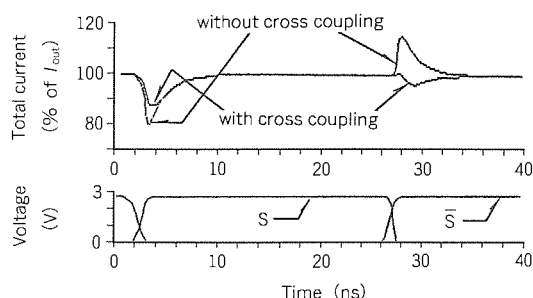


図 7. PMOS トランジスタの効果

ができる。したがって、この電流源回路を用いて D/A コンバータを構成した場合、入力デジタルコードに依存することなくアナログ部の消費電流を一定に保つことができる。これにより、入力デジタルコードの変化に依存した電源ラインの電位変動やチップ内熱変動を抑えることができ、D/A コンバータの精度向上を図ることができる。

PMOS トランジスタはクロスカップリングした。コントロール信号  $S$  が“L”レベルから“H”レベルに変化したとき、出力電流  $I_{out}$  が流れ始める。ノード X の電位の低下によって相補出力側の PMOS トランジスタ  $M_3'$  がオンし始め、ノード X' の電位は上昇する。したがって、コントロール信号  $S$  の変化が  $S$  の変化に対して遅れても相補出力電流  $I_{out}$  は減少し始める。すなわち、この回路構成を用いることで、コントロール信号  $S$ ,  $\bar{S}$  間のスキューによる総出力電流の瞬間的変動を小さく抑えることができる。クロスカップリングした PMOS トランジスタの効果を図 7 に示す。図中上部に示した波形は、出力電流の総和、図中下部に示した波形はコントロール信号である。これより、コントロール信号  $S$ ,  $\bar{S}$  間にスキューが存在しても  $M_3$ ,  $M_3'$  を付加したことにより、総出力電流の変動が小さく抑えられていることが分かる。

### 3. D/A コンバータ全体の回路構成

図 8 にこの D/A コンバータ全体の回路構成を示す。上位 7 ビットを電流セルマトリクス方式、下位 3 ビットを重み付け電流源方式とした。また、マトリクスデコードには論理ゲート群を用いている<sup>(7)</sup>。電流源には、図 6 に示した低電源電圧用電流源を用いている。電流源の重み付けは単位トランジスタ  $M_1$ ,  $M_2$  の並列接続によって実現している。

また、電流源回路内 PMOS トランジスタ  $M_3$  に関しては、出力電流に影響を与えないため各電流源セルとも同一サイズとした。電流源配列のスイッチング方式には、階層対称スイッチングを採用した<sup>(2)</sup>。これにより、電流源配列内に存在する傾斜形及び対称形出力電流誤差分布を相殺し、精度向上を図っている。

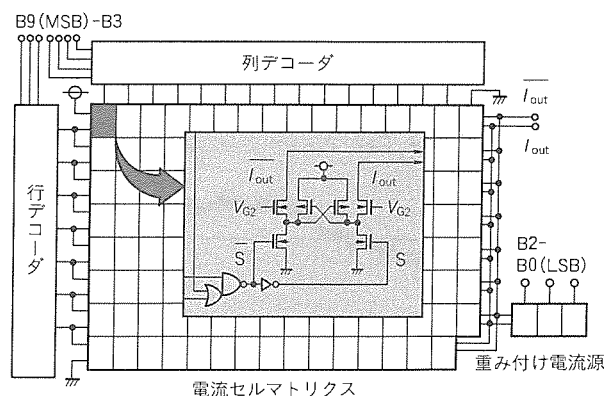


図 8. D/A コンバータ回路構成

#### 4. 試作結果

図9にチップ写真を示す。0.5  $\mu\text{m}$  プロセスの開発に先行し、1.0  $\mu\text{m}$  CMOS プロセスを用いて試作した。配線層は、1層ポリシリコン2層アルミである。チップサイズは、2.02 mm  $\times$  1.87 mm である。入出力パッドを除いたサイズは、1.41 mm  $\times$  1.28 mm と小面積である。また、低電源電圧動作を実現するための新たなオプションプロセスは追加していない。したがって、オンチップ用 D/A コンバータとしても適している。

図10にこの D/A コンバータにおける電源電圧 2.7 V、フルスケール出力電圧 0.5 V 時の直線性誤差測定結果の一例を示す。この例では、積分非直線性は  $\pm 0.45$  LSB (Least Significant Bit) である。微分非直線性は  $\pm 0.21$  LSB である。

図11は直線性誤差の電源電圧依存性を示したものである。微分非直線性は、電源電圧に依存することなくほぼ  $\pm 0.25$  LSB と一定である。積分非直線性に関しては、電源電圧 2.7  $\sim$  3.6 V の範囲においてフルスケール出力電圧 0.5 V 時は 0.5 LSB 以下、フルスケール出力電圧 1 V 時は 1 LSB 以下と良好な結果が得られた。

図12はフルスケールセトリグ波形を示したものである。フルスケールの  $\pm 0.2\%$  内のセトリグタイムは立ち上がり、立ち下がりともに 20 ns 以下である。

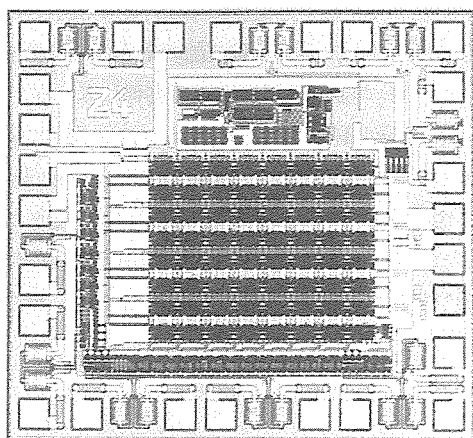


図9. チップ写真

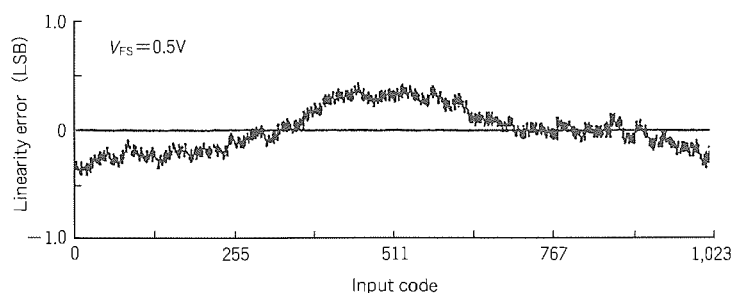


図10. 直線性誤差

図13は50 M サンプル/秒のフルスケール応答波形を示したものである。これより、この D/A コンバータの全ゲートが50 MHz で動作していることが検証できた。

表1にこの D/A コンバータの諸元をまとめる。

#### 5. むすび

3 V 電源 (2.7 V 以上) で動作する分解能 10 ビット、最大変換速度 50 M サンプル/秒の CMOS D/A コンバータを試作した。接地側トランジスタを線形領域で動作させる新しいバイアス方法の採用により、電流源の低電源電圧化を実現した。また、電流源回路内スイッチングトランジスタの直接駆動及び充電用 PMOS トランジスタの追加により、低電源電圧においても最大変換速度 50 M サンプル/秒を実現した。この D/A コンバータは、ハイビジョン機器などの映像機器に適用でき、バッテリー駆動においても使用できる。さらに、セルサイズも小さく、オンチップ用としても適している。

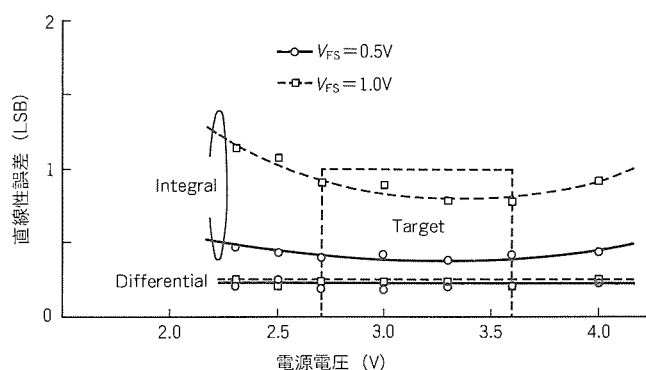
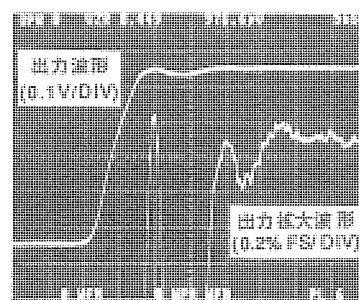
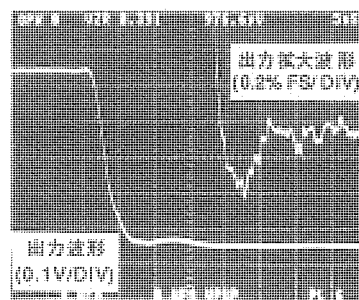


図11. 直線性誤差の電源電圧依存性



(a) 立ち上がり遷移波形



(b) 立ち下がり遷移波形

図12. セトリグ波形

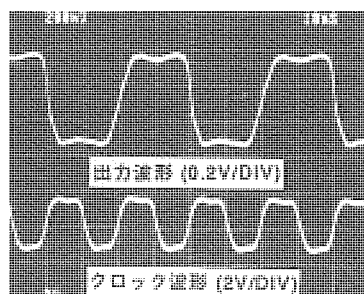


図13. 50Mサンプル/秒出力応答波形

今後、0.5  $\mu\text{m}$  プロセスを用いて D/A コンバータを開発する際、この電流源回路を適用することで、開発期間を短縮することができる。

### 参考文献

- (1) Pelgrom, M. J. M. : A 10-b 50 MHz CMOS D/A Converter with 75- $\Omega$  Buffer, IEEE Journal of Solid-State Circuits, **25**, No.6, 1347 ~ 1352 (1990)
- (2) Nakamura, Y., Miki, T., Maeda, A., Kondo, H., Yazawa, N. : A 10-b 70 MS/s CMOS D/A Converter, IEEE Journal of Solid-State Circuits, **26**, No.4, 637 ~ 642 (1991)
- (3) Takakura, H., Yokoyama, M., Yamaguchi, A. : A 10 bit 80 MHz Glitchless CMOS D/A Converter, CICC Digest of Technical Papers, 26.5.1 ~ 26.5.4 (1991)
- (4) Miki, T., Nakamura, Y., Nishikawa, Y., Okada, K., Horiba, Y. : A 10 bit 50 MS/s CMOS D/A Converter with 2.7 V Power Supply, 1992 Symposium on VLSI Circuits Digest of Technical Papers, 92 ~ 93 (1992)
- (5) 中村泰之, 三木隆博, 西川穀一, 岡田圭介, 堀場康孝 : 10 bit 50 MS/s CMOS D/A コンバータ, 電子情報通信学会集積回路研究会予稿集, ICD92-22, 23 ~ 29 (1992)
- (6) Miki, T., Nakamura, Y., Nishikawa, Y., Okada, K., Horiba, Y. : A 10 bit 50 MS/s CMOS D/A Converter with 2.7 V Power Supply, IEICE Trans. on Electronics, **E76-C**, No.5 (1993)
- (7) Miki, T., Nakamura, Y., Nakaya, M., Asai, S., Akasaka, Y., Horiba, Y. : An 80-MHz 8-bit CMOS D/A Converter, IEEE Journal of Solid-State Circuits, **SC-21**, 983 ~ 988 (1986)

表1. チップ諸元

|                        |   |
|------------------------|---|
| Resolution             | 10ビット   |
| Conversion rate        | 50Mサンプル/秒   |
| Power supply           | >2.7V   |
| Settling time          | <20ns ( $\pm 0.2\%$ )                                 |
| Differential linearity | < $\pm 0.25\text{LSB}$                                |
| Integral linearity     | < $\pm 0.5\text{LSB}$ ( $V_{\text{FS}}=0.5\text{V}$ ) |
| Power consumption      | 50mW ( $I_{\text{FS}}=10\text{mA}$ )                  |
| Active area            | 1.41mm $\times$ 1.28mm                                |

# トレンチMOSゲート構造の600V 絶縁ゲートバイポーラトランジスタ

原田真名\* 西原秀典+  
湊 忠玄\*\* 井上敬二\*\*\*  
高橋英樹\*\*\* 高田育紀\*\*

## 1. ま え が き

1980年代にパワーエレクトロニクス分野は、220V ACライン用に引き続き440V ACライン用の電力用バイポーラトランジスタが実用化されたことで、急激な発展拡大を遂げた<sup>(1)</sup>。高速スイッチングが可能なバイポーラトランジスタを使用した電力変換装置は、その機能と効率が飛躍的に高くなって、小型・軽量・安価になったからである。しかしながら、パワーエレクトロニクスの技術進歩は速く、1980年代前半に発明された絶縁ゲートバイポーラトランジスタ(IGBT)が1けた速いスイッチング動作と電圧駆動型であるという利点を持っていることから<sup>(2)</sup>、1990年ごろ以降IGBTの使用が広がった。現在では、IGBTがバイポーラトランジスタに代わって主要電力用デバイスとなっている。

IGBTは、等価回路がpnダイオードとMOSFETの直列接続構造と見なせるスイッチングデバイスである。MOSFETは、pnダイオードに流れる主電流を断続する働きを行う。オン状態のIGBTは順方向のpnダイオードと近似できる。バイポーラトランジスタに代わって使われだしてからIGBTにはオン電圧の低減を目的とした基本的な改善が加えられ、第一、第二、第三世代IGBTと世代を重ねてきた。これらの改善は、主としてチップ表面に形成されたMOSFETの微細化によって行われた<sup>(3)</sup>。しかし、更なる微細化は、逆にオン電圧を上昇させることが分かっており、現在の第三世代がほぼ特性限界と考えられている<sup>(4)</sup>。この限界を越えるIGBTとして、チップ表面に狭く深い溝(トレンチ)を形成し、その側壁にMOSFETを形成する構造のIGBT(以下“トレンチIGBT”という)が提案されている。し

かし、トレンチIGBTは十分な耐圧を得難い<sup>(5)</sup>、増大する製造コストの割にオン電圧の改善が小さい<sup>(4)</sup>等の理由で現在まで実用化を目指した開発が進んでいなかった。

今回、定格600V、50AのトレンチIGBTの開発を行ったのでその結果を報告する。トレンチIGBTは、十分な耐圧特性と破壊耐量を持ちながら従来構造のIGBTを大きく上回るオン電圧特性を示すことを確認した。

## 2. デバイス構造

図1に、試作したトレンチIGBTの構造を示す。基板表面にはエミッタ層があり、その下にpベース層を突き抜けてストライプ状のトレンチが約4 $\mu$ m間隔で密に形成されている。

MOSFETはそれぞれのトレンチの両側面に形成される。トレンチ内に埋め込まれた、りんを含んだポリシリコンがゲート電極として働く。ゲート電極をpベース層に対して正電位にすると、pベース層のトレンチ側面の薄いシリコン酸

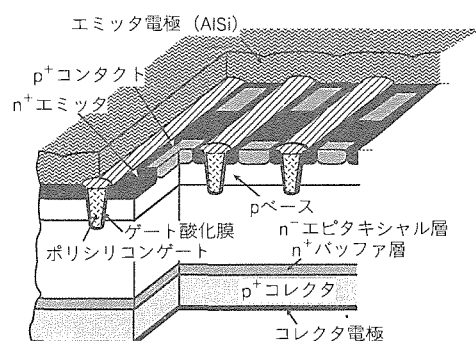


図1. トレンチIGBT構造

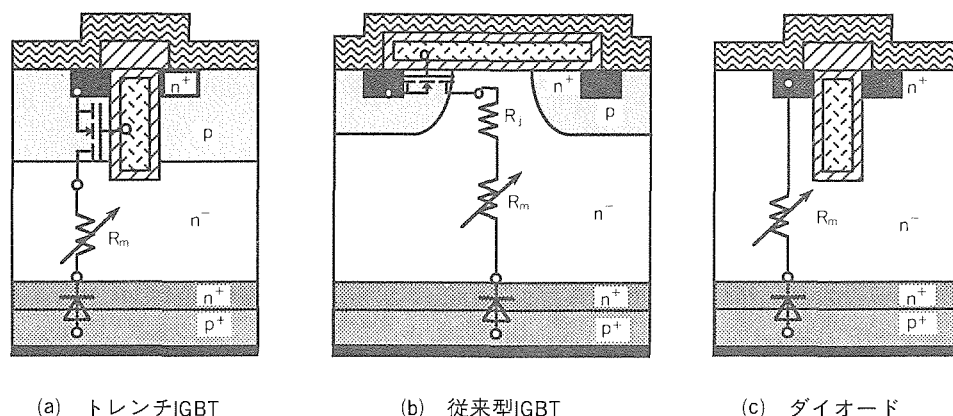


図2. オン状態等価回路モデル

化膜との界面がn形領域(チャネル)となり、電流は $p^+$ コレクタ $\rightarrow n^+$ バッファ層 $\rightarrow n^-$ エピタキシャル層 $\rightarrow$ チャネル領域 $\rightarrow n^+$ エミッタ層の経路で流れる。

図2(a), (b)は、トレンチIGBTと従来型IGBTの断面模式図である。両者に共通なIGBTのオン状態の動作機構を説明する。IGBTのオン電圧の大半は、耐圧を保持するために必要な厚い(耐圧700Vに対して約50 $\mu m$ ) $n^-$ エピタキシャル層の実質的な抵抗で決まる。 $n^-$ エピタキシャル層の比抵抗は数十 $\Omega cm$ と高いが、MOS FETから電子が入ってくると、電気的中性を保つためにpnダイオードから正孔が入り電荷数が著しく増大し、実質的な抵抗を1けた以上低減することができる。実質的な抵抗は、①MOS FETの電子供給能力、②pnダイオードの正孔供給能力と③ $n^-$ エピタキシャル層内の電荷のライフタイム等で定まる電荷密度分布形状で決まる。トレンチIGBTは、従来型IGBTに比べて、①のMOS FETの電子供給能力を高めることができる構造になっている。以下に詳しい説明を行う。

図2(b)に示す従来型IGBTでは、pベースに挟まれた領域( $R_j$ )でオン電流の経路が狭まる現象(接合型FET効果)が起こるために電圧降下が発生する。この電圧降下は、それ自体MOS FETの電子供給能力を低下させる上に、高性能化に最も効果のある微細化を制限する要因となる。すなわち、微細化を進めてpベース間隔を狭くすると電圧降下が急激に大きくなり、かえってオン電圧が増大する現象が起こる。この悪影響はpベース深さを浅くして低減できるが、それでもオン電圧が最小となるpベース間隔は30 $\mu m$ 程度以下にはならないことがシミュレーションと実験の両方で確認されている。

トレンチIGBTでは、図2(a)に示すようにオン電流の経

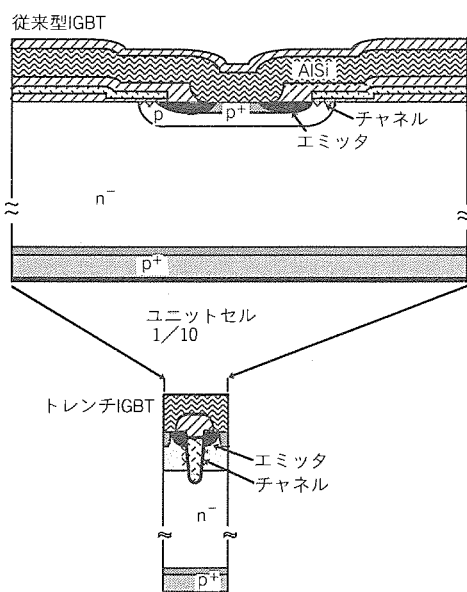


図3. トレンチIGBTと従来型IGBTとのユニットセル比較

路が狭まる領域( $R_j$ )がなく“MOS FETとpnダイオードの単純な直列接続”となるので、加工技術の限界までセル幅を縮小することができる。高集積化によってMOS FET部は電子供給能力を著しく高めることが可能となる。MOS FETの電子供給能力が十分高い極限では、MOS FETはチャネル部の電圧降下がほとんどなくなり、トレンチIGBTのオン動作時の特性は図2(a)のIGBT構造からチャネルを取り去った(c)の構造のデバイスすなわちダイオードの特性に近づくと考えられる。図3は、試作したトレンチIGBTと従来の第三世代IGBTのユニットセルの比較である。試作したトレンチIGBTのユニットセルは、従来型の約1/10に縮小されている。

### 3. 製造プロセス

図4に、製造プロセスの概要を示す。 $p^+$ 基板上に $n^+$ バッファ層と $n^-$ 層をエピタキシャル成長したウェーハ表面にほう素を拡散してpベースを形成した後に、ひ素拡散によってエミッタ層を形成した(図4(a))。次に、シリコン基板を異方性エッチングして、pベースを貫通し底部が $n^-$ エピタキシャル層に達するトレンチを形成した(図4(b))。続いてトレンチ内壁にゲート酸化膜を形成した後、りんを含んだポリシリコンをたい(堆)積してトレンチを埋め込んだ。表

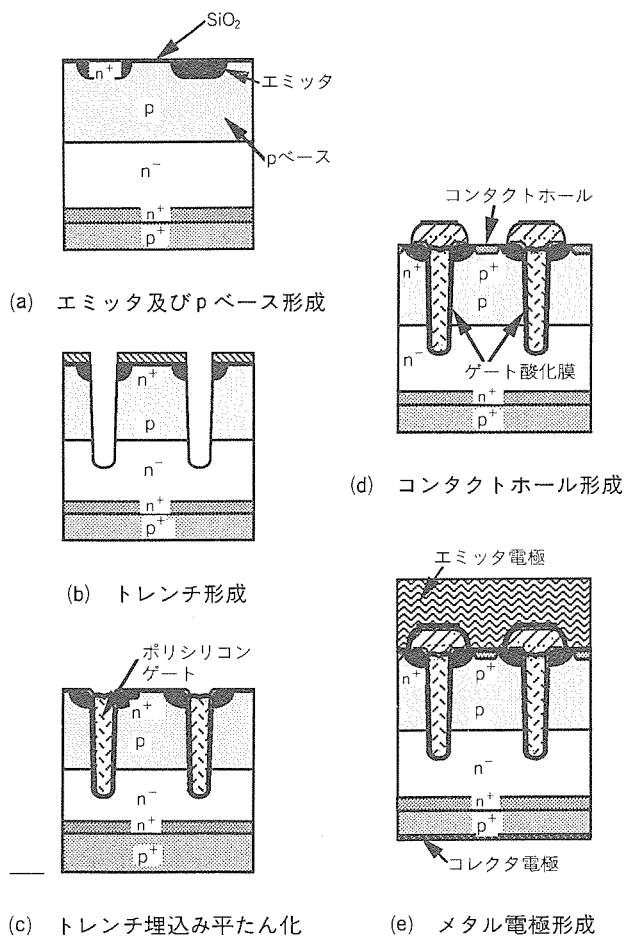


図4. 製造プロセスフロー

面に堆積したポリシリコンは、トレンチ開口部までエッチングしてトレンチ開口部を平坦化した(図4(c))。トレンチの間の一部領域にコンタクト抵抗を減らすために高濃度のほう素を拡散し、ゲート電極、エミッタ電極の層間絶縁膜用としてCVD酸化膜を形成した後、エミッタのコンタクトホールを形成した(図4(d))。最後に、表面にエミッタ電極及びゲート電極、裏面にコレクタ電極を形成した(図4(e))。

図5は、試作した定格電圧600VトレンチIGBTのチップ表面写真の一例である(チップサイズ:6.2mm×6.2mm)。

#### 4. 電気特性

##### 4.1 素子耐圧

図6は、今回試作したトレンチIGBTのコレクタ-エミッタ間耐圧( $BV_{CES}$ )の $n^-$ エピタキシャル層厚み依存性である。耐圧定格が600VのIGBTで必要とされる750V程度の耐圧の実力を得るためには、従来型では58 $\mu\text{m}$ の $n^-$ エ

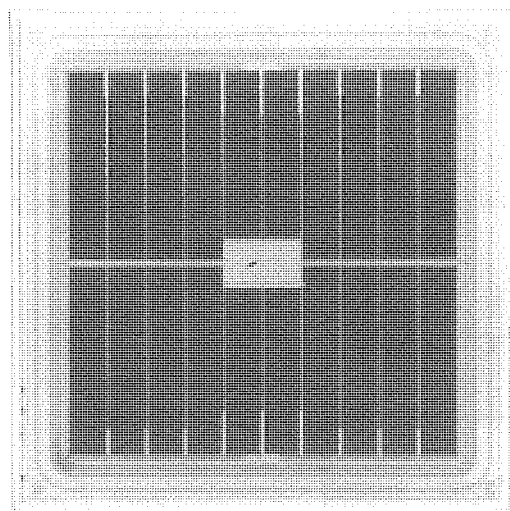


図5. 試作トレンチIGBTのチップ写真  
(6.2mm×6.2mm)

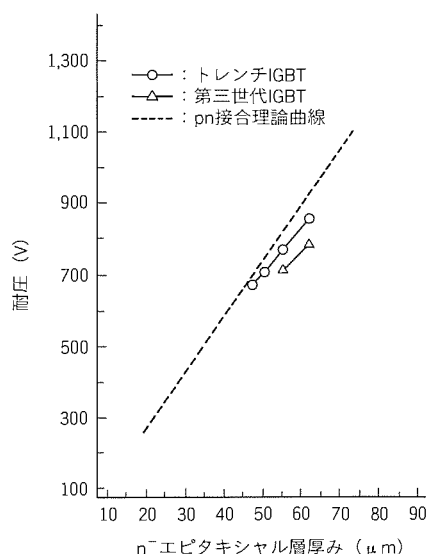


図6. 耐圧の $n^-$ エピタキシャル層厚み依存性

ピタキシャル層厚みが必要なのに対し、トレンチIGBTでは52 $\mu\text{m}$ でよいことが分かる。従来指摘されていたトレンチ構造による耐圧保持特性の悪化<sup>(6)</sup>は認められず、むしろ平面pn接合の理論値に近い値が得られた。これは、トレンチ底部の $n^-$ エピタキシャル層への突出を小さくしたことでトレンチ間隔を狭くしたことから、トレンチ底部付近の電界集中が従来形IGBTの各pベース端における電界集中よりも小さくなったことが原因であると考えている。

##### 4.2 スイッチング(ターンオフ)特性

IGBTの高速動作化には、 $n^-$ エピタキシャル層内の電荷密度が大きくなり過ぎないように電荷のライフタイムを短く制御することが必要である。トレンチIGBTでも、従来形IGBTと同様に電子線照射、及びアニールによってライフタイム制御を行っている。図7は、試作したトレンチIGBTのターンオフ時のコレクタ電流( $I_C$ )、電圧波形( $V_{CE}$ )の一例である。ほぼ従来型IGBTと同じ特性を示している。

##### 4.3 オン電圧

図8は、従来型の第三世代IGBTとトレンチIGBTの出力特性を比べたものである。比較のために、トレンチIGBTのpベースを形成せずMOSFET動作機能を除去したダイオード(図2(c))の測定結果と、従来型第二世代IGBTの出力特性も記載している。いずれもIGBTのスイッチング時間( $t_f$ )が200nsに相当する条件で電荷のライフタイム制御を行っている。

トレンチIGBTは、第三世代IGBTよりもコレクタ電流密度100A/ $\text{cm}^2$ で0.4V、200A/ $\text{cm}^2$ では0.8V低いオン電圧を示している。トレンチIGBTはダイオードに近い出力特性が実現されている。これは、接合型FET効果がないことと、高集積化されたためにMOSFET内部の電圧降下が小さくなったためであると考えている。

図9に、オン電圧のトレンチピッチ幅依存性の実験結果を示す。トレンチIGBTでも従来形と同様にユニットセル幅に最適値があるという予想<sup>(4)</sup>があったが、少なくとも3 $\mu\text{m}$ 以上のトレンチピッチに対して、ピッチの減少とともにオン

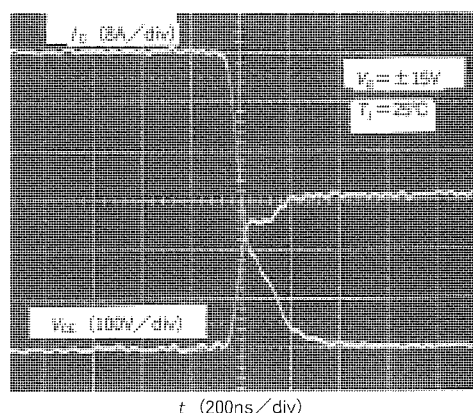


図7. ターンオフスイッチング波形(抵抗負荷)



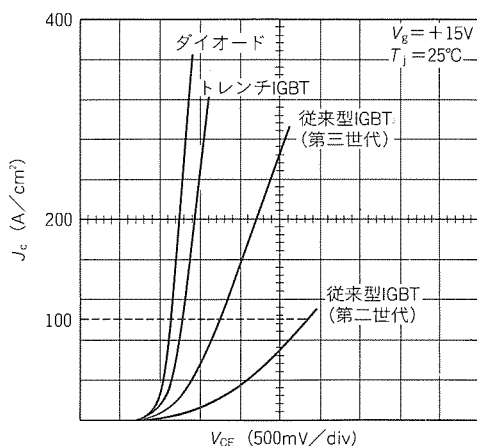


図8. トレンチIGBTと従来型IGBT, ダイオードとの出力特性比較

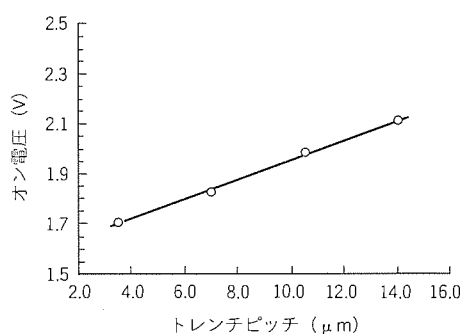


図9. オン電圧のトレンチピッチ依存性

電圧は単調に小さくなっている。トレンチ IGBT では大幅な微細化が可能であることが分かる。

IGBT のオン電圧は  $n^-$  エピタキシャル層の電荷密度を増やせば小さくすることができるが、 $n^-$  エピタキシャル層から電荷がなくなるまでの期間であるターンオフ時間 ( $t_f$ ) は逆に長くなる。図10は、このようなオン電圧-ターンオフ時間 ( $t_f$ ) のトレードオフ曲線をトレンチ IGBT と従来型の第二世代、第三世代 IGBT で比較したものである。従来型 IGBT の第二世代から第三世代への改善は、オン電圧の低減によってもたらされた。トレンチ IGBT は、第三世代 IGBT よりも更に小さいオン電圧なので一層良好なトレードオフ特性を示している。

#### 4.4 負荷短絡耐量(ラッチアップ耐量)

負荷が短絡した状態のデバイスには、電源電圧が印加されたまま大電流が流れる。この状態での破壊耐量は負荷短絡耐量と呼ばれ、パワーデバイスの重要な特性項目である<sup>(6)</sup>。特に、IGBT は npnp のサイリスタ構造を寄生的に内蔵しているので、このサイリスタが動作(ラッチアップ)しないようにすることが重要である。なぜならサイリスタは、バイポーラトランジスタ、IGBT 等と異なりこの破壊に対する耐性(高電圧下で大電流が流れ過ぎるのを抑制する動作機構)が本質的にないために一瞬に破壊するからである。

トレンチ IGBT は、通電能力が非常に大きいデバイスな

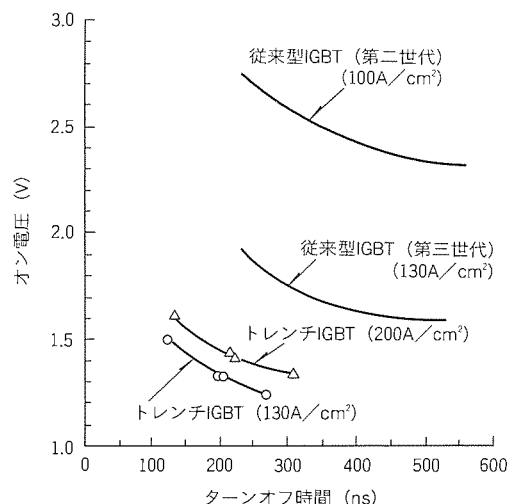


図10. オン電圧-ターンオフ時間 ( $t_f$ )  
トレードオフ比較 (当社比較)

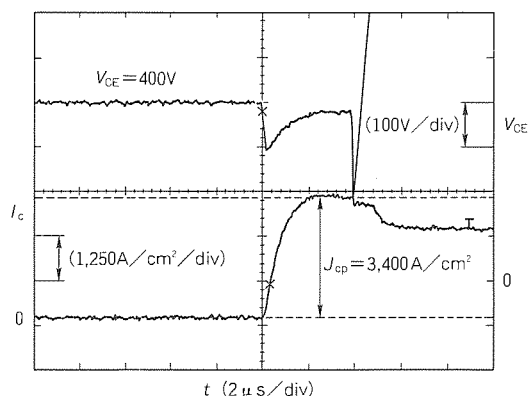


図11. 短絡時の電流、電圧波形  
( $V_{CC}=400V$ ,  $V_g=+15V$ ,  $T_j=125^\circ C$ )

ので負荷短絡時に流れる電流は従来型 IGBT の3～5倍に達するが、通常の駆動条件で使う限りラッチアップは起らない。図11に、負荷短絡時のコレクタ電流 ( $I_C$ ) と電圧 ( $V_{CE}$ ) の波形の一例を示す。電流密度のピークは  $3,400 A/cm^2$  にも達するが、ラッチアップが起きやすいターンオン後の  $dI_C/dt$  が大きい期間では異常動作は起きず、電流がピークを過ぎた後に破壊が起きている。この破壊は IGBT チップの温度上昇が原因で起きており、ラッチアップによるものではないと推測できる<sup>(6)</sup>。このようなトレンチ IGBT におけるラッチアップ耐量の改善は、内蔵している npn トランジスタの寄生動作をエミッタ領域の微細化によって抑制することによってもたらされた。

## 5. む す び

トレンチ MOS ゲート構造を採用した定格  $600V$ ,  $50A$  のトレンチ IGBT を、トレンチ構造に伴う構造的な問題点を解決することによって開発し、従来構造で最も特性改善の進んだ第三世代 IGBT を大きく上回る特性を得た。さらに、

トレンチ IGBT は接合型 FET 効果のない“MOS FET と pn ダイオードの直列接続”という IGBT の理想的な構造をほぼ実現している優れたデバイスであり、次世代パワーデバイスとして十分実用化が可能であることを確認した。

現在、より広範囲の耐圧領域の IGBT とパワー MOS FET へのトレンチ構造の適用を進めており、順次製品化する予定である。

## 参考文献

- (1) Nishiumi, H., Takata, I., Takagi, Y., Kojima, S.  
: High Voltage High Power Transistor Modules  
for 440 V AC Line Voltage Inverter Applications,  
Conf. Record of International Power Electric  
Conference in Tokyo, 297 ~ 305, (1983)
- (2) 川上 明, 山田富久, 森 敏: パワーデバイスの現状と  
展望, 三菱電機技報, 67, No.9, 874 ~ 879 (1993)
- (3) 高梨 健, 大島征一, ゴーラブ マジウムダール, 友松  
佳史: 第三世代インテリジェントパワーモジュール, 三  
菱電機技報, 67, No.9, 885 ~ 889 (1993)
- (4) Otsuki, M., Momota, S., Nishiura, A., Sakurai,  
K.: The 3rd Generation IGBT toward a Limita-  
tion of IGBT Performance, Proc. 5th Interna-  
tional Symposium on Power Semiconductor De-  
vices and ICs, 24 ~ 29, (1993)
- (5) Chang, H. R., Baliga, B. J.: 500 V n-Channel In-  
sulated-Gate Bipolar Transistor with a Trench  
Gate Structure, IEEE Trans. Elec. Devices, ED-  
36, No.9, 1824 ~ 1829 (1989)
- (6) Yamashita, J., Uenishi, A., Tomomatsu, Y., Ha-  
ruguchi, H., Takahashi, H., Takata, I., Hagino,  
H.: A Study on the Short Circuit Destruction of  
IGBTs, Proc. 5th. International Symposium on  
Power Semiconductor Devices and ICs, 35 ~ 40  
(1993)



# 溶融再結晶化法を用いた新型高効率 薄膜多結晶シリコン太陽電池

森川浩昭\* 隈部久雄\*  
有本 智\*\* 室谷利夫\*\*  
石原 隆\*

## 1. ま え が き

近年、環境問題や代替エネルギーとして太陽電池への関心が高まっており、電力会社による自家発電余剰電力の購入制度(家用直流発電設備を逆潮流がある状態で系統へ連系する。)の発足や個人が太陽光発電システムを導入する場合、その購入費の2/3を国が補助するなど、実用化をにら(呪)んだ施策が検討されている。しかし、電力用途として本格的な太陽電池の普及を図るには更なる低コスト化が必要である。

これまで電力用太陽電池は低コスト化を目指し、アモルファス Si や多結晶 Si を用いたものが開発されてきているが、前者は変換効率が低い上、光劣化の問題が残されていること、後者はまだ材料コスト面からの問題を抱えており、いずれも本命になり得ていない。一方、薄膜 Si 太陽電池は、使用するシリコン原料が少なく高効率も期待できることから研究が進められている。これまでグラファイトやセラミック基板上に直接数十  $\mu\text{m}$  厚の薄膜 Si を形成した薄膜 Si 太陽電池が検討されている<sup>(1)(2)</sup>。1 cm 角サイズ程度の小面積では、15 %程度の比較的高い変換効率が得られているものがある<sup>(3)</sup>が、実用的なサイズである 10 cm 角以上の大面積では高効率なものは得られていない。その主な理由は、基板から発電層への不純物混入の影響による結晶品質の低下や薄膜 Si 中の欠陥密度の低減が困難であったこと、又は基板と Si との間のストレス等が原因で大面積にわたる高品質な薄膜 Si を得るのが困難であったことによる。

我々はこれらの問題点を解決すべく、基板全面に形成した絶縁膜上に薄膜多結晶 Si を形成し、これを発電層とする新しいタイプの薄膜多結晶 Si 太陽電池を開発した。この絶縁膜は、薄膜多結晶 Si を形成する際、基板からの不純物混入を防止し、ストレスを最小限に抑える役割を果たす。この結果、欠陥の少ない薄膜多結晶 Si を大面積にわたり形成する

ことができるようになった。

この報告では絶縁膜上の薄膜多結晶 Si 形成技術、テクスチャー構造形成技術、パッシベーション技術など新たに開発した製造技術について述べ、最後に試作した太陽電池の特性について報告する。

## 2. 薄膜多結晶Si太陽電池の構造と作製方法

薄膜多結晶 Si 太陽電池は、支持基板上全面に形成した絶縁膜と、この絶縁膜上に形成した薄膜多結晶 Si 層からなる SOI (Silicon on Insulator) 構造を基本としている。この SOI 構造は、溶融再結晶化 (Zone-Melting Recrystallization: ZMR) 法によって作製するが、この技術により、薄膜多結晶 Si 層の結晶品質が決定される。図 1 は薄膜多結晶 Si 太陽電池の構造である。この構造は支持基板裏面側に支持に必要な格子状の部分以外の基板及び絶縁膜をエッチングで除去し、裏面電極を形成するもので、同時に裏面の高反射率を利用して有効な光閉じ込め構造を形成できることから、太陽電池特性向上にも極めて有効なものである。これにより、厚さ数十  $\mu\text{m}$  の薄膜多結晶 Si 層は十分な強度で自己保持できる。また、格子サイズは薄膜 Si の強度、抵抗率を考慮して電力損失がないように設計した。

次に太陽電池の作製方法を説明する。図 2 はそのプロセスフローである。まず、支持基板全面に絶縁膜 ( $\text{SiO}_2$ ) を形成した後、熱 CVD (Chemical Vapor Deposition) 法により、厚さ 3 ~ 5  $\mu\text{m}$  の多結晶 Si 層を形成する。この多結晶 Si 層の結晶粒径は 1 ~ 2  $\mu\text{m}$  と小さく、このまま太陽電池の活性層として用いても、極めて低い変換効率(たかだか数%)しか得られない。そこで、我々は、溶融再結晶化法によって結晶粒径の拡大を行った。これにより、数 mm から cm オ

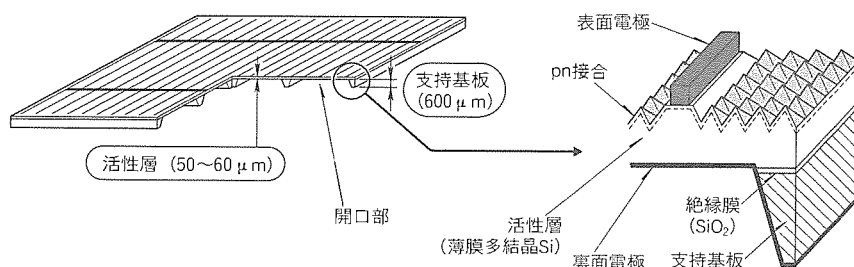


図 1. 薄膜多結晶Si太陽電池の構造

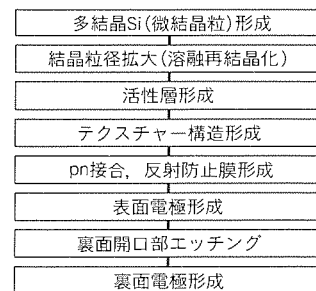


図 2. 薄膜多結晶Si太陽電池  
プロセスフロー

オーダーの大きさまで、薄膜多結晶 Si の結晶粒径を拡大できた。さらに、十分な光電流を得るために、熱 CVD 法によって数十  $\mu\text{m}$  厚の Si 層をたい(堆)積させ、SOI 構造を形成した。次いで表面に光閉じ込めのためのピラミッド状で高さ 5 ～ 10  $\mu\text{m}$  の凹凸(テクスチャー)構造を形成した後、pn 接合、反射防止膜及び表面電極を形成し、表面側を作りあげる。その後、表面側を保護し、基板裏面から基板及び絶縁膜を選択的にエッチング除去することによって開口部を設け、裏面側から水素パッシベーションを施した後、裏面電極を形成して太陽電池を完成させる。

### 3. 要素技術と太陽電池特性

#### 3.1 溶融再結晶化技術

図 3 に溶融再結晶化装置の概略を示す。装置はサンプル全体を加熱する下側ヒータと、一方向に走査しながら薄膜 Si 層を溶融再結晶化させる上側ヒータからなっている。図 3 に示すようなサンプルを作製し、セットする。サンプルは下側のヒータによってあらかじめ約 1,200℃ に加熱し、さらに上側のカーボンストリップヒータを一方向に走査することにより、多結晶 Si を溶融再結晶化させる。走査方向に対して、順次帯状に溶融、再結晶化することによって微小であった結晶粒が、数 mm から cm のオーダーにまで拡大された薄膜多結晶 Si 層となる<sup>(4)</sup>。

ところで、太陽電池特性向上の最大のキーポイントは、活性層となる薄膜多結晶 Si の結晶品質を向上させることである。そこで、薄膜多結晶 Si 層の結晶面方位の均一性向上及び欠陥密度低減について検討した。

溶融再結晶化法によって形成される薄膜多結晶 Si 層の結晶面方位は、上側ヒータの走査速度、つまり多結晶 Si 層の溶融再結晶化速度に強く依存する。図 4 に、上側ヒータの走査速度に対する溶融再結晶化膜の (100) 配向性評価結果を示す。結晶面方位はエッチピット法<sup>(5)</sup>により、また、エッチピット密度 (Etch Pit Density : EPD) は欠陥をケミカルなエッチングによってピット状に露出させ評価することにより、それぞれ調べた。図に示すように走査速度を 0.2 mm/s ま

で下げると、(100) 面方位の結晶領域は 90 % 以上に広がり、かつ欠陥密度は大幅に低減 ( $2 \times 10^6 / \text{cm}^2$ ) し、溶融再結晶化した薄膜多結晶 Si の結晶性が著しく改善されることが分かった<sup>(6)</sup>。

溶融再結晶化工程後、十分な光電流を得るために熱 CVD 法により数十  $\mu\text{m}$  厚の Si 層を溶融再結晶化 Si 層上に堆積させ活性層を形成する。その際、表面を十分清浄化する必要があるが、HCl エッチングによる表面処理を行った。これは熱 CVD 炉内で活性層を形成する直前に溶融再結晶化 Si 層の表面を HCl ガスによってエッチングするものである。HCl エッチング処理を行わずに活性層を形成する場合、活性層には積層欠陥などの結晶欠陥が発生するが、溶融再結晶化した Si 層表面を 2  $\mu\text{m}$  程、HCl エッチングによって除去した後、活性層を形成すると、これらの欠陥は抑制され、全体の欠陥密度も低減されることが分かった<sup>(7)</sup>。

また、開発した薄膜多結晶 Si 太陽電池の支持基板は、原理的には任意の材料が使用できる。そこで、低コスト化の観点から、低純度 Si の採用を考えた。この場合、同基板から意図しない不純物が混入する心配があり、SOI 構造を作製して評価した。その結果、低純度基板上的 SiO<sub>2</sub> 膜は溶融再結晶化工程中の高温にさら(曝)されても支持基板から薄膜

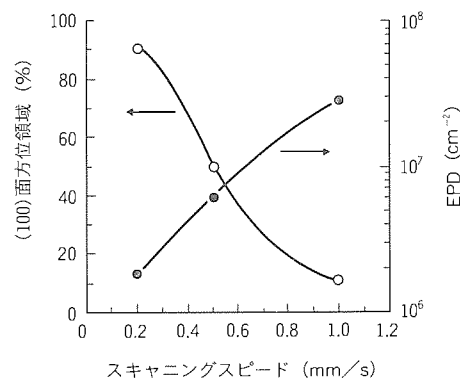


図 4. スキャンングスピードに対する (100) 面方位と EPD の関係

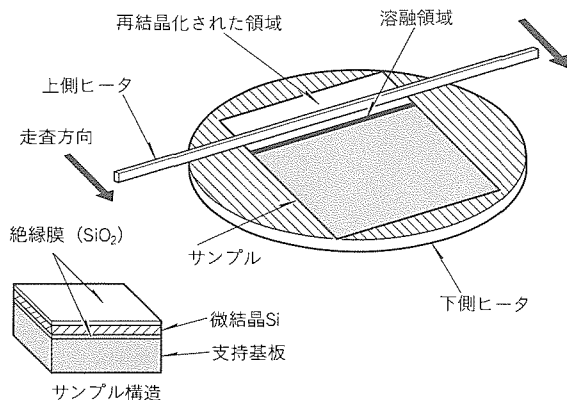


図 3. 溶融再結晶化装置概略

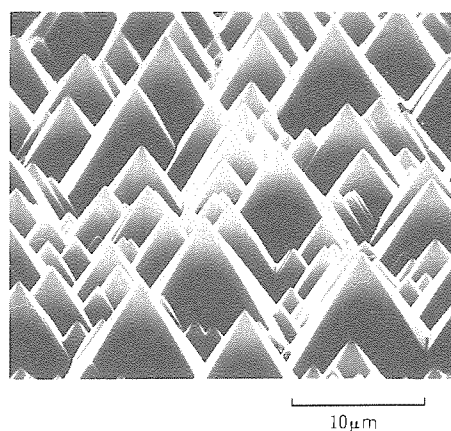


図 5. テクスチャー構造 SEM 像

多結晶 Si 層への不純物拡散を十分防止する効果があることを SIMS (Secondary Ion Mass Spectroscopy) 分析によって確認でき、低純度基板採用の目ど(処)が得られた。

以上の検討により、10cm 角全面にわたって面方位がほぼ(100)面にそろい、欠陥密度が低い( $2 \times 10^6 / \text{cm}^2$ )良質な薄膜 Si 層が、 $\text{SiO}_2$ 膜上に形成できるようになった。さらにこの  $\text{SiO}_2$ 膜は、支持基板から発電層への不純物拡散を十分防止できる。それゆえ、基板に安価な低純度 Si を使っても特性を損なうことなく低コスト化が図れることが分かった。

### 3.2 テクスチャー構造形成技術

以上のように得られた Si 活性層表面の面方位は、(100)面にそろった領域が90%以上を占める極めて単結晶 Si に近いものである。それゆえ、表面反射率の低減や光閉じ込めに有効なテクスチャー構造を容易に形成することができる。図5にアルカリエッチャントによる異方性エッチングによって形成したテクスチャー構造の SEM (Scanning Electron Microscope) 像を示した。高さ約10  $\mu\text{m}$  のピラミッド状テクスチャー構造が広い領域にわたってほぼ均一に形成できていることが分かる。図6はテクスチャー構造の反射率低減効果について調べた結果を示したものである。

反射率は、テクスチャーエッチングを施したことにより、太陽光スペクトルのほぼ全波長領域で20%程度低下することが確認できた。このように均一かつ良好なテクスチャー構造の採用により、入射光を効率良く発電層内に取り入れ、かつ有効に閉じ込められるため、結果として光電流が増加し、変換効率が向上する。

### 3.3 水素パッシベーションによる

#### 太陽電池特性の改善

上述したように薄膜多結晶 Si 結晶中の欠陥密度は、SOI 構造形成技術の開発、改善等によって大幅に低減できるようになった。しかし、熔融再結晶化法によって形成した結晶は極めて単結晶に近いものではあるが、本質的には多結晶 Si であるので、多数の結晶粒界が存在している。結晶粒界部分は原子配列が乱れているため、キャリアのシンクとなる欠陥領域として存在し、実際に入射光によって発生したキャリア

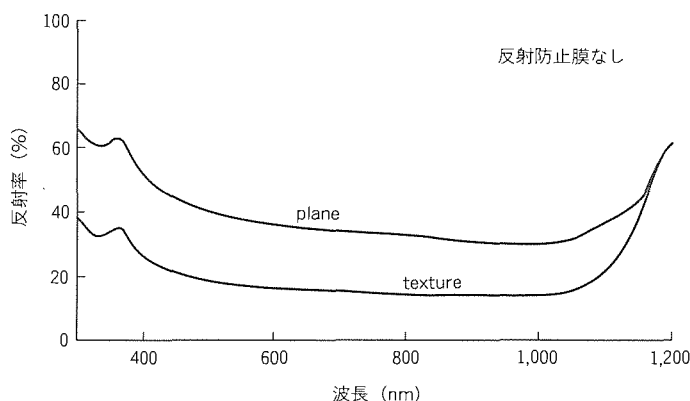


図6. テクスチャー構造の反射率

の再結合中心として作用するので、このままでは太陽電池特性を低下させる原因になる。そこで、これらの結晶欠陥を電気的に不活性化するために、水素パッシベーションを行った。水素パッシベーションは、低エネルギーの加速水素イオンをサンプルに直接照射するもので、照射された水素は結晶欠陥や結晶粒界に存在する Si の未結合手(ダングリングボンド)を水素で終端し、再結合中心を不活性化して電気的特性を改善するものである。

図7に水素パッシベーション有無のサンプルに対する少数キャリアの拡散長及び変換効率とエッチピット密度との関係を示す。水素パッシベーションは、加速電圧1.2keV、注入電流密度0.75 mA/cm<sup>2</sup>の条件で行った。少数キャリア(電子)の拡散長は分光感度特性から見積もった。図に示すように水素パッシベーションを行うことにより、拡散長は大幅に増加している。それゆえ、結晶欠陥は十分に不活性化されていることが分かった。

また、水素パッシベーションを行った太陽電池の変換効率は、短絡電流と開放電圧の大幅な増加によって約20~30%も向上した。これらの特性向上は、後述する分光感度特性の評価結果からも裏付けられた。すなわち、分光感度特性は600~1,200 nmの波長領域で感度が増加し、特に長波長側の改善が著しく、発電層の結晶品質が良くなったことを示した。以上の結果から開発した水素パッシベーション技術は、薄膜多結晶 Si 太陽電池の変換効率向上の技術として非常に効果的であることが確認された。

### 3.4 太陽電池特性

図8(a)は、これまでに述べた技術を用いて形成した10cm

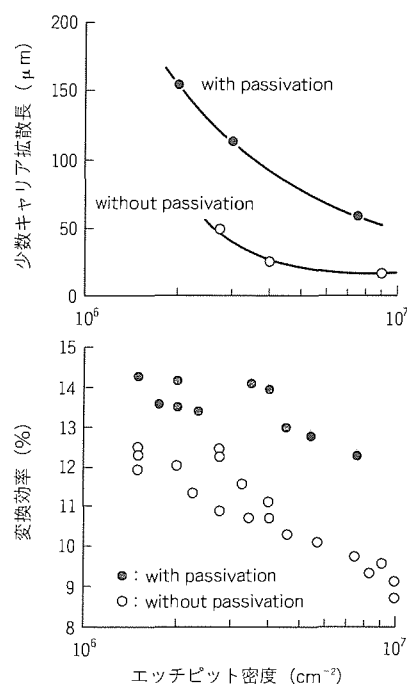


図7. EPDに対する少数キャリア拡散長及び変換効率の関係

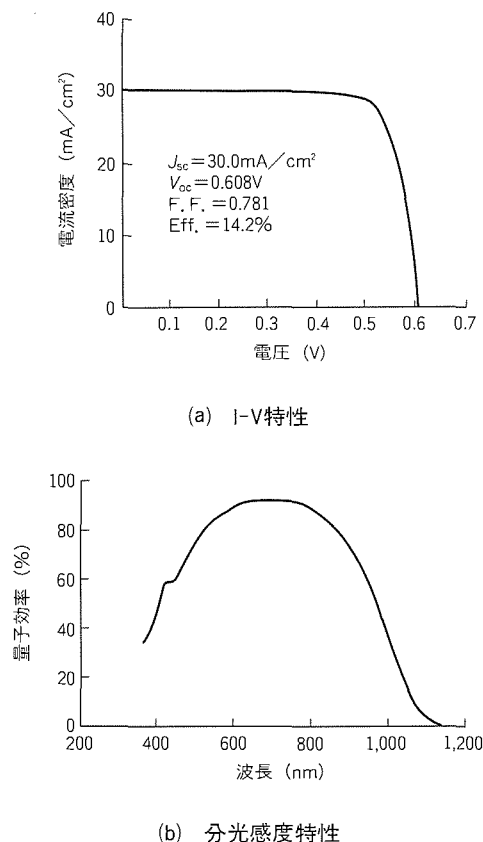


図8. 薄膜多結晶Si太陽電池(10cm×10cm)のI-V特性及び分光感度特性

×10cmサイズの大面積薄膜多結晶Si太陽電池のI-V特性(Air Mass<sup>(註1)</sup>1.5, 100mW/cm<sup>2</sup>の光源で評価)である。溶融再結晶化法によって形成したSOI構造を基本にし、薄膜多結晶Si表面にはテクスチャー構造を形成し、裏面から水素パッシベーションを行っている。これらの技術を用いることによって、実用的サイズである10cm角の薄膜Si太陽電池としては、世界最高の変換効率14.2%を達成した。

図8(b)に示すように分光感度特性は、テクスチャー構造の実現によってほぼ全波長領域で、さらに、水素パッシベーションの効果によって主に長波長領域で、大きく改善されている。

以上のように、今回、太陽電池技術を大幅に向上させたことにより、従来になかった高効率かつ低コストな実用的薄膜太陽電池としての新しい道を切り開くことができた。

#### 4. む す び

今回開発した薄膜多結晶Si太陽電池は、シリコン材料費を約1/10に低減できる原理的に低コスト型でかつ高効率の実用的太陽電池である。また、非常に軽量で、かつ支持基板

(注1) 太陽光線の大気圏通過空気量をAir Massと呼称し、Air Mass値は太陽光スペクトルを規定する。

を外せば薄膜でフレキシブルになるという構造的長持を持つため、宇宙用、又は自動車等の移動体用の電源としても極めて有望である。

今後は、薄膜多結晶Si層の更なる高品質化及び裏面へのテクスチャー構造を導入するなど最適な光閉じ込め構造を実現し、より一層の高効率化を図るとともに量産化も考慮したプロセス技術の開発を進め、薄膜多結晶Si太陽電池の実用化を目指す予定である。

この研究は通商産業省工業技術院ニューサンシャイン計画の一環として、新エネルギー・産業技術総合開発機構(NEDO)から委託され実施したもので、関係各位に感謝する。

#### 参 考 文 献

- (1) Chu, T. L., Mollenkopf, H. C., Chu, S. C.: Deposition and Properties of Silicon on Graphite Substrates, J. Electrochem. Soc., **123**, No.1, 106~111 (1976)
- (2) Ishii, K., Nishikawa, H., Takahashi, T., Hayashi, Y.: Sub-5 μm Thin Film Crystalline Solar Cell on Alumina Ceramic Substrate, Jpn. J. Appl. Phys. Lett., **32**, 770~773 (1993)
- (3) Barnett, A. S., Ford, D. H., Hall, A. B.: Silicon-Film Solar Cell Development on Ceramic Substrates, Proceedings of the 9th E. C. Photovoltaic Solar Energy Conference, 697~700 (1989)
- (4) Deguchi, M., Hamamoto, S., Sasaki, H., Ishihara, T., Sato, K., Namizaki, H.: Thin Film Polycrystalline Silicon Solar Cells on MG-Si Substrates, Technical Digest of the 5th Photovoltaic Science and Engineering Conf, 927~930 (1990)
- (5) Bezjian, K. A., Smith, H. H., Carter, J. M., Geis, J. M.: An Etch Pit Technique for Analyzing Crystallographic Orientation in Si Films, J. Electrochem. Soc., **129**, 1848~1850 (1982)
- (6) Ishihara, T., Arimoto, S., Morikawa, H., Kumabe, H., Murotani, T.: High Efficiency Thin Film Silicon Solar Cells Prepared by Zone-melting Recrystallization, (to be published in Appl. Phys. Lett.)
- (7) 濱本 哲, 川端 清, 出口幹雄, 直本英郎, 森川浩昭, 松野吉徳, 板垣卓士, 佐々木 肇, 石原 隆, 隈部久雄: 多結晶Si薄膜太陽電池における結晶欠陥と太陽電池特性, 第3回高効率太陽電池ワークショップ予稿集, 20 (1992)

# 小型・高機能エアバッグ用 半導体加速度センサ

荒木 達\*  
山本雅裕\*  
瀬々倉 孝\*\*

## 1. ま え が き

1990年代に入ってから、自動車の安全性向上は省資源及び環境保全とともに大きなテーマとしてクローズアップされている。自動車の安全性は、単に自動車のハードウェアとしての安全性の追求だけではなく、自動車を運転する人間のメンタリティの問題、又は人間と自動車とのかかわり合い（マンマシンインタフェース）や、道路、交通システムといった環境の問題も併せて論じられるべき事柄であるが、エアバッグシステムは万が一衝突事故を起こした場合でも運転者やその他の乗員にかかる衝撃を最小限にとどめ、生存率を高めるための装置として自動車の安全システムの中では最後のとりで（砦）のような存在である。

このエアバッグシステムは、元来、軍用の航空機のパイロット保護のための装置として研究、開発されてきたものであるが、半導体その他のエレクトロニクス部品や、バッグ、火薬などの進歩によって低価格化のめど（目処）がつき、民生用としての展開が可能となったため、自動車への採用が急速に広まっている。特に、米国では1996年に生産される乗用車の95%に運転席と助手席の双方にエアバッグの装着が義務付けられており、より一層の低価格化の実現のため自動車メーカー各社が開発にしのぎを削っている。

従来、こうしたエアバッグシステムでは、機械式の加速度スイッチが用いられていたが、

- (1) 加速度スイッチ1個ではいろいろな衝突モードに対応できないため、複数個（一般に3個）用いなくてはならない。
  - (2) そのため、加速度スイッチ間のハーネスが複雑になる。
  - (3) 検出加速度のしきい値の設定（チューニング）が面倒。
- などの問題があり、衝突による衝撃加速度をリニアな電圧と

して出力できる加速度センサが待たれていた。

今回、ここで紹介する半導体加速度センサ（図1）は、このようなニーズにこたえるものとして開発され、自動車が衝突することによって生じる衝撃加速度をリニアに出力できるため、このセンサの出力信号だけでマイコンが各種衝突モードを判別することができる。センサとしては、従来は圧電セラミックを用いたものなどあったが、サイズが大きい、価格が高いなどの問題があり、今回、当社ではピエゾ抵抗効果を利用した半導体加速度センサを開発した。この半導体加速度センサでは、当社独自のIC化センサ技術によって、信号処理回路とセンサ部とをワンチップに集積化したため、低価格化と小型化及び高信頼性を同時に実現している。

本稿では、この半導体加速度センサの動作原理・特長・構造・製造プロセスなどについて述べる。

## 2. 動作原理

図2にセンサ素子の模式図を示す。加速度によって生じる慣性力を変位（ひずみ）に変換するために、シリコンチップを片持ちはり（梁）構造としている。変位を電気信号に変換する方法としては、静電容量変化を応用するものなどがあるが、この半導体加速度センサでは不純物拡散による抵抗素子のピエゾ抵抗効果を利用したひずみゲージ方式を採用した。これは、

- (1) 従来の半導体圧力センサで培ったノウハウが生かせる。
  - (2) 構造が簡単のためローコストかつ信頼性が高い。
  - (3) 信号処理回路が比較的簡単でノイズに強い。
  - (4) ICのウェーハプロセスとの相性がよく、信号処理回路との集積化が容易。
- などの理由による。

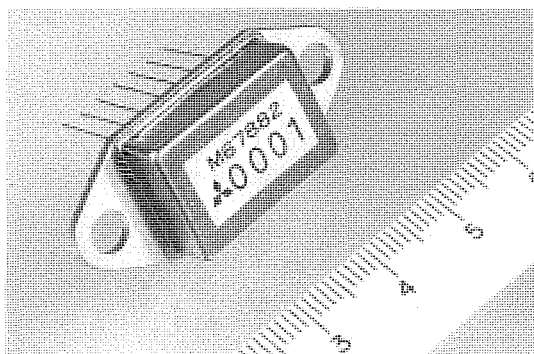


図1. 半導体加速度センサの外観

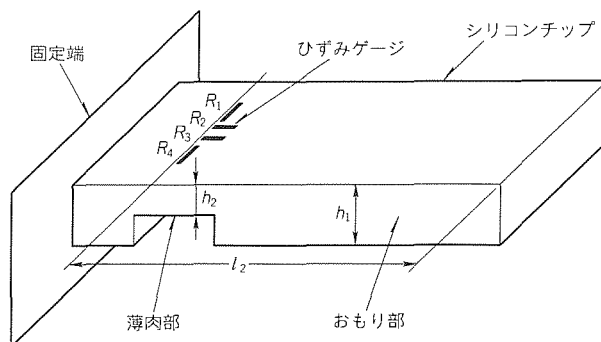


図2. センサ素子の模式図

ひずみゲージが形成されている部分は、裏面からエッチングを施すことによってチップの厚みを部分的に薄くし、ひずみゲージ部に加速度によるひずみを集中させて感度を向上させている。ひずみゲージの抵抗値変化を電圧として取り出すため、4本のひずみゲージをホイートストンブリッジに接続する(図3)。この4本のひずみゲージは、感度が最大になるようシミュレーション技術を駆使して配置を決定した。また、機械共振による梁の破損を防ぐために、シリコンオイルによって梁を制動(ダンピング)している。このような構造の場合、ひずみゲージ部の応力はおおよそ次式で表すことができる。

$$\sigma_x = 3(\rho_s - \rho_o) h_1 l_2^2 / h_2^2 \dots\dots\dots (1)$$

ここで、 $\sigma_x$ ：ひずみゲージ部の応力

$\rho_s$ ：シリコンの密度

$\rho_o$ ：シリコンオイルの密度

$h_1$ ：おもり部のシリコンの厚み

$h_2$ ：ひずみゲージ部のシリコンの厚み

$l_2$ ：おもりの先端からひずみゲージまでの距離

式(1)からブリッジの出力電圧を求めると次式となる。

$$V_o = a V_s \pi_{44} \sigma_x / 2 \dots\dots\dots (2)$$

ここで、 $V_o$ ：ブリッジの出力電圧

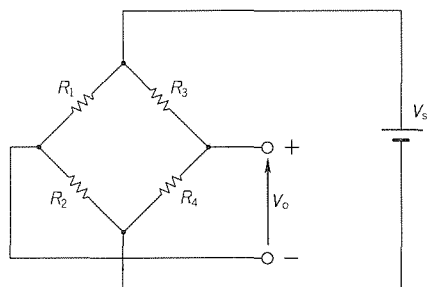


図3. センサ素子の等価回路

$a$ ：印加加速度

$V_s$ ：ブリッジの印加電圧

$\pi_{44}$ ：ピエゾ抵抗係数

### 3. 特 長

図4に半導体加速度センサの信号処理回路のブロック図を示す。図のように、センサ出力として不要なDC成分をカットするコンデンサ(ハイパスフィルタ)が内蔵されているが、その他幾つかの特長がある。

#### 3.1 オイルダンピング

この半導体加速度センサでは、

- (1) 共振特性の緩和
- (2) 耐落下衝撃性の向上

を目的としてシリコンオイルにより、梁をダンピングしている。シリコンオイルによるダンピングの効果は非常に大きいですが、欠点としてシリコンオイルの粘性が低温時高く、高温時低いといった温度依存性により、低温時と高温時の加速度センサの周波数特性が異なり、特に自動車の用途のように使用温度範囲が広い場合に問題が生ずることがある。この半導体加速度センサでは、低温時にクリティカルダンピングとなるようにオイル粘度を選択し、できるだけ周波数特性の上限を伸ばすようにしている。このようにした場合、常温時や高温時にアンダダンピングとなって共振特性が出てしまうが、これは次に述べる温度依存型のローパスフィルタで抑えるようにしている。

#### 3.2 温度依存型ローパスフィルタ

3.1節で述べたように、シリコンオイルの粘性の温度依存性を補正するために、温度に応じて遮断周波数が変化する温度依存型ローパスフィルタを内蔵している。このローパスフィルタは、部品点数を極力減らすため差動増幅回路を構成する演算増幅器の周波数特性を制限することによって実現して

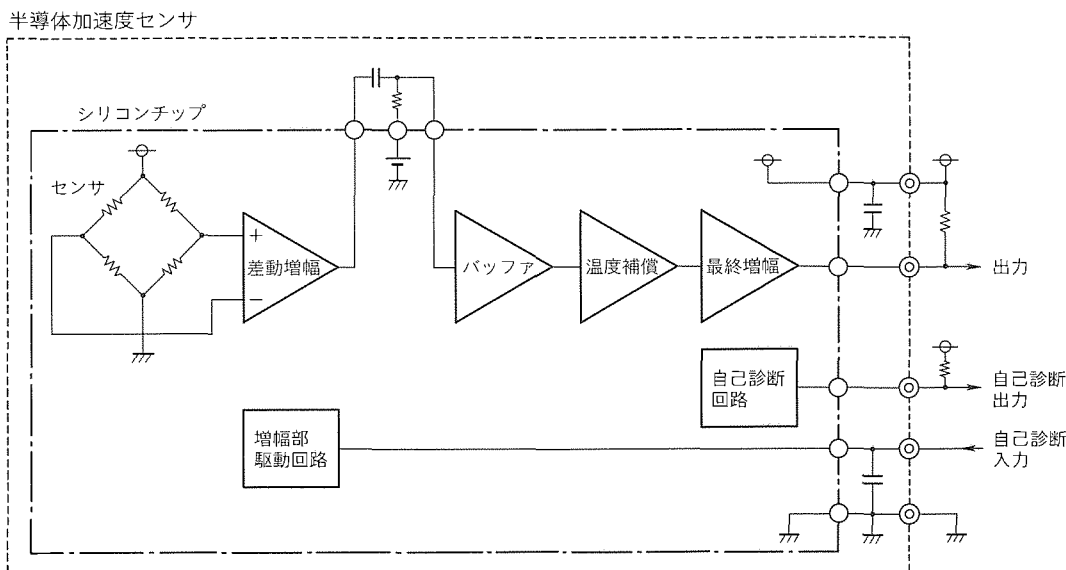


図4. 信号処理回路のブロック図



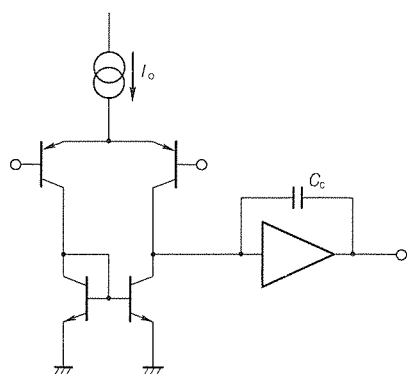


図 5. 演算増幅器の等価回路

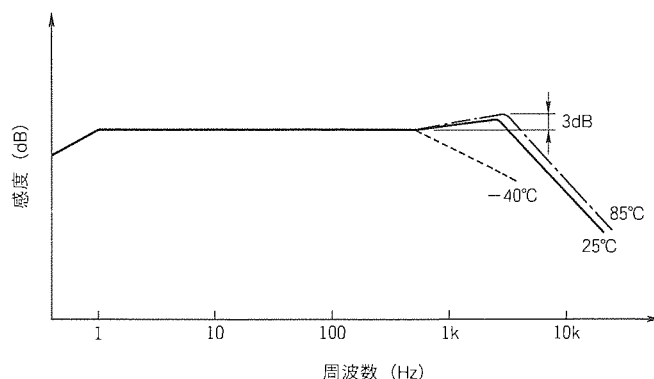


図 6. 半導体加速度センサの周波数特性

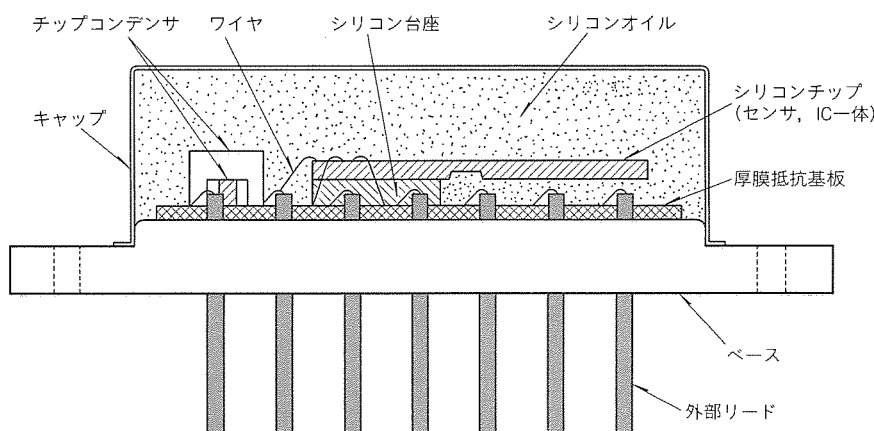


図 7. 半導体加速度センサの断面構造

いる。図 5 に示すような、一つのポールで位相補償された演算増幅器の GB 積  $f_T$  は次の式で表すことができる。

$$f_T = I_o / \{ 4 \pi C_c (kT/q) \} \quad \dots\dots\dots (3)$$

ここで、 $I_o$  : 差動トランジスタをバイアスする電流

$C_c$  : 位相補償用コンデンサの静電容量

$k$  : ボルツマン定数

$T$  : 絶対温度

$q$  : 電子の電荷量

さらに、図 5 の演算増幅器を用いた増幅回路の閉ループゲインを  $A$  としたときの増幅回路の遮断周波数  $f_c$  は、

$$f_c = f_T / A = \alpha \cdot I_o / T \quad \dots\dots\dots (4)$$

ただし、 $\alpha = q / (4 \pi C_c kA)$

式(3)から遮断周波数  $f_c$  は絶対温度  $T$  に反比例することが分かるが、さらに差動段をバイアスする電流  $I_o$  に負の温度依存性を持たせることで、遮断周波数  $f_c$  は大きな負の温度係数を持つようになる。このように、差動増幅回路を構成する演算増幅器に温度依存型のローパスフィルタの機能を持たせることによって、シリコンオイルのダンピングが最も効きにくい最大動作温度 85℃でも、共振周波数においておよそ +3dB のピークに抑えることができた (図 6)。

### 3.3 自己診断機能

エアバッグシステムは、自動車の安全システムであるという性格上、システムとして非常に高い信頼性を要求されると

同時に、エンジン制御システムなどと異なり故障に至った場合、一般に運転者が故障を認知することが難しい場合が多い。したがって、エアバッグシステムには自己診断機能が内蔵されていて、システムが故障した場合に故障したことを運転者に警告するようになっている。この半導体加速度センサも次のような自己診断機能が内蔵されていて、各種の異常をマイコンが検出できるようになっている。

- (1) センサ部を常時モニタしており、梁の破損などの異常が生じた場合、自己診断出力端子にフェール信号を出力する。
- (2) センサの増幅回路は、自己診断入力端子に信号を入力することによって外部から動作させることができ、回路の異常をチェックできる。
- (3) センサの出力電圧にフェール電圧領域を設けてあり、各外部接続端子がオープン又は互いにショートした場合、センサの出力電圧がフェール電圧領域に入るようにしている。

## 4. 構造

図 7 に半導体加速度センサの断面構造を示す。半導体加速度センサは、加速度を電圧に変換するセンサ部と信号処理回路部とがワンチップに集積化されたシリコンチップ、シリコンチップを片持ち梁状に支えるシリコン台座、シリコン台座に支えられたシリコンチップとフィルタ用チップコンデンサを搭載する厚膜抵抗基板、電極接続用のワイヤ、ダンピング

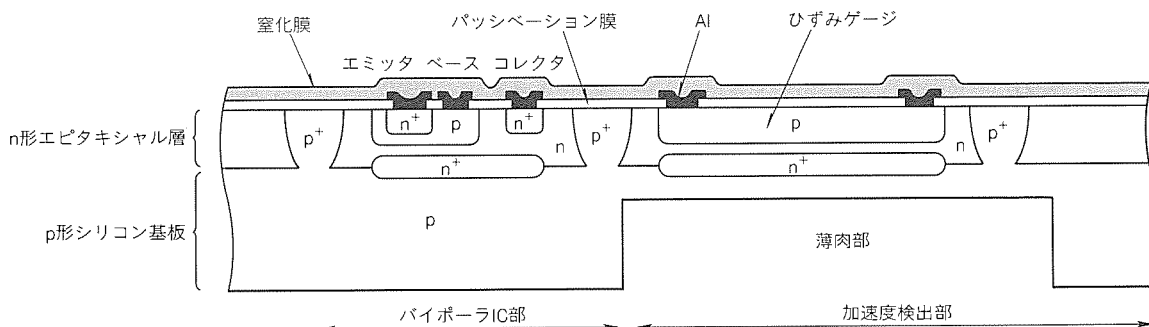


図8. シリコンチップの断面構造

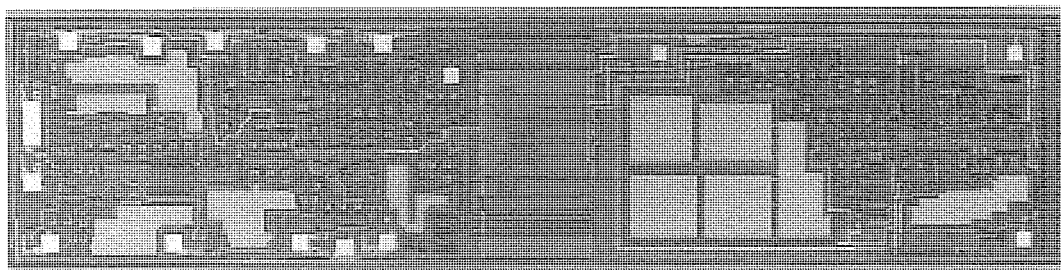


図9. チップ写真

用シリコンオイル及び外装となる金属製のベースとキャップから成っている。金属製のパッケージ内に、センサ部と信号処理回路部を収めているため、パッケージを接地することによって外来からのノイズ耐量を高めることができた。また、ベースに穴のあいたフランジを付けることによって、半導体加速度センサをねじで固定できるようにしてあるため、衝撃加速度が自動車のボデーから半導体加速度センサに正確に伝達できる。

## 5. 製造プロセス

### 5.1 ウェーハプロセス

図8に半導体加速度センサのシリコンチップの断面を示す。結晶面(100)のp形単結晶シリコンウェーハを基板とし、その上に成長させたn形エピタキシャル層の中に、p形のひずみゲージやバイポーラトランジスタ、抵抗、キャパシタなどを作り込んだ。ひずみゲージ部には、表面のウェーハプロセスが完了した後、裏面からアルカリ性溶液を用いた異方性エッチングによって薄肉部を形成する。

こうしたウェーハプロセスによって作成した半導体加速度センサのチップ写真を図9に示す。チップサイズは、8.3mm×2.0mmでおよそ500素子を集積している。

### 5.2 アセンブリプロセス及び

#### ファンクショントリミング

ウェーハプロセスによって加工されたウェーハをダイシングし、個々のシリコンチップに分割する。リフローによって

表1. 半導体加速度センサの定格

| 項 目    | 記 号                  | 条 件                                 | 定 格 値                |                      | 単 位                     |
|--------|----------------------|-------------------------------------|----------------------|----------------------|-------------------------|
|        |                      |                                     | M67882               | M67888               |                         |
| 動作加速度  | $A_{ccr}$            | $T_a = -40 \sim 85^{\circ}\text{C}$ | -392~392<br>(-40~40) | -196~343<br>(-20~35) | m/s <sup>2</sup><br>(G) |
| 最大印加電圧 | $V_{cc}(\text{max})$ | $T_a = 25^{\circ}\text{C}$          | 10                   |                      | V                       |
| 動作電源電圧 | $V_{cc}$             | $T_a = -40 \sim 85^{\circ}\text{C}$ | 4.5~5.5              |                      | V                       |
| 保存温度   | $T_{stg}$            | —                                   | -40~105              |                      | °C                      |
| 動作温度   | $T_{opr}$            | —                                   | -40~85               |                      | °C                      |
| 動作周波数  | $f_{opr}$            | $T_a = -40 \sim 85^{\circ}\text{C}$ | 1~1,000              |                      | Hz                      |

チップコンデンサを厚膜抵抗基板にはんだ付けし、接着剤によってベースに張り付ける。この厚膜抵抗基板にシリコン台座とシリコンチップを樹脂ダイボンドする。さらに、ワイヤボンドによって、シリコンチップと厚膜抵抗基板及び厚膜抵抗基板とベースの外部リードとを電氣的に接続する。

この状態で、感度などの電氣的特性を測定し、このばらつきを補正するために、厚膜抵抗基板上の厚膜抵抗をレーザでファンクショントリミングし、所定の特性に合わせ込む。

次に、シリコンオイルが満たされたキャップとファンクショントリミングの終わった厚膜抵抗基板が載ったベースを溶接し、アセンブリプロセスが完了する。

## 6. 定格と電氣的特性

表1に半導体加速度センサの定格を示す。動作温度は、自動車の車室内に搭載されることから-40~85°Cとした。また、動作加速度の違いによってM67882とM67888の2仕様がある。

表2に半導体加速度センサの電氣的特性の抜粋を示す。表

表 2. 半導体加速度センサの電気的特性 (抜粋)

| 項 目      | 記 号                                   | 条 件  | 規 格 値                               |                                   | 単 位  |
|----------|---------------------------------------|--|-------------------------------------|-----------------------------------|--|
|          |                                       |  | M67882                              | M67888                            |  |
| 主軸感度     | $S$                                   | $T_a = -40 \sim 85^\circ\text{C}$                                      | $4.08 \pm 0.29$<br>( $40 \pm 2.8$ ) | $6.12 \pm 0.31$<br>( $60 \pm 3$ ) | $\text{mV}/\text{m/s}$<br>( $\text{mV}/\text{G}$ ) |
| オフセット電圧  | $V_{\text{offset}}$                   | $T_a = -40 \sim 85^\circ\text{C}$<br>$A_{\text{cc}} = 0 \text{ m/s}^2$ | $2.5 \pm 0.1$                       | $2.0 \pm 0.1$                     | V  |
| 他軸/主軸感度比 | $S_o/S$                               | $T_a = 25^\circ\text{C}$   | $-5 \sim 5$                         |                                   | %  |
| 出力リニアリティ | $L_o$                                 | $T_a = 25^\circ\text{C}$   | $-3 \sim 3$                         |                                   | %F.S.  |
| 周波数特性    | $S(1\text{Hz})/$<br>$S(80\text{Hz})$  | $T_a = -40 \sim 85^\circ\text{C}$                                      | $-3 \sim 0$                         |                                   | dB   |
|          | $S(1\text{kHz})/$<br>$S(80\text{Hz})$ | $T_a = -40 \sim 85^\circ\text{C}$                                      | $-6 \sim 3$                         |                                   | dB   |

1 の定格と同様, M67882 と M67888 の 2 仕様について記載した。また, 客先の要求仕様に応じて, オフセット電圧や感度はマススライスチップを起こすことでフレキシブルに対応できるようにしてある。

## 7. む す び

本稿では, 自動車のエアバッグシステムの衝突検知に用いられる半導体加速度センサについて紹介した。この半導体加速度センサは, 当社独自の IC 化センサ技術によってセンサ部と信号処理部とをワンチップ化したため, 従来からある圧電セラミック型の加速度センサに比べ, 約  $1/2$  の価格と  $1/3$  のサイズとを実現した。今後のエアバッグシステムの普及と需要の拡大が期待される。

## 参 考 文 献

- (1) Macdonald, G. A. : A Review of Low Cost Accelerometers for Vehicle Dynamics, Sensors and Actuators, **A21-23**, 303 ~ 307 (1990)
- (2) Grace, R. H. : Semiconductor Sensors and Microstructures in Automotive Applications, SAE paper No.910495 (1991)
- (3) Tsugai, M., Araki, T., Onishi, M., Sesekura, T. : Piezoresistive Acceleration Sensor for Automotive Applications, SAE paper No.920476 (1992)
- (4) 番 政広, 瀬々倉 孝, 荒木 達, 山本雅裕, 大西正義 : 半導体加速度センサ, 三菱電機技報, **66**, No.9 (1992)

# CMOSゲートアレー用 自動レイアウト技術

中尾博臣\* 奥田亮輔\*\*  
高橋一浩\* 寺井正幸\*\*  
定兼利行\* 佐藤興二\*\*\*

## 1. ま え が き

CMOS ゲートアレー自動レイアウトのための CAD ソフトウェアとして、自動配置配線 HGALOP (High-speed Gate Array Layout Program) とマクロセル自動生成 MCgen (Macro Cell Generator) を開発した。ASIC (Application Specific IC) の中核をなすゲートアレーの事業において、シリコン基板 (ベースアレーチップ) の全面に CMOS トランジスタペアを敷き詰めた SOG (Sea of Gates) ゲートアレー<sup>(1)</sup> と ECA (Embedded Cell Array)<sup>(2)</sup> が近年広く用いられている。ゲートアレーでは、ベースアレー上にセルと呼ばれる既設計の回路パターンを多数配置し、それらのセルの端子同士を金属層で配線して全体の回路を実現する。

ゲートアレー製品を差別化する上で、①品種の短納期、すなわちQTAT (Quick Turn Around Time) の実現と、②豊富なセルライブラリの市場への早期提供が重要なポイントである。これを実現するための技術が自動配置配線技術とマクロセル自動生成技術である。

自動配置配線ツールは、複数の CAD ベンダから市販されているが、汎用的なツールであるため処理時間が極めて長く、ASIC 事業に用いると品種の納期の点で支障をきたす。HGALOP は、SOG ゲートアレーのレイアウト構造を有効利用したアルゴリズムにより、最も広く用いられている市販ツールより平均 20 倍高速という世界最高性能を持ち、製品の納期を大幅に短縮した。さらに、HGALOP は、市販ツールから高密度な配置配線結果を生成するので、決められたサイズのベースアレー上に、より大規模な回路をレイアウトできる。MCgen は独自の配線手法により、高密度なマクロセルを生成する。マクロセル自動生成により、従来の人手設計に

比べて設計人工を 1/10 に低減した。したがって、MCgen はユーザーの用途に応じたマクロセルの早期提供も可能とするツールである。共に、製品差別化のための強力な CAD ツールとして、当社の 0.5  $\mu\text{m}$  以上の SOG ゲートアレーと ECA に適用中である。本稿では、これらの自動レイアウト手法とその適用結果について述べる。

## 2. チップの構造とCADシステムの構成

図 1 に示すように、SOG のベースアレーは p 型のトランジスタ列と n 型のトランジスタ列が交互に並んだ構造になっている。ベースアレー上にセル (すなわち、既設計の金属配線パターン) を配置することによってトランジスタ間の接続を行い、ある論理機能を持つ回路を形成できる。この様子を図 2 に示す。

セルには、論理ゲートやフリップフロップ等の論理基本機能を持つマクロセルと RAM/ROM などのメモリを実現する大きなセル (メガセル) がある。マクロセルは、p 型と n 型のトランジスタ 2 列分の高さを持つ“等高セル”である。メガセルは、高さがマクロセルより大きいセルである。

ベースアレー上での各セルの位置を決定することをセル配置 (若しくは単に配置) と呼び、セルの端子間を結ぶ金属パターンを作成することをセル間配線 (若しくは単に配線) と呼ぶ。マクロセルは列状に配置する。これをセル列と呼ぶ。セル列間に配線専用領域 (チャネル) を設けないレイアウト方式 (すなわち、チャネルレスレイアウト) が一般に用いられている。図 3 (a) に配置結果の例を示す。この図では、セ

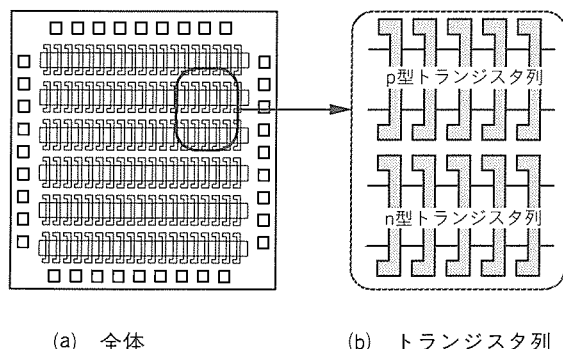


図 1. ベースアレーの構造

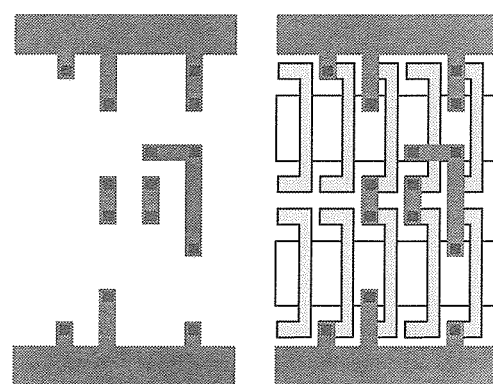


図 2. セル

ルは内部配線パターンを囲むく(矩)形で表し、トランジスタ列は省略してある。配線には、3層の金属パターン(下から第1層, 第2層, 第3層アルミニウム)を用いる。配線の金属パターンは、セルが配置されていないトランジスタ上の領域、及びセル上でセル自身の内部配線と短絡しない領域に形成する。図3(b)は配置配線結果の例である。

我々は、ゲートアレー用自動レイアウトツールとして、マクロセルの内部配線パターンを自動生成するツール MCgen と、自動配置配線ツール HGAOP を開発した。図4にシステム構成を示す。

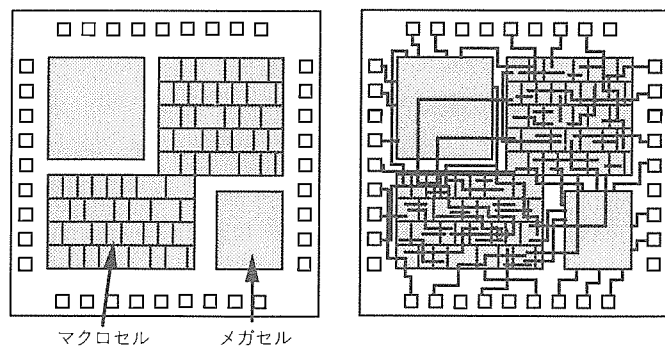
MCgenの入力は、トランジスタ間の接続として記述したマクロセルの回路情報と、ベースアレーの構造を記述したデータである。MCgenは、まず、回路情報中のトランジスタの並ぶ順序を決定し(トランジスタ配置と呼ぶ。), その後マクロセルの機能を実現するためのトランジスタ間配線パターンを生成する。

HGAOPは、MCgenが生成したマクロセルやメガセルのライブラリ、及びこれらのセル間の接続で記述したLSIの回路情報を入力情報とする。HGAOPは、これらのセルを自動配置し、セル間の配線を自動生成し、チップ全体のレイアウトパターンを生成する。

### 3. マクロセル自動生成MCgen

ゲートアレー用マクロセルのレイアウト設計は、従来は人手で行ってきた。マクロセルの自動レイアウトに対する要求は強いものの、この種のCADツールが実用化されたという報告はない。これは、トランジスタ間の配線に使用できる領域が限られているため、配線不能に陥りやすいからである。例えば、自動生成ツールによるマクロセル設計で、全体の約半数のセルが配線不能となったという報告がある<sup>(3)</sup>。

MCgenは、世界初の実用的なゲートアレー用マクロセル自動生成ツールである。実用化に成功した最も大きな要因は、次に挙げる技術を開発したことにより、配線不能をほとんどなくすることができたからである。



(a) 配置後のチップ (b) 配置配線後のチップ

図3. チップ構造

#### (1) 独自の高密度トランジスタ間配線手法の開発<sup>(4)</sup>

一度に1本ずつ配線する従来の手法では、先に行った配線が後から経路を決める配線にとっての障害物となって、配線経路が見付からない状態(配線不能)が起こる。我々が新しく開発した手法では、相異なる配線間を考慮に入れて、互いに障害物とならないようにすべての配線経路を同時に決める。これにより、高密度な配線が実現でき、配線不能となるマクロセルの数が大幅に減少した。

#### (2) 既設計のマクロセルパターンを利用する手法の開発

新しいマクロセル(新世代マクロセル)を作成するのに、同じ回路情報を持つ既設計のマクロセル(旧世代マクロセル)を利用(例えば、 $0.5\mu\text{m}$  ゲートアレー用のマクロセルを作成するのに、 $0.8\mu\text{m}$  ゲートアレー用のマクロセルを利用)する手法である。一般に旧世代と新世代のゲートアレーでは、トランジスタの大きさ、配線幅や配線ピッチ等の設計ルールが異なる。この機能では、まず旧世代マクロセルのレイアウトから、トランジスタの配置位置と配線の経路をシンボリックデータ(すなわち、実座標ではなく、相対的な位置関係で表現したデータ)として自動抽出する。その後、新世代用のゲートアレーの設計ルールに合うように、抽出したデータに実寸法を割り当て、マクロセルパターンに自動変換する。これは一種の“テクノロジー変換機能”である。

上記(2)のテクノロジー変換機能は、新世代ゲートアレーの設計ルールによっては適用できない。例えば、新世代マクロセルのトランジスタ上を通過できる配線の本数が、旧世代マクロセルのそれより小さい場合には適用できない。したがって、(2)は、既設計の高品質のマクロセルのパターンを有効利用するための、(1)の補助的手段である。

ライブラリとして使用するマクロセルは、品質が高いことが要求される。ここで、品質が高いとは、セル間配線を通せる領域がセル内に多い(例えば、第2層のセル内配線の数が多い)ことと、寄生抵抗や容量を小さくして性能を高め

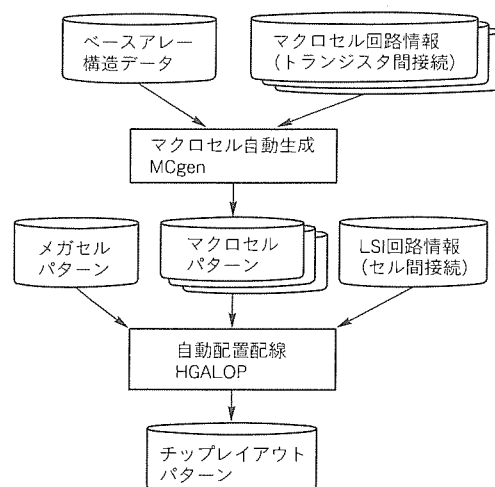


図4. レイアウトCADシステムの構成

るのに十分な数のコンタクトが配置されていることを指す。MCgen は、レイアウトの品質を向上させるために、配線経路改善機能を持つ。しかし、現実にはすべてのセルについて、設計者の要求を完全に満たす高品質な結果を自動生成することは困難である。そのため、MCgen では必要に応じて人手で生成結果を改善するための、レイアウトエディタも提供している。

図 5 に MCgen のプログラム構成を示す。自動配置配線フローと、旧世代マクロセルを利用するテクノロジー変換フローの二つのフローでマクロセル生成が可能である。いずれのフローで生成した配線パターンに対しても、配線経路改善プログラムを実行してレイアウト品質の向上を図る。

#### 4. 自動配置配線HGALOP

自動配置配線ツール HGALOP は、SOG のレイアウト構造が持つ規則性を有効利用することによって、市販ツールより平均 20 倍高速という高性能を実現した。以下では、HGALOP の特長である、① 高速な配置配線処理、② 制御パラメータの自動設定機能、③ タイミング駆動型機能、及び④ 充実した周辺機能について述べる。

##### 4.1 高速な配置配線処理

市販ツールは、様々なタイプのゲートアレーを扱えるように、任意の形状とサイズを持つセルを配置した後、 $n$  層 ( $n = 2 \sim 6$ ) の配線層を用いて配線することを想定した、極めて一般的なレイアウトモデルを対象としている。これに対して HGALOP は、次のようなレイアウト仕様の SOG を対象とする。

- (1) 回路は大多数の高さのそろったマクロセルと少数のメガセルで構成されている。
- (2) 配線層は第 3 層まで、かつ第 1、3 層 (第 2 層) は主として水平 (垂直) 配線として使用する。

このため、HGALOP は、以下のように高速である。

配置処理は、セル同士の重なりがなく、かつセル間の配線長ができるだけ短くなるように、セルを配置する。任意の形

状とサイズのセルを配置することを想定した市販ツールの汎用的モデルでは、最初から重なりのない配置結果を生成することは困難である。このため、市販ツールはまずセル間の重なりを許して配置した後、これを初期状態として、セル間の重なりが少なく、かつセル間配線が短くなるように時間をかけて徐々に改善するという手法を用いている。しかし、重なりと配線長を同時に改善するのは非常に難しい処理であるため、改善処理が局所最適解に陥り、配線長がある程度以上は短くならないことが多い。

一方、HGALOP は、メガセルを配置した後、マクロセルを配置する。このとき、高さが一律なマクロセルを列状に並べるという規則性のため、取り扱う配置問題は市販ツールに比べて非常に単純なものになる。我々は、この配置問題に対して、クラスタリング機能を持つ Min-Cut ベースの配置アルゴリズム<sup>(5)</sup>を開発した。こうして HGALOP は良質な配置結果を高速に生成することができる。

HGALOP の配線処理も高速である。すなわち、チップ上の領域を第 1 層から第 3 層までの三つの層が使用可能な部分 (例えば周辺の配線専用領域) と、第 2 層の一部と第 3 層のみが使用可能な部分 (例えばセル上領域) に分け、各々の部分に適した独自の配線アルゴリズム<sup>(6)</sup>を用いている。

##### 4.2 制御パラメータの自動設定

一般に、自動配置配線ツールは多くの制御パラメータを持ち、設定したパラメータ値によって実行結果は大きな影響を受ける。しかし、それらの最適値は扱う回路によって異なるため、パラメータ値をいろいろ変えて配置配線ツールの実行をやり直す必要がある。HGALOP では、制御パラメータの自動設定機能 (“プッシュボタン配置” 機能) を開発した。これにより、ツールの再実行回数を削減し、配置配線設計期間をツールの高速性による処理時間短縮分以上に短縮した。

##### 4.3 タイミング駆動型機能

LSI の微細化に伴い、配線長が信号の伝搬遅延に大きく影響するようになってきたため、タイミング駆動型レイアウト機能が必ず (須) となっている。HGALOP では、タイミング駆動型配置配線機能によって再設計回数を削減するとともに、伝搬遅延時間計算機能や ECO 機能 (レイアウト完了後に配置配線結果の一部分だけを変更する機能) の実現によってタイミング違反の修正が容易に行えるようにしている。

##### 4.4 充実した周辺機能

HGALOP は、電源／グランド自動配線、メッシュ型クロック自動配線、接地セルの自動埋込み等の充実した周辺機能を持っており、配置配線全工程を自動化している。

#### 5. 適用結果

##### 5.1 MCgenの適用結果

MCgen を、当社  $0.5\mu\text{m}$  CMOS ゲートアレー用の 258 種類のマクロセルの開発に適用した。258 セルすべてを自動配

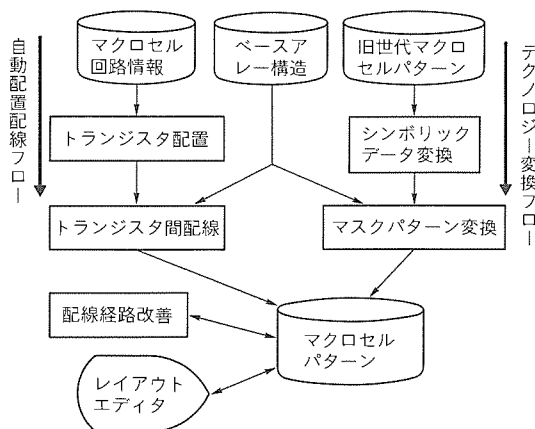


図 5. MCgen プログラム構成

表 1. MCgenのマクロセル(258種)開発への適用結果

|                        | 生成できたセル数 | 採用したセル数 |
|------------------------|----------|---------|
| 自動配置配線フローのみ            | 224      | 160     |
| テクノロジー変換フローのみ          | 197      | 93      |
| 自動生成フロー若しくはテクノロジー変換機能* | 253      | 253     |

注\* MCgenの二つのフロー(自動配置配線フロー、テクノロジー変換フロー)のいずれかで生成できたセル数と採用したセル数

置配線フローで生成し、同時に258セルのうち、旧世代マクロセルが存在する211セルについては、テクノロジー変換フローでもパターンを生成した。結果を表1に示す。図6に、生成したマクロセルの一例を示す。自動配置配線フローでは、258セル中224セル(全体の87%)が自動で生成でき(残り34セルは配線不能)、テクノロジー変換フローと合わせると253セル(同98%)が自動生成できた。両方のフローで生成できたセルについては、品質が良い方を選んだ。最終的に、自動配置配線フローで生成したセル160種類と、テクノロジー変換フローで生成したセル93種類を採用した。残り5セルについては、人手でレイアウト設計した。配線経路改善プログラムでレイアウト結果の品質を改善した後も、全体の約半分のセルで、レイアウトエディタを用いた人手改善が必要であった。しかし、人手修正や検証も含めたマクロセルのレイアウト設計人工は、MCgenによって人手設計の1/10になった。

## 5.2 HGALOPの適用結果

HGALOPと世界で最も広く用いられているCADベンダのツールを用いて当社のSOGの回路を配置配線したときの処理時間、及び総配線長を表2に示す。表に示すように、三つの回路に対してHGALOPが配置配線全工程に要した処理時間は、市販ツールに比べて、平均で1/20以下に短縮できた。この短縮の効果と、先に述べた制御パラメータ自動設定機能によって配置配線再実行回数を削減できたことから、結果の検証も含めた全設計期間は、400Kゲート規模のSOGの場合で、市販ツールを用いる場合の2週間から1日へ短縮できた(当社実績)。総配線長についてみると、HGALOPの方が市販ツールより平均で11%短くなっている。これらの結果は、HGALOPが高集積なレイアウト結果を非常に高速に生成できることを示している。

## 6. む す び

本稿では、CMOS SOG ゲートアレーの自動レイアウトのためのCADツールである自動配置配線HGALOPとマクロセル自動生成MCgenについて、そのレイアウト手法と適用結果を示した。現在、HGALOPとMCgenは、当社の0.5 $\mu$ m以上のCMOS SOG ゲートアレーとECAに全

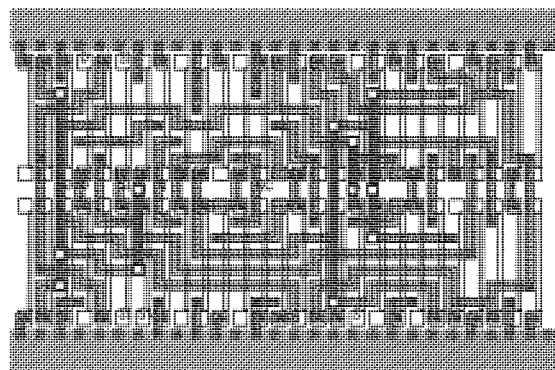


図 6. MCgenで生成したマクロセル

表 2. HGALOPと市販ツールの性能比較

| 回 路      | A      |      | B      |      | C      |      |
|----------|--------|------|--------|------|--------|------|
| セル数      | 23,771 |      | 19,412 |      | 27,329 |      |
| 信号数      | 26,509 |      | 35,318 |      | 37,815 |      |
| ツール      | HG     | 市販   | HG     | 市販   | HG     | 市販   |
| 処理時間 (h) | 1.2    | 44.2 | 3.0    | 39.6 | 2.3    | 76.6 |
| 配 置 (h)  | 0.4    | 25.5 | 1.8    | 22.9 | 0.7    | 29.8 |
| 配 線 (h)  | 0.8    | 18.7 | 1.2    | 16.7 | 1.6    | 46.8 |
| 配線長 (m)  | 15.1   | 18.1 | 30.2   | 31.4 | 27.8   | 31.7 |

注 処理時間は、22MIPSのEWSを使用したときのもの。

面的に適用中で、今後もレイアウト結果の密度と品質の向上のための改良を続けていく。

## 参 考 文 献

- (1) 荒川隆彦, 前野秀史, 東谷恵市, 斎藤 健, 加藤周一: 0.5 $\mu$ m CMOS ゲートアレー, 三菱電機技報, 67, No. 3, 234~237 (1993)
- (2) 岡辺雅臣, 奥野義弘, 富岡一郎, 井上善雄, 朝比奈克志: 0.8 $\mu$ m CMOS エンベデッドセルアレー, 三菱電機技報, 67, No.3, 238~243 (1993)
- (3) Rowson, J., Trimberger, S.: Gate Array Macro Layout Automation, Proc. of 1986 ICCAD, 448~451 (1986)
- (4) Okuda, R., Oguri, S.: An Efficient Routing Algorithm for SOG Cell Generation on a Dense Gate-Isolated Layout Style, Proc. of 29th D. A. C., 676~681 (1992)
- (5) Takahashi, K., Fujino, Y., Terai, M., Sato, K.: A Method of Implementing Min-Cut Placement for QTAT Layout Design of Large Scale Gate Arrays, Proc. JTC-CSCC '89, 110~115 (1989)
- (6) Terai, M., Takahashi, K., Nakajima, K., Sato, K.: A Model for Over-the-Cell Channel Routing with Three Layers, Proc. of 1991 ICCAD, 432~435 (1991)

# VLSIマスクデータ照査システム

菅野 誠\* 宗像恒任\*  
濱本末雄\* 森泉幸一\*\*\*  
田中健一\*\*

## 1. ま え が き

電子機器の高付加価値化・高性能化追求の動きの中で、メモリ、マイコン、ASIC等大規模半導体集積回路（以下“VLSI”という。）は、システムの中核を成す重要な部品となっている。また、今後成長が期待されるマルチメディア市場等においても、メモリ、マイコン、ASICを組み合わせたシステムLSIへと顧客の半導体に対するニーズはますます高度化し、止まるところを知らない。

このような状況下においてVLSIはますます大規模化し、設計されたVLSIのレイアウトパターンデータから、フォトリソ用データ（以下“マスクデータ”という。）に変換するマスクデータ作成工程の処理時間は、年々増大の一途をたどっている。マスクデータ作成工程におけるマスクデータ照査処理は、マスクデータがレイアウト設計どおり正しく作成されているか、また、レイアウトパターンデータを修正したとき、正しく変更されているか、又は誤って変更されていないか等、レイアウトパターンデータとマスクデータの整合性を判定するものである。特に、マスクデータ照査処理において、設計者がグラフィック画面を目視により、レイアウトパターンデータとマスクデータの整合性を判定していくため、処理時間的にも限界に達しており、かつ確認漏れを起こしやすい。万一、照査漏れのためにVLSIが動作不能となれば、多大な開発費の浪費となるのはもちろんのこと、設計やり直しによる開発工期遅延、製品の市場投入タイミングの逸失など、確認漏れによる影響は甚大である。このため、マスクデータ照査処理の効率及び品質向上が強く要求される。

今回、マスクデータ照査処理の効率及び品質向上を図ることを目的として開発したマスクデータ照査システムは、レイアウトパターンデータとマスクデータ間の比較及び複数のマスクデータ間の相互比較と、データの相違部分を高速に自動検出でき、かつ相違部分のグラフィック検索表示機能を持つ。以下、その概要を述べる。

## 2. VLSIの大規模化とマスクデータ量の関係

図1にVLSIの代表格としてメモリの各世代におけるトランジスタ集積密度、ゲートチャネル寸法と、レイアウトパターンデータ及びマスクデータ量の合計の推移を示す。

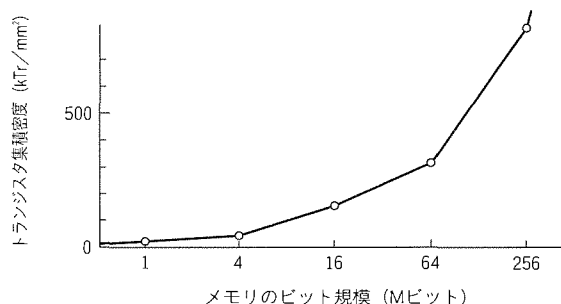
今後も、VLSIの大規模化に伴いレイアウトパターンデータ及びマスクデータ量が増大する。そのため、以下に詳述す

るマスクデータ作成及び照査処理において、データ量の増大に対応できないとマスク作製工期の遅延を招き、VLSIの開発工期に大きな影響を与える。

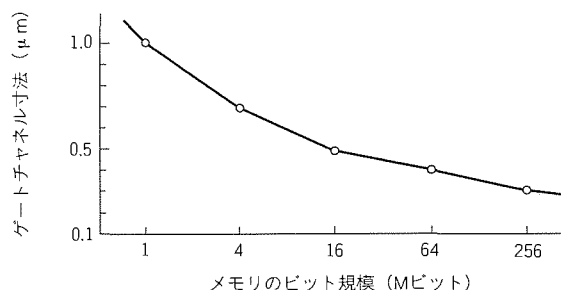
この論文で紹介するマスクデータ照査システムは、特にマスクデータ照査処理における大きな改善効果が期待できるものである。

## 3. マスクデータ作成工程の流れ

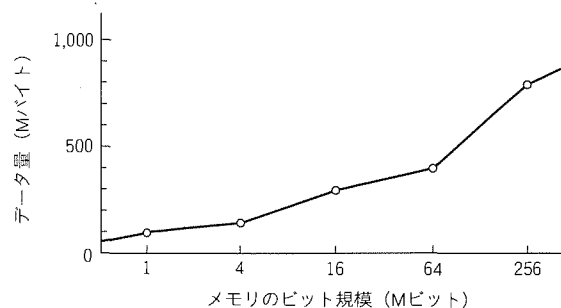
当社のVLSI開発におけるレイアウトパターンデータからマスクデータ作成及びマスクデータ照査までの流れを図2



(a) トランジスタ集積密度



(b) ゲートチャネル寸法



(c) レイアウトパターンデータ及びマスクデータ量の合計

図1. メモリの各世代におけるデータ量等の推移



に示す。

(1) VLSI プロセスの製造装置の構造等によって生じるレイアウトパターン設計寸法とフォトマスク寸法の微妙な差を調整するパターンサイジングや、複数のマスクデータの AND, OR 等の論理演算により、新たなレイアウトパターンデータを生成する図形演算処理を行う。

(2) レイアウトパターンデータを以下に示す EB (Electron Beam) 描画装置に対応したマスクデータに変換する。

マスクを作製する EB 描画装置は、描画方式により、電子ビームを一定方向に走査しながら描画してパターンを形成するラスタ型と、電子ビームをパターンの形状に合わせて可変整形しながら描画してパターン形成するベクタ型がある。

(3) レイアウトパターンデータとマスクデータを比較するマスクデータ照査処理を行う。比較した結果、パターン欠陥なく一致すれば合格とし、マスク作製工程へマスクデータを送り出す。

#### 4. マスクデータ照査システム

マスクデータ照査システムは、マスクデータ照合部 (Electron Beam Data Verification System : EVS)、及びマスクデータ検査部 (Electron Beam Data Check System : ECS) で構成され、高性能エンジニアリングワークステーション (以下“EWS”いう。) 上で稼働する。

マスクデータ照合部は、複数のマスクデータやレイアウトパターンデータを相互比較し、データの相違部分を高速に自動検出する。

マスクデータ検査部は、複数のマスクデータやレイアウトパターンデータをグラフィック表示するとともに、上記マスクデータ照合部で検出された相違部分を同時に重ねて表示し、順次相違部分を検索表示する。

##### 4.1 ソフトウェア開発環境

マスクデータ照査システムの開発に、異種 EWS への移

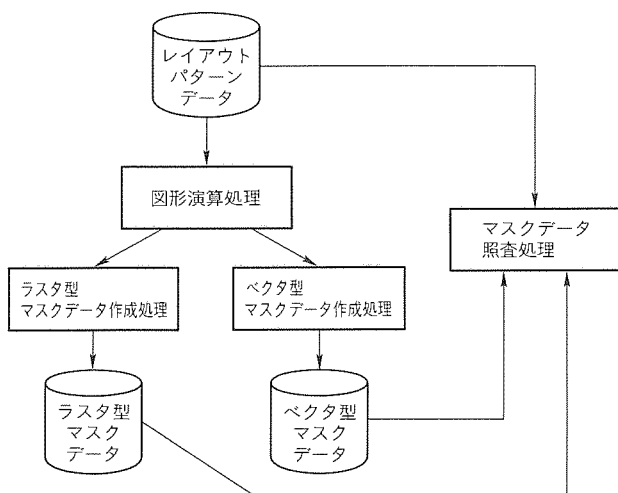


図2. マスクデータ作成の流れ

植作業の容易化を考慮して以下のように業界標準のソフトウェア開発環境を適用した。

- (1) 使用言語は、ANSI 規格準拠の C 言語
- (2) EWS 間の通信プロトコルは、TCP/IP プロトコル
- (3) ウィンドウシステムは、OSF Motif 準拠のウィンドウシステム

#### 4.2 システムの機能

##### 4.2.1 マスクデータ照合部の機能

マスクデータ照合部の機能を以下に示す。

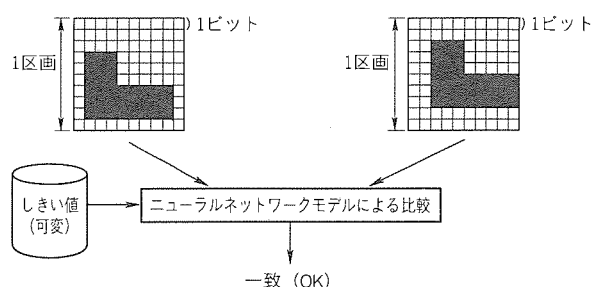
- (1) レイアウトパターンデータ、ラスタ型マスクデータ、ベクタ型マスクデータの3種類のデータフォーマットを入力として扱える。
- (2) 図3に示すように、レイアウトパターンデータの修正による新旧データ間の相違部分と、図形演算処理、マスクデータ作成処理において発生するレイアウトパターンデータとマスクデータの微細な相違部分 (以下“丸め誤差”という。) を、ニューラルネットワークモデルを使って識別する。

なお、VLSI のウェーハ外観検査にニューラルネットワークモデルを応用した例はあるが、VLSI CAD にニューラルネットワークモデルを応用するのは、当社として初めての試みである。

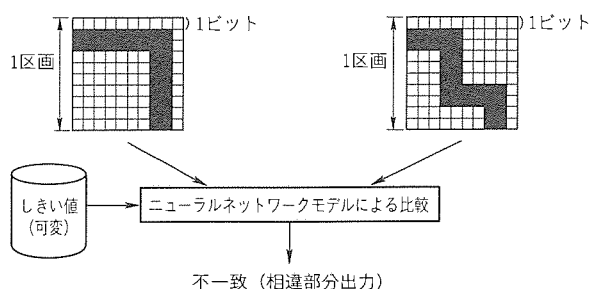
- (3) 処理時間の短縮を図るため、パターン比較に並列処理手法を採用している。

##### 4.2.2 マスクデータ検査部の機能

マスクデータ検査部の機能を以下に示す。



(a) 図形演算処理、マスクデータ作成処理によるパターンの微妙な相違 (丸め誤差)



(b) レイアウトパターンデータの修正によるパターンの大きな相違

図3. ニューラルネットワークモデルによる比較例

- (1) レイアウトパターンデータ、ラスタ型マスクデータ、ベクタ型マスクデータの3種類のデータフォーマットを入力としてグラフィック表示できる。
- (2) グラフィック表示されたマスクデータの部分拡大/縮小表示、上下左右への移動等ができる。
- (3) マスクデータ照合部で検出された相違部分を、照査対象データと重ねて自動的に順次検索し、グラフィック表示できる。
- (4) 相違部分に対し、設計者の判定結果を入力でき、判定結果の状況及びその位置をグラフィック表示できる。

### 4.3 照査フロー

マスクデータ照合部とマスクデータ検査部からなるマスクデータ照査システムを使用した照査フローを図4に示す。

まず、マスクデータ照合部で以下の処理を行う。

#### (1) 中間台形データ変換処理

異なるデータ間の相違部分の検出を容易にするため、フォーマット形式が異なるレイアウトパターンデータ、ラスタ型マスクデータ、ベクタ型マスクデータを、同一フォーマットの中間台形データに変換する。

#### (2) 照合区画分割処理

以下、マスクデータ間の照査を例にとって詳細に述べる。

照査の対象となる一対の中間台形データを、それぞれ、 $n \times m$  個の区画に領域分割する。

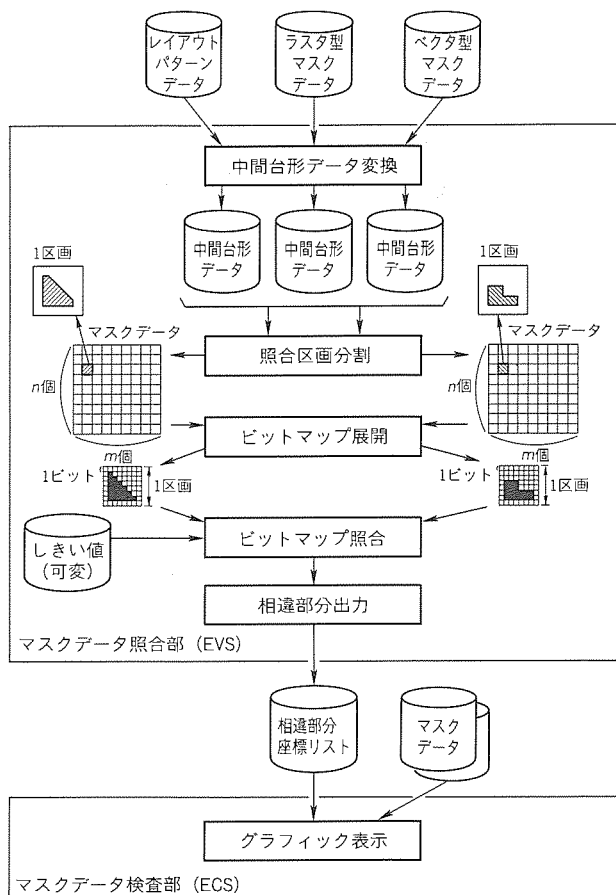


図4. マスクデータ照査フロー

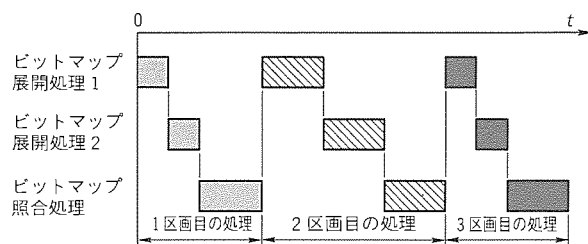
#### (3) ビットマップ展開処理

区画分割された中間台形データについて、一区画ごとに区画内を更に細分化した画素に分割し、画素内にあるパターンの占有量により、1, 0のビットマップに展開する。

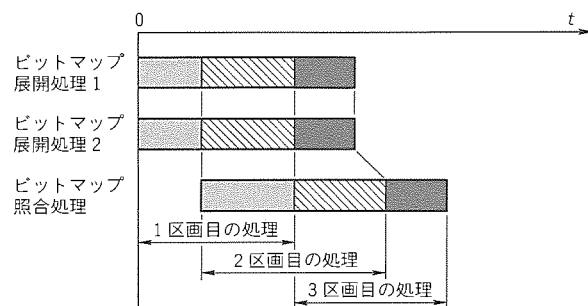
#### (4) ビットマップ照合処理

ビットマップ展開されたビットマップデータをニューラルネットワークモデル<sup>(1)</sup>を用いて比較照合する。

ニューラルネットワークモデルは、入力された二つのパターンのビットマップを比較し、相違の程度を定量的に表す指標（相違度）を出力する。なお、図3に示されるような丸め誤差によって生じた相違を取り除くことができる。また、ニューラルネットワークモデルのアルゴリズムは、パターン比較で一般的に用いられる相関関係による方法に比べて、計算量が1/3になる特長がある。最後に、あらかじめ指定した



(a) 従来の処理タイミングチャート



(b) 並列処理のタイミングチャート

図5. 並列処理による処理時間の短縮

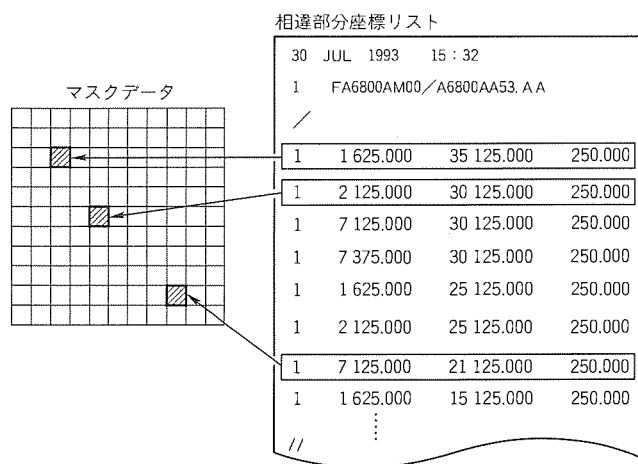
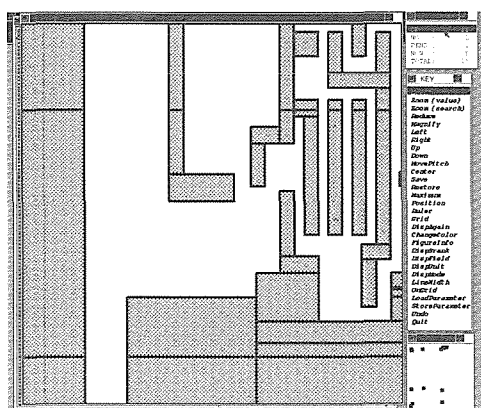
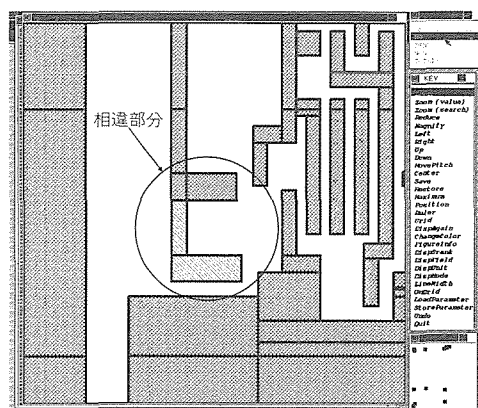


図6. 相違部分座標リストの出力例



(a) パターンが一致した場合



(b) パターンに相違がある場合

図7. グラフィック端末への相違部分の表示例

判定用の“しきい値”と相違度を比較することで、レイアウトパターンデータの修正で生じたパターンの相違部分と、図形演算処理、マスクデータ作成処理における丸め誤差を識別し、レイアウトパターンデータの修正で生じたパターンの相違部分のみを検出する。

#### (5) 相違部分出力処理

相違部分を検出した場合、相違部分が含まれる区画の位置座標を出力する。

次に、マスクデータ検査部で、相違部分座標リストに従って相違部分を自動的に順次検索、グラフィック表示し、設計者がすべての相違部分の確認を完了してマスクデータ照査処理を完了する。

なお、(3)(4)の処理はパターンをビットマップ展開することによってデータ量が多くなるため、プログラム上の高速化手法を用いた。具体的には区画ごとに、ビットマップ展開処理及び照合処理を並列実行し、図5に示すように高速化手法を用いない場合と比較して約30%の高速化を達成した。

#### 4.4 出力例

マスクデータ照合部で出力される相違部分座標リストの一例を図6に示す。また、マスクデータ検査部におけるグラフィック端末への相違部分の表示例を図7に示す。

#### 5. 製品への適用例

16M DRAM へのマスクデータ照査システムの適用によるマスクデータ照査時間の改善効果を図8に示す。

従来、マスクデータをグラフィック表示し、設計者の目視による相違部分の確認に約100時間を要していた。マスクデータ照査システム適用後は、マスクデータ照合部による相違部分検出が9時間、マスクデータ検査部を用いた設計者による相違部分の確認が1時間、合計10時間でマスクデータ照査が可能である。

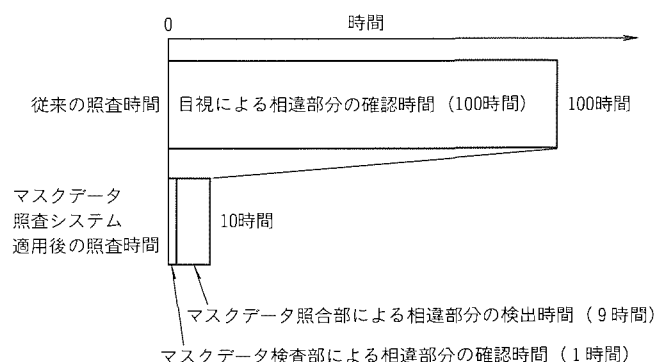


図8. 16M DRAMにおけるマスクデータ照査時間の改善効果

以上のように、マスクデータ照査システムを適用することにより、従来に比べてマスクデータ照査処理の効率を約10倍改善することが可能となった。また、現在も継続してマスクデータ照合部の並列処理化を進めており、処理時間を更に改善する。

#### 6. むすび

今後、VLSIの大規模化・高集積化が進むにつれて、マスクデータ作成及び照査処理の高速化並びにマスクデータの品質向上はますます重要となってくる。今後も、マスクデータ照査システムをブラッシュアップし、高速化・高機能化を進める計画である。具体的には、ビットマップ照合処理の専用ハードウェア化による高速化又は相違部分の検出後の即時表示機能の追加等を検討している。

#### 参考文献

- (1) 清水優子, 田中健一: 神経回路網モデルの目視検査への応用, 第37回システム制御情報学会研究発表講演会講演論文集, 591~592 (1993)

# 高誘電率薄膜技術

佐藤一直\* 楠見嘉宏\*\*\*  
三上 登\* 伊藤博巳\*\*\*  
川原孝昭\*\*

## 1. ま え が き

近年、高誘電率薄膜がLSIの微細化の死命を制する材料として注目されている。LSIのデザインルールも現在、0.35  $\mu\text{m}$  から0.25  $\mu\text{m}$  へと減少の一途をたどり、それに従ってDRAMの一つのメモリセルも1  $\mu\text{m}^2$  以下の小さなサイズになっている。現在使用されているSiの酸化膜や窒化膜では誘電率が小さく、電荷の蓄積容量を確保するためにはDRAMのセル構造を三次元化する必要がある。このための製造プロセスは複雑なものとなり、また複雑な構造になればなるほど信頼性の低下及び歩留りの低下につながるおそれがある。そこで、シンプルなセル構造を実現し、製造プロセスの簡略化を行い、また歩留り向上ひいては製造コストの低減を目指すためにも高誘電率薄膜の導入が待望されている。

高誘電率薄膜は、日米半導体メーカーを中心に開発が進められているが、DRAM用のキャパシタ材料としては(Ba, Sr)  $\text{TiO}_3$  (BST) 膜にほぼ絞られている<sup>(1)~(3)</sup>。当社においても、各種材料を検討し、特性改良に努めた結果、現在この材料に注力してDRAMへの適用技術の開発を進めている。また、更なるDRAMの微細化に対応するために、ステップカバレッジの優れたBST膜を実現するためのCVD技術の開発に努めている。実際のDRAMを実現するためには、成膜・エッチング加工・電極構造設計・特性解析といった技術力が必要であり、これらをいかに統合していくのがDRAMへの適用の大きなかぎ(鍵)を握っている。

この論文では、スパッタ法によるBST膜の特性について述べ、この後エッチング加工、CVD技術、実際のDRAMへの適用性検討の一端を紹介する。

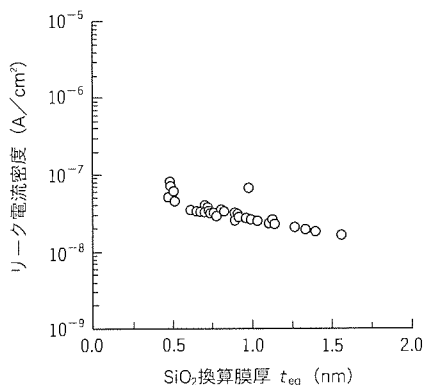


図1. スパッタBST膜のキャパシタ特性

BST膜の性質は、薄膜化すればバルク<sup>(注1)</sup>の性質と異なることが知られている。さらに、DRAMへ適用するときは、キャパシタ面積の微細化の影響がどう出るのか、またそれをどう防ぐのがDRAM適用の大きな鍵となっている。つまり、BST膜の性質がバルク→薄膜→DRAMセルと変わるに従って、どのように変化するかを理解することが重要となる。今後は、この視点からの取組を行っていきたい。

## 2. 成 膜 技 術

### 2.1 スパッタ成膜法

前報<sup>(2)</sup>で詳しく述べたように、キャパシタ膜としては $\text{SiO}_2$ 換算膜厚 $t_{eq}$ をより小さく、またリーク電流をより小さくすることが要求される。具体的には、 $t_{eq}$ として64MDRAM(メガビットDRAM)では1nm以下の、256MDRAMでは0.5nm以下のものが要求される。いずれの場合もリーク電流は、 $\sim 10^{-7}\text{A}/\text{cm}^2$ 以下に抑える必要がある。これらの $t_{eq}$ を実現するには、膜厚を薄くすることが手っ取り早く考えられるが、膜厚を薄くすると誘電特性はバルクの性質から掛け離れたものとなる。つまり、バルクでは誘電率は数千程度であるが、薄膜化すればするほど誘電率そのものは減少する<sup>(1)(4)</sup>。このような材料を用いて $t_{eq}$ を小さくするためには、膜厚減少から予測される以上に薄膜化を進めなければならない。

一方、薄膜化によって単位面積当たりのリーク電流は増加する傾向にあり、リーク電流を抑えながらいかに $t_{eq}$ を小さくするのが薄膜化の大きな課題となっている。

現在までに得られたBST膜のキャパシタ特性を図1に示す。BST膜の薄膜化を図ることにより、リーク電流の急激な増加を伴わずに $t_{eq} = 0.47\text{nm}$ を達成している。ただ、図からも分かるように $t_{eq}$ の値が小さくなるにつれ、リーク電流のばらつきが大きくなる傾向にある。しかし、 $t_{eq}$ とリーク電流の相関関係は保たれており、今後ともこの傾向が続けば、リーク電流が $10^{-7}\text{A}/\text{cm}^2$ 以下で更に $t_{eq}$ を減少することができる。

BST膜の薄膜化により、誘電率そのものがどのように変化するかを図2に示した。一般に誘電率は材料定数の一つと考えられており、膜厚とともに変化するとは考えられない。しかし、この図に示したとおり、50nm付近を境にこれより

(注1) 単結晶又はセラミックのような多結晶等通常の体積を持つ材質を示し、薄膜又は微粉と対比して用いられる。

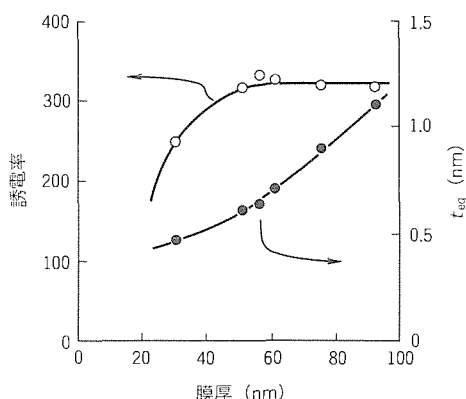


図 2. 誘電率の膜厚依存性

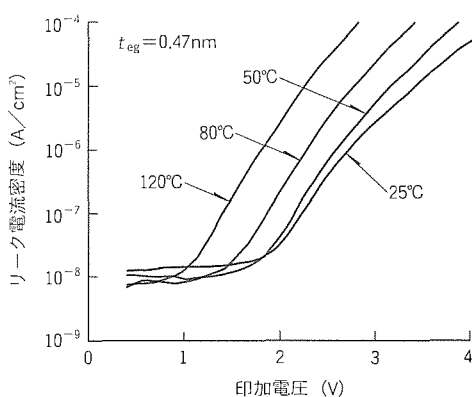


図 3. スパッタ BST 膜の I-V 特性

膜厚が薄くなれば誘電率そのものも減少する傾向がある。

次に、BST 膜のリーク電流がどのように変化するかを紹介する。図 3 に DRAM の動作温度と考えられる室温から 120℃ までの BST 膜の電流-電圧特性を示す。図に示したようにリーク電流は、低電圧側では  $10^{-8} \text{ A/cm}^2$  程度であるが 1～2 V の間で急激に上昇している様子が分かる。この急激にリーク電流の上昇が起きる電圧は測定温度が高いほど、低電圧側に移動している。256 MDRAM では内部動作電圧が  $\pm 1 \text{ V}$  程度と予想されており、この範囲では十分なリーク電流特性を持っている。しかし、今後 256 MDRAM 以降への対応を考えるとリーク電流を抑える工夫が必要となる。

## 2.2 CVD 成膜法

以上述べたように、スパッタ成膜法による BST 膜の採用により、256 MDRAM においてもセル構造を平たん化しうる可能性のあることが分かった。しかし、更なる微細化に対応したキャパシタ膜を提供するためには、段差被覆性に富んだ BST 薄膜化技術が要求される。この要求を満たすために CVD (Chemical Vapor Deposition) 法による BST 成膜に着手している。

BST の CVD 成膜では、Ba, Sr 及び Ti の 3 種類の原料を用いる。CVD 原料としては気体原料が望ましいが、Ba, Sr, Ti の各原料ともに適当な気体原料が見いだされていない。一般に、Ti 原料は液体が用いられ、Ba, Sr の原料に

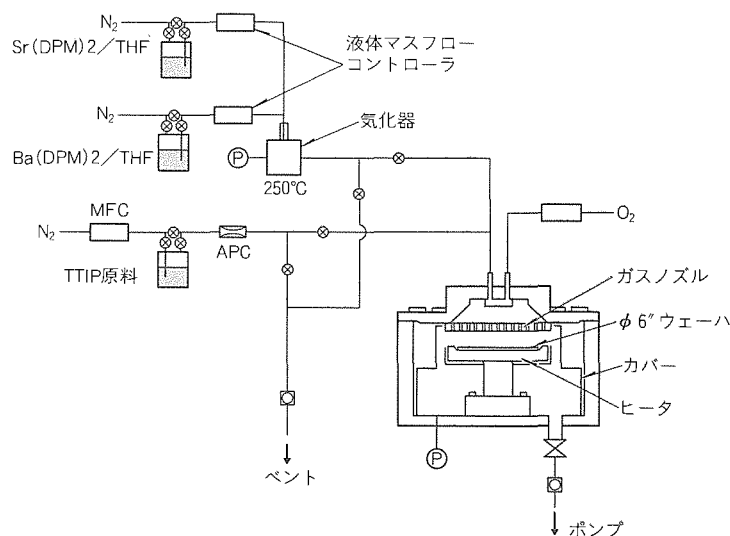


図 4. CVD 装置系統

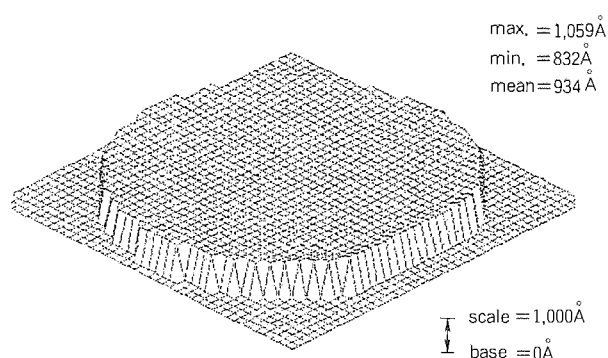


図 5. CVD 膜の膜厚分布

は  $\beta$ -ジケトン系金属錯体 (Ba (DPM) や Sr (DPM)) の固体原料が使用される。液体原料はバブリングによって供給できるが、固体原料は 200℃ 程度で昇華させて供給する必要がある。固体原料供給では、原料容器中で長時間加熱されるために原料粉体が凝集して昇華量が変化したり、原料自体が劣化して、原料供給量が経時変化するおそれがあり、問題となっていた。これらの問題を解決するために、図 4 に示すような原料供給方式を採用した。この供給方式では、CVD 原料として固体原料を有機溶媒に溶かした溶液を用い、原料溶液をキャリアガスとともに高温容器中に噴霧して気化し、高温配管で成膜チャンバに供給する。原料溶液の気化器への供給量は液体マスフローで制御しており、これによって CVD 膜の組成制御性が向上した。

原料ガスは高温配管からガスヘッドを経て成膜チャンバに導入される。チャンバ内の温度分布、ガス流量分布を解析して、ガスヘッド及びチャンバ形状の最適化を行い、図 5 に示す均一な膜厚を得られるようになった。一般的に CVD 膜は段差被覆性に優れており、スパッタ BST 膜では 40% 程度しかない段差被覆性を改善することを目指している。図 6 に段差部に成膜した CVD 膜の断面 SEM 像を示す。現在では 60% 以上の段差被覆性が得られている。

### 3. 加工技術

サブミクロンレベルの微細化を達成するためには、ドライエッチング加工が必要であり、高誘電率薄膜を実際のデバイスへ適用する際にこの微細加工技術が重要となっている。特に、BST 薄膜キャパシタでは電極として Pt を用いており、BST そのものの加工と併せて技術的困難さを増加させている。この技術の成否が高誘電率薄膜の鍵を握っていると表現しても過言ではない。



図 6. CVD法によるBST膜

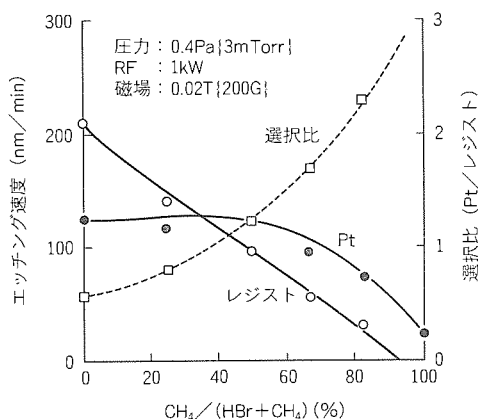


図 7. Pt膜のエッチング特性

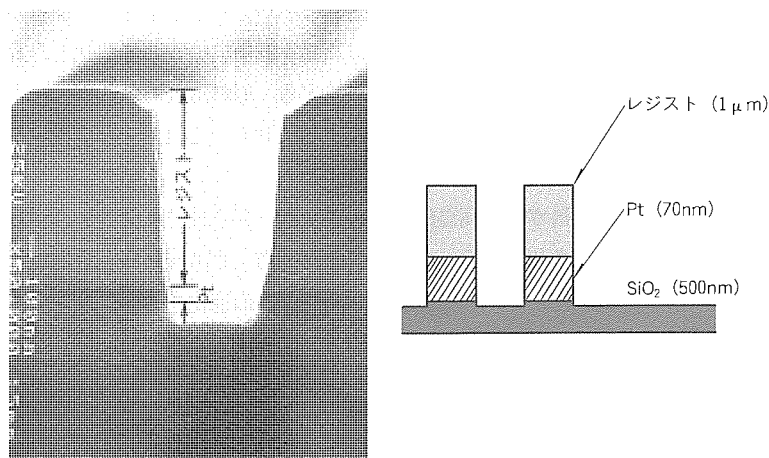


図 8. Pt膜のエッチング形状

現在までに、BST 膜及び Pt 膜のエッチング基礎特性の収集を終え、実際の DRAM への適用へと展開を図っている。図 7 に一例として Pt 膜のエッチング特性を示す。エッチングガスは HBr/CH<sub>4</sub> の混合ガスを用い、RF マグネトロネッチングで行ったものである。Pt 膜のエッチングレートは 50 nm/min 以上の値が得られ、CH<sub>4</sub> 濃度の増加によってレジストとの選択比が向上する。

エッチング温度・ガス種・RF 出力・真空度などの条件を変えてエッチング条件の最適化を図っている。現在までに、図 8 に示すような Pt 膜の加工が可能になっている。図に示したように、完全垂直の断面は得られず少し傾きのある断面ではあるが、ほぼ実用に対応しうる加工断面と考えている。

### 4. DRAMへの適用

#### 4.1 キャパシタTEG用BST成膜実験

DRAM キャパシタとしての検討を行うため、実際の DRAM でのプロセス及び面積を模擬した実験を行っている。ここでは、成膜条件の検討や電極面積依存性について述べる。

##### (1) 電極面積依存性

電極面積により、キャパシタ特性は変化しないはずであるが、面積が小さくなってくるとエッジの効果のため特性変化の生じる場合がある。この影響を調べるためにキャパシタ面積の異なる BST 膜について、 $t_{eq}$  とリーク電流の値を測定した。結果は、表 1 に示した。まず、キャパシタの総面積一定のもとで個々の電極面積を変えた場合は、一つのキャパシタ面積が小さくなるほど  $t_{eq}$  の値は大きくなっている。特に、4  $\mu$ m 角の電極面積を持ったものは、1.28 nm と大きな値となっている。一方、電極面積を 4  $\mu$ m 角に保ち、個数を変化させて総面積を変えた場合は、総面積によらず一定の  $t_{eq}$  の特性が得られた。このことから、電極面積が小さくなるにつれ、エッジ効果が顕著になるものと考えられる。

##### (2) 成膜プロセス

以上のように、キャパシタ面積を DRAM セルサイズに

近づけると  $t_{eq}$  が大きくなり、このままでは  $t_{eq}$  は 1 nm 以下にすることが難しい。そこで、電極面積が小さくても  $t_{eq}$  の上昇を防ぐ工夫が要求される。セル構造や製造プロセスなどを改良することにより、リーク電流の増大を招かずに  $t_{eq}$  を下げる工夫を行っている。その一つに 2 段階成膜法による特性改良がある。これはまず、初めに BST 膜を薄く成膜して種結晶というべきものを作製した後、BST 膜を成膜することにより、より結晶性の高い BST 膜を作製しようというものである。結果は表 1 に併せて載せたが、この 2 段階成膜プロセスによって BST 膜の  $t_{eq}$  は 1 nm 以下となり、また電極面積によらず一定の値を示すことが分かった。

表 1. BST膜  $t_{eq}$  のキャパシタ面積依存性

|                                 | キャパシタ電極面積<br>(総面積: mm <sup>2</sup> ) |                      |                       |                       |
|---------------------------------|--------------------------------------|----------------------|-----------------------|-----------------------|
|                                 | □0.14mm×1個<br>(0.02)                 | □10μm×200個<br>(0.02) | □4μm×1,250個<br>(0.02) | □4μm×12,500個<br>(0.2) |
| 1段階成膜による<br>BST膜の $t_{eq}$ (nm) | 1.00                                 | 1.14                 | 1.28                  | 1.28                  |
| 2段階成膜による<br>BST膜の $t_{eq}$ (nm) | 0.98                                 | 0.96                 | 0.95                  | 0.94                  |

#### 4.2 256MDRAMへの適用

以上のように成膜・加工プロセスに改良を加えながら、BST膜のDRAMへの適用を図っている。現在までに得られた成果をもとに、256MDRAMへの適用を目指した。

図9に今回検討した256MDRAMのメモリセル構造の模式図とSEM像を示す。模式図の中央部の斜線で示されているのが、キャパシタの上部及び下部電極に当たるセルプレート及びストレージノードである。このPt電極に挟まれた部分がBST膜であり、キャパシタを構成している。この図から分かるようにキャパシタ形状はほぼ平たんであり、SiONのキャパシタ膜などで提案されている二重円筒などの複雑なセル構造と違い単純な構造となっている。少なくとも、この構造が採用されればキャパシタがネックになって製造コストがかさ(嵩)む事態は避けられるものと考えられる。

#### 5. む す び

高誘電率薄膜をLSIプロセスに導入することにより、次世代以降のDRAMのセル構造を単純化し、製造プロセスの簡素化及び製造コストの低減が可能になる。これを達成するために、高誘電率材料BSTの薄膜における特性を検討し、スパッタ、CVD成膜法及び加工法の最適化を図り、256MDRAMへの適用を検討している。

現在までにスパッタBST膜の特性として、256MDRAMにおいてフラットキャパシタを実現できる  $t_{eq}$  0.47nm, リーク電流密度  $10^{-7}A/cm^2$  以下の値を達成した。更なる微細化に対応した成膜法としてCVD法の成膜装置の開発及びプロセスの最適化に努めており、現在、60%を超える段差被覆性のBST膜を得ている。また、加工法の最適化により、Pt及びBSTのエッチングレート並びに選択比を向上させ、256MDRAMレベルの微細加工が可能になった。

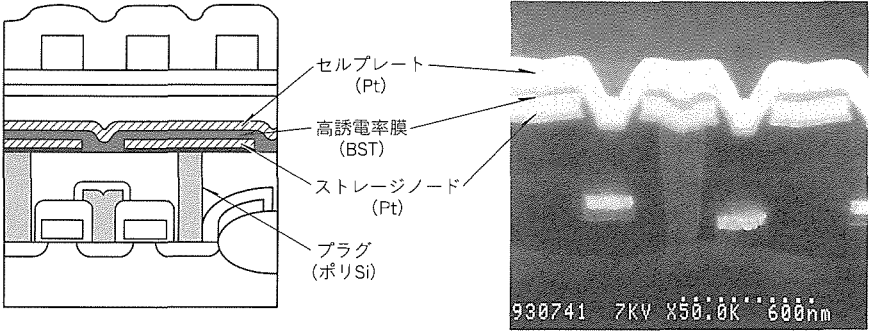


図 9. 256MDRAM構造

TEG試作において2段階スパッタ法によって微細電極における特性劣化を克服し、さらに実際の256MDRAM構造を試作することができた。

今後、更にキャパシタ構造及び成膜プロセスの改良を重ね、高誘電率薄膜を256MDRAM以降のデバイスに導入し、コスト低減を実現する所存である。

#### 参 考 文 献

- (1) Koyama, K., Sakuma, T., Yamamichi, S., Watanabe, H., Aoki, H., Ohya, S., Miyasaka, Y., Kikkawa, T.: A Stacked Capacitor with  $(Ba_x, Sr_{1-x}) - TiO_3$  for 256MDRAM, IEDM Tech. Dig. IEEE Int. Electron Devices Meet., 823~826 (1991)
- (2) 佐藤一直, 難波敬典, 渡井久夫, 檜垣孝志, 小蒲哲夫: 次世代DRAM用高誘電率キャパシタ膜材料, 三菱電機技報 67 No.5 442~446 (1993)
- (3) Lesaichere, P.: 日経マイクロデバイス, 6月号, 73 (1993)
- (4) Horikawa, T., Mikami, N., Makita, T., Tanimura, T., Kataoka, M., Sato, K., Nunoshita, M.: Dielectric Properties of  $(Ba, Sr) TiO_3$  Thin Films Deposited by RF Sputtering, 32, Part 1, No.9B, 4126~4130 (1993)

# X線リソグラフィー技術

幸丸正樹\* 島野裕樹\*  
丸本健二\* 中西哲也\*\*\*  
尾崎禎彦\*\* 吉岡信行†

## 1. ま え が き

256MDRAM以降の半導体デバイスでは、最小パターン寸法がクォーターミクロン以下となり、転写に使用する光源の波長に近づくため、回折の影響でパターンの解像が困難になる。また、レンズ開口数を大きくして解像度を向上させると焦点深度が小さくなり、高段差構造のデバイスへの対応ができなくなる。

当社では解像性と高段差構造への対応の両面を同時に満たし、0.15  $\mu\text{m}$  以下のパターン転写にも利用し得る寿命の長い技術として、シンクロトロン放射 (Synchrotron Radiation, 以下“SR”という。) 光を光源にした X 線リソグラフィの研究を行っている。転写に使用する X 線波長は、約 0.8nm と従来の光源 (i 線 365nm, KrF エキシマレーザ光 248nm) に比べて短いため、高い解像性を持っている。ここでは、SR 光発生装置として SR 装置、これをステップまで導くビームライン照明系、転写用 X 線マスク、及び転写シミュレーションについて当社の取組状況を述べる。

## 2. S R 装 置

### 2.1 概 要

SR 光は、従来の X 線源に比べて強度がけた違いに大きいこと、発光点の広がり小さく指向性が強いことから X 線リソグラフィ用光源として適している。

SR 光を発生する SR 装置は電子ライナック、シンクロトロン及び電子蓄積リング (以下“SR リング”という。) で構成され、ライナックで 20MeV まで加速した電子をシンクロ

ロンで 800MeV まで加速、SR リングに蓄積し、そこで発生する SR 光をリングポートからビームラインを介して取り出す。SR リングへの入射器をシンクロトロンとしたため、蓄積エネルギーでビーム入射ができ SR 光を常時利用することができる。また、装置研究用にリングへ低エネルギーで入射し、所定のエネルギーまで加速した後蓄積する加速蓄積実験も行うことができる。SR 装置全体の詳細は参考文献(1)に譲り、以下では SR リングについて述べる。

### 2.2 SR リング

産業利用の装置として小型化を図るために、SR リングには次の二つの新技術を取り入れた。

- (1) 偏向電磁石を超電導とした。
- (2) リング形状はレーストラック型とし、直線部の四極電磁石を 1 台とした。

装置の大きさは、主に偏向電磁石の磁場強度で決まるため、超電導で強磁場を発生させることによって小型化できる。また強磁場は、より強力な SR 光を発生できる利点も併せ持つ。

リングの形状に関しては、直線部を持つリングで最も小型化できるレーストラック型を採用した。また、ビームを安定に周回させるためには、一般に 1 直線部当たり最低 2 台の四極電磁石を必要とするが、偏向電磁石に磁場こう配を持たせることにより、四極電磁石を 1 台にすることができた。これにより、ビーム径も小さくできることが分かった。

図 1 に完成した SR リングの全景、図 2 にリングの平面図を示す。ビーム軌道の周長は 9.2m である。主パラメータは参考文献(1)に示す。エネルギーは 600MeV で運転している。このときの SR スペクトルを図 3 に示すが、X 線リソグラフィ

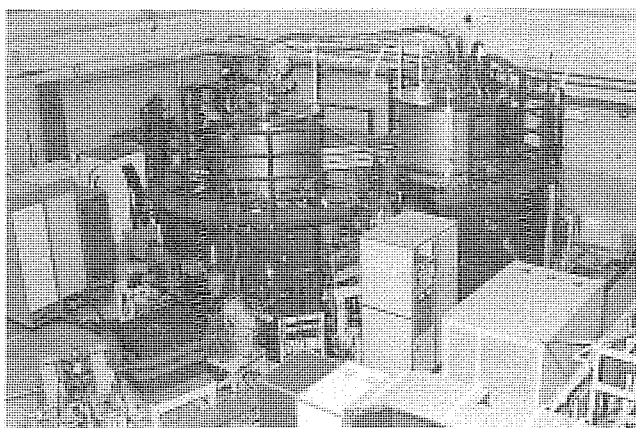


図 1. SR リング外観

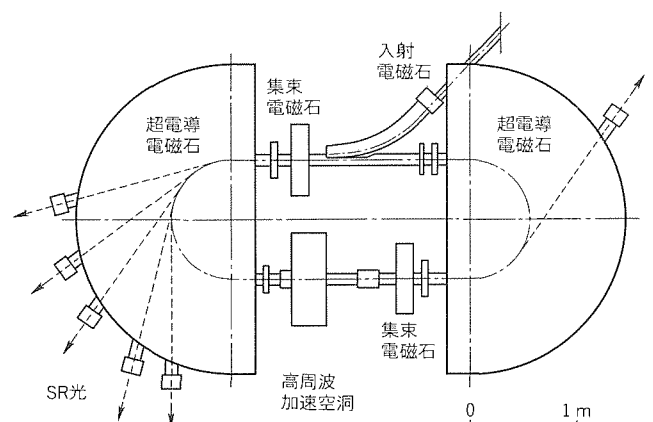


図 2. SR リング平面図



いで必要となる波長 (約 0.8 nm) 付近で強度が最大となる。X 線リソグラフィー用の SR 光ポートは 2 本あり、他のポートは物質表面解析等の実験に使われる予定である。

これらのポート位置での電子ビーム径は水平、垂直方向共に 1 mm 以下である。

### 2.3 ビーム入射蓄積試験

1993 年 6 月中旬に SR リングへのビーム入射試験を開始した。同月末には SR 光によるビーム蓄積を確認、その後入射系の調整等によって 250 mA のビーム蓄積に成功している。図 4 に SR 光の写真を示す。

## 3. ビームライン

### 3.1 概要

ビームラインは、超高真空 SR リングから転写に適した波長域の SR 光をステップの露光雰囲気まで導くもので、真空系と光学系によって構成されている。

真空系は真空排気系と真空保護系からなり、ビームライン中を高真空に保ち、光学素子表面の汚染、空気による SR 光の減衰を防ぐとともに、事故時のビームラインを経由したリングの真空度の低下を抑えている。真空保護系は露光雰囲気 (大気圧の空気) とビームライン間の真空隔壁に Be 薄膜を用いているため、その破損事故に備えたものである。

光学系は、連続スペクトルを持つ SR 光から転写に適した波長域の光を取り出すために用いるが、当社ではこれに加え集光光学系により、転写時間短縮のために SR 光の強度増強を図った。図 5 にビームライン外観を示す。以下では、真空保護系と光学系について述べる。

### 3.2 真空保護系

Be 膜破損による SR リングの真空度低下の防止には、高速遮断バルブ (Fast Closing Valve : FCV ; 動作応答時間 = 20 ms) と、衝撃波遅延管 (Acoustic Delay Line : ADL) を使用した。ADL はガス流入衝撃波のリングへの伝搬時間を遅らせるための装置で、流入路を制限する複数枚のオリフィス板を内部に備えている。種々の ADL に対する衝撃波遅延効果の実測結果から見いだした ADL の設計手法<sup>(2)</sup>を使って、Be 膜破壊時でもリング真空度が  $1.33 \times 10^{-5}$  Pa {  $10^{-7}$  torr } より劣化しないように ADL を設計した。

### 3.3 光学系

転写に適した 7 ~ 12 Å の SR 光の取り出しには、ミラーでの X 線全反射による短波長カット特性と、Be 膜での長波長吸収特性を利用した。SR 光集光には、2 枚の回転円筒ミラー (図 6) を使い、露光面での SR 光の水平方向の湾曲を抑え、さらにスペクトルの均一化を図った。平面ミラー 1 枚の場合に対して集光効率が約 10 倍になる。露光フィールドは 25 mm × 25 mm で、露光強度均一性は ± 5 % 以下である<sup>(3)</sup>。回転円筒ミラーは SiO<sub>2</sub> 基板を切削加工し、Pt をコーティングしたもので、当社で開発試作した<sup>(4)</sup>。図 7 にミラ

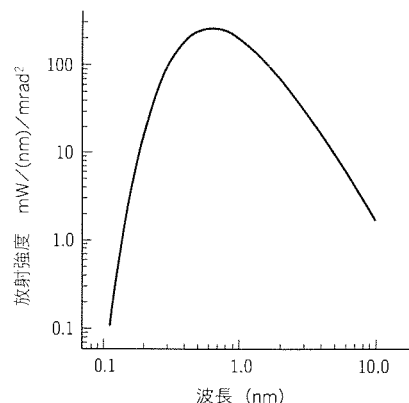


図 3. SR 光スペクトル

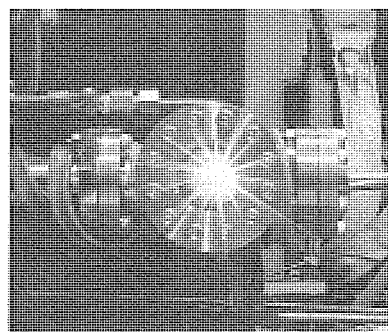


図 4. SR 光

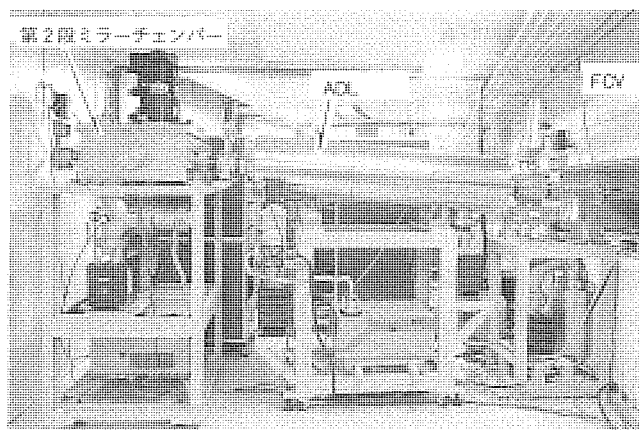


図 5. ビームライン外観

ー外観写真を示す。基板形状精度 ± 0.6 μm、表面粗度 0.5 nm rms であった。

## 4. X線マスク

### 4.1 概要

X 線マスクは、SR リソグラフィー技術のキーデバイスで、高い解像度と精度 (パターン位置及び寸法) が要求される。当社では X 線吸収体として W-Ti 合金を採用し、0.1 μm 以下の微細加工技術を確立した。以下、この技術の詳細を、図 8 に示す X 線マスクプロセスフローに従って説明する。

### 4.2 X線マスクプロセス

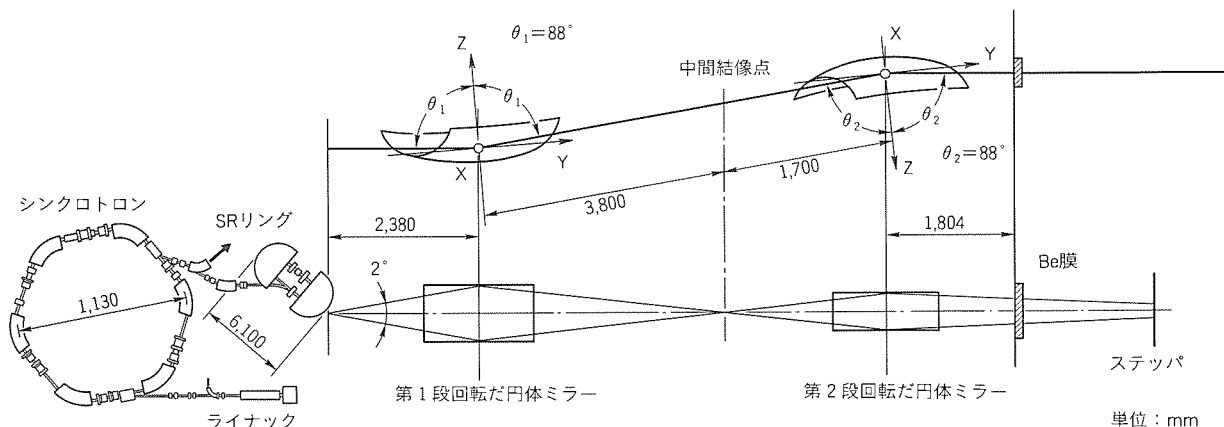


図6. ビームライン光学系

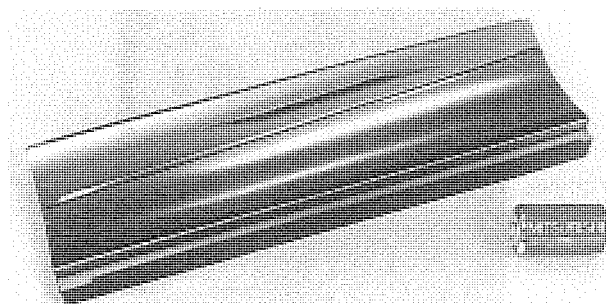


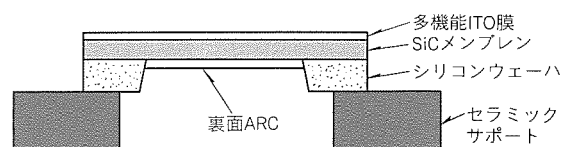
図7. だ円体ミラー

#### (1) マスク基板形成

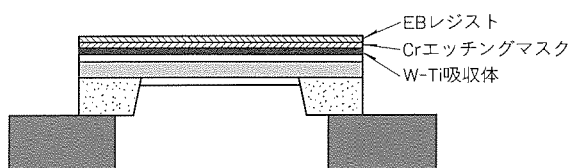
X線マスクの微細パターンは、厚さ $2\mu\text{m}$ 程度の薄い膜（以下“メンブレン”という。）上に形成される。このメンブレンはパターン位置精度を確保するため剛性が高く、かつアライメント用可視光に対する透過率が高いものでなければならない。現在は、化学気相蒸着法でシリコンウェーハ上に成膜された炭化けい素（SiC）メンブレンを用いているが、さらに高剛性化を目指しダイヤモンドメンブレンの開発も行っている。なお、SiCメンブレンの可視光透過率の改善のためインジウム-すず酸化物（Indium-Tin-Oxide：ITO）を無反射コートとして用いている<sup>(6)</sup>。この膜は、後述するW-Ti吸収体のエッチストップ層や検査時の帯電防止層としても機能する。SiC付きシリコンウェーハは、バックエッチ後、サポートリングに接合される。当社では、サポートリングをセラミックス化し、チャッキングなどによるパターン位置ひずみの低減を図った。

#### (2) W-Ti吸収体成膜

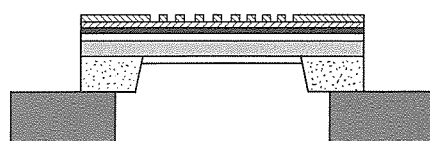
スパッタガスとしてアルゴン-窒素混合気体を用いたDCマグネトロンスパッタ法により、低応力（ $< 50\text{MPa}$ ）でアモルファス構造の吸収体成膜を達成し<sup>(7)</sup>、パターンのエッジラフネス低減など精度向上を図った。現在、低応力化のため高精度スパッタ装置の開発やステップアニール法の検討<sup>(8)</sup>を行っている。さらに、吸収体応力が空気中及びX線照射に対して十分安定であることも、(株)ソルテックとの共同研究によ



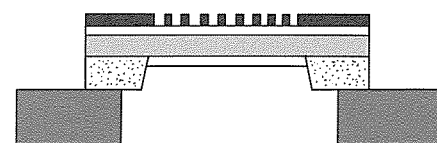
(a) マスク基板形成



(b) 成膜



(c) EB描画／現象



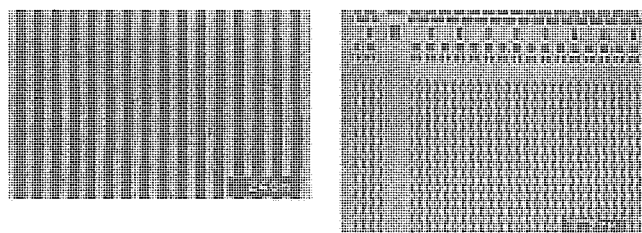
(d) エッチング

図8. X線マスクプロセスフロー

って確認した<sup>(9)</sup>。

#### (3) EB描画

X線マスクのパターン精度（位置、寸法）の改善は、その多くをEB描画（Electron Beam描画：電子線描画）技術によって行っている。重金属上でのEB描画では、電子線の散乱に起因する近接効果の補正技術が重要である。当社ではシミュレーションと実験により、最適な補正法の検討を行っている<sup>(10)</sup>。また、装置の不安定性に起因する描画誤差を低減するため多重描画法を検討し、大きな改善が得られることを明らかにした<sup>(11)</sup>。



(a) 0.06  $\mu\text{m}$  L/Sパターン

(b) 1 GDRAMパターン

図9. マスク吸収体エッチング結果

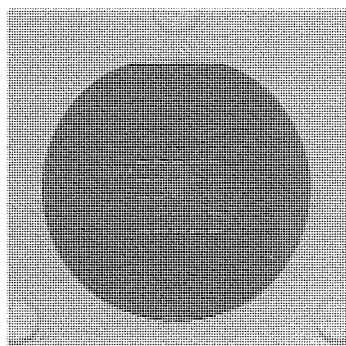


図10. X線マスク外観

#### (4) 吸収体のエッチング

EB 描画/現像によって形成されたレジストパターンをいったん中間層クロム (Cr) に転写した後、これをマスクとして W-Ti 吸収体のエッチングを行う。低温化 ( $-50^{\circ}\text{C}$ )、電子サイクロtron共鳴プラズマの制御、エッチングガスの最適化により選択比 (W-Ti/Cr = 50 ~ 150) が高く、パターンサイズによるエッチング速度の差 (マイクロローディング効果) も小さい異方性エッチングを実現した<sup>(12)</sup>。図9に1 Gビットクラスのデバイスパターンと0.1  $\mu\text{m}$ のライン&スペースパターンの走査形電子顕微鏡写真を示す。また、図10にX線マスクの全体写真を示した。

### 5. 転写シミュレーション

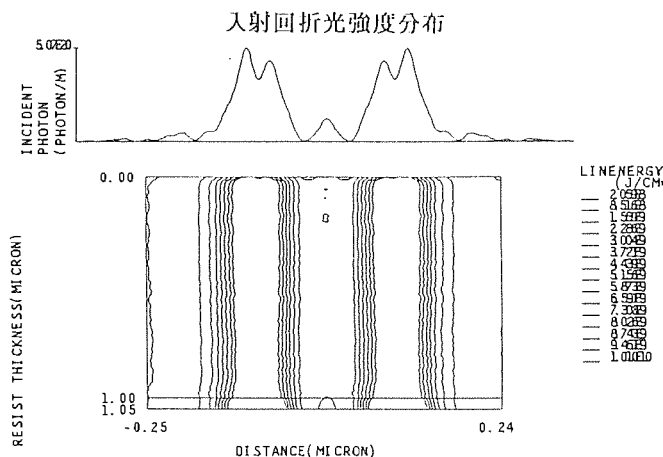
#### 5.1 概要

転写シミュレーションは、レジストパターン形成にかかわる要因と実験結果の因果関係を解析するとともに、転写結果の予測計算を通じて新しい転写方式を検討する目的で開発した。

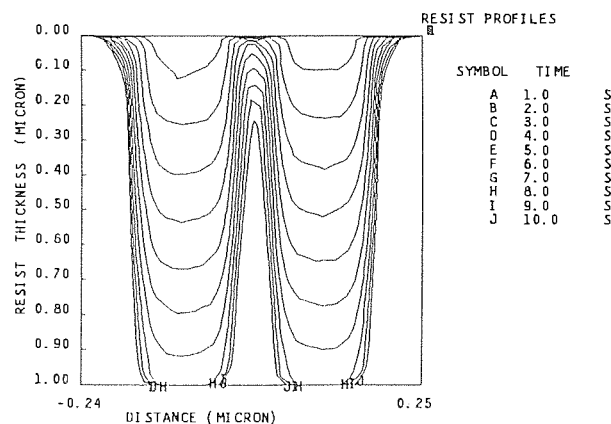
以下、シミュレーションモデルの概要と計算例を示す。

#### 5.2 シミュレーションモデル

転写シミュレーションでは、レジスト上での、X線マスクからのSR光回折強度分布、SR光入射に伴うレジスト、基板中での二次電子発生と散乱、散乱によるレジスト中での蓄積エネルギー分布、蓄積エネルギー分布に基づくレジストの現像計算を実行する。回折強度分布の計算にはFresnel近似、二次電子発生にはモンテカルロ法を使用した。二次電子散乱では弾性散乱は、Screened・Rutherfordの式、非



(a) 蓄積エネルギー分布



(b) 現像レジスト形状

図11. 転写シミュレーションの計算例

弾性散乱はBetheの式とRao・Sahibの式を用いた。レジスト現像は、蓄積エネルギーに従って、ストリングモデル<sup>(5)</sup>を用いて表面形状を変化させていった。

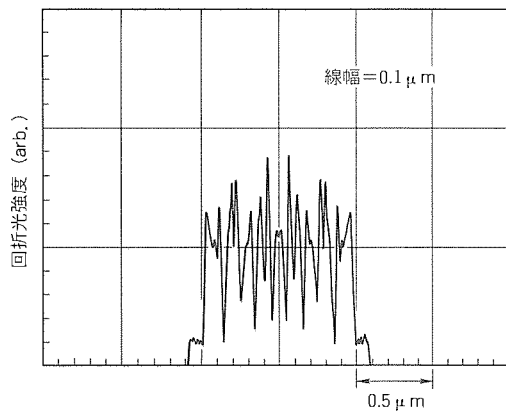
#### 5.3 計算例

図11にマスクウェーハ間ギャップ10  $\mu\text{m}$ での、0.10  $\mu\text{m}$ ライン&スペース (L/S) に対するレジスト表面でのSR光回折強度分布とレジスト中での蓄積エネルギー分布、現像時のレジストパターンの時間変化の計算結果を、また図12にマスクでのX線の位相シフト効果がある場合とない場合について、マスクウェーハ間ギャップ30  $\mu\text{m}$ での、0.1  $\mu\text{m}$  L/Sパターンの転写結果をウェーハ面上でのX線回折強度分布として示した。

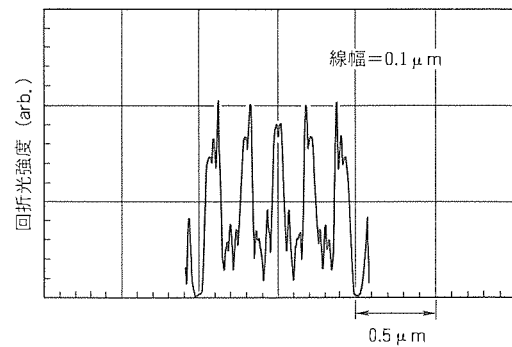
このような計算によって解像度、二次電子の寄与、位相シフトマスクの効果等の評価ができる。

### 6. むすび

当社のX線リソグラフィー研究の概要を紹介した。クォーターミクロン以降のリソグラフィー技術は、エキシマレーザを使用する方法、EB描画法等の提案もあるが、まだ確定するには至っていない。次の微細化目標である0.15  $\mu\text{m}$  転



(a) 位相シフト量 =  $0^\circ$  (マスクコントラスト =  $\infty$ )



(b) 位相シフト量 =  $90^\circ$  (マスクコントラスト = 8)

図12. 位相シフトマスクによる解像性向上

写も視野に入れながら高解像度、高段差構造への対応という特長を持つ X 線リソグラフィーの研究を進めていく予定である。

なお現在、SR 光を使ったビームラインの最終調整を行っており、近く転写実験を始める見込みである。キーデバイスである X 線マスクについては、材料、プロセスはおおむね決定され、今後は EB 描画精度の改善、欠陥検査・修正等、マスクの実用化上残された課題に取り組んでいく。

#### 参考文献

- (1) 中西哲也, 山田忠利, 奥田荘一郎, 岩本雅民, 中村史朗: シンクロトン放射光装置の研究試作, 三菱電機技報, **65**, No.11, 1080~1085 (1991)
- (2) 一二三 敬, 尾崎禎彦, 幸丸正樹: SR ビームライン用真空保護システムの開発(2), 第53回応用物理学会秋季講演会予稿集, 480 (1992)
- (3) Shimano, H., Hifumi, T., Ozaki, Y.: Design Optimization of Synchrotron Radiation Lithography Beamline for a Compact Storage Ring, Jpn. J. Appl. Phys., **31**, No.12B, 149~152 (1992)
- (4) 鈴木浩文, 小寺 直, 西谷昌一郎, 原 成一, 島野裕樹, 尾崎禎彦: 楕円体ミラーの研削加工, 1992年度精密工学会春季大会学術講演会講演論文集, 5~6 (1992)
- (5) 小谷教彦: 形状シミュレーション, 電子情報通信学会誌, **74**, No.7, 681~685 (1991)
- (6) Fujino, T., Sasaki, K., Marumoto, K., Yabe, H., Yosioka, N., Watakabe, Y.: X-ray Mask Fabrication Process using Cr Mask and ITO Stopper in the Dry Etching of W Absorber, Jpn. J. Appl.

Phys., **31**, 4086~4090 (1992)

- (7) Yabe, H., Marumoto, K., Aya, S., Yosioka, N., Fujino, T., Watakabe, Y., Matsui, Y.: Sputtered W-Ti Film for X-ray Mask Absorber, Jpn. J. Appl. Phys., **31**, 4210~4214 (1992)
- (8) Marumoto, K., Yabe, H., Aya, S., Kise, K., Matsui, Y.: Total Evaluation of W-Ti Absorber for X-ray Mask, Proceedings of SPIE's 1994 Symposium on Microlithography, to be submitted
- (9) Okuyama, H., Yamashita, Y., Marumoto, K., Yabe, H., Matsui, Y., Yamaguchi, Y., Shoki, T., Nagasawa, H.: SR Irradiation Stability of X-ray Masks Utilizing Stress-free W-Ti Absorber and SiC Membranes, Proceedings of SPIE's 1994 Symposium on Microlithography, to be submitted.
- (10) 綾 淳, 松葉素子, 丸本健二, 矢部秀毅, 藤野 毅, 己浪裕之: X 線マスク基板上のレジストパターンニング, 第40回応用物理学会春季講演会予稿集, 505 (1993)
- (11) Aya, S., Marumoto, K., Yabe, H., Matsui, Y.: Improvement of Pattern and Position Accuracies by Multiple Electron Beam Writing for X-ray Mask Fabrication, Jpn. J. Appl. Phys., **32**, L1707~L1710 (1993)
- (12) Marumoto, K., Yabe, H., Aya, S., Matsuba, M., Sasaki, K., Watakabe, Y., Matsui, Y.: Fine Pattern Etching of W-Ti Absorber for X-ray Mask with Electron Cyclotron Resonance Discharge Plasmas, Jpn. J. Appl. Phys., **32**, 5918~5923 (1993)

# ハーフミクロン対応ロジック用 CMOS LSIウェーハプロセス

野崎雅彦\* 東谷恵市\*\*  
越久和俊\* 高田佳史\*\*  
原田 繁\*

## 1. ま え が き

ASIC (Application Specific IC) や MPU (マイクロプロセッサ) は小型化と高性能化により、情報処理機器や通信機器等で代表される産業用機器から、一般産業用及び家電製品等の民生機器に至る広い応用分野を持つに至っている。ただし、前者はそれらを構成する半導体デバイスに高機能及び高性能を求め、後者はそこそこの性能でむしろ価格重視であるというように、それぞれの機器が指向するものが異なっている。しかし、当然のことながら高性能デバイスの製造コストはかさ(嵩)み、低価格への要求にはこたえにくくなる。

そこで当社では、0.5  $\mu\text{m}$  級以降の ASIC や MPU (以下“ロジックデバイス”と総称する。)の製造ウェーハプロセスとして、性能重視デバイス向けプロセスと、標準デバイス向けプロセスの二つのプロセス方式を用意して市場要求にこたえることとした。そして、前者高性能デバイス向けプロセスを EP (Enhanced Process) 版、後者標準デバイス向けプロセスを GP (General Process) 版と称している (図1 参照)。

本稿では、今回開発した二つの製造方式である EP 版と GP 版のうち、主に EP 版ウェーハプロセスの特徴と GP 版との比較について述べる。

## 2. EP版ウェーハプロセス

### 2.1 プロセスフロー

表1にEP版のプロセスフローを示す。ポリシリコン層は1層で、メタル配線が2層から4層まで対応できる。

### 2.2 デバイス構造

図2にEP版の断面構造を示す。素子分離構造としては、

従来の LOCOS 技術を採用している。ウェル構造としては、レトログレードツインウェル構造を採用した。このウェル構造では素子分離のための酸化膜 (フィールド酸化膜) 形成後、高エネルギー注入と従来の注入技術の組合せにより、NP 両領域の不純物濃度が独立に制御される。これによって PN 間隔が縮小され、かつ狭チャネル効果が制御できた。

ゲート構造としては、WSi ポリサイドゲートを採用した。以上の素子分離からゲート構造までは、現在当社西条工場で量産中の 16 MDRAM (第二世代) と共通技術であり、主要工程についてはプロセスの標準化を図り、先端 DRAM との混流生産を容易にした。

次にメタル配線は、TiN と AlCu の積層構造として配線の信頼性 (エレクトロマイグレーション耐量及びストレスマイグレーション耐量) を高めた。また、表2に示すようにメタル配線ピッチ (配線幅 (L) と配線間隔 (S) の合計) は 1 Al, 2 Al, 3 Al, 4 Al の各工程それぞれが 1.5  $\mu\text{m}$ , 1.75  $\mu\text{m}$ , 2.0  $\mu\text{m}$ , 4.0  $\mu\text{m}$  と、0.5  $\mu\text{m}$  ロジックデバイスとしては世界トップレベルであるが、この配線ピッチの実現には十分な層間絶縁膜の平坦化が必ず (須) であった。そこで、EP 版に対しては有機 SOG (Spin on Glass) とプラズマ酸化膜を用いた低温平坦化技術を開発した。

図3に SOG とプラズマ酸化膜を用いた低温平坦化フローを示す。Al 配線形成後、プラズマ酸化膜をたい (堆) 積し、有機 SOG を塗布して最上面を平坦化する (図3(2))。次に有機 SOG とプラズマ酸化膜のエッチングレートを等しくした反応性イオンエッチングでエッチバックし、アルミ配線

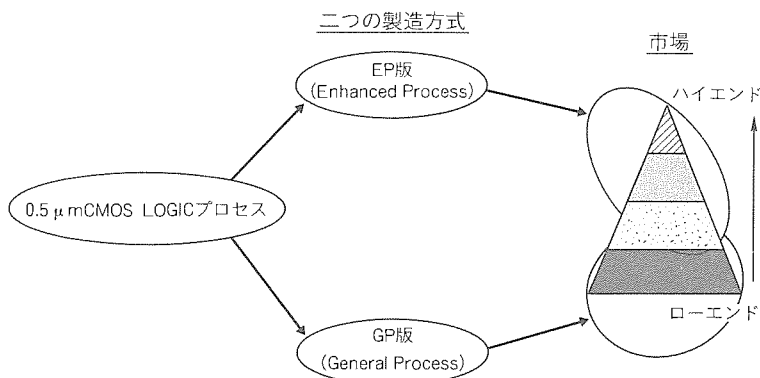


図1. 当社0.5  $\mu\text{m}$  CMOS LOGICウェーハプロセス

表1. EP版プロセス  
フロー

|            |
|------------|
| ●フィールド     |
| ●Nウェル      |
| ●Pウェル      |
| ●ゲート       |
| ●LDD形成     |
| ●ソースドレイン形成 |
| ●コンタクトホール  |
| ●1層メタル配線   |
| ●第1バイアホール  |
| ●2層メタル配線   |
| ●第2バイアホール  |
| ●3層メタル配線   |
| ●第3バイアホール  |
| ●4層メタル配線   |
| ●パッシベーション  |

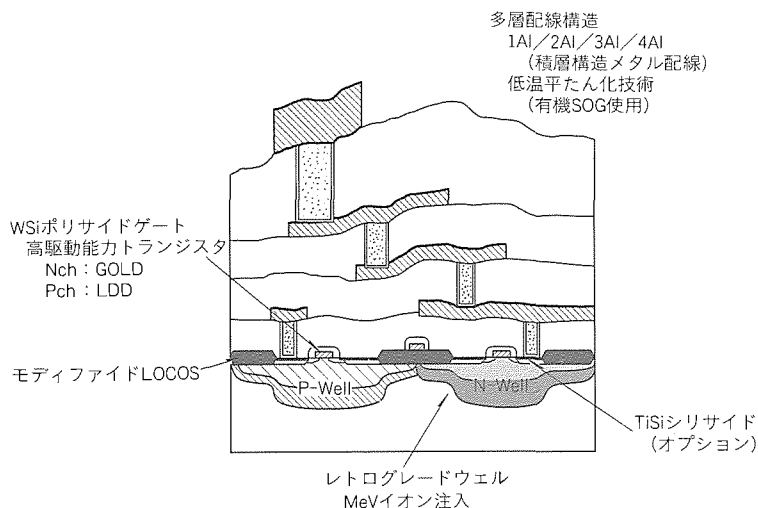


図 2. EP版デバイス構造

上の SOG がなくなったところでエッチングを終了すればこの時点で最上面は平坦化されている (図 3 (3))。最後に全面をプラズマ酸化膜で覆って平坦化プロセスは完了する。

従来の多層配線の層間絶縁膜平坦化技術では、無機 SOG とプラズマ酸化膜を用いていたが無機 SOG では収縮応力が大きく、厚く塗布することができないため塗布後の平坦性が悪かった (図 3 (2) の状態)。これに対して、今回採用した有機 SOG は厚塗りが可能で、塗布後良好な平坦性が実現できる。ただし、有機 SOG は酸素プラズマや熱処理によって容易に分解してガスを発生させ配線形成歩留りに多大な影響を与える。そこで、多層配線工程の非酸素プラズマ化と低温化に努め、有機 SOG を使っても十分な配線歩留りが得られる低温平坦化技術を開発した。

図 4 に以上述べた技術を用いた EP 版 4 層配線の断面写真を示す。

### 3. デバイス特性

#### 3.1 電気特性

EP 版の主要電気特性を表 3 に示す。まず、トランジスタ特性であるが、 $0.5\ \mu\text{m}$  デバイスからの電源の低電圧化 (3.3 V 化) に対応して基本的には 3.3 V 仕様とし、しきい値  $V_{th}$  (NMOS),  $V_{th}$  (PMOS) をそれぞれ 0.5 V, 及び -0.6 V とし、ソースドレイン電流  $I_{ds}$  (NMOS),  $I_{ds}$  (PMOS) をそれぞれ  $0.44\ \text{mA}/\mu\text{m}$ , 及び  $-0.22\ \text{mA}/\mu\text{m}$  と世界トップレベルの高駆動能力を実現した。表 4 にトランジスタの主なプロダクトパラメータを記す。ゲート酸化膜厚 9 nm, NMOS は  $N^-$  層にりんを回転注入したゲートオーバーラップ LDD (Lightly Doped Drain) 構造, PMOS は  $P^-$  層にボロンを回転注入したゲートオーバーラップ LDD 構造である。

一方、 $0.5\ \mu\text{m}$  デバイスは電源低電圧化の過渡期に当たり、同一システム上では 5 V 仕様で使用するデバイスもあり、5 V/3.3 V の 2 電源使用が可能となるよう 5 V I/O 用トラ

表 2. EP版メタル配線

|          |                             |
|----------|-----------------------------|
| 1 層メタル配線 | $L/S=0.9/0.6\ \mu\text{m}$  |
| 2 層メタル配線 | $L/S=1.1/0.65\ \mu\text{m}$ |
| 3 層メタル配線 | $L/S=1.2/0.8\ \mu\text{m}$  |
| 4 層メタル配線 | $L/S=2.0/2.0\ \mu\text{m}$  |

注  $L/S$ : 最小配線幅/最小配線間隔

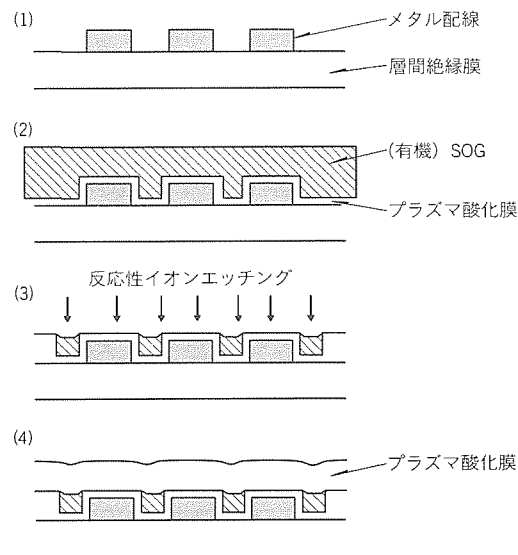


図 3. SOG とプラズマ酸化膜を用いた低温平坦化フロー

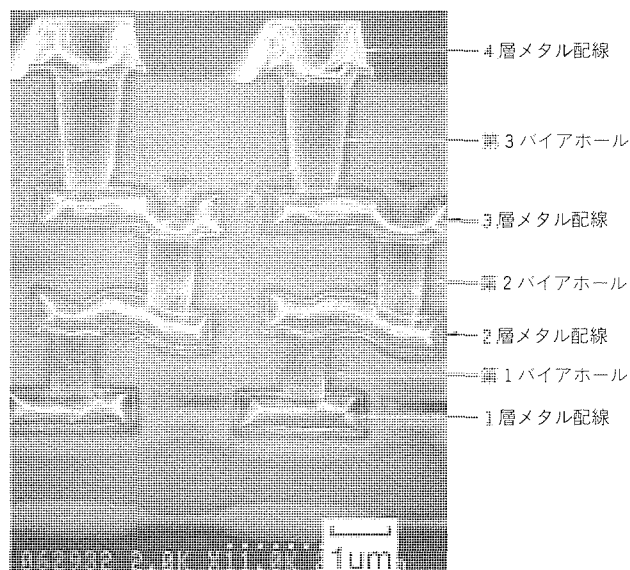


図 4. EP版 4 層配線の断面 SEM 写真

ンジスタも開発した。5 V I/O トランジスタのドレイン構造は、3.3 V と同一としプロセスの簡略化を図った。ただし、電源電圧が 5 V であり、3.3 V トランジスタからの相違点として、①ホットエレクトロン耐量の観点からゲート寸法を  $1.0\ \mu\text{m}$  とし、②ゲート酸化膜の耐圧の観点からゲート酸化膜厚を 15 nm とした。すなわち、5 V I/O トランジスタは設計上、ゲート寸法を  $1.0\ \mu\text{m}$  (3.3 V 領域のトランジスタのゲート寸法は  $0.5\ \mu\text{m}$ ) とし、ゲート酸化膜は 3.3 V 領域より

厚くした。

次に、 $N^+$  拡散層及び  $P^+$  拡散層はノンシリサイドを標準仕様としているが、EP 版では拡散層低抵抗化のための TiSi シリサイド構造をオプション構造として用意している。この TiSi シリサイドを利用した場合、拡散層のシート抵抗及び第 1 メタル配線と拡散層のコンタクト抵抗は、1 けた以上低下する。

### 3.2 エレクトロマイグレーション耐量

メタル配線中のメタル (Al) 原子と配線を通る電子との相互作用により、メタル原子が移動する現象がエレクトロマイグレーションである。これはメタルが移動した跡には空孔 (ボイド) が発生し、ボイド発生によって配線膜の断面積が減少して電流密度が更に大きくなり、ジュール熱による温度上昇が生じボイドの成長がますます加速され、ついには断線に至る現象である。一方、金属が移動して蓄積したところにはヒロックが発生し、近接配線間のショートが発生させる。

このようにエレクトロマイグレーション現象は、メタル多層配線を持つデバイスの品質上重大な影響を及ぼす。EP 版では、特に電流を多く流す産業用デバイスをターゲットとしており、エレクトロマイグレーション耐量を高めることは重

要な課題であった。そこで EP 版では、メタル配線材料を AlCu とし、AlCu と TiN の積層構造を採用した。Cu を添加することで粒界に存在する空位の数が減少し、その結果粒界での拡散能が減少してエレクトロマイグレーションによる寿命が改善される<sup>(1)</sup>。TiN 膜は、コンタクト部ではバリアメタルとして働き、またバイアホール部では、上層メタルと下層メタル配線の金属同士を接着させる“のり”としての作用を持っている。以上のような積層構造採用により、平均電流密度  $2 \times 10^5 \text{ A/cm}^2$ 、接合温度  $100^\circ\text{C}$  の使用状況下で 10 Fit/10 年の信頼性の保証が可能となった。なお、実使用がパルス電流又は AC 電流である場合は、エレクトロマイグレーション寿命は更に延びる。

これ以外の不良として、高温処理や温度サイクルによって発生する断線不良があり、エレクトロマイグレーションのような電流印加がなく、応力に起因することからストレスマイグレーションと言われているが、EP 版の積層構造はこのストレスマイグレーションにも強固な構造となっている。

## 4. GP版との比較

以下に EP 版と GP 版を比較し、その相違について述べる。

### 4.1 デバイス構造比較

図 5 に GP 版の断面を示す。図 2 の EP 版と比較して明らかに、素子分離技術、ウェル形成技術、及び WSi ポリサイドゲートについては共用技術である。大きく異なるのはメタル配線構造であり、これらを表 5 (1) にまとめて記す。EP 版は配線ピッチが微細で 1 Al と 2 Al のピッチは 16MD RAM (第二世代) と同一である。これに対して、GP 版は 1 Al, 2 Al, 3 Al 工程のそれぞれが  $2.0 \mu\text{m}$ ,  $2.5 \mu\text{m}$ ,  $3.0 \mu\text{m}$  と緩く抑え、4 MDRAM (第三世代) 等  $0.6 \mu\text{m}$  デバイスとほぼ同等の設備で対応可能のように考慮されている。

次に、EP 版ではコンタクトホールとすべてのバイアホールに埋込み技術を用いているが、GP 版では埋込み技術を用いないでもよいコンタクト径及びバイアホール径に設定し、かつホール形状の上部を開いたテーパ形状としている。このようにして、EP 版は 16 MDRAM と同一の  $0.5 \mu\text{m}$  製造ラインを想定して開発されたのに対して、GP 版は  $0.6 \mu\text{m}$  製造ラインを想定して開発された。

### 4.2 製造コスト比較

既に述べたように、EP 版はデバイス性能を重視して作られており、当社の  $0.5 \mu\text{m}$  技術が結集されている。これに対して、GP 版はコスト面を重視して作られており製造設備としては、 $0.5 \mu\text{m}$  デバイスながら  $0.6 \mu\text{m}$  デバイス用設備を使用して製造できるよう

表 3. EP版主要電気特性

|  |       |
|--|-------|
| $V_{th}$ (NMOS) (V)  | 0.5   |
| $V_{th}$ (PMOS) (V)  | -0.6  |
| $I_{ds}$ (NMOS) ( $\text{mA}/\mu\text{m}$ )                                    | 0.44  |
| $I_{ds}$ (PMOS) ( $\text{mA}/\mu\text{m}$ )                                    | -0.22 |
| カットオフ電流<br>( $ V_d =3.6\text{V}$ , $ V_g =0.2\text{V}$ , $100^\circ\text{C}$ ) |       |
| NMOS ( $\text{nA}/\mu\text{m}$ )   | <10   |
| PMOS ( $\text{nA}/\mu\text{m}$ )   | <20   |

表 4. EP版トランジスタプロダクトパラメータ

|         |  |
|---------|--|
| ウェル構造   | ：レトログレードウェル  |
| ゲート酸化膜厚 | ：9 nm  |
| NMOS    | ： $N^-$ 層にりんを用いたGate/ $N^-$ overlapped LDD構造<br>$N^+$ 層はひ素注入によって形成               |
| PMOS    | ： $P^-$ 層にボロンを用いたGate/ $P^-$ overlapped LDD構造<br>$P^+$ 層は $\text{BF}_3$ 注入によって形成 |

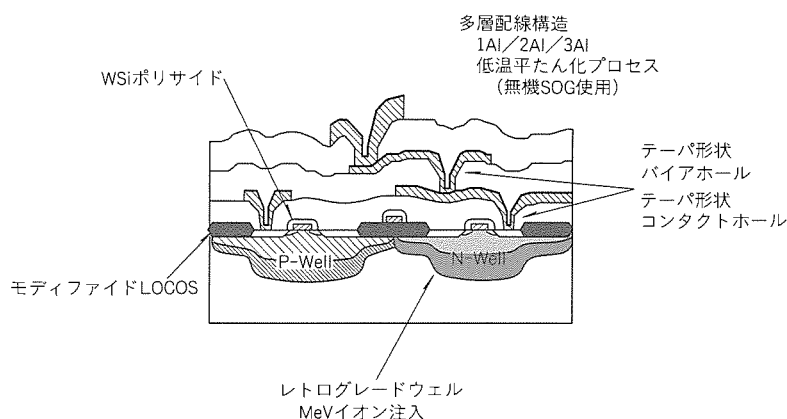


図 5. GP版デバイス構造

表 5. EP版とGP版のプロセス比較

|  | EP版  | GP版   |
|--|--|---|
| (1) メタル配線<br>●配線数<br>●配線ピッチ<br><br>●コンタクト埋込み技術<br>●層間絶縁膜<br>●メタル配線構造   | 最大4層まで<br>1Al/2Al/3Al/4Al=<br>1.5/1.75/2.0/4.0 $\mu\text{m}$<br>埋込み<br>有機SOGとプラズマ酸化膜<br>AlCuとTiNの積層膜 | 最大3層まで<br>1Al/2Al/3Al=<br>2.0/2.5/3.0 $\mu\text{m}$<br>—<br>無機SOGとプラズマ酸化膜<br>AlSiCuとTiNの積層膜 |
| (2) トランジスタ性能<br>$V_{th}$ (NMOS)<br>$V_{th}$ (PMOS)*<br>$I_{ds}$ (NMOS)<br>$I_{ds}$ (PMOS)*<br>カットオフ電流*<br>(100°C, $ V_d =3.6\text{V}$ , $ V_g =0.2\text{V}$ )<br>NMOS<br>PMOS<br>ゲート酸化膜厚 | 0.5V<br>-0.6V<br>4.4mA<br>-2.2mA<br><br><br><100nA<br><200nA<br>9 nm                                 | 0.78V<br>-0.78V<br>3.5mA<br>-1.7mA<br><br><br>very small<br>very small<br>10nm              |

注 \* $L/W=0.5/10\mu\text{m}$

に考慮されている。

#### 4.3 デバイス特性比較と適性プロセスの選択

トランジスタ特性の比較を表5(2)に示す。EP版トランジスタには高駆動能力を与えたが、カットオフ電流も大きく低消費電力という点ではGP版トランジスタに劣る。この点は、GP版、EP版のいずれのプロセスを選択するかを考える際重要なポイントの一つである。

次に、エレクトロマイグレーション耐量についてGP版が配線材料としてAlSiCuを用いているため、10Fit/10年を保証する平均電流密度はEP版と比較してかなり低下している。

以上述べてきたEP版とGP版の相違点をまとめると下記のようになる。

- (1) メタル配線ピッチ
- (2) トランジスタ性能
- (3) メタル配線の平均許容電流密度
- (4) 製造コスト

(1)はチップサイズを左右し、(2)はデバイスの高速性を左右する。(3)は多層配線の設計に重要な項目である。したが

って、設計者は客先要求仕様(チップサイズ、スピード、消費電力、及び価格等)を検討し、適性なプロセスを選択する必要がある。

#### 5. む す び

本稿では0.5  $\mu\text{m}$  CMOS ロジックデバイス用ウェーハプロセスとして開発した二つの製造方式のうち、EP版の特徴について述べてきた。EP版は性能重視の観点から製造コストについては少々高くつくものとなったが、性能、コスト両面でかなり厳しい要求が出てくとも考えられ、今後EP版に対しても工程のスリム化によって低コスト化を図っていく。

#### 参 考 文 献

- (1) 安食恒雄 監修：半導体デバイスの信頼性技術，日科技連出版社，192～215 (1988)
- (2) 荒川隆彦，前野秀史，東谷恵市，斎藤 健，加藤周一：0.5  $\mu\text{m}$  CMOS ゲートアレー，三菱電機技報，67，No.3，234～237 (1993)



# ノンバイアスECRプラズマによる 微細加工技術

丸山隆弘\* 塚本克博\*\*  
藤原伸夫\* 大森達夫\*\*\*  
米田昌弘\* 番條敏信+

## 1. ま え が き

半導体集積回路 (Integrated Circuit) の生産技術は、微細パターン化・高精度化・大口径化などに、近年、目覚ましい発展を遂げている。現在の ULSI (Ultra Large Scale Integrated Circuit) では、 $0.25\mu\text{m}$  レベルの微細パターン形成技術が求められているが、この微細パターンの形成において中心的な役割の一端を担っているのが、ドライエッチング技術である。

デバイスの微細化とともに、ドライエッチング技術に対し、より高い異方性と選択性が求められている。このうち、高異方性に対しては、イオン密度に対する中性ラジカル密度の比率を低減することが有効であり、そのためにはプロセス圧力の低圧化と高プラズマ密度化が必要である。一方、高選択性に対しては、ウェーハ上での入射イオンエネルギーを低減することが有効である。このような観点から、ドライエッチングの動向は低圧力化・低イオンエネルギー化・高プラズマ密度化に向かっている。現在、低圧・高密度プラズマを生成するための一手段として ECR (Electron Cyclotron Resonance) 方式が実用化されているが、その多くは、ウェーハを設置するステージに RF (高周波) 電力を印加することによってイオンの方向性を向上させている。しかしながら、この RF 電力の印加はイオンエネルギーの増大を促すため、高選択性に対しては不利である。そこで、我々は RF 印加を用いないノンバイアス ECR 方式の開発を進めてきた<sup>(1)(2)</sup>。今回、磁場分布の制御により、イオンの方向性とエッチング速度の均一性の改善を行い、さらに、ウェーハの大口径化に対応可能な高均一プロセスの開発を行ったのでその結果について報告する。

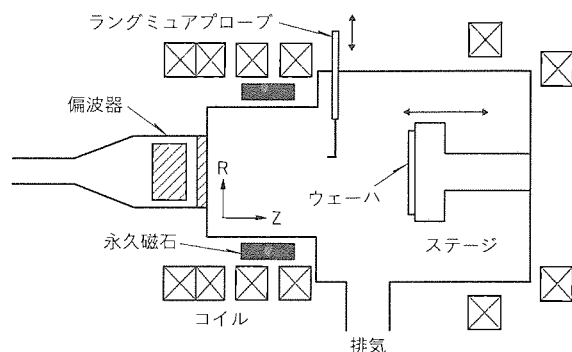


図1. ノンバイアスECRエッチング装置概略

## 2. 装置構成

今回、我々が開発した ECR プラズマ装置の概略を図1に示す。ECR 共鳴磁場 ( $87.5\text{mT}$ ) は、チャンバ周囲に同軸円周状に配置されたコイルによって形成される。このコイルは4分割されており、それぞれ個別に電流制御及び軸方向への移動による磁場の制御が可能である。さらに、必要に応じ、永久磁石によって形成される8極の多極磁場をメインコイルの内側に設置することができる。この永久磁石の表面磁場はそれぞれ  $210\text{mT}$  である。プラズマパラメータの測定には、ECR 領域から  $30\text{cm}$  の所に位置するラングミュアプローブ (Langmuir Probe) を用いた。このプローブは平板型であり、その捕集面は磁力線に垂直に向けられている。また、実験に用いたガスは  $100\%$  の  $\text{Cl}_2$  ガスである。

## 3. 磁場分布とエッチング性能

### 3.1 磁場分布とエッチング速度

一般的に、ECR 現象とは、共鳴磁場強度において電子のサイクロトロン周波数 (Cyclotron Frequency) がマイクロ波周波数と一致することにより、電子が加速される現象である。しかしながら、実際には共鳴磁場強度の前後においても電子は一定時間加速される<sup>(3)</sup>。このために、共鳴磁場近傍の領域を広げること、すなわち、共鳴磁場近傍の磁場こう配を緩やかにすることにより、マイクロ波の吸収効率が上昇し、プラズマ密度が増大する (図2)。

実際にコイルの電流と位置の制御により、軸方向 (図1における Z 方向) の磁場こう配を変化させ、イオン電流密度及び Si エッチング速度を測定した結果を図3に示す。この図

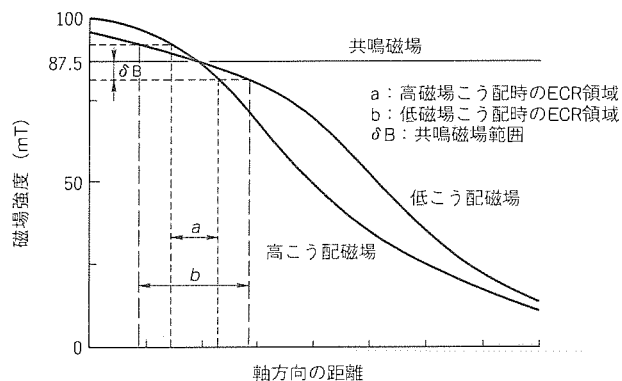


図2. 磁場こう配の差による ECR 領域の違い

から、Siのエッチング速度及びイオン電流密度は、磁場こう配が減少するにつれて増大することが分かる。この増大率は、特に低磁場こう配において著しい。また、磁場こう配が1 mT/cmのとき、エッチング速度は200 nm/minであり、低エネルギーイオンによるエッチングとしては比較的大きなエッチング速度が得られている。

磁場こう配と同様に、ECR領域とウェーハ間の距離もエッチング速度に対する重要なパラメータの一つである。図4にエッチング速度の、ECR領域とウェーハ間の距離に対する依存性を示す。Siのエッチング速度は、距離を小さくするにつれて増大することが分かる。この理由は、プラズマの入射量がECR領域に近づくにつれて増大することによる<sup>(4)</sup>。

### 3.2 磁場分布とエッチング速度の均一性

前節の結果を考慮すると、エッチング速度の均一性の向上に対し、磁場こう配及びECR領域とウェーハ間の距離の制御が有効であると考えられる。すなわち、高均一性を得るための磁場条件として、次の条件が必要と予想される。

- (1) ECR領域の磁場こう配がチャンバ内で均一である。
- (2) ECR領域とウェーハ間の距離が均一である。

以上の条件を満たす磁場配位は、単一コイルでは形成不可能であるが、コイルを分割し、さらにコイル間にすき(隙)間を設けることによって形成可能となる。図5にSiのエッチング速度均一性の磁場こう配均一性に対する依存性を示す。エッチング速度は磁場こう配の均一性に強く依存しており、磁場こう配均一性の向上により、Siエッチング速度の均一

性が向上することが判明した。

### 3.3 磁場こう配の均一性とマイクロローディング効果

パターン寸法の微細化が進むのに従い、異方性度とともに問題となるのが、マイクロローディング効果(エッチング速度のパターン寸法依存性)である。このマイクロローディング効果の原因の一つとして挙げられるのが入射イオンの角度分布である。ノンバイアス ECR 方式では入射イオンのエネルギーが低いため、イオン温度の高低が入射イオンの角度分布に多大な影響を与えることになる。

一方、ECR プラズマのような磁場中のプラズマでは種々の要因によって荷電分離が生じ、その結果プラズマの不安定性が引き起こされる。このプラズマの不安定性はイオン温度の上昇を促すため、入射イオンの角度分布低減のためには不安定性を低減することが重要となる。プラズマの不安定性の原因である荷電分離を引き起こす要因の一つに、径方向(図1のR方向)の密度こう配が挙げられる。

密度こう配の低減には、前述の ECR 領域における磁場こう配の均一化が有効である。図6に電子密度の径方向分布の磁場配位依存性を示す。図においてCは従来の磁場配位の場合で、磁場こう配の均一性は52%である。また、Bは均一磁場こう配の場合であり、このときの磁場こう配の均一性は3%である。明らかに、電子密度の均一性は磁場こう配の均一化によって向上している。さらに、AはBの磁場配位に多極磁場を併用し、壁面におけるプラズマの消滅を低減した場合であるが、電子密度は直径20 cmの範囲にわたりほぼ均一になっている。このように、電子密度の均一化はプラズマの生成の均一化と拡散の抑制によって達成することが可

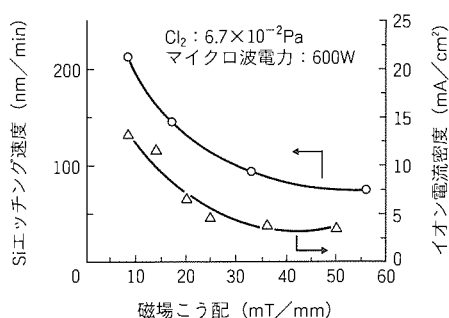


図3. Siエッチング速度及びイオン電流密度の磁場こう配依存性

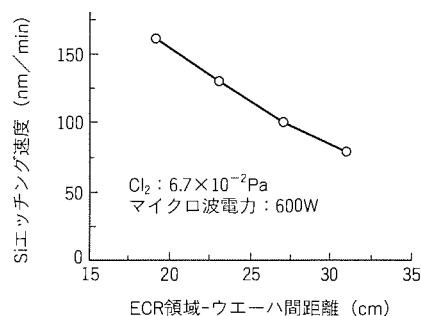


図4. Siエッチング速度のECR領域-ウェーハ間距離依存性

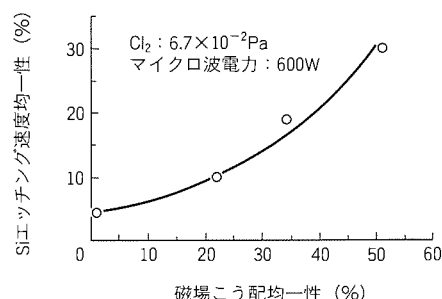


図5. Siエッチング速度均一性の磁場こう配均一性依存性

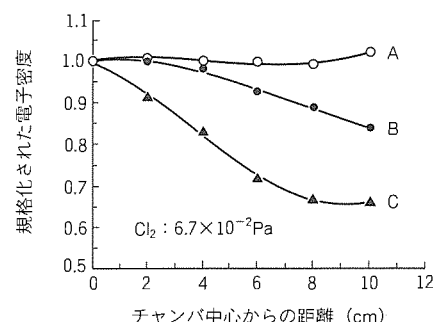


図6. エッチング速度のチャンバ中心からの距離依存性

能となる。

図7にマイクロローディング効果の磁場配位依存性を示す。図においてA、B及びCはそれぞれ図6の同記号に対応する。図6と比較すると、電子密度の均一化によってマイクロローディング効果が低減されており、特に均一低こう配磁場と多極磁場を併用した場合には、 $0.6\mu\text{m}$ のパターンまでマイクロローディング効果は見られない。以上のように、磁場配位の最適化を行い、電子密度分布を均一化することによって、プラズマの不安定性を緩和し、マイクロローディング効果を低減できる。

### 3.4 ウェーハ表面での磁場強度とエッチング形状

図4で示したように ECR 領域とウェーハの距離を短くすることにより、エッチングレートは増大する。しかしながら、ECR 領域とウェーハの距離が小さいときには、多結晶シリコンのエッチング形状において、ライン/スペースの最外ラインの内側に図8(a)に見られるようなノッチが発生することが観測されている<sup>(5)(6)</sup>。

図9に示すように、電子はイオンシース (Ion Sheath) 内で基板に垂直方向の電界によって減速されるため、非常に大きな角度分布をもって基板に入射する。このため、電子の多くはマスクであるフォトリソパターン (Photoresist Pattern) の側壁に捕捉される。これと対照的に、イオンは方向性をもって基板に入射するため、図に示すように、マスクの側壁、スペースの底部及びパターンの外側の底部がそれぞれ別電位となる。この電荷蓄積により、発生する電界によ

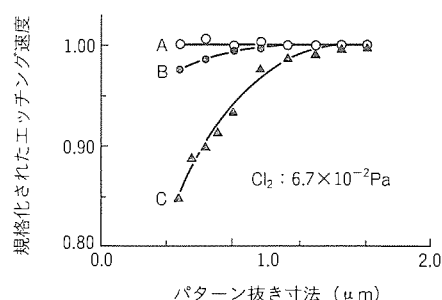


図7. マイクロローディング効果の磁場配位依存性

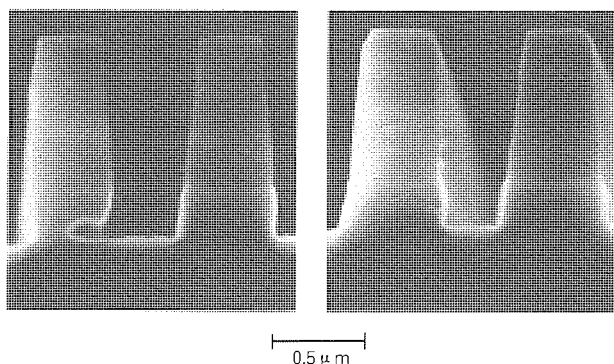


図8. エッチング形状のウェーハ位置での磁場強度依存性

って、イオンの軌道が乱されノッチが発生するというメカニズムが考えられる。

このチャージアップ低減には、シースに進入する電子のウェーハに平行な速度成分を低減することが有効である。ECR 領域で生成された電子は、発散磁場によって次第に運動量が磁力線方向に変換される。このとき、電子の速度のウェーハに平行な成分 (磁力線に垂直な成分) は磁場強度の平方根に比例するためウェーハ上の磁場強度の低減により、ノッチを抑制することが可能である。実際に ECR 領域とウェーハ間の距離を離してウェーハ上の磁場強度を 20 mT から 10 mT に低減することにより、図8(b)のようにノッチのない形状を得ることが可能となった。

## 4. WSi<sub>2</sub> 膜のエッチング時におけるマイクロローディング効果

デバイスの微細化とともに、配線材料の低抵抗化の必要が生じており、なかでも、多結晶シリコン膜の代わりに WSi<sub>2</sub> (タングステンシリサイド) 膜が用いられることが、近年多くなっている。そこで、我々はノンバイアス ECR 方式のエッチングを WSi<sub>2</sub> 膜に適用することを試みた。その過程で、多結晶 Si では見られないような、強いマイクロローディング効果が観察された。

この WSi<sub>2</sub> エッチング時のマイクロローディング効果を図10に示す。基板に印加する RF 電力が大きいほどマイクロローディング効果が強くなることが分かる。イオンの方向性は印加 RF 電力の増大によって向上する。したがって、WSi<sub>2</sub> のマイクロローディング効果は、3.3節で述べた Si エッチングにおけるマイクロローディング効果とは異なる原因により、発生しているものと考えられる。

一方、広いスペース部のエッチング速度は、図11に見られるように、マイクロ波電力が大きいときには RF 電力の増加に従って低下する。また、RF 電力を印加している場合には、マイクロ波電力が大きいときの方がエッチング速度が低いことが分かる。この現象は、高エネルギーイオンの入射により、WSi<sub>2</sub> 表面上の中性粒子の被覆率が低下するために

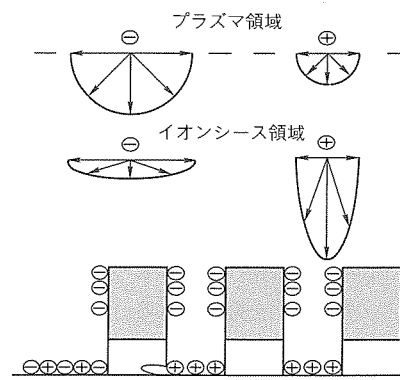


図9. チャージアップ発生メカニズム

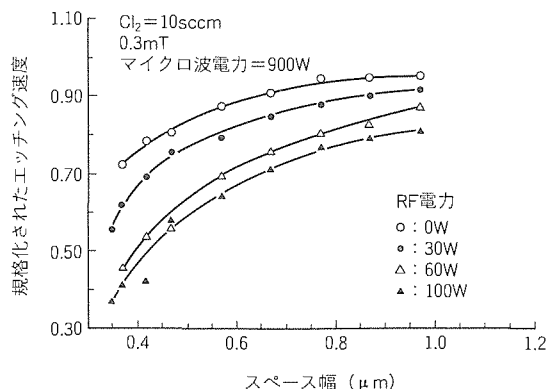


図10. WSi<sub>2</sub>のマイクロローディング効果のRF電力依存性

生じると考えられる。中性粒子の被覆率が低下することにより、蒸気圧の低い低次の塩化物が反応生成物として生成される。図10におけるマイクロローディング効果のRF電力依存性は、細いスペースの底部では反応生成物の分圧が高まるため、低蒸気圧の反応生成物の脱離が抑制されることが原因と考えられる。

反応生成物の脱離の観点からだけでなく、反応種の供給量の違いからもマイクロローディング効果が発生することが考えられる。図12にコンダクタンスの概念を用いた計算<sup>(7)</sup>による、中性粒子供給量のパターン寸法依存性を示す。この図から、圧力が低いほど、中性粒子供給量のパターン寸法依存性が強くなることが分かる。

以上のように、WSi<sub>2</sub>のエッチングにおいてイオンエネルギーの低減は、選択比の向上だけでなく、マイクロローディング効果の低減にも効果的であることが判明した。しかしながら、中性粒子の供給量に依存したマイクロローディング効果は低圧力になるほど起こりやすく、WSi<sub>2</sub>だけではなく、Siその他の材料のエッチングにおいても、プロセスの低圧化及び高プラズマ密度化時に発生することが予測される。

## 5. む す び

微細化が進むデバイスに対応した低エネルギーイオンを用いたエッチング装置として、ノンバイアス ECR 方式のエッチング装置を開発した。そしてその過程において以下のことが明らかになった。

- (1) ECR 領域の磁場こう配の均一化により、エッチング速度均一性の向上とマイクロローディング効果の低減が達成される。
- (2) ECR 領域の磁場こう配を緩やかにすることによって、エッチング速度が増大する。
- (3) ウェーハ上の磁場強度の低減によって、チャージアップに起因するノッチの発生を抑制できる。
- (4) WSi<sub>2</sub>のエッチングにおいて、イオンエネルギーの低減により、マイクロローディング効果が減少する。

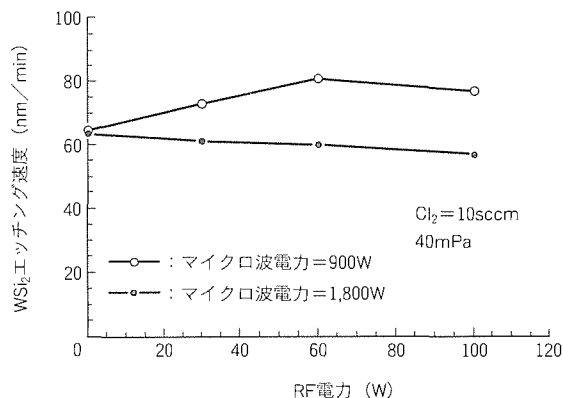


図11. WSi<sub>2</sub>エッチング速度のマイクロ波電力及びRF電力依存性

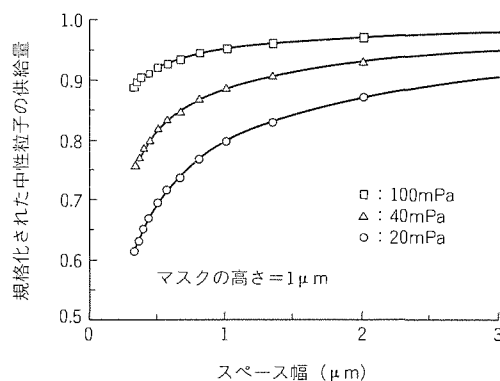


図12. 反応種の供給量のパターン寸法依存性 (計算値)

また、今後の課題として、低エネルギーイオンでのエッチング時におけるチャージアップによる異常形状や、低圧力化に伴うマイクロローディング効果に対し、更なる検討が必要と考えられる。

## 参 考 文 献

- (1) Fujiwara, N., Shibano, T., Nishioka, K., Kato, T.: Jpn. J. Appl. Phys., **28**, 2147 ~ 2150 (1989)
- (2) Fujiwara, N., Sawai, H., Yoneda, M., Nishioka, K., Abe, H.: Jpn. J. Appl. Phys., **29**, 2223 ~ 2228 (1990)
- (3) Stix, T.: The Theory of Plasma Waves, McGraw-Hill, New York, 257, (1962)
- (4) Samukawa, S.: J. Vac. Sci & Technol., **A9**, 85 (1991)
- (5) 豊田正人, 関谷秀徳, 江島泰蔵, 藤原伸夫, 大寺廣樹, 大森達夫: 1992年春季応物予稿集, No.2, 528 (1992)
- (6) 森本 孝, 高橋千春, 松尾誠太郎: 1990年秋季応物予稿集, No.2, 465 (1992)
- (7) Coburn, J. W., Winters, H. F.: Appl. Phys. Lett., **55**, 2730 (1989)

# 高機能・高信頼性パッケージ

佐々木育夫\* 木村通孝\*  
樋口徳昌\*  
森賀南木\*

## 1. ま え が き

電子機器の小型化の要求に対応する IC チップの高集積化、デザインルールの縮小には目覚ましいものがあるが、その機能を十分に発揮させるためのパッケージング技術の重要性も次第に増してきている。IC の進歩に伴うパッケージングへの要求機能は大きくみて三つの流れがある。① 機器の小型化、実装密度の向上に対するパッケージの小型・軽量化であり、② IC チップの高機能化、③ 動作周波数の増加に伴う高放熱化・低リードインダクタンス化である。当社は以上の流れに対応したパッケージとして既に厚さ 1 mm の TSOP (Thin Small Outline Package)、厚さ 0.5 mm の DTP (Dual Tape Carrier Package)、リードピッチ 0.25 mm で高放熱・低リードインダクタンスの QTP (Quad Tape Carrier Package) 等を開発してきた。本稿では、以上のトレンドに対応して新たに開発したパッケージを紹介する。

## 2. LOC (Lead On Chip) 構造パッケージ

### 2.1 LOC 構造パッケージの特徴

メモリデバイスの消費はコンピュータの高機能・高性能化、及び電子機器のインテリジェント化に伴って拡大を続けており、メモリの大容量化に対する市場要求は極めて強い。一方、昨今の電子機器のダウンサイジングに伴うパッケージの小型化・薄型化要求も増大しており、大型チップを小型パッケージに効率良く収納するパッケージング技術の開発が急務となってきている。当社においてもメモリ対応として収納効率を改善した LOC 構造パッケージの開発を進めてきた。

LOC 構造パッケージの特徴・利点としては、主に次の 3 点が挙げられる。① パッケージ内のチップ収納効率向上によるパッケージ幅の縮小化、② チップ回路設計基準の制約緩和、③ アクセスタイムの短縮化。チップ収納効率の点では、従来

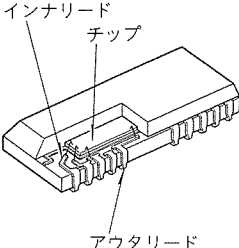
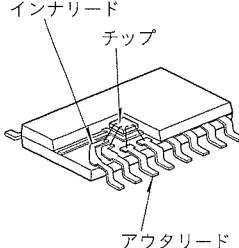
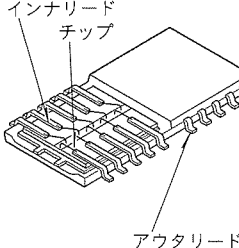
チップ外周部に必要であったワイヤボンドエリアを LOC 構造はチップ内部上へ位置させたため、パッケージ幅方向では約 2 mm の縮小化が可能となり、当社では、従来 16MDRAM は 400 mil パッケージであったが、1MDRAM・4MDRAM と同一の 300 mil パッケージへ収納することが可能となった (図 1)。また、チップ回路設計において、チップの外部電極 (ボンディングパッド) はチップ長辺方向のセンター上に一列に配列 (センターアレー) することにより、メモリセル周辺の電源回路等の設計におけるレイアウト上の制約が緩和され、回路レイアウトは効率が上がり、アクセスタイムも 1~3 ns 短縮が可能となる。

### 2.2 当社の LOC 構造

LOC 構造は大別して二つの方式がある。一つはチップとインナリードとを接着テープを介して接着する方式と、もう一つはダイパッド用フレームとインナリード用フレームの 2 枚のフレームを使う方式で、当社は後者を採用している (図 2)。当社のパッケージは基本構造、材料が従来のパッケージと変わらないため、信頼性面で有利となっている。

#### (1) パッケージ信頼性

パッケージの信頼性で注意すべき点は、パッケージを基板実装する際の熱ストレスによるパッケージクラックの発生である。チップとインナリードとの間に接着テープを用いる方式の場合、パッケージ防湿こん (梱) 包を開封後、実装時の熱ストレスにより、特に吸湿性の高い接着テープの接着界面

| デバイス世代                   | 1M(D)RAM SOJ   | 4M(D)RAM TSOP   | 16M(D)RAM LOC構造 TSOP   |
|--------------------------|--|---|--|
| パッケージ構造                  |  <p>インナリード<br/>チップ<br/>アウトリード</p> |  <p>インナリード<br/>チップ<br/>アウトリード</p> |  <p>インナリード<br/>チップ<br/>アウトリード</p> |
| チップ面積 (mm <sup>2</sup> ) | 44   | 77  | 100  |
| パッケージ面積/チップ占有率 (%)       | 130/34   | 130/59  | 130/76   |

注 SOJ : Small Outline with J-leads

図 1. メモリ世代別パッケージ構造の変遷

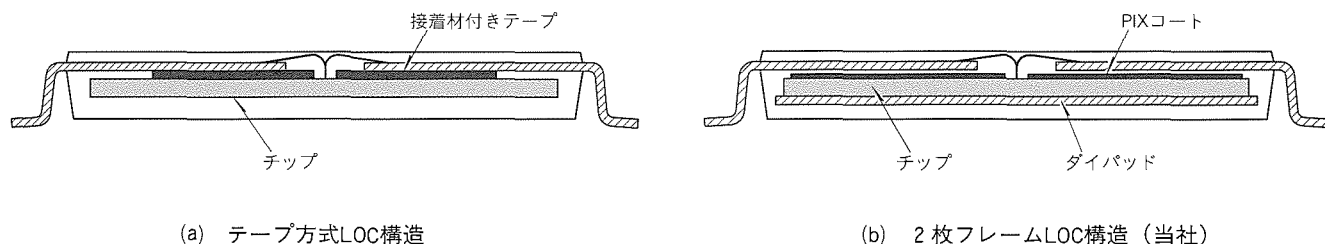


図2. LOC構造

ではなく(剥)離が生じ、パッケージクラックが発生する。これに対し、当社のLOC構造では接着テープを用いないため、パッケージクラック耐性の面で高い信頼性を確保している。

この二つの方式でのパッケージクラック耐性レベル差異を表1に示す。

また、当社方式における耐湿性等の信頼性は、高いレベルを確保している(表2)。

## (2) プロセス技術

当社方式LOC構造のパッケージ開発を支える技術としては、インナリードがチップ上空に配置された状態でのワイヤボンド技術、ダイパッド用フレームとインナリード用フレームの高精度接合技術、2枚フレームモールド技術がある。特にワイヤボンドとモールド技術レベルの見極めは、パッケージ構造を決定する上で重要である。ワイヤボンド技術では、インナリード側へのボンディング時にチップ表面ダメージを低減するためにはリード押さえ方式の工夫とボンディング荷重の低減が必要であり、また、チップとリード結線するために高いルーピング制御が必要となる。なお、ボンディング衝撃荷重とチップ表面のダメージ(パッシベーションクラック)との関連を図3に示す。

また、モールド技術では、チップ表面とインナリード間のクリアランスと樹脂注入との関係及び熱ストレスによるチップ表面とインナリード間のマイクロクラックとの関係を明確にする必要がある。評価結果では、チップ表面とインナリード間に若干のすき(隙)間があれば樹脂注入は可能ではあるが、当該箇所のマイクロクラックは図4に示すとおり、クリアランス50 $\mu$ m以下で発生し、パッケージ信頼性に悪影響を及ぼしている。設計値はクリアランス100 $\mu$ m以上であるが信頼性評価では良好な結果が得られている。

## 3. 防湿梱包フリー化メモリパッケージの開発

### 3.1 防湿梱包フリー化の必要性

近年、メモリ対応のパッケージとして樹脂封止された表面実装型デバイス(SMD)が主流になっている。

封止樹脂は、30℃、70%RHの環境下においても図5に示すように吸湿する。また、SMDの実装では、封止樹脂が直接加熱されるため、過度な熱ストレスが印加される。

表1. LOC構造方式によるパッケージ耐性比較

| パッケージ構造 | 試験条件              | 内部剥離                        |             | 外部クラック |
|---------|-------------------|-----------------------------|-------------|--------|
|         |                   | チップ表面                       | チップ、ダイパッド裏面 |        |
| SOJ     | テープ方式LOC構造        | 85℃, 65%RH, 168h            | 3/3         | 0/3    |
|         | 2枚フレーム方式LOC構造(当社) | ↓<br>はんだ浸漬<br>260℃, 30s, 1回 | 0/3         | 0/3    |

表2. 信頼性試験結果(16MDRAM LOC構造SOJ)

| 試験項目                     | 結果              |
|--------------------------|-----------------|
| PCT (121℃, 100%RH)       | 1,000h 0/20     |
| PCTB (140℃, 85%RH, 5.5V) | 1,000h 0/20     |
| 温度サイクル (-65℃/175℃)       | 1,000cycle 0/20 |
| 熱衝撃 (-55℃/125℃)          | 1,000cycle 0/20 |

注 前処理条件: 85℃, 65%RH, 168h  
→はんだ浸漬260℃, 30s, 1回

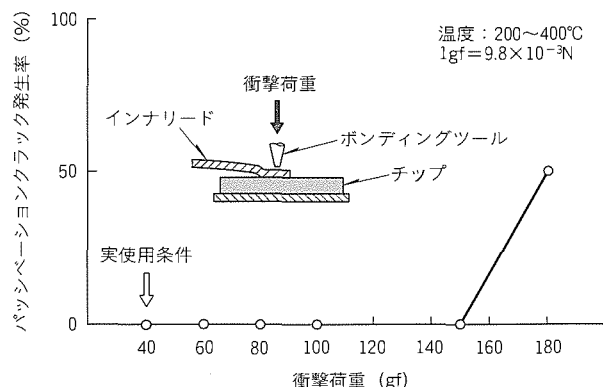


図3. 衝撃荷重に対するパッシベーションクラック発生率

したがって、吸湿状態にあるSMDの実装では、図6に示すような界面剥離やパッケージクラックが発生する場合があります。デバイスの信頼性を低下させる。

この現象を防止するために、防湿梱包による出荷と防湿梱包開梱後の使用期間を限定して吸湿管理を行っている。しかし、防湿梱包出荷は製造コストを高め、使用期間を限定することは実装作業性を低下させている。当社は、このような吸湿管理を解消するため、防湿梱包フリー化技術を開発したので紹介する。

### 3.2 防湿梱包フリー化技術開発

300mil幅のTSOPの場合について、実装時におけるパッケージの吸湿状態とクラック耐性との関係を図7に示す。当社の従来仕様の場合、10時間以下の吸湿でパッケージ

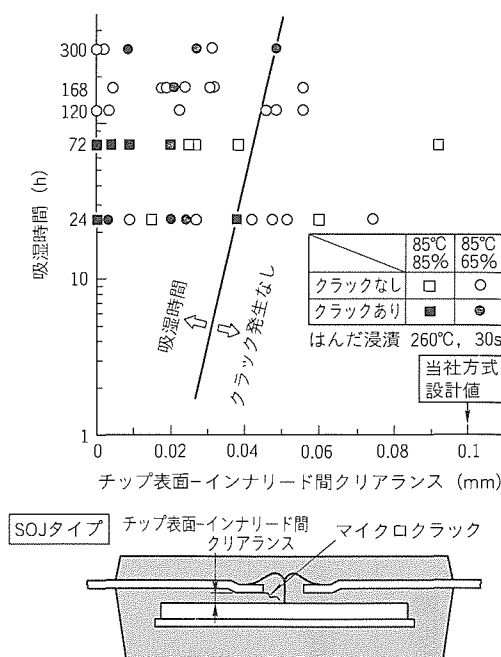


図4. チップ表面-インナリード間クリアランスに対するマイクロクラック発生状況 (16MDRAM LOC構造)

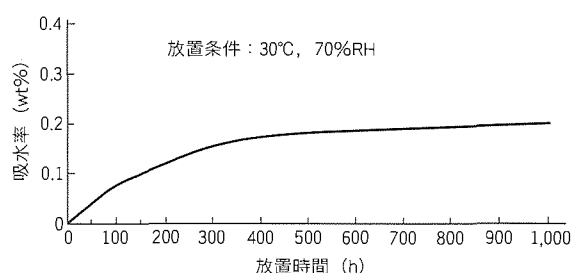


図5. 封止樹脂の吸湿特性

クラックが発生するのに対し、開発仕様では300時間以上の吸湿に対してもパッケージクラックも界面剥離も発生していない。

したがって、開発仕様は、防湿梱包フリーに関する EIAJ ED-4701規格 (85°C, 65% RH, 168時間, IR リフロー, パッケージクラックなし) を十分満足し、防湿梱包フリー化が達成されている。

### 3.3 防湿梱包フリー化手法

防湿梱包フリー化手法として、封止樹脂、ダイボンド方式、リードフレーム等を実施した手法の代表例を紹介する (図8)。

#### (1) 吸湿対策手法

##### (a) 封止樹脂の低吸湿化

- 低吸湿化エポキシ樹脂の採用
- フィラー高充てん (填) 化

##### (b) はんだダイボンド方式採用

#### (2) 剥離対策手法

##### (a) 接着性向上封止樹脂採用

##### (b) ダイパッド裏面にディンプル形状を採用

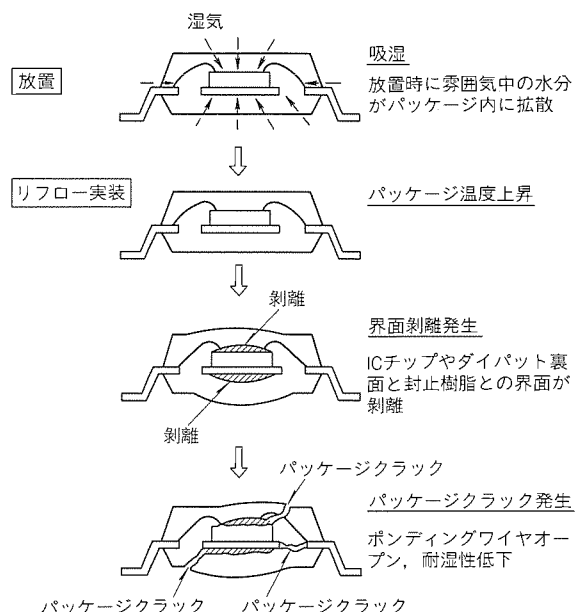


図6. 実装時のパッケージクラック発生過程

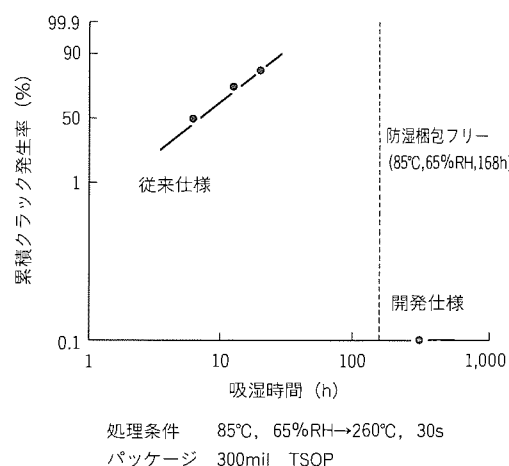


図7. 実装時のパッケージクラック耐性比較

### (3) 封止樹脂の破壊強度向上手法

#### (a) 高温強度向上封止樹脂採用

## 4. ファインピッチQFP (Quad Flat Package)

### 4.1 QFPのファインピッチ化動向

電子機器の高機能化に伴う入出力端子の増大は、半導体デバイスの大型化を招くため、パッケージの外部リードピッチを詰めることにより、パッケージサイズを抑制している。現在、リードピッチ 0.5mm までのパッケージを量産しているが、さらに 0.4mm, 0.3mm ピッチの試作を完了した。

また、一方では従来 2mm 以上あったモールド厚さを 1.4mm (TQFP: Thin QFP) と薄型化を促進している。

今回開発した 0.4mm ピッチ, 100ピン QFP (パッケージ名: 100P6V) と 0.3mm ピッチ, 144ピン QFP (パッケージ名: 144P6M) の外形を図9に示す。

### 4.2 ファインピッチQFPの開発状況

0.4mm, 0.3mm ピッチ QFP の開発課題は、パッケージのリードコプラナリティとポジショナルトレランスである。リードコプラナリティとは、外部リードの垂直方向のばらつき量である。外部リードが狭ピッチ化されるに当たり、プリント配線基板のランド面積及びピッチも縮小される。これに伴い、ランドに塗布されるはんだの量も従来より薄くせざるを得なくなるため、リードの段差のばらつきを吸収可能な塗布量を確保できなくなる。はんだ付けを完全なものにするため、EIAJ ではリードコプラナリティを以下のように推奨している。すなわち 0.5mm ピッチの場合、100  $\mu\text{m}$  以下でよいものが 0.4mm, 0.3mm ピッチと狭ピッチ化されるに従い、それぞれ 80  $\mu\text{m}$ , 50  $\mu\text{m}$  以下としている。リードポジショナルトレランスは、リード幅が最大するとき、存在すべきリードの位置からのズレを規定しようとしており(審議中)、100P6V の

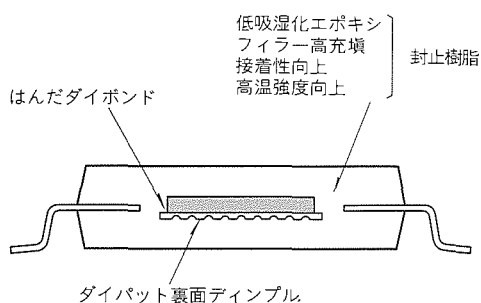
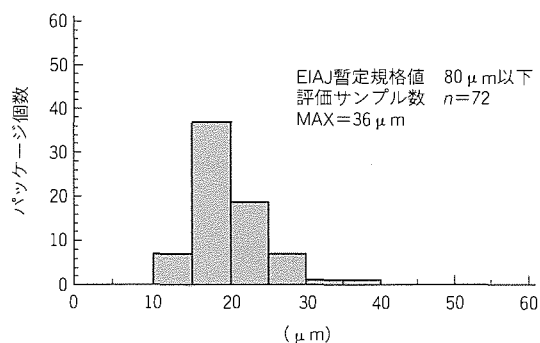
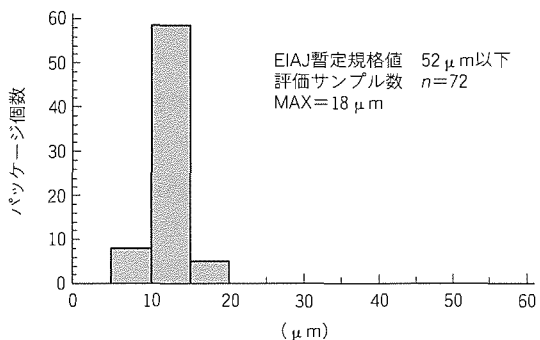


図8. 防湿梱包フリー化手法



(a) 100P6V コプラナリティ



(b) 100P6V ポジショナルトレランス

場合±52  $\mu\text{m}$ , 144P6M の場合±32  $\mu\text{m}$  以下が要求されることになる。100P6V と 144P のリードコプラナリティとポジショナルトレランスのアセンブリ完了後の現状レベルを図10に示す。この時点では双方とも目標レベルを達成しているが、この後のテスト工程でリードコプラナリティが20~30  $\mu\text{m}$  悪化することが考えられる。当社ではこれを避けるため、リード加工工程からテスト工程に至るプロセスの変更を試みている。すなわち、従来リード加工完了後テスト工程に投入していたフローをリード加工工程のダムバーカット後、単体パッケージへのカットを行い、一旦テスト工程に投

t1.0mm×□12mm TQFPシリーズ

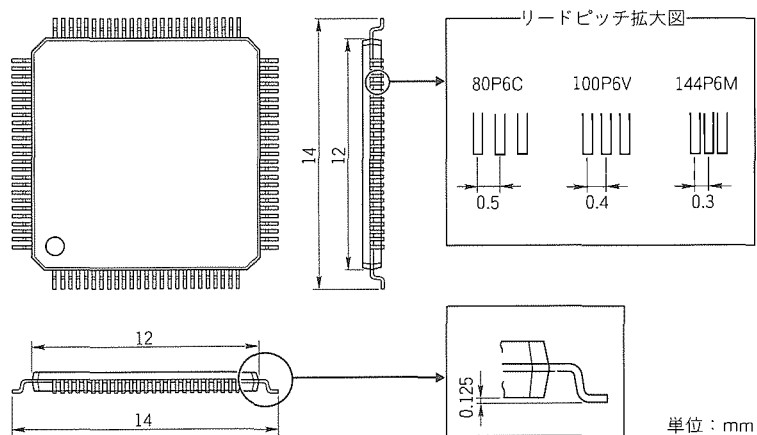
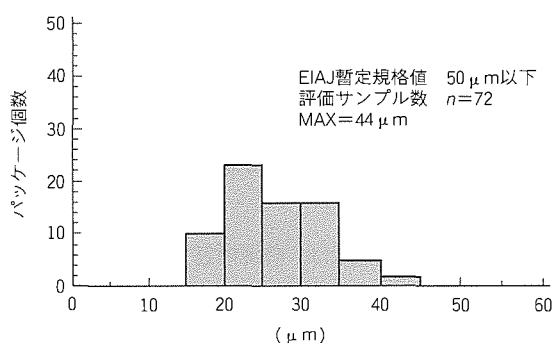
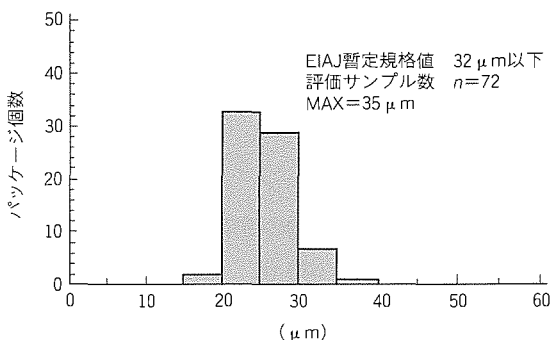


図9. ファインピッチTQFPファミリー



(c) 144P6M コプラナリティ



(d) 144P6M ポジショナルトレランス

図10. 100P6V・144P6Mのリードコプラナリティとポジショナルトレランス



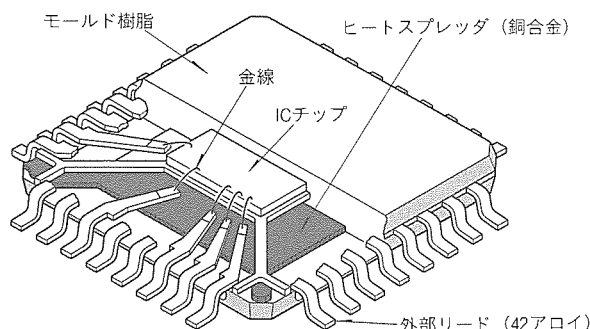


図11. 高放熱パワーQFPの断面斜視図

入、テスト完了後、リード先端カットとリードベンドを行い、最終製品でのリード変形を防止している。

## 5. 高放熱パワーQFP

### 5.1 パワーQFPの動向

ASIC (Application Specific Integrated Circuit) を中心とする多くの入出力端子を持つデバイスは、高速化に伴って高い消費電力を許容するパッケージが要求される。当社ではこうした要求にこたえるため、ダイパッド下面に銅の放熱板を水平配置した高放熱特性を持つパワー QFP を開発した。従来の放熱板を内蔵しない一般的な QFP の場合の許容消費電力は無風状態で 1 W 程度しか許容できず、多くの入出力端子を持ち、高消費電力を必要とする半導体素子を搭載するのは困難であった。また、既に市場投入されている高放熱パッケージとしてはセラミック PGA (Pin Grid Allay) やダイパッドに銅等のスラグを接続し、パッケージ表面に露出させたものがある。これらのものは、コストが高い上に、信頼性上不安があるなどの問題があった。

### 5.2 パワーQFPの特長

今回開発したパワー QFP (パッケージ名：208 P 6 H) は、この分野の市場で多用されているセラミック PGA と同レベルの放熱特性である、無風状態で 1.5 W を満足する。また、一般的な QFP と同じ製造工程で製造できること、互換性のある外形にすることにより、コストが安価で信頼性が高いパッケージを得た。

このパッケージの構造と特性を以下に紹介する。

図 11 はこのパッケージの断面斜視図である。パッケージ外形は 28 mm 角、厚さ 3 mm、リードピッチ 0.5 mm であり、EIAJ 規格に準拠している。風速と許容消費電力の関係を図 12 に示す。ヒートスプレッダを内蔵しない通常の QFP は無風で 1 W であるのに対し、このパッケージは 1.5 W を達成している。次にパッケージ断面を図 13 に示す。半導体素子を搭載したダイパッドの直下に一定の間隔を隔ててヒートスプレッダを配置している。ダイパッドとヒートスプレッダの間隔は狭い方が放熱効率は良いが、この寸法はターゲットとしている 1.5 W を確保した上でモールド樹脂の安定注入

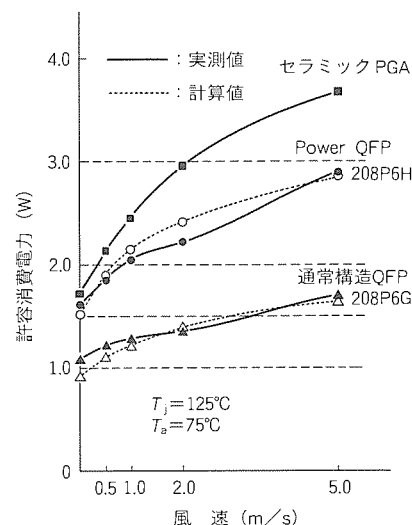


図12. 許容消費電力

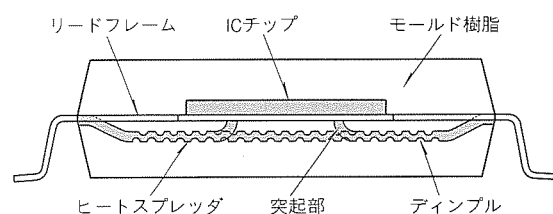


図13. 高放熱パワーQFPの断面構造

が確保でき、信頼性に悪影響を及ぼさない最小寸法である。また、ヒートスプレッダの面積もモールド樹脂の注入性の観点からすると小さい方が良いが、間隔と同様に消費電力 1.5 W を確保可能な最小面積とした。ヒートスプレッダの板厚は前記寸法を持つ場合、放熱特性にはさほど影響しないため、ヒートスプレッダの加工のしやすさとモールド樹脂注入時の変形を防止するため 0.2 ~ 0.3 mm とした。

### 5.3 パワーQFPの信頼性

表面実装型パッケージの場合、実装時にモールド樹脂に吸湿された水分が蒸気爆発を引き起こしてパッケージを破断させることから、信頼性を評価する尺度として“吸湿はんだクラック耐性”が用いられる。このパッケージは、EIAJ が推奨する“吸湿はんだクラック耐性”の水準である 85°C / 65 %, 168 時間吸湿後、実装時の熱ストレスを加えるという加速試験においてもパッケージクラックを発生しない実力がある。

## 6. む す び

以上、IC の高機能化に対応した新パッケージを紹介したが、冒頭で述べた IC パッケージの開発トレンドは近年急速に進展している。特に多ピン化・高放熱化を低コストで実現するための新パッケージの最適解を模索する動きが続いており、あらゆる技術をレベルアップして新パッケージ開発へとつないでいく必要がある。

# スポットライト 非接触ICカード

近年、非接触ICカードは、文字どおり離れた位置でアクセスできる情報記憶媒体として、様々な分野で注目を集めています。三菱電機㈱では、幅広いニーズにこたえるべく、高機能・薄型・軽量の非接触ICカードの製品化を行ってきました。

当社の非接触ICカードの特長は、まず専用のワンチップマイコンを開発し、高機能化と部品点数の削減を図ったことです。これにより、単に読み書きの機能だけでなく、応用システムで必要な情報処理機能の一部をカードの機能に取り込んだり、各種チェック機能やセキュリティ機能を内蔵させることで、安全性・信頼性の高い応用システムが

構築できます。図1に機能ブロック図を示します。

また、広い指向性と人体による遮断等の影響を受けにくい特性を持つ中波帯の電磁波を利用した通信方式で、通信速度最大25.6kbpsという高い通信性能を持っています。さらに、メモリはSRAMを使用し高速に読み書きができます。現在、カード外形仕様と電池寿命によって2品種を製品化しております。表1に製品仕様概要を示します。

三菱電機㈱では、本格的普及に向けて、今後も高機能・高性能で低価格化を目指した製品開発と製品シリーズの充実を図っていきます。

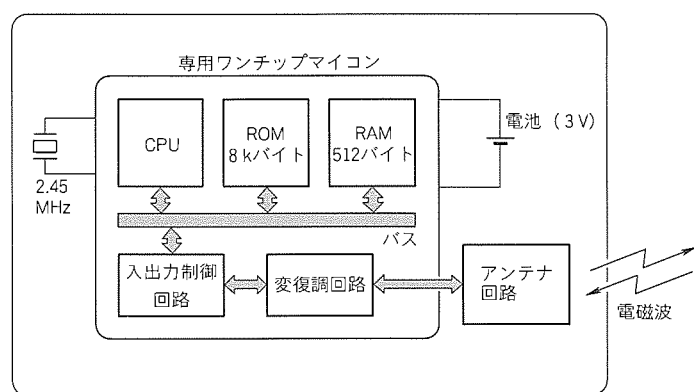


図1. 機能ブロック図



図2. 非接触ICカード外観

表1. 製品仕様概要

| 項目          | 仕様概要                            |                |
|-------------|---------------------------------|----------------|
| 製品形名        | MF5101B×××B×××                  | MF5102B×××B××× |
| 外形寸法 (mm)   | 85.6×54×1.4                     | 85.6×54×2.5    |
| 質量 (g)      | 約10                             | 約15            |
| 内蔵CPU       | 8ビットCMOSワンチップマイコン               |                |
| クロック周波数     | 2.4576MHz                       |                |
| 制御ソフトウェア    | 内蔵ROM(8kバイト)に搭載                 |                |
| データメモリ      | CMOS SRAM512バイト (ユーザー用 約320バイト) |                |
| 通信方式        | 電磁誘導式通信                         |                |
| 搬送波周波数帯     | 中波帯 (450kHz以下)                  |                |
| 伝送速度        | 25.6kbps以下                      |                |
| 通信距離        | 対向 50cm以内 (読取装置の仕様により異なります。)    |                |
| 電源          | リチウム電池内蔵 (交換不可)                 |                |
| 電池寿命*       | 3年以上                            | 5年以上           |
| 動作周囲温度 (°C) | 0~50                            | -10~50         |
| 保存周囲温度 (°C) | -10~60                          | -20~60         |

注 \* 条件：周囲温度25℃、スタンバイモードでのデータ保持



# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
特許営業グループ Tel/(03)3218-2137

## パターン配置方法 (特許 第1496795号)

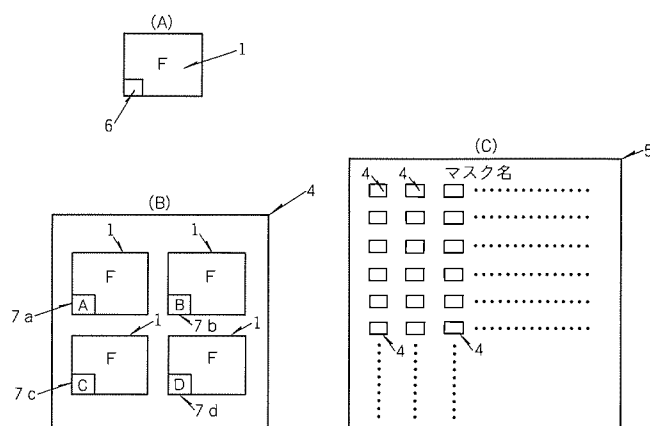
発明者 田中和裕

この発明は、集積回路の製造工程で必要とされるマスク製作・マスク合わせ用・特性評価用等の、直接素子デバイスの機能とは異なった目的に用いられるパターンを分割して配置する方法に関するものである。

従来のパターン配置方法は、半導体素子本パターンに対し、半導体素子作成パターンのように直接素子デバイスの機能とは異なったパターンを各チップごとに配置しなければならないため、チップサイズを大きくする必要があった。

この発明は、このような欠点を解消するもので、図に示すように、半導体素子本パターン(1)に配置した空白領域(6)に、素子の特性を計測するために必要な第1パターン(7a)を配置し、マスク製作に必要な第2パターン(7b)、第3パターン(7c)をそれぞれ他の半導体素子本パターン(1)の空白領域(6)に配置し、ウェーハプロセスの重ね合わせに必要な第4パターン(7d)をさらに他の半導体素子本パターン(1)の空白領域(6)に分割して配置することにより、チップサイズを小さくした。

なお、第1パターン(7a)～第4パターン(7d)はマスク製作に必要であったり、ウェーハプロセスの評価、マスク合わせに必要であったりしたが、全チップにわたって配置されている必要がなく、4つの空白領域のうちいずれか一つの割合で配置されていれば十分である。



## 寸法選別方法 (特許 第1214408号)

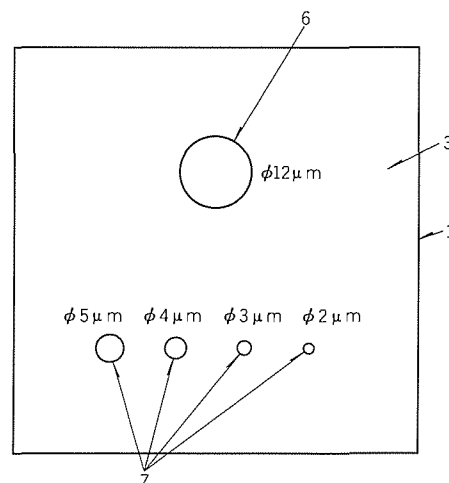
発明者 奈良愛一郎, 近藤久雄, 住吉政夫, 池川秀影  
十分精度よく主パターンの仕上がり寸法を判定選別でき、数多くの寸法測定などの複雑な手順を省くことができる。

この発明は、写真製版技術によって形成されたパターンの仕上がり寸法の選別方式に関するものである。

半導体基板上の金属電極の直径は $1\mu\text{m}$ 以下の精度に抑えなければならないが、半導体基板上にこのような精度で電極を基板全面にわたって形成することは、写真製版工程、エッチング工程などにおける不均一性を考慮すると極めて困難であるため、所定範囲の素子を選別する場合に金属電極の直径を測定せねばならず、非常に手数のかかる作業であった。

この発明はこのような欠点にかんがみてなされたもので、図に示すように、(1)は半導体結晶、(3)は絶縁性表面保護膜で、チップごとに、例えば直径 $12\mu\text{m}$ の金属電極用の主パターン(6)と同時に直径が $2\mu\text{m}$ ,  $3\mu\text{m}$ ,  $4\mu\text{m}$ ,  $5\mu\text{m}$ のモニタパターン(7)を形成させておく。このようにして出来上がったモニタパターン(7)を目視して、何 $\mu\text{m}$ のモニタパターンが形成されているかを見るだけで、主パターン(6)の出来上がり寸法を $1\mu\text{m}$ 以内の精度で推定することができる。

このようにモニタパターンの形成状態を目視するだけで、





# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
特許営業グループ Tel/(03)3218-2137

## 短絡移行アーク溶接機 (特許 第1446019号)(米国特許 第4,485,293号)

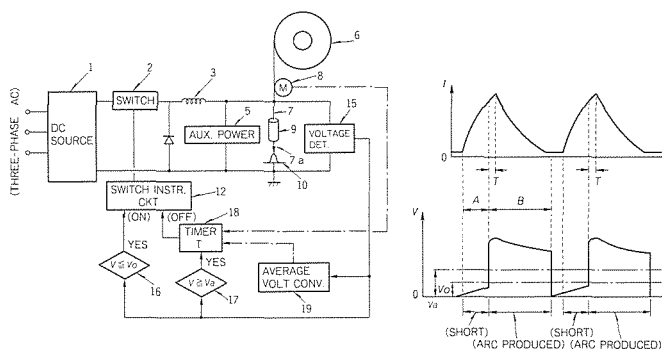
発明者

田畑要一郎, 殖栗成夫, 水野孝治, 瀬川博久, 平本誠剛  
を通电するように, スwitching素子(2)に ON-OFF 指令を  
与えるようにした。

この発明は短絡移行アーク溶接法に関し, ワイヤ溶接電極  
と被溶接物との短絡とアーク再生とを検出して, 溶接機から  
供給する電流を制御する目的のものである。

従来の短絡移行アーク溶接法では溶接時の平均的な溶接電  
圧のみの検出を行い, その平均溶接電圧によって溶接電流を  
制御して溶接をしていた。そのために, 溶接時の短絡, アー  
ク再生時に大きな火花(スパッタ)が多く飛び散ることや, 短  
絡とアークの繰り返り周期が不規則になることによる溶接ビ  
ードに溶接欠陥が生じるなどの問題があった。

この発明は上記のような欠点を除去するためになされたも  
のである。すなわち, 図に示した短絡アーク溶接機の概略回  
路図のように, ワイヤ電極(7a)と被溶接物(10)間の瞬時溶  
接電圧  $V$  を電圧検出器(15)で検出し, この瞬時溶接電圧  $V$   
が短絡相当の所定の電圧  $V_0$  に達すると短絡移行に見合った  
短絡溶接電流を通电し, 瞬時溶接電圧  $V$ がアーク再生相当の  
所定の電圧  $V_a$  に達するとアークに見合ったアーク溶接電流



<次号予定> 三菱電機技報 Vol. 68 No. 4 特集 “工業プラント情報制御システム”

### 特集論文

- 工業プラント情報制御システム特集に寄せて
- 工業プラント情報制御システムの現状と展望
- 統合情報制御システム “MELTAS 450/650”
- IA ソリューションウェア
- 反応プロセスにおける今後の制御システム
- 食品工場のトータル情報制御システム
- 紙パルプ工場向けトータル情報制御システム
- ユーティリティ用情報制御システム
- 自動車工場における生産システム

### ●個産型加工組立産業向けIAシステム

### 普通論文

- 定期券発行機 “MELPAS-G”
- 東京電力橋新橋名変電所実証試験設備用  
1,050kV 3,000/3 MVA変圧器(UHV変圧器)
- GM式4K冷凍機付きMRI用超電導マグネット
- ファイル転送自動管理システム
- フレームリレー交換装置 “MELPAX6000”
- 156Mbps光映像伝送装置

### 三菱電機技報編集委員

委員長 田岡恒雄  
委員 永田譲蔵 鈴木幹雄  
都築鎖 大井房武  
尾関龍夫 江頭英隆  
水野久隆 松村恒男  
畑谷正雄 才田敏和  
鈴木軍士郎 鳥取浩  
幹事 長崎忠一  
3月号特集担当 岩附守

### 三菱電機技報68巻3号

(無断転載を禁ず)

1994年3月22日 印刷  
1994年3月25日 発行

編集兼発行人 長崎忠一  
印刷所 千葉県市川市塩浜三丁目12番地 (〒272-01)  
菱電印刷株式会社  
発行所 東京都港区新橋六丁目4番地9号  
北海ビル新橋 (〒105)  
三菱電機エンジニアリング株式会社内  
「三菱電機技報社」 Tel.(03) 3437局2692  
発売元 東京都千代田区神田錦町三丁目1番地 (〒101)  
株式会社 オーム社  
Tel.(03) 3233局0641代, 振替口座東京6-20018  
定価 1部721円(本体700円) 送料別  
年間予約は送料共9,373円(本体9,100円)

# 電源開発(株)本州-四国連系線児島ケーブル

## スポットライト

## ヘッド地点用500kV, 250MVA分路リアクトル

このたび三菱電機(株)では、電源開発(株)の本州-四国連系線児島ケーブルヘッド地点用に、国内最高電圧・国内最大容量の500kV, 250MVA分路リアクトルを完成し、納入いたしました。この分路リアクトルは、当社高電圧・大容量分路リアクトルの標準構造である外鉄形ギャップ鉄心構造を採用し、最新の設計技術及び工作技術を駆使して完成いたしました。

### 特 長

- 外鉄形500kV変圧器で長年培ってきました、サージプルーフ絶縁に代表される高電圧絶縁技術を適用した、信頼性の高い分路リアクトルとなっております。
- 大容量分路リアクトルにおける振動・騒音問題を、独自の外鉄形ギャップ鉄心構造・二重遮音構造の採用とタンク振動解析技術の適用により克服し、55ホン以下という前例のない極低騒音化を達成しました。

- 従来、大容量器は強制冷却化が必要でしたが、低損失・高効率化によって冷却用ファン・ポンプが不要となり、完全自冷却化を実現しました。この結果、メンテナンスの容易な機器となっております。
- GISと直結し、防音タンク内へ碍子類を完全に収納し、コンパクト化・環境適合化を図っております。
- 巻線の2並列化と並列巻線間差動保護継電器により、高感度な保護が可能となっております。

### 仕 様

形 式：外鉄形 油入自冷式 極低騒音型

定格電圧：500kV(従来器の最高電圧は275kV)

定格容量：250MVA(従来器の最大容量は200MVA)

騒 音：55ホン(大容量従来器の低騒音値は65ホン)



500kV, 250MVA分路リアクトル