

MITSUBISHI

三菱電機技報

MITSUBISHI DENKI GIHO Vol.67 No.3

3

1993

特集 “システムVLSI”



特集 “システム VLSI”

目次

特集論文

半導体新時代……………	1
新良由幸	
システムオンチップ時代における VLSI の展望……………	2
吉富正夫	
0.5 μ m CMOS ゲートアレー……………	6
荒川隆彦・前野秀史・東谷恵市・斎藤 健・加藤周一	
0.8 μ m CMOS エンベデッドセルアレー……………	10
岡辺雅臣・奥野義弘・富岡一郎・井上善雄・朝比奈克志	
画像圧縮 LSI 用高速 DCT コア……………	16
高島明彦・浦本紳一・井上喜嗣・竹田 淳・山下征大	
セルベース設計用データパスジェネレータ……………	21
辻橋良樹・松本 尚・宮西篤史・西巻秀克・中尾博臣・北田 修	
キャッシュメモリを含んだメインメモリ用 4Mビットキャッシュ DRAM……………	25
早野浩司・阿部英明・石塚康宏	
2Mビットデュアルポート DRAM……………	29
松本淳子・松岡秀人・三木武夫・山脇 実	
高密度 SRAM 内蔵 ASIC……………	33
中島三智雄・越久和俊・上田清年・黒肥地 稔・磯井則次	
オフィスコンピュータ用 32ビット CPU プロセッサ……………	38
清水 徹・島津之彦・齊藤祐一・白井健治・藤岡 勲・阪尾正義	
ATM スイッチ用 LSI……………	42
野谷宏美・近藤晴房・山中秀昭・齊藤泰孝・小浜茂樹・松田吉雄	
広帯域 ISDN 対応 BiCMOS LSI……………	46
植田昌弘・埴淵敏明・東谷恵市・川畑英雄・飛田康夫	
移動体通信用音声コーデック LSI……………	50
見学 徹・寺岡栄一・安井郁夫・藤山等章・徳田 健	
自動車用 LAN コントローラ, トランシーバー IC……………	54
岡本 泰・在本昭哉・菊山誠一郎・高井一兆・村松菊男	
クローズドキャプションコントロール用マイクロコンピュータ……………	59
藤高繁明・松本誠之・高橋直樹・上村省一・木村方昭	
プロトコル制御用マイクロコンピュータ……………	64
林 良紀・倉持昌司・竹内 稔・広川祐之	
高速高密度 TSOP メモリモジュールシリーズ……………	67
田原次夫・上村俊一	
ミックスメモリカード……………	72
田淵正行・木村正俊・渡辺忠勝・白土修一	
ISDN インタフェースボード……………	76
中林竹雄・蔵永 寛・後藤宏二・木村隆一・宮城 明・小林和男	

普通論文

5.0V/3.3V 版第二世代 16M ビット DRAM……………	80
宮元崇行・梶本 毅・森 茂・野崎雅彦・源城英毅	
ブロック消去可能な高速 4M ビットフラッシュメモリ……………	84
野口健二・大川 実・山本 誠・新井 肇・伊庭智久	
4M ビット バイトワイド/ワードワイド DRAM—— バッテリ駆動型システム用 3.3V 版——……………	88
富上健司・豆谷智治・長山安治・長友正男	
高放熱プラスチック QFP に封止した 32 ビットマイクロプロセッサ……………	92
中野直佳・樋口徳昌・平井達也・中村伸哉・倉野新一	
アナログ機能を強化した 16 ビットワンチップマイクロコンピュータ……………	96
上木雄詞・神崎照明・樋口光誠・高橋 肇・藤原俊夫	

特許と新案

紫外線消去形プログラマブル読出専用メモリ装置の試験方法, 相補形 MOS 集積回路装置……………	101
昇圧回路……………	102

スポットライト

三菱セルベース IC M652XX, M653XX シリーズ……………	100
B/NET 工事用仮設分電盤システム……………	(表 3)

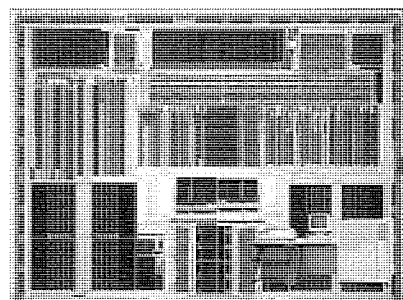
表紙

オフィスコンピュータ用 CPU プロセッサ

表紙の写真は、CPU プロセッサのチップとそのチップを搭載したオフィスコンピュータ MELCOM80 “GS ファミリー” の最上位機 GS700/10 である。

このチップは、16K バイトのキャッシュメモリを内蔵し、0.8 μ m ルール CMOS のプロセス技術を用いて 16.3mm \times 12.7mm のサイズに 170 万トランジスタを集積している。

(本文 38 ページ参照)



三菱電機技報に掲載の技術論文では、国際単位 “SI” (SI 第 2 段階 (換算値方式) を基本) を使用しています。ただし、保安上、安全上等の理由で、従来単位を使用している場合があります。

アブストラクト

システムオンチップ時代における VLSI の展望

吉富正夫

三菱電機技報 Vol. 67・No. 3・p. 2～5 (1993)

システム VLSI の展望について述べる。システムのデジタル化、複合化の流れの中で半導体は微細化を中心に進展し、今やシステムの主要部分が一つのシリコンチップ上に集積される、いわゆるシステムオンチップの時代を迎えた。システム VLSI を実現するための環境条件について述べ、システム VLSI の具体例としてエンベッテッドセルアレー、画像 DSP、SCSI 専用コントローラについて解説した。

キャッシュメモリを含んだメインメモリ用 4 Mビットキャッシュ DRAM

早野浩司・阿部英明・石塚康宏

三菱電機技報 Vol. 67・No. 3・p. 25～28 (1993)

16K ビットの高速 SRAM と 4 M ビットの大容量 DRAM を同一チップに集積した当社独自のキャッシュ DRAM の概要・機能・特長・用途について述べる。キャッシュアクセス時間を従来の 1/3 に高速化したファーストコピーバック方式の採用、高速キャッシュアクセスを可能にした SRAM 局所配置のチップレイアウト、16×4 ビットのキャッシュブロックサイズが主な特長である。

0.5 μm CMOS ゲートアレー

荒川隆彦・前野秀史・東谷恵市・斎藤 健・加藤周一

三菱電機技報 Vol. 67・No. 3・p. 6～9 (1993)

0.5 μm CMOS, 3 層配線プロセスを採用した高集積全面敷き詰め型ゲートアレーについて述べる。0.5 μm CMOS 技術と当社独自のゲートアイソレーション方式により世界最大 1 ミリオンゲートを達成、3.3V 電源で低消費電力 (0.9 μW), 高速性 (190ps) を実現している。また、システムの高速化に対応し、位相同期回路を利用したクロック管理機能や高速小振幅信号インタフェース回路も内蔵している。

2 Mビットデュアルポート DRAM

松本淳子・松岡秀人・三木武夫・山脇 実

三菱電機技報 Vol. 67・No. 3・p. 29～32 (1993)

近年の画像処理技術の向上には著しいものがあり、VRAM に求められる機能、性能も世代ごとに発展してきている。今回開発した 2 M ビット VRAM はそのようなニーズにこたえるべく、新たにハイパーページ機能、ストップレジスタ機能等を備え、性能の向上を図った。特に、今回は RAM 部の動作に 1/4 分割動作を採用することにより、最小サイクル時のリード・ライト動作電力を 495mW に抑えて低消費電力化を実現した。

0.8 μm CMOS エンベッテッドセルアレー

岡辺雅臣・奥野義弘・富岡一郎・井上善雄・朝比奈克志

三菱電機技報 Vol. 67・No. 3・p. 10～15 (1993)

ゲートアレー (GA) では達成できない高速性・高集積性を GA と同じ短納期で実現するために、PLL (Phase-Locked Loop), GTL (Gunning Transceiver Logic), 高速 RAM 等の回路を内蔵可能とした 0.8 μm CMOS エンベッテッドセルアレー (ECA) を開発した。ECA 用に開発した EWS ベースの設計システムを用いて LSI を設計した。2 層配線でも等価 200 K ゲート以上を集積可能で、LSI を製作して評価した結果、50MHz 以上の高速動作が確認できた。

高密度 SRAM 内蔵 ASIC

中島三智雄・越久和俊・上田清年・黒肥地 稔・磯井則次

三菱電機技報 Vol. 67・No. 3・p. 33～37 (1993)

電子機器分野のシステムの小型化、ワンチップ化に伴い、ASIC に内蔵される SRAM の大容量化が求められている。この市場要求にこたえるため、従来比約 2 倍のビット密度をもつ高抵抗負荷型メモリセルを ASIC に初めて適用した。新プロセス構造により、ASIC 適用における高抵抗負荷型メモリセル特有の問題を解決した。新プロセスの概要と将来の発展について述べる。

画像圧縮 LSI 用高速 DCT コア

高畠明彦・浦本紳一・井上喜嗣・竹田 淳・山下征大

三菱電機技報 Vol. 67・No. 3・p. 16～20 (1993)

画像圧縮 LSI の核となる DCT (Discrete Cosine Transform) コアを開発した。高速アルゴリズムと分散演算を採用することにより、大量の積和演算を効率的に処理するアーキテクチャを実現した。また、DCT と逆 DCT の二つの直交変換を同一のハードウェアで実行可能とするために最適な 2 ポート/2 プレーン ROM 等の回路技術の開発も行った。これらにより、最高動作周波数 100MHz, 面積 21mm² という世界最高水準の性能を達成した。

オフィスコンピュータ用 32 ビット CPU プロセッサ

清水 徹・島津之彦・斉藤祐一・白井健治・藤岡 勲・阪尾正義

三菱電機技報 Vol. 67・No. 3・p. 38～41 (1993)

当社オフコン MELCOM80 “GS ファミリー” 最上位機を対象に 32 ビット CPU プロセッサを開発した。0.8 μm CMOS 2 層ポリシリコン 2 層メタルのプロセス技術とフルカスタム設計技術によって 170 万トランジスタを集積し、CPU の基本機能すべてを 1 チップ化した。6 段のパイプライン処理、命令/データキャッシュ各々 8 K バイト等の最新のアーキテクチャ採用によりメモリオペランドを含めて 1 クロック/命令、40MHz の性能を実現した。

セルベース設計用データバスジェネレータ

辻橋良樹・松本 尚・宮西篤史・西巻秀克・中尾博臣・北田 修

三菱電機技報 Vol. 67・No. 3・p. 21～24 (1993)

0.8 μm CMOS プロセスにて開発したデータバスジェネレータに関して、基本セル構造及びレイアウトデータ生成方法の特長を述べる。新規なレイアウト生成手法として、セル上配線と、配線数に応じたセル高可変機構、任意の配線トラックと接続可能なセル入出力端子をもち、これを可能とする基本セル構造を開発した。これにより、集積度 7 kTr/mm² 以上の高密度なデータバスレイアウトが実現できる。

ATM スイッチ用 LSI

野谷宏美・近藤晴房・山中秀昭・斉藤泰孝・小浜茂樹・松田吉雄

三菱電機技報 Vol. 67・No. 3・p. 42～45 (1993)

622Mbps, 8×8 の ATM (Asynchronous Transfer Mode) スイッチ用チップセットを開発した。当社独自の分割共通バッファ方式を採用して、小容量のバッファメモリで、低いセル廃棄率の ATM スイッチを実現した。開発した LSI は、アライナ LSI, バッファ・スイッチ LSI, コントロール LSI の 3 品種で、いずれも 0.8 μm BiCMOS プロセスを採用し、90 MHz (実使用周波数 78MHz) 動作を達成している。

Abstracts

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 25~28 (1993)

A 4Mb DRAM with On-Chip Cache

by Koji Hayano, Hideaki Abe & Yasuhiro Ishizuka

The article describes a 4Mb DRAM device with a high-speed 16Kbit on-chip SRAM cache. The cache access time has been reduced to 210ns, one-third of the previous time, by use of a fast copyback method. The cache employs a 16×4 -bit block size, and its memory cells are locally distributed to maximize cache access speed.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 2~5 (1993)

VLSI Prospects in the System-on-Chip Age

by Masao Yoshitomi

The article discusses system VLSIs. Semiconductor technology has advanced to the point that the main functions of an electronic system can be incorporated entirely on a single chip. Replacement of analog technology by digital has contributed to this integration. The article looks at the infrastructural requirements for building system VLSIs, and introduces an embedded cell array, video DSP and SCSI controller.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 29~32 (1993)

A 2Mb Dual-Port DRAM

by Junko Matsumoto, Hideto Matsuoka, Takeo Miki & Minoru Yamawaki

A 2Mb video RAM device with enhanced performance and hyperpage and stop register functions has been developed. The RAM is organized for quarter-duty operation, which reduces the minimum cycle read/write power dissipation to 495mW.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 6~9 (1993)

A 0.5 μ m CMOS Gate Array

by Takahiko Arakawa, Hideshi Maeno, Keiichi Higashitani, Ken Saito & Shuichi Kato

The article introduces a sea-of-gates CMOS gate array with 0.5 μ m geometry and three-layer metalization. One million gates on a single chip has been realized owing to a gate isolation technique. The device has a high-speed performance of 190ps/gate and power dissipation of 0.9 μ W/gate, even at the low voltage of 3.3V. A phase-locked loop circuit for the clock signal and high-speed low-voltage-swing interface support high-frequency operation.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 33~37 (1993)

ASICs with High-Density SRAM Cells

by Michio Nakajima, Kazutoshi Oku, Kiyotoshi Ueda, Minoru Kurohiji & Noritsugu Isoi

High-density SRAM cells with double the bit density of previous devices have been developed for use in ASICs. Structure and process innovations have solved the specific problems related to incorporating high-density memory cells into ASICs. The article details this process and its future possibilities.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 10~15 (1993)

Development of an 0.8 μ m CMOS Embedded Cell Array

by Masatomi Okabe, Yoshihiro Okuno, Ichiro Tomioka, Yoshio Inoue & Katsushi Asahina

The corporation has developed an embedded cell array (ECA) based on 0.8 μ m CMOS technology that allows the realization of phase-locked loops, Gunning transceiver logic, RAM and other high-speed circuits that cannot be implemented using a conventional gate array. A workstation-based CAD system is used to support the ECA chip design. The employment of two-layer metalization allows more than 200 kilogates to be integrated on the ECA chip. Experimental data revealed that application of a typical ECA chip enables operation at a frequency over 50MHz.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 38~41 (1993)

A 32-Bit CPU Processor for Business Computers

by Toru Shimizu, Yukihiko Shimazu, Yuichi Saito, Kenji Shirai, Isao Fujioka & Masayoshi Sakao

A new CPU processor has been developed for the top model business computer in the MELCOM 80 GS Family. Most of the CPU functions have been integrated in a single monolithic device comprising 1.7 million transistors. The device was developed using full-custom design technology and a 0.8 μ m CMOS process with two-layer polysilicon and two-layer metalization. The device achieves one-instruction-per-clock-cycle performance for most instructions, including memory load and store, using such advanced architecture features as a six-stage pipelining, and 8Kb data and instruction caches. The device operates at 40MHz.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 16~20 (1993)

A High-Speed Discrete Cosine Transform Core Processor for Image Compression ICs

by Akihiro Takabatake, Shin'ichi Uramoto, Yoshitsugu Inoue, Jun Takeda & Yukihiro Yamashita

The corporation has developed a discrete cosine transformation (DCT) core processor for use in image compression ICs. The circuitry can efficiently perform large numbers of computations due to the use of fast algorithms and distributed arithmetic processing. Dual-port dual-plane ROM technology was also developed to enable the same hardware to perform both DCT and inverse DCT. Applications of the DCT core processor will support operating frequencies up to 100MHz. The processor occupies a chip area of just 21mm², an integration scale among the highest in the world.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 42~45 (1993)

An ATM Switch Chipset

by Hiromi Notani, Harufusa Kondoh, Hideaki Yamanaka, Hirotaka Saito, Shigeki Kohama & Yoshio Matsuda

The corporation has developed a 622Mbps, 8×8 asynchronous transfer mode (ATM) switch chipset. Use of an original shared multibuffer architecture made it possible to realize an ATM switch with high speed and a low cell-loss ratio. The chipset consists of three VLSI devices: an aligner, a buffer switch and a controller. All are fabricated using 0.8 μ m BiCMOS process technology. The chipset is capable of 90MHz operation.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 21~24 (1993)

A Data Path Generator for Cell-Based Design

by Yoshiki Tsujihashi, Hisashi Matsumoto, Atsushi Miyanishi, Hidekatsu Nishimaki, Hiro'omi Nakao & Osamu Kitada

The article describes a module generator that is capable of generating data-paths with both the speed and transistor density comparable to handcrafted designs. A new cell structure suitable for over-the-cell routing was developed as the generator's bit-slice element. I/O terminals can be connected with any wiring track over a cell, and cell height is adjustable to suit the number of tracks. Configurable function blocks -- components of the data-path -- are developed using 0.8 μ m two-layer metalization CMOS technology. The generator can create data paths with densities of more than 7kTr/mm².

アブストラクト

広帯域 ISDN 対応 BiCMOS LSI

植田昌弘・埴淵敏明・東谷恵市・川畑英雄・飛田康夫

三菱電機技報 Vol. 67・No. 3・p. 46～49 (1993)

バイポーラトランジスタとCMOSトランジスタを一つのチップ上に構成するデジタル系のBiCMOS技術が開発され、高速SRAMを始めとする様々な分野への応用が図られている。

今回、ゲートアレー手法を用いてECLとTTLレベルの同時インタフェースが可能なBiCMOS LSIを開発し、広帯域ISDN用のユーザー・網インタフェースLSIの1チップ化に適用した。

高速高密度 TSOP メモリモジュールシリーズ

田原次夫・上村俊一

三菱電機技報 Vol. 67・No. 3・p. 67～71 (1993)

高速高密度TSOPメモリモジュールシリーズ(DRAM、中速SRAM及び高速SRAM搭載)について、製品概要・特長及び製品動向の紹介を行い、TSOP実装時のはんだ成分及びプリント基板へのはんだ印刷時のメタルマスクの実施例を紹介するとともに、TSOP実装時の注意事項を説明する。また、TSOPパッケージとプリント基板との熱膨張係数の差に起因する、温度サイクルの信頼性を向上するための改善対策を紹介する。

移動体通信用音声コーデック LSI

見学 徹・寺岡栄一・安井郁夫・藤山等章・徳田 健

三菱電機技報 Vol. 67・No. 3・p. 50～53 (1993)

車載／携帯電話等のデジタル通信の発展に対応すべく24ビット浮動小数点デジタルシグナルプロセッサ、13ビットA/D、D/A、大容量メモリを1チップに集積した。1 μ m CMOS 2層ポリ、2層アルミプロセスを用いて130万トランジスタを集積し、1マシサイクル60nsの高速性と490mW (VSELP 実行時)の低消費電力を実現しており、高能率音声符号化／復合コーデック等の音声信号処理に使用可能である。

ミックスメモリカード

田渕正行・木村正俊・渡辺忠勝・白土修一

三菱電機技報 Vol. 67・No. 3・p. 72～75 (1993)

メモリカードは、携帯用機器の記憶装置として幅広く用いられているが、最近ではカードに対する要求も、機器の用途ごとに多様化してきている。このニーズにこたえるため、電氣的に書込み及び消去ができるフラッシュメモリと高速で読み書きができるSRAMを組み合わせて、それぞれの長所を生かしたJEIDA準拠のミックスメモリカードを開発した。開発に当たっては、ICカードスロットが一つのための携帯用機器の利便性向上を考慮した。

自動車用 LAN コントローラ、トランシーバ IC

岡本 泰・在本昭哉・菊山誠一郎・高井一兆・村松菊男

三菱電機技報 Vol. 67・No. 3・p. 54～58 (1993)

LANコントローラ用IC (M64100TFP) 及びLANトランシーバ用IC (M59330P) は、自動車内の電子ユニット間でデータ通信を行う上で、自動車LANシステムの応答性の向上、確実な通信の確保を目的として開発されたデバイスである。これらのICの機能概要を説明するとともに、通信プロトコル (SAE-J1850)、自動車LANシステム、及び将来の自動車用LANシステムへの展開について述べる。

ISDN インタフェースボード

中林竹雄・蔵永 寛・後藤宏二・木村隆一・宮城 明・小林和男

三菱電機技報 Vol. 67・No. 3・p. 76～79 (1993)

ISDN用のインタフェースボードを開発した。ハードウェアとしては、CPUに16ビットワンチップマイコン (M37702) を用いISDN用LSIとして、レイヤ1 LSI (M65750)、レイヤ2 LSI (M65751) を用いた。ソフトウェアについては、リアルタイムモニタを使用し、インタフェース機能を複数のタスクにより実現した。本ボードをAXパソコンに装着し、疑似ネットワークを用いてISDN通信の機能を確認した。

クローズドキャプションコントロール用マイクロコンピュータ

藤高繁明・松本誠之・高橋直樹・上村省一・木村方昭

三菱電機技報 Vol. 67・No. 3・p. 59～63 (1993)

米国におけるクローズドキャプション (Closed Caption) 放送用デコーダに対応したTV用CMOSマイコンを開発した。

この製品は、映像信号内に多重されるキャプションデータを抜き取るためのアナログ回路と、キャプションデータをデコードし、データに応じてTV画面上に字幕を表示する画面表示回路を内蔵し、FCC (Federal Communications Commission) の規格に準拠した機能をもつシングルチップマイコンである。

5.0V/3.3V版第二世代16MビットDRAM

宮元崇行・梶本 毅・森 茂・野崎雅彦・源城英毅

三菱電機技報 Vol. 67・No. 3・p. 80～83 (1993)

16MビットDRAM第二世代品を開発した。ビット構成は $\times 1$ 、 $\times 4$ 、 $\times 8$ の3種類である。パソコン等のバッテリー駆動化に対応するため、0.5 μ m微細加工、レトログレイドウェルなどのプロセス技術と内部電源回路のローパワー化などの回路技術を採用した。これにより、電源電圧3.3Vでも高速アクセス、低ソフトエラー率を実現した。セルフリフレッシュ機能などの新機能も追加し、電源電圧3.3V版の製品も系列化した。

プロトコル制御用マイクロコンピュータ

林 良紀・倉持昌司・竹内 稔・広川祐之

三菱電機技報 Vol. 67・No. 3・p. 64～66 (1993)

マルチプロセッサシステムのプロセッサ間のデータ通信を容易化するプロトコルコントローラを開発した。プロセッサの高速化に対応して、バスインタフェースの高速化を行い、16ビットマイコンMELPS 7700シリーズに直接接続可能である。通信手順の制御は内蔵されている8ビットマイコンで行うため、ユーザーがプログラムによって様々なプロトコルを設定できる。さらに、CRCによるエラー検出機能をもつため、通信の高速化と信頼性の向上を同時に可能とした。

ブロック消去可能な高速4Mビットフラッシュメモリ

野口健二・大川 実・山本 誠・新井 肇・伊庭智久

三菱電機技報 Vol. 67・No. 3・p. 84～87 (1993)

電氣的に一括及びブロック消去可能な2電源型4Mビット (512K語 \times 8ビット/256K語 \times 16ビット) フラッシュメモリを開発した。0.7 μ m ルールのツインウェルCMOSプロセスを用い、セルサイズは2.4 μ m \times 2.4 μ mで、チップサイズは8.90mm \times 10.25mmである。パッケージは44ピンSOP、48ピンTSOPを用意した。アクセスタイムは、100、120、150nsの高速品3品種をそろえた。

Abstracts

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 67~71 (1993)

High-Speed, High-Density TSOP Memory Module Series

by Tsugio Tabaru & Shun'ichi Uemura

The article describes the features and mounting procedures for Mitsubishi high-speed high-density TSOP memory modules, which incorporate DRAM and medium- and high-speed SRAM devices. The solder-printing process for PCB mounting is described, including details of the solder paste composition, and examples of metal masks used for solder printing are provided. Procedures are described for reducing the effects of differences in the thermal expansion coefficients of the TSOPs and the PCBs. These measures increase the thermal cycle reliability of the mounted PCBs.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 46~49 (1993)

A BiCMOS LSI for Broadband ISDN

by Masahiro Ueda, Toshiaki Hanibuchi, Keiichi Higashitani, Hideo Kawabata & Yasuo Tobita

BiCMOS technology--allowing bipolar transistors to be configured with CMOS devices in the same silicon layer--has been used to realize high-speed SRAM and for other special purposes. The authors have employed BiCMOS technology to develop LSIs for broadband ISDN applications. A user-network interface LSI comprising TTL and ECL circuits has been developed using a gate array method.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 72~75 (1993)

A Mixed Memory Card

by Masayuki Tabuchi, Masatoshi Kimura, Tadakatsu Watanabe & Shuichi Shiratsuchi

Memory cards are currently enjoying widespread use in handheld and portable electronic equipment; however, demand has recently diversified. The corporation has developed a JEIDA-compliant mixed-memory card that combines electrically writable and erasable flash memory with high-speed SRAM. By use of this card, many applications previously requiring two card slots can be implemented using a single card, enhancing equipment portability.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 50~53 (1993)

A Speech Codec IC for Mobile Telecommunications

by Toru Kengaku, Eiichi Teraoka, Ikuo Yasui, Toshiki Fujiyama & Takeshi Tokuda

The corporation has developed a monolithic device combining a 24-bit floating point digital signal processor, 13-bit D/A and A/D converters, and a large memory area for use in digital mobile telecommunications equipment. The device, containing 1.3 million transistors, was implemented by a one micron CMOS process using two-layer polysilicon and two-layer metalization. It features a fast 60ns machine cycle and low-power 490mW dissipation when executing vector-sum excited linear-prediction (VSELP) functions. It is intended to perform signal processing for high-efficiency speech codecs.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 76~79 (1993)

An ISDN Interface Board

by Takeo Nakabayashi, Hiroshi Kuranaga, Koji Goto, Ryuichi Kimura, Akira Miyagi & Kazuo Kobayashi

The corporation has developed an ISDN interface board. The hardware includes a M37702 16-bit monolithic microprocessor, the M65750 ISDN Layer 1 LSI processor and the M65751 ISDN Layer 2 LSI processor. The software includes a realtime monitor and interface functions that are realized as separate tasks. Performance of the interface board was verified by installation in AX personal computers and testing over a virtual ISDN network.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 54~58 (1993)

LAN Control and Transceiver ICs for Automotive Use

by Yasushi Okamoto, Akiya Arimoto, Seiichiro Kikuyama, Kazuyoshi Takai & Kikuo Muramatsu

The corporation has developed two ICs for automotive use that implement the SAE-J1850 LAN protocol. The M64100TFP LAN controller IC and M59330P LAN transceiver IC improve the response and reliability of the automotive LAN systems used to convey data between electronic control units. The article introduces these devices, the SAE-J1850 protocol, automotive LAN systems and future prospects for automotive LAN development.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 80~83 (1993)

5.0/3.3V Second-Generation 16Mb DRAM

by Takayuki Miyamoto, Takeshi Kajimoto, Shigeru Mori, Masahiko Nozaki & Hideki Genjo

A second-generation 16Mb DRAM has been developed that offers 5.0/3.3V operation and is available with 1,4 and 8-bit word organizations. The 0.5 μ m microlithography process, retrograde well fabrication and low-power design optimize performance in battery-operated personal computers. The new DRAM realizes high-speed data access and a low soft error rate under 3.3V operation, and has a self-refresh function.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 59~63 (1993)

A Closed-Caption Decoder and Display IC

by Shigeaki Fujitaka, Seiji Matsumoto, Naoki Takahashi, Shoichi Kamimura & Masaaki Kimura

The corporation has developed a monolithic CMOS closed-caption decoder IC for receiving U.S. telecasts. The device comprises a microprocessor, an analog signal section for demodulating caption data imposed on the video signal and a circuit that displays the decoded data in a text band on the TV screen. The device complies with FCC regulations.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 84~87 (1993)

4Mb Flash Memories with a Block Erase Function

by Kenji Noguchi, Minoru Okawa, Makoto Yamamoto, Hajime Arai & Tomohisa Iba

The corporation has developed dual-power-supply 4Mb flash memory devices that allow electric erasure of data chips or entire blocks in a single operation. The memory is organized as either 512k 8-bit words, or 256k 16-bit words, and is available with 100, 120 and 150ns access times. The devices are implemented in a 0.7 μ m twin-well CMOS process, employing a cell size of 2.4 \times 2.4 μ m and a chip size of 8.90 \times 10.25mm. The packages are 44-pin SOPs and 48-pin TSOPs.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 64~66 (1993)

A Microcomputer for Protocol Control

by Yoshinori Hayashi, Masashi Kuramochi, Minoru Takeuchi & Masayuki Hirokawa

The corporation has developed a protocol controller to simplify implementing interprocessor communications in multiprocessor systems. The device has a high-speed bus interface that allows direct connection to microprocessors of the Mitsubishi MELPS 7700 Series. Since the device employs an 8-bit microcomputer to implement the communications protocol, it can be user-programmed for a variety of protocols. The device also includes CRC error detection functions that raise communications speed and reliability.

アブストラクト

4 Mビット バイトワイド／ワードワイド DRAM —— バッテリ駆動型システム用 3.3 V 版 ——

富上健司・豆谷智治・長山安治・長友正男

三菱電機技報 Vol. 67・No. 3・p. 88～91 (1993)

ノート型パソコン等のバッテリ駆動型システムに適したセルフリフレッシュ機能付き低電圧・低消費電力動作の×8及び×16ビット構成4 MDRAM製品を開発した。2層アルミ配線, 0.6 μm微細加工, レトログレードウェルプロセス及び新回路技術採用により, 低電圧での高速アクセス及び耐ソフトエラー率等を含めて高性能・高信頼性を実現した。

高放熱プラスチック QFP に封止した 32ビットマイクロプロセッサ

中野直佳・樋口徳昌・平井達也・中村伸哉・倉野新一

三菱電機技報 Vol. 67・No. 3・p. 92～95 (1993)

TRON仕様32ビットマイクロプロセッサ M32/100の高放熱プラスチック QFP 品を開発した。20MHz動作時の最大消費電力が1.3Wである M32/100チップを封止するため, リードフレーム直下にヒートスプレッドを配置し, パッケージの低熱抵抗化を図った。また吸水率の低い樹脂の使用とモールド時の構造物位置のファイン制御により, パッケージ信頼性が向上し, 機器組込み制御ボードの小型・低価格化が期待できる。

アナログ機能を強化した 16ビットワンチップマイクロコンピュータ

上木雄詞・神崎照明・樋口光誠・高橋 肇・藤原俊夫

三菱電機技報 Vol. 67・No. 3・p. 96～99 (1993)

汎用16ビットマイクロコンピュータ MELPS 7700の上位シリーズとしてアナログ機能(A-D変換器, D-A変換器)を強化した製品を開発した。内蔵 A-D 変換器は, 分解能 8 ビットから10ビットに高め, また D-A 変換器は従来内蔵していなかったものを新規に内蔵させた。A-D 変換アナログ回路(ラダー抵抗, 比較器等)のセルサイズは, 1,300 μm×420 μm とコンパクトなサイズにしている。

Abstracts

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 88~91 (1993)

A 4Mb 3.3V Low-Power Byte-Wide and Word-Wide DRAM for Battery Operation

by Kenji Tokami, Tomoharu Mametani, Yasuji Nagayama & Masao Nagatomo

The corporation has developed 4Mb DRAMs with 8- and 16-bit organization, low power consumption, 3.3V operation and self-refresh functions for notebook-size personal computers and other battery-powered applications. The devices are implemented employing a 0.6 μ m CMOS process with retrograde wells and two-layer metalization to achieve low-voltage operation, fast access and low soft-error rate.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 92~95 (1993)

A 32-Bit Microprocessor in a Plastic QFP with a Heat Spreader

by Tadayoshi Nakano, Noriaki Higuchi, Tatsuya Hirai, Shinya Nakamura & Shin'ichi Kurano

The corporation has developed a high-dissipation plastic QFP package for the M32/100 32-bit TRON-specification micro-processor. A heat spreader immediately under the lead frame lowers the package's thermal resistance, making it possible to dissipate the required 1.3W maximum when the chip operates at 20MHz. Package reliability is improved through use of a plastic resin with low moisture absorption and through precise die positioning during the encapsulation process. The QFP is expected to reduce the size and cost of embedded controller boards.

Mitsubishi Denki Giho: Vol. 67, No. 3, pp. 96~99 (1993)

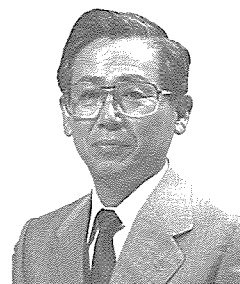
The Development of a 10-Bit Analog-to-Digital Converter for 16-Bit Single-Chip Microcomputers

by Yuji Ueki, Teruaki Kanzaki, Kosei Higuchi, Hajime Takahashi & Toshio Fujiwara

The corporation has developed new top-end models of its 16-bit MELPS 7700 Series microprocessors with internal A/D and D/A converters. The resolution of the A/D converter has been boosted from 8 to 10 bits. The analog circuit containing the resistance ladders and comparators has a compact cell size of 1.3 \times 0.4mm. The internal 8-bit D/A converter is a new addition. The article reports on the steps used to miniaturize the A/D converter.

半 導 体 新 時 代

常務取締役
電子デバイス事業本部長
新良 由幸



半導体はトランジスタの発明以来、集積回路(IC)として驚異的な速度で技術開発と事業拡大を達成してきた。例えば、DRAMは日本においては“テクノロジードライブ”と位置づけられ、メモリ容量が3年ごとに4倍という速度で開発が進展してきた。しかし、世の中の常識よりもはるかに速い進歩は、当然ながら何時かニーズを追い越すこととなる。現に、一部の用途においてニーズを越え始めたとの論議もある。また、最近見え始めている多世代同居、あるいは最先端機種の量的な立ち上がり鈍化傾向等も進歩の速度と無関係ではあるまい。

そして、今や半導体を使用していない製品を見付けることが至難の状態になってきている。このように用途が広くかつ深くなるにつけ、ICに対して単一機能(例えばDRAMのメモリ機能)のみでなく複合化した機能が要求され始めている。初期のトランジスタを“点”とすれば単一機能のICは“線”，複合機能のICは“面”に例えることができよう。これが本号の主題の“システムLSI”である。

このシステムLSIは目前に迫りつつあるマルチメディア時代の主役となるべき半導体技術である。昨今、マルチメディアに関しては“実体がよく分からない”とか“まだまだ先の話”とかの議論もあるが筆者の見解はやや異なる。今、世界的に核家族化、都市化が進むとともに個人生活の上で人間関係が疎遠になっている悩みを多くの人が抱いている。それを少しでも緩和しようとするマルチメディアは既に確実に進行しつつある。また、通常の業務においても人的リソース、その他の面からマルチメディアが必須になりつつあることが認識され始めている。やがて近い将来、これらは巨大な市場に育つ期待がある。それらのシステムを安価

に、かつ使いやすい形で提供するためのキーデバイスがシステムLSIであると考える。

このような半導体の役割の質的な変化は“半導体新時代”の到来を実感させてくれる。要するに“作れば売れる”という供給者論理は成り立たず、“消費者の求める物は何か”を第一に考えるべき消費者論理の時代——それがむしろ正常な状態であるが——に突入しつつある訳である。その意味では、生産のための設備投資競争時代の終わりの始まりとも言える。

しかし、実はこの新時代への対応は、口で言うほど簡単ではない。システムLSIは顧客が構築しようとするシステムの中核部そのものであり、責任が極めて大きいデバイスである。したがって、顧客の意図やノウハウを入念に理解し、双方向のコミュニケーションを密にしなければ開発は成功しない。すなわち、顧客とメーカーとの信頼が固くなければ進歩発展しえない技術である。この点がコモディティ製品との本質的な差である。

当社はこれに備えて、関西(北伊丹製作所)に集中していた技術拠点を一部分割し、昨年関東地区にも半導体技術センターを設立し着々と機能の充実を果たしつつある。また、同時にシステム研究所群の力を結集してシステムLSIの開発を加速する体制をも整えている。これらの充実により、総合メーカーとして永年蓄積してきた多くの分野の技術力をシステムLSIに具現化して世に問いたいと願う次第である。

ユーザー各位の変わらぬ御指導、御鞭撻をお願い致します。

システムオンチップ時代における VLSI の展望

吉富正夫*

1. ま え が き

1947年にゲルマニウムトランジスタが世界で初めて実用化されて以来、半導体は目覚ましい発展を遂げてきた。特に1960年代から始まるシリコンモノリシックICの時代において微細化を中心とする技術の目覚ましい進歩によって性能と経済性が高められ、その結果、応用範囲が拡大しシステムの中におけるキーデバイスとして重要性をますます強めている。今や100万以上の素子を1チップに集積できるようになり、システムの中の主要部分が一つのシリコンの中に入るいわゆる“システムオンチップ”の時代を迎えた。これらVLSIを実現するためにはLSI設計技術面、システム設計技術面でICメーカーとユーザー(システムメーカー)との間で新しい役割分担が必要になってくる。

本稿では“システムオンチップ”時代におけるVLSIの展望について述べる。

2. システムの動向と半導体の進展

半導体のけん(牽)引役である電子機器において、アナログからデジタルへの展開が始まっている。一般に自然界の

現象はアナログ信号であるため、これを取り扱う機器もアナログ処理が用いられてきた。しかしながら、コンピュータを代表とするデジタル処理によってアナログにはない新しい機能の実現が可能となってきた。一般にデジタル処理を行うと電子回路の複雑さと動作速度はアナログ処理の10倍以上を必要とするが、LSIの技術革新によって上記要求が経済的に実現できるようになったため、デジタル化が加速されてきた。図1にシステムのデジタル化の動向を示す。オーディオにおいてCDに代表されるようにデジタル処理によってひずみ、SN比特性やランダムアクセス機能が大幅に改善された。TV/VTRの画像処理においてもデジタル化してメモリに記憶した画像を様々に加工することによって特殊効果や画質改善が実現され、ハイビジョンへと進展している。

OA分野においても複写機及びプリンタ等においてデジタル化による高画質と多機能性が生かされており、さらに通信分野においてもネットワークのISDN(Integrated Service Digital Network)により、デジタル化が加速しようとしている。

また、システムの複合化も進んでいる。OAと通信(PPC

システム \ 年	1980	1985	1990	1995	2000			
オーディオ	▽ CD	▽ 音場制御	▽ DAT	▽ 衛星放送 PCM	▽ DCC, MD	▽ マイクロ DAT		
TV	▽ シンセサイザチューナー	▽ 文字多重	▽ PIP (小画面)	▽ IDTV ビジョン	▽ クリア (MUSE)	▽ HDTV TV	▽ ワイド デジタル 放送	▽ EDTV(Ⅱ)
VTR		▽ デジタルサーボ	▽ デジタル特再 信号処理	▽ デジタル 記録	▽ ホーム HDVTR	▽ デジタル 記録ディスク	▽ HDムービー	
複写機		▽ パーソナル	▽ デジタル カラー	▽ デジタル 複合機 (FAX, LBP, PPC)				
プリンタ	▽ NLQ多ドット印字	▽ レーザビーム プリンタ	▽ PLD(画像記述語)による アウトラインフォントプリンタ	▽ フルカラー プリンタ				
伝送・交換系	▽ 伝送路の 光ファイバ化	▽ ISDNベーシックI/F サービス開始	▽ グローバルISDN	▽ B-ISDN サービス開始				
電 話		▽ デジタル 電話	▽ DRAM式 音声録音 電話	▽ 静止画 デジタル携帯 電話	▽ PHP			
FAX	▽ 帯域圧縮	▽ G4機	▽ デジタル カラー	▽ ISDN用 FAX				
FA(インバータ)	▽ 正弦波PWM インバータ	▽ エアコン用 インバータ	▽ オールデジタル 汎用インバータ	▽ DSP応用 (ベクトル制御)				
自動車		▽ エンジン制御	▽ GPS (ナビゲーション)	▽ 電気自動車	▽ 危険回避 制御			

図1. システムのデジタル処理の発展

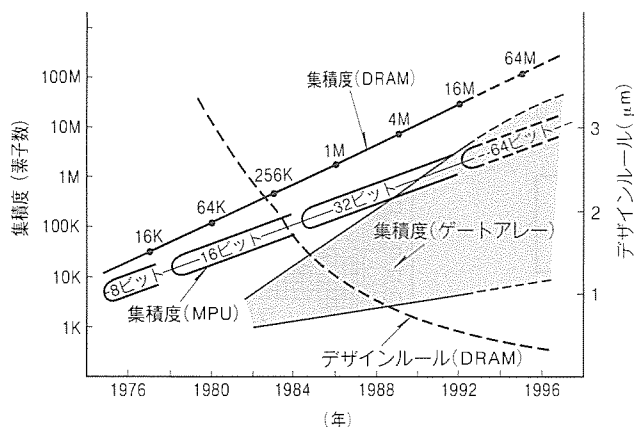


図2. 先端LSIの集積度の推移

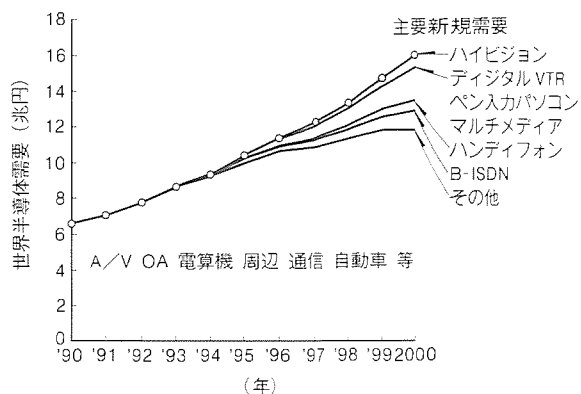


図3. 世界半導体需要における将来市場予測

+FAX), AV と通信 (ニューメディア), コンピュータと AV (マルチメディアパソコン) 等新しい機器が誕生しており, 今後様々なマルチメディアインフォメーションシステムへと進展していくものと思われる。

一方, 半導体の技術革新は図2に示すとおり微細化において著しく, その結果集積度が飛躍的に増大し, 今や1チップ当たりの集積度はメモリで1,000万, マイクロコンピュータやゲートアレーでは100万以上の素子が集積できるようになってきた。そのため, 小規模な電子システムでは小信号電子回路を1チップにのせることが可能となり, LSI は使われるシステムごとへの対応が必要になってくる。図3に半導体の用途別需要予測を示す。半導体は従来から微細化等の技術革新がもたらす経済性と用途の広がりによって高い成長を続けてきた。今後とも新市場対応の需要が期待され, 従来にも増してシステムオンチップとしての対応が必要になってくる。

3. システム VLSI のための環境整備

図4に代表的なシステム VLSI の構成を示す。IC メーカーが提供する各種コアセル (CPU, RAM, システム要素コア等) と, システムメーカー固有の回路を同一チップ上に集積するもので, この実現のためには以下のような環境整備が必要となる。

(1) コアセルの整備

システムの構成要素となるサブシステム又はファンクションをセルライブラリとしてIC メーカーが整備することによって, システム VLSI の開発が容易になる。IC メーカーでの各セルライブラリのハードマクロセル化によって高性能, 高密度が実現できる。さらに, デザインルールの進展に対応したセルライブラリのシリーズ化も必要になってくる。

(2) IC メーカーとシステムメーカーの役割分担

図5に開発におけるIC メーカーとシステムメーカーの役割を示す。システムオンチップの時代にはシステム設計とLSI 設計は同時に行われることが多く, システムメーカーに近いロケーションにデザインセンターを備え, セットメカ

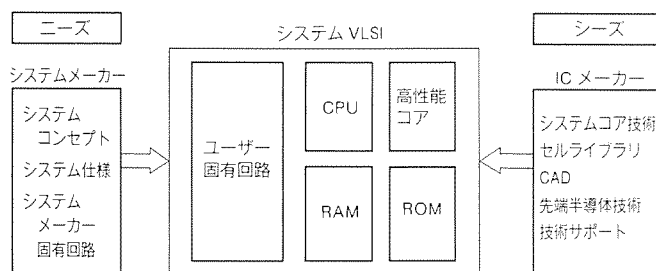


図4. システム VLSI 構成例

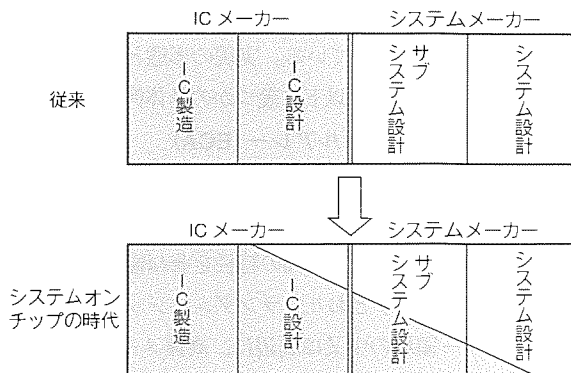


図5. システム VLSI 開発におけるIC メーカー, システムメーカーの役割

ーとIC メーカーが共同で開発する環境が必要になってくる。

(3) CAD 環境

システム VLSI 設計においてCAD は必ず (須) になってきた。図6に示すとおり, 集積度の増大に伴い, 機能記述による仕様設計, 論理合成による論理設計等CAD による上流設計がますます重要になってくる。さらに, システムメーカーとIC メーカーとの共同開発に伴うCAD ツールの統一, インタフェースの整合が必要である。

(4) ウェーブプロセスの統合化, 標準化

同一チップにロジック回路, マイコン, メモリ等を集積するためにはウェーブプロセスの共通化が必須条件となる。従

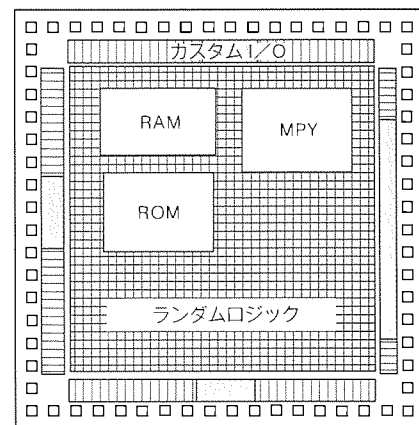
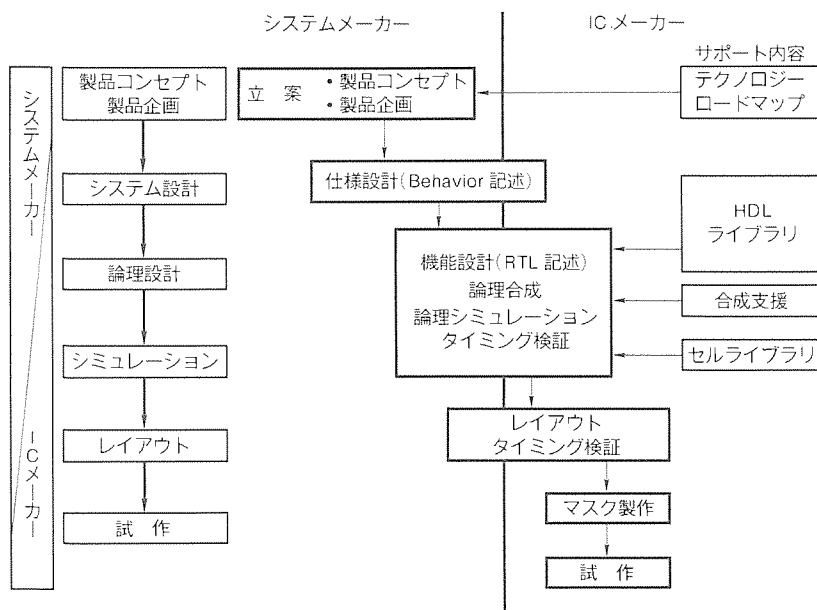


図7. エンベッテッドセルアレー構成

図6. トップダウン CAD によるシステム/IC メーカーの LSI 共同開発

それぞれのデバイスに最適化されていたウェーブプロセスは、CMOS 化への大きな流れと複合 LSI への必要性から特にサブミクロンの時代において統合化と標準化の方向へ進んでいる。

4. システム VLSI の実際例

これまでに述べてきた動向と環境整備によって、システム VLSI の実用化が始まっている。実現の形態としては種々の展開がなされているが、以下に幾つかの具体例を示す。

4.1 エンベッテッドセルアレー (ECA)

ASIC (Application Specific IC) の中で従来のゲートアレーとセルベースの手法に加え、最近注目されている手法であり、高性能特性と開発工期短縮の特長を兼ね備えたものである。図7の構成に示すとおり、ランダムロジック部を形成するゲートアレー領域の中又は周辺に、高速メモリ (RAM, ROM)、乗算器 (MPY) 及びカスタム I/O (高速 PLL、高速インタフェース回路) 等のハードウェアマクロセルを集積したものである。システムメーカーの製品企画の段階でマスタチップの仕様を決め、システムメーカーのシステム設計、論理設計と並行に IC メーカーでマスタチップの開発が進められる。論理設計が終了した後、ランダムロジック部をゲートアレーの手法でスライス工程によって短工期で形成できるため高性能なチップを短工期で実現できる。さらに、ランダムロジック部の仕様変更に対しても安い開発費で速く対応できる。図8に ASIC の各方式の比較を示す。ECA は各方式の特長を兼ね備えているがカスタムチップのため開発費を償却するために中規模の数量が必要となる。電算機及び OA 機器等の分野での応用が広まりつつある。

4.2 画像用 DSP¹⁾

デジタル化の流れの中で画像通信、画像蓄積メディア、

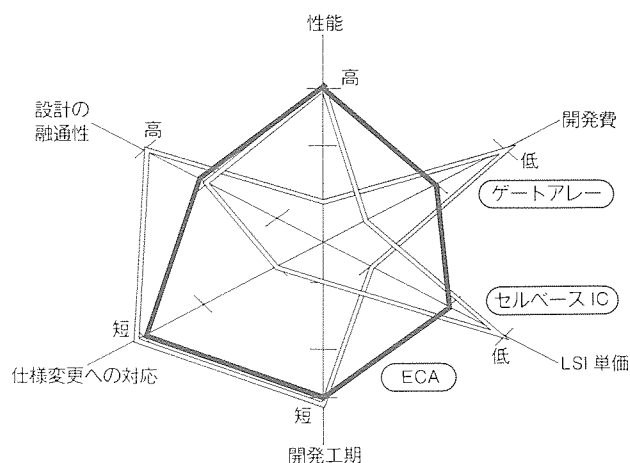


図8. ASIC 開発手法での比較

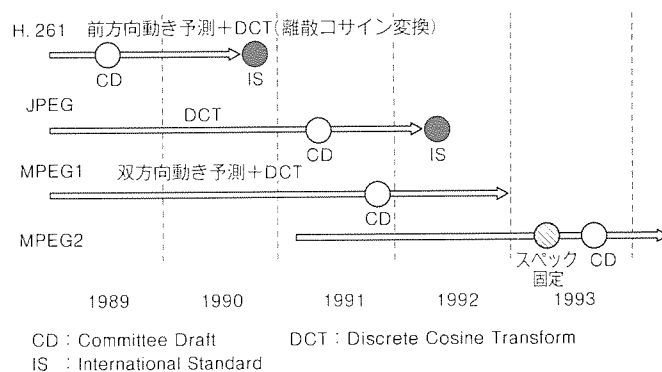


図9. 画像圧縮標準化動向

マルチメディア等において画像圧縮符号化技術は非常に重要な役割を担っている。図9に示すとおり、画像の高効率符号化方式の国際標準規格作りが CCITT と ISO で進められており、静止画から動画そしてより高画質へと審議が進められている。DSP (Digital Signal Processor) による画像処理のメ

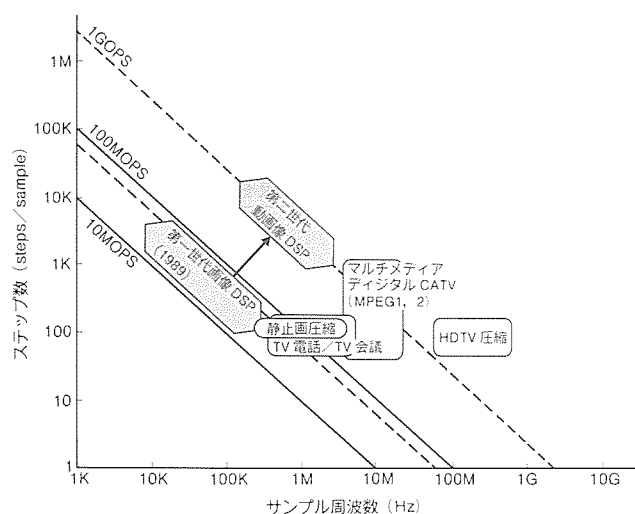


図10. 画像 DSP に対する性能の改善

リットは柔軟性にあり、各種標準及び各種仕様変更に対し、ソフトウェアで対応できることにある。当社は図10に示すとおり1989年第一世代画像DSP (M 65720) を実用化した。さらに、LSIの微細化の進展及びアーキテクチャの改善を行った第二世代動画DSPを開発中であり、国際標準の進展及び応用分野の広がりに対応していく。

4.3 SCSI 専用コントローラ⁽²⁾

コンピュータと外部入出力装置間の標準インターフェースであるSCSI (Small Computer System Interface) 用コントローラ (M 35701 E 2 A XXXFP) の製品化を行った。図11のチップ写真に示すとおり16ビットMCU (Micro Controller Unit) と専用回路を内蔵したICである。図12において高速プロトコル処理を専用回路 (ハードウェア) で行い、低速処理部及びアプリケーション (カスタマイズ) 部分はソフトウェアで処理することによって、融通性を保ちながらLSIの経済性を向上させている。

5. む す び

システムオンチップの時代を迎え、システムの動向とVLSIの在り方について述べた。LSIは今後ともシステムの中

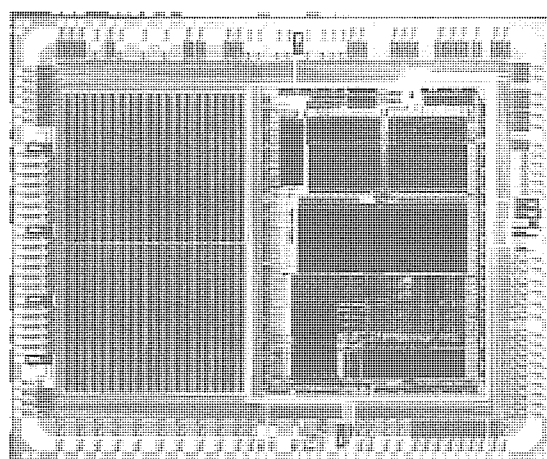


図11. M35701E2A XXXFP のチップ写真⁽²⁾

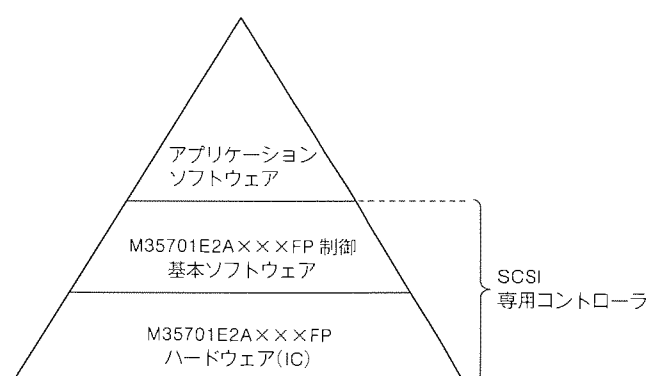


図12. M35701E2A XXXFP におけるソフトとハードの役割⁽²⁾

におけるキーデバイスとしてますます重要になり、システムとともに表裏一体となって発展していくものと思われる。

参 考 文 献

- (1) 吉本雅彦：画像圧縮用LSI，テレビジョン学会誌，46，No. 3，253～260 (1992)
- (2) 堀 俊彦，須田真二，小林 洋，遠藤茂行，川嶋健司：SCSI 専用コントローラ，三菱電機技報，66，No. 2，214～220 (1992)

0.5 μ m CMOS ゲートアレー

荒川隆彦* 斎藤 健*
前野秀史* 加藤周一***
東谷恵市**

1. ま え が き

最近のワークステーションを始めとした情報処理機器や通信機器の発展は目覚ましいものがあり、ASIC (Application Specific IC) はその原動力として急速な進歩を遂げている。システムの高性能化及び差別化を達成し、他社製品に対する優位性を保つには、システムを構成する ASIC 開発が重要となっており、ASIC はより一層の高速化・大規模化・低消費電力化が期待されている。その中でも CMOS ゲートアレーは、集積度・性能・価格・納期などの要求をバランス良く満足し、今後も ASIC の中核をなすデバイスである。

当社では、市場からの更なる高集積化・高性能化の要請にこたえるべく、最先端の0.5 μ m CMOS・3層メタル配線プロセス技術を用いた世界最大級の全面敷き詰め (Sea-of-Gates : SOG) 型 1 ミリオンゲート (1 MG) CMOS ゲートアレーのデバイス開発と、システム動作周波数 100 MHz 時代に対処するための高速化設計技術の開発を進めてきた。

本稿では、今回開発した大規模・超高速 1 MG CMOS ゲートアレーの設計技術及びウェーハプロセス技術について述べるとともに、0.5 μ m CMOS ゲートアレーの特長について紹介する。

2. LSI 設計

2.1 ベーシックセル(BC)設計

SOG は、ベーシックセル (BC) を規則正しくアレー状に並べて内部セル領域が構成されるため、BC の構成でチップの集積度、速度等の性能が左右される。高速性を維持しつつ高集積化を達成するために BC 構造は、図 1 に示すように当社独自のゲートアイソレーション方式⁽¹⁾⁽²⁾を採用している。この方式の BC は 1 ペアの PMOS、NMOS トランジスタをもち、隣接する BC のトランジスタとソース又はドレイン領域を共有し、素子分離には酸化膜を使わない構造になっている。隣接するトランジスタと電氣的に分離する必要があるときは一つの BC を使用し、PMOS ゲートを高電位に、NMOS ゲートを低電位に接続する。

このゲートアレーでは、敷き詰めゲート数 100 万ゲートの実現と 3 層配線による高集積化及び低消費電力化に重点をおき、以下の指針で設計した。

- (1) 3.3/3 V 電源でも高速性を維持する。
- (2) 使用頻度の高いマクロセル及びメモリセルにおいて、BC セル列内でセル配線を完結できる最小のゲート幅に設定する。
- (3) 1 BC 当たりの配線チャンネル数は、第 1 層メタルが水平方向に 13 本、第 2 層メタルが垂直方向に 1 本割り当てる構造とする。

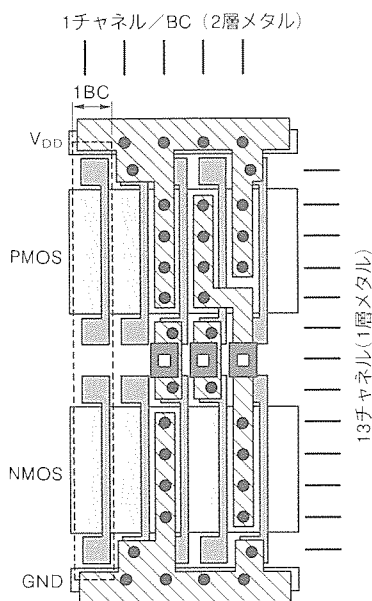


図 1. ベーシックセル(BC)構造
—2 入力 NAND ゲートセル—

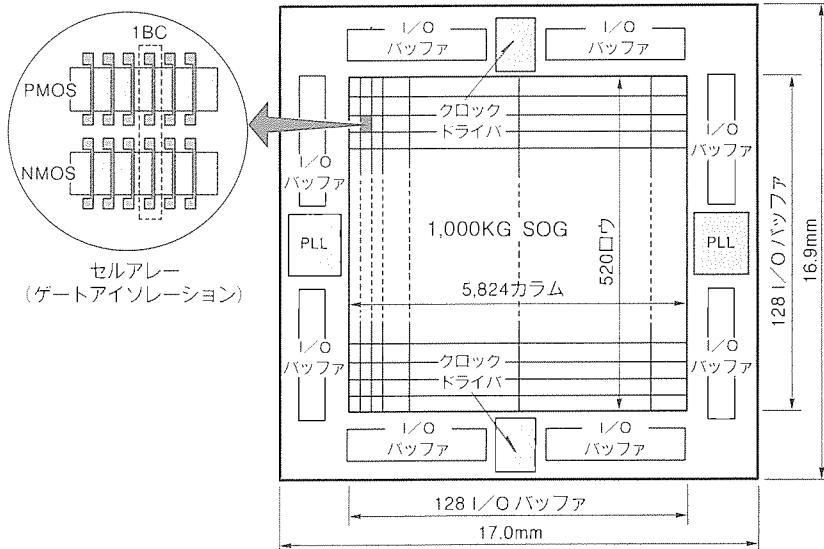


図 2. 1 MG マスタのフロアプラン

ゲートアイソレーション方式及び上記(1)~(3)による効果と配線の微細加工技術により、論理ゲート並びにRAMの密度で1.7倍以上(当社比)の高集積化を達成している。

2.2 マスタ設計

図2に1MGマスタのフロアプランを示す。チップサイズは17.0mm×16.9mmであり、BC数は3.02MBC、I/O数は最大512である。I/Oバッファ領域は80μmピッチで設計され、スルーレート制御回路⁽³⁾や小振幅信号インタフェース回路⁽⁴⁾等の必要な機能はすべてこの領域に盛り込まれている。 $I_{OL}=24\text{mA}$ までのLVCMOSタイプ出力バッファや $I_{OL}=40\text{mA}$ の小振幅信号インタフェースバッファ(Gunning Transceiver Logic: GTL)が1個のI/Oバッファセルで実現できるため、高速/高駆動タイプのI/Oセルを使用してもピン数を損なうことなくTAB(Tape Automated Bonding)による多I/Oピン化が図れる。クロックスキュー管理用のクロックドライバセル群と位相同期回路(Phase-Locked Loop: PLL)セル群は、複数クロック分を周辺領域にI/Oバッファ領域とは分離して配置している。

3. 0.5μmCMOS ゲートアレーの特長

3.1 低スキュークロック管理方式

ASICの大規模化に伴ってラッチ、F/F等の順序回路の数が増加し、10万ゲート以上ではクロックの負荷となる順序回路数は2千個から1万個にも達する。一方、システムの高速化を図るためにはクロックサイクルの短縮化が必要のため、LSI内部だけでなくシステムを構成している各LSI間のクロックスキューを1ns以下に低減するクロック管理技術がゲートアレーにも要求されている。LSI内部のクロックと外部クロックの位相を同期させるために、PLL回路を応用したクロックスキュー管理方式を開発した。図3にその管理方式を示す。

LSI内部では、クロックドライバと内部セル領域内に走るメッシュ状のクロック幹線によって各F/Fにクロック信号を一括分配することにより、内部のスキューを低減する。また、従来クロックドライバの遅延によってLSI外部クロックとの間で生じていた位相差は、PLL回路によってキャンセルされる。その結果1MG CMOSゲートアレーにおいて、内部セル領域上に配置された5,000個のF/Fに伝達されるクロックの位相とLSI外部クロックの位相の差を500ps以内に管理することが可能になった。この方式の概略を図4に示す。RAM/ROM等のブロックを配置しても自動配置配線が可能であり、4相クロックま

で対応できる構造になっている。

3.2 高速低振幅信号入出力インタフェース

マイクロプロセッサの動作周波数が100MHzに達し、CPU周辺を構成しているゲートアレーにもデータ転送の高速化が要求される。従来のTTLインタフェースでは電磁放射雑音やグラウンドバウンスなどが深刻になり、低信号振幅の入出力インタフェースが必要となってくる。このゲートアレーではCMOSでECLに似た信号振幅0.8Vの小振幅インタフェース回路GTLを構成し、100MHz以上の高速データ転送を達成した。

3.3 モジュールジェネレータ生成セル

システムの高機能化・高速化に対応するため、非同期型2ポートRAM(1 write 1 read)及び非同期型3ポートRAM(1 write 2 read)のモジュールジェネレータを開発した。各ポートは独立に動作可能であり、“書き込み専用”“読出し専用”のいずれかに設定することができる。生成されるRAMは最

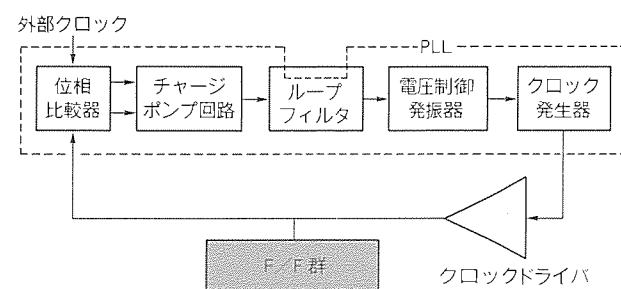


図3. PLL応用クロックスキュー管理方式

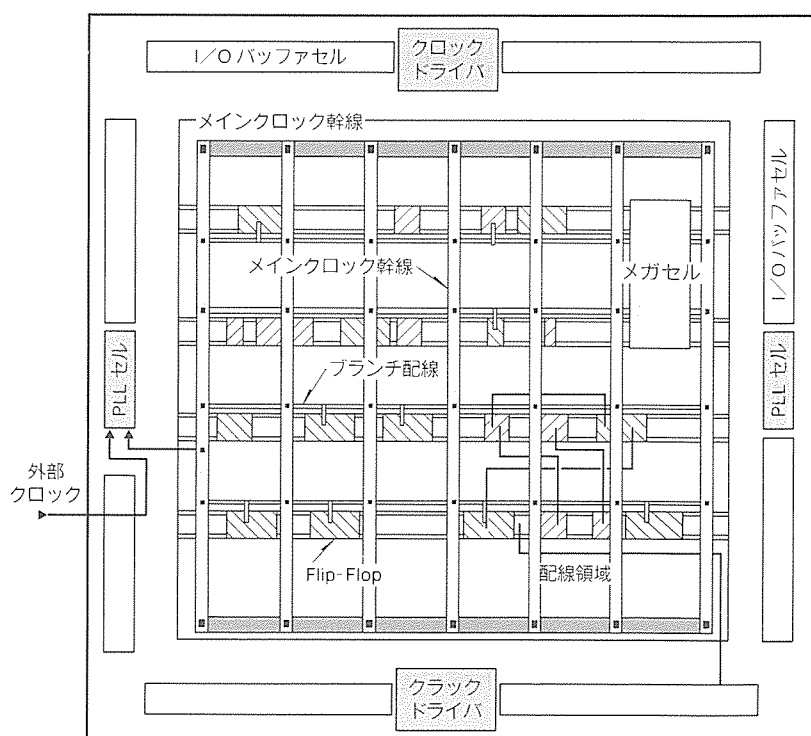


図4. PLL内蔵クロックスキュー管理概略

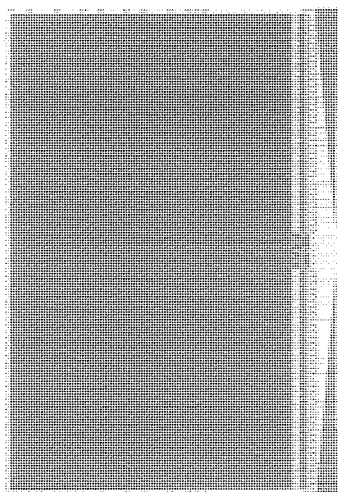


図5．RAM 生成セル
(72ビット×256ワード・2ポートRAM)

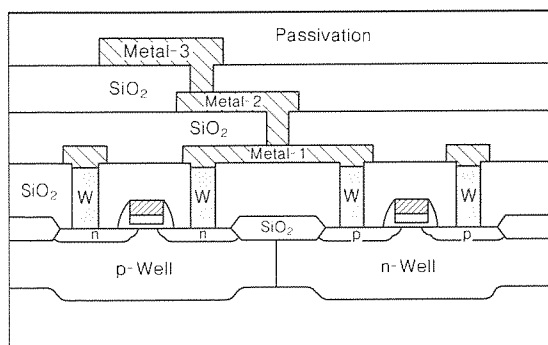


図7．0.5 μm CMOS プロセス断面

大容量18K ビットであり、ビット数は1～72、ワード数は16～2,048の範囲で可変である。1MG マスタチップに搭載する場合、内部セル領域の45%を利用して容量96K ビットの2ポートRAM が実現できる。アクセスタイムは、32ビット×128ワード構成で4.7nsである。図5に、モジュールジェネレータで生成した72ビット×256ワード・2ポートRAM の写真を示す。

3.4 レイアウト設計

ASICの大規模化・高速化に伴い、レイアウト設計期間の増大や論理設計/レイアウト設計間のタイミング見積りの相違は非常に大きな問題となってくる。階層レイアウト及びタイミング駆動型レイアウト手法を提供し、LSI設計期間の短縮並びに回路のタイミング保証に対処できるようにした。図6に論理ゲート約252Kゲート、12ビット×256ワード・2ポートRAMを6個、4ビット×128ワード・2ポートRAMを8個搭載した1MG CMOS ゲートアレーのレイアウトを示す。この手法を用いることにより、従来と比較してレイアウト設計期間を約1/5に短縮することができた。

4. 0.5 μm CMOS プロセス技術

使用したウェーハプロセスは、0.5 μm ルール、1層ゲート

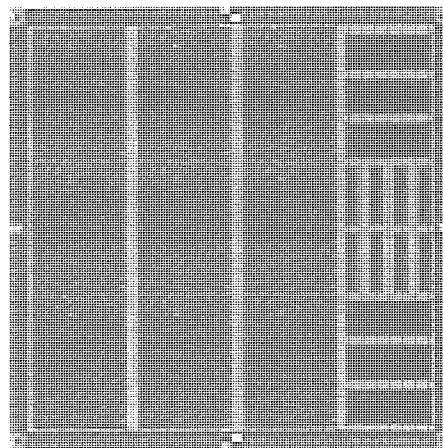


図6．1MGチップレイアウト

表1．1MG CMOS ゲートアレー主要諸元

総敷き詰めゲート数(ゲート)		1,000K
チップサイズ(mm)		17.0×16.9
最大I/O数		512
最大RAM容量(ビット)		128K
遅延時間	内部ゲート	190ps：2NAND(×4)，標準負荷
	RAM	4.7ns：32ビット×128ワード，2ポート
	出力バッファ	2.0ns：I _{OL} =12mA，C _L =15pF
出力電流(mA)		I _{OL} =2，4，8，12，16，24，40
テクノロジー		0.5μmCMOS 3層メタル配線 TAB

ト、3層メタル配線構造のCMOS技術であり、図7に断面を示す。このプロセスの主な特長を以下に述べる。

4.1 レトログレード・ツインウェル構造

CMOS LSIの基板として作用するウェルの深さ方向の不純物分布は、多くの素子特性(しきい値、接合耐圧、パンチスルー耐圧、基板定数等)を決める。したがってウェル内の深さ方向の不純物濃度を独立に制御できれば、それぞれに対応した素子特性をほぼ独立に向上させることが可能になる。この観点から基板内の不純物分布を最適化するために、新たに高エネルギーイオン注入技術を開発した。その結果、素子間の分離間隔が縮まるとともに狭チャネル効果が抑制でき、ウェルと同時に素子分離のチャネルストッパ等を形成することにより、マスク枚数の削減も実現できた。

4.2 トランジスタ

MOS トランジスタのゲート長は、P、N 両チャネルとも0.5 μmである。また、電源電圧の低電圧化に伴い、従来の5V電源系のドレイン構造ではn⁺層の寄生抵抗が無視できなくなったため、高い耐ホットエレクトロン性を維持しつつ最大の駆動能力が得られるようにドレインの不純物分布を最適化した。

4.3 多層配線技術

このゲートアレーでは3層配線を用いており、メタル配線

の信頼性を確保するため従来の AlSi 系の材料から AlCu に変更し、さらに高融点金属系材料との積層構造を採用した。また、新たに開発したタングステンプラグによる埋込み技術を適用することにより、1 層配線下部の層間絶縁膜厚を従来に比べて約 2 倍厚くすることが可能になり、メタル配線の対基板容量が大幅に低減した。

5. 主要特性

表 1 に 1MG CMOS ゲートアレーの主要特性を示す。動作速度は、高駆動能力タイプの 2 入力 NAND ゲートで 85 ps (F. O. = 1), 190 ps (F. O. = 2, 配線長 = 2 mm) と非常に高速である。また、3.3 V 電源による低電圧化とマクロセルの最適化により、低消費電力タイプの 2 入力 NAND ゲートで $0.9 \mu\text{W}/\text{MHz}$ (F. O. = 1) と低消費電力性を達成した。基本マクロセルとして低消費電力/標準/高速/高駆動能力の 4 種類のマクロセルを用意しており、高密度、低消費と高速の最適化設計が可能である。

6. む す び

システムの高性能化及び差別化を達成するために、CMOS ゲートアレーはより一層の高速化・大規模化・低消費電力化が期待されている。本稿では、超高速・高集積・低消費電力化のための $0.5 \mu\text{m}$ CMOS・3 層メタル配線プロセス技術を

採用した世界最大級の 1MG CMOS ゲートアレーの概要を述べた。また、超高速動作の設計をサポートするためのクロックスキュー管理技術やインタフェース技術などについて紹介した。今後も更に高性能化が進む情報処理機器や通信機器分野への応用に対処するため、高速インタフェースや高速 RAM 等のライブラリ拡充による高性能化を図っていく予定である。

参 考 文 献

- (1) 岡辺雅臣, 柿沼守男, 国岡美千子, 村井正弘, 川端啓二 : $0.8 \mu\text{m}$ CMOS ゲートアレー, 三菱電機技報, **65**, No. 2, 156~160 (1991)
- (2) 鈴木正博, 中村博隆, 布上裕之, 小野真司, 瀧口真美, 福永利之 : $1.0 \mu\text{m}$ CMOS ゲートアレー M 60060 シリーズ, 三菱電機技報, **65**, No. 2, 161~166 (1991)
- (3) Tomioka, I., Hyozo, M., Okabe, M., Kishida, S., Arakawa, T., Kuramitsu, Y. : Current Control Buffer for Multi Switching CMOS SOG, Proceedings of 1990 CICC, 11.7.1~11.7.4 (1990)
- (4) Gunning, B., Yuan, L., Nguyen, T., Wong, T. : A CMOS Low-Voltage-Swing Transmission-Line Transceiver, 1992 ISSCC Digest of Technical Papers, WP 3.7, 58~59 (1992)

0.8 μm CMOS エンベデッドセルアレー

岡辺雅臣* 井上善雄*
奥野義弘** 朝比奈克志***
富岡一郎**

1. ま え が き

ASIC (Application Specific IC) は、高度情報化社会の発展を促している電算機・通信機等の高性能化・小型化の進展の原動力として急速に進歩を遂げている。

当社でも 1990 年に世界最高レベルの高速性・高集積性を実現した 0.8 μm CMOS ゲートアレー M 6008X シリーズを製品化し⁽¹⁾、電子機器の高性能化に寄与してきた。その過程で市場から ASIC へ寄せられた要求は 150 K ゲートを優に超える高集積性、50 MHz クロック動作以上の高速性等とますます高度化されてきた。一方、ASIC を用いて電算機などのシステムを実現する場合、早期製品化による他社への差別化が必要な理由等から、やはりゲートアレー並みの短納期を要求する顧客からの声が圧倒的である。当社では、このような市場の要求にこたえるべく、セルベース (CB) の高集積・高速性とゲートアレー (GA) の QTAT (Quick-Turn-Around) という特長を両立可能とする 0.8 μm CMOS エンベデッドセルアレー (ECA) を新たに開発した。さらに、高速クロック管理に必ず (須) の PLL (Phase Locked Loop) 回路や入出力信号の高速伝送に有効な低振幅信号インタフェース GTL (Gunning Transceiver Logic) 回路等を開発し、高速動作システム実現の要求を容易に満たすことを可能とした。

本稿では、この ECA の特長、高速化回路設計、設計システム及び LSI 実現例について紹介する。

2. 0.8 μm CMOS ECA の特長

2.1 特 長

ECA は顧客が概略回路設計を終えた段階で、ランダムロジックのゲート数、RAM、MPY (乗算器) のような機能ブロックの仕様、I/O 数に応じて、専用のマスタチップを設計しマスタチップの製造 (GA のマスタ工程に相当する。) を開始する。図 1 に ECA のマスタチップ基本構造例を示す。RAM、MPY といった高集積性・高速化が必要な回路ブロックは当社 0.8 μm CMOS CB 用に開発したモジュールジェネレータ (MG) によって生成し、トランジスタレベルから埋め込む。また、個々の用途に応じたカスタムセルも埋込み可能である。種々の変更が予測されるランダムロジック部は、メタル配線工程のみで対応できるよう、M 6008X シリーズで世界最高レベルの高集積・高速性能を達成した当社独自のゲートアイソレーション構造⁽²⁾によるベーシックセル (BC) を

敷き詰めた SOG (Sea-of-Gate) 構造を作り込んでおく。一方、顧客はマスタチップの製造と並行して詳細な回路設計を行い、検証が完了した段階でマスタチップ上にメタル配線を形成する (GA のスライス工程に相当)。この手法により、ECA では回路検証後の ES 出荷までの期間を GA 並みに短くできる。このように ECA は CB の高集積性・高速性と GA の短納期という特長を併せもっている。

2.2 ECA 用ライブラリ

(1) マクロセル、I/O バッファライブラリ

BC を敷き詰められた領域を用いて構成されるランダムロジックの設計には、M 6008X シリーズ用の 210 種のマクロセルライブラリを用いることができる。ゲート遅延時間は 215 ps (2 入力 NAND, $\times 4$ セル, FO (Fan Out) = 2, $A_1 = 2$ mm, $V_{DD} = 5$ V) を達成し、高速回路の設計に十分な性能をもっている。マクロセルライブラリには SCAN 機能付きのフリップフロップや JTAG 設計用セルもサポートされており、テスト容易化設計にも対応している。また、周辺の I/O 領域には M 6008X シリーズの 592 種のバッファセルを用いる。

(2) MG 生成機能ブロック

MG で生成される非同同期式高速 SRAM は、設計者の要求に応じて最適ビット、ワード構成 (1~72 ビット, 16 ワード~8K ワード) を生成可能であり、アクセスタイムも 36 ビット \times 2K ワード構成で 6.8 ns (5 V, 標準条件) と極めて高

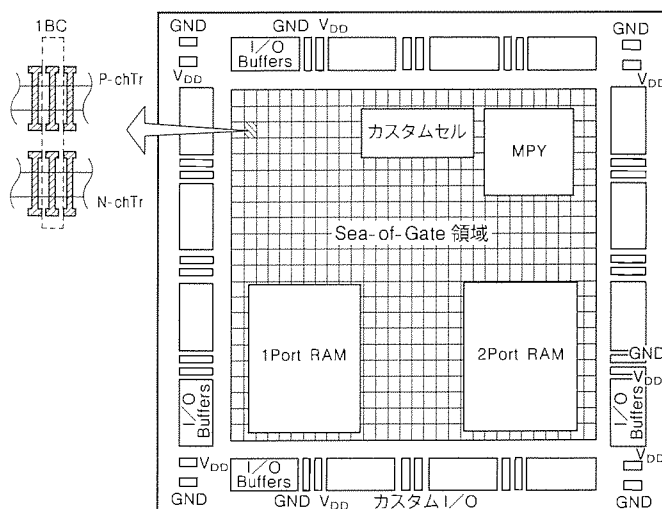


図 1. ECA のマスタチップ基本構造例

表1. モジュールジェネレータによる機能ブロック

	構 成	生 成 範 囲	規 格 例		
			構 成	遅延時間 (Typ)	
				$V_{DD}=5.0V$	$V_{DD}=3.0V$
RAM	同期型	1~72ビット	72K (18ビット×4K ワード)	$t_a(c)=10.5ns$	$t_a(c)=18.9ns$
		16ワード~8K ワード	16K (8ビット×2K ワード)	$t_a(c)=6.0ns$	$t_a(c)=10.8ns$
		合計256ビット~72K ビット	1K (4ビット×256ワード)	$t_a(c)=4.4ns$	$t_a(c)=7.9ns$
ROM	非同期型フィールドマスク又はコンタクトマスクの選択可	4~64ビット	フィールド512K (32ビット×16K ワード)	$t_a(A)=17.3ns$	$t_a(A)=29.4ns$
		64ワード~32K ワード	フィールド64K (16ビット×4K ワード)	$t_a(A)=7.5ns$	$t_a(A)=12.8ns$
		合計11~512K ビット	フィールド1K (4ビット×256ワード)	$t_a(A)=4.3ns$	$t_a(A)=7.3ns$
PLA	同期型	入力数: 2~40	入力40, 出力82, 項数200	$t_{pd}=14.6ns$	$t_{pd}=26.3ns$
		出力数: 1~82	入力20, 出力41, 項数100	$t_{pd}=10.1ns$	$t_{pd}=18.2ns$
		積項数: 1~200	入力 5, 出力10, 項数25	$t_{pd}=6.7ns$	$t_{pd}=12.1ns$
MPY (乗算器)	2の補数方式 Boothのアルゴリズム	X: 8~32ビット	X32ビット, Y32ビット	$t_{pd}=20.0ns$	$t_{pd}=40.0ns$
		Y: 8~32ビット	X24ビット, Y16ビット	$t_{pd}=12.9ns$	$t_{pd}=25.8ns$
			X 8 ビット, Y 8 ビット	$t_{pd}=8.4ns$	$t_{pd}=16.8ns$
高速 SRAM	非同期型	1~72ビット	72K (36ビット×2K ワード)	$t_a(A)=6.8ns$	$t_a(A)=12.2ns$
		16ワード~8K ワード	16K (8ビット×2K ワード)	$t_a(A)=5.4ns$	$t_a(A)=9.7ns$
		合計256ビット~72K ビット	1K (4ビット×256ワード)	$t_a(A)=3.8ns$	$t_a(A)=6.8ns$
マルチポート RAM	非同期型	1W1R, 1W2R,	1W1R, 36ビット, 64ワード	$t_a(A)=8.0ns$	$t_a(A)=14.4ns$
		1RW, 2RW, 1RW1R	1W1R, 12ビット, 16ワード	$t_a(A)=4.2ns$	$t_a(A)=7.6ns$
		1~72ビット, 4ワード~1K ワード	2RW, 16ビット, 1K ワード	$t_a(A)=8.8ns$	$t_a(A)=15.8ns$
		最大36K ビット	1W, 2R, 16ビット, 64ワード	$t_a(A)=4.0ns$	$t_a(A)=7.2ns$
データバス (開発中)	ビットスライス	4~64ビット ALU, ラッチ, マルチプレクサ, デマルチプレクサ加算/減 算器, バレルシフタ等	64ワードデコーダ, レジスタファイル 付き32ビット ビットスライスマイク ロプロセッサ	$t_{pd}=6.0ns^*$ (32ビット加算器)	$t_{pd}=12.0ns^*$ (32ビット加算器)

注 *開発目標値

速な性能が得られている。

その他, ECA にはMG によって生成される表1 に示す機能ブロックが搭載可能である。

(3) ECA 高速化回路ライブラリ

ECA には上記ライブラリのはかに高速化回路としてPLL, GTL を搭載することができる。その特長については3章で述べる。

2.3 製品仕様

表2 に0.8 μ mCMOS 2層/3層メタルプロセスを採用したECA の製品仕様を示す。その特長を以下にまとめる。

- (1) 0.8 μ mCMOS CB M653XXシリーズと同等の高集積・高速MG生成セルライブラリ搭載可能
- (2) 0.8 μ mCMOS GA M6008Xシリーズと同等のLSI 開発期間
- (3) PLL と数種類の低スキュークロック分配回路による高速クロック管理可能
- (4) GTL 回路搭載によって高速データ転送可能

表2. 0.8 μ mCMOS ECA 仕様

プロセス技術		0.8 μ mCMOS メタル2層/3層配線
総敷き詰めゲート数(GA 換算)		50~400K ゲート (11マスタチップ)
チップサイズ		14.46mm×14.56mm (Max)
SOG 領域ベーシックセル		ゲートアイソレーション構造 38.4 μ m×3.2 μ m
遅延時間 (Typ) 5V ライブラリ	内部セル	215ps (2入力 NAND ×4 駆動 FO=2, 配線長=2mm)
	入力バッファ	0.62ns (TTL 入力 FO=2, 配線長=2mm)
	出力バッファ	2.5ns ($I_{OL}=8mA$, $C_L=50pF$)
遅延時間 (Typ) 3V ライブラリ	内部セル	370ps (2入力 NAND ×4 駆動 FO=2, 配線長=2mm)
	入力バッファ	1.1ns (TTL 入力 FO=2, 配線長=2mm)
	出力バッファ	4.3ns ($I_{OL}=8mA$, $C_L=50pF$)
消費電力		4.8 μ W/MHz (2入力 NAND FO=1, at $V_{DD}=5V$), 1.3 μ W/MHz (2入力 NAND FO=1, at $V_{DD}=3V$)
高速化回路		PLL, 差動疑似 ECL レベル信号入力回路, GTL
最大 I/O 数		140~512 (M60080L~M60089H)
出力電流	CMOS	$I_{OL}= I_{OH} =1/2/4/8/16/24mA$
	GTL	$I_{OL}=20/40mA$
パッケージ		120~208QFP, 328~576QTCP, 240~304CQFP (開発中)

- (5) ゲートアイソレーションを用いたBCによるロジック部高集積性 (最大敷き詰め400K ゲート)
- (6) 2入力 NAND ゲート (×4 駆動) 215ps の高速性
- (7) 最大512 I/O を可能とするTCP (Tape Carrier Package) 技術
- (8) 3V ライブラリ使用による低電力化可能

3. ECA 用高速化回路設計

従来の CMOS ゲートアレーでは、最大公約数的なセル設計がなされているので、高度な最適化設計が必要なアナログ的な要素が強い回路で高性能を発揮することは困難であった。この ECA では PLL 回路による内部クロックと外部クロックの同期、差動疑似 ECL レベルによる高速クロック信号入力回路、高速バス駆動用 CMOS 小振幅インタフェース GTL 回路を準備した。PLL、PECL、GTL セルは当社 M 6008X シリーズの I/O バッファ領域のセルを置換することで搭載され、コアエリアの集積度を低下させることはない。

3.1 PLL 回路

デバイスの集積度が向上し、LSI のクロック信号線に接続される負荷の数が増大すると、クロックドライバの伝達遅延が増大し、外部から印加されるクロック信号と LSI 内部のクロック信号の位相差が大きくなる。この問題を解決することは、特に高集積・高速の LSI デバイスでは重要になる。このため、PLL 回路を用いたクロック信号生成回路を開発した。PLL 回路は図 2 に示すように内部に電圧制御発振回路 (VCO) を内蔵しており、LSI 内部のクロック信号と外部から印加されたクロック信号の周波数と位相を一致させる働きをする。これより、LSI 内部のクロック信号の駆動・分配回路の遅延がキャンセルされる。今回の試作例では、PLL 回路を含んだクロック信号回路の性能が、電圧制御発振回路の発振周波数範囲 25~60 MHz、デューティ比 45~55%、ロック時のジッタが ± 150 ps 以下 (50 MHz のとき) となるように設計した。

3.2 差動疑似 ECL レベル信号入力回路

高速のクロックをチップ間で伝送するには、反射雑音の発生を終端された伝送線を駆動できるデバイスで、インピーダンス整合のとれた伝送線路によって伝送する必要がある。市販の半導体デバイスでこの要求を満足するデジタル IC ファミリーとして ECL デバイスがある。通常の ECL デバイスの使用法は負電源系で使用するが、正電源系の CMOS ロジック素子と信号電位を適合させるために、ECL デバイスを正電源系で使用し $V_{ih}=3.3$ V、 $V_{il}=4.1$ V の信号として使用する。この信号を CMOS LSI のクロック信号として印加できるように疑似 ECL レベル信号入力回路を作成した。疑似 ECL レベル信号の信号振幅が 800 mV と小

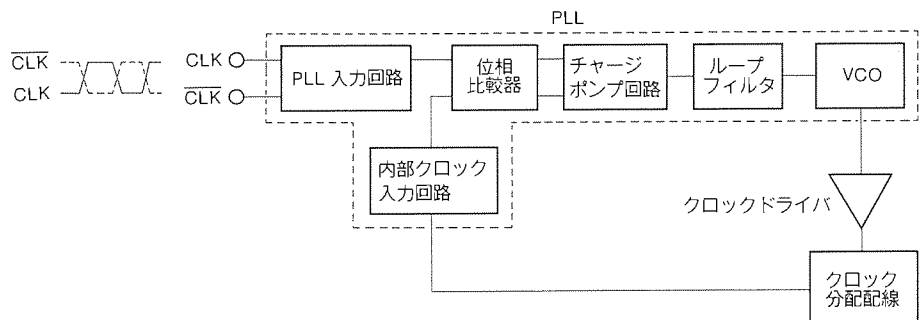


図 2. PLL 構成

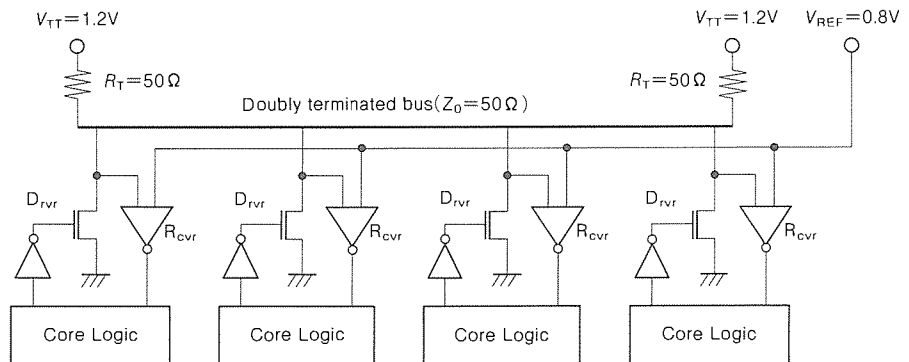


図 3. GTL インタフェース信号伝送構成

表 3. GTL インタフェース DC 規格

DC 項目	Max	Typ	Min	条 件
V_{ih}			$V_{ref} + 0.05V$	*
V_{il}	$V_{ref} - 0.05V$			*
V_{ref}	0.9V	0.8V	0.7V	
V_{oh}		V_t		
V_{ol}	0.4V	0.2V		*, at $I_{ol}=40mA$
I_{oh}	10 μA		-10 μA	$0 < V_0 < 2.0V$

注 * $V_{DD}=5V \pm 5\%$, $0^\circ C < T_j < 100^\circ C$, プロセス条件 (最悪~最良)

いので耐雑音性能と高速動作を実現するために相補信号による差動入力とした。

3.3 GTL インタフェース回路

CMOS デバイスで低振幅信号インタフェースを実現する方法の一つとして JEDEC に提案されている GTL 回路をエンベッドセルとして開発した。GTL インタフェースは表 3 に示すような信号電位でチップ間やバックプレーン間の信号伝送を行うものである。

GTL インタフェースを使用した複数チップ間の信号伝送の構成を図 3 に示す。GTL 出力回路は NMOS オープンドレイン出力回路で構成され、両端を 50 Ω の抵抗で 1.2 V の電源に終端された伝送線を駆動する。GTL インタフェースの信号振幅が小さいのでチップの寄生インダクタンス等

因する出力信号のリングングを抑制する回路が設けられている。GTL 入力回路は外部からの入力信号とともに論理しきい基準電圧を印加されることで動作する。基準電圧の ± 0.2 V の変動に対して入力電圧換算のオフセット電圧を ± 50 mV 以下にできる高い CMRR (Common Mode Rejection Ratio) をもつ増幅回路を備えている。

この GTL インタフェース回路により、50 MHz を超える高速の信号を LSI チップ間で伝送することが可能になる。

4. CAD フロー

先に紹介した ECA を開発するに当たり、以下の点を実現することを目標に CAD システムを新規に開発、構築した。

- (1) スケマチックレスなトップダウン設計
- (2) 静的タイミング解析ツールのサポート
- (3) RC モデルによる詳細なバックアノテーション
- (4) ATPG ツールのサポート
- (5) 高速テスト
- (6) フロントエンドからバックエンドまでの全工程を EWS 上で実現
- (7) ポーティングを容易にし、複数のプラットフォームで稼働

この CAD システムの構成概要は、図 4 のとおりである。図に示すように、システムは当社のコア CAD をベースに市販ツールのデザインキットを組み合わせて構成しており、ユーザーの希望に応じたシステム構成を ME/RISC, SUN, HP/APOLLO の各ワークステーション上に構築可能である。

以下に主な構成内容を説明する。

4.1 トップダウン設計サポート

このシステムでは、トップダウン設計対応として当社北伊丹製作所で開発した CADENCE 社 VERILOG-XL 用デザインキット及び SYNOPSIS 社 Design Compiler デザインキットをベースとして構築している。

このほかユーザーの要求に応じ、MENTOR 社 Quick SIM,

Auto Logic, CADENCE 社 SYNEGY の選択も可能である。

図 5 に示すようにユーザーが記述したビヘイビアレベル (又は RTL レベル) の VERILOG-HDL 記述の機能的妥当性を VERILOG-XL の機能レベルシミュレーションで確認し、妥当であれば Design Compiler を用いてゲート回路への論理合成を行う。

論理合成実行時、パス遅延/タイミング等の制約条件を Design Compiler に与え論理合成を行うが、論理機能/パス遅延等が希望どおりに合成されたかどうかの検証として仮想配線長を用いた Pre-Layout シミュレーションを実行することもできる。

4.2 静的タイミング解析ツールのサポート

一般的に大規模ゲート回路になるとダイナミックなタイミング解析手法では、膨大な解析時間を要しかつすべての可能性を網羅的にチェックすることは不可能である。

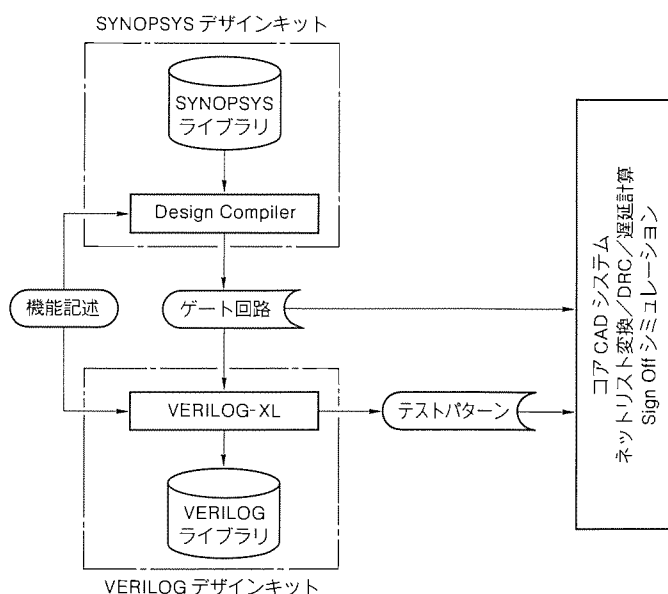


図 5. トップダウン設計サポート

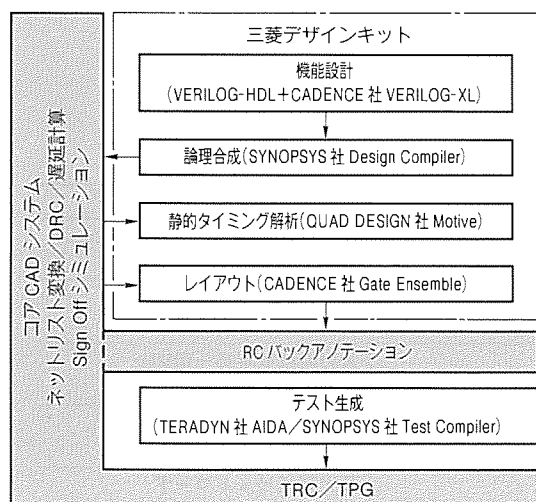


図 4. CAD システム概要

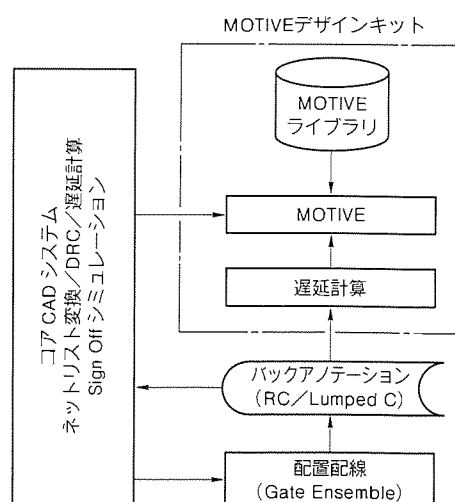


図 6. 静的タイミング解析サポート

このCAD システムでは、静的タイミング解析ツールの採用によってこの問題を解決している(図6)。

静的タイミング解析ツールには、QUAD DESIGN 社のMOTIVE を採用しており、システムレベルからのタイミング解析をサポート可能としている。

4.3 RC モデルの実現

プロセスの微細化により、配置配線結果を従来と同様に配線容量のみをバックアノテーションしたのでは正確なタイミング検証ができなくなっており、信号配線自身に生じる遅延を考慮したRC モデルによるタイミング検証を行う必要が出てきている。

信号配線自身に生じる遅延を計算するためには、配線の抵抗、容量のほかに信号を駆動するゲートの負荷条件に応じた出力インピーダンスが必要であるが、一般的なCAD システムでは、負荷条件によらず固定値を用いている。

このCAD システムでは、従来の共通遅延値情報ファイル(DLF)に定義された遅延パラメータを用いて各ゲートの負荷容量に応じた出力インピーダンスを計算して求めている。

これにより、信号配線遅延をより詳細に考慮可能とした高精度なRC モデルを実現している。

この方法により、今までのCAD システムを用いながら遅延計算プログラムの差し替えのみで配線経路ごとの詳細なタイミング検証が可能となった。

4.4 テスト CAD

テストCAD では、テスト生成に対応するためにATPG ツールとしてTERADYNE 社のAIDA/SYNOPSYS 社のTest Compiler をサポートしており、両ツール共に当社のテストデータフォーマット(TD)の出力が可能である。そのため、直接トランスレータへ各ATPG ツールの生成したテストパターンをインタフェースできる。

また、システムの高速化に伴う高速テストへの対応も行っている(図7)。

高速テストを行う上での問題点は、テスト条件(MIN/MAX)によって期待出力値が異なる場合があることで、テ

スト時にどの期待値でテストを実施するか決定できないことである。

このCAD システムでは、MIN/MAX 両モードでのシミュレーションを実行し、その結果から自動的にテスト時の期待値を生成可能としている。

5. LSI 試作例及び評価結果

5.1 テストチップ試作、評価結果

上記で述べたPLL, GTL 及びRAM 等、各特殊セルの動作検証のために、特性評価用テストチップを0.8 μ m CMOS プロセス技術を用いて試作した。試作したTEG はウェーハプロセスにおいて、最良/標準/最悪の三つの条件を設定した。最悪条件のプロセスを用いて試作したTEG の評価結果を表4に示す。この評価結果から、今回新規回路技術を用いて設計した各特殊セルの高周波領域における安定動作が確認できた。

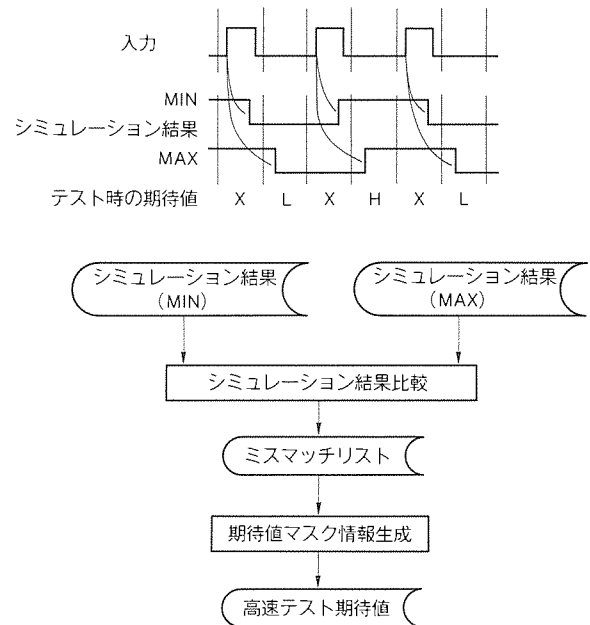


図7. 高速テスト

表4. ECA 用高速化回路評価結果

回 路	評価結果 ($V_{DD}=4.75V$, $T=85^{\circ}C$)	評価条件
GTL 入力セル	遅延時間: $tp_{LH}=1.60ns$, $tp_{HL}=1.32ns$ しきい値: $V_T = V_{ref} + 45mV$	標準負荷 ($FO=2$, 配線長=2mm) $V_{ref}=0.8V$
GTL 出力セル	遅延時間: $tp_{LH}=1.64ns$, $tp_{HL}=1.51ns$ 出力電流: $I_{OL}=52mA$ at $V_{OL}=0.4V$	$R_{TT}=25\Omega$, $V_{TT}=1.2V$
PLL (PECL I/F)	Jitter $\leq 196ps$ (Min-Max) Offset $\leq 100ps$	入力周波数=25~70MHz 入力周波数=50MHz
1P-RAM (2Kビット×31ワード)	アクセスタイム=8.8ns アドレスセットアップタイム=アドレスホールドタイム=0 ns	最大遅延ビットワード 最大遅延ビットワード
2P-RAM (72ビット×64ワード)	アクセスタイム=4.4ns アドレスセットアップタイム=アドレスホールドタイム=0 ns	最大遅延ビットワード 最大遅延ビットワード
クロックドライバ	クロックスキュー: $\leq 600ps$	2,400 F/F loaded, $f=50MHz$

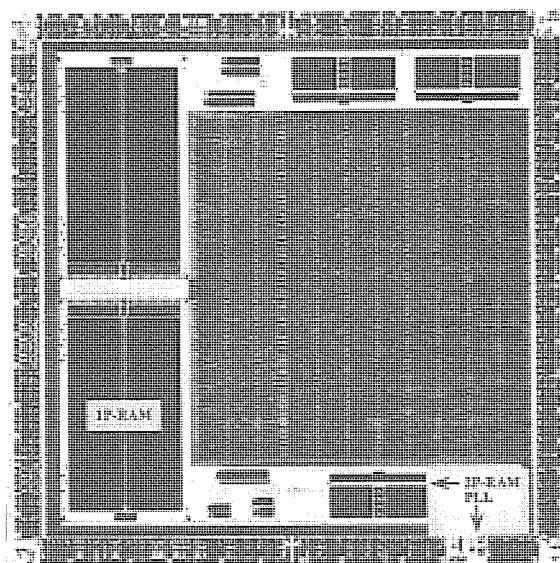


図8. 0.8 μ m CMOS ECA 製作例
(チップサイズ 14.46mm \times 14.56mm)

5.2 LSI 製作例

図8に0.8 μ m CMOS ECA 技術を用いて実現した LSI の例を示す。この ECA のシリーズ最大の14.46 mm \times 14.56 mm のチップサイズの中に40 K ゲートの論理回路とトータル160 K ビットの高速・高集積 CB 用 RAM を集積しており、ゲートアイソレーションの高集積性と相まって等価換算ゲート数200 K ゲート以上の回路を2層メタルプロセスで実現できた。

クロック入力部には PECL 回路, 他のほとんどの I/O は GTL 回路を用いた。ジッタ \pm 150 ps 以下の PLL 及び2,400 F/F に対しスキューを600 ps 以下に抑えるクロック分配回路を搭載し50 MHz 以上の高速動作が可能であることを確認した。

6. む す び

この ECA は PLL, GTL 等の高速化回路及び CB 用ライブラリ等を自由に搭載できるため, 今まで GA では達成できなかった高速性・高集積性を必要とする用途にも適用可能であり, 今後の電子機器の更なる高性能化・小型化に十分貢献できるものと確信している。

最後に, 開発に当たり御指導及び御協力をいただいた関係各位に対し深謝する。

参 考 文 献

- (1) 岡辺雅臣, 柿沼守男, 国岡美千子, 村井正弘, 川端啓二 : 0.8 μ m CMOS ゲートアレー, 三菱電機技報, 65, No. 2, 156~160 (1991)
- (2) Ohkura, I., Noguchi, T., Sakashita, K., Ishida, H., Ichiyama, T. Enomoto, T. : Gate Isolation-A Novel Basic Cell Configuration for CMOS Gate Arrays, Proceedings of Custom Integrated Circuits Conference, 307~310 (1982-5)

画像圧縮 LSI 用高速 DCT コア

高島明彦* 竹田 淳*
浦本紳一* 山下征大*
井上喜嗣*

1. ま え が き

画像データを圧縮する高能率符号化方式の国際標準において、離散コサイン変換 (Discrete Cosine Transform : DCT) を用いた変換符号化方式が採用されている。TV 会議/TV 電話用低レート動画像符号化方式に関する CCITT の標準勧告 H.261⁽¹⁾、JPEG⁽²⁾ が規定したカラー静止画像符号化方式、そして MPEG⁽³⁾ による動画像蓄積メディアに関する符号化方式のそれぞれで、DCT ベースの符号化方式が標準化されている。

また、デジタル TV や HDTV のような高いデータレートの応用分野においても、DCT 方式が採用されつつある。そのため、DCT を高速に演算するコアが、画像圧縮 LSI において重要となる。DCT は後に述べるように、大量の積和演算を必要とするために、LSI において高速化と小面積化の両立が難しい。筆者らは、この問題を解決した高性能 DCT コアを開発した。HDTV のスタジオ規格のベースバンド信号 (輝度信号の画素レートが 74.25 MHz) に対応可能な 100 MHz 動作が可能であり、また面積も 21 mm² と小さく、画像圧縮 LSI や高性能動画像 DSP にコアとして搭載が可能である。本稿では、DCT コアの高性能化を達成するためのアーキテクチャ技術と回路技術について述べる。

2. 二次元 DCT

画像符号化において、画像の空間的冗長度を取り除くために空間的周波数変換がよく用いられる。DCT⁽⁴⁾ はその一つであり、画像信号に対して二次元 DCT は特に有効であるので、多くの標準方式に採用されている。二次元 DCT は次式で示される。

$$X(u, v) = \frac{2}{N} C(u) \cdot C(v) \cdot \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} x(i, j) \cdot \cos \frac{(2i+1)u\pi}{2N} \cos \frac{(2j+1)v\pi}{2N} \dots\dots\dots (1)$$

ここで、 $x(i, j)$ は原信号、 $X(u, v)$ は DCT 係数である。 $u=v=0$ のときは $C(u)=C(v)=2^{1/2}$ で、 $u, v \neq 0$ のときは $C(u)=C(v)=1$ である。また、逆 DCT は次式で示される。

$$x(i, j) = \frac{2}{N} \sum_{u=0}^{N-1} \sum_{v=0}^{N-1} C(u) \cdot C(v) \cdot X(u, v) \cdot \cos \frac{(2i+1)u\pi}{2N} \cdot \cos \frac{(2j+1)v\pi}{2N} \dots\dots\dots (2)$$

ここで、例として 8 点 ($N=8$) の二次元 DCT の演算量を考えると、積和演算を単純に実行した場合、4,096 回の積和演算が必要となる。このように、二次元 DCT 及び逆 DCT は大量の積和演算を必要としている。そのため、この積和演算を高速に実行することが、高速 DCT コアを実現するための重要なポイントとなる。

3. DCT コアのアーキテクチャ

3.1 高速アルゴリズムの採用

図 1 に DCT コアのブロック図を示す。DCT コアは、二つの二次元 DCT 演算部と中間データの転置のための RAM から構成されている。二次元 DCT は、行方向及び列方向の二つの一次元 DCT に分解して行われる。まず、入力データに対して行方向の一次元 DCT を実行し、RAM によってブロックデータを転置した後、列方向の一次元 DCT を実行する。また、行及び列方向の一次元 DCT 処理の最後において、データの丸めが行われる。

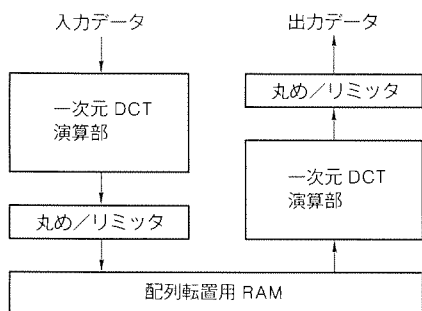


図 1. DCT コアのブロック図

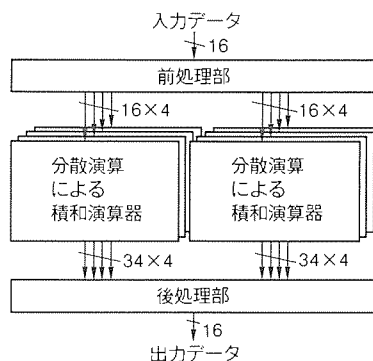


図 2. 一次元 DCT 演算部のブロック図

DCT について、多くの高速アルゴリズムが提案されている。しかし、データ処理の過程に複数回の乗算を含んでいるために、これを有限語長の固定小数点演算器で実行した場合に、演算精度劣化の問題が生じてしまうものが多い。

DCT コアでは、Chen の高速アルゴリズム⁽⁵⁾を採用した。この手法では、一次元 DCT の処理の過程で、データに対する乗算が 1 回ですむために、演算精度劣化の問題がない。Chen の高速アルゴリズムによる 8 点の一次元 DCT は式(3)、(4)で示される。

$$\begin{bmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{bmatrix} = \frac{1}{2} \begin{bmatrix} A & A & A & A \\ B & C & -C & -B \\ A & -A & -A & A \\ C & -B & B & -C \end{bmatrix} \cdot \begin{bmatrix} x_0+x_7 \\ x_1+x_6 \\ x_2+x_5 \\ x_3+x_4 \end{bmatrix} \quad \dots (3)$$

$$\begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix} = \frac{1}{2} \begin{bmatrix} D & E & F & G \\ E & -G & -D & -F \\ F & -D & G & E \\ G & -F & E & -D \end{bmatrix} \cdot \begin{bmatrix} x_0-x_7 \\ x_1-x_6 \\ x_2-x_5 \\ x_3-x_4 \end{bmatrix} \quad \dots (4)$$

$$A = \cos \frac{\pi}{4}, B = \cos \frac{\pi}{8}, C = \sin \frac{\pi}{8}, D = \cos \frac{\pi}{16},$$

$$E = \cos \frac{3\pi}{16}, F = \sin \frac{3\pi}{16}, G = \sin \frac{\pi}{16}$$

ここで $x(i, j)$ は原信号, $X(u, v)$ は DCT 係数である。また、8 点の一次元逆 DCT は式(5)、(6)のようになる。

$$\begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \end{bmatrix} = \frac{1}{2} \begin{bmatrix} A & B & A & C \\ A & C & -A & -B \\ A & -C & -A & B \\ A & -B & A & -C \end{bmatrix} \cdot \begin{bmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{bmatrix} + \frac{1}{2} \begin{bmatrix} D & E & F & G \\ E & -G & -D & -F \\ F & -D & G & E \\ G & -F & E & -D \end{bmatrix} \cdot \begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix} \quad \dots (5)$$

$$\begin{bmatrix} x_7 \\ x_6 \\ x_5 \\ x_4 \end{bmatrix} = \frac{1}{2} \begin{bmatrix} A & B & A & C \\ A & C & -A & -B \\ A & -C & -A & B \\ A & -B & A & -C \end{bmatrix} \cdot \begin{bmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{bmatrix} - \frac{1}{2} \begin{bmatrix} D & E & F & G \\ E & -G & -D & -F \\ F & -D & G & E \\ G & -F & E & -D \end{bmatrix} \cdot \begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix} \quad \dots (6)$$

式(3)~(6)から分かるように、Chen の高速アルゴリズムによれば、積和演算の前後で加減算を行うだけで、1 画素当たりの乗算回数を半分に減らすことができる。

図 2 に一次元 DCT 演算部のブロック図を示す。前処理部、積和演算部、そして後処理部によって構成されており、前処

理部と後処理部において加減算を実行している。前処理部は DCT 演算のときに、後処理部は逆 DCT 演算のときに、それぞれ用いられる。

3.2 分散演算による積和演算

積和演算には分散演算 (Distributed Arithmetic)⁽⁶⁾を用いた。分散演算は、積算係数が固定されている積和演算に対して非常に有効な手法である。これによると並列乗算器を用いずに積和演算を実行できるので、ハードウェア(H/W)を大幅に削減できる。さらに、乗算器を用いずに、ROM と加算器によって演算を行うため、加算器において最悪遅延経路が形成されるので、高速化も可能である。

ここで、分散演算の原理について説明するために、次のような一般的な積和演算について考える。

$$y = \sum_{k=1}^K a_k \cdot x_k \quad \dots (7)$$

ここで、 K は積和の項数、 a_k , x_k はそれぞれ k 項目の係数、入力データである。入力データ x_k は N ビットの 2 の補数表現を用いて表すと次式のようにになる。

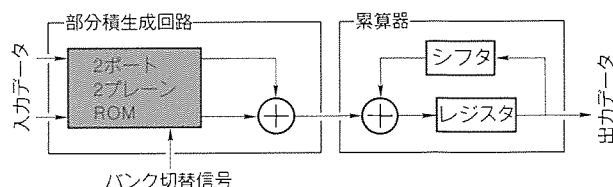
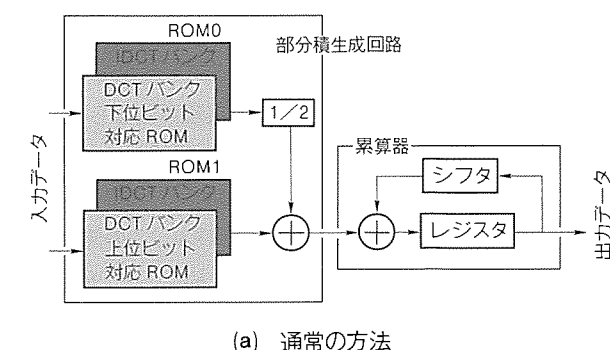


図 3. 分散演算による積和演算器の構成

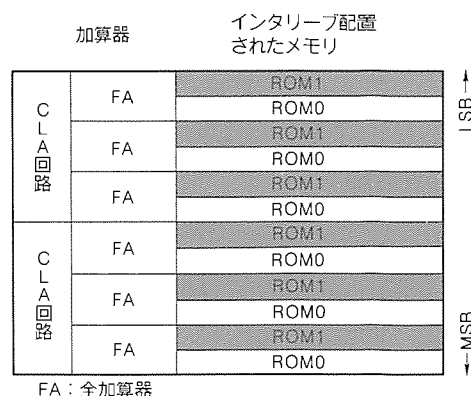


図 4. インタリーブ配置したメモリによる積和演算回路

$$x_k = -b_{k,0} + \sum_{n=1}^{N-1} b_{k,n} \cdot 2^{-n} \dots\dots\dots (8)$$

ここで、 $b_{k,n}$ は 0 又は 1 であり、 2^{-n} は各ビットの重みを表す因子である。式(8)を用いて(7)を書き直すと次式のようになる。

$$y = \sum_{k=1}^K a_k \cdot (-b_{k,0} + \sum_{n=1}^{N-1} b_{k,n} \cdot 2^{-n}) \dots\dots\dots (9)$$

これを変形して次式を得る。

$$y = \sum_{n=1}^{N-1} \left(\sum_{k=1}^K a_k \cdot b_{k,n} \right) \cdot 2^{-n} + \sum_{k=1}^K a_k \cdot (-b_{k,0}) \dots\dots\dots (10)$$

ここで関数 f を次式で定義する。

$$f(b_{1,n}, b_{2,n}, \dots, b_{K,n}) = \sum_{k=1}^K a_k \cdot b_{k,n} \dots\dots\dots (11)$$

関数 f は、1 ビットの入力データに対する式(8)と同じ積和演算を表すものである。式(11)を式(10)に代入すると式(12)のようになり、これは式(8)に示した積和演算と等価なものである。

$$y = \sum_{n=1}^{N-1} 2^{-n} \cdot f(b_{1,n}, b_{2,n}, \dots, b_{K,n}) + \{-f(b_{1,0}, b_{2,0}, \dots, b_{K,0})\} \dots\dots\dots (12)$$

もし、関数 f が並列乗算器なしに実現可能ならば、式(12)で表される演算は加算器とシフタによる累算器で実行できる。係数 a_k が定数であるので、関数 f は $b_{k,n}$ の値に応じて 2^k 通りの値をとる。この値を部分積と呼ぶ。この部分積をあらかじめ計算しておき、 $(b_{0,j}, b_{1,j}, b_{2,j}, \dots, b_{K-1,j})$ がアドレスとして入力されると関数 f の値を出力するように、ROM にデータを格納すれば、並列乗算器を用いずに関数 f が実現できる。したがって、式(12)に示した演算は ROM と累算器によって実現できる。

4. 回路設計

4.1 インタリーブ配置した ROM による分散演算

分散演算による積和演算では、式(12)に示したように、あ

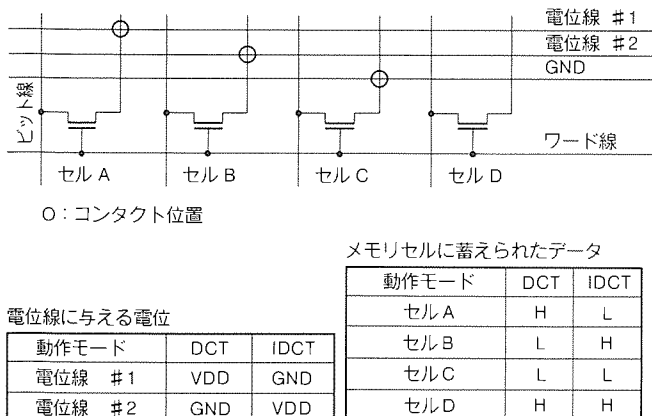


図 5. 2 プレーン ROM 回路

らかじめ計算した部分積を ROM に格納しておき、この部分積を、最下位ビットから最上位ビットまでビット順に読み出して累算する。よって、処理に要するサイクル数は入力データの語長に依存する。DCT コアでは、入力画素データに対する実時間処理を可能とするために、1 サイクルで 2 ビットのデータを処理するように回路を構成した。この手法は、式(12)を変形して得られる次式で表される。

$$y = \sum_{m=1}^{N/2} 2^{-(2m-1)} \cdot f(b_{1,2m-1}, b_{2,2m-1}, \dots, b_{K,2m-1}) + \sum_{m=1}^{N/2-1} 2^{-2m} \cdot f(b_{1,2m}, b_{2,2m}, \dots, b_{K,2m}) + f(b_{1,0}, b_{2,0}, \dots, b_{K,0}) \dots\dots\dots (13)$$

式(13)における二つの累算を同時に実行することにより、処理速度が 2 倍となる。図 3 (a) は、DCT と逆 DCT を式(13)で表される分散演算を用いて実現した場合の、通常の回路構成を表す。まず、上位側ビットと下位側ビットに対する部分積を同時に二つの ROM から読み出し、これらの和をとる。この和を入力データの最下位ビットから順番に累算することにより、積和演算が実行される。また、DCT と逆 DCT の演算は、ROM のバンクを切り替えて、それぞれ実行される。

図 3 (a) に示した回路を LSI で効率良く実現するため、図

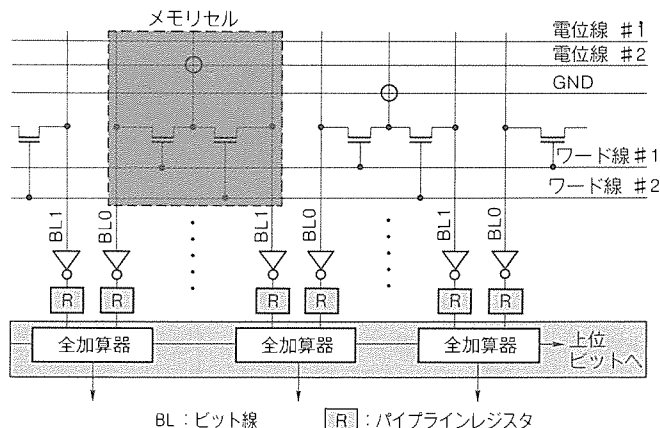


図 6. 2 ポート/2 プレーン ROM を用いた積和演算回路

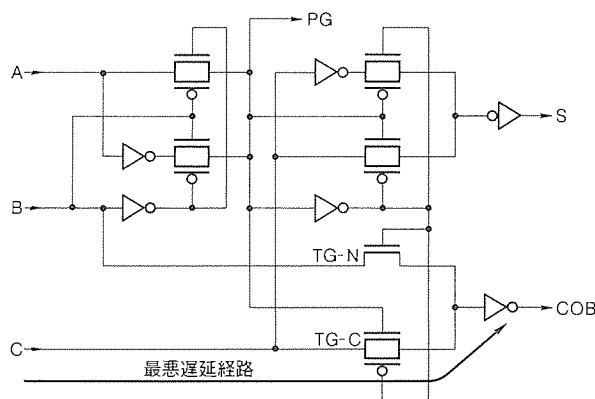


図 7. DCT コアにおける加算器

4に示すレイアウト手法をとった。図3(a)における二つのROMを、ビット列ごとに交互(インタリーブ)に配置し、その直下に二つの部分積の和をとる加算器を配置した。この手法により、ROMと加算器の間の配線が短くなって配線領域が縮小され、また配線容量の低減によって高速化もなされた。

4.2 2ポート/2プレーンROM

DCTと逆DCTの二つの演算を同一のH/Wで実行可能とするためには、それぞれに対する部分積を記憶したROMが必要である。このため、図3(a)に示すように、積和演算器中のROMにはDCTと逆DCTに対する二つのバンクが必要となる。しかし、DCTと逆DCTが同時に行われることはなく、二つのバンクが同時に使われることはない。そこで、シリコン面積を有効に活用するために、2プレーンROMを開発し、小面積化を行った。

図5に2プレーンROMの回路を示す。2プレーンROMのメモリセルは、メモリセルトランジスタのソースと電位線との接続関係をコンタクトによってプログラムする。そして電位線を外部から制御することにより、出力データを制御する。メモリセルには図5に示すように四つのタイプがあり、コンタクトのとり方がそれぞれ異なっている。電位線#1と#2の電位を切り替えることによって、一つのトランジスタで二つの情報を読み出せる。DCT演算と逆DCT演算のどちらを行うかの選択に従って、この電位線の切替えを行えば、一つのROMによって両方の演算が実行できる。

DCT及び逆DCTの演算時における電位線の制御法、及びそのときの各メモリセルの出力電位は図5に示すとおりで

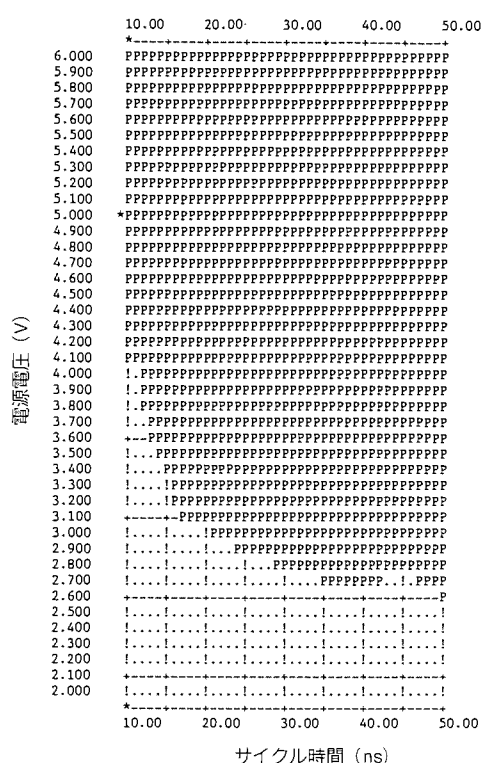


図8. DCTコア動作速度評価結果

ある。この2プレーン/2ポートROMを用いることで、DCTコアでは約10kトランジスタが削減された。

DCTコアでは入力データの2ビットを同時に処理しており、図3(a)に示すように上位側ビットと下位側ビットに対する二つのROMが必要となっている。しかし、この二つのROMに記憶されるデータは同じものであるため、代わりに2ポートのROMを用いることが有効である。図6に示すように、2ポートメモリは一つのメモリセルから二つのビット線で同時にデータを読み出すことが可能である。これら二つのビット線を、入力データの上位側ビットと下位側ビットに対する部分積の読出しに用いる。そして、図6に示すようにメモリセルと全加算器を配置することによって、メモリのインタリーブ配置が実現される。図3(b)に2ポート/2プレーンROMを用いた場合の積和演算器の回路構成を示す。

メモリをインタリーブ配置した積和演算器の構成と、2ポート/2プレーンROMの開発によって、積和演算を小規模H/Wで高速に実現することが可能となった。

4.3 加算器の高速化

DCTコアにおける最悪遅延経路は18ビット累算器である。18ビット累算器には、比較的少ない素子数の増加で高速化が可能であるCLA(Carry Look Ahead)加算器を用いた。CLA加算器は、その最悪遅延経路においてノードの寄生容量が少なくなるような回路構成とした。図7にDCTコアに用いた全加算器の回路を示す。図に示すように、最悪遅延経路に対して余分な負荷容量となるTG-NをCMOSではなくNチャネルトランジスタで構成している。この最悪遅延経路の回路構成に加えて、トランジスタサイズの最適化によって加算器を更に高速化した。これにより、コアの100MHz動作が可能となった。図8にDCTコアの動作速度評価結果を

表1. 逆DCT演算精度評価結果

評価項目*	CCITT規定値	精度評価結果
最大誤差	1	1
二乗平均誤差(最大値)	0.06	0.0080
二乗平均誤差(ブロック内平均)	0.02	0.0056
平均誤差(最大値)	0.015	0.0018
平均誤差(ブロック内平均)	0.0015	0.000064

注 * CCITT 勧告(H. 261)に定められた逆DCT演算精度の評価方法に従い、-256～+255の入力1万ブロックに対する評価結果。

表2. DCTコア諸元

機能	二次元DCT/IDCT
ブロックサイズ	8×8固定
データ形式	9 bit signed(画素データ) 12 bit signed(DCT係数)
最大動作速度	100MHz
トランジスタ数	102kTr
コア面積	6.4mm×3.3mm
テクノロジー	0.8μm 2層メタルCMOS

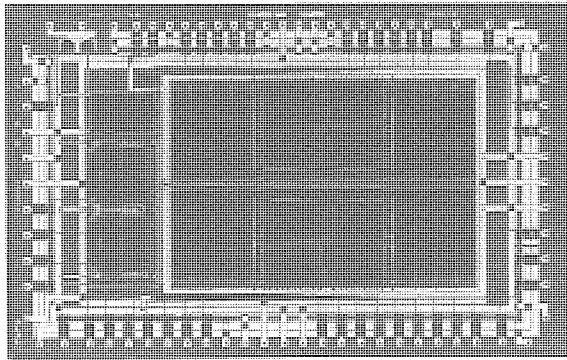


図9. DCT コアのチップ写真

示す。

5. 演算精度

表1にDCT コアの演算精度評価結果を示す。評価方法はCCITT 勧告 (H.261) に規定された逆 DCT 演算精度の評価方法に従っている。表に示すとおり、すべての評価項目において規定値を十分に満足する結果が得られている。

6. む す び

高速アルゴリズムと分散演算を用いた積和演算アーキテクチャと、それをシリコン上に効率的に実現する回路/レイアウト技術により、高速かつ小面積である DCT コアを開発した。表2にこの DCT コアの諸元、図9にチップ写真を示す。

各種画像圧縮 LSI を短期間で開発するためには、“圧縮専用マクロセル” ベースの設計アプローチが有効である。これは、各種圧縮アルゴリズムに共通の処理が含まれることに由来する。図10にこのセルベース設計の概念を示す。DCT コアは、このライブラリの核となるものである。この DCT コアを含めた専用ライブラリの構築により、高速かつ高集積な画像圧縮 LSI の早期開発が可能である。

参 考 文 献

(1) CCITT SG XV Working Party XV / 1 : Video Codec for Audio Visual Services at p * 64 kb / s, Recommendation H.261 (1990)

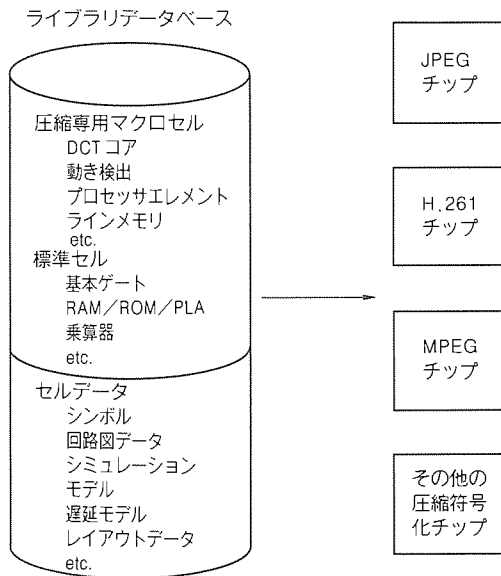


図10. 画像圧縮専用マクロセルベース設計アプローチ

- (2) ISO-IEC / JTSC 1 / SC 2 / WG 10 JPEG : Digital Compression and Coding of Continuous - Tone Still Images, CD 10918-1 (1991)
- (3) ISO / MPEG : Coding of Moving Pictures and Associated Audio, Committee Draft of Standard (1990)
- (4) Ahmed, N., Natarajan, T., Rao, K.R. : Discrete Cosine Transform, IEEE Trans. Comput., C-23, No. 1, 90 ~ 93 (1974)
- (5) Chen, W. H., Smith, C. H., Fralick, S. C. : A Fast Computational Algorithm for Discrete Cosine Transform, IEEE Trans. Commun., COM-25, No. 9, 1004 ~ 1009 (1977)
- (6) Peled, A., Liu, B. : A New Hardware Realization of Digital Filters, IEEE Trans. Acoust., Speech, Signal Processing, ASSP-22, No. 12, 456 ~ 462 (1974)
- (7) Uramoto, S., Inoue, Y., Takabatake, A., Takeda, J., Yamashita, Y., Terane, H., Yoshimoto, M. : A 100 MHz Discrete Cosine Transform Core Processor, IEEE J. Solid-State Circuits, 27, No. 4 (1992)

セルベース設計用データパスジェネレータ

辻橋良樹* 西巻秀克*
松本 尚* 中尾博臣*
宮西篤史* 北田 修*

1. ま え が き

近年、VLSI 設計技術の進歩に伴って、ASIC (Application Specific IC) 手法によるシステムオンチップが普及してきている。システム設計者が設計を行うセミカスタム IC の設計方式は、ゲートアレーとセルベースに大別される。共に、あらかじめ準備されたライブラリ中のセルを用いてチップを構築する方式であるが、特にセルベース方式は最適に回路・レイアウト設計されたライブラリセルを使用できるため、ゲートアレーでは実現が難しい高性能・高機能な LSI に適した設計方式である。一方、ASIC の中でも従来フルカスタム手法に近い設計を行っていた分野では、規模と品種数の増加傾向に伴って設計負荷が増大しており、設計効率改善が重要な課題となっている。そこで、品種特有の専用セルと共通のライブラリセルを用いる形態でセルベース設計方式が採用されてきている。

したがって、どのようにして高性能・高機能なライブラリを豊富に提供するかが、セルベース事業の展開を図る上で重要である。一般の LSI を構成する回路を、制御部・メモリ部・演算処理部の 3 ブロックに分類し、ライブラリの現状と問題点を以下に述べる。

制御部に多く見られる、いわゆるランダムロジック回路に対しては、論理ゲートやフリップフロップ等の標準セルライブラリが適用可能である。また、メモリ部は規則的内部構造をもっているため、“アレー型”のモジュールジェネレータが有効である。これは、RAM でいえばビット幅やワード数等の簡単なパラメータを入力するだけで、所望の構成のモジュールセルを自動生成するシステムである。当社では、既に 1.0 μm 並びに 0.8 μm CMOS プロセス技術に対応したセルベース用 RAM・ROM⁽¹⁾ ジェネレータを実用化しており、多数の LSI に適用して⁽²⁾⁽³⁾、実績を挙げている。なお、メモリではないが、規則的内部構造をもつ大規模モジュールセルである PLA・乗算器に関しても、これらを生成するモジュールジェネレータを実用化している⁽¹⁾。しかし、LSI の演算処理部であるデータパスブロックは、ある程度以上の性能が要求される場合、専用セルとして人手設計せざるを得ない部分であり、設計期間短縮の妨げとなってきた。

高性能な信号処理プロセッサ等では、データパスがチップの性能を決めており、面積も大きい。データパスは ALU・レジスタ・シフタ等の機能ブロックで構成されるが、複数ビ

ット幅のデータに対して各ビットともほぼ同一の処理を行うため、機能ブロック間の配線は、ほとんどが同一ビット内で閉じている。このため、手設計によるレイアウトは各機能ブロックが一次元に並べられ、同一ビットのセル高が等しいビットスライス構造をしている。そこで、このレイアウト上の特長を考慮したジェネレータを開発することにより、集積度・性能ともに手設計のものに劣らないデータパスの自動生成が可能であると考えた。これにより、LSI 設計者が開発するセルベース ASIC の設計効率改善に貢献できると同時に、システム設計者が標準セルライブラリを用いて設計していたセミカスタム IC の高性能化と高集積化も図れる。本稿では、今回開発したデータパスジェネレータの特長と適用例を中心に述べる。

2. 開発の基本方針

データパスジェネレータは、LSI 設計者が開発する高性能なプロセッサ LSI や信号処理 LSI、特に開発期間の短いセルベース ASIC の設計効率向上、並びにシステム設計者が設計するセルベース手法によるセミカスタム IC の高性能化と高集積化を開発の目的としている。このため、開発の基本方針を以下のように定めた。

(1) 高機能性

ALU やシフタ等データパスの構成要素 (機能ブロック) をパラメータ可変な専用ライブラリとして用意する。データパスに必要なとされる典型的な機能ブロックはあらかじめ整備するが、さらなる機能面の拡充を図ることができるように新た

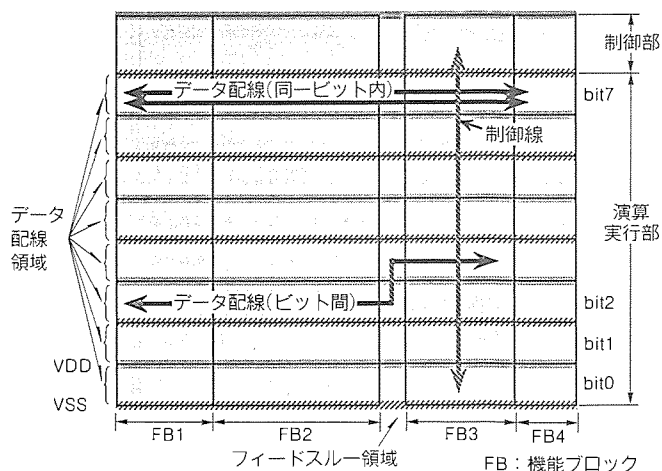


図1. 生成データパスのレイアウト構造

な機能ブロックの追加が可能なシステム構成にする。

(2) 自由度の高い設計環境

様々な仕様のデータパス設計を可能とするために、ユーザー（データパスの設計者）の入力は、機能ブロックライブラリを用いたブロック図とする。そして、どの機能ブロックを何個使い、どのように相互接続するかに関する制約は設けない。また、ユーザーが入力したデータパスを検証するために、各機能ブロックのシミュレーションモデルを生成する。

(3) 高集積と高性能

概念的には、必要な機能ブロックを生成し、それらを配置配線してデータパス全体のレイアウトを生成する。高集積を実現させるため、新規セル構造を各機能ブロックの構成セル（リーフセル）に適用し、配線専用領域を使わずにセル上配線を行う。また、タイル方式のモジュール生成手法⁽⁴⁾によって各機能ブロックを生成することにより、人手設計に近い高性能化を図る。

3. データパスジェネレータの特長

3.1 レイアウト構造

生成データパスのレイアウト構造の特長は以下のとおりで

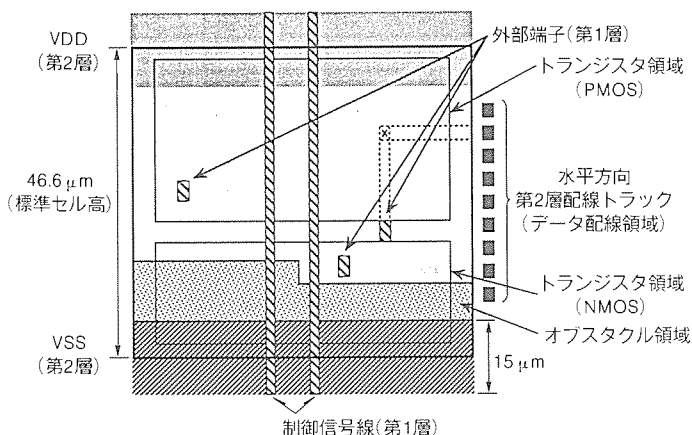


図2. 新規セル構造の概略

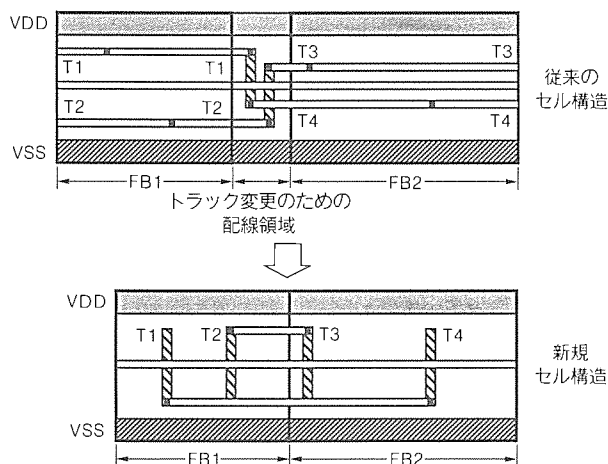


図3. 従来のセル構造との比較

ある（図1参照）。

(1) 機能ブロックは水平方向に配列され、互いに隣接配置されている。ただし、異なるビット間の配線を行う場合には、機能ブロックと機能ブロックの間にフィードスルー領域が存在する。

(2) 各機能ブロックは（アドレスデコーダやフラグ生成回路といった）制御部と演算実行部から成る。

(3) 演算実行部はビットスライス構造をもっている。ビットごとに一对の電源供給線（VDD, VSS）が第2層アルミで水平に走り、隣り合うビットは一方の電源供給線を共有する。

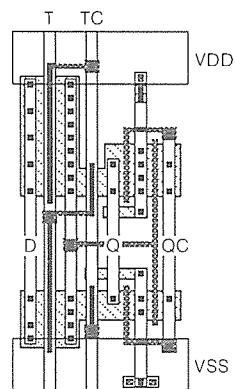
(4) 機能ブロック内の制御信号線は第1層アルミで垂直に走り、同一ビット内の機能ブロック間配線（データ配線）は第2層アルミで水平に走る。また、ビットをまた（跨）ぐデータ配線はフィードスルー領域上を第1層アルミで垂直に走る。

3.2 新規セル構造

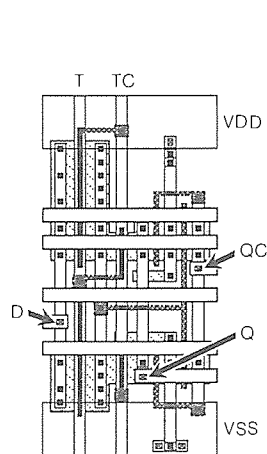
このデータパスジェネレータで採用した新規セル構造の概略を図2に示す。この構造に従って各機能ブロックを設計した。

一对の電源供給線に挟まれたトランジスタ配置領域上に、データ配線領域が存在する。機能ブロックの内部配線は、原則としてポリシリコンと第1層アルミで接続されており、外

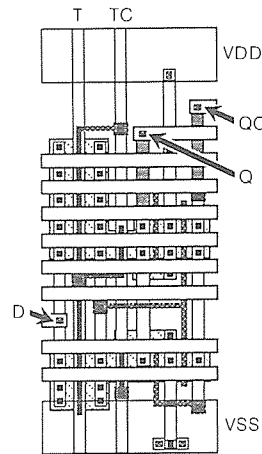
部端子（機能ブロック間を接続するための端子）は第1層アルミでレイアウトされている。内部配線に第2層アルミを使用した領域は、オブスタクル（データ配線禁止）領域として扱う。外部端子の上（又は下）端から、接続すべきデータ配線トラックまで第1層アルミで垂直に配線が施され、配線トラックの交点にバイアホールが配置される。このように、端子は任



(a) 配線前



(b) 配線数7



(c) 配線数11

図4. レジスタ1ビット分のレイアウト

表 1. 機能ブロックライブラリ諸元

	主 な 特 長	性 能			
		構 成	遅延値(ns)	幅(μm)*	集積度**
加算器	速度選択オプション ・キャリールックahead (CLA) 1 階層 / 2 階層 ・キャリーセレクトアダー (CSL)	64ビット 2 階層 CLA+CSL	$t_{pd}=6.5$	185	7.21
		32ビット 1 階層 CLA	$t_{pd}=6.8$	119	8.56
ALU	16通りの算術/論理演算 速度選択オプション ・キャリールックahead (CLA) 1 階層 / 2 階層	64ビット 2 階層 CLA	$t_{pd}=9.5$	204	7.64
		32ビット 1 階層 CLA	$t_{pd}=8.1$	147	8.36
バレルシフタ	シフト動作 : 右方向/左方向/ローテート 算術シフト/論理シフト 最大シフト幅: 0~ビット幅-1	64ビット, 最大シフト幅63ビット	$t_{pd}=5.3$	599	5.64
		32ビット, 最大シフト幅31ビット	$t_{pd}=3.8$	446	5.96
1 ビットシフタ	シフト動作 : 右方向/左方向/ローテート/キャ リー付きローテート 算術シフト/論理シフト	64ビット	$t_{pd}=2.3$	83	3.98
レジスタファイル	非同期動作 ポート構成: 3ポート (2R1W), 2ポート (1R1W) ワード数 : 4~64	64ビット×64ワード 2R1W	$t_a(A)=6.2$	1,192	10.60
		32ビット×32ワード 2R1W	$t_a(A)=4.7$	560	10.18
レジスタ	リセット/セットの有無選択可	64ビット, リセット/セットなし	$t_{pd}=1.0$	27	7.75
ゼロディテクタ	クロック同期動作	64ビット	$t_{pd}=1.8$	24	3.94
マルチプレクサ	入力数: 2~8	64ビット, 8入力	$t_{pd}=1.2$	66	4.45

注 * 機能ブロック高さ: $46.6\mu\text{m}$ /ビット ** 単位: kTr/mm^2

意の配線トラックと接続可能であり、機能ブロック同士の同一ビット内の端子間は直線 (1トラックのみを使用して) で配線できる。従来セル上配線に使用されていたセル構造では、端子が接続されるトラックや、配線が通過可能なトラックが固定 (又は限定) されていたため、途中で配線トラックを変えるための余分な配線領域を必要としていた (図 3 参照) が、今回のセル構造を採用することにより、この領域を削減することができた。

標準 (最低) のセル高 $46.6\mu\text{m}$ 内に最高 9 本までデータ配線トラックを取ることができる。使用する機能ブロックの数が増えて配線トラックが不足した場合は、電源線 (VDD) と PMOS トランジスタ領域の間を広げて追加の配線トラックを挿入する (これをセルのストレッチという)。図 4 に、新規セル構造の一例として、レジスタの 1 ビット分のレイアウトを示す。このセルには 3 個の端子 (D, Q, QC) が存在する。図 4(a) はデータ配線前、(b) はデータ配線 7 本を使用してセルのストレッチがない場合、(c) はデータ配線 11 本を使用してセルのストレッチがある場合を各々示している。(b) や (c) に示されているように、どの端子も任意の配線トラックと接続可能である。また、(c) では配線トラックが 2 本挿入されて、内部制御信号線 (T, TC) と、PMOS トランジスタと VDD をつなく配線が伸びている様子が分かる。

3.3 機能ブロックライブラリ

表 1 にこのデータバスジェネレータが提供する主な機能ブロックの諸元を示す。プロセス技術は、標準の $0.8\mu\text{m}$ 2 層アルミ 1 層ポリシリコンを使用しており、すべての機能ブロックはデータビット幅 64 まで対応できるよう設計されている。また、データ出力にはトライステートオプションがあり、駆動能力は 3 種類切替え可能である。このほかに、機能プロ

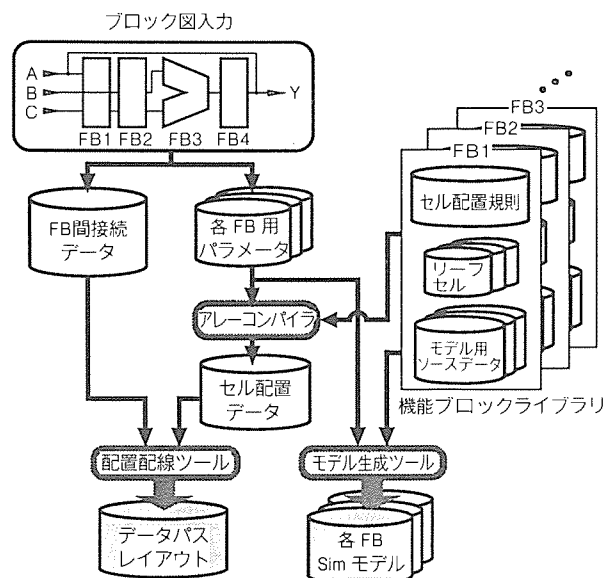


図 5. システム構成

ックごとに機能指定用パラメータがある。例えば、加算器や ALU には速度選択オプションがあり、ユーザーは自分のデータバスに最適な回路を使用することができる。

表 1 には、機能ブロックの性能も併せて載せている。例えば、64 ビット加算器 (高速型) の遅延時間 (標準プロセス条件・電源電圧 5V ・常温) は 6.5ns 、集積度は $7.21\text{kTr}/\text{mm}^2$ であり、速度・集積度ともに手設計のものと同レベルにある。

3.4 システム構成

図 5 にデータバスジェネレータのシステム構成を示す。ユーザーは機能ブロックライブラリを用いてデータバスのブロック図を入力する。論理検証用に機能ブロックごとにシミュレーションモデルが生成される一方、各機能ブロックのレイ

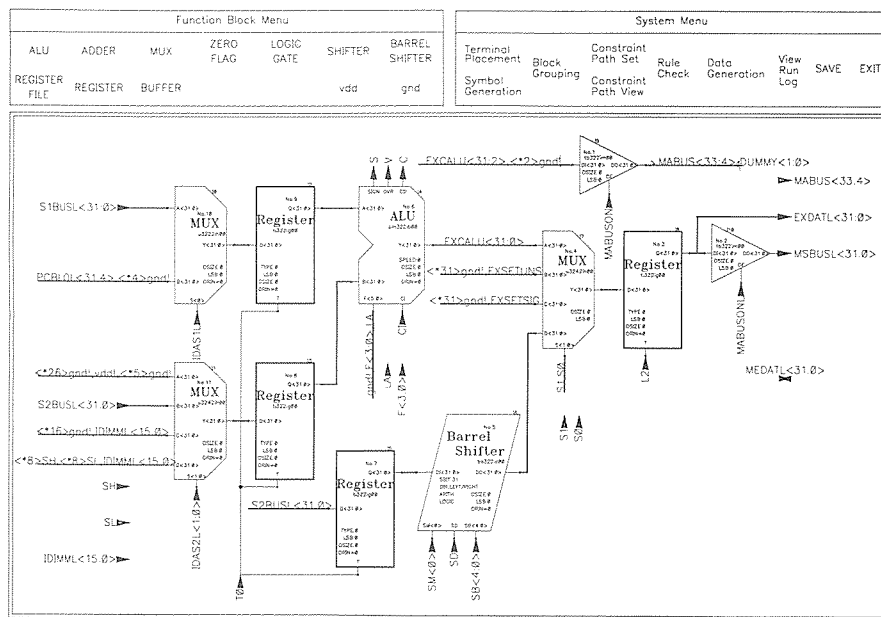


図 6. 入力ブロック図例 (ユーザーインタフェース画面)

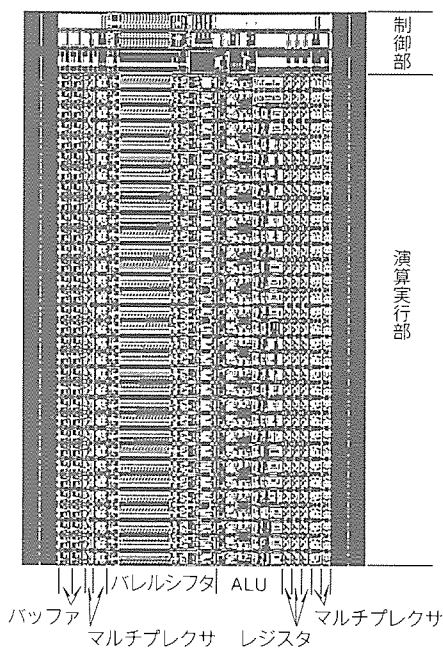


図 7. 生成データパス例

アウトがアレーコンパイラによって生成される。あらかじめ手設計されたリーフセルがセル配置規則に従って配列される。最後に、機能ブロックが配置配線されてデータベース全体のレイアウトが生成される。なお、アレーコンパイラや配置配線ツールは独自開発のものを使用⁽⁵⁾することにより、当社のプロセス技術を十分に生かしたレイアウトが実現可能となった。

図5には記載していないが、配置配線ツールはデータバス全体のレイアウトを生成するとともに、データ配線各々の配線容量と、ビットごとのストレッチ長をシミュレーションモ

デルにフィードバックする。これにより、レイアウト生成後の詳細な遅延解析とタイミング検証が可能である。

4. 適用例

このデータパスジェネレータを32ビットの標準的なデータパスに適用した場合の、入力ブロック図(ユーザインタフェース画面)を図6に、生成されたレイアウトを図7に示す。このデータパスは6種類(ALU, バレルシフタ, 2入力及び4入力マルチプレクサ, レジスタ, バッファ), 11個の機能ブロックで構成されており、面積は約 $0.81\text{ mm} \times 1.68\text{ mm}$, 集積度は約 $6.7\text{ kTr}/\text{mm}^2$, クリティカルパスはALUの約 7 ns である。また、性能評価用テストチップに搭載した他の例では、集積度は $5.8 \sim 7.3\text{ kTr}/\text{mm}^2$ であった。

5. む す び

新規セル構造と当社独自のCAD ツールを使用して、0.8 μm CMOS プロセスに対応したセルベース用データバスジェネレータを開発した。これにより、 $7\text{ kTr}/\text{mm}^2$ を超える人手設計並みのデータバス自動生成が可能となり、今後実品種に適用していく予定である。

参考文献

- (1) 篠原尋史, 辻橋良樹, 塚本美智子, 津田和彦, 藤森久美子, 松本憲昌, 味岡佳英: セルベース設計用モジュールジェネレータ, 三菱電機技報, **65**, No. 2, 150~155 (1991)
- (2) 中林竹雄, 近藤晴房, 蔵永 寛, 長谷川浩一, 山本誠二: ISDN 基本インタフェース用 LSI, 三菱電機技報, **65**, No. 2, 186~189 (1991)
- (3) 覚埜高音, 鈴木孝昌, 川畑英雄, 岸田 悟, 長谷川浩一: CB-1 設計システムを用いた 8 kbps 単位交換可能な大容量時分割スイッチ LSI, 三菱電機技報, **65**, No. 2, 190~193 (1991)
- (4) Preas, B., Lorenzetti, M.: Physical Design Automation of VLSI Systems, The Benjamin / Cummings Publishing Company, Inc., 317~321 (1988)
- (5) 中尾博臣, 北田 修, 塚本美智子, 岡崎 芳, 辻橋良樹, 松本 尚: 高密度データバスコンパイラのレイアウト生成方法, 情報処理学会, 設計自動化研究報告, 63-2 (1992)

キャッシュメモリを含んだメインメモリ用 4MビットキャッシュDRAM

早野浩司*
阿部英明*
石塚康宏**

1. ま え が き

半導体プロセス技術の進歩によるLSIの高速化傾向は、メインメモリよりもマイクロプロセッサ(MPU)において目覚ましいものがある。このため、メインメモリの高速化はメインフレームのみならずパーソナルコンピュータにおいても必要となってきた。MPUとメインメモリの速度ギャップを埋める方法としてはMPU自身にキャッシュメモリを内蔵する方法やメインメモリへのアクセスを高速化する方法がある。

メインメモリへのアクセスの高速化には、スタティックコラムモードのような高速モードを用いる方法やインタリーブを行う方法、キャッシュを用いる方法等がある。しかし、高速モードを使用してもMPUとの速度ギャップは埋まらなくなってきている。また、キャッシュを使用するシステムでは、キャッシュミスが生じたときのメインメモリとキャッシュメモリ間のデータ転送による性能低下やキャッシュを使用することによるコスト面でのデメリットがある。

現在、メモリ高速化への新しいアプローチとして、シンクロナスDRAMやラムバスDRAM、キャッシュDRAM(CDRAM)が検討されている。本稿では、新たに開発した4MビットキャッシュDRAM(以下“4MCDRAM”という。)の製品概要、新機能のファーストコピーバック、性能評価について紹介する。

2. 4 MCDRAM

2.1 製品概要

図1と図2にそれぞれ、4MCDRAMのブロック図、ピン配置を示し、表1に特長を示す。4MCDRAMは1Mビット×4のDRAMとキャッシュメモリとしての機能をもつ4K×4のSRAMを同一チップに集積化したものである。両者はDTB(Data Transfer Buffer)を通じて接続しており、そのデータバス幅は16×4ビットである。また、出力イネーブルG#を除き、全入力信号は外部マスタクロックKに同期した

レジスタ入力方式を採用した。アドレスピンはSRAMとDRAMを別端子にし、DRAMアドレスをマルチプレクサ入力にした。

特に、キャッシュブロックサイズが16ワードと大きいために高いヒット率が期待できる。さらに、DRAMとSRAM間のデータ転送がブロック単位でできるためキャッシュミスのリカバリが短時間で済む。また、新たに採用したファーストコピーバック方式により、従来のSRAMとDRAMを組み合わせたキャッシュシステムに比べて高いシステムパフォーマンスを実現できる。

2.2 チップアーキテクチャ

図3は4MCDRAMのチップ写真、図4は構成である。SRAMをDRAMの間に集中配置することにより、両者を接続するデータバスが短くなり、チップ面積を小さくできた。また、入出力回路をSRAMの近傍に配置することによりキャッシュアクセス時間の高速化が実現できた。

3. ファーストコピーバック方式

キャッシュメモリはメインメモリのデータを一時的にコピーしているもので、プロセッサがキャッシュ内のデータを更新する場合には、メインメモリ内のデータも更新して一致させなくてはならない。これを主記憶更新という。この方式にはライトスルーとコピーバックの二つの方式がある。

ライトスルー方式では、プロセッサの書き込み動作はキャッシュメモリヒット/ミスにかかわらず、メインメモリにまで新しいデータを書き込む。そのため、バスのトラフィックは

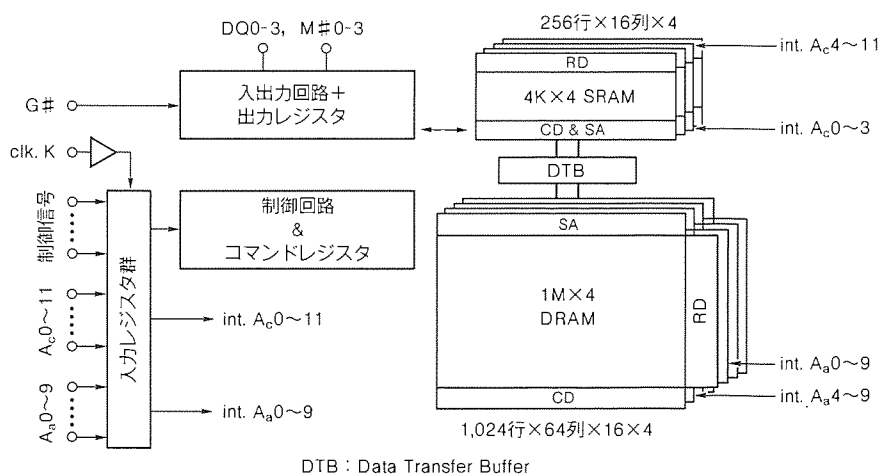


図1. 4MCDRAMのブロック図

大きくなるが、キャッシュとメインメモリの内容が常に一致しているため制御は容易である。

コピーバック方式では、プロセッサの書き込み動作はキャッシュメモリのみに対して行い、メインメモリのデータは、書き換えずに古いまま残しておく。メインメモリへの書き込み動作は書き込みのあったキャッシュメモリブロックがリプレイスされる時点で行う。この方式は書き込み時もキャッシュが働くのでキャッシュ効率が高い。しかし、ヒットライト後はキャッシュとアレーの同一性が失われるので、キャッシュミス時には、アレーからキャッシュへのデータ転送に先立ってキャッシュデータをアレーに書き戻さなければならない。このため、キャッシュミスアクセス時間は(アレーサイクル時間×ライン数)+(アレーアクセス時間)になる。一方、ライトスルー方式ではキャッシュヒット/ミスともに、アクセス時間はアレーアクセス時間に等しい。

今回提案するファーストコピーバック方式は、従来のコピーバック方式に比べてキャッシュミス時のアクセスが高速化される。この方式は図5に示すように、DRAMアレーとSRAMアレーの間に配置された2組の単方向バッファ(デー

タトランスファバッファ:DTB)によって実現している。DTBの回路とキャッシュミス時のシミュレーション波形を図6に示す。SRAMからDRAMへの転送を行うDTB1は1個のラッチ、2個のインバータ及び2個のトランスファゲートを1セットとして全体で64セットで構成されている。ラッチは信号DTLの制御により、SRAMのビット線のデータをラッチする。ラッチされたデータはインバータでバッファリングされ、信号DTAの制御によってデータバスを経由してDRAMに伝えられる。DTB2は、64組のクロスカップルドセンスアンプで、信号DTSの制御でデータバスに現れたDRAMのデータをSRAMのビット線に転送する。

キャッシュミス時には、従来のコピーバックとは逆に、まず最初のDRAMサイクルで期待データ(DE)の読出しを行う。このセンス期間に信号DTLを活性化して、SRAMのデータ(D)をDTB1のラッチへ転送する。センス終了後、信号DTSを活性化して、DEをDTB2を介してSRAMへ転送すると同時に、外部に出力する。すなわち、ミスデータをいったんバッファに退避させている間に、DEを読み出す。

I/O コモン	I/O セパレート	I/O セパレート	I/O コモン
	V _{cc}	1	44 REF #
	A ₉ 0	2	43 A ₉ 9
	A ₉ 1	3	42 A ₉ 8
	CC1 #	4	41 K
	W #	5	40 G #
	A _c 0/A ₁ 0	6	39 A _c 11
	A _c 1/A ₁ 1	7	38 A _c 10
	A _c 2	8	37 A _c 9
M #0	D0	9 300mil	36 D3 M #3
DO0	Q0	10 TSOP	35 Q3 DO3
	V _{cc}	11 Type II	34 GND
	GND	12	33 V _{cc}
DQ1	Q1	13 0.8mm	32 Q2 DO2
M #1	D1	14 lead pitch	31 D2 M #2
	A _c 3	15	30 A _c 8
	A _c 4	16	29 A _c 7
	A _c 5	17	28 A _c 6
	E #	18	27 CH #
	A ₉ 2	19	26 A ₉ 7
	A ₉ 3	20	25 A ₉ 6
	A ₉ 4	21	24 A ₉ 5
	GND	22	23 CC2 #

標準 4M DRAM

- (1) I/O セパレート: ECC 付きシステム用
(2) I/O コモン(マスクドライタ付き)
: パリティ付きシステム用

図2. 4MCDRAMのピン配置

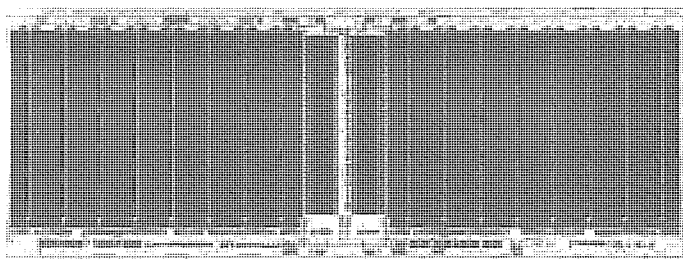


図3. 4MCDRAMのチップ写真

表1. 4MCDRAMの特長

語構成	1,048,576×4ワード(DRAM) 4,096×4ワード(SRAM)
ブロックサイズ	16×4ワード
プロセス技術	0.7μm ツインウェル CMOS 4層ポリシリコン 2層アルミ
チップサイズ	5.49mm×15.10mm
DRAM セル	スタックドキャパシタセル 4.75μm×1.90μm
SRAM セル	フル CMOS(6Tr)-セル 15.58μm×15.865μm
アクセス/サイクル 時間(ns)	10/10(SRAM) 70/140(DRAM)
電源電流	111mA(SRAM 100MHz) 54mA(DRAM T _c =140ns)
冗長回路	32行×16列(DRAM)
パッケージ	44ピン300mil TSOP タイプII (リードピッチ0.8mm)

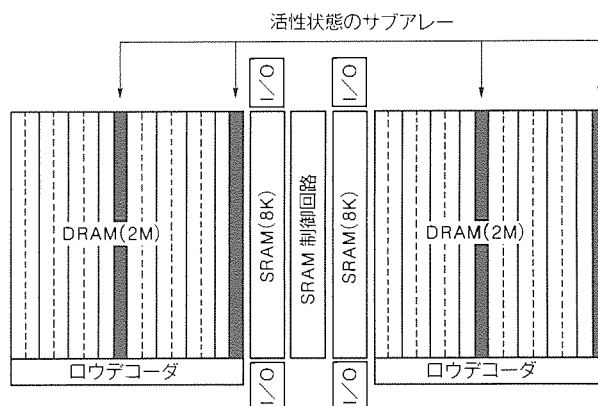


図4. チップアーキテクチャ

キャッシュミスライト時はこのときに、DRAMのDEとDE転送後のSRAMの両方にデータを書き込む。DTB1に退避したミスデータのDRAMへの書き込みは、次のDRAMサイクルで行う。つまり、DRAMからSRAMへのデータ転送後にミスデータをDRAMに書き戻し(コピーバック)を行う。

したがって、キャッシュミスアクセス時間は、アレーアクセスに等しく、通常のコピーバックの1/3以下の時間である。さらに、キャッシュへの転送が完成すれば、以後のアレー動作はキャッシュへのアクセス(キャッシュヒット)に隠れて、動作することが可能である。すなわち、DRAM動作としては従来と同じく、コピーバック完了まで2サイクル必要であるが、SRAMの動作が禁止されるのは、DEが出力されるまでの0.5サイクルだけである。

なお、キャッシュミスライトではDRAMとSRAMの両方にデータを書き込むが、これはライトスルーキャッシュのヒットライト動作そのものであり、ヒット/ミスに関係なく、書き込み動作を常にキャッシュミスライトモードで行うことで、ライトスルーキャッシュとして使うこともできる。

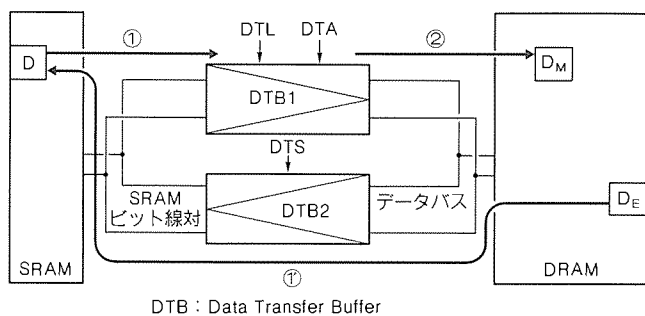
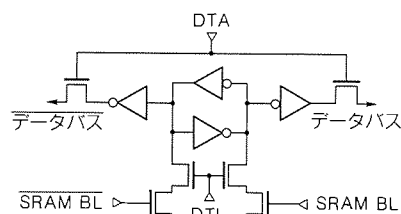
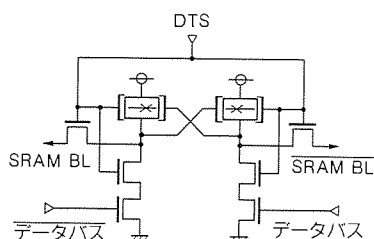


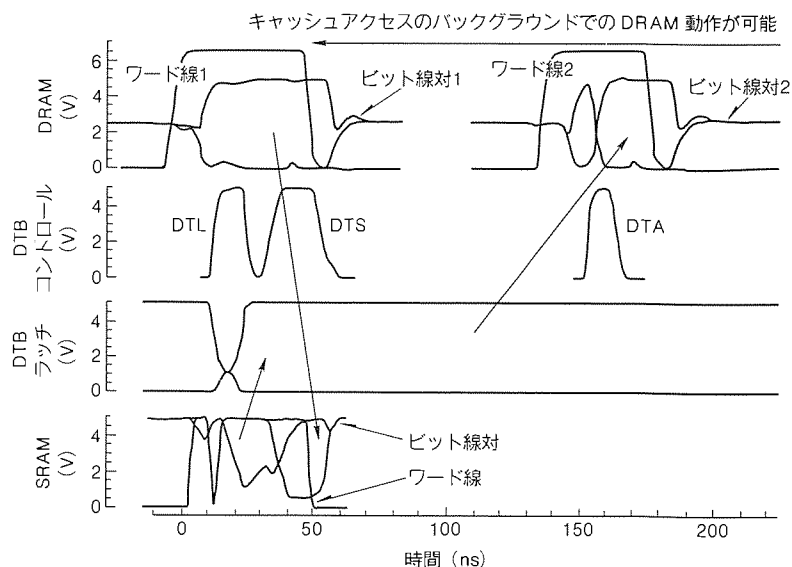
図5. ファーストコピーバック方式



(a) DTB1の回路



(b) DTB2の回路



(c) DTBの動作波形(シミュレーション)

図6. DTBとその動作波形

4. 4MCDRAMのシステム評価

4MCDRAMはキャッシュヒット率が高いのみならずキャッシュミスアクセスが高速化されているので、従来の同一のキャッシュサイズのキャッシュに比べて、平均アクセス時間が向上する。表2に、あるユーザーによるシステム性能のシミュレーション結果を示す。MPUに64ビットの1次キャッシュ内蔵RISCプロセッサを用いた3種類のシステムを仮定して、SPECmarkベンチマークテストをシミュレータ上で実行した結果を相対比較した。

3種類のうち第1は内蔵キャッシュのみのシステム、第2はブロックサイズ8バイト、キャッシュ容量256Kバイト、ダイレクトマップの外付け2次キャッシュシステム、さらに第3はCDRAMを2次キャッシュ+主記憶として用いたシステムである。このCDRAMは×4構成であるので、64ビットバスのシステムでは最小16個のCDRAMが必要である。シミュレーションではこの最小システムを仮定している。このときのキャッシュサイズは32Kバイト、ブロックサイズは128バイトである。

なお、マッピングはダイレクトマップを用いた。各テストの平均値で比較すると、CDRAMを用いたシステムは2次キャッシュなしのシステムに比べて、23%の性能向上が見られ、しかも、これは従来形の256Kバイトの外付けキャッシュよりも高性能であるといえる。キャッシュの性能はシステム構成に依存するが、この例では、CDRAMを用いることで、システムのコストパフォーマンスを向上させ得ることを示している。

5. む す び

今回、メインメモリの高速化に対するアプローチの一つとして、16 KSRAM をキャッシュとしてもつ 4M CDRAM を開発した。この CDRAM は、改良局所配置形のチップレイアウトの採用によって 100 MHz という高速動作を、通常の 4MDRAM の 7% という小さなチップ面積の増大で実現した。

また、新たに開発したファーストコピーバック方式により、キャッシュミス時のアクセス時間を従来のコピーバックシステムの 1/3 以下に高速化した。この CDRAM を用いたシステム性能は、8 倍のキャッシュ容量をもつ従来形のキャッシュシステムより高性能である。

今後、メインメモリに対する高速化の要求はますます強まるものと思われる。4MCDRAM で培った技術をもとに、次世代の CDRAM を開発していく予定である。

参 考 文 献

- (1) Arimoto, K., Asakura, M., Hidaka, H., Matsuda, Y., Fujishima, K.: A Circuit Design of Intelligent CDRAM with Automatic Write Back Capability, Symposium on VLSI Circuit, Digest of Technical Papers, 79~80 (1990-5)
- (2) Asakura, M., Matsuda, Y., Hidaka, H., Tanaka, Y., Fujishima, K., Yoshihara, T.: An Experimental 1-Mb Cache DRAM with ECC, Symposium on VLSI Circuit,

表 2. システム性能比較(シミュレーション)

テストプログラム (Subset of SPECmark)	内蔵キャ ッシュのみ ⁽¹⁾	外付け 2 次キャッシュ ⁽²⁾		4Mビットキャッシュ DRAM ⁽³⁾	
	相対性能	相対性能	ヒット率	相対性能	ヒット率
EQNTOTT	1.00	1.08	82.0	1.10	88.6
ESPRESSO	1.00	1.05	90.3	1.08	94.5
FPPPP	1.00	1.54	98.7	1.42	96.9
TOMCAT	1.00	1.18	44.4	1.37	91.6
MATRIX300	1.00	1.20	54.9	1.22	77.8
幾何平均	1.00	1.20	—	1.23	—

注 (1) キャッシュ内蔵 64 ビット RISC プロセッサ

(2) キャッシュサイズ=256K バイト, ダイレクトマップ,
ブロックサイズ=1 ワード(8 バイト), メインメモリ=8 M バイト

(3) キャッシュサイズ=32K バイト, ダイレクトマップ,
ブロックサイズ=16 ワード(128 バイト), メインメモリ=8 M バイト

Digest of Technical Papers, 4.5, 43~44 (1989-5)

- (3) Dosaka, K., Konishi, Y., Hayano, K., Himukashi, K., Yamazaki, A., Hart, C. A., Kumanoya, M., Hamano, H., Yoshihara, T.: A 100 MHz 4 Mb Cache DRAM with Fast Copy-Back Scheme, ISSCC Digest of Technical Papers, 9.1 (1992-2)
- (4) 熊野谷正樹, 飛田洋一, 長友正男: 第二世代 4 M ビット DRAM, 三菱電機技報, **65**, No. 7, 697~702 (1991)
- (5) Shiomi, T., Wada, T., Ohbayashi, S., Ohba, A., Honda, H., Ishigaki, Y., Hatanaka, M., Nagao, S., Anami, K., Sumi, T.: New Bit Line Architecture for Ultra High Speed SRAMs-T-Shaped Bit Line and It's Real Application to 256 k BiCMOS TTL SRAM, Proceeding of 1991 CICC, 10.4.1 (1991-5)

2M ビットデュアルポート DRAM

松本淳子* 山脇 実**
松岡秀人*
三木武夫*

1. ま え が き

マンマシンインタフェースとして画像処理技術は、最も重要な位置付けにある。デュアルポート DRAM (以下“VRAM”という) は、標準メモリ技術をベースに、この画像表示用として最適化された AS (Application Specific) メモリである。

VRAM (Video RAM) は、256K ビット時代にその真の実用化が始まり、画像表示性能の飛躍的向上を果たした。これによって、VRAM は画像処理分野における標準メモリとしての地位を獲得し、AS メモリ市場拡大の一翼を担っている。また、画像処理分野では、より高精彩・高速動画・大画面化に向けて日々技術開発が進み、特にパソコン/ワークステーションの画像表示性能の向上は著しく、VRAM に求められる機能、性能も世代ごとに発展している (表1 参照)⁽¹⁾。

このような背景の中で、当社では市場からの要求にこたえるべく、最新の 4M ビット DRAM の回路設計技術・プロセス技術⁽²⁾⁽³⁾を駆使し、低消費電力化、高速化を図った多機能 2M ビット VRAM (M5M482256/M5M482257) を開発した。本稿では、この 2M ビット VRAM の電気的特性、新機能等について紹介する。

2. 2M ビット VRAM の回路設計

(1) 製品構成

今回開発した 2M ビット VRAM は、M5M482256 と M5M482257 の 2 機種を用意している。M5M482256 はファーストページモード品、M5M482257 はハイパーページモード (Hyper Page Mode) 品となっている。開発に当たり、ハイパーページモード品とファーストページモード品を同一チップで実現することにより、生産性の向上及び電気的特性・信頼性の安定化を容易に行えることを一つの

目標とした。ハイパーページモード品とファーストページモード品の切替えは、2 層 AI 工程で行っている。

また、パッケージは、ハイパーページモード品、ファーストページモード品ともに、400mil 幅の SOJ と TSOP を用意した (表2 参照)。

(2) 機能

この 2M ビット VRAM では、拡張データ出力を伴うハイパーページモード、SAM (シリアルアクセスメモリ) 部アクセスの効率化を図ったストップレジスタ機能、オールドマスキングレジスタ機能等を新機能として付加した。

(3) チップ構成

2M ビット VRAM のチップ写真を図1、また、そのブロック図を図2に示す。

チップサイズは 6.0mm×10.87mm (65.22mm²) であり、当社 1M ビット VRAM 第二世代品 (12.67mm×5.00mm (63.6mm²))⁽⁴⁾と比較しても、わずか 2.5% の面積増大にとどまっている。図2に示すようにメモリセルアレーは、ロウデコーダ及びコラムデコーダにより、各四つの 512K ビット

表1. 当社における VRAM 世代別展開経緯

	256K 世代	1M 世代	2M 世代
ワード構成	64K×4	256K×4/128K×8	256K×8
SAM サイズ	256×4	512×4/256×8	512×8
高速動作モード	ページモード	高速ページモード	拡張出力ページモード/ 高速ページモード
SAM 動作	シリアルリード シリアルライト	← ←	←
画像処理機能	NEW マスク ライトパービット	← フラッシュライト ブロックライト	NEW/OLD マスク ライトパービット ← ←
データ転送機能	リード転送機能 ライト転送機能 リアルタイムリード転送	← ← ← スプリットリード転送 スプリットライト転送	← ← ← ← ストップレジスタ

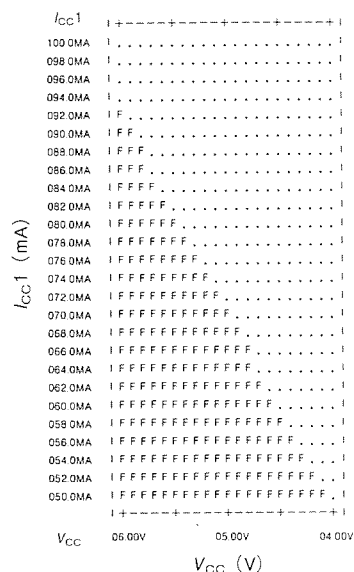
表2. 2M ビットデュアルポート DRAM の品種一覧

型 名	機 種	パッケージ (mil)	アクセス時間 (ns)
M5M482256J, TP, RT	ファーストページモード	SOJ (400) TSOP (400)	70/80/100
M5M482257J, TP, RT	ハイパーページモード	SOJ (400) TSOP (400)	70/80/100

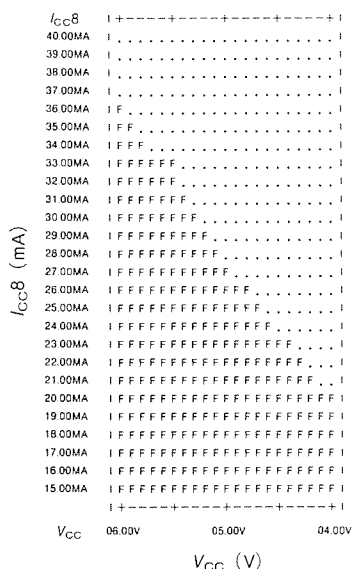
ルリード動作電流)の V_{CC} 依存性を示す。

(5) 冗長回路

冗長回路として、128Kビットブロックごとに、2ワード



(a) I_{CC1} 対 V_{CC}



(b) I_{CC8} 対 V_{CC}

図4. 電源電流の V_{CC} 依存性

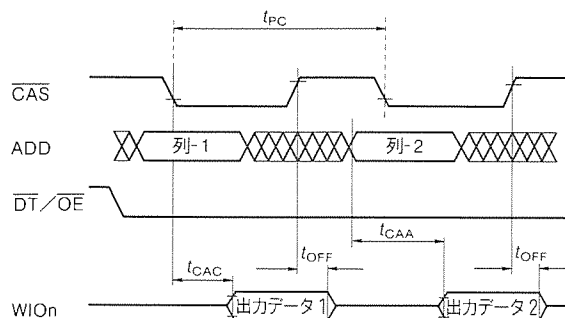


図5. ファーストページモードにおける \overline{CAS} サイクル

線ずつを置換できる2組のスペアワード線と、512Kビットブロックごとに、8コラムずつを置換できる2組のスペアコラム及びスペアシリアルレジスタをもっている。コラム方向の置換では、対応するシリアルレジスタについても同時に置換する。

3. 新機能

2Mビット世代になって、新たに付加されたハイパーページモード、ストップレジスタ機能について説明する。

3.1 ハイパーページモード

ファーストページモード品の場合、図5に示すように \overline{CAS} の立ち上がりでデータはディスエイブルされる。通常データの取込みは、 \overline{CAS} の立ち上がりで行うため、 t_{OFF} (\overline{CAS} 後データディスエイブルタイム)をある程度確保する必要がある。このため、高速化が進んでも、ファーストページモードのスペックでは、 t_{PC} (ページサイクルタイム)を短くするのが困難となってきた。

ハイパーページモードでは、ページリード動作時 \overline{CAS} を“L”エッジトリガとして扱い、データ出力のイネーブル/ディスエイブルは、 \overline{OE} のみで制御する。 \overline{OE} を“L”にしている限り、図6に示すように各 \overline{CAS} サイクルにおけるデータ

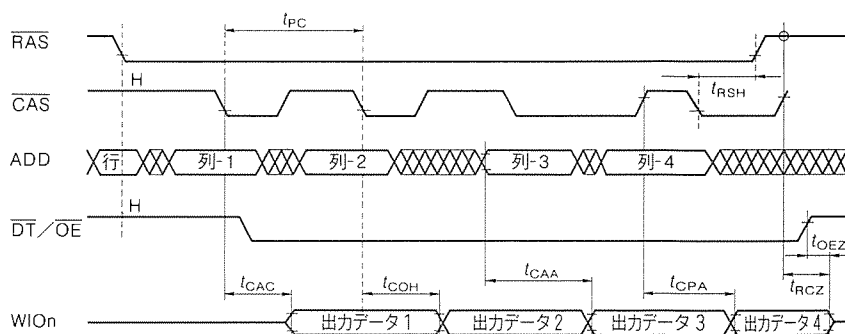


図6. 拡張データ出力を伴うハイパーページモード

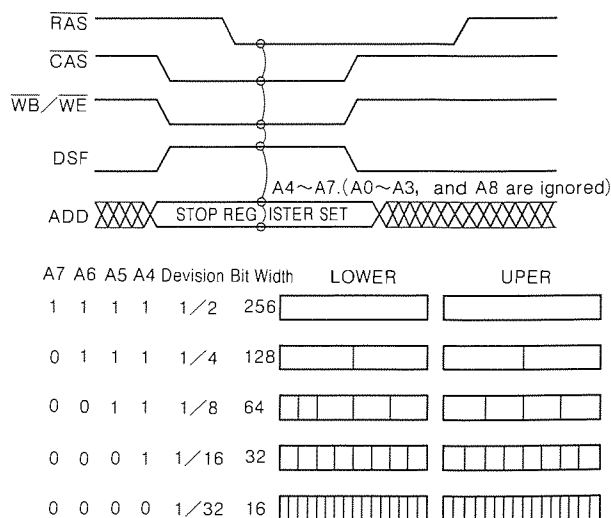


図7. ストップレジスタのバウンダリセット

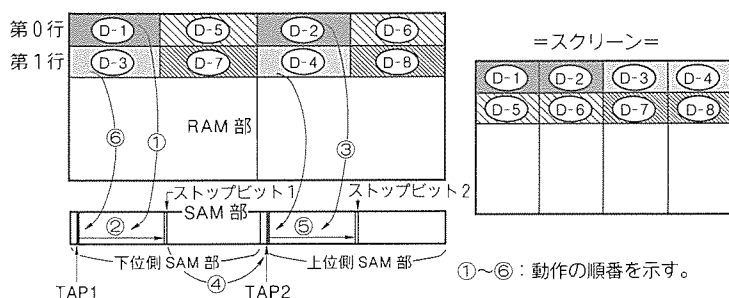


図8. ストップレジスタの応用例

表3. 主な電気的特性一覧

項目	平均値	測定条件
I_{CC1} (リード/ライト動作電流)	82.6mA	$V_{CC}=5.5V$, $T_a=0^{\circ}C$, $t_c=130ns$
I_{CC2} (TTL) (スタンバイ電流)	3.4mA	$V_{CC}=5.5V$, $T_a=0^{\circ}C$
I_{CC8} (SAM 動作電流)	32.3mA	$V_{CC}=5.5V$, $T_a=0^{\circ}C$, $t_c=25ns$
t_{RAC} (RAS アクセスタイム)	67.8ns	$V_{CC}=4.5V$, $T_a=70^{\circ}C$
t_{CAA} (アドレスアクセスタイム)	29.5ns	同上
t_{CAC} (CAS アクセスタイム)	12.1ns	同上
t_{OEA} (OE アクセスタイム)	13.3ns	同上
t_{SCC} (シリアルサイクルタイム)	22.2ns	同上
t_{SCA} (シリアルアクセスタイム)	13.7ns	同上

は次のCASサイクルのデータが出力されるまで保持される。これによってページサイクルを約5ns縮めることが可能となった。

3.2 ストップレジスタ機能

図7に示すようなロードストップレジスタサイクルによってSAM部の分割を1/2, 1/4, 1/8, 1/16, 1/32のいずれかに設定する。例えば, SAM部の分割を1/4に設定した場合, 図8に示すように, スタート番地としてTAP1が設定され下位側SAM部をアクセスしていたとする(図8①~②)。下位側SAM部をアクセスしながら(②), スプリットリード転送を行い, 上位側SAM部に0行のデータを転送し, TAP2を定める(③)。ここで, ストップレジスタ(Stop Register)機能をもたなければ, 下位側SAM部の最終番地までアクセスし続けなければ, TAP2をアクセスすることができない。しかし, 今SAM部の分割が1/4に設定されているので, 図8のストップビット1, すなわち下位側SAM部第1のバウンダリの最終番地をアクセスすると, TAP2をアクセスすることができる(④)。

これによって, スクリーンでのく(矩)形領域(例えばD-1とD-5)を同一行のデータ処理(ページモード)を使用して効率的に書き換えることが可能となった。

また, 一度設定したストップレジスタは, 図9に示すようにCBRオプションリセットサイクルによって解除し, 初期状態(1/2分割)に戻る。

一度設定したストップレジスタの内容を消却することなくCASビフォアRASリフレッシュを行うには, 図10に示す

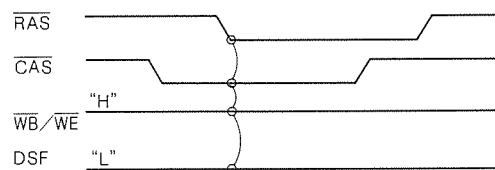


図9. CBR オプションリセットサイクル

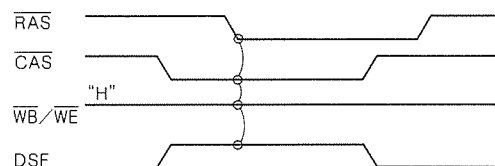


図10. CBR オプションノーリセットサイクル

ように, RAS立ち下がり時DSFを“H”にすればよい。

4. 電気的特性及び信頼性

表3に2MビットVRAMの主な電気的特性を示す。最新のCMOS技術と回路シミュレーション技術によって, 高速かつ低消費電力を実現した。また, 信頼性も実績ある第二世代4MDRAMと同じデバイス構造を採ったことなどにより, 良好な結果を得た。

5. むすび

ワークステーションやパソコンの機能向上に伴い, 画像用メモリの需要はますます増大している。今回開発した2MビットVRAMは, 高速化・低消費電力化を実現した。今後, メモリ外部のより複雑な画像処理機能をメモリ内部に取り込むことにより, サブシステム化を図り, より高度な画像処理メモリを提供していく所存である。

参考文献

- (1) 山田通裕, 浜野尚徳: AS (Application Specific) メモリの現状と展望, 電子材料, 32~37 (1992-6)
- (2) 熊野谷正樹, 飛田洋一, 長友正男: 第二世代4MビットDRAM, 三菱電機技報, 65, No. 7, 697~702 (1991)
- (3) 長瀬功一, 源城英毅, 豊本英晴: 4Mビットバイト/ワイドDRAM, 三菱電機技報, 66, No. 2, 165~170 (1992)
- (4) 宮元崇行, 筆保吉雄, 加納 睦, 河原林真也, 広瀬昌弘: 第二世代1Mビットデュアルポートメモリ, 三菱電機技報, 65, No. 9, 908~913 (1991)
- (5) 井上一成, 松本淳子, 山口隆利, 浜野尚徳: デュアルポート(D)RAMのアーキテクチャの検討, 1992年電子情報通信学会春季大会

高密度 SRAM 内蔵 ASIC

中島三智雄* 黒肥地 稔*
越久和俊* 磯井則次*
上田清年*

1. ま え が き

高度情報化社会の進展に伴い、電子機器の小型化、システム化が急速に進んでいる。とりわけ、超小型電子機器分野はシステムオンチップ (System on Chip) 化の要求が強く、大規模 LSI 化のけん (牽) 引をしている。

システムオンチップ化は、セルベース設計技術をベースに、マイコンコア、アナログーデジタルインタフェース、大規模メモリの取り込みが必要であり、この実現には、各半導体メーカーの総合力が問われる。

一方、半導体プロセスは、テクノロジードライバであり、微細化キャパシタ技術を独自にもつ DRAM プロセス、 $T(10^{12})\Omega$ オーダーの高抵抗若しくは TFT (Thin Film Transistor) 技術を独自にもつ SRAM プロセス、RAM で培われた微細化技術をベースに多層配線構造のため平坦化技術を磨き上げた ASIC プロセス等があり、その構造及び特徴は多種多様である。

本稿では、システムオンチップ化の1ステップとして、従来の6Tr 構成の PMOS 負荷型 SRAM の代わりに、高抵抗技術をベースとした、面積が従来比1/2で実現できる4Tr 構成の高抵抗負荷型 SRAM を ASIC プロセスに融合した成果について述べる。

2. 高密度 SRAM の特徴

表1. メモリセル比較

項 目	従来型 (PMOS 負荷)	高密度型 (高抵抗負荷)
適 用	従来 ASIC 内蔵 SRAM	汎用 SRAM
回 路		
パターン 面 積	 2	 1

2.1 メモリセル

情報を記憶する最小単位 of セルがメモリセルであり、セル構造は、メモリ面積、特性の重要ファクタとなる。PMOS 負荷型 (従来 ASIC 搭載) のメモリセルは、PMOS が2個、NMOS が4個の異なる2タイプの MOS トランジスタ6個から成るため、メモリ面積が大きい。しかし、完全 CMOS 型のため、書込みデータ保持の安定度が高い。一方、高密度型のメモリセルは、NMOS が4個と、NMOS 上に配置できる負荷抵抗2本から成るため、PMOS 負荷型に対し、1/2の面積で実現できる。しかし、負荷抵抗の抵抗値は $T\Omega$ オーダーと高いため、書込みデータ保持の安定度が PMOS 負荷型に比べて低下する。そのため、高度なプロセス、テスト技術が必要である。以上の結果を表1にまとめた。

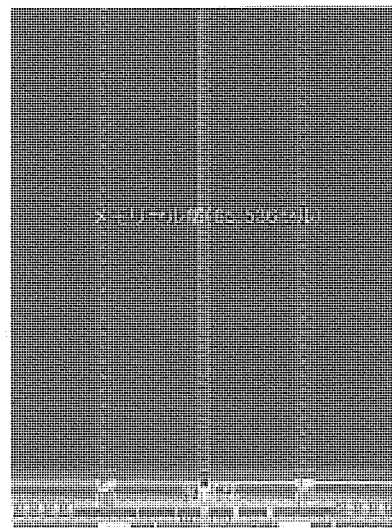


図1. メモリマクロセル
(高抵抗負荷型: 8Kワード×8ビット構成)

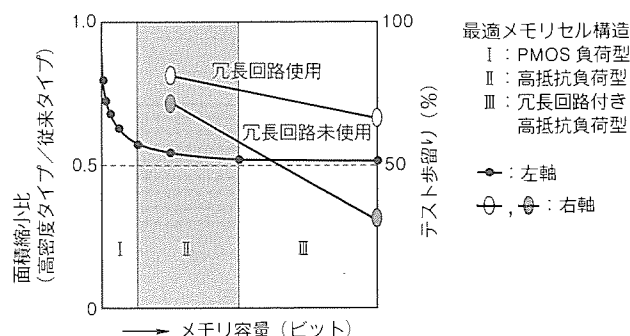


図2. メモリ容量-面積縮小比, テスト歩留り

2.2 メモリマクロセル

図1は高密度型 64K (8K×8) ビット SRAM のマクロセルである。メモリマクロセルは、情報を記憶するメモリセル部とそれをコントロールする制御部の二つのブロックから成る。

高密度型のメモリセル部は PMOS 負荷型のそれに対し、メモリセル縮小比同様 1/2 の面積で実現できる。しかし、高密度型の制御回路と PMOS 負荷型の制御回路は同様に構成できるため、制御部の面積はメモリセルのタイプにほとんど依存しない。これより、高密度型の PMOS 負荷型に対する面積縮小効果は、メモリ容量に依存する。この関係を示したのが図2である。

2.3 適用範囲

高密度型は、 $T\Omega$ オーダーの高抵抗をメモリセルに使用しているため、不良をリジェクトする複雑なテストパターンが必要である。また、図2左軸からメモリ容量が小さいⅠの領域では、メモリ面積縮小効果があまり期待できないことが伺える。

また、メモリは1ビットでも不良であれば、そのチップは不良となるため、メモリ容量が増大するに従って歩留りが急激に低下していく。そこで、不良ビットを救済する手段として、予備メモリラインを設け、レーザトリミングでラインの置き換えを行う冗長回路がある。図2の右軸は、ステット歩留りを示したものであ

り、メモリ容量の大きいⅢの領域では冗長回路がなければコスト的に問題となる。

以上から、高密度型の適用範囲は、冗長回路未使用の場合はⅡの領域、冗長回路使用の場合はⅡとⅢの領域とした。

3. デバイス構造⁽¹⁾

CAD 技術の発展とともに、セルベース手法が飛躍的に進歩し、大規模・高機能 ASIC 品が短期間で開発できるようになった。そのため、このセルベース手法がそっくりそのまま使えるように、デバイス構造は図3の論理回路を構成する CMOS デバイス構造を基本形とし、図4の高抵抗構造をこの基本形に付加する方式を用いた。この方式により、従来 ASIC と同じ、トランジスタ、各種浮遊容量及び寄生抵抗の各回路シミュレーションパラメータ値、さらにパターンレイアウト

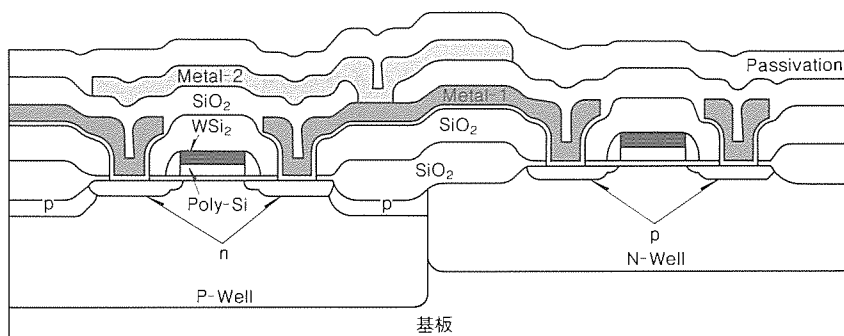


図3. 基本 CMOS 構造

表2. 主要プロセスパラメータ

主要項目	パラメータ	
	1.0 μm ルール	0.8 μm ルール
トランジスタ	ゲート長(NMOS/PMOS)	1.0
	ゲート酸化厚(nm)	20
レイアウトルール	コンタクトホール	1.0×1.0
	スルーホール	1.0×1.0
	第1層配線ピッチ	3.0
	第2層配線ピッチ	4.0
		3.2

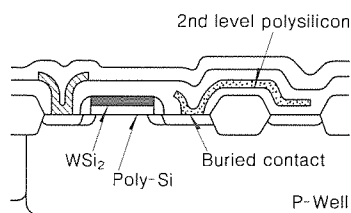
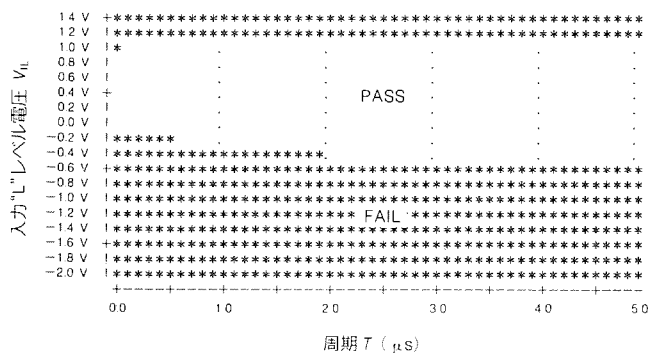
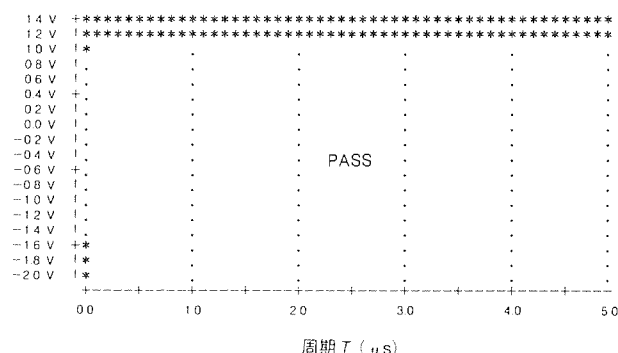


図4. 高抵抗構造



(a) P型基板



(b) N型基板

図5. T 対 V_{IL} 特性

トを使用することができ、標準セルや各種機能ブロックの共通化が図れる。

このデバイス構造の主要プロセスパラメータを表2で紹介する。

4. デバイス特性

デバイス構造の特性評価は、 $T \Omega$ オーダーの高抵抗を用いているため、構造の影響を受けやすい特性に着目した。デバイス特性は基板の種類による影響が大きく、P型基板では、このデバイスのASIC展開は困難と判断し、N型基板とした。

以下に、P型基板とN型基板の比較データを示しながら、各デバイス特性について説明する。

4.1 入力アンダシュートによる誤動作耐量

図5は横軸が周期： T 、縦軸が入力“L”レベル電圧： V_{IL} の T 対 V_{IL} 特性であり、図5(a)のP型基板の場合、 V_{IL} が負の値では不良領域となっている。つまり、入力のアンダシュートによって製品は誤動作する。一方、図5(b)のN型基板の場合、 $V_{IL} = -2V$ でも良品領域となっており、このデバイス構造において、N型基板は入力アンダシュートに対して非常に強いことが分かる。

図6はP型基板の不良ビットマップを示したものであり、同図(b)は、入力1、入力2の V_{IL} を(a)に示す値に設定したときの不良ビットマップである。この不良ビットマップの特徴は、負電圧が印加された入力1を中心に、同心円上にメモリセルの不良領域が広がっていることである。

以上から、不良要因としては、構造上、P型基板特有に生じる寄生NPNトランジスタの働きが考えられる。この寄生素子を考慮したP型基板の断面構造を図7に示す。この寄生NPNトランジスタは、入力、GND間に存在する入力保護ダイオードの N^+ ノードをエミッタ、メモリセルの N^+ ノードをコレクタ、基板をベースとして構成されている。

入力にアンダシュートが生じると、寄生NPNトランジスタのベース、エミッタ間が順方向にバイアスされる。そして、この寄生NPNトランジスタがオンし、メモリセルの N^+ ノードからコレクタ電流が流れる。

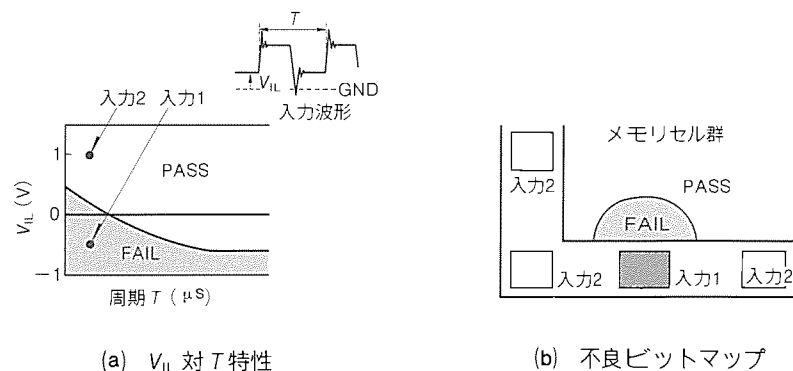


図6. P型基板不良ビットマップ

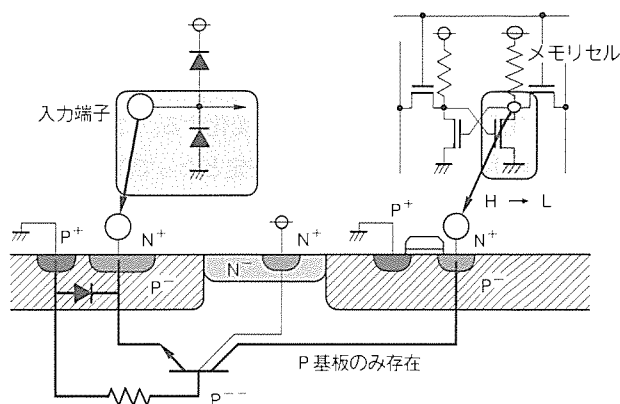


図7. P型基板の寄生素子を考慮した構造

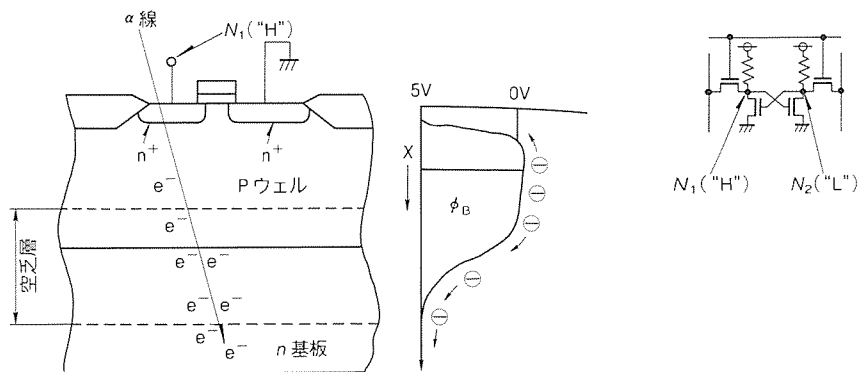


図8. N型基板のポテンシャル障壁の形成

メモリセルの“H”レベルの N^+ ノードからわずかでも電流が引き抜かれると、 N^+ ノードから V_{cc} にプルアップしている抵抗は $T \Omega$ オーダーと高いため、このノードは“H”から“L”に変化する。このため、メモリセルの書き込みデータ保持が不安定となり、誤動作すると考えられる。

4.2 ソフトエラー耐量

ソフトエラーは、製品をパッケージするモールド材に含有されるウラン、トリウム崩壊によって放出される α 線がチップに照射されたときに発生するとされる⁽²⁾。

α 線がチップに照射されると電子-正孔対が基板中に生成される。生成された電子はメモリセルのノードN1, N2に

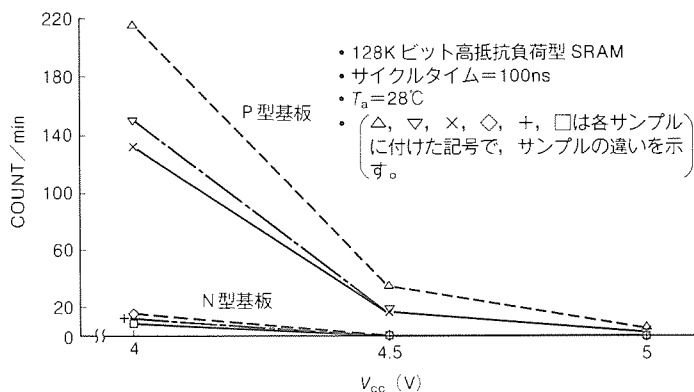


図9. P, N型基板ソフトエラー電圧依存性

収集される。“H”レベルのノード(N1)に収集された電子は $T\Omega$ オーダーといった高抵抗から V_{cc} への移動が困難なため、このノードの“H”レベルは“L”レベルに変化する。このため、メモリセルは書き込みデータ保持が不安定となって誤動作する⁽³⁾。

P型基板に対し、N型基板はメモリセルが配置されているP⁺ウェルとN⁺基板間のポテンシャル障壁があるため、ノードN1, N2に収集される電子が少なく、ソフトエラー耐量が優れているとされる⁽⁴⁾⁽⁵⁾。これを図8に示す。

ソフトエラー評価結果を図9に示す。図からP型基板に対し、N型基板のソフトエラー耐量は約1けたの優れている。

4.3 基本トランジスタ特性

P型基板とN型基板の基本トランジスタ特性は完全に同一のものが得られた。これは、図3に示すように、P/Nツインウェル構造としているので、ウェルより1けたの不純物濃度の低い基板のタイプを変更しても、半導体基板の表面を利用したMOSの特性はほとんど影響を受けないからである。

5. 電気的特性

電気的特性は市場要求にこたえるため、表3に示すように低電圧までカバーした広動作電源電圧範囲・高速化・低消費電力化を図った。

6. テスト設計

ASICに適用されているPMOS負荷型は、書き込みデータ保持の安定度が高く、簡易テストパターンである n 系列が適用されていた。一方、高密度型は、負荷抵抗が $T\Omega$ オーダーと高いため、書き込みデータ保持の安定度が低く、隣セル間の影響による不良をリジェクト可能な $n^{3/2}$, n^2 系列の複雑なテストパターンが適用されている。

n 系列のテストパターン生成はシミュレーション波形をテストパターンに変換するツールであるTPG (Test Pattern Generator) が適用されているが、 $n^{3/2}$, n^2 系列は、 n 系列のテストパターンに対し、パターン長が $3/2$ 倍、 2 倍と長くなるため、シミュレーションの実行及び変換は困難で、簡

表3. 電気的特性

主要項目	特性値
電源電圧範囲	2.7~5.5V
アクセスタイム ($V_{cc}=5V \pm 10\%$)	30ns (max)
動作電流 ($f=1\text{MHz}$)	数mA (typ)
スタンバイ電流 (64KビットSRAM)	20 μ A (max)

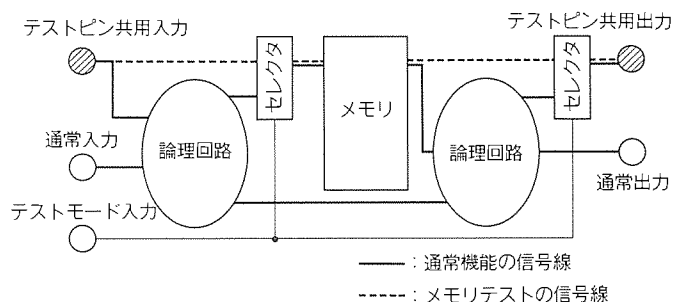
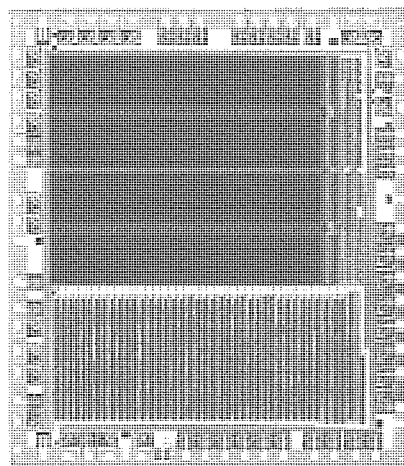


図10. メモリテスト容易化回路



ランダムロジック: 5.5K ゲート(デコーダ含まず)
 SRAM: 64K ビット

図11. 高密度 SRAM 適用の画像制御 LSI

単な記述で各系列のテストパターンが容易に生成できるMPG (Memory Pattern Generator) の適用が不可欠となる。

MPG 適用のため、図10に示すようなメモリテスト容易化回路が考られる。この回路により、外部端子からダイレクトにメモリアクセスできる。

7. 製品適用例

この1.0 μ m ルールのデバイス構造を画像制御LSIに適用し、完全動作を確認した。以下に、このLSI (図11) の概要と適用効果について示す。

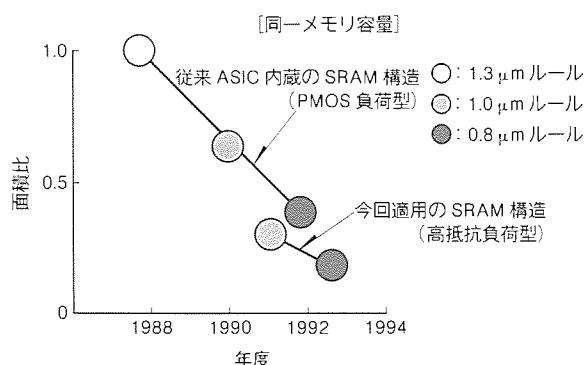


図12. ASIC 内蔵 SRAM の高密度化

7.1 LSI 概要

(1) 機能・用途

- 画像制御 LSI

(2) 規模

- 回路規模：64 K ビット SRAM+5.5 K ゲート Logic
- チップサイズ：5.6 mm×6.4 mm

7.2 適用 効果

従来デバイス構造に対し、今回適用のデバイス構造により、メモリ面積を従来比1/2で実現した。図12はASIC内蔵SRAMの高密度化の推移を示したものであり、プロセスの微細化、高密度型SRAMの適用により、飛躍的に面積の縮小化を行うことができた。

8. む す び

以上、システムオンチップ化の1ステップとして、ASICプロセスと汎用SRAMの高抵抗負荷型SRAMの融合を行っ

たが、汎用DRAMと融合するなど、プロセスの完全統一を実施していく必要がある。

また、大規模なメモリを、より安価に搭載できるように、ASICに特化した冗長回路技術の確立が求められている。

今後は、より微細なサブミクロンプロセスへ展開するとともに、他プロセスとの融合、ASICに特化した冗長回路技術の早急な確立を実施していく予定である。

参 考 文 献

- (1) 畑中正宏, 森本博明, 大野多喜夫, 松田修一, 山口澄夫 : 0.8 μm CMOS ASIC プロセス, 三菱電機技報, **65**, No. 2, 146~149 (1991)
- (2) May, T. C., Woods, M. H. : A New Physical Mechanism for Soft Error in Dynamic Memories, Proc. 1978 International Reliability Physics Symposium, 33~40 (1978)
- (3) Anami, K., Yosimoto, M., Sinohara, H., Hirata, Y., Harada, H., Nakano, T. : A 35ns 16kNMOS Static RAM, IEEE J. Solid-State Circuits, **SC-17**, No. 1, 815~820 (1982-10)
- (4) Masuhara, T., Minato, O., Sasaki, T., Nakamura, H., Sasaki, Y., Yasui, T., Uchibori, K. : 2k×8b HCMOS Static RAMS, ISSCC Digest of Technical Papers, 224~225 (1980-2)
- (5) Minato, O., Masuhara, T., Sasaki, T., Nakamura, H., Sasaki, Y., Yasui, T., Uchibori, K. : 2k×8bit Hi-C MOS Static RAMS, IEEE Trans. Electron Devices, **ED-27**, No. 8, 1591~1595 (1980)

オフィスコンピュータ用 32ビット CPU プロセッサ

清水 徹* 白井健治***
島津之彦** 藤岡 勲***
斉藤祐一** 阪尾正義+

1. ま え が き

近年、ワークステーションやパソコンと呼ばれる中小型コンピュータの性能向上が著しい。その背景にはマイクロプロセッサやキャッシュメモリを始めとする半導体技術の進歩がある。一方、コンピュータの新機種を開発する場合、従来の機種を対象に蓄積された膨大なソフトウェア資産をどのようにして継承するかが常に大きな問題となる。

ここで紹介するのは、当社のオフコン MELCOM 80“GSファミリー”の最上位機“GS 700/10”のCPU（中央処理装置）用に開発された32ビットCPUプロセッサである。このチップは0.8 μ mCMOSフルカスタム技術により、約170万トランジスタを内蔵する最先端のCPUプロセッサであり、当社オフコンの従来機種と互換な命令セットを備えている。ユーザーのソフトウェア資産をそのまま継承しつつ、半導体技術の進歩に沿った高い性能をユーザーに提供することができる。本稿では、このチップの概要、ハードウェア構成、実現技術について紹介する。

2. CPU チップの概要

2.1 特 長

このCPUチップは、当社のオフコン MELCOM 80“GSファミリー”の最上位機を対象としており、最新の半導体技術とアーキテクチャ技術により、最高水準の性能、機能、信頼性を実現した。

(1) 業界最高水準のVLSIマイクロプロセッサ

0.8 μ mCMOSフルカスタム技術により、約170万トランジスタを1チップに集積した。

(2) 高性能、小型化を実現

動作周波数40MHzを達成。従来のオフコンCPUの基本機能をすべて1チップ内で実現し、同時に低消費電力化も達成した。

(3) 最新のCPUアーキテクチャの採用

6ステージのパイプライン制御方式、16Kバイトの内蔵キャッシュ、192エントリのTLB（高速アドレス変換機構）、2組の32ビット演算が並列に実行可能なデータパス部、水平型マイクロプログラム制御、乗除算器等の専用回路の内蔵など、高速化技術を駆使している。

(4) 高信頼性機能の充実

内蔵メモリと外部バスのパリティ検査や、チップ二重化構成での外部バス比較機構による故障検出を実現。さらに、オペレーティングシステムへの障害報告機能もサポートする。

2.2 システムでの位置付けと諸元

図1、図2にCPUボードとCPUチップパッケージの写真を示す。ボード上にはCPUチップが2チップ、二重化構成で搭載され、さらにキャッシュ制御、主記憶/システムバス制御、割込み制御の周辺ゲートアレーが5チップ、外部キャッシュ用SRAMが256Kバイト、主記憶用DRAMモジュールが最大で384Mバイト実装される。ボードサイズは290mm×310mmで両面実装方式をとっている。

図3にCPUのチップ写真を示す。0.8 μ mCMOSプロセス（2層ポリシリコン2層メタル）で16.3mm×12.7mmに約170万トランジスタを集積した。チップは257ピンセラミックPGAに封止され、アドレスバス29ビット、データバス64ビット、システム制御信号線で周辺チップと接続される。

表1にCPUチップの主要諸元を示す。

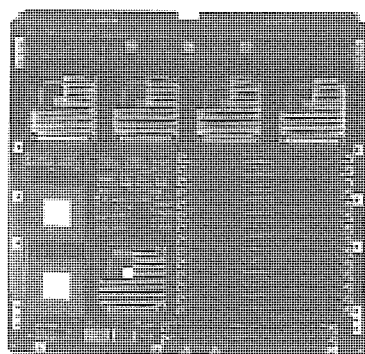


図1. MELCOM 80“GSファミリー”
最上位機 CPU ボード

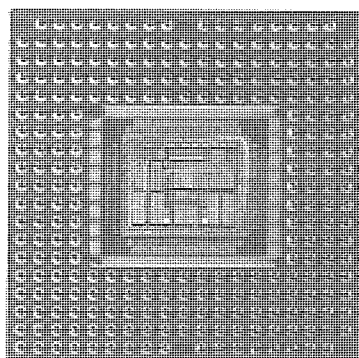


図2. CPU チップパッケージ

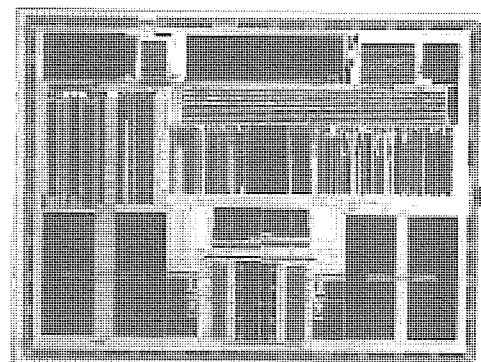


図3. CPU チップ写真

表1. CPU チップ諸元

命令セットアーキテクチャ	MELCOM80 GS ファミリー互換
命令数	211命令
データ形式	整数, 浮動小数点数(単, 倍精度), 10進数
動作周波数	40MHz
クロック	単相クロック入力(PLL 回路内蔵)
実行クロック数	基本命令 : 1クロック 最小バスサイクル: 2クロック
アドレス/データバス	29ビット/64ビット独立+パリティビット
パイプライン構成	6ステージ(IF-D-A-F-E-W, 1クロック/ステージ)
内蔵キャッシュ	命令 : 8Kバイト(4ウェイセットアソシアティブ, 32バイト/ライン) データ: 8Kバイト(4ウェイセットアソシアティブ, 32バイト/ライン)
TLB(高速アドレス変換機構)	命令 : 64エントリ(4ウェイセットアソシアティブ) データ: 128エントリ(4ウェイセットアソシアティブ)
命令キュー	16バイト
ストアバッファ	4エントリ
チップサイズ	16.3mm×12.7mm
パッケージ	257ピンセラミック PGA
電源電圧/消費電力	+5V/6W

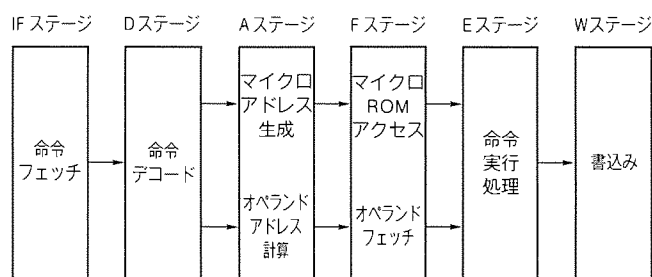


図4. CPU チップのパイプライン構成

3. ハードウェア構成

CPU チップは高度なパイプライン処理機構, 内蔵キャッシュメモリ, 専用演算機構などの採用により, 基本命令処理の1クロック化と動作周波数の向上を実現し, システム性能の大幅な向上を達成した。

3.1 パイプライン処理機構

CPU チップは, 図4に示すように6ステージのパイプライン処理によって命令を実行する。

命令フェッチ (IF) ステージは命令キューを備えており, 命令キューに空きがある間は常に命令フェッチを行って命令デコードステージに命令コードを供給する。

命令デコード(D)ステージでは, 供給された命令をデコードして次ステージ以降で必要な制御情報を生成する。基本命令は1クロックでデコードされ, 可変長オペランド命令などのデコード処理は複数のクロックがかかる。

オペランドアドレス計算(A)ステージでは, メモリオペランドの論理アドレスを計算する。ベースレジスタやインデックスレジスタの値が必要な場合には, 実行ステージにある汎用レジスタファイルが参照される。さらに, 先行命令によるレジスタの書換えとアドレス計算時にレジスタ参照の整合性

が保たれるようになっている。

オペランドフェッチ(F)ステージでは, オペランドのアドレスを論理アドレスから実アドレスに変換すると同時に, データキャッシュをアクセスしてオペランドのデータを読み出す。キャッシュ/TLB にヒットした場合には1クロックでデータを読み出すことができる。また, このステージでは同時にマイクロプログラムの読出しとデコードも行う。

実行(E)ステージは完全水平型のマイクロプログラム制御で, 命令の実行を行う。基本命令は1クロックで実行される。

書込み(W)ステージはメモリオペランドをデータキャッシュとストアバッファに書き込むステージで, スタアバッファを4エントリ備えている。

このようなパイプライン機構により, メモリオペランドのロード/ストア, メモリオペランドとの演算などの基本命令が1クロックで連続実行可能になっている。

3.2 先行分岐処理機構

パイプライン処理では, 分岐命令は命令の連続処理を乱す最大の要因であり, 実行頻度も高い。したがって, 分岐命令によるパイプライン処理の乱れを最小にすることが性能向上に直結する。このCPU チップでは分岐命令によるパイプラインの乱れを減らすため動的な分岐予測機構を取り入れ, 先行ジャンプ処理を行った。

動的な分岐予測機構では, 分岐命令の命令アドレスに対応させて分岐履歴を記憶しており, 分岐方向をこの履歴に従って予測する。先行ジャンプ処理では前もって分岐命令の分岐先アドレスを計算しておいて, 分岐すると予測された場合には分岐先の命令列のフェッチ要求を出す。これにより, 予測がヒットした場合にはパイプラインの乱れを小さく抑えることができる。

3.3 アドレス変換機構とキャッシュメモリ

命令のパイプライン処理を効率的に動作させるには, 命令やデータのアクセスを独立かつ1クロックで実行する必要がある。CPU チップではハーバードアーキテクチャを採用した。命令/データキャッシュはそれぞれ8Kバイトで4ウェイセットアソシアティブ, ラインサイズは32バイト, LRU方式を採る。データキャッシュはストアスルー方式である。

また, 命令/データそれぞれについて64エントリ/128エントリのTLBを備えている。TLBは4ウェイセットアソシアティブ, LRU方式で制御され, 実ページアドレスのほ

かにページの制御情報も保持している。また、論理アドレスの一部のビットをハッシングしてTLBを参照することにより、TLBのヒット率低下を防いでいる⁽¹⁾。TLBとキャッシュを同時に参照することによって、ヒット時1クロックでのアクセスを可能にしている。

3.4 高速なデータ転送、演算処理

性能向上に向けて64ビット単位のデータ処理と専用演算器を採用した。チップ内部には二つの32ビットALUと2組の32ビットバス(全部で6本)があり、ほとんどの命令は32ビット単位で1クロックで実行される。さらに、二つのALUを並列に使用することによって64ビット単位でのデータ移動や演算が行え、ビジネス系の応用ソフトウェアで重要な可変長バイト列の転送や演算も高速に実行することができる。

また、整数/浮動小数点数/10進数データの演算用に32ビット×56ビットの乗算器と64ビットの除算器、ビジネス系の応用ソフトウェアのために2進10進/10進2進変換などの専用のデータ変換器を内蔵した。

3.5 外部バスインタフェース

CPUチップの外部バスインタフェースとしてはアドレスバス29ビットとデータバス64ビットを独立に備え、標準データ転送の最小バスサイクルは2クロックである。また、バースト転送モードを備え、64ビット(=8バイト)のデータバスを用いて最少5クロックまで1キャッシュラインのデータを転送することができる。さらに、内部キャッシュと主記憶のデータの一致性を保つためにキャッシュコヒーレンシプロトコルをサポートしている。

3.6 信頼性向上機構

コンピュータシステムで要求される高い信頼性を実現するため、CPUチップでは内部にエラー検知回路を設け、検出したエラーを割込みによってソフトウェアに通報する。内部メモリのキャッシュ/TLBにパリティビットを付加し、エラー検知を行った。また、外部のアドレスバスとデータバスにもパリティビットをもたせている。チップ全体の誤動作の検知は二つのチップの出力信号の比較によって行う。

4. 実現技術

4.1 回路設計

CPUチップでは40MHz動作達成のために様々な技術を採用した⁽²⁾。半導体プロセスでは最先端の0.8 μ m2層アルミを用いて基本ゲート当たりの遅延を0.5ns以下に抑え、かつ大容量のキャッシュメモリを搭載するために2層ポリシリコンプロセスを採用した。これにより、大容量高速化が可能となった。

パイプライン1段当たり25nsの高速化を実現するためには、Eステージでレジスタの読出し、演算、レジスタへの書き戻しを1サイクルで完了する必要がある。このため、演算を行う全加算器とキャリールックアヘッド回路を高速化した。同じく浮動小数点演算を3サイクルで終了させるために乗算器の全加算器も高速化した⁽³⁾。IFステージやFステージの場合、命令キャッシュやデータキャッシュのアクセスがクリティカルになる。TLBによる仮想アドレスから実アドレスへの変換と、ページディスプレースメントによるキャッシュの読出しは図5に示すように半サイクルで完了し、ヒットしたウェイを残りの半サイクルで読み出して転送する。このキャッシュは4ウェイ構成であるため、メモリ読出しの高速化と同時に高速なタグ比較が必要となる。そのために特にタグの比較回路を高速化している。

4.2 クロック供給

CPUチップ内部は二相クロックで動作している。チップサイズが大きいためクロック供給には細心の注意を払った。25nsサイクルで動作する同期型論理に対して要求されるクロックのスキュー(ずれ)は、二相間を含めて最悪でも1ns以下に抑え込む必要がある。このため、図6に示すようにチップの2辺にメインクロックドライバを配置し、その間を十分な太さのアルミ配線で結び、そこから各ブロックに直接供給する手法でRC遅延を最小にしている。二相間のずれと外部クロックのずれを抑え込むためにPLL(Phase-Locked Loop)回路をクロック源発振として用いている。PLLは、

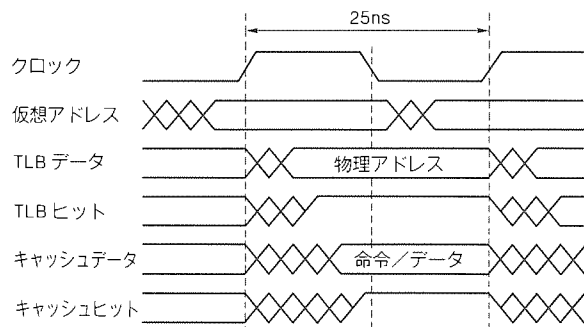


図5. キャッシュとTLBのアクセスタイミング

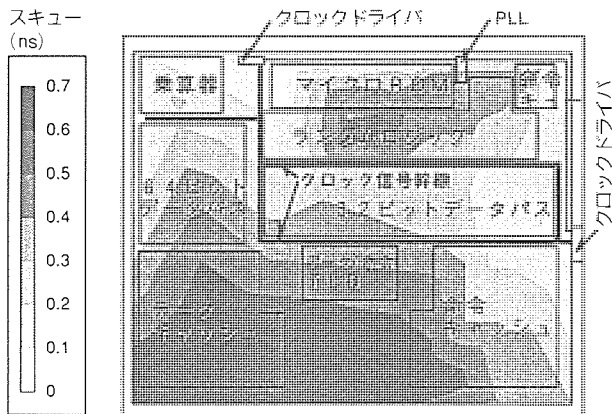


図6. CPUチップのレイアウトとクロックスキュー

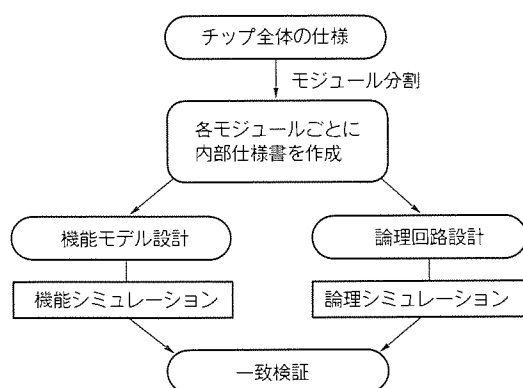


図7. CPUチップの機能検証

外部クロックのデューティ、電源電圧、温度そしてプロセス変動に対しても強いという特長があるが、アナログ動作を行うためデジタル部からのノイズが心配される。CPUチップではパッケージやLSIのレイアウトを工夫することによってこの影響を防いでいる。これらの結果、スキューを0.7 ns以下にすることができた。

4.3 テスト容易化設計

CPUチップはROMを513Kビット、RAMを158Kビット内蔵しておりチップ面積の3割近くを占める。これをピン数を増やさずに効率的にテストするため、ROMはBIST (Built In Self Test) 機構を採用した。BISTは命令デコーダ、演算器、レジスタもチェックしている。一方、RAMのテストにはキャッシュのコヒーレンシ機構を利用した。このためピン数やゲート、内部配線の増加なしに、テストモードでRAMを外部から直接読み書きすることができる。これらのテスト機構はLSIテストからだけではなく、システム実装状態でも起動することができる。

4.4 設計手法

論理設計には、当社で開発した論理合成ツールSOLDIER⁽⁴⁾を使用し、設計期間の短縮とクリティカルパスの最適化に役立てた。主に命令デコーダ等に用いられ、ランダムロジックの約2割をこのツールで設計した。指定されたタイミング(遅延)内で最適で間違いのない論理回路を短いターンアラウンドタイムで合成することができた。

また、チップ全体でメモリ以外の論理規模も極めて大きい。したがって、チップ全体での論理回路の高速動作を保証するために、まずモジュール単位の動作についてゲートや加算器等について回路シミュレーションを実施した。さらに、モジュールをまたがる部分については、タイミング解析用のツールを活用し、クリティカルパスを抽出して最適化した。

レイアウトは、ランダムロジック部については専用に開発した標準セルを使用し、その他のマクロブロックについては手設計で行った。これにより、トランジスタサイズの最適化とチップ面積の最小化を実現した。標準セル部分は自動配置配線ツールを用いてレイアウトした。ミスの生じやすい標準

セル部とマクロブロック間の配線もこのツールで一括してレイアウトすることにより、設計期間を短縮することができた。

5. CPUチップの機能検証

今回の開発ではCPU機能の大部分が1チップに集積されるためチップ製造後の手直しが不可能である。したがって、チップ設計時の機能検証には特に注意を払った。

(1) 機能モデルの開発と一致検証

今回の機能検証では、図7に示すようにCPUチップの機能モデルを論理設計と並行に開発して活用した。機能モデルとはチップ動作を1クロック単位で模擬するシミュレータである。チップの内部仕様書に基づいてハードウェア記述言語Verilogで開発した。記述レベルが高いため短期間で開発でき、論理シミュレーションと比べて高速なので大量のテストプログラムを流すことができる。その結果、内部仕様の不具合を設計早期に検出することができた。さらに、論理シミュレーションと動作の一致をとることによって詳細な検証を実施することができた。

(2) シミュレータ上でのシステム検証

また、CPUチップの機能モデルと周辺チップのゲートレベルシミュレータを組み合わせることにより、CPUボードの検証を行った。これにより、実機動作以前にシミュレータ上でチップ間インタフェースの整合性が検証できた。

シミュレータ上では218万クロックに及ぶテストプログラムを流してCPUチップの機能を検証した。

6. むすび

本稿では、当社オフコンCPU用に開発した32ビットCPUプロセッサの概要と実現手法について述べた。このチップの開発は、汎用マイクロプロセッサの開発を通じて培われた半導体技術とコンピュータシステム技術の融合によって初めて可能になった。

参考文献

- (1) 郡 光則, Heine, D. L., 下間芳樹: セットアソシアティブメモリにおける最適ハッシュ関数の選択法, 情報処理学会第44回全国大会論文集, 6-67 (1992)
- (2) Saito, Y., et al.: A 1.71M-Transistor CMOS CPU Chip with a Testable Cache Architecture, 1993 ISSCC Digest of Technical Papers (1993)
- (3) Shimazu, Y., Kengaku, T., Fujiyama, T., Teraoka, E., Ohno, T., Tokuda, T., Tomisawa, O., Tsujimichi, S.: A 50MHz 24b Floating-Point DSP, 1989 ISSCC Digest of Technical Papers, 44~45 (1989)
- (4) 平峰正信, 石川淳士, 野村和男, 佐藤晴美, 東田基樹, 数馬好和: 多段組合せ論理合成システムSOLDIER, 情報研報, 90-DA-55, 41~48 (1990)

ATM スイッチ用 LSI

野谷宏美* 齊藤泰孝**
近藤晴房* 小浜茂樹***
山中秀昭** 松田吉雄*

1. ま え が き

高度情報化社会への第一歩として、1988年、音声・ファクシミリ・データ通信などの多様なサービスをデジタル通信網で一元的に提供する ISDN (サービス総合デジタル網) の商用サービスが開始された。1990年には、CCITT (国際電信電話諮問委員会) によって、LAN 間相互接続・動画像・高品位映像などの超高速サービスやマルチメディアサービスを実現する広帯域 ISDN が勧告化され、2000年以降の情報通信社会のインフラストラクチャとして期待されている。広帯域 ISDN を構築する上で、半導体集積回路技術の寄与するところは大きく、とりわけネットワークの中核となる ATM (Asynchronous Transfer Mode: 非同期転送モード) 交換機に用いられるスイッチ LSI は、各研究機関で積極的に研究開発がなされている。

ATM は、広帯域 ISDN を実現するために考案された転送モードであり、“セル”と呼ばれる固定長の packets を単位として情報を扱う。ATM 網の模式図を図 1 に示す。情報を packets として扱うので、パーストラフィックにも適しており、ネットワークを有効に利用することができる。また、packets 長を固定してハードウェアによる高速処理を可能にしたので、リアルタイム性が要求されるデータにも適している。セルは 5 バイトのヘッダと 48 バイトのデータから構成され、ネットワーク内の ATM 交換機において、ヘッダに従って自動的に交換される。ここで用いられるスイッチ LSI には、大容量化、高速化、セル廃棄率の低減、低消費電力化などが要求される。セル廃棄率は、セルが特定の回線に集中した場合に廃棄される割合を示し、廃棄率の低い方が優れた伝送品質を提供できる。上記の項目を満足すべく、様々なスイッチアーキテクチャが研究されている。

2 章では、ATM スイッチの代表的なアーキテクチャ及びこの ATM スイッチが採用した独自のアーキテクチャ“分割共通バッファ

方式”について述べる。3 章では、今回開発試作した ATM スイッチ用 LSI 3 品種“A-LSI”“B-LSI”“C-LSI”について述べる。

2. ATM スイッチアーキテクチャ

ATM スイッチでは、複数の入線から到着したセルが同一の出線へ出力される場合があるため、通常、セルを格納するためのバッファメモリを備えている。このバッファの配置によってスイッチ方式を分類することができる。

- (1) 入線／出線対応にバッファを設ける入力／出力バッファ方式⁽¹⁾
- (2) マルチプレクサ／デマルチプレクサを介して全入出力間で同一のバッファを共有する共通バッファ方式⁽²⁾
- (3) 入線と出線の格子点ごとにバッファを設けるクロスポイントバッファ方式

なかでも共通バッファ方式は、バッファ使用効率の高さから注目されている。

2.1 共通バッファ方式

この方式の利点は、バッファ使用効率が高いことである。このため、総バッファ容量が等しい場合、この方式は他の方式と比べて最も低いセル廃棄率を達成できる。

一方、この方式の問題点は、全入出力間で 1 個のメモリにアクセスするため、メモリのアクセス速度がシステムの動作速度を律速することである。要求されるアクセス速度を表 1 に示す。N×N スイッチの場合、アクセス速度は回線速度の 2N 倍となり、スイッチの大容量化に伴って高速メモリが必

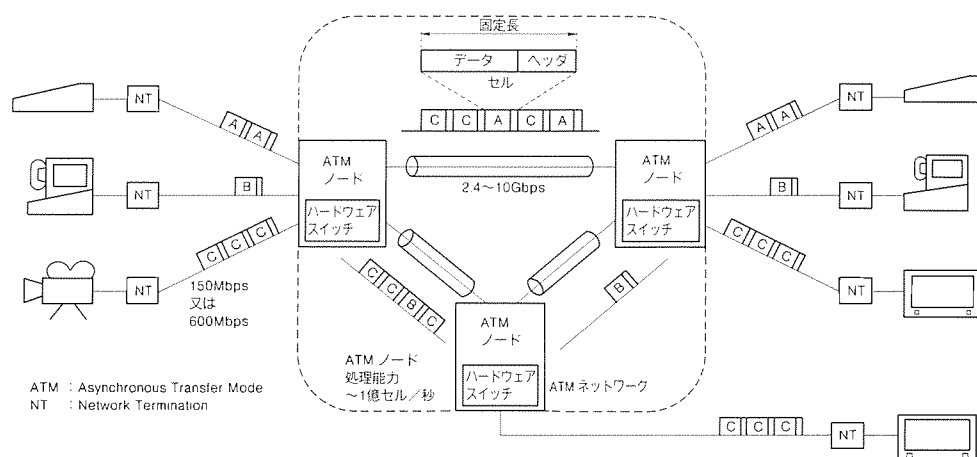


図 1. ATM 網

要となる。一般にはセルを多ビット展開してアクセス速度を下げることが採られているが、このために大規模なマルチプレクサ/デマルチプレクサ回路が必要となる。

2.2 分割共通バッファ方式

そこで、我々は空間スイッチを介して全入出力間で複数のバッファを共有する“分割共通バッファ方式”を提案した^{(3)~(5)}。セルは、入力側のスイッチを介して空いているバッファに優先的に書き込まれ、出力側のスイッチを介して先の出線に出力される。この方式の特長は、共通バッファ方式の利点であるバッファ使用効率の良さを保ったまま、同方式の問題点であるメモリのアクセス速度を緩和したことである。

しかし、バッファを複数に分割すると、異なる出線に出力すべき複数のセルが同一のバッファに格納されている場合、すべてのセルを読み出すことができない状態が生じる。このため、出線の使用率、すなわちスループットが低下する。そこで、我々は読出し速度を上げてスループットの向上を図った。バッファ分割数を回線数と等しくした場合、読出し速度比によるスループットの向上及びセル廃棄率の低減を検証したシミュレーション結果を図2及び図3に示す。3倍速で読み出せば、共通バッファ方式と同等の性能が得られる。表1に示すように、読出し速度を3倍にしても要求されるアクセス速度は回線速度の4倍であり、 8×8 スイッチの場合、共

表1. スイッチ方式によるアクセス速度の比較

	共通バッファ方式	分割共通バッファ方式
回路構成		
アクセス速度	$N \times N$ スイッチの場合 回線速度の $(N+N=2N)$ 倍 8×8 スイッチの場合 回線速度の $(8+8=16)$ 倍	読出し速度が S 倍のとき 回線速度の $(1+S)$ 倍 読出し速度が3倍のとき 回線速度の $(1+3=4)$ 倍

注 MUX : マルチプレクサ
DMUX : デマルチプレクサ
SBM : 共通バッファメモリ
SW : 空間スイッチ

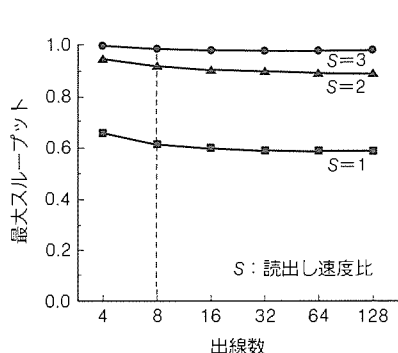


図2. 読出し速度比によるスループットの向上

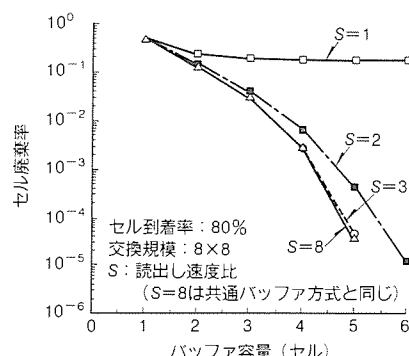


図3. 読出し速度比によるセル廃棄率の低減

通バッファ方式に比べてアクセス速度が $1/4$ に緩和される。

3. LSIの開発

2章で述べた分割共通バッファ方式を採用したATMスイッチを実現するために、我々は3品種のLSIを開発した。それらは入出力セルの位相をそろえて入力セルのヘッダを抽出する“A-LSI (アライナ LSI)”, セルのバッファリング及びスイッチングを行う“B-LSI (バッファ・スイッチ LSI)”, バッファメモリの書き込み/読出しアドレスと空間スイッチの制御信号を生成する“C-LSI (コントロール LSI)”である。このATMスイッチのスイッチ規模は 8×8 、回線速度は622Mbpsであり、1回線を8ビット並列にしているので、動作速度は78MHzである。また、1章で述べたようにATMセル長は53バイトであるが、スイッチシステム内では、システム内のあて先等を示した2バイトのエキストラヘッダを付加して55バイトとしている。

ATMスイッチ用LSIは、78MHzの高速動作を実現するために、 $0.8 \mu\text{m}$ BiCMOSプロセスを採用しており、78MHzの信号にはECLレベル、これより低速の信号にはCMOSレベルをそれぞれ用いている。内部回路は集積度の高いCMOS回路で構成されている。また、パッケージには熱特性の良いキャビティダウン式セラミックQFPを採用している。3チップの諸元を表2にまとめる。

3.1 A-LSI

A-LSIは、入出力セルの位相調整、入力セルのヘッダ抽出、入力セルのパリティ生成、出力セルのパリティチェック及び各種エラー検出の機能をもち、1チップに入出力とも2回線ずつ収容する。1回線に相当するブロック図を図4に示す。セルの位相をそろえるために、入線には10ビット、B-LSIからの入力には4ビットのエラスティックストアを設けている。内部回路の設計には $0.8 \mu\text{m}$ CMOSゲートアレーを用いて設計期間の短縮を図った。チップ写真を図5に示す。

3.2 B-LSI

B-LSIは、セルのバッファリング及びスイッチング機能をもち、ビットスライスに8個とパリティ用に1個用いられ

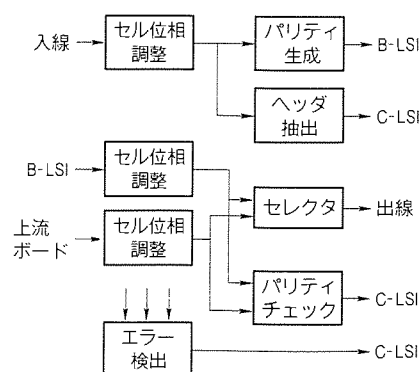


図4. A-LSI ブロック図(1回線相当)

る。ブロック図を図6に示す。128セル分のバッファメモリにはモジュールジェネレータで生成した7KビットRAMを用いており、8個のバッファで1,024セル分のメモリ容量をもつ。1セル(55クロック)周期に1セルの書込みと3セルの読出しを行うが、14ビット展開してメモリにアクセスしているため、平均サイクルタイムは44nsであり、更なる高速化の余地を残している。空間スイッチには高速・小面積なプリチャージ式クロスポイントスイッチを採用している。

また、B-LSIはビットスライスに用いられるため、PLL(位相同期回路)を内蔵している。ここで39MHz二相クロックを生成しており、A-LSIから入力されるデータ系には78MHzクロック、C-LSIから入力される制御系には39MHz

二相クロックをそれぞれ用いている。また、PLLを除くブロックは有効セルの場合のみ動作し、アイドルセルの場合は停止して低消費電力化に貢献している。B-LSIは内部回路のレギュラリティが高いため、手描きによるレイアウトの最適化を行った。チップ写真を図7に示す。

3.3 C-LSI

C-LSIは、バッファメモリの書込み／読出しアドレスと空間スイッチの制御信号を生成する機能をもつ。出線アドレスキューとして、各出線対応に1,024セル分のバッファメモリ番号とアドレスを格納できるFIFOをもっており、外付けRAMを利用している。外付けRAMを含むブロック図を図8に示す。セルを書き込むバッファメモリ番号とアドレスは、

表2. チップ諸元

	A-LSI	B-LSI	C-LSI
プロセス	0.8 μ mBiCMOS	0.8 μ mBiCMOS	0.8 μ mBiCMOS
ゲート／トランジスタ数	20Kゲート	40kTr. +56KビットRAM	61Kゲート
クロック周波数(MHz)	78	78	78
消費電力(W)	5.0	3.0	5.0
電源電圧(V)	-5.2	-5.2	-5.2
入出力インタフェース	ECL/CMOS	ECL/CMOS	ECL/CMOS
チップサイズ(mm)	8.9 \times 8.4	10.5 \times 10.4	13.1 \times 12.2
パッケージ	236ピンQFP	236ピンQFP	356ピンQFP

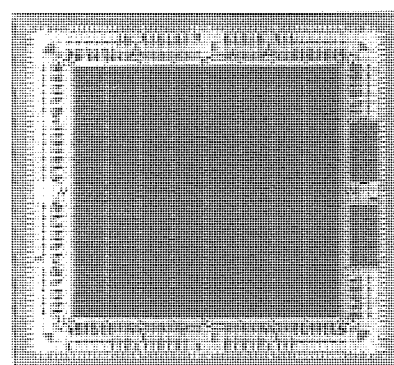


図5. A-LSI チップ写真

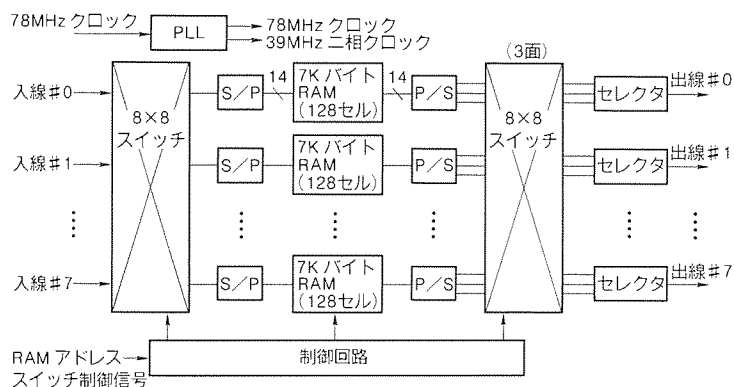


図6. B-LSI ブロック図

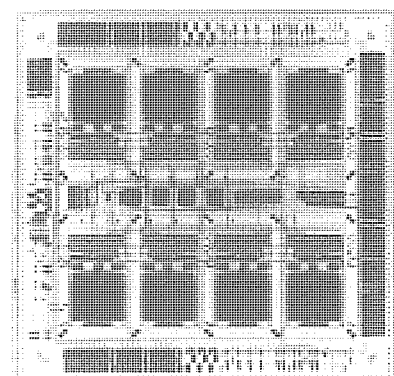


図7. B-LSI チップ写真

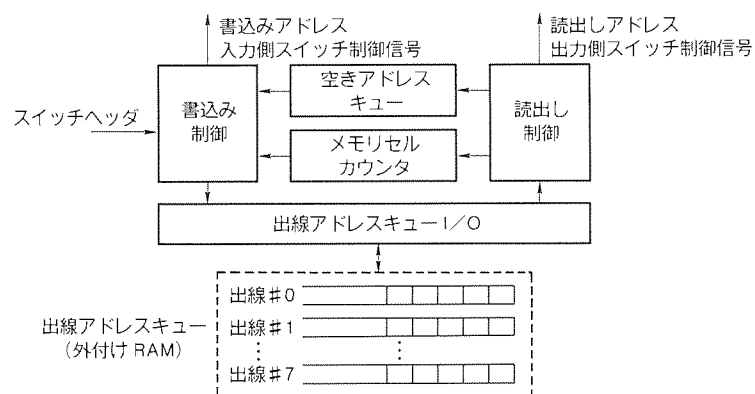


図8. C-LSI ブロック図(外付けRAMを含む)

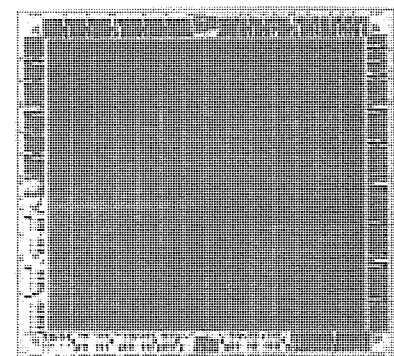


図9. C-LSI チップ写真

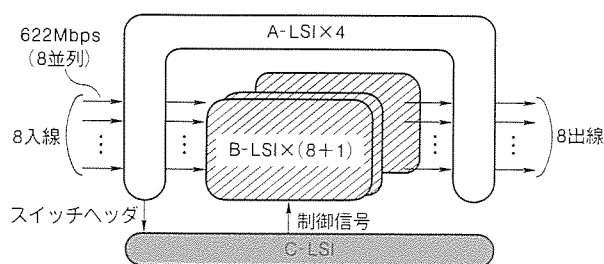


図10. ATMスイッチボード構成

表3. ATMスイッチボード諸元

回線速度 (Mbps)	622.08 (77.76Mbps×8)
クロック周波数 (MHz)	77.76
スイッチ規模	8×8
セル長 (バイト)	53+2
バッファ容量 (セル)	1,024

B-LSI に送られると同時に先の出線アドレスキューに入れられる。読出しアドレスはキューの先頭から取り出されてB-LSIに送られる。

C-LSIは、空きアドレスキューとして、各バッファ対応に128ビットのフラグマップとエンコーダ/デコーダを内蔵しており、メモリの空きアドレスを管理している。また、メモリセルカウンタとして、7ビットのアップ/ダウンカウンタをもっており、メモリの空きアドレス数を数えている。8個のバッファの空きアドレス数はチップ内のハードウェアソータにおいて比較され、空きアドレスの多いバッファから順に書き込み優先順位が与えられる。A-LSIと同様、内部回路の設計には0.8 μ mCMOSゲートアレーを用いて設計期間の短縮を図った。チップ写真を図9に示す。

3.4 ATMスイッチボード

622Mbps, 8×8のATMスイッチボードは、4個のA-LSI, 9個のB-LSI及びC-LSIから構成される。ボードの構成及び写真を図10及び図11に示す。バッファメモリとして1,024セル分のRAMを搭載しており、十分低いセル廃棄率を達成している。ボードの諸元を表3に示す。

4. む す び

以上、当社独自の“分割共通バッファ方式”を採用したATMスイッチ用LSIについて述べた。今回開発試作した3品種のLSIは、いずれも0.8 μ mBiCMOSプロセスを採用しており、78MHzの実使用周波数に対して90MHz動作を達成している。LSI化によって、622Mbps, 8×8のATMスイッチを1枚のボードで構成することが可能となった。ま

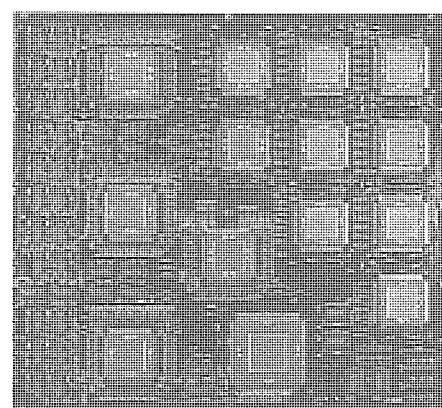


図11. ATMスイッチボード

た、この方式は、共通のバッファ方式の利点であるバッファ使用効率の良さを保ったまま、同方式の問題点であるメモリのアクセス速度を1/4に緩和したことを特長としている。

今後、ATMスイッチには更なる高速・大容量化が要求されるが、このアーキテクチャはその要求にも十分こたえられるものである。

参 考 文 献

- (1) Suzuki, H., Nagano, H., Suzuki, T., Takeuchi, T., Iwasaki, S.: Output-buffer Switch Architecture for Asynchronous Transfer Mode, ICC '89, 1, 99~103 (1989)
- (2) Tanaka, S., Shobatake, Y., Sakaue, K., Motoyama, M., Takatsuka, S., Ishibe, M., Shimizu, S., Noda, M., Shimojoh, Y., Kamagata, E., Seta, K., Niitsu, Y., Yamaura, K., Momose, H.: A 400 Mb/s 8×8 BiCMOS ATM Switch LSI with 128 kb On-Chip Shared Memory, ISSCC '91, 242~243 (1991)
- (3) Notani, H., Kondoh, H., Hayashi, I., Yamanaka, H., Saito, H., Matsuda, Y., Nakaya, M.: An 8×8 ATM Switch LSI with Shared Multi-buffer Architecture, 1992 Symposium on VLSI Circuits, 74~75 (1992)
- (4) Kondoh, H., Notani, H., Yamanaka, H., Higashitani, K., Saito, H., Hayashi, I., Kohama, S., Matsuda, Y., Oshima, K., Nakaya, M.: A 622Mbps 8×8 ATM Switch Chip Set with Shared Multi-buffer Architecture, ESSCIRC '92, 217~220 (1992)
- (5) Oshima, K., Yamanaka, H., Saito, H., Yamada, H., Kohama, S., Kondoh, H., Matsuda, Y.: A New ATM Switch Architecture Based on STS-type Shared Buffering and Its LSI Implementation, ISS '92, 1, 359~363 (1992)

広帯域 ISDN 対応 BiCMOS LSI

植田昌弘* 川畑英雄*
埴淵敏明* 飛田康夫***
東谷恵市**

1. ま え が き

近年のデジタル系 LSI は、プロセスの微細加工技術の進展によって高速、大規模化が急速に進んでおり、ASIC (Application Specific IC) が、システムの小型・低消費電力化等において重要な役割を担っている。ASIC では、高速動作と低消費電力化を実現できる技術として、バイポーラトランジスタを用いた回路技術と PMOS と NMOS で構成される CMOS 回路技術を結合した BiCMOS 回路技術が発表されて以後、様々な研究開発⁽¹⁾⁽²⁾及び製品への適用⁽³⁾⁽⁴⁾が行われ一つの技術分野を形成している。

一方、通信の分野では、映像通信や高速データ通信など高速・広帯域サービスが提供可能な広帯域 ISDN (Broadband Integrated Services Digital Network) の実現に向けて関連開発が盛んに行われている。

今回の広帯域 ISDN 分野の関連装置開発を目的とした LSI の開発に対し、ゲートアレー手法を用いて高速高密度でかつ低消費電力化が可能な 150 K ゲート規模の BiCMOS LSI を開発したのでその概要について紹介する。

2. ゲートアレーの特長

通信用の LSI では、正電源系の TTL, CMOS レベルと負電源系の ECL レベルの両方のインタフェースを同時に入出力できれば LSI 外部でのレベル変換が不要となるので、装置やボードの小型化において有利となる。今回開発した BiCMOS LSI では、TTL, CMOS, ECL (Emitter Coupled Logic) の三つのレベルを同時に扱うことを前提とし、開発の効率化を図るためにゲートアレー手法を用いた。また、ECL レベルによる動作速度は、広帯域 ISDN での信号処理に必要な 156 MHz を目標とした。

BiCMOS 技術をゲートアレーに適用するメリットには、次の 3 点が考えられる。

- (1) 重負荷時の内部ゲートや出力バッファの高速化
- (2) ECL, BTL (Backplane Transceiver Logic) のような高速処理に適した小振幅インタフェースレベルの実現
- (3) アイドル電流を流さない内部ゲートの回路構成による低消費電力化

この LSI は、上記三つのメリットを最大限

引き出すように、チップ及びプロセスの両面から仕様を決めた。表 1 に BiCMOS ゲートアレーの主要諸元を示す。

2.1 製造プロセス

プロセスには、当社独自の DIIP (Double Implanted and Isolated P-well) 構造⁽⁵⁾をもった 0.8 μm の BiCMOS を新規に開発した。

図 1 にデバイスの断面を示す。このプロセスでは、NMOS 部に生じる縦方向の寄生 NPN トランジスタの諸耐圧を保持し、かつ、NMOS トランジスタの接合容量の増加を最小限に抑制するため DIIP 構造を採用している。これは高エネルギーでのボロン注入法を用いて浅い P ウェル中に高濃度の P⁺ 領域を形成し、NMOS の形成される P ウェル領域の不純物分布を最適化するものである。NMOS トランジスタの P ウェルは N⁺ 埋込み拡散層と N ウェルにより、P 型基板と分離されており、基板、P ウェル、N ウェルの電位を独立に固定することができる。

MOS トランジスタの最小ゲート長は両チャネルとも 0.8 μm である。また、NMOS には 5 V 動作時の耐ホットエレクトロン性に優れたゲートオーバーラップ LDD 構造を、PMOS トランジスタには従来の LDD 構造を採用している。

配線には、3 層配線を可能とするために層間絶縁膜に TEOS 系の CVD 酸化膜を用いて更なる平坦化を行った。また、エレクトロマイグレーションやストレスマイグレーションなどの信頼性向上のために、AuSiCu と TiN 系の下敷き膜から成る配線構造を用いている。

2.2 チップ構成

今回開発した BiCMOS LSI は、内部ゲートに当社独自のバイポーラトランジスタと PMOS を融合した基本セルを採用することで敷詰めゲート数で 153 K ゲート (2 入力 NAND

表 1. BiCMOS LSI の主要諸元

使用プロセス	P ウェル分離型 0.8 μm BiCMOS 3 層配線プロセス
チップ構成	内部: バイポーラ・PMOS 融合型 BiCMOS 基本セル 周辺: BiCMOS
総ゲート数	153,180 ゲート (612,720 BC)
チップサイズ	13.08 mm \times 12.22 mm
電源電圧	+5.0 V \pm 10% / -5.2 V \pm 5%
インタフェースレベル	TTL / CMOS / ECL (10 KHz)
信号数	216 I/O (最大 408)
遅延時間	255 ps / ゲート (2 NAND, BiCMOS, l = 2 mm, FO = 2) 505 ps / ゲート (2 NAND, CMOS, l = 2 mm, FO = 2)
使用パッケージ	319 ピンセラミック PGA

ゲート、プリアップ型 BiCMOS 換算、CMOS 換算では 204 K ゲート) を 13.08 mm × 12.22 mm のチップサイズに収めており、BiCMOS ゲートのゲート密度は 960 ゲート/mm と高密度を実現している。

図 2 にチップの構成を示す。チップ周辺の入出力バッファ領域で囲まれた内部領域には、612,720 の基本セル (Basic Cell : BC) と 61,272 個の分離したバイポーラトランジスタを配置している。チップ内部には 8 か所に基準電圧発生回路を埋め込んでおり、ECL の入出力バッファを使う場合は、10 KHz 相当のレベルを入出力するために必要な基準電圧を各バッファに対して供給する。

信号ピン数は最大 408 であり、新規開発の 319 ピンセラミック PGA パッケージの場合、216 まで使用できる。また、すべての信号ピンは、TTL、CMOS、ECL のインタフェースレベルが選択可能である。

印加する電源電圧は 3 種類のインタフェースに対応するため +5V 及び -5.2V の正負 2 電源とした。ECL の信号がない場合は +5.0V の単一電源、TTL の信号がない場合は -5.2V のみの単一電源でも動作する。入出力バッファ部と内部ゲート部の接続構成を図 3 に示す。

2.3 基本セルと入出力回路

基本セルのパターンレイアウトを図 2 左側に、また 2 入力 NAND ゲートの回路例を図 4 に示す。

基本セル 1 BC は、PMOS、NMOS 及びプリアップ側のバイポーラトランジスタの 3 素子から成る。プリアップ側のバイポーラトランジスタは、ベースが PMOS のドレイン領域と同じ不純物拡散タイプであることに着目し、融合したパターンを採用した。プリアップ側のバイポーラトランジスタは、

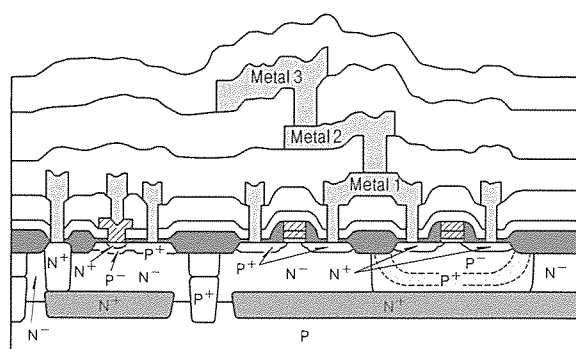
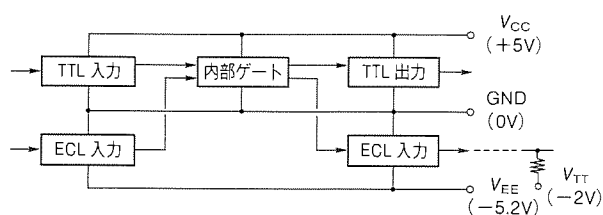
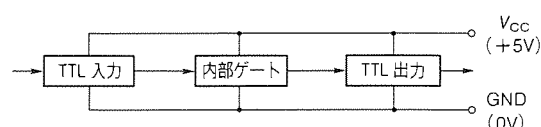


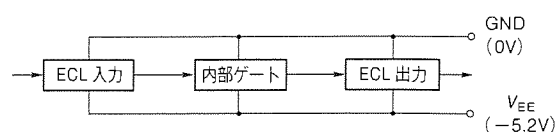
図 1. BiCMOS デバイスの断面



(a) 土電源 (2 電源) 構成



(b) + 電源 (1 電源) 構成



(c) - 電源 (1 電源) 構成

図 3. 入出力バッファと内部ゲートの電源構成

NMOS と領域を融合することが困難なので分離したトランジスタを列方向 5 BC に 1 素子を配置した。行方向には LSI 全体におけるネットの配線長分布の頻度を考慮して約 10% 程度になるように基本セル 2 段ごとに 1 段配置した。

また、内部ゲート回路は図 4 に示すように、4 種類のゲート回路を構成できる。BiCMOS 回路では、図 (d) に示す独自の回路構成により、負荷付きの 2 入力 NAND ゲートで 255 ps/ゲートを達成している。同じ条件での高速プリアップ型 BiCMOS 及び CMOS の遅延時間は、それぞれ 360 ps/ゲート、505 ps/ゲートである。図 4 に示した内部ゲート回路は、回路の種類によって使用する BC 数や遅延時間特性、消費電力が異なり、最適な性能が出せるように LSI 回路の論理設計に応じて使い分けが可能である。

入出力回路では、TTL 及び CMOS バッファは、DIIP 構造を採用したことで単一電源と土電源で回路を同一構成でかつ、アイドル電流が流れない構成にできた。消費電力及び遅延時間は、TTL 入力バッファで $P_d = 0.1 \text{ mW/MHz}$, $t_{pd} = 0.36 \text{ ns}$, TTL 出力バッファで 2 mW/MHz , $t_{pd} = 1.2 \text{ ns}$ と低消費電力化と高速動作を実現している。ECL バッファは単一電源と土電源で回路構成は異なる。土電源の場合の回路を図 5 に示す。図における ECL バッファの遅延時間及び消費電力は、入力で $t_{pd} = 0.85 \text{ ns}$, $P_d = 22 \text{ mW} + 0.1 \text{ mW/MHz}$, 出力で $t_{pd} = 0.95 \text{ ns}$ ($C_L = 15 \text{ pF}$), $P_d = 20 \text{ mW} + 0.05$

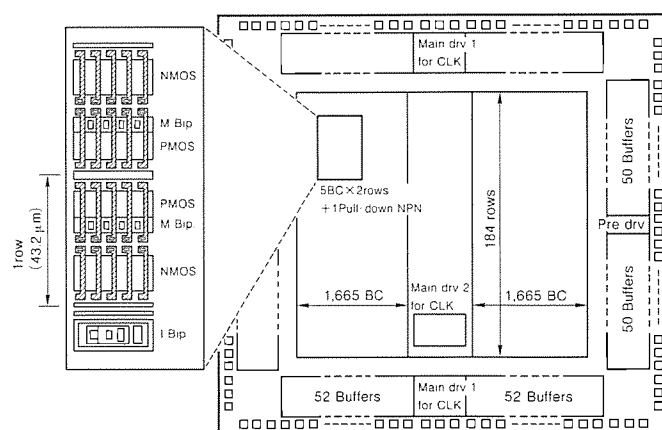


図 2. マスタチップの構成

mW/MHz (出力トランジスタ及び負荷抵抗50 Ω での消費電力を含まず。)である。

2.4 パッケージ

パッケージはチップの許容消費電力を最大5 W ($T_a = 0 \sim 75^\circ\text{C}$ の場合)まで可能にするため、熱伝導率の良い銅-タンゲステン基板をもったフェースダウン型の319ピンセラミックPGAを新規に開発した。

熱抵抗 θ_{ja} は、無風の場合で $12^\circ\text{C}/\text{W}$ であり、風速2 m/sの場合、放熱フィン付きで $4.6^\circ\text{C}/\text{W}$ である。放熱フィン、図6に示すように高さ4 mmと小型である。また、チップに供給される電源電圧を安定させるための平滑コンデンサ取付端子を、パッケージ表面よりくぼ(窪)んだ位置に設けている。これにより、放熱フィンを取り付けた場合でもパッケージ全体の高さを抑えることができた。

3. ライブラリとレイアウトの特長

3.1 設計用CADシステムとセルライブラリ

このゲートアレーのCADシステムには、0.8 μm CMOSゲートアレーで開発した設計システムGA-2⁽⁶⁾をBiCMOS用にカスタマイズして用いており、論理図入力からレイアウト、テスト生成等の作業が統合された環境で行える。セルライブラリはCMOSとBiCMOSとで相互に論理図又はネットリストが変換できる。

内部ゲートのライブラリであるマクロセルには、CMOSタイプを34種、プリアップ型BiCMOSを30種、プッシュプル型BiCMOSを10種用意し、速度と消費電力に応じて最適な使い分けができるようにしている。また、156 MHzの高速信号処理用のセルとして、フリップフロップのセットアップ時間やホールド時間を最小限にした高速動作のセルを

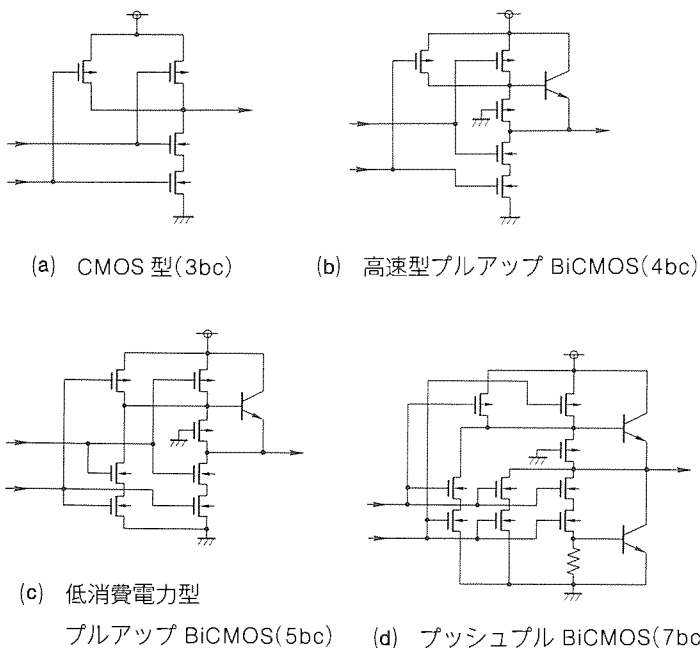


図4. 内部ゲートの回路構成

11種類用意した。

入出力バッファは、基本形を12種類用意し、TTL及びCMOS出力は最大3個のバッファまでを並列接続して出力駆動能力を上げることが可能である。また、ECL出力には通常のオープンエミッタ出力に加えて、外付け部品を削減できるよう5 k Ω のプルダウン抵抗をチップ内部の負電源である V_{EE} (-5.2V)に終端したタイプも用意した。

3.2 レイアウトの特長

レイアウトでは156 MHzを超える高速度信号処理に対処するために、高速度論理回路ブロックはグループ化してチップ内の電源幹線の近くで、かつ、ECLのバッファに近い領域に優先的に配置させる。これにより、高速動作部の配線長を短くできゲートの遅延時間が小さくなる。また、電源幹線の近くに配置するので、高速動作時の回路電流の増大と内部電源電流の過渡的変動が引き起こす誤動作が抑制できる。さらに、ECL及びTTLの出力用のGND配線は、内部ゲート用の電源配線とは独立させ、ECLを使う場合はバッファセルを集中配置させるので、TTL系バッファからECLバッファへのノイズの飛び込みを最小限にできる。

4. 電気的特性

広帯域ISDN用のLSIとして、このゲートアレー手法をCITT勧告I.432に準拠した155.52 Mbpsの伝送速度をもつSDH (Synchronous Digital Hierarchy) ベースのATM (Asynchronous Transfer Mode) インタフェースTC (Transmission Convergence) サブレイヤ終端機能を実現するLSI⁽⁷⁾の試作に適用した。

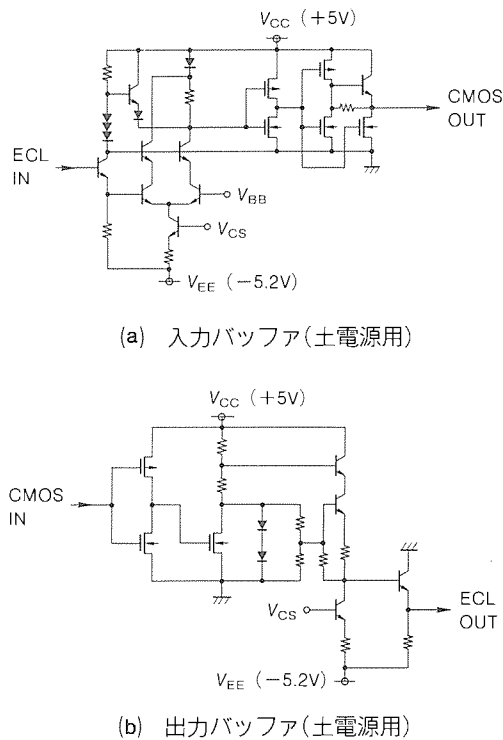


図5. ECLの入力及び出力バッファ回路

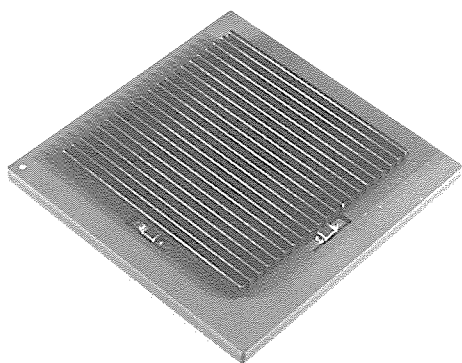


図 6 . パッケージの外観

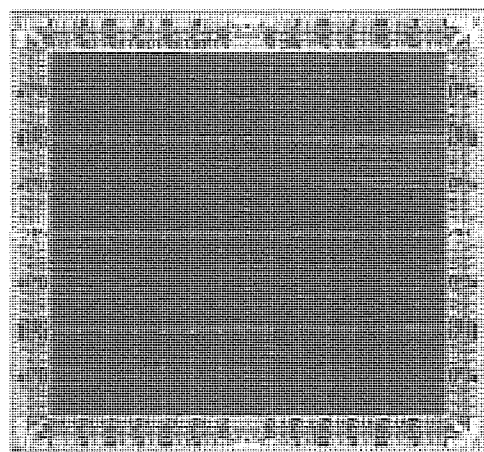


図 7 . 試作 LSI のチップ写真

チップ写真を図 7 に示す。回路規模は、プリアップ型 BiCMOS ゲート換算で 44.6K ゲートであり、156 MHz の ECL 信号を 8:1 の直並列変換回路で 19 MHz に落として内部処理する回路ブロックとその逆変換処理する回路ブロックの二つを内蔵している。使用している入出力ピンは 214 ピンでそのうち ECL は 8 ピンである。

図 8 に 156 MHz 動作での ECL 出力波形を示す。ECL バッファは入出力ペアでは 300 MHz 以上で動作しており、広帯域 ISDN 用の LSI 開発には十分な性能である。消費電力はチップトータルで 1.6 W 以下 ($V_{CC}=5V \pm 10\%$, $V_{EE}=-5.2V \pm 5\%$, $T_a=0 \sim 85^\circ\text{C}$ の場合) であり、内訳は V_{CC} 側が 1.4 W, V_{EE} 側が 0.2 W であった。

5. む す び

TTL/CMOS レベルと ECL レベルを同時に入出力可能な 150K ゲート規模の BiCMOS LSI をゲートアレー手法を用いて開発し、広帯域 ISDN 用の LSI に適用した。試作した LSI において、156 MHz の信号処理系 LSI として十分な性能が確認できた。現在までに数品種を試作完了しており、ATM 関連装置の開発に適用していく予定である。

また、今後は更なる高速化を目指して、0.5 μm の設計ルールを用いて 622 MHz 以上の処理 LSI が実現できるよう、BiCMOS の特性を生かして高速低消費電力化を進める予定である。

参 考 文 献

(1) Nishio, Y., Masuda, I., Ikeda, T., Iwamura, M., Ogiue, K., Suzuki, Y.: A Subnanosecond Low Power Advanced Bipolar-CMOS Gate Array, Digest of Technical Papers, International Conference on Computer

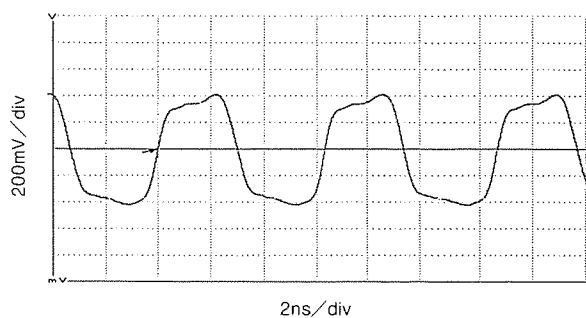


図 8 . 156MHz での ECL 出力波形

Design. 428~433 (1984)

- (2) Hanibuchi, T., Ueda, M., Higashitani, K., Hatanaka, M., Mashiko, K.: A Bipolar-PMOS Merged Basic Cell for 0.8 μm BiCMOS Sea of Gates, IEEE Journal of Solid-State Circuits, **26**, No. 3, 427~431 (1991)
- (3) 水戸野克治, 田中和夫: 大規模・高性能 BiCMOS ゲートアレー, FUJITSU, **43**, No. 1, 48~54 (1992)
- (4) 塩見 徹, 大林茂樹, 本田裕己, 石垣佳之, 梶澤正哉: 超高速 256 K ビット BiCMOS SRAM, 三菱電機技報, **66**, No. 2, 176~180 (1992)
- (5) 東谷恵市, 本多裕己, 植田昌弘, 畑中正宏, 長尾繁雄: P ウエル分離型 BiCMOS 構造の最適化, 電子通信学会研究報告, SDM 89-50, 9~14 (1989)
- (6) 岡辺雅臣, 柿沼守男, 国岡美千子, 村井正弘, 川端啓二: 0.8 μm CMOS ゲートアレー, 三菱電機技報, **65**, No. 2, 156~160 (1991)
- (7) 大久保啓示, 小崎成治, 植田昌弘, 川畑英雄, 部谷文伸: B-ISDN ユーザ・網インタフェース LSI の開発, 1992 年電子情報通信学会秋季大会, B-393

移動体通信用音声コーデック LSI

見学 徹* 藤山等章**
寺岡栄一* 徳田 健*
安井郁夫*

1. ま え が き

デジタルシグナルプロセッサ (DSP) の高性能化に伴い、デジタル信号処理の応用分野が拡大している。通信の分野では移動体通信への応用が特に注目されている⁽¹⁾。デジタル方式の自動車電話や携帯電話など移動体通信機の心臓部は、音声の帯域圧縮を行う低ビットレート音声コーデックである。32kbpsADPCM (Adaptive Differential Pulse Code Modulation) に始まり、16kbps、8kbps と圧縮率を上げたコーデックアルゴリズムが各種開発されている⁽²⁾。これらのアルゴリズムでは、一般に圧縮率が高いほど DSP での演算量が増大する傾向にあり、実現するためには高速の DSP が必要となり、最近ではマシンサイクル 50 ns を切る高速の DSP が発表、製品化されている⁽³⁾。また、音声コーデックを小型化するためには A/D、D/A と DSP の一体化が望ましく、A/D、D/A 内蔵形の DSP も発表されている⁽⁴⁾。さらに、移動体通信への応用では高速性、小型化に加え、特に低消費電力化が重要な条件となる。

今回、音声コーデックを小型、低消費電力で実現することを目的として、A/D、D/A、大容量メモリを内蔵し、種々の音声コーデックアルゴリズムに対応できる高集積、高速、低消費電力音声コーデック LSI を開発した⁽⁵⁾⁽⁶⁾。コア DSP は既に開発した 24 ビット浮動小数点 DSP : mSP 2⁽⁷⁾ とアーキテクチャレベルで上位コンパチブルとなるように設計し、高速化、高精度化及び命令の追加等の改良、機能拡張を行っている。

本稿では、この音声コーデック LSI のアーキテクチャ、セルフテスト及び性能評価結果について述べる。

2. アーキテクチャ

この LSI のブロック構成を図 1 に示す。種々の低ビットレート音声コーデックを 1 チップで実現可能とするために、24 ビット浮動小数点 DSP をコアとし、13 ビット分解能 A/D、D/A コンバータ及び 6K ワードデータ ROM、3.5K ワードデータ RAM を 1 チップに集積している。

A/D、D/A コンバータはコア DSP とのオンチップ化に適したオーバーサンプリング方式とし、13 ビットの分解能をもつ。A/D、D/A、メモリ及びコア DSP はチップ面積の低減、低消費電力化を目標にアーキテクチャ設計及び LSI 化設計を行っている。各ブロックは各々独立に設計しており、

セルベース設計のコアセル/マクロセルとして使用可能である。例えば、A/D、D/A コンバータに必要なデジタルフィルタはコア DSP のプログラムで実現せずに専用ハードウェアを設けている。A/D、D/A とコア DSP は同期動作を基本としているが、それらはシリアル I/O でインタフェースしているため、それぞれ独立に非同期の動作も可能である。また、3 本のモード設定ピンにより、コーデックモード、コア DSP モード、A/D、D/A モード、外部メモリアクセスモードなどが設定できる。

2.1 コア DSP

コア DSP は、音声処理や通信処理の分野に十分な精度とダイナミックレンジを確保し、さらに他の信号処理分野にも対応可能とするため、24 ビット浮動小数点データを扱うことができる。内部は、命令フェッチ、命令デコード及びアドレス計算、命令実行の 3 段のパイプライン構成をとっている。ベクトル量子化等の複雑なアルゴリズムにも十分に対応するためコア DSP に命令 ROM、データ用 2 ポート RAM をそれぞれ 8K ワード、1K ワード搭載している。また、命令によって動作速度の設定が行えるクロックプリスケアラ等の機能により、音声コーデックのみならず各種アプリケーションに広く適用可能である。性能としては、浮動小数点乗算を含むほとんどの命令を 1 マシンサイクル (最悪時でも 60 ns) で実行する高速性と低消費電力化 (最悪時でも 900 mW) を実現している。コア DSP のブロック構成と仕様を図 2 及び表 1 に、主な特長を以下に示す。

2.1.1 データ形式

24 ビット長の浮動小数点 (16E8)、固定小数点及び論理データの 3 種類のデータ形式を扱う。浮動小数点データの仮数部は 16 ビットの 2 の補数表現を用い、正規化されている必

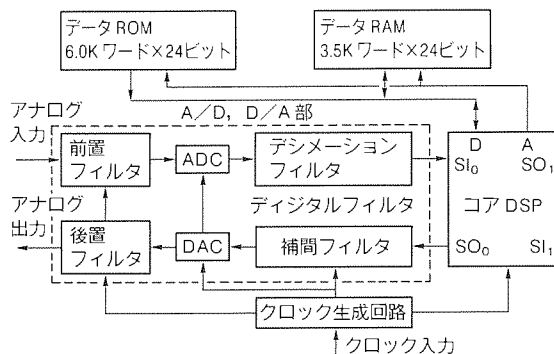


図 1. LSI のブロック構成

要がある。指数部は8ビットで最上位に“1”=128を加えたゲタばき表現を用い、広いダイナミックレンジと高精度を確保している。

2.1.2 演算回路

コアDSPの中心となる演算回路は、24ビットの浮動小数点乗算器(FMPL)、32ビットの浮動小数点ALU(FALU)とアキュムレータ等で構成されており、連続積和演算時のけた落ちによる精度劣化を防ぐため、FMPL出力、FALU及びアキュムレータのデータ形式は、仮数部を拡張した32ビット浮動小数点(24E8)データ形式としている。

2.1.3 クロック発生回路

外部入力クロックをクロックプリスケアラで分周した後、内部クロックを発生する。このクロックプリスケアラの分周比を変更する命令を用意しており、プログラムによる動作速度の変更が可能である。この機能とホールド命令によるパワーダウン状態を利用することにより、システム設計において処理内容に応じた低消費電力化を図ることができる。

2.1.4 内部バス

24ビットのデータバスのほかに、2ポートRAMの出力と演算回路を結ぶ2本の24ビットバスがあり、メモリアクセス、演算、転送の同時実行が可能である。また、シリアル入出力レジスタとコアDSPの外部ポート間を結ぶ専用のバスを設け、シリアル入出力レジスタとデータメモリ間的高速DMA転送機能を実現している。

2.1.5 アドレス生成回路

あらかじめ制御レジスタからモード設定を行うレジデュアル制御を用いた三つのアドレス生成回路をもち、モジュロ、ビットリバース等の高機能なアドレッシングが可能である。さらに、レジスタを介さず直接2ポートRAMにアクセスするダイレクトアドレッシングも可能である。

2.1.6 命令体系

コアDSPの命令は、32ビット幅の水平型で、シーケンス命令、モード命令、オペレーション命令、ロード命令及びビット操作命令の五つのグループに分類できる。各命令の主な内容を以下に示す。

(1) シーケンス命令グループ

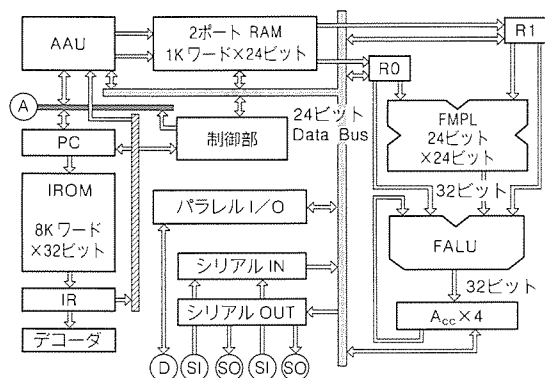


図2. コアDSPのブロック構成

分岐、ディレード分岐、サブルーチンコール、ループ等がある。分岐命令は、実行に2サイクルを必要とし、既に取り込んだ次の命令を強制的にNOPとして分岐を実行するが、ディレード分岐命令は次の命令をそのまま実行するため、実質的に1サイクルで分岐を実行することになる。この命令を有効に利用することにより、実行サイクルを削減できる。

(2) モード命令グループ

モード(主にデータアドレッシング、ループカウンタ、クロックプリスケアラ)のセット命令やコアDSPの動作を停止するホールド命令等がある。

(3) オペレーション命令グループ

水平型命令フォーマットを生かして、演算以外にも同時に複数の動作を制御することができる。まず、サブルーチンからのリターン、ループの終了、1命令を繰り返すリピート等のシーケンス制御の指定フィールドがある。そのほか、アドレスレジスタの修飾、外部ポートのリードライト、FMPLとFALUの入力、30種類のFALUでの演算、四つのアキュムレータの入出力、バス転送やダイレクトアドレッシングの指定フィールドがある。

(4) ロード命令グループ

24ビットの即値を指定可能なロングロード命令と18ビットの即値のみ指定可能でアドレスレジスタの修飾が可能なロード命令がある。

(5) ビット操作グループ

32ビットのFALU入力に対し即値で任意の1ビットを指

表1. コアDSPの仕様

クロック周波数	33MHz
サイクル時間	60ns
消費電力	400mW(コーデック動作時)
データタイプ	24ビット浮動小数点 24ビット固定小数点 24ビット論理
乗算器ビット幅	16E8×16E8→24E8
ALUビット幅	24E8+24E8→24E8
内蔵データRAM	1Kワード×24ビット(2ポート)
内蔵命令ROM	8Kワード×32ビット
データ空間	64Kワード
命令空間	64Kワード
命令語長	32ビット単一
シリアルI/O	24ビット双方向×2ch
パラレルI/O	24ビット1ch
割込みレベル	H/W 3レベル

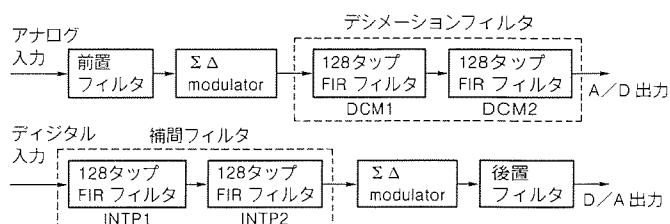
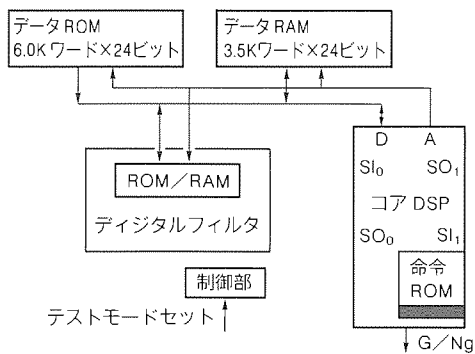
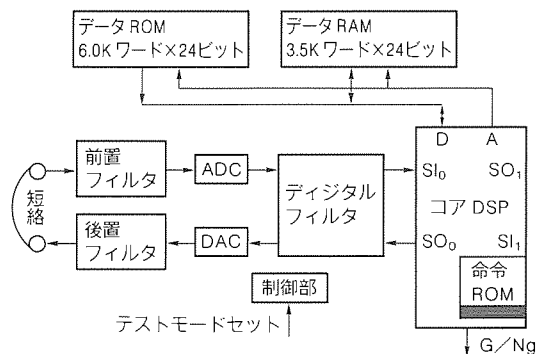


図3. A/D, D/Aのブロック構成



(a) 内蔵メモリのセルフテスト



(b) A/D, D/Aのセルフテスト

図4. セルフテストの概要

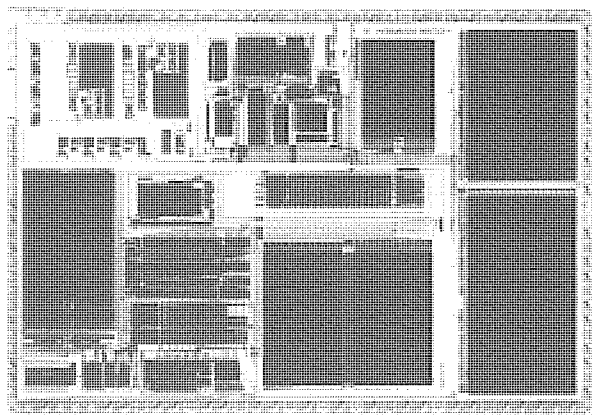


図5. チップ写真

表2. LSIの諸元

プロセス	1.0 μ m CMOS
	2層ポリ, 2層アルミ配線
トランジスタ数	1,300k 個
	コア DSP 542k
	データ RAM 520k
	データ ROM 150k
	A/D, D/A 68k
	その他 20k
チップサイズ	11.0mm \times 15.8mm
端子数, パッケージ	177端子 PGA/128端子 QFP

定し、ビットのセット、リセット、チェンジを行う。これにより、音声コーデックのみならず時分割多重化処理を含むベースバンド処理や誤り訂正機能なども高速に実現可能である。

2.2 A/D, D/A

A/D, D/Aのブロック構成を図3に示す。A/D部では32倍オーバーサンプリングのMASH (Multi-Stage Noise Shaping) 方式を採用している⁽⁸⁾。デジタルフィルタは信号通過帯域の減衰を抑えるために、128タップのFIR (Finite Impulse Response) フィルタ2段構成となっている。初段 (DCM1) で1/16の間引きを行い、2段目 (DCM2) で1/2の間引きを行う。

D/A部は、2段の128タップFIR型補間フィルタ、32倍のオーバーサンプリングのMASH回路⁽⁹⁾、PDM (Pulse Density Modulation) 回路、及び1ビットD/Aで構成している。初段の補間フィルタ (INTP1) で2倍補間を行い、2段目 (INTP2) で16倍補間を行う。

フィルタ係数を共用し、フィルタ処理を行う積和演算部を時分割で使用するために、DCM1とINTP2、及びDCM2とINTP1のフィルタ特性は同一である。なお、A/D, D/Aの前置及び後置フィルタは二次の簡単なアナログフィルタで実現し、カットオフ周波数は20 kHzである。

3. テスタビリティ設計

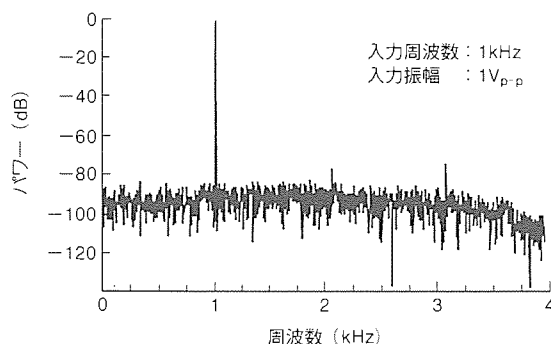
テスト容易化設計として、3種のセルフテストモードをインプリメントしている。コアDSPでは24ビットのリニアフィードバックシフトレジスタを用いたセルフテスト⁽¹⁰⁾、すべての内蔵メモリにはデータ圧縮やマーチ/チェッカパターンを用いたセルフテスト、A/D, D/Aには受入検査等で簡単に動作をチェックできるセルフテストを設けた。これらのセルフテストプログラムはコアDSPに内蔵された命令ROMの1.5Kワードの領域に格納されている。

3.1 内蔵メモリのセルフテスト

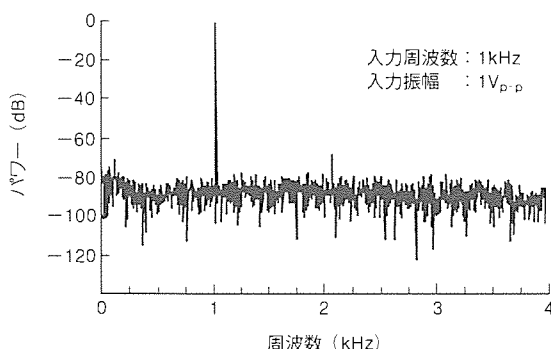
内蔵メモリのセルフテストの概略を図4(a)に示す。このテストモードでは、A/D, D/Aのデジタルフィルタに含まれているすべてのROM, RAM, 及び内蔵データROM/RAMが一つのアドレス空間にマッピングされる。ROMの出力データはコアDSPでデータ圧縮され最終結果がチェックされる。また、RAMはマーチとチェッカーボードパターンでテストされる。これらのテスト結果はフラグレジスタに格納され、外部から判定結果を確認できる。

3.2 A/D, D/Aのセルフテスト

A/D, D/Aのセルフテストの概略を図4(b)に示す。A/Dのアナログ入力とD/Aのアナログ出力を外部で短絡し、コアDSPからD/Aにデジタルデータが送られ、A/DがD/A変換されたアナログ信号を受けデジタル信号に変換し、再びコアDSPに戻される。コアDSPではFFT処理が行われ、S/(N+THD)、リニアリティ、周波数特性等がチェックされる。テスト結果はフラグレジスタに格納され、外部から判定結果を確認できる。



(a) A/D コンバータ



(b) D/A コンバータ

図 6. パワースペクトラム

4. 性能評価結果

試作した LSI のチップ写真と諸元を図 5 及び表 2 に示す。テクノロジーとして、2 層ポリシリコン、2 層アルミ配線の 1 μ m CMOS プロセスを用い、1,300k トランジスタを 11.0 mm \times 15.8mm のチップサイズに集積しており、A/D、D/A 部は時分割多重処理を行うデジタルフィルタを用いることにより、素子数 68k トランジスタ、セル面積 3.5 mm \times 9.0mm で実現している。パッケージとしては、内蔵命令 ROM のみアクセス可能なタイプとして 128 ピン SQFP、外部命令メモリをアクセス可能なタイプとして 177 ピン PGA の 2 種類が用意されている。最悪時でも 33.3MHz クロック入力時、最高 60 ns の命令サイクルで動作する。16.4 MIPS の VSELP (Vector Sum Excited Liner Prediction) 音声コーデックの場合、この LSI の消費電力は 5V 常温で 490mW となる。A/D、D/A のパワースペクトラムの一例を図 6 に示す。S/(N+THD) は 1V_{p-p} 入力でそれぞれ 63 dB, 56 dB である。この LSI の性能を表 3 に示す。

5. む す び

デジタル方式自動車電話／携帯電話などの移動体通信機器への応用をねらい、13 ビット分解能 A/D、D/A、6K ワード ROM、3.5K ワード RAM、24 ビット浮動小数点 DSP など 1 チップに集積した音声コーデック LSI を開発した。

コア DSP では、プログラマブルクロック分周機能、ホー

表 3. LSI の性能

動作速度	33.3MOPS (16.7MIPS) (5V \pm 5% 0 \sim 75 $^{\circ}$ C)
消費電力	490mW (16.4MIPS VSELP コーデック)
S/(N+THD)	63dB (A/D), 56dB (D/A) (5V 常温 1.0V _{p-p})

ルト機能を設けプログラムによる低消費電力化を可能とし、非動作時の電力消費を抑えた。

オーバーサンプリング方式 A/D、D/A のデジタルフィルタの設計において、積和演算回路の時分割多重動作等によってチップサイズの低減とともに、低消費電力化を図った。

評価の結果、コア DSP は 24 ビットの浮動小数点演算において 33.3MOPS (16.7MIPS) の高性能を達成し、この LSI 全体の消費電力は 16.4 MIPS 動作の VSELP 音声コーデックを実行させた場合 490mW となり、低消費電力が達成できた。

参 考 文 献

- (1) 加藤雅浩：デジタル自動車電話・携帯電話向けの専用チップが登場、コアは DSP、日経エレクトロニクス、No. 519, 149～154 (1991)
- (2) 高橋真哉ほか：3-5 低ビットレート音声符号化技術、信学会誌, 73, No. 8, 836～841 (1990)
- (3) Travis, B.: Single-Chip DSPs Advance in Speed and Versatility, EDN, 125～134 (1989-10-13)
- (4) Goodenough, F.: Multiply Analog Voltages with Mixed-Signal DSP, Electronic Design, 35～41 (1990-4-12)
- (5) Kengaku, T., et al.: A Single-Chip DSP for Mobile Telecomm. Applications, IEEE CICC (1991-5)
- (6) 寺岡栄一ほか：A/D・D/A 内蔵、高速・低消費電力 DSP、信学会技術研究報告、ICD 91-100, 15～22 (1991)
- (7) 島津之彦ほか：24 ビット浮動小数点信号処理プロセッサ/mSP 2, 信学会論文誌, J72-C-II, No. 5, 332～338 (1989)
- (8) Matsuya, Y., et al.: A 16 b Oversampling A/D Conversion Technology using Triple Integration Noise Shaping, IEEE J. of Solid-State Circuit, SC-22, No. 6, 921～929 (1987)
- (9) Matsuya, Y., et al.: A 17-bit Oversampling D-to-A Conversion Technology using Multistage Noise Shaping, IEEE J. of Solid-State Circuits, 24, No. 4, 969～975 (1989)
- (10) Sakashita, N., et al.: Built-In Self-Test in a 24 bit Floating Point Digital Signal Processor, IEEE ITC '90, 880～885 (1990)

自動車用 LAN コントローラ， トランシーバー IC

岡本 泰* 高井一兆*
在本昭哉* 村松菊男*
菊山誠一郎*

1. ま え が き

近年、自動車内の各種制御はより快適な乗り心地と高性能化を求め、ますます複雑となり多様化されてきた。その複雑な処理を行うため、多くの電子ユニットが自動車に搭載されている。現在、これらの電子ユニット間を単線又は複線の通信線で結び、データを相互に送受信するシステム (LAN システム) が開発及び装着され始めている。

本稿では、自動車における LAN システムについて LAN コントローラ用 IC (M 64100 TFP) と LAN トランシーバー用 IC (M 59330 P) の機能を中心に説明する。

2. LAN システムの種類と目的

2.1 制御系 LAN システム

電子ユニット間を通信線で結び、データを送受信させる目的の一つとして自動車の性能向上がある。単独の電子ユニットでは得られない制御性を複数の電子ユニット間でデータを送受信することによって獲得しようとするものである。具体的に説明を加えるならば、エンジン制御用、トラクション制御用、トランスミッション制御用、サスペンション制御用の各電子ユニットを通信線で結び、例えばエンジンの回転数によってブレーキの制動能力の調整やサスペンションの硬さの調節などを行うものである (図 1)。このように制御をつかさどる電子ユニット間を結んだシステムを制御系 LAN システムという。制御系 LAN システムにおける電子ユニット間の通信速度は、一般的に 100 kbps～1 Mbps 程度が必要だと言われている (図 2)。

2.2 ボディ系 LAN システム

自動車内には制御を行う電子制御ユニットのほかにも多くのセンサ部、スイッチ部、アクチュエータを駆動するドライバ部などのモジュールが存在し、そのすべて又は一部分を組み合わせることによって機能している。近年、ますます多くのモジュールが増える傾向にあり、これらと制御ユニットを結ぶハーネスは増加の一途をたどっている。ハーネスの増加は、自動車の総質量を増やし、その結果、燃費に悪影響を与えてしまう。また、自動車の製造工程においても、多くのハーネスを引き回すため、各工程の分担及び分離が困難となり、工程作業の簡素化に対

して問題となってくる。これらの問題を解決するために制御用の電子ユニットとスイッチ部などの各モジュール間を通信線で結び、ハーネスの削減をねらったシステムがボディ制御系 LAN システムである (図 1)。

ボディ制御系 LAN システムにおける通信速度は、10 kbps 程度で可能と言われている (図 2)。

2.3 故障診断系 LAN システム

一方、自動車に対する要求として性能の向上のみならず、安全性、排気ガスによる環境破壊に対する対策 (規制) に関心が高まってきた。電子ユニットの故障診断もその対策の一つであり、外部の診断装置又は内部の自己診断で電子ユニットの状態を診断し、異常の早期発見によって安全性の確保と電子ユニットの劣化による環境への悪影響を防ごうとするものである。エンジンコントロールユニットに触媒やセンサの劣化、失火などの故障診断機能の内蔵を義務付けた OBD II 規制 (On Board Diagnosis II) もその一つである。そして、各電子ユニットを一つの通信線に結び、外部の診断装置で故障診断が可能なシステムが注目されてきた (図 1)。

この LAN システムを診断系 LAN システムといい、その通信速度は 10～40 kbps 程度と言われている (図 2)。

2.4 情報系 LAN システム

また、前述した LAN システムのほかに情報系 LAN システムがある。ナビゲーションシステムの発展に伴い、ディスプレイ表示のメディアが自動車に入ってきた。

このシステムは表示パネル制御ユニットを中心として、カ

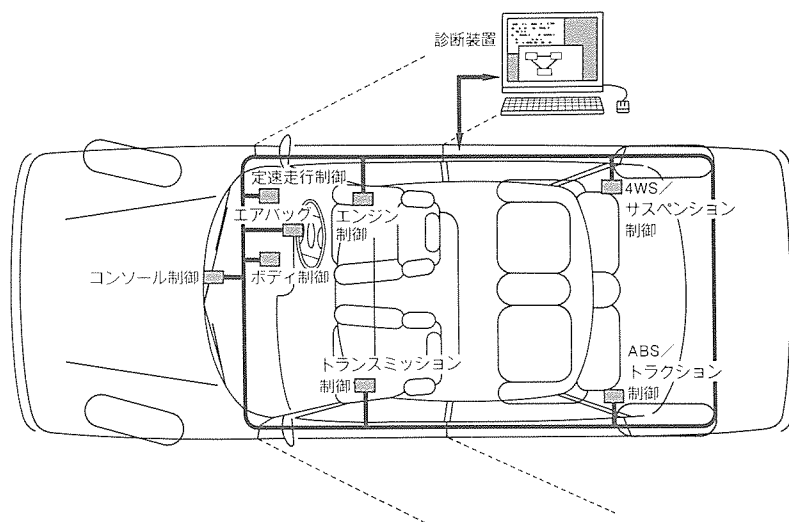
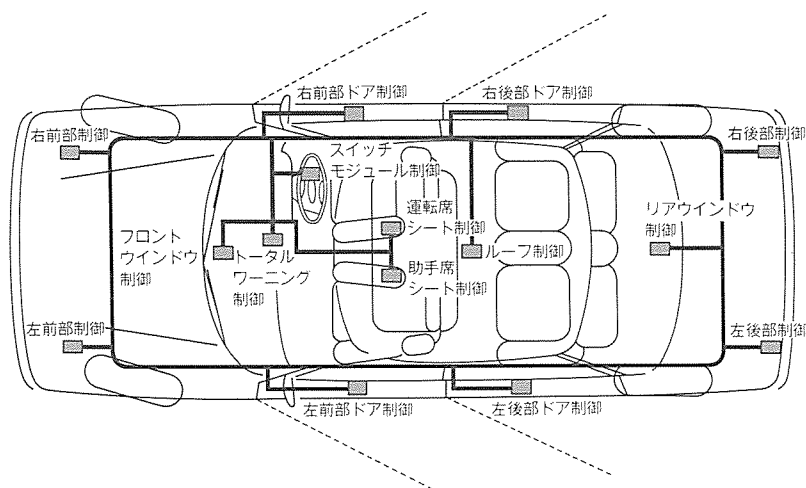


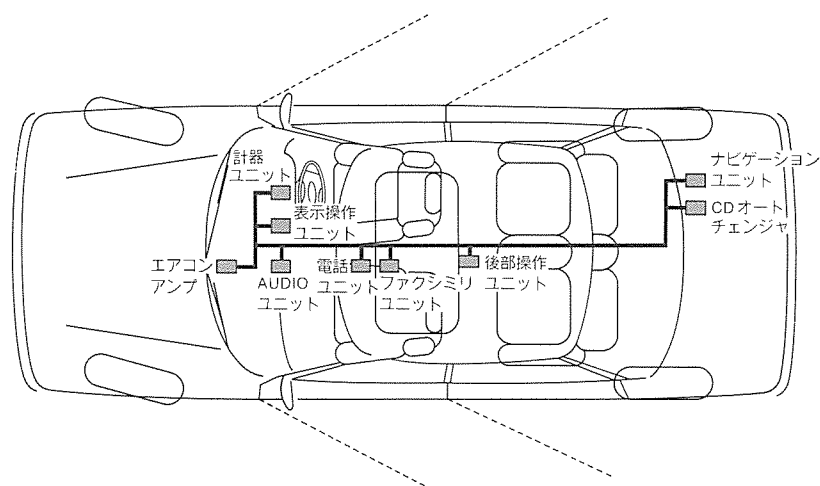
図 1 (a) 診断系及び制御系 LAN 応用例

オーディオ、エアコン、ファクシミリ、電話を一つの LAN で結び集中制御を行おうとするものである(図1)。用途によって異なるが、一般的に100~500 kbps 又はそれ以上の通信速度が必要とされている(図2)。

前述した LAN システムに接続される各電子ユニットは、



(b) ボディ制御系 LAN 応用例



(c) 情報系 LAN 応用例

図1. 各 LAN システム概略

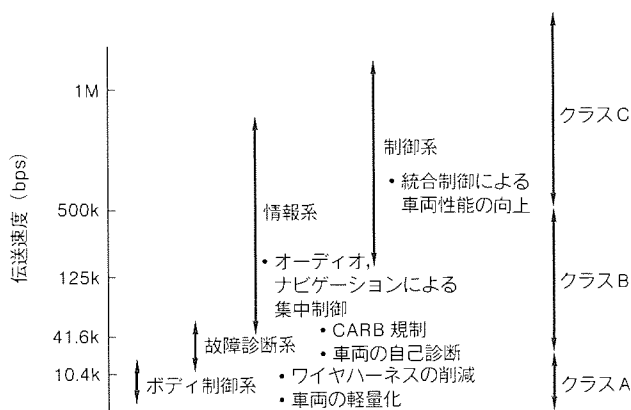


図2. LAN システムの通信速度比較

各々に割り当てられた制御のほか通信制御を行う必要性(負荷)が生じる。そして自動車という特殊な環境下で確実な通信が求められる。車載用 LAN コントローラ (M 64100 TFP) と車載用トランシーバ (M 59330 P) はこれらの課題を解決するために開発されたデバイスであり、以下に各デバイスの機能を紹介し、これらの課題をどう処理しているのか説明する。

3. 車載用 LAN コントローラ

3.1 機能概要

M 64100 TFP は中速車載 LAN システム (クラス B) 用に開発された SAE-J 1850 プロトコルに準拠した車載用 LAN コントローラである。その機能概要を図3に、ブロック図を図4に示す。

このコントローラは、内部クロックを生成するクロックジェネレータブロック、制御マイコンとデータの送受信を行うマイコンインタフェースブロック、制御マイコンから転送されてきた送信データや LAN 伝送路を介して送られてきた受信データ、及び現時点の LAN コントローラの状態や各種エラーの内容を格納するレジスタから成るバッファメモリブロック、送信フレームの組立てやパルス幅変復調及び LAN 伝送路に対する各種エラーの検出を行う LAN インタフェースブロックの4ブロックで構成されている。

3.2 通信方法

図5に基本フォーマットを示す。ユニット A が LAN 伝送路に送信フレーム(1)を送出する。優先コード A からデータ領域 D まで

- SAE-J1850に準拠したフレームフォーマット
- CSMA/CD による衝突検出及び優先制御
- アドレスフィルタ機能
- 伝送レート 41.6kbps, 125kbps
- PWM 変調/復調機内蔵
- 1フレーム分の送信バッファ
- 2フレーム分の受信バッファを内蔵
- 8ビット CRC 符号/復合器による誤り検出機能内蔵
- オーバラン処理機能
- レスポンス自動返送機能
- 3種類のマイコンインタフェース
 - パラレル(2種類)インタフェース
 - クロック同期シリアルインタフェース
 - 調歩同期シリアルインタフェース
- 同報送受信機能
- アナライザ機能(伝送路のすべてのフレームを受信)
- 各種送信/受信エラー検出機能
- スタンドバイ機能

図3. M64100TFP の機能概要

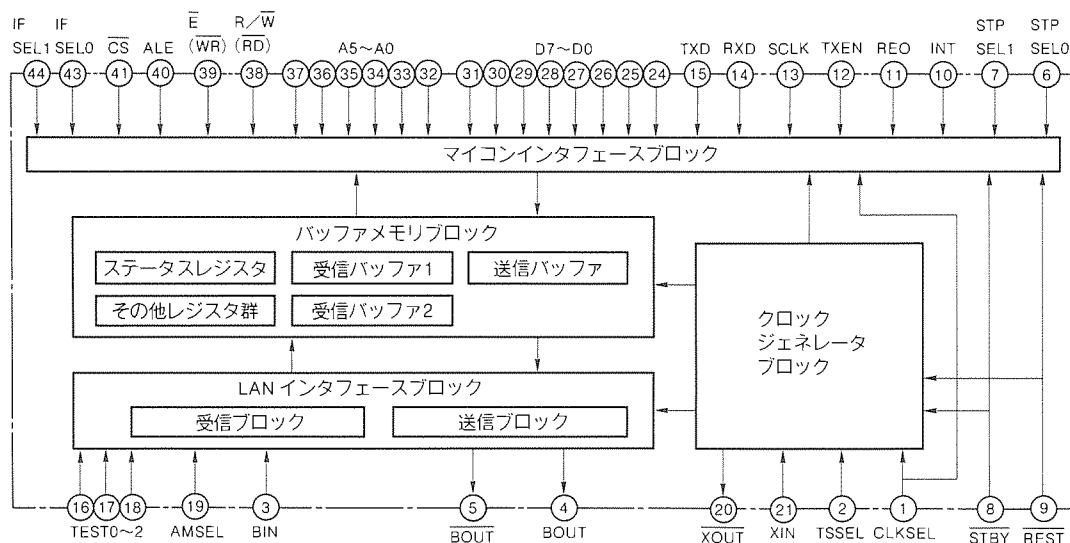


図4. M64100TFP ブロック図

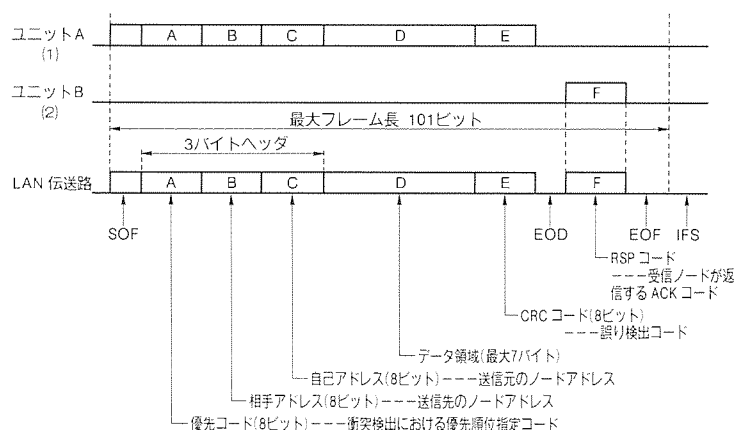


図5. フレームフォーマット

は送信データとして制御マイコンからLAN コントローラ内の送信バッファに書き込まれ、LAN コントローラはこれらのデータにSOF (Start of Frame), EOD (End of Data), CRC コードを付加し、送信フレームを組み立て送出する。各コードについて説明する。優先コードAは衝突検出における伝送ラインの優先権を決めるコードであり、詳しくは後述する。相手アドレスBは送信先(この場合ユニットB)のアドレス番号である。伝送路に接続されている各ユニットはこのデータと自己のアドレスを比較し、一致した場合のみ受信処理を行う。自己アドレスCは送信元(この場合ユニットA)のアドレス番号である。そして送信すべきデータがデータ領域Dである。CRC コードEは優先コードAの先頭ビットからデータ領域Dの最後のビットまでをLAN コントローラ内で8ビットのCRC 演算結果であり、誤り検出コードとして機能する。受信側であるユニットBは、送信フレーム(ユニットBから見た場合、受信フレーム)にエラーが検出されなかった場合、EOD の区間後、RSP として自己のアドレスを伝送路に送出する。LAN 伝送路に表れるSOF~EOF (End of Frame) までをフレームとよび、優先コードA~自

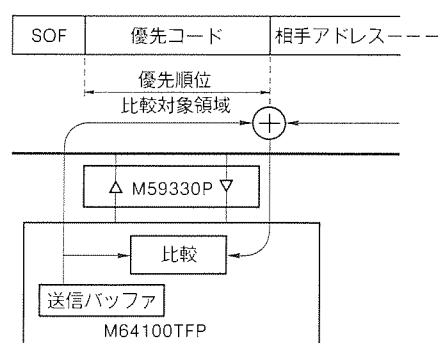


図6. 優先制御

己アドレスCまでを3バイトヘッダという。

3.3 優先制御

通信制御の特長の一つに優先制御がある(図6)。伝送路に接続されている各ユニットは常に伝送路の状態を監視し、送信の要求があれば、キャリア(この場合IFS)を検出した後送出する(Carrier Sense Multiple Access : CSMA)。このため、複数のユニットが同時に送信を開始する可能性が生じる。各送信ユニットは自己の送信したデータと、伝送路上のデータを1ビットごとに比較しながら送信を続ける。比較した結果が一致しない場合、衝突と判断し、直ちに送信を停止する(Collision Detection : CD)。なお、伝送路は論理的にワイヤードOR の形態をしており、レベル的に“H”を送信しているユニットの波形が現れる。そして衝突の検出されなかった送信ユニットが伝送路の優先権を得て送信を続けることになる。この優先権争いは、フレーム上の優先コード領域で実施されるが、優先コードが同一のデータであった場合、それ以降のデータで実施される。

M 64100 TFP は衝突で優先権の得られなかったユニットは後2回は自動再送する機能をもっており、制御マイコンの負担を軽減している。また、3回とも優先権が得られなかった場合、バスビジーエラーとして検出しマイコンへその内容

を知らせる。これは伝送路が非常に混んでいるので優先コードを強く設定しなおす必要があることを意味している。

3.4 応 答 性

制御ユニット間の通信は、大量のデータを高速に送りさえすればよいというのではなく、その応答性が重要である。例えば制御系では、一制御サイクル（センサ等からの情報を得てからアクチュエータに信号を送り出すまでの時間）が数 ms 以内に設計されることが多い。したがって、各ユニット間の通信（ユニット内のマイコン及び LAN コントローラの処理能力）は一制御サイクル内に所定のデータのすべてを送信及び受信する応答性が必要である。

図 7 に示すように各段階での時間遅れによって応答性は損なわれている。

(1) 制御マイコンから送信バッファへのデータ書き込み段階では、マイコンとコントローラのハンドシェイクに一定の時間（（送信データ数）×（マイコンと LAN コントローラ間の転送時間）+（制御時間））が必要であり、伝送遅れの一要因となっている。M 64100 TFP は、マイコンとのインタフェースとして 8 ビットの平行インタフェースを 2 種類（アドレス/データバス分離タイプ、マルチプレクスタイプ）もって

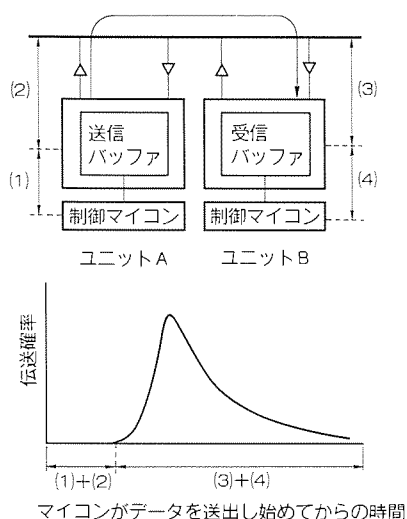


図 7. 応答性

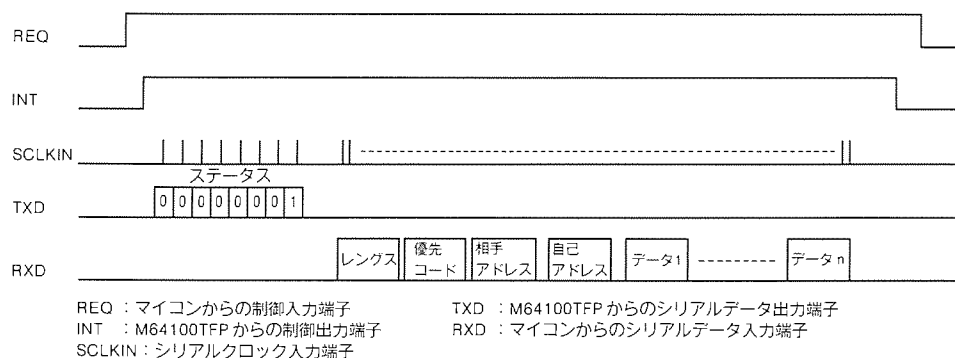


図 8. クロック同期の送信データ書き込み例

おり、マイコンと LAN コントローラ間で高速なデータ転送が可能である。

しかしながら制御ユニットの小型化を考えると、マイコンとコントローラ間をパラレルバスで結ぶより、シリアルラインでデータの転送を行う方が有利である。M 64100 TFP はパラレルインタフェースのほかに、クロック同期シリアルインタフェース、調歩同期シリアルインタフェース (UART) をもっており、コントローラ内の現時点の状況を格納しているステータスレジスタのデータをマイコンへ転送し、この内容に従って以降のデータを送受信することで、制御時間による時間遅れを最小になるよう対処している。一例を図 8 に示す。

(2) 送信バッファから伝送ライン上へのデータの送出段階では、他ノードとの競合（衝突）の結果負けたことによる送信待ちや、データ送出後送信エラー発生に起因する送信の中断が時間遅れの要因となる。3.3 節の優先制御で説明したように、このコントローラは、衝突の結果負けた場合、マイコンの負担なしに再送する機能をもつことによってこれらに対処している。

(3) 伝送ラインから受信バッファへのデータ取り込みの段階では、受信バッファに既にデータが格納されていてマイコンへそのデータが転送されていない場合、そのデータを取り込めない（オーバラン状態）が生じる。このコントローラはこの対策として 2 フレーム分の受信バッファ領域とオーバラン処理機能をもっている（図 9）。

オーバラン処理機能とは 2 フレーム分の受信バッファ領域に既にデータが格納されており、さらに次の受信フレームが検出された場合、フレーム中の送信元を示すデータを別のレジスタに格納することで、オーバランが生じてもどのユニットから送信されてきたかをマイコンに転送する機能である。

(4) 受信バッファから制御マイコンへのデータ読み込み段階では、送信バッファの書き込み(1)と同様にマイコンとのハンドシェイクの善し悪しが伝送遅れ時間に大きく影響を与える。この対策は前述の(1)で説明した方法にて対処している。

以上のように各段階での対策を車載用 LAN コントローラ (M64100TFP) の機能を紹介しながら説明を行ったが、次章では確実な通信の確保について車載用トランシーバー (M59330P) を用いて説明をする。

4. 車載用 LAN

トランシーバー

4.1 機能概要

M 59330 P は、SAE-J 1850 規格の PWM 方式に対応した 2 線式の LAN トランシーバー IC

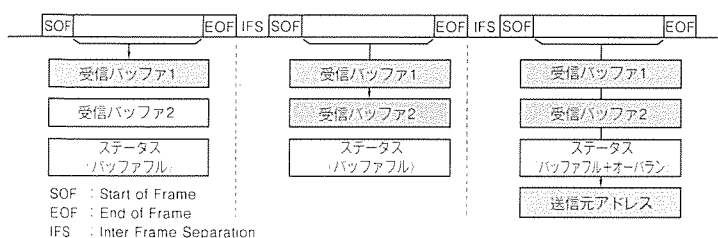


図9. オーバーラン処理

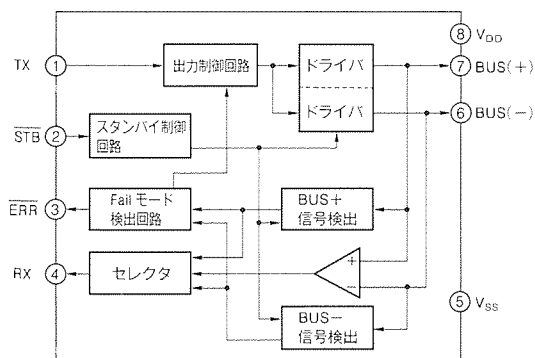


図10. M59330P ブロック図

であり、コントローラ (M 64100 TFP) との接続を考慮している。また、SAE-J 1850 以外のプロトコルでもトランシーバーとして使用可能である。

図10にM59330Pのブロック図を示す。出力制御回路はTX入力のデータによってドライバをオン／オフし、Failモード検出回路からの信号により、異常を発生したバスのドライバをオフするようにしている。BUS(+), BUS(-)の出力は逆相で動作する。

バスの信号は、BUS(+), BUS(-)信号として差動コンパレータ等の内部回路に供給される。Failモード検出回路は、各々の信号の状態によってバスの異常を検出し、内部回路と外部機器にエラー信号を出力する。

セレクタは通常、バスの差動信号をRXに出力しており異常が生じたときは、Failモード検出回路の信号によって正常動作しているバスの信号に切り替えるようになっている。

スタンバイ制御回路は、バスの信号をRXに出力するだけの状態にし、必要最小限の回路のみを動作させることで低消費電流とスリープ状態にする。

4.2 通信の信頼性確保

M59330Pでは以下に示す7つのフォールトトレラントを実現している。

- (1) BUS(+)-ワイヤがオープン
- (2) BUS(-)-ワイヤがオープン
- (3) BUS(+)-ワイヤがグランドにショート
- (4) BUS(-)-ワイヤがグランドにショート
- (5) BUS(+)-ワイヤが電源にショート
- (6) BUS(-)-ワイヤが電源にショート
- (7) BUS(+)-BUS(-)ショート

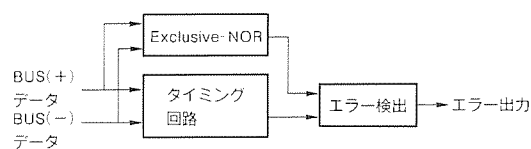


図11. Failモード検出ブロック図

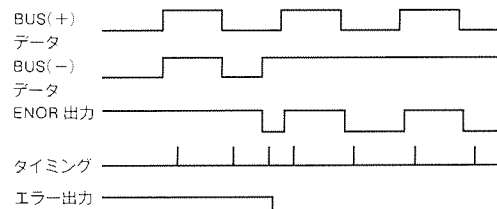


図12. エラー検出動作波形例

図11にFailモード検出回路のブロック図を示す。逆相のBUS(+), BUS(-)信号は、作動コンパレータに入力されるとともに、BUS(+)-信号検出部とBUS(-)-信号検出部に入力され、BUS(+)-データ及びBUS(-)-データを得る。ここでBUS(-)-信号検出部ではそのデータは反転されFailモード検出回路に入力される。BUS(+)-データとBUS(-)-データの信号は正常時同一データであり、Exclusive-NORゲートの出力は“H”である。バスのどちらかに異常が生じた場合、データは同一でなくなるためExclusive-NORゲートの出力はバスの状態に応じて変化する。データに差が生じた時を異常とし、Exclusive-NORゲート出力の立下りを検出してエラー出力をする。

バスの信号は完全に同一のタイミングで動作しないため、信号の変化点でENORゲート出力にパルス状のヒゲが出る。そのため、BUS(+), BUS(-)の信号によって擬似的クロックを発生し、タイミングをとることによってヒゲを避け、立下りの検出を行っている。そしてエラーを検出すると異常の生じたBUSを切り離し、自己のドライバを保護するとともに、正常なBUSにて通信を行うことで信頼性の高い通信を確保している(図12)。

5. む す び

LANシステムについて車載用LANコントローラ(M64100 TFP)とトランシーバー(M59330P)の機能を中心に説明した。近年の自動車の電子化を見るとこれらの技術は確実に中核を成すものであり、自動車の多重通信において必ず(須)のものである。

また、制御系LANシステム、情報系LANシステムを考えると、より高速の伝送スピードで確実に通信するシステムが構築されていくだろう。そしてより高速な通信用デバイスが必要となってくる。現在、本稿で述べた技術を基に高速対応のデバイスを検討中である。

クローズドキャプション コントロール用マイクロコンピュータ

藤高繁明* 上村省一**
松本誠之* 木村方昭***
高橋直樹*

1. ま え が き

クローズドキャプションとは、米国における難聴者向け文字多重放送のことである。TV 音声に同期した文字が字幕として TV 画面上に表示される。このサービスにより、耳が不自由な人も表示された字幕を読むことにより、TV 放送を楽しむことができる。従来、このサービスを受信するためには TV とは別に専用のデコーダが必要であった。

1993 年 7 月から製造される 13 インチ以上の TV にはクローズドキャプションデコーダを内蔵することを義務づける法案が 1990 年 10 月に可決され、これに応じ米国連邦通信委員会 (FCC) が規格を取り決めている。このような状況下で、TV に内蔵するクローズドキャプションデコーダ用 IC が強く望まれていた。

上記のようなニーズにこたえるため、クローズドキャプションコントロール用マイコンの第一弾として、FCC 規格に準拠した 8 ビットマイコン (M37262M2-XXXSP 及び M37263M3-XXXSP) を開発した。

本稿では今回開発した M37262M2-XXXSP 及び M37263M3-XXXSP について説明する。

2. クローズドキャプション放送

2.1 クローズドキャプション信号

クローズドキャプション用の信号は、映像信号の垂直帰線消去期間のライン 21 に多重されて伝送される。現在はフィールド 1 のみに多重されているが、将来的にはフィールド 2 にも多重される。この信号は図 1 に示すように、7 周期のクロックランイン信号、スタートビット、及び 16 ビットのデータビットから成る。クロックランイン信号は後に続くスタートビット、データビットの同期信号である。16 ビットのデ

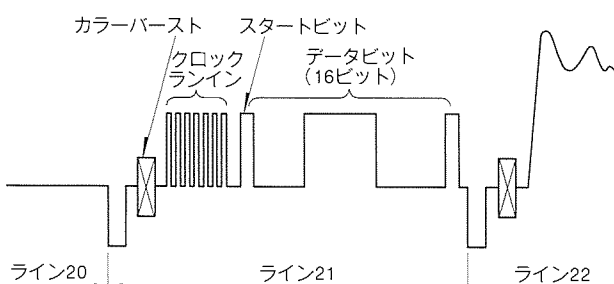


図 1. クローズドキャプション信号波形

ータビットは 7 ビットのデータと 1 ビットのパリティが 2 組で構成される。

データの種類としては表示する文字を指定するキャラクターコードと、文字のアトリビュート、表示位置、表示形態等を決定する制御コードがある。

2.2 表示モード

表示モードは現在キャプションとテキストの 2 種類ある。将来、EDS (Extended Data Service) と言われるモードが追加される。

図 2 に M37263M3-XXXSP を用いたキャプションモードの表示例を示す。図のように、番組の出演者のせりふやニュースの実況などを TV 画面の一部に最大 4 行の表示で行うものである。

図 3 に M37263M3-XXXSP を用いたテキストモードの表示例を示す。図に示すように、TV の画像を覆い隠すように 15 行の表示を行うものである。

多国語等に対応するため、両モードともチャンネル 1 とチ



図 2. キャプションモード表示例

CITY	H	L	S
Las Vegas	60	39	PC
Little Rock	62	31	PC
Los Angeles	72	52	PC
Los Angeles	65	53	PC
Honolulu	64	25	PC
Honolulu	62	74	PC
Honolulu	45	45	PC
Honolulu	31	32	PC
Honolulu	33	35	PC
New Orleans	73	64	PC
New York	45	38	PC
Oklahoma City	53	41	PC

図 3. テキストモード表示例

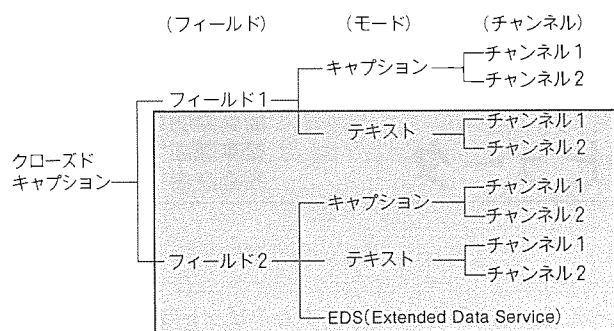


図4. クローズドキャプションの種類

チャンネル2の二つのチャンネルが用意されている。これは同機能の制御内容に対して二つの異なるコードを割り付けることによって対応している。つまり、一つのフィールドに対して合計四つのモード、チャンネルの組合せが用意されている。例えば、キャプションモード、チャンネル1で字幕を英語で伝送し、キャプションモード、チャンネル2ではスペイン語の字幕を伝送することも可能である。

さらに、フィールド2ではキャプション、テキストのほかにEDSが将来、追加される。これは番組名、番組の種類、放送局名、時刻等を表示するものである。図4にクローズドキャプションの種類を示す。図中、網掛けした部分はFCC規格でオプションとなっているものである。ユーザーはフィールド、モード、チャンネルを選択して自分が見たいものを選ぶ。

3. 品 種 概 要

クローズドキャプションデコーダ用ICのタイプとしては、アドオン方式とワンチップ方式が考えられる。アドオン方式はクローズドキャプションデコーダ機能のみをもたせたICであり、既存のシステムにアドオン方式ICを追加するだけで対応可能な方式である。ワンチップ方式はクローズドキャプションデコーダ機能のほかに選局用機能も取り込んだICであり、ワンチップ方式のICのみで選局、クローズドキャプションデコーダ機能ともに対応できる。

M37262M2-XXXSP, M37263M3-XXXSPは、クローズドキャプションデコーダ機能を内蔵したTV用8ビットマイ

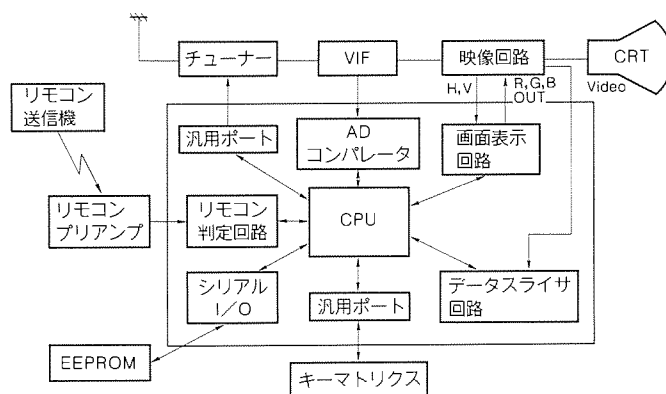


図5. テレビシステムブロック図

表1. M37263M3-XXXSPの仕様

項 目		性 能
基本命令数		69
命令実行時間		0.5 μ s
クロック周波数		8MHz
メモリ容量	ROM	12K バイト (M37262M2-XXXSP では、8K バイト)
	RAM	1,216 バイト (M37262M2-XXXSP では、1,152 バイト)
入出力ポート	入力	8ビット×1
	出力	3ビット×1
	入出力	8ビット×3, 2ビット×1
割込み		14要因, 14ベクタ
タイマー		8ビット×4本
シリアル I/O		8ビット×1本
PWM		6ビット×6本
AD コンバータ		4ビット×2チャンネル
データスライサ回路		内 蔵
画面表示回路	表示文字数	34文字×4行(ソフトウェアによって15行可能)
	文字構成	8×13ドット, 文字ドットは8×10ドット
	文字種類	128種類
	アトリビュート	色8種類, イタリック, アンダーライン, フラッシュ可能
	ミキシング機能	外部色信号とのミキシング可能
表示位置		水平方向128段階, 垂直方向は走査線単位
リモコン判定回路		内 蔵
電源電圧		+5V 単一
素子構造		CMOS シリコンゲート
パッケージ		52ピンシュリンクプラスチックモールド

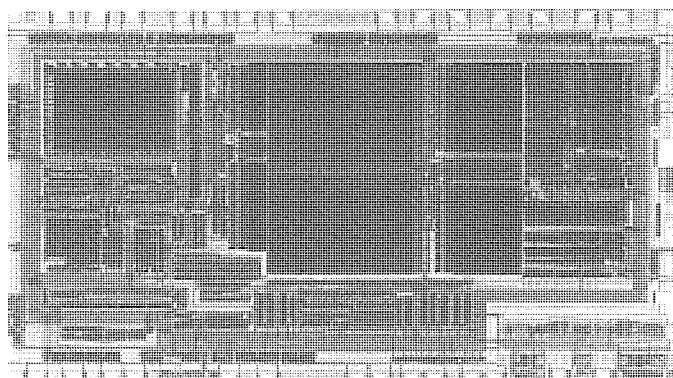


図6. M37263M3-XXXSPのチップ写真

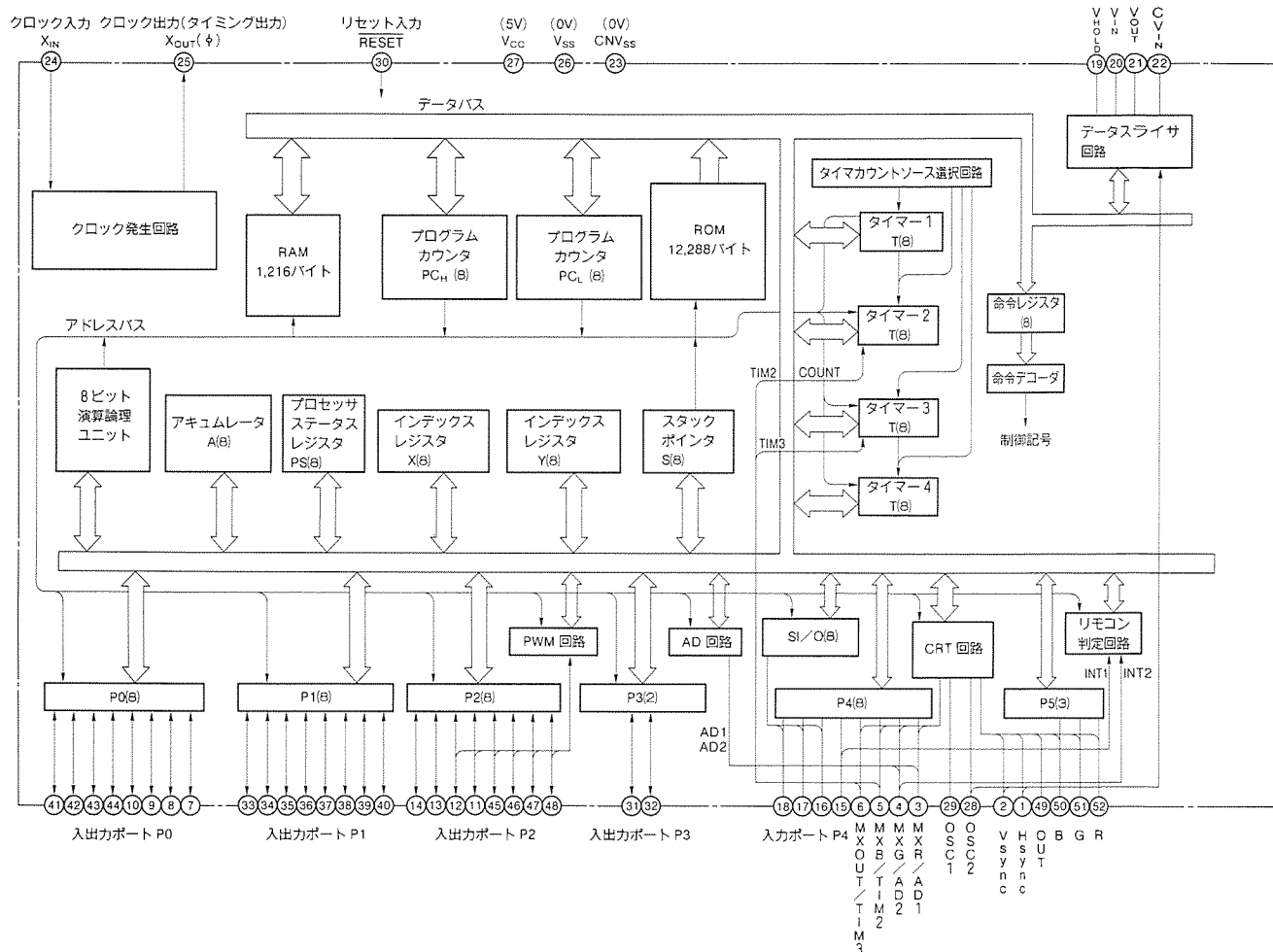


図7. M37263M3-XXXXSPの機能ブロック図

コンであり、TVのシステムコントロールに最適なマイコンである。図5にこれらのマイコンをワンチップスタイルとして用いたTV選局システム構成を示す。表1に両者の概略仕様を示し、M37263M3-XXXXSPのチップ写真を図6に示し、機能ブロック図を図7に示す。図7に示すように、このマイコンには8ビットCPU、12KバイトROM、1,216バイトRAM、画面表示回路、データスライサ回路、各種チューナー用制御回路が内蔵されている。

以下にこれらマイコンの特長について述べる。

(1) データスライサ回路内蔵

映像信号に多重されたクロズドキャプション用信号をデジタルデータとして抜き取ることのできるデータスライサ回路を内蔵している。

(2) ワンチップ方式、アドオン方式両方に対応

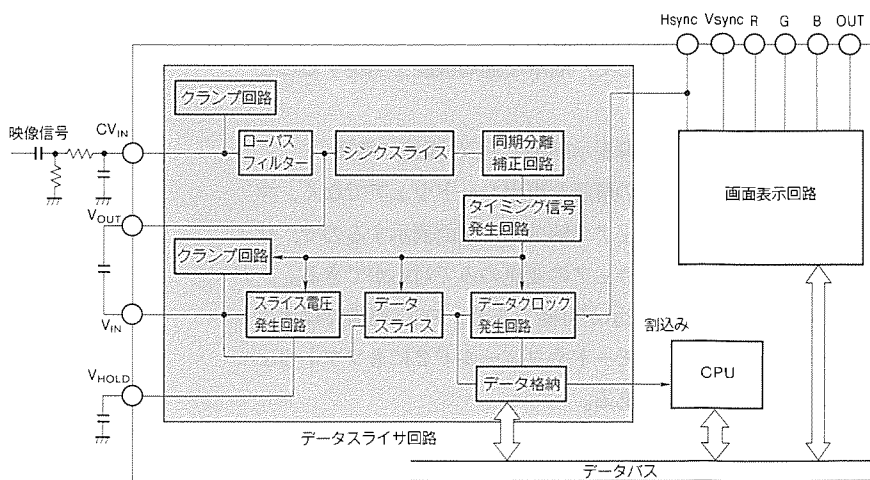


図8. クロズドキャプションデコーダブロック

クロズドキャプション機能のほかに、選局機能を同一チップに集積したので、ワンチップ方式として使用でき、システムトータルの低コスト化が実現できる。また、M37263M3-XXXXSPのROM、RAM縮小版であるM37262M2-XXXXSPをアドオン方式として使用することにより、従来使用している選局マイコンを中心とする既存のシステムを活用すること

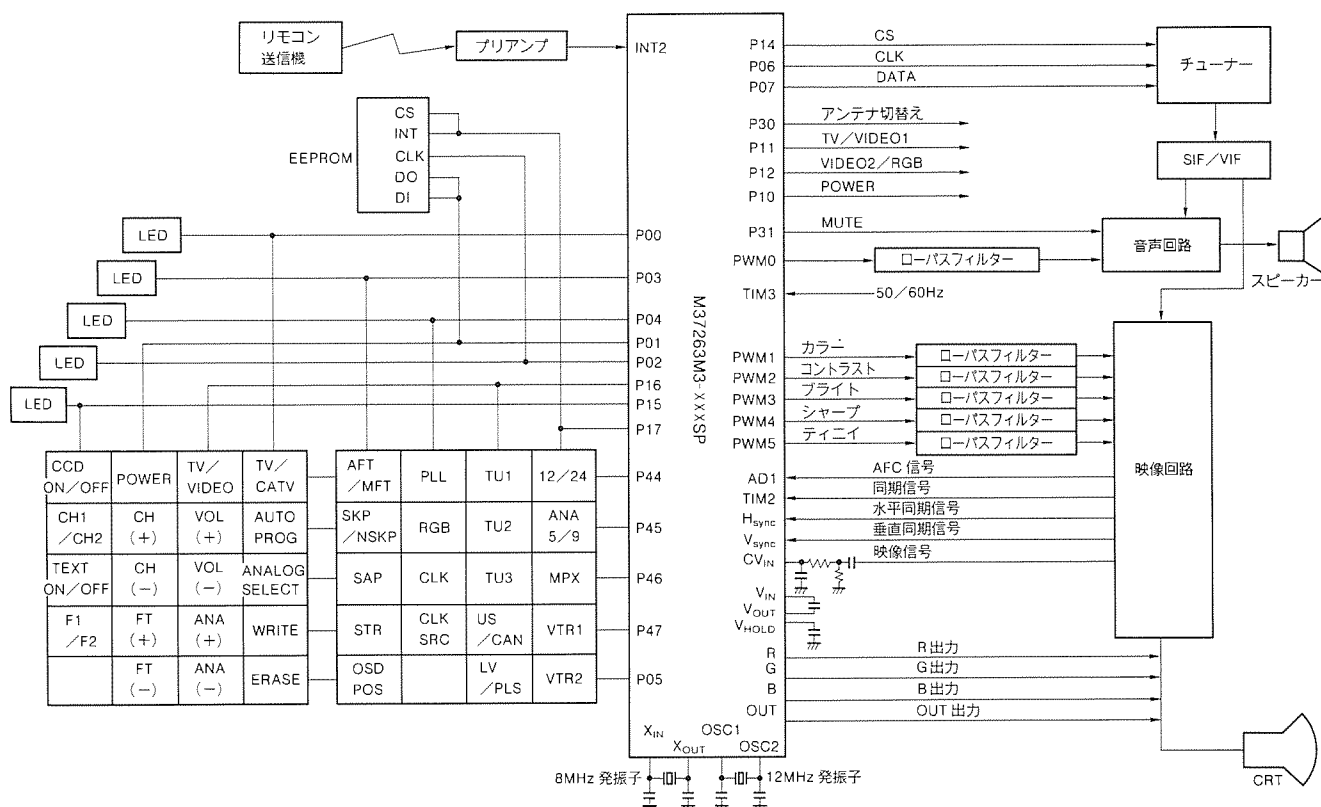


図9. M37263M3-XXXSP テレビ選局システムの結線

もできる。

アドオン方式で必要な色信号のミキシング機能と、ワンチップ方式で必要な AFC 判定用コンパレータ入力や映像信号検出用タイマー入力を同一端子にダブルファンクションすることにより、同一チップでアドオン、ワンチップの使い分けを可能としている。もちろん、M37262M2-XXXSP をワンチップ方式として使用して、簡単な選局機能を実現することも可能である。

(3) マイコンによる字幕表示制御で FCC 規格に準拠

キャプションデータの解釈を専用ハードウェアでなく、マイコンによるソフトウェアで解釈して画面表示するので、仕様変更の際もソフトウェアの変更のみで対応ができる。

FCC 規格に沿った表示が可能であり、FCC 規格ではオプションであるテキストモードやフィールド 2 にもソフトウェアの変更で対応可能である。

4. クローズドキャプションデコーダ機能

以下、これらマイコンの大きな特長であるクローズドキャプションデコーダ機能について述べる。図8はクローズドキャプションデコーダ機能に関係する部分のブロック図である。図に示すように、ブロックとしてはデータスライサ回路、CPU、画面表示回路から構成されている。

データスライサ回路はビデオ信号を受けて、ライン 21 に多重されているキャプションデータを抜き取り、割込みを発生する。CPU は、割込みを受けて、キャプションデータを

受け取り、FCC 規格に従って解釈する。解釈した内容に応じて、CPU は画面表示回路に必要なデータを送り、制御する。画面表示回路は TV の水平及び垂直同期信号に同期して表示信号を R、G、B 信号及び OUT 信号（ブランキング信号）に乗せることによって画面上に字幕の表示を行う。

4.1 データスライサ回路

図8中、網掛けした部分がデータスライサ回路ブロックである。

入力されたビデオ信号は、クランプされた後、ローパスフィルターによってノイズ除去される。その後、二つのパスに分かれる。

一つのパスでは、ローパスフィルター出力のビデオ信号はシンクスライスされ、同期信号が分離される。さらに、分離した同期信号に対して補正を加えることにより、安定した水平及び垂直同期信号が得られる。これら同期信号を使って、フィールド 1、フィールド 2 の区別やライン 21 の決定、データクロック発生タイミング等、必要なタイミング信号を生成する。

もう一つのパスでは、ローパスフィルター出力のビデオ信号は、クランプされた後、キャプションデータ自身の振幅を利用してつくられたスライス電圧と比較することにより、データスライスされる。

データクロック発生回路は、データスライスされたキャプションデータと、TV の水平同期信号の周期を利用して、キャプションデータに同期したデータクロックを発生する。

シフトレジスタはこのデータクロックのタイミングでキャプションデータを格納し、完了すると割込みを発生させる。

4.2 画面表示回路

画面表示回路は4行分のビデオRAMを備えている。これはキャプションモードで最大4行表示をするためである。テキストモードは15行表示なので、ソフトウェアで対応し、1行分の表示が終了するたびにビデオRAMを書き換えることにより実現する。

表示文字のドット構成は8×10ドットであり、ラウンディング機能を内蔵しているので、滑らかな文字表示ができる。

この画面表示回路では、外部のICから入力されるR, G, B, OUT信号を入力し、内部で生成されるR, G, B, OUT信号とミキシングして出力することができる。内部、外部のどちらかを優先するかは、ソフトウェアによって制御できる。これにより、例えば、メインマイコンから音量のバー表示をしながら、このマイコンにより、同時にキャプションの表示を行うことも可能である。

5. 応 用

図9にM37263M3-XXXSPをワンチップ方式として用いた結線図例を示す。クローズドキャプションデコーダ機能を内蔵したTV選局システムを構成することができる。主な機能を次に示す。

(1) クローズドキャプションデコーダ機能(キャプション／

テキスト, チャンネル1／チャンネル2 選択可能)

- (2) チャンネル直接選局機能
- (3) リモコン受信機能
- (4) AFT (Automatic Fine Tuning) 機能
- (5) 画面表示機能(チャンネル表示, 音量バー表示, スリープタイマー表示, キャプションオン／オフ表示, オン／オフタイマー表示, 時計表示ほか)
- (6) オン／オフタイマー機能
- (7) アナログ制御機能(音量, カラー, コントラスト, プライト, シャープネスほか)
- (8) 時計機能
- (9) スリープタイマー機能
- (10) キーマトリクス機能

6. む す び

以上述べたように、このたび開発したクローズドキャプションコントロール用マイコンM37262M2-XXXSP及びM37263M3-XXXSPを使ってクローズドキャプションデコーダ機能を内蔵したTVシステムを実現することができる。

今後の方向としては、画面表示回路の高機能化や選局機能の強化及びROM, RAM容量の増大を図りワンチップ方式のシリーズ化を図るなどにより、さらにニューメディア対応の高機能なTV選局システム、コストパフォーマンスの良いTV選局システムの対応を進めていく計画である。

プロトコル制御用マイクロコンピュータ

林 良紀* 広川祐之*
倉持昌司*
竹内 稔*

1. ま え が き

近年、マイクロコンピュータは産業用機器・民生用機器を問わず、簡単な単一機能製品から大規模なシステムまで、あらゆる制御用途に使われるようになった。さらに、一つの製品／システムを複数のマイクロコンピュータが分散制御する場合も多い。当社では、このようなシステムで使われるマイクロコンピュータ相互のデータ通信を容易化する製品として、インテリジェントプロトコルコントローラ（以下“IPC”という。M 37409 M 2/M 37408 M 2）を提供してきた。しかし、IPC と接続されるホストのマイクロコンピュータが高速になり、また高速・高精度な制御を行うために必要なデータ量が増加し、マイクロコンピュータ相互の通信量が増大してきた。

次世代 IPC (M 38881 M 2/E 2) はこのようなシステムの要求にこたえ、M 37409 M 2の後継機種として開発したものである。

2. IPC 開発のねらい

2.1 IPC を使ったシステムの構成

図 1 に従来のシステム接続を、図 2 に IPC を使ったシステム接続を示す。どちらもマイクロコンピュータを含むモジュール相互をシリアル通信線で接続する構成である。ただし、IPC を使ったシステムでは通信用送受信器がマイクロコンピュータのバスに直接接続されず、デュアルポート RAM を介して接続されるところが異なっている。

2.2 IPC の動作

IPC を使わないシステムでは、ホストのマイクロコンピュータ（以下“ホスト CPU”という。）が送受信器制御・受信エラー処理・通信手順（プロトコル）処理を行うが、IPC を使うとホスト CPU の通信処理はデュアルポート RAM にデータを書き込むだけ、又はデータを読み出すだけとなる。IPC 内部のローカル CPU が送受信器とデュアルポート RAM の間で、通信関係の処理をすべて引き受ける。そのため、IPC を使うとホスト CPU は、通信関係以外の他の制御を行うこ

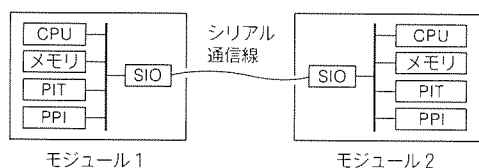


図 1. 従来のシステム接続

とができるようになり、より高精度の制御、より応答性の良い制御が可能になる。一方、IPC は通信処理のみを行うため、ホスト CPU が通信処理を行う場合に比べて転送速度の高速化・通信エラーの復帰処理を含むような複雑な通信手順処理を実現することが容易である。

ホスト CPU は、IPC のデュアルポート RAM のみアクセス可能で、通信部は見えない。つまり、IPC を使ったシステムは、2 個のマイクロコンピュータがデュアルポート RAM により、データを共有するシステムと等価である（図 3）。

3. 次世代 IPC (M38881M2) の概要

表 1 に M 38881 M 2 の性能概要を示す（図 4）。また、図 5 にブロック図を示す。M 38881 M 2 は主に通信部・バスインタフェース部・制御部から構成されている。通信部は 3 チャンネルの UART からなる。バスインタフェース部は、216 バイトのデュアルポート RAM のほか、ローカル CPU・ホスト CPU 間でコマンド・ステータスを受渡するための各種レジスタからなる。制御部は、CPU・プログラム ROM・データ RAM とインタバルタイマからなる。ローカル CPU から操作可能な汎用パラレルポートとホスト CPU からバスインタフェース経由で操作可能な汎用パラレルポートもある。

M 38881 M 2 は、M 37409 M 2 に対して次のような改善を行った。

- (1) CPU の動作速度の向上
- (2) バスインタフェースタイミングの高速化
- (3) デュアルポート RAM のアクセス競合回避
- (4) UART における CRC による通信誤り検出

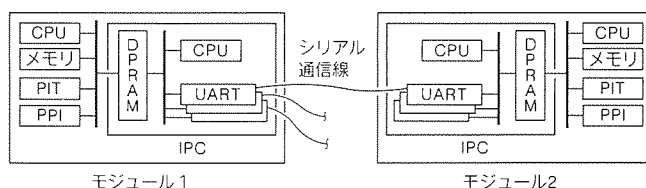


図 2. IPC を使ったシステム接続

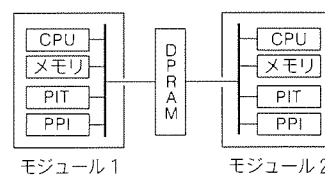


図 3. デュアルポート RAM によるデータ共有

(5) OTP のサポート

以下、特に機能強化された(3)と(4)の動作について詳しく述べる。

4. バスインタフェース部

デュアルポート RAM を使うとメモリと同じ簡単なインタフェースでCPU 間のデータの共有が可能になる。

デュアルポート RAM は構成によって次のタイプがある。

(1) メモリセルはシングルポートであるが、チップ内の調停回路によってアクセスするバスの順序制御を行い、外部から見るとデュアルポート RAM となるもの。

(2) 各メモリセルが2組の選択線(2本のワード線と、2組のビット線)をもつデュアルポート構成であるもの。

M 38881 M 2・M 37409 M 2 が内蔵するデュアルポート RAM は前記(2)の構成をもっている。図 6 にメモリセルの構成を示す。(2)はアクセスタイムが(1)に比べて早いですが、同一のメモリセルに両方のバスから同時にアクセスがあった場合(以下“アクセス競合”という)、データが正しくない場合がある。表 2 にアクセス競合があった場合の結果を M 37409 M 2 を例にして示す。(2)の構成をもつデュアルポート RAM では、通常アクセス競合が発生したとき後着のバス側にレディー信号を出し、後着のバス側の CPU をウェートさせ、メモリセルに対するリード・ライトが両方のバスから同時に起こらないようにする。

M 38881 M 2 では、(2)の構成のままでアクセス競合時にメモリセルに対する内部のリードパルス・ライトパルスを発生させるタイミングの順序制御を行った。まず、リード動作はリード信号の開始エッジをトリガとし、一定時間のリードパルスを内部で発生させ、リードデータをラッチするようにした。ライト動作はライト信号の終了エッジでライトデータをラッチした後、

メモリセルにライトを行うバッファドライブとした。図 7 に順序制御のタイミングを示す。つまり、アクセス競合時でもアクセスタイムが増加せず、かつリードデータが正しく、ライトも正しく行われるようにした。そのため、ウェート機能のない CPU との接続でも高速に動作することができる。表 3 にアクセス競合があった場合の結果を示す。

また、M 38881 M 2・M 37409 M 2 と、システム面からデュアルポート RAM をサポートする機能をもっている。アクセスフラグはデュアルポート RAM の1バイトに1ビットが割り当てられ、ライトによってセットされ、リードによってクリアされる。そのためソフトウェアでデュアルポート R

表 1. M3331M2 の性能概要

制御部	
CPU	38000 シリーズ共通コア
命令実行時間	326ns (最短命令, 発振周波数 12.288MHz 時)
ROM	8,062 バイト
RAM	240 バイト
タイマ	8 ビット×4 (プリスケアラ 8 ビット×2)
入出力ポート	8 ビット×1, 7 ビット×1
通信部	
UART	3 チャンネル
バスインタフェース部	
アドレスバス	8 ビット (入力)
データバス	8 ビット (入出力)
デュアルポート RAM	216 バイト (リードアクセス 50ns)
アクセスフラグ	デュアルポート RAM 1 バイトに 1 ビット
IPC モード設定レジスタ	4 バイト
IPC エラーレジスタ	4 バイト
セマフォフラグ	6 ビット
レディーフラグ	1 ビット
入出力ポート	8 ビット×2
動作電源電圧	5V ± 10%
動作周囲温度	-20 ~ 85℃
パッケージ	64 ピン DIP, 64 ピン QFP
エミュレータ	PC4600
デバッグ	RTT74, WDB38
アセンブラ	SRA74
C コンパイラ	C38
評価用マイコン	M38887RSS

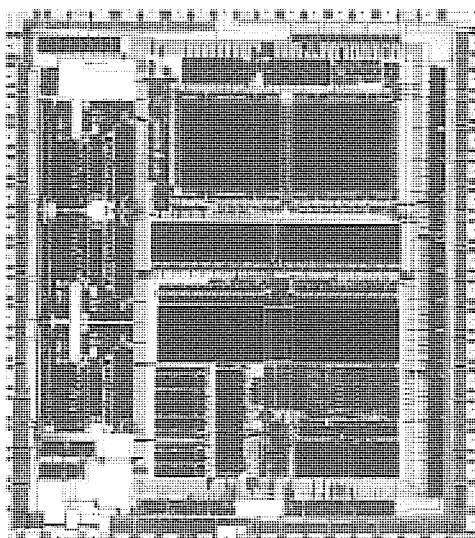


図 4. M38881M2 チップ写真

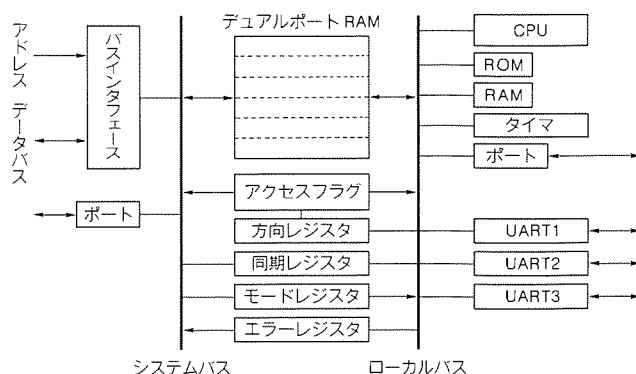


図 5. M38881M2 のブロック図

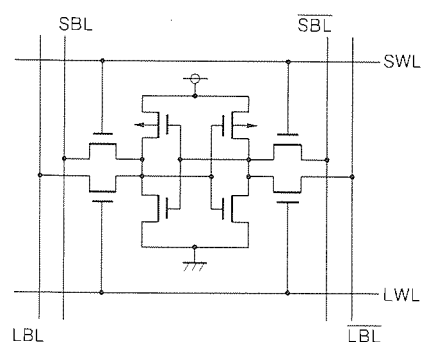


図6. デュアルポートRAMセル

AMのアクセス状態を後から確認することができる。IPCモード設定レジスタはホストCPUからローカルCPUにコマンド等のデータを伝えるため、IPCエラーレジスタはローカルCPUからホストCPUにステータス等を伝えるために設けた。ほかにもセマフォフラグ・レディーフラグ等ホストCPUとローカルCPUのコミュニケーションをサポートするレジスタ群をもち、IPCを高機能な周辺デバイスとして使えるようにすることができる。

5. 通信部

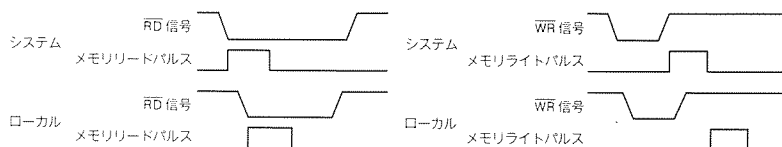
データ伝送が高速になると、通信エラーも発生しやすくなる。UARTでは、垂直パリティによるエラー検出は可能であるが2ビット以上の誤りがある場合や、バースト誤りなどがあると誤り検出率が下がる。また、複数のキャラクタをブロックとして送受信する場合、エラー検出方法にソフトウェアで水平パリティ等のエラー検出コードを伝送データに埋め込む方法もあるが、CPUの負担となり高速化に適さない。

M38881M2は、回路的にそれほど大きくなく誤り検出率の高いCRC方式による誤り検出機能を導入した。UARTによるデータ伝送はキャラクタ(7又は8ビット)単位で区切られるため、扱いやすさを考えCRCの生成多項式には8次のものを用いた。図8にCRC符号化回路を示す(CRC復号化回路も同じである)。

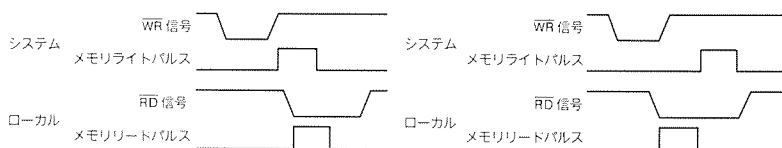
通常CRCはビット列データを基本とする通信で使う方法であるが、M38881M2ではM37409M2との継続性を考えキャラクタ単位のデータを基本とする通信であるUARTに適用した。また、UARTでは同期式伝送のように、SYNCキャラクタやフラグシーケンスにより、受信側でデータブロックの開始と終了を検出することができない。そのため、M38881M2では送信側のCRC符号化回路と受信側のCRC復号化回路が常にそれぞれ送信データ又は受信データに対して

表2. M37409M2のアクセス競合時の結果

	書込み	読出し
双方のバスから同時に読出し	—	正しいデータ
双方のバスから同時に書込み	保証されない	—
一方から読出し、他方から書込み	正しいデータ	不定



(a) 双方のバスから同時に読み出す (b) 双方のバスから同時に書き込む



(c) 一方から読み出し、他方から書き込む(その1) (d) 一方から読み出し、他方から書き込む(その2)

図7. アクセス競合時の順序制御タイミング

表3. M38881M2のアクセス競合時の結果

	書込み	読出し
双方のバスから同時に読出し	—	正しいデータ
双方のバスから同時に書込み	後からの書込みデータ	—
一方から読出し、他方から書込み	正しいデータ	書込み前、又は書込み後の正しいデータ

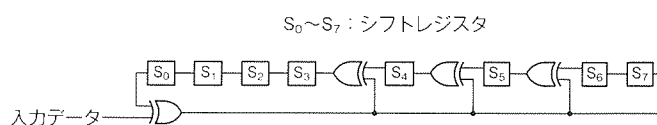


図8. CRC符号化・復号化回路

働くようになっている。CRCによる誤り検出を行う場合のみソフトウェアによってデータブロックの開始と終了を制御するようにした。

6. むすび

IPCが複数のマイクロコンピュータによるシステムにおいて、データ通信を容易化し、かつ高速化することができることを示した。次世代IPCではデュアルポートRAMの競合回避機能・UARTのCRCによる誤り検出機能等により、高速化と信頼性の向上を同時に可能にした。今後は、低電圧動作とより高速化の対応を行う予定である。

参考文献

- (1) 竹内 稔, 阿部 稔, 林 良紀, 石丸善行, 武部秀治: 8ビットマイクロコンピュータ“38000シリーズ”, 三菱電機技報, 66, No. 2, 221~228 (1992)

高速高密度 TSOP メモリモジュールシリーズ

田原次夫*
上村俊一*

1. ま え が き

メモリモジュールは、表面実装パッケージを高密度実装した製品で、外形・回路が JEDEC (Joint Electronic Device Engineering Councils) 規格で標準化されるとともに、旧・次世代メモリ搭載メモリモジュールとの互換性と拡張性を具備している。

メモリモジュールを採用すれば、高密度実装化が容易に実現でき、システムがより小型化し、トータルコストパフォーマンスが向上するとともに、システムのアプリケーションに合わせたメモリ容量の変更や機能変更等がシステムの製造ライン上で可能になり、多様なニーズに迅速に対応できるとともに取替えが容易なため、メンテナンス性が向上できる。

以上のような多くのメリットのため、小型の電子機器を中心に用途と需要が拡大している。

当社でも、市場のニーズを満足すべく、多様で多品種のメモリモジュールの開発・製品化に取り組むとともに、超小型パッケージの搭載による超高密度実装で高品質な製品開発を目指している。

本稿では、メモリモジュールの今後の技術動向及び超小型 TSOP (Thin Small Outline Package) パッケージを搭載し

た、高速高密度メモリモジュールシリーズの新製品の紹介を行い、TSOP 実装のメモリモジュールについてのアセンブリ技術とヒートサイクルの信頼性向上のための改善対策と評価結果について紹介する。

2. 今後の技術・製品化動向

メモリモジュールの主要な用途であるワークステーション及びパソコンの CPU の高性能化に伴い、今後の技術・製品化動向は、次に示すことが予想される。

(1) 高密度実装化の進展

超薄形の TSOP パッケージを搭載したメモリモジュールが拡充していくとともに、超薄形のメリットを生かし、更に高密度で高性能な多重実装構造のメモリモジュールの開発と製品化が進展するとともに、DTCP (Dual Tape Carrier Package) 等の更に超薄形パッケージの搭載品への展開が予想される。

(2) AS メモリモジュール

従来の標準 DRAM 搭載品から、高速ドライバなどの周辺回路付きのメモリモジュール及び CDRAM (Cash DRAM) 搭載など多様で多機能な AS (Application Specific) メモリモジュール化が進展すると考えられる。

表 1. 高密度高速 TSOP メモリモジュールシリーズ

形 名	メモリ容量 (ワード)	ビット数 (ビット)	アクセス タイム (ns)	外 形 寸 法 (mm) (W×H×D)	ピン数・外部リード (電極仕様)	実装 形態	搭載 (TSOP) メモリ
MH1616FNA	16K	16	15	45.6×16.2×4.3	36PIN, スキニ DIP	両面	64K 高速 SRAM 4 個
MH51208ANA	512K	8	85	46.4×18.9×5.8	32PIN600mil DIP	両面	1 M SRAM 4 個
MH1M08TNA	1 M	8	85	53.4×23.0×6.4	36PIN600mil DIP	両面	1 M SRAM 8 個
MH2M08TNA	2 M	8	85	53.4×23.0×11.0	36PIN600mil DIP	両面 2 階	1 M SRAM 16 個
MH4M8A0TJ	4 M	8	70	88.9×14.22×4.3	30PIN カードエッジ (はんだ)	両面	4 M DRAM 8 個
MH4M8A0TJA				88.9×13.97×4.3	30PIN SIP リード		
MH4M9A0TJA	4 M	9	70	88.9×16.4×4.3	30PIN SIP リード	両面	4 M DRAM 9 個
MH8M09A0J	8 M	9	70	88.9×31.37×4.3	30PIN カードエッジ (はんだ)	両面	4 M DRAM 16 個
MH1M36ATJ	1 M	36	70	107.95×28.35×2.7	72PIN カードエッジ (金めっき)	片面	4 M DRAM 8 個
MH1M36ASTJ					72PIN カードエッジ (はんだ)		1 M DRAM 4 個
MH2M36ATJ	2 M	36	70	107.95×31.95×4.3	72PIN カードエッジ (金めっき)	両面	4 M DRAM 16 個
MH2M36ASTJ					72PIN カードエッジ (はんだ)		1 M DRAM 8 個
MH1M36SUJ	1 M	36	75	107.95×31.65×7.0	72PIN カードエッジ (金めっき)	両面	4M DRAM 8 個, 1M DRAM 4 個ドライバ付き
MH4M36SUJ	4 M	36	75	107.95×51.0×7.0	72PIN カードエッジ (金めっき)	両面	4M DRAM 36 個ドライバ付き
MH16M80TJA	16M	8	60	88.9×17.0×4.3	30PIN SIP リード	両面	16M DRAM 8 個
MH16M09TJ	16M	9	60	88.9×22.86×4.3	30PIN カードエッジ (はんだ)	両面	16M DRAM 9 個

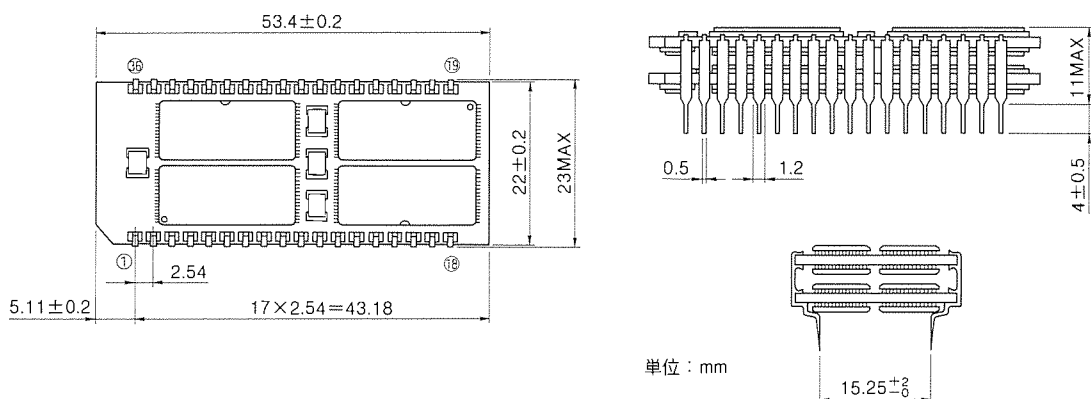


図1. 36ピン SRAM モジュール(MH2M08TNA)

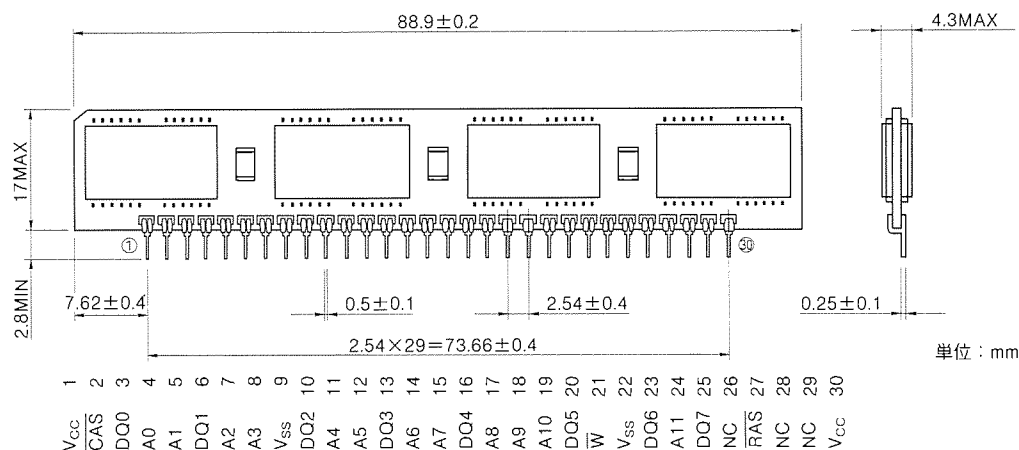


図2. 16M DRAM モジュール(MH16M80TJA)

(3) 外部リードの超多ピン化(多ビット入出力ピン)

小型電子機器用 CPU の高性能化に伴い、従来の 30 ピン (9 ビット入出力ピン) から 72 ピン (36 ビット入出力ピン)、100 ピン (72 ビット入出力ピン) 品へと需要が急速に移行しており、さらに 144 ビット入出力ピンをもつメモリモジュールへの要求が強くなるなど、外部リードの多ピン化への動きが強い。

(4) カスタムメモリモジュール

高密度実装のカスタムモジュール化への要求が増大し、システムの高性能化と差別化をねらった多種・多様な製品展開の拡大が予想される。

以上のような市場の広範な要求にこたえるべく、TSOP パッケージを搭載したメモリモジュールシリーズを開発・製品化を行った。次に、その新製品を紹介する。

3. 新製品の紹介と特長

今回紹介する新製品の比較を表1に示す。TSOP パッケージ搭載により、従来の SOJ (Small Outline with J-leads) 搭載と比較し約 50 % の薄形化を実現した。各製品の内容と特長を次に述べる。

(1) 256 K ビット高速 SRAM モジュール (36 ピン) (MH 1616

FNA)

64K 高速 SRAM を搭載し、超スキニー DIP (Dual Inline Package) (2.54 mm 間隔) の外部リード構成の製品であり、キャッシュメモリなどの用途をねらった製品である。

(2) 4 M、8 M 及び 16 M ビット SRAM モジュール (32、36 ピン)

(MH 51208 ANA, MH 1 M 08 TNA, MH 2 M 08 TNA)

1 MSRAM を搭載し、600 mil DIP の外部リード構造に収納した。次世代の 4 M 及び 16 MSRAM とピン互換性のある製品を実現した。特に、MH 2 M 08 TNA (図1) は 2 階構造で、四重化実装し、従来の SOP (Small Outline Package) 搭載と比較し、約 4 倍の実装密度で、業界最高密度のメモリ容量をもつ製品であり、次世代メモリの先取り製品として開発した。

(3) 32 M、36 M、72 M、128 M 及び 144 M ビット DRAM モジュール (30 ピン)

(MH 4 M 8 A 0 TJ / TJA, MH 4 M 9 A 0 TJA, MH 16 M 80 TJA (図2) MH 8 M 09 A 0 J (図3), MH 16 M 09 TJ)

4 M DRAM 又は 16 M DRAM を搭載した 30 ピン SIMM (Single Inline Memory Module) である。JEDEC 規格に準拠した薄形構造の製品である。

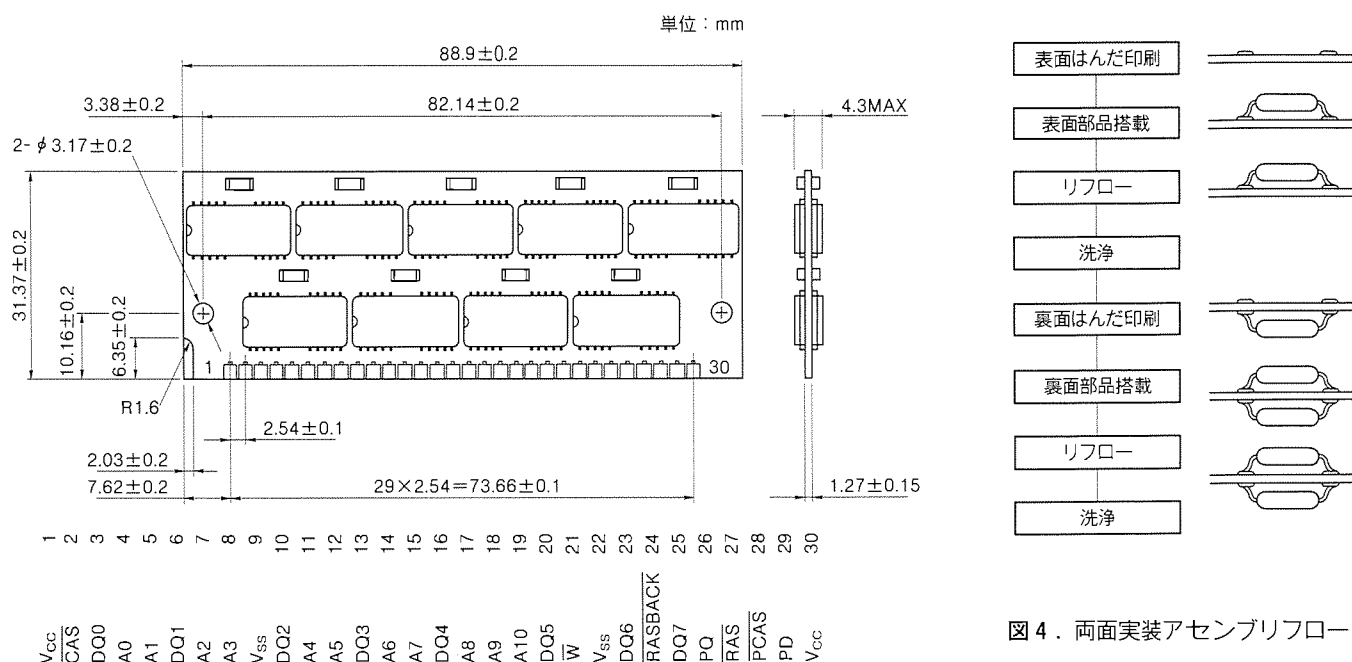
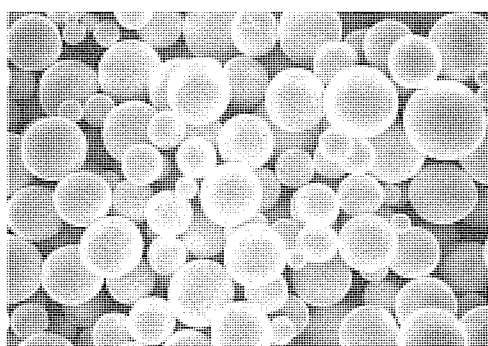
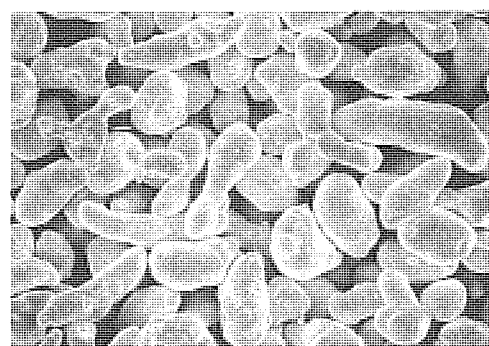


図 4 . 両面実装アセンブリフロー

図 3 . 4MDRAM 搭載モジュール(MH8M09A0J)



(a) 球形粉



(b) 不定形粉

図 5 . はんだ粉末の形状(資料提供: 千住金属株)

- (4) 36 M 及び 72 M ビット DRAM モジュール (72 ピン)
(MH 1 M 36 ATJ/ASTJ, MH 2 M 36 ATJ/ASTJ)
4MDRAM 及び 1MDRAM を搭載した 72 ピン SIMM である。JEDEC 規格を準拠した薄形構造の製品である。
- (5) 36 M, 144 M ビット入力ドライバ付き DRAM モジュール (72 ピン)
(MH 1 M 36 SUJ, MH 4 M 36 SUJ)
4MDRAM 及び 1MDRAM に加え、高速入力ドライバを搭載した 72 ピン SIMM である。JEDEC 規格に準拠するとともに、入力ドライバ搭載により、最小の入力静電容量の高性能な製品である。

以上、紹介した新製品のように、TSOP を搭載することにより、高密度実装化と薄形化への展開を実現できる。

4. TSOP 実装技術の問題点と対策

メモリモジュールの実装フローを図 4 に示す。TSOP の実

装を行うに当たり、

- (1) リードピッチの微小化によるはんだブリッジの増加
- (2) リード接合面積の減少によるはんだ接合強度、接合寿命の低下
- (3) パッケージの小型化による機械的強度、耐熱特性の低下の問題があり、当社ではその点を重視したプロセスで実装を行っている。

4.1 はんだ印刷、チッププレース工程

はんだ印刷において、リードピッチが微小になるため、マウントパッド寸法も非常に小さなものになり、はんだペーストを精度良く均一に、印刷マスクのパターンどおりに印刷する必要がある。これが行われない場合、ショートやオープンなどが発生する。

この問題を解消するためには、はんだペースト、印刷条件、印刷量、印刷精度などの十分な検討を行う必要がある。特に はんだ印刷については、

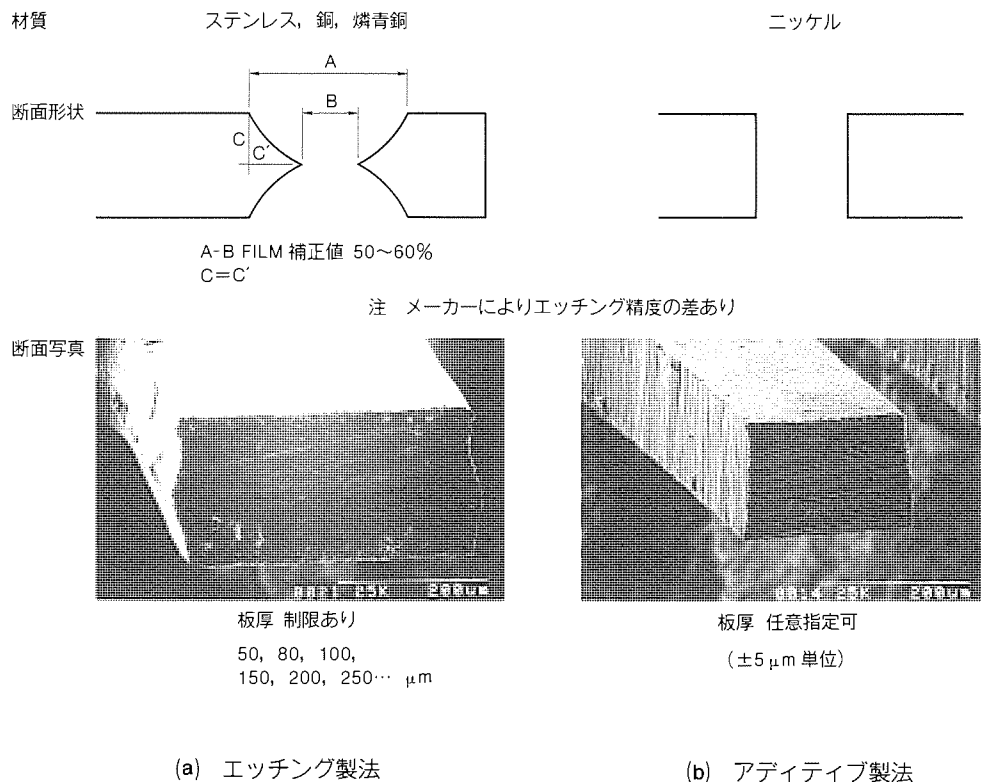


図6. メタルマスク製法の比較(資料提供: (株)プロセス・ラボ・ミクロン)

- (1) はんだペースト特性 (粒度, 粒径など) (図5)
 - (2) メタルマスク (マスク開口部の形状など) (図6)
 - (3) 印刷性 (スクリーン透過率, ショート, 印刷崩れなど)
 - (4) プリヒート時の印刷崩れ
 - (5) リフロー後のはんだボール発生数
- を考慮した実装技術開発を行ってきた。

印刷精度については, 自動印刷機に認識装置を取り付けることにより, ±50 μm の印刷精度が得られている。

また, チップブレース工程では, 自動部品搭載機を使用して高精度の実装を行っており, ±50 μm の搭載精度が得られている。

4.2 はんだリフロー, 洗浄工程

両面実装リフローを行う場合, 考えられる方法としては, 接着剤による部品仮止めを行い両面同時にリフローする方法, 基板上下面のはんだの融点に違いをもたせ表裏2回リフローを行う方法など, いろいろ方法がある。その中で, 当社では, はんだの表面張力によって搭載部品を保持する2回印刷, 2回リフロー方式を採用した。

はんだリフロー工程では, 温度条件の設定が重要であり, 部品の熱容量及び耐熱温度を考慮した上で,

- (1) ピーク温度
- (2) はんだ熔融時間 (はんだの融点以上の時間)
- (3) 予熱時間
- (4) 温度上昇率 (温度こう (勾) 配)

の設定を行うことが必要である (図7)。

また, SMD (Surface Mount Device) 部品は, モールド樹

脂の吸湿がある場合, 温度上昇時に水分の膨張によってクラックが発生する。特に TSOP は, パッケージ厚みが非常に薄いため保管時の温湿度管理には十分な注意が必要であり, 保管期限を越えた場合, ベーキングが必要となる。

洗浄工程では, 地球環境汚染の問題などからフロン (CF C-113), 1,1,1-トリクロロエタンといった洗浄溶剤の生産及び使用規制が急速に進んでおり, 当社では,

- (1) 使用するフラックスにおける耐腐食性, 絶縁抵抗, マイグレーションなど
- (2) 製品としての必要信頼性レベル
- (3) 製品使用環境
- (4) 要求外観品位
- (5) 外観目視検査の検出力
- (6) インサーキットテスト要否

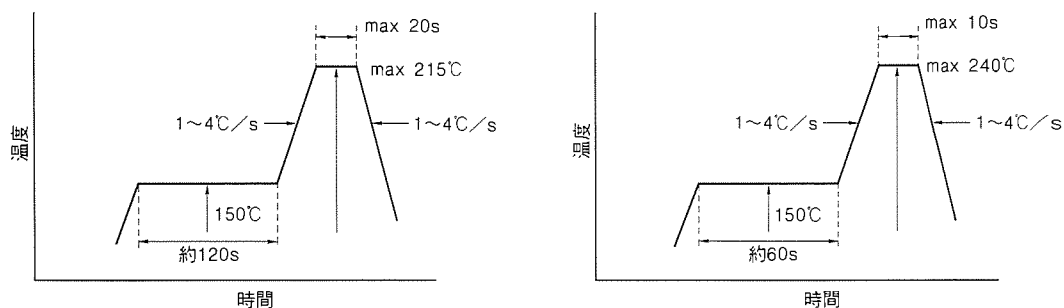
を考慮し, 以下の代替洗浄液を選定し導入を完了した。

●テルベン系溶剤: オレンジの皮から抽出した成分からなる洗浄液

●石油系溶剤: 石油系溶剤と界面活性剤の混合液
また, 無洗浄化についても現在評価中である。

5. 温度サイクル信頼性

TSOP は, パッケージサイズに対してシリコンチップの占有率が高くなり, パッケージ全体の見掛けの熱膨張係数が小さくなる。そのため, 通常使用されているガラスエポキシ基板 (FR-4) とは熱膨張係数の差が大きくなることにより, 一般的には, はんだ接合部に発生する熱応力が大きくなり,



(a) VPS 温度プロファイル

(b) 赤外線リフロー及びエアリフロー温度プロファイル

注 (1) 最高温度は、パッケージ表面の温度とする。
(2) リフロー回数は、3回以下とする。

図 7. 推奨温度条件(TSOP の場合)

表 2. 基板仕様別温度サイクル結果(1MSRAM の一例)

基板の種類	熱膨張係数(実測値)	n	100	200	300	500	750	1,000
FR-4 基板 6層1.27mm	$14 \sim 15 \times 10^{-6}$	20	0	0	2	10	20	—
セラコム基板 6層1.27mm	$8 \sim 8.3 \times 10^{-6}$	20	0	0	0	0	0	0

注 サイクル条件(−40~125℃) 使用 IC: TSOP ($\alpha = 5 \sim 6 \times 10^{-6}$)

SOJ, SOP パッケージを実装したものより耐温度サイクル性が劣るおそれが大である。このように薄形パッケージ(TSOP など)を実装する場合には、基板材料の選択に注意する必要がある。そこで当社では、シリコンチップの占有率が高く、熱膨張係数の小さい TSOP を使用した実装品には、この問題を解決するために熱膨張係数の小さいセラコム^(注1)基板を採用し、温度サイクル性の向上を図ってきた。

表 2 に基板材料の物性及び TSOP を搭載したメモリモジ

(注 1) “セラコム”は、イビデン(株)の登録商標である。

ュールの温度サイクル結果を示す。

6. む す び

コンピュータビジネスのダウンサイジング化に伴い、ワークステーション、パソコンビジネスは、更に市場の拡大が予想されるが、大手メーカーの本格的参入により、性能・価格競争はし(熾)烈に

なっている。メモリモジュールにおいても、性能の差別化・高性能化をねらって従来にないユニークなメモリモジュールへの要求が増大している。

当社においても、新パッケージの開発とともに新パッケージを高密度実装したユニークなメモリモジュールの開発・製品化に取り組み、市場の広範囲な要求を満足すべく、進めている。

ミックスメモリカード

田淵正行* 白土修一*
木村正俊*
渡辺忠勝*

1. ま え が き

IC メモリカードは、高速動作、低消費電力、小型・軽量化かつ振動に強いことから携帯用機器の外部記憶装置として最適である。

メモリカードが市場に出始めたころ(1985年ごろ)は、32 Kバイト程度のSRAMカードが主流であり、用途も電子手帳、ワープロ等の小容量のデータ記憶に限られていた。その後、急速に開発が進み、メモリの種類に対応したカードが出現する一方、メモリ容量も飛躍的に向上(現在は20Mバイト)してきた。

メモリカードの性能向上につれて携帯用機器の一層の小型化が進み、現在ではパソコン等の携帯用機器の外部記憶装置としてカードは不可欠になると同時に、携帯用機器の多様化に伴いメモリカードへの要求も多岐にわたっている。

当社でも市場の要求にこたえるべく各種メモリを用いたメモリカードを開発・量産してきた。ここでは、今回開発したSRAMとフラッシュメモリのミックスメモリカードについて、開発の背景及び製品の紹介を行い、応用例についても紹介する。

2. IC メモリカードの標準化

(社)日本電子工業振興協会(Japan Electronic Industry Development Association: JEIDA)は、ICメモリカードの標準化、普及・促進を目的に1986年にガイドラインを発表して以来改定を重ね、1991年に米国のICメモリカード標準化団体PCMCIA(Personal Computer Memory Card International Association)と協議し、日米共通のガイドラインを発表した⁽¹⁾。図1にガイドラインの概要を示す。

ICメモリカードは、異なるシステムの間で情報の互換性を確保するために物理仕様、電気・インタフェース仕様以外にカードの属性情報を記憶することを推奨している。この属性情報の役割はカードの互換性、情報の安全性を高めるとともに、カード応用の柔軟性と拡張性を高めるために必要である。特に、DOSインタフェースガイドラインでは、パソコンのオペレーティングシステムの中で最も多く採用されているDOSを取り上げて、データやプログラムの交換のための互換性のあるメディアとしてICメモリカードが使用できるように、ファイル管理システムについて詳しく定義している。これにより、ICメモリカードをフロッピーディスクやハー

ドディスクと同じように取り扱うことが可能である。

その他、メモリカードをシステムのメインメモリの一部に割り付けて、カード内のソフトを直接実行する方式(Execute in Place: XIP)、更には、モデム、LAN等の入出力媒体として使用できるI/Oカードについても規約化している。

3. 当社 IC メモリカードの製品コンセプト

1987年、現在主流のTSOP(Thin Small Outline Package)をいち早く開発し、高信頼のHRシリーズを開発⁽²⁾した。以来、一貫した思想の下で、最先端の半導体及び部品を当社独自の高度な高密度実装技術及び最新鋭自動化設備により高信頼・高機能メモリカードの開発・量産を行っている。

(1) 組立レベルでの評価

メモリカードは、完成品のみでの評価では使用部品レベルの評価が十分できないという考えから、図2の信頼性評価システム⁽³⁾に示すように、組立ての各段階で最適な評価を実施し、高信頼性を保証している。

(2) 標準品種の拡大

特定用途向けのカスタム品及び価格、納期面で有利な標準品の開発・量産を行っている。特に、標準品はカード利用分野の動向を把握しながら、一歩先の開発を目標とし、品種の拡大、ユーザーへの提案を志向している。

(3) 用途に適したASカード

メモリカードの機能が、単なるデータキャリアの考えでなく、高機能化・システム化に最適な機能を取り込み、常に付加価値の高いカードの開発を志向している。

68ピン メモリカード、I/Oカード

DOS インタフェース ガイドライン Ver.1.1	OS インタフェース	DOS FAT ファイルシステム 直接実行形式(XIP) 属性情報処理方法
IC メモリカード ガイドライン Ver.4.1	カード属性情報	デバイス情報 コンフィギュレーション情報 フォーマット情報 データ構成
	電気、インタフェース仕様	ピン配置、インタフェース仕様 リード/ライト機能、タイミング規定 I/O 機能
	物理仕様	カード寸法、形状 コネクタ寸法、環境性能 カード環境条件

88ピン DRAM カード

DRAM カード ガイドライン Ver.1.0	DRAM カード仕様	物理仕様 電気仕様、PD ピン仕様 ラベル表示
----------------------------	------------	-------------------------------

図1. JEIDA ガイドラインの概要

4. メモリカードの現状

SRAM や OTP, マスク ROM を用いたメモリカードが最初開発されその後, 次々に DRAM, EEPROM そしてフラッシュメモリへと展開されてきた。これらのカードの現状について示す。

(1) SRAM

高速で読み書きができるので使いやすく, 使用量も一番多い。しかし, 揮発性のためデータ保持用の電池が必要である。

(2) マスク ROM

マスク開発費用が必要なため, 多量に作れば低価格になる。しかし, プログラム開発からメモリカードが完成するまで時間を要する。アプリケーションソフト, 漢字フォント等に多く使用されている。

(3) OTP

メモリカードでのプログラムの書込みは可能であるが書換えができないこと及びわずかではあるが書込み不良が発生する可能性がある。ソフト開発後の, 一時期マスク ROM の代わりに又は数量が少ないときに使用されている。

(4) DRAM

低価格でメモリ容量も大きい, 記憶保持動作が必要なため電池による不揮発化が難しい。パソコンの拡張メモリの用途が多い。

(5) EEPROM

電氣的に書込み・消去が可能であるが, 他の IC に比べて

メモリ容量 (256 K ビット) が小さいため大容量メモリカードの作成が難しい。

(6) フラッシュメモリ

EEPROM と同様に読み書きが可能。大容量・不揮発性のカードが可能のため, ハードディスク代替えとして注目されている。しかし, 書込み・消去に際し, 高電圧 (+12 V) が必要であり書換え回数に限界がある。

5. ミックスメモリカード

現在メモリカードは, 携帯用パソコン, IC カード電話機, POS 端末等いろいろな分野で数多く利用されている。これらは, フロッピー, 機器組込みメモリの代替としての利用が多い。その利用形態は, アプリケーションソフト, 各種管理データの提供及び実行処理結果の記憶, データの互換性となっている。今回の開発は, 携帯用機器の中でメモリカードが 1 枚しか装着できない機器の利便性向上を目標とした。

5.1 開発の背景

ミックスメモリカードとは, 異種のメモリ IC をカード内に封入したもので, カード応用システムの用途に合わせた最適なメモリカードが作れるため, システムの効率的な情報処理が可能になる。これまで, 特定用途向けにマスク ROM と OTP を用いたミックスメモリカードを開発してきたが, 標準品としては短納期対応, メディア互換性, カード内容の更新等に課題があった。

今回の開発に当たっては, 以下の目標を設定した。

- (1) 1 枚のメモリカードで携帯用機器の各種応用を可能とするため, アプリケーションソフト及び実行処理結果を 1 枚のカードに記憶させる。
- (2) 標準仕様とするため, ユーザーサイドでプログラムの書込み可能とし, カードの再利用を可能 (ソフトの更新) とする。

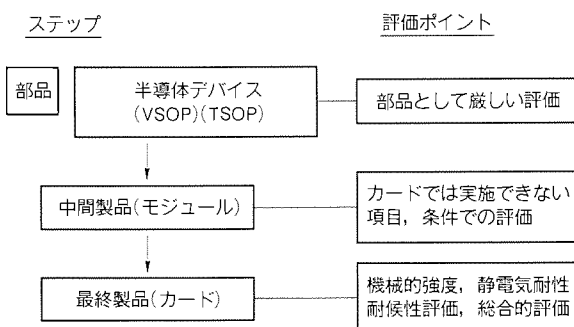


図 2. 信頼性評価システム

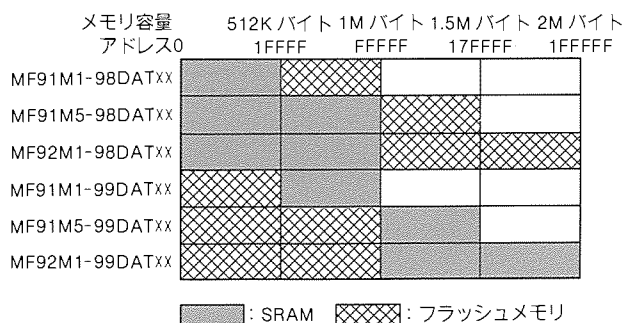
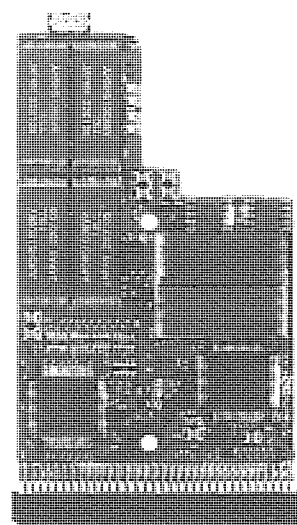


図 3. メモリ構成



(a) カード外観



(b) モジュール外観

図 4. MF92M1-98DATXX

- (3) メディアの互換性を図るため、JEIDA 推奨の DOS の管理下で動作させる。
- (4) 機器の駆動用電源 (電池) の長寿命化のため、特に、スタンバイ状態の低消費電力化を図る。

以上の条件を満たすため、電気的に読み書きが可能でメモリ容量の大きいフラッシュメモリと低消費電力の SRAM を組み合わせ、お互いの長所を生かした JEIDA 準拠の標準ミックスメモリカードを開発した。

5.2 製品の概要

開発品はメモリ構成・容量によって 6 品種あり、その構成を図 3 に、また MF 92 M 1-98 DATXX の外観を図 4 に、回路ブロックを図 5 に、代表的な仕様・特性を下記及び図 6 に示す。

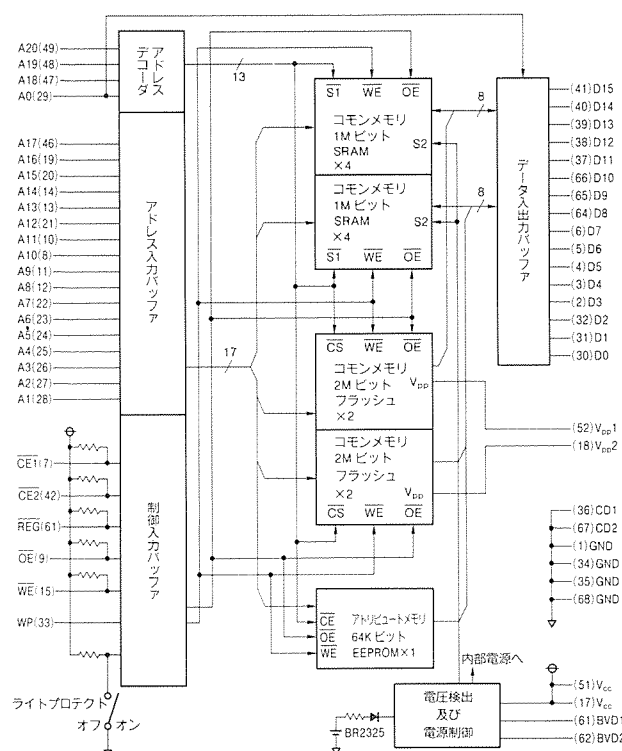
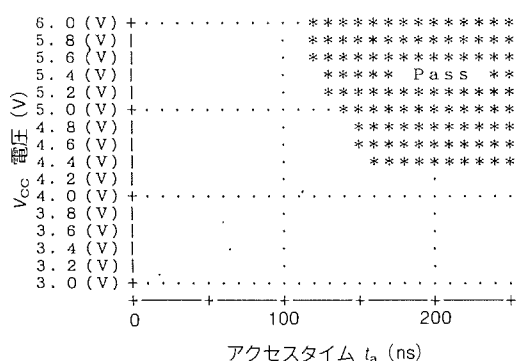
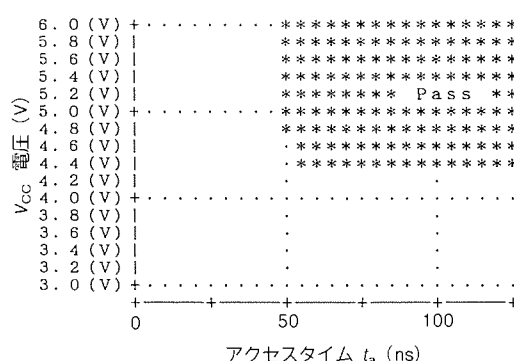


図 5. MF92M1-98DATXX 回路ブロック



(a) カードイネーブルアクセス時間(CE)



(b) アウトプットイネーブルアクセス時間(OE)

図 6. MF92M1-98DATXX アクセスタイム(16ビットデータバス, $T_a=25^{\circ}\text{C}$)

す。

- (1) カード寸法：(縦) 85.6×(横) 54.0×(厚さ) 3.3 (mm)
- (2) 使用コネクタ：68 ピンツーピースコネクタ
- (3) データバス：8/16 ビット
- (4) アクセスタイム：200 ns (max)
- (5) アトリビュートメモリ：64 K ビット (EEPROM を使用)
- (6) データ保持電池 (SRAM)：5 年 (typ.)
- (7) ライトプロテクト機能：あり
- (8) 電池電圧検出：2 レベル
- (9) フラッシュメモリ
 - ・バイト書込み時間：10 μs
 - ・データ消去時間：2 s
 - ・書換え回数：1 万回 (min)
- (10) 電源電圧
 - ・+5 V (動作時)：220 mA (max), (待機時)：0.2 mA (typ.)
 - ・+12 V (書込み・消去)：35 mA (max)

5.3 パソコンの使用例

JEIDA で推奨している DOS の管理下で、今回開発したミックスメモリカードを使って、アプリケーションソフトの実行と結果の格納を行う例を紹介する。

図 7 は、パソコンで使用しているフロッピーディスクをフォーマットしたときの状態を示した図である。図に示すようにフロッピーの先頭には、FAT (File Allocation Table), ルートディレクトリ等からなるファイル管理領域があり、フロッピーに記憶しているファイル名・属性、記憶場所等を管理しており、記憶内容の変更の都度更新される。したがって、IC メモリカードも同じ内容の管理領域を先頭番地に設けなければならない。しかし、フラッシュメモリは、書換え時に制約があるため、MF 92 M 1-98 DATXX (SRAM+フラッシュ) のメモリ構成が適している。

5.3.1 SRAM+フラッシュメモリ(MF92M1-98DATXX)

表 1 にメモリカードのフォーマット仕様を、図 8 にフォーマット後の状態を示す。SRAM 領域には、管理領域と実行

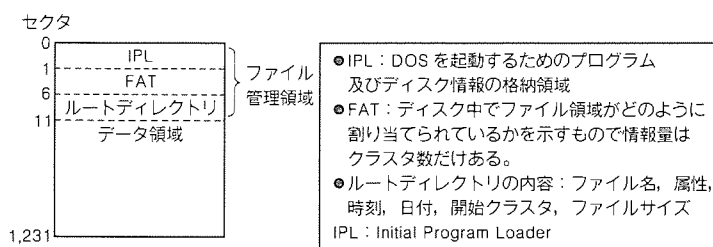


図7. フロッピーディスクのフォーマット(2HD(1.2M バイト))

処理結果等書換え頻度が高いデータを記憶する。一方、フラッシュメモリにはアプリケーションソフト等書換えが不要なデータを記憶する。そして、それぞれのメモリの手頭にファイル管理領域を設けるが、パソコンが参照するファイル管理領域はSRAMに設けた部分である。

次に、フォーマット、ファイル管理データの作成について述べる。

(1) フラッシュメモリ部

FAT、ルートディレクトリに、フラッシュメモリのメモリ容量でフォーマットし、ファイルを記憶したときと同じデータを書き込む。なお、ここでIPLの内容は意味をもたない。

(2) SRAM 部

フォーマットは、フラッシュメモリを含めたメモリ容量でFATを作成し、データ領域の初期化(E5H)は、SRAM部のみ行う。

(3) SRAM 部管理領域に、フラッシュ部管理領域のデータを追記

フラッシュ部のファイル管理領域データはSRAMのデータ領域及びフラッシュ部のファイル管理領域のオフセットがあるためクラスタ値を補正して追記する。

以上の操作で、フラッシュメモリに記憶したアプリケーションソフトの読出しが可能になり、SRAM領域は自由にファイル作成・消去が可能になる。すなわち、ワープロ作業を行う場合フラッシュ部にワープロソフト、SRAM部に印刷条件設定ファイル、文書ファイル等の格納ができるので1枚のカードで文書作成が可能になる。

なお、アトリビュートメモリにデバイス情報(種別、速度、容量)を記憶させておけば、パソコンでメモリカードの仕様が判別できるため、DOSフォーマットであればミックスカード以外のカードも使用できる。

5.3.2 フラッシュメモリ+SRAM(MF92M1-99DATXX)

フラッシュメモリ+SRAM(MF92M1-99DATXX)は、パソコンが参照するファイル管理領域をフラッシュ部に設けることができないため(書換え回数に限界がある)、ファイル管理領域がカードの手頭に限定されない方式での利用が考えられる。

表1. メモリカードのフォーマット仕様

メディアディスクブリタ	F8H(JEIDA 推奨)
FAT 構成	12ビット
FAT 数	1
ディレクトリエントリ数	128
セクタサイズ	512(JEIDA 推奨)
クラスタサイズ	1セクタ

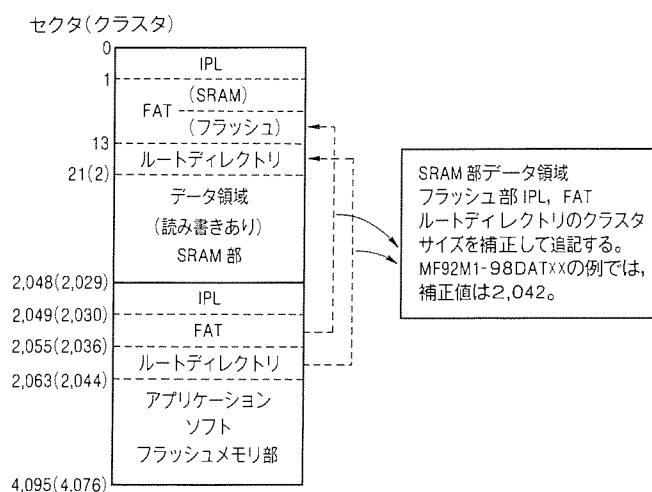


図8. メモリカードのフォーマット(MF92M1-98DATXX)

6. む す び

大容量のアプリケーションソフトに対しては、今回開発品のメモリ容量では不足が予測されるため、現在、大容量化を進めている。

メモリカードは、携帯用機器の多様化に対応するため、今後も、高性能・高機能化が進んでいく。具体的には、

(1) 仕様：低電圧動作、低消費電力、高速動作、大容量化、動作温度範囲の拡大

(2) セキュリティ：コピー防止、誤り訂正などが展開されるとともに、カード利用をサポートするハード・ソフトも整備されてくる。

当社は今後も、メモリカード利用分野の要求をいち早く取り込み、タイムリーな開発・量産を行っていく所存である。

参 考 文 献

- (1) (社)日本電子工業振興協会：ICメモリカードガイドライン (1991)
- (2) 木村正俊, 井内隆敏, 前田 甫：三菱大容量メモリカード, 三菱電機技報, 63, No. 11, 917~920 (1989)
- (3) 井内隆敏, 小笠原健一, 木村正俊, 藤田繁男, 岩森 清：高信頼性ICカードの開発と信頼性評価, 第18回信頼性・保全性シンポジウム, 日本科学技術連盟, 51~58 (1988)

ISDN インタフェースボード

中林竹雄* 木村隆一**
蔵永 寛* 宮城 明**
後藤宏二* 小林和男***

1. ま え が き

有線通信分野での通信サービスの高速化・多様化に対応して、国際電信電話諮問委員会 (International Consultative Committee for Telephone and Telegraph : CCITT) を中心にサービス総合デジタル網 (Integrated Services Digital Network : ISDN) 構築を目指した標準化活動が進められてきた。ISDN は現在、世界各国で実用化段階に入っており、我が国においても 1988 年 (昭和 63 年 4 月) から日本電信電話 (株) が INS ネットの名称でサービスを開始している。

各種 ISDN 機器の開発には、各 ISDN 機器のアプリケーションに対応したハードウェア及びソフトウェアと、機器を ISDN 網に接続するためのインタフェース用のハードウェア及びソフトウェアとが必要となる。当社においても、ISDN インタフェース用 LSI を ISDN 機器向けの ASSP と位置付け、レイヤ 1 LSI (M 65750) とレイヤ 2 LSI (M 65751) の開発を行ってきた⁽¹⁾。今回、これらの LSI 2 品種を用いて ISDN インタフェースボードを開発したので、その内容について述べる。

2. 開 発 方 針

ISDN 機器の機能構成は、国際標準化機構 (International Organization for Standardization : ISO) の OSI (Open Systems Interconnection) 7 レイヤモデルに準拠しており、CCITT によって階層的に勧告化されている⁽²⁾。このモデルを図 1 に示す。図において、レイヤ 1～3 はネットワークに依存した通信機能であり、レイヤ 4～7 は各種アプリケーションに依存した機能である。

ISDN インタフェースボードの開発に際し、図 1 のモデルをもとに適用機種、使用形態等の観点から開発方針を検討し、

以下の基本方針を定めた。

- (1) ISDN インタフェースボードの形態は、最もオープンなアーキテクチャである AX パソコンの拡張 I/O ボードに準拠する。
- (2) アプリケーション (レイヤ 4 以上) の機能はパソコンで実現することを仮定し、ISDN インタフェースボードには、ISDN 通信に関する機能を搭載する。すなわち、図 1 のレイヤ 1～3 の機能を搭載する。
- (3) ISDN インタフェースボードとパソコンとの間 (図 1 のレイヤ 3-4 間) のインタフェースのフォーマットを、CCITT 勧告のレイヤ 3 メッセージフォーマットをもとに単純化して規定し、パソコン上でのアプリケーション開発を容易にする。
- (4) ISDN インタフェースボードの動作モードは、ボードの使用形態、ハードウェア、ソフトウェアの開発、評価等を考慮し、端末側動作に固定する。

3. ハードウェア構成

ISDN インタフェースボードのハードウェアの構成を図 2

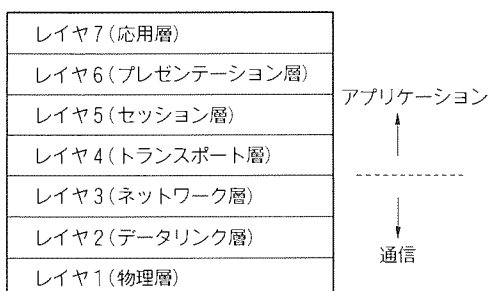


図 1. ISDN 機器の階層機能モデル

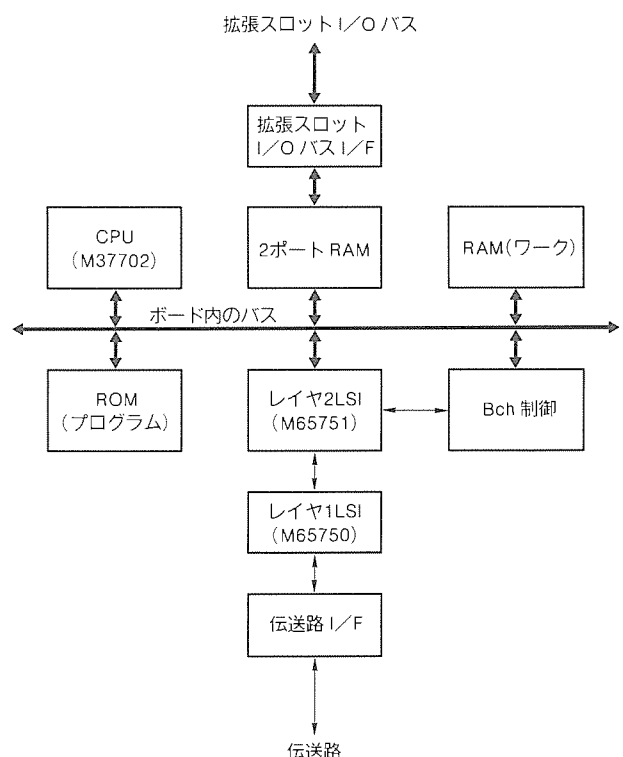


図 2. ハードウェア構成

表1. ハードウェア諸元

CPU	M37702E4AFS (RAM 2K バイト内蔵) (ROM 32K バイト内蔵)
RAM	64K バイト (CPU の内蔵 RAM を除く)
2 ポート RAM	16K バイト
ROM	256K バイト (CPU の内蔵 ROM を除く)
ISDN 用 LSI	M65750FP (レイヤ 1) M65751FP (レイヤ 2)
消費電力	800mA (typical)
サイズ	340.5mm×114.3mm (AX パソコン拡張 I/O ボードフルサイズ)

に、諸元を表1に示す。以下に主な機能ブロックの詳細を示す。

3.1 伝送路 I/F ブロック

レイヤ1 LSI (M 65750) は、パルストランスを介するだけで伝送路上での信号 (AMI 符号) の送受信が可能である。しかし、伝送路 I/F ブロックの機能としては信号の送受信のほかに、伝送路からのサージに対する対策や、EMI (Electromagnetic Interference) 対策が必要となる。このため、サージ対策としてサージアブソーバを、EMI 対策としてチョークコイルを付加した。

ISDN インタフェースボードは拡張スロットからのローカル給電を前提にしており、回線からの局給電では動作しない。しかし、レイヤ1の機能として伝送路への接続状態 (接続されている/いない) を検出する必要があるため、接続検出器 (DC/DC コンバータ) を備えた。ISDN インタフェースボード及びパソコン上のアプリケーションは、接続検出器の出力値によって伝送路への接続状態を検知することができる。

3.2 拡張スロット I/O バス I/F ブロック

拡張スロット I/O バス I/F ブロックの主な機能は、

- (1) 拡張スロット I/O バスを介したドライバ/レシーバー機能
- (2) パソコンと ISDN インタフェースボード間でのデータ転送機能
- (3) パソコンと ISDN インタフェースボード間での制御信号の送受信機能

である。これらの機能を実行するため、このブロックは、ボード開発の基準書⁽³⁾に準拠して設計した。

パソコンと ISDN インタフェースボード間でのデータ転送のため、ボード上に2ポート RAM を備えた。割込み、I/O アドレス、メモリアドレスの制御のため、複数のレジスタを備えた。2ポート RAM はメモリ空間に、レジスタは I/O 空間に各々マッピングした。他の拡張 I/O ボードとの衝突を避けるため、ベースアドレスは、2ポート RAM 及びレジスタともに、ハードウェア的 (ISDN インタフェースボード上のディップスイッチ) にも、ソフトウェア的 (パソコン上

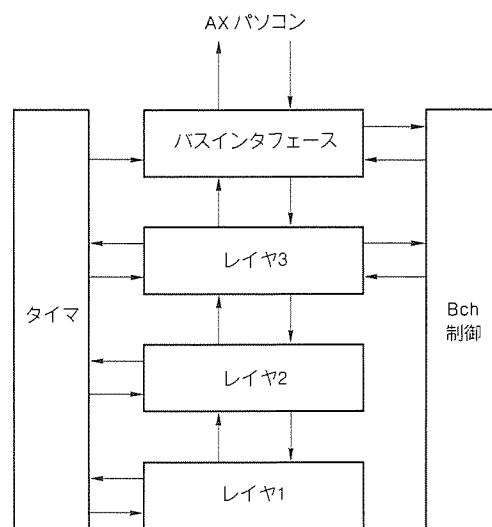


図3. ソフトウェア構成

表2. ソフトウェア諸元

タスク名	サイズ (K バイト)
バスインタフェース	18.8
レイヤ3	75.9
レイヤ2	44.0
レイヤ1	3.6
その他 (タイマ、Bch 制御等)	9.5
総 計	151.8

のアプリケーション) にも変更可能である。また、データ転送はコピーのループで行うこととし、DMA は使用していない。

パソコンと ISDN インタフェースボード間の各種制御信号のやりとりには割込みを用いる。具体的には、メモリアドレスの特定の領域を割込み要求/受付のために使用し、その領域への書き込み/読出しにより、ボードからパソコン、又は逆方向の割込みを制御し、各種制御信号の送受信を行う構成とした。使用する割込みは、ハードウェア的に変更可能である。

拡張スロット I/O バスの各信号を送受信するためのドライバ/レシーバーは、基準書に準拠して、個々の IC で構成した。

3.3 プロトコル処理ブロック

ISDN インタフェースボードの CPU には、16 ビットワンチップマイコン (M 37702) を使用した。このマイコンは、ISDN インタフェース LSI (M 65750, M 65751) の制御から、拡張スロット I/O バスとのインタフェースまでの全機能を行う。マイコンのバスには、プログラム ROM、ワーク RAM のほかに、拡張スロットとのインタフェースのための2ポート RAM や、各種の B チャンネル処理ハードウェアを接続した。

3.4 そ の 他

ISDN インタフェースボード上には、3.1節、3.2節及び3.3節で述べた機能のほかに、パソコンがもっていない通信機能（音声コーデック、LAPB、速度整合等）を実現するハードウェアを搭載した。また、入出力として、伝送路I/F、拡張スロットI/OバスI/Fのほかに、ISDN 電話、ISDN ターミナルアダプタ等の実現のために、電話のハンドセットへのインタフェース及びRS-232Cのインタフェースを備えた。

4. ソフトウェア構成

4.1 モニタ

ISDN インタフェースボード上のソフトウェアの開発に際しては、

- (1) 機能追加・修正の容易化
- (2) 機能モジュールの再利用の容易化
- (3) チームプログラミングの推進
- (4) 分割デバッグの実行
- (5) タイマ制御の容易化

を考慮する必要がある。このため、 μ ITRON 仕様のリアルタイムモニタ (MR 7700) を使用し、ISDN インタフェース用

のソフトウェアを複数のタスクに分割して開発を行った。

4.2 タスク

ISDN インタフェースボード上のタスク構成を図3に、タスク一覧を表2に示す。インタフェース機能の複数タスクへの分割は、CCITT 勧告のレイヤに準拠して行った。タスク間のインタフェースフォーマットはCCITT 勧告のプリミティブに準拠して定めた。タスク間通信は主としてメールボックスを用いて行い、ハンドラ-タスク間通信には高速処理実現のため、主としてイベントフラグを使用した。

ワークメモリ (RAM) の獲得/解放の管理はリアルタイムモニタを用いて動的に行うこととした。これにより、各々のタスクが必要な時点で必要な容量だけメモリを獲得し、不要になった時点でメモリを解放することが可能となり、メモリの使用効率を高めることができた。

ISDN インタフェースボード上のハードウェア資源（レジスタ等）の中には、複数のタスク間でアクセスが競合するようなハードウェアが存在する。このようなハードウェア資源に対し、セマフォを用いて排他制御を行った。これにより、複数のタスクが同時にハードウェア資源にアクセスした場合においても、データの正当性が確保できた。

タスクのコーディングは、

- (1) ハードウェアを直接制御するタスクは処理の高速化のためにアセンブラ言語
- (2) 上記以外のタスクはプログラム開発の容易さからC言語で各々開発した。

5. 評価

5.1 評価システム

ISDN インタフェースボードの評価は、以下の2段階に分けて行った。

- (1) プロトコルシミュレータと対向させ、あらゆるシーケンスをチェックする対向試験

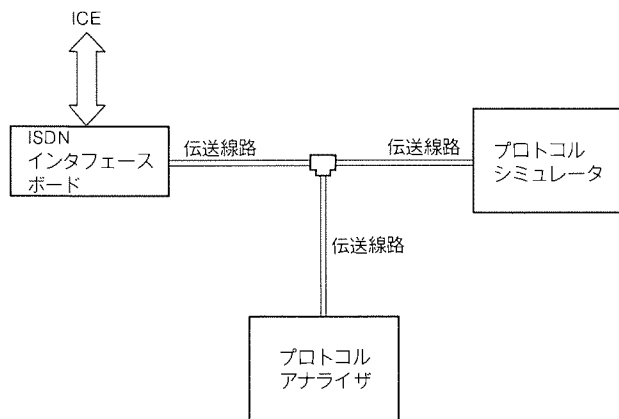


図4. 対向試験時の評価システム

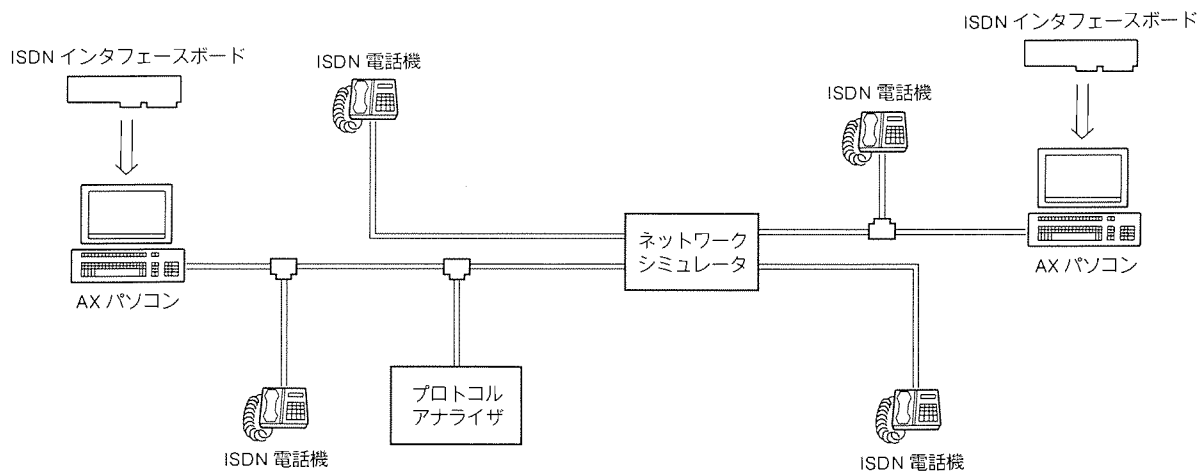


図5. 通信試験時の評価システム

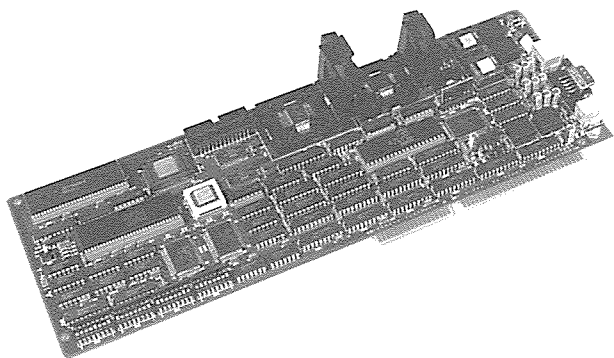


図6. ボード写真

- (2) ISDN ネットワークシミュレータを介して端末間で通信を行い、通信シーケンスの中で各種正常シーケンス、異常シーケンスのチェックを行う通信試験

対向試験時の評価システムの構成を図4に、通信試験時の評価システムの構成を図5に示す。

プロトコルのチェックには、レイヤ4以上に相当するアプリケーションが必要となる。対向試験では、試験内容に応じた疑似アプリケーションタスクを作成し、リアルタイムモニタ上で他のタスクとともに動作させた。通信試験では、パソコン上で動作するアプリケーションプログラムを作成し、動作させた。以上により、対向試験時及び通信試験時に所望のシーケンスが実現できた。

5.2 アプリケーション

通信試験用に作成したパソコン上のアプリケーションプログラムは、以下の機能をもっている。

- (1) パソコン上の割込みベクタの設定
- (2) ISDN インタフェースボードのI/Oのベースアドレスの設定
- (3) ISDN インタフェースボードのメモリのベースアドレスの設定
- (4) 通信試験用の特殊なシーケンスを含ませたレイヤ4以上に相当するアプリケーション

通信試験時には、ボード上のソフトウェアはROM化し、アプリケーションプログラムを適当に操作することで各種の

シーケンスを生成した。なお、上記の機能は、試験用のアプリケーションだけでなく、パソコン上の通常の通信アプリケーションを作成するときにも必要である。

5.3 評価結果

対向試験では、疑似アプリケーションタスクの内容を適当に修正することで、実際には起こり得ないシーケンスも含めて正常な動作が確認できた。

通信試験では、アプリケーションプログラムを操作することにより、実際の通信シーケンスのなかで各種の正常シーケンス、異常シーケンスの動作が確認できた。また、ボード間通信や、ボードと市販のISDN電話機との通信も、マルチポイント接続時を含めて確認できた。

6. むすび

以上、ISDN インタフェースボードについてその開発方針、機能、評価結果について述べた。ボードの写真を図6に示す。インタフェース用のハードウェアはAXパソコンの拡張I/Oボードフルサイズに搭載しており、回路の切り出しが可能である。インタフェース用のソフトウェアはリアルタイムモニタを使用しており、機能の追加・変更が容易であり、また他のシステムへの流用性も備えている。

今後は、ISDN 端末などにおけるユーザー・網インタフェース処理部全体の小型化・低価格化・低消費電力化を目指して、ISDN インタフェース LSI と CPU との1チップ化の検討を行う予定である。さらに、インタフェース機能の取捨選択、個別のICのLSI化を検討し、ハードウェアの小型化(ハーフサイズ化、更にはカード化)も併せて検討する予定である。

参考文献

- (1) 中林竹雄, 近藤晴房, 蔵永 寛, 長谷川浩一, 山本誠二 : ISDN 基本インタフェース用 LSI, 三菱電機技報, 65, No. 2, 186~189 (1991)
- (2) CCITT : I シリーズ勧告
- (3) AX 協議会 : 拡張 I/O ボード開発基準書 (1991-4)

5.0V/3.3V 版第二世代16Mビット DRAM

宮元崇行* 梶本 毅* 森 茂* 野崎雅彦* 源城英毅*

1. ま え が き

最近のDRAMは、ノートサイズパソコンを代表とするバッテリーバックアップシステムの普及とスケーリングに伴うデバイス自身の信頼性限界から低電圧・低消費電力化が進んでいる。また、多ビット化が顕著になっており、16MDRAMでは×8以上の多ビット品要求の割合が70%以上を占めると予想される。

今回、こうした要求に対応すべく、16MDRAM第二世代×1/×4/×8構成品を開発したのでその内容を紹介する。

2. 開 発 方 針

1章で述べたように低電圧・低消費電力化と多ビット化は最も大きな開発課題である。

このほかにも、機能やパッケージの面で市場要求は多様化しており膨大な数の派生品種が考えられるが、16MDRAMではテスト時間増のために顧客が従来のように個々の品種認定に時間をかけることは物理的に不可能になりつつある。このような状況で製品の信頼性を保証するためには、品種ごとの変更箇所を極力少なく、特にコア部分は各品種共通に設計開発するというのがメーカー、顧客双方にとって重要である。

以下に16MDRAM第二世代の開発方針をまとめる。

(a) 低電圧・低消費電力製品を供給すること。

●3.3V版、セルフリフレッシュ機能版に対応可

(b) 多ビット展開を考慮すること。

●×9以上の多ビット品種などとレイアウトの共通化を図る。

(c) 品種展開における変更箇所をできるだけ少なくすること。

●ワイヤボンダで周辺回路動作変更するだけで多機能選択可

●アルミマスタスライスで5.0V/3.3V選択可

3. 製 品 概 要

今回開発した16MDRAM第二世代×1/×4/×8構成品の製品概要は以下のとおりである。

(1) 語構成

×1構成品 16,777,216語×1ビット

×4構成品 4,194,304語×4ビット

×8構成品 2,097,152語×8ビット

(2) 電源電圧

5.0V, 3.3V

(3) リフレッシュサイクル

4k サイクル/128ms, 2k サイクル/64ms

(4) アクセス時間(最大)

$t_{RAC}=50\text{ ns}$, $t_{AA}=25\text{ ns}$ (5.0V版)

$t_{RAC}=60\text{ ns}$, $t_{AA}=30\text{ ns}$ (3.3V版)

(5) 消費電力(×1構成/4kリフレッシュサイクル品)

$I_{CC1}^{(\text{注1})}=100\text{ mA}$, $I_{CC9}^{(\text{注2})}=300\text{ }\mu\text{A}$

(5.0V版/ $t_{RC}=100\text{ ns}$)

$I_{CC1}=85\text{ mA}$, $I_{CC9}=200\text{ }\mu\text{A}$

(3.3V版/ $t_{RC}=120\text{ ns}$)

(6) 機能

ファーストページ、リードモディファイライト、セルフリフレッシュ

(7) パッケージ

400ミル 28ピンSOJ

400ミル 28ピンTSOP

(8) ピン配置

図1～図3参照

(9) 代表品種の型名

×1構成品

(注1) I_{CC1} は動作時平均消費電流

(注2) I_{CC9} はセルフリフレッシュ時平均消費電流を示す。

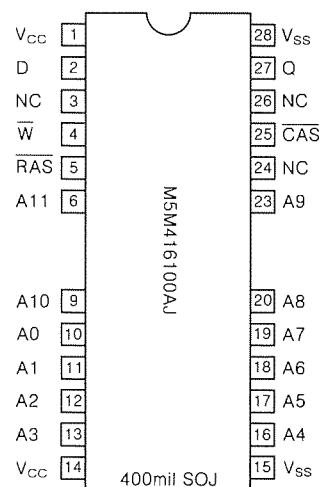


図1. M5M416100Aのピン配置

M5M416100 AJ/TP/RP^(注3)〈5.0V/4k〉

M5M4V16100 AJ/TP/RP〈3.3V/4k〉

×4構成品

M5M417400 AJ/TP/RP〈5.0V/2k〉

M5M4V17400 AJ/TP/RP〈3.3V/2k〉

×8構成品

M5M417800 AJ/TP/RP〈5.0V/2k〉

M5M4V17800 AJ/TP/RP〈3.3V/2k〉

(10) ワイヤボンド切替え

×1/×4切替え, 4k/2k リフレッシュ切替え, 及びファーストページなどの機能切替えに使用

(11) アルミマスタスライス切替え

5.0V/3.3V 切替え, ×1/×4/×8切替えに使用

4. プロセス・回路設計技術

4.1 プロセス技術

(注3) 型名末尾のJはSOJ, TPはTSOP正ベンド, RPはTSOP逆ベンドを示す。

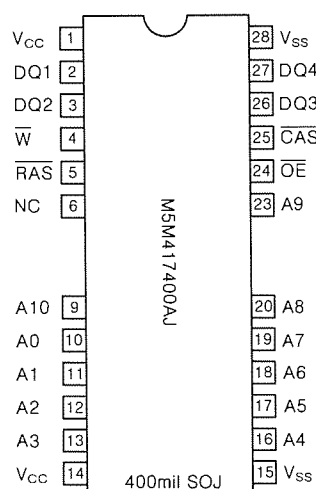


図2. M5M417400Aのピン配置

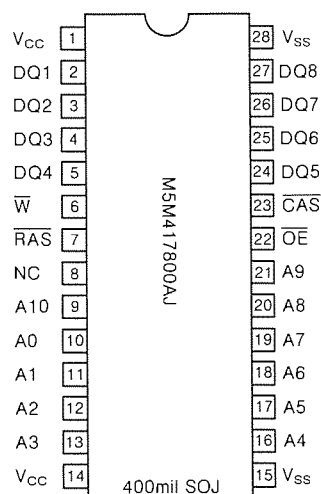


図3. M5M417800Aのピン配置

表1に16MDRAM第二世代に使用している主なプロセス技術を示す。

素子分離は実績ある改良LOCOS法で形成した。

ウェル形成は高エネルギーイオン注入技術によるレトログレード・トリプルウェルで, ソフトエラー率や入力アンダシュートなどによる耐ノイズマージンを向上できる。

メモリセルは埋込みビット線方式のスタック型である。埋込み方式により, ビット線間ノイズの低減と写真製版の容易化を実現している。記憶容量の誘電体層は窒化膜と酸化膜の2層で形成されている。等価膜厚は酸化膜換算で50Å, メモリ容量は40fFである。

トランジスタはNチャネル・PチャネルともにLDD構造で, ゲート酸化膜厚は低電圧駆動マージンと長期信頼性の両面を満足できる値として130Åに設定した。

配線はアルミ2層, タングステン・ポリサイド2層, 及び記憶電極用のポリシリコン2層の計6層である。このうち, ポリサイド2層はビット線とワード線に使用し, 配線遅延短縮を図っている。

保護膜はプラズマ窒化膜とポリイミドの2層構造である。

4.2 チップ構成

16MDRAM第二世代×1/×4/×8構成品の顕微鏡写真を図4に, その構成を図5に示す。チップサイズは7.6mm×16.0mm, メモリセルサイズは1.35μm×2.80μmである。メモリアレーは4個の4Mビットのブロックに分割されて

表1. 16MDRAM第二世代のプロセス技術

素子分離	改良 LOCOS
ウェル構成	レトログレード・トリプルウェル
メモリセル	埋込みビット線方式スタック $T_{OX}(eff)=50\text{\AA}$
トランジスタ	Nch: 0.6μm (LDD) Pch: 0.6μm (LDD) $T_{OX}=130\text{\AA}$
ビット線	WSi ₂ /Poly-Si
ワード線	WSi ₂ /Poly-Si, 1st Metal (Al-Si-Cu)
列選択線	2nd Metal (Al-Si-Cu)
保護膜	P-SiN, Polyimide

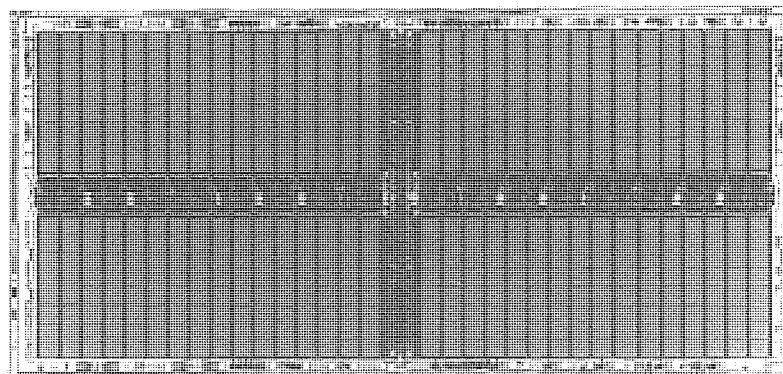


図4. チップ写真

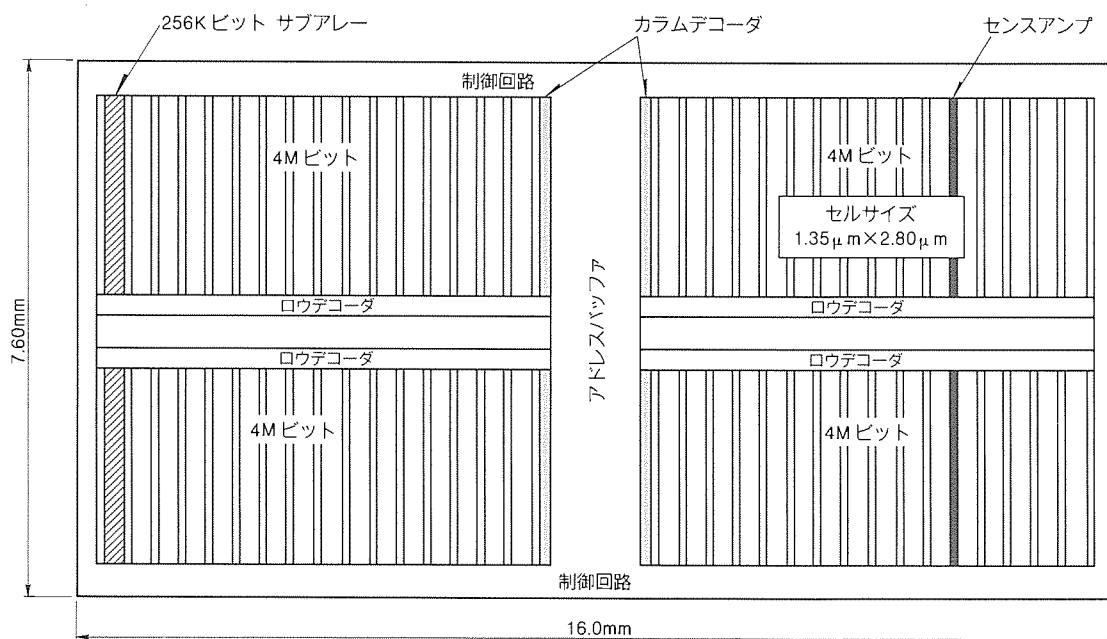


図5．チップ構成

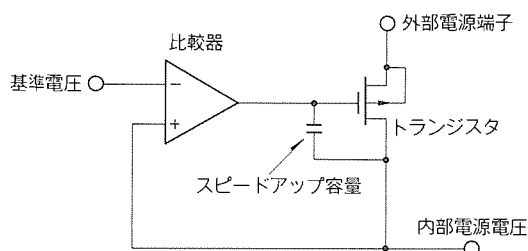


図6．内部降圧回路

おり、ワード線方向はチップ短辺と平行、列選択線方向はチップ長辺と平行である。各4Mビットブロックは16個の256Kビットサブアレーに分割されている。各サブアレー間の境界にはセンスアンプが交互配置型シェード方式の形状で配置されている。すなわち、あるメモリセルを選択すると、そのメモリセルの属するサブアレーの両側のセンスアンプが選択駆動される。

行デコーダは、長辺に平行に各256Kビットサブアレーの中央端に配置されている。列デコーダは、短辺に平行に4Mビットブロックの中央端に配置されている。ワード線はポリサイドと裏打ちとしての1アルミ、列選択線は2アルミで形成される。

次に冗長構成について述べる。第一世代では行／列冗長ヒューズをともにチップ中央帯に集中配置していたが、第二世代では行冗長ヒューズを行デコーダ近傍に、列冗長ヒューズをチップ中央帯に分散配置している。冗長本数は128行／32列で、行／列ともに第一世代の2倍である。

4.3 低電圧・低消費電力化回路設計

(1) 内部降圧回路

5V版のデバイスでは、外部電圧を約3.3Vに降圧して内部回路に供給している。内部降圧回路は、基準電圧と内部電圧間の電位差を検出する比較器と、比較結果に応じて抵抗値を変えられるトランジスタからなるフィードバックループで構成される。このループの応答速度が遅いと内部電圧は安定せず、発振することがある。比較器の応答速度を高めると安定性は向上するが、電流消費は増大する。

このデバイスでは図6に示すようにスピードアップ容量を入れて電流消費を増大することなく安定な内部電圧が得られるようにした。

(2) 昇圧電位発生回路

従来、昇圧電位発生回路は基本的に図7(a)に示すようなチャージポンプ回路が用いられてきた。到達可能最大電圧は、簡単には $2V_{CC} - 2V_{th}$ で与えられる。

ここで、 V_{th} は図のトランジスタのしきい値電圧を示す。実際には、基板バイアス効果による V_{th} 増が大きく、駆動効率の低下も考慮しなければいけないので、低電圧になるほど到達電圧は著しく低下する。

このデバイスでは図7(b)に示すように、トリプルウェル構造を利用してトランジスタに接合ダイオード的特性をもたせた。これにより、基板バイアス効果の影響が除去でき、到達電圧を維持することができた。

4.4 階層化設計による品種展開容易化

一般にLSIのレイアウトデータは、回路ブロック程度の小セルから最終チップの全体セルまでの階層構造をもっている。16MDRAM第二世代ファミリーとして今後多数の製品を開発する予定であるが、小セル規模のレイアウトデータは可能な限り共通に使用することが、開発期間短縮と信頼性向

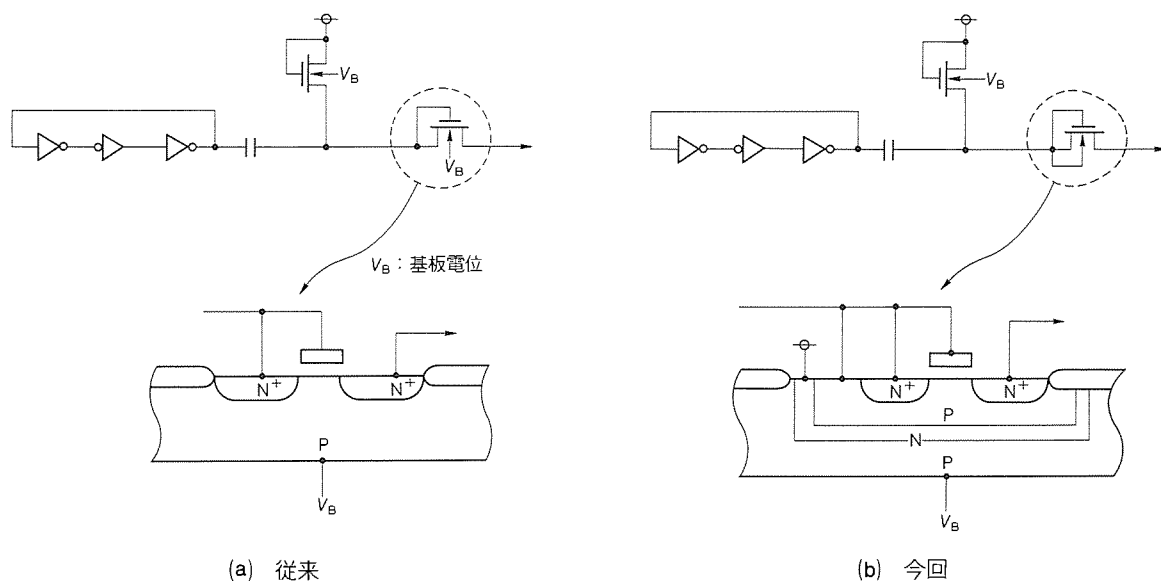


図7. 昇圧回路

上の両面で重要である。このため、回路ブロックと小セルの対応を厳密に管理した。また、レイアウト設計を厳密に階層化したことにより、検証においても階層化が容易になり、検証効率が大幅に向上した。

今後、更に開発品種数・回路規模が増大するにつれ、階層化設計の技術手法を更に高めていくことが必ず(須)である。

5. む す び

最先端のプロセス・回路技術を用いて、16MDRAM 第二世代の×1/×4/×8構成成品を開発した。低電圧・低消費電力化を実現するとともに、セルフリフレッシュなどの新機能を加えた。

今後の製品展開として、×9、×16などの多ビット構成成品や、300ミルパッケージ品、シンクロナスDRAM/キャッ

シュDRAMなどの超高速品の開発を予定している。また、ソリッドステートディスクのような超低消費電力品も検討する。

これらの製品展開に当たっては、今回開発した×1/×4/×8構成成品をコア品種としてプロセス・回路の共通化を図るとともに、コア品種自身の特性改善を徹底的に推進する。また、テストや生産管理などの量産技術についても従来以上に合理化を図っていく必要がある。

参 考 文 献

- (1) 松田吉雄, 若宮 互, 有本和民, 藤島一康, 佐藤真一: 16MビットダイナミックRAM, 三菱電機技報, 63, No. 8, 681~685 (1989)

ブロック消去可能な高速 4Mビットフラッシュメモリ

野口健二* 大川 実** 山本 誠* 新井 肇* 伊庭智久***

1. ま え が き

フラッシュメモリは、セルサイズを EPROM (Erasable and Programmable Read Only Memory) と同等にでき、かつ、電氣的消去可能という機能を併せもつデバイスである。このため、EPROM では不可能なシステムに組み込んだままでの情報の書換えが可能であり、半導体ディスクなど不揮発性メモリとして、新しい市場を形成すると期待されている。当社でも、1M ビットから開発し、現在市場に供給している。

今回、高集積化・高機能化の要求にこたえ、ブロック消去可能な 4M ビットフラッシュメモリを開発した。チップ写真を図 1 に示す。チップサイズは、8.90 mm×10.25 mm である。

2. 製 品 概 要

今回開発した 4M ビットフラッシュメモリ (M5M28F400) の主な特長は次のとおりである。

- (1) 語構成 524,288 語×8 ビット
／262,144 語×16 ビット切替え可能
- (2) ピン配置 図 2 参照
- (3) パッケージ 44 ピン SOP, 48 ピン TSOP
- (4) アクセスタイム 100 ns／120 ns／150 ns (最大)
- (5) 消費電力 動作時 165 mW
待機時 550 μ W
- (6) プログラム電圧 12.0 V \pm 0.6 V

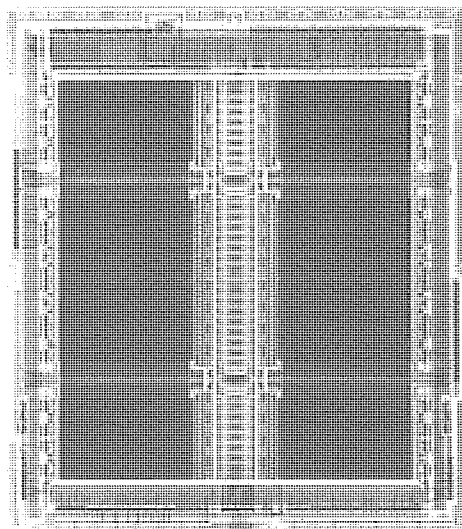


図 1. チップ写真

- (7) 書換え可能回数 10,000 回
- (8) ブロック消去 16 K バイト (×8), 8 K 語 (×16)
- (9) 機能
 - 自動書込み, 自動消去可能
 - データ入力による動作モード制御 (ソフトウェアコマンド方式)
 - プログラムパルス幅, 消去パルス幅は内蔵タイマにより制御

3. 技術的特長

3.1 プロセス技術

今回開発した 4M ビットフラッシュメモリ (M5M28F400) は、当社において既に量産中の 1M ビットフラッシュメモリ (M5M28F101) のフラッシュメモリプロセスを踏襲するとともに、0.7 μ m ルール CMOS プロセス技術を適用することによって更に微細化を図り、2.4 μ m×2.4 μ m のメモリセルサイズを実現した (表 1, 図 3)。

メモリセルには、浮遊ゲートを備えたスタック構造による NOR 型を採用しており、浮遊ゲート中の電荷の有無によってデータを記憶する。メモリの書込みはチャネルから浮遊ゲートへのホットエレクトロンの注入、消去は Fowler-Nordheim トンネリングによる浮遊ゲートからソースへの電子の引き抜きを用いて行う (図 4)。

フラッシュメモリでは、書込み時 (又は読出し時) にドレイン及びゲートに印加される電圧により非選択ビットの浮遊ゲート中に蓄積されていた電子が引き抜かれることによって

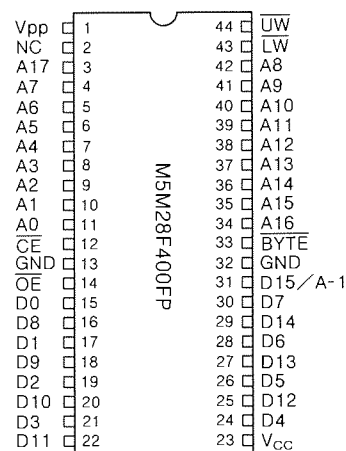


図 2. ピン配置

発生するドレインディスタース及びゲートディスタースと呼ばれる誤動作(図5)と、消去時に浮遊ゲートから過剰に電子が引き抜かれることによってメモリトランジスタがデプレッション状態になる過消去と呼ばれる問題がある。

ドレインディスタースと過消去については、ゲートエッジの形成方法及びソースドレイン不純物拡散層の形成を適切に行い、問題となるゲートエッジ部での微少リーク電流を抑制し回避した。ゲートディスタースについては、制御ゲート-浮遊ゲート間の層間絶縁膜の微少リーク電流を抑え、かつ、適正な容量結合比が得られるように層間絶縁膜及びセル構造設計の最適化を行った。

3.2 回路技術

3.2.1 ブロック消去

4Mフラッシュメモリでは、一括消去だけでなく、メモリアレーを複数ブロックに分割し、それぞれブロック単位で消去するブロック消去が可能である。消去は、メモリのソース側から行われるため、一括消去の場合は共通接続されていたソース線を幾つかのブロックに分割してその機能を達成している。図6に一括消去方式とブロック消去方式を示す。プロ

表1. プロセス概要

プロセス	Twin Well CMOS
デザインルール	0.7 μm
セルサイズ	2.4 μm \times 2.4 μm
ゲート電極材料	WSi ポリサイド
周辺ゲート酸化膜	18nm (V_{CC} 系)
	28nm (V_{PP} 系)

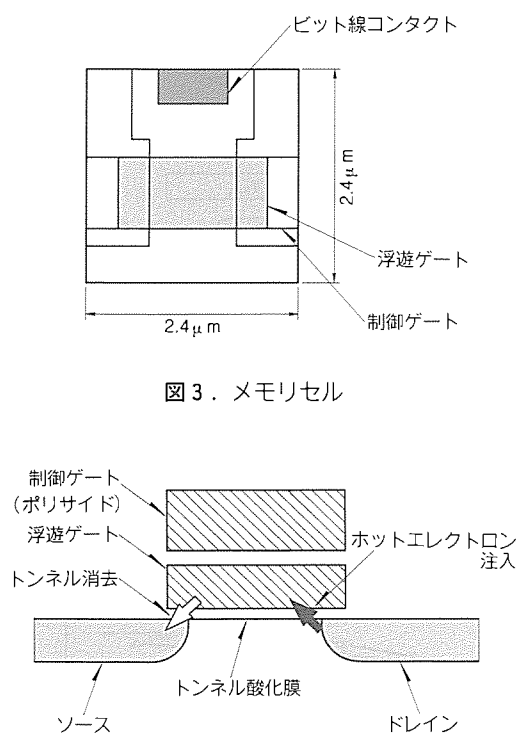


図4. フラッシュメモリの書き込み/消去

ック消去の単位は16Kバイト/ブロックとなっている。

ブロック消去を可能にしたことで、単純に増加する書換え時のディスタースについてはデコーダの分割及びその制御により極力抑えるようにした。

3.2.2 自動書込み

フラッシュメモリの従来のプログラムアルゴリズムを図7に示す。それによれば、プログラムモード設定後、書込みを行い、その後、プログラムベリファイモードを設定し、書込みベリファイを行う。ベリファイにフェイルしたら、再びプログラムモードを設定し、書込みを行う。書込みベリファイがパスするまでこの動作を繰り返す。これに対して、自動書込み機能では、書き込もうとするアドレスとデータをチップ内部でラッチし、所望のメモリセルへ書込みを行い、メモリセルからのデータをベリファイし、必要であれば追加書込みを行うという動作を自動的に行えるようにした。そのため、外部からの書込みベリファイ及び追加書込みのモード設定の必要をなくした。また、自動書込み機能の完了を知る機能としてデータポーリング機能を内蔵している。

3.2.3 自動消去機能

フラッシュメモリの従来の消去アルゴリズムを図8に示す。消去前に、全バイトに00Hデータをプログラムし、消去モードを設定、消去時間9.5ms待った後、消去ベリファイモードを設定、消去ベリファイを行う。消去ベリファイがパスするまで、消去・消去ベリファイを繰り返すフローである。

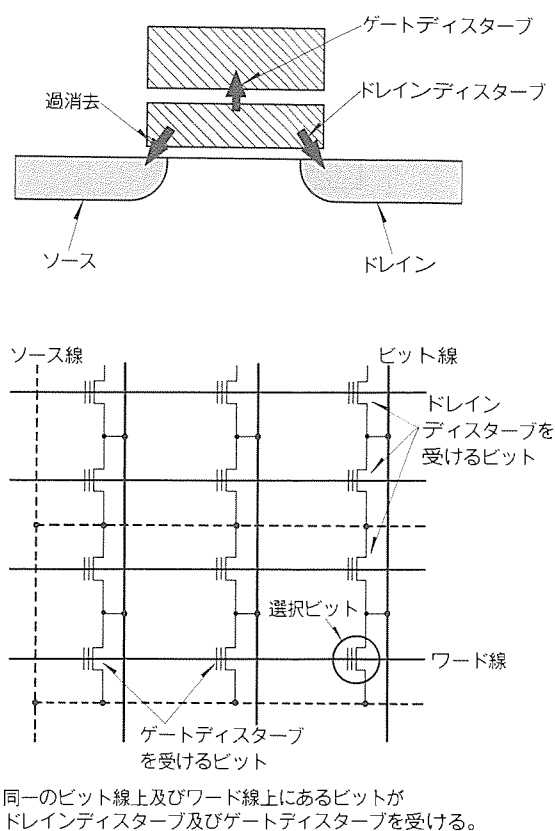


図5. フラッシュメモリの誤動作

これに対して、自動消去機能では、この一連の動作を自動的にチップ内部で行うようにした。すなわち、自動消去のモード設定をしたら、外部から消去ベリファイ及び追加消去のモード設定を行う必要はない。この自動消去機能の完了はステータスポーリング機能で知ることができる。なお、自動消去機能は、一括消去及びブロック消去いずれにおいても可能である。

3.2.4 センスアンプ

4Mビットフラッシュメモリのセンスアンプ回路には、シ

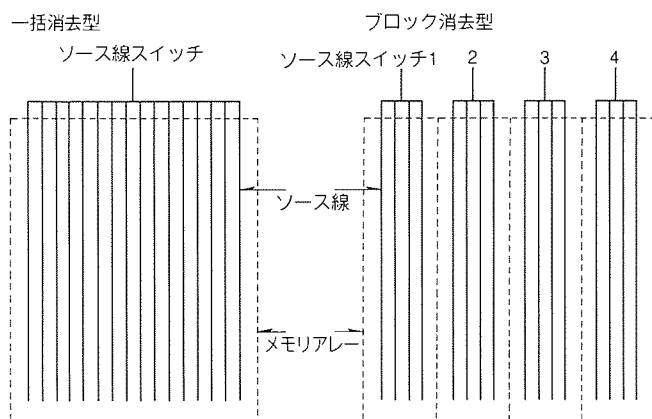


図6．一括消去方式とブロック消去方式

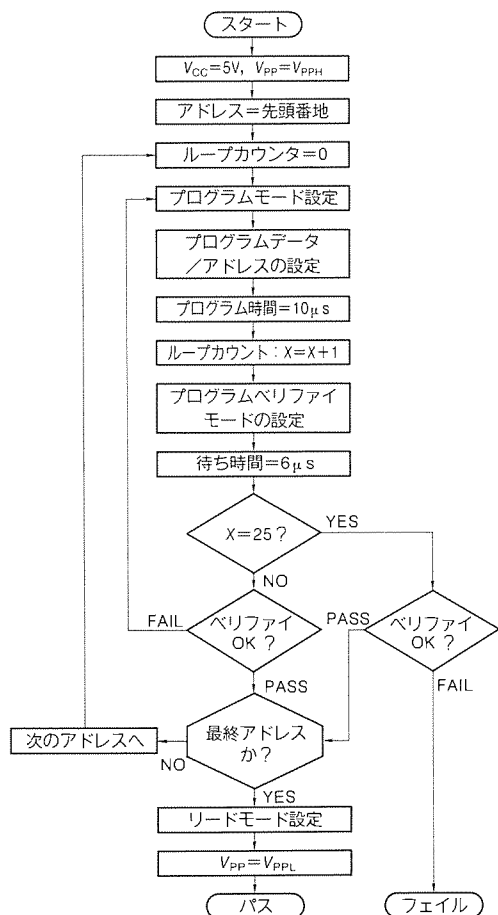


図7．プログラムアルゴリズムのフローチャート

ンプルで高速かつ動作範囲の広い電流センス型センスアンプ回路を用いている。メモリトランジスタと結合したビット線のレベルを1V程度の低い電圧に設定し、負荷トランジスタが駆動するノードの浮遊容量を減らすことで高速化を図っている。また、ワード線には、低抵抗配線材料であるタングステンシリサイドを用い、また、メモリセルの平坦化技術と併せて低抵抗化を図った。

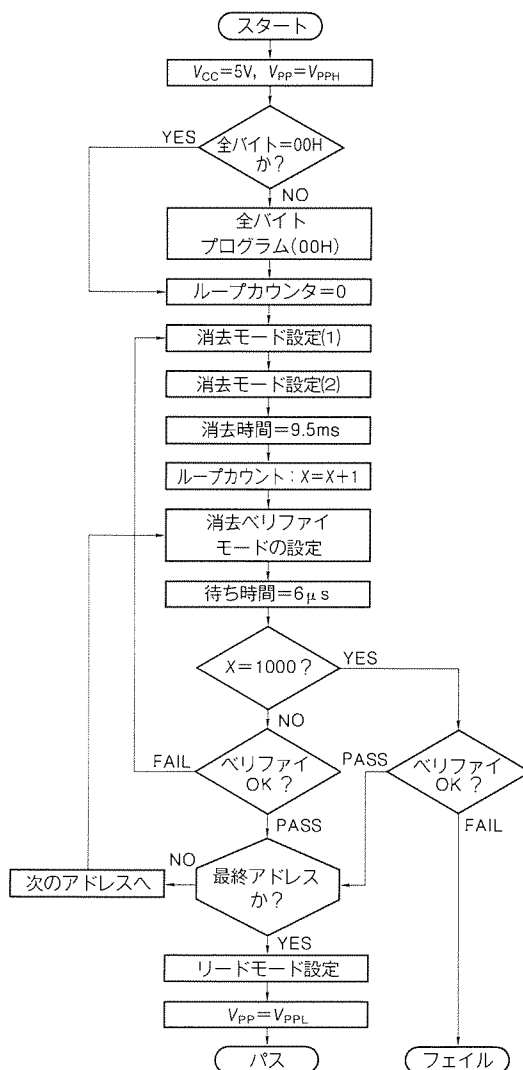


図8．消去アルゴリズムのフローチャート

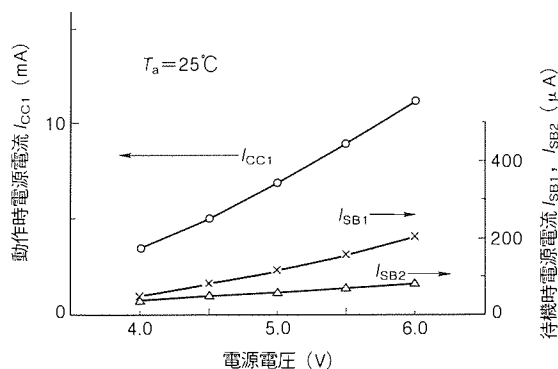


図9．電源電流の電源電圧依存性

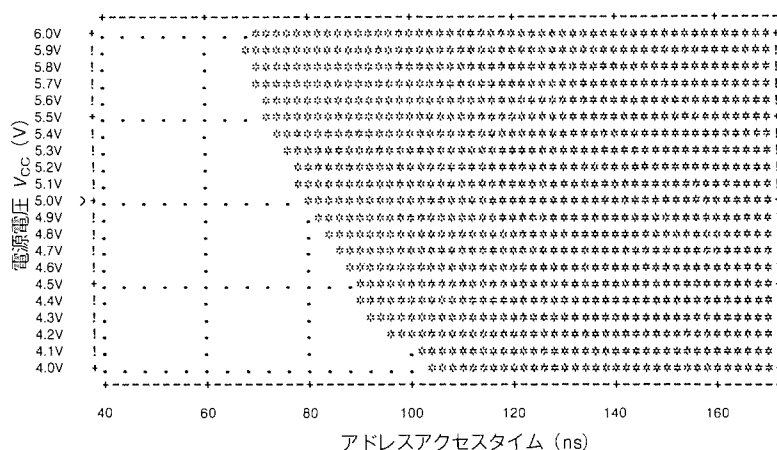


図10. アドレスアクセスタイムのシュームプロット

4. 電気的特性

4.1 DC 特性

図9に、電源電流の電源電圧依存性を示す。 I_{CC1} は動作時の電源電流、 I_{SB1} は入力レベルをTTLレベルとした待機時の電源電流、また、 I_{SB2} は入力レベルをCMOSレベルとした待機時の電源電流である。標準条件($V_{CC}=5V$, $T_a=25^{\circ}C$)では、 $I_{CC1}=6.90mA$, $I_{SB1}=0.11mA$, $I_{SB2}=0.06mA$ である。

4.2 読出し特性

図10にアドレスアクセスタイムの電源電圧依存性をシュームプロットで示す。標準条件で、アドレスアクセスタイムは80nsであり、高速読出しを達成している。

4.3 プログラム・消去特性

図11と図12にそれぞれ、プログラム・消去特性を示す。プログラムについては、プログラム時間10 μs でメモリセルのしきい値は十分なシフトが得られている。また、消去についても、消去時間4秒でメモリセルのしきい値はシフトし、過消去を生ずることなく十分な特性を得ている。

5. む す び

最先端のプロセス技術と回路技術を駆使して、4Mビットフラッシュメモリを開発した。高速化・低消費電力を実現するとともに、ブロック消去、自動書込み、自動消去など、システムでの使用に適した高機能化を図った。

今後も、フラッシュメモリは、EPROM, EEPROMの置

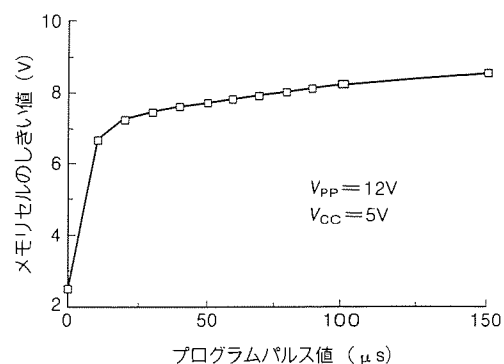


図11. プログラム特性

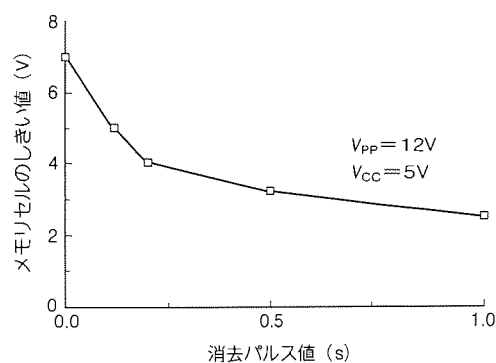


図12. 消去特性

き換えだけでなく、磁気記憶装置の置き換えが可能な半導体不揮発性メモリとして注目を浴びており、低電圧動作・単一電源化・高速書換え動作などの機能及び性能面の改善を展開していく必要がある。

参 考 文 献

- (1) 小林和男, 中島盛義, 山本 誠, 長田隆弘: 高速1MビットフラッシュEEPROM, 三菱電機技報, 65, No. 4, 380~383 (1991)
- (2) 古庄辰記, 野口健二, 和気節雄, 岩沢直幾, 森 昇: 高速4MビットCMOS EPROM, 三菱電機技報, 64, No. 6, 514~517 (1990)
- (3) 山本 誠: スタック型フラッシュメモリの開発・応用動向と今後の展開, 日本技術センター (1992-2)

4Mビット バイトワイド／ワードワイド DRAM

—— バッテリ駆動型システム用 3.3V 版 ——

富上健司* 豆谷智治* 長山安治** 長友正男**

1. ま え が き

ダイナミック RAM (DRAM) は、コンピュータや通信機器、OA 機器等の情報処理装置に幅広く用いられており、高度情報化社会におけるキーデバイスの一つである。DRAM は、1 トランジスタ 1 キャパシタという単純なメモリセル構造のため本質的に高集積化に適しており、従来 3 年で 4 倍の高密度化が実現されている。

一方、近年エレクトロニクス機器の普及に伴い、ノート型パソコン等の小型軽量化・低消費電力化への要求がますます強くなりつつあり、マイクロプロセッサ等の製品も低消費電力化のための低電圧化が進み、これに対応して DRAM も低電圧化の要求が高まる一方である。

当社においても、5V 版多 I/O 4MDRAM⁽¹⁾ をベースに、特に市場からの要求の高いバッテリー駆動型システムに適し、多 I/O (×8/×16) を備えた、低電圧 (3.3V) 動作可能な、高性能化を目指した 4M ビット バイトワイド／ワードワイド DRAM の開発を完了した。以下に、その技術内容の詳細について報告する。

2. 3.3V 版 4MDRAM の設計

2.1 設計のねらい

今回の 3.3V 版 4M ビット バイトワイド／ワードワイド DRAM シリーズの開発において、特に下記 2 点を設計のねらいとした。

2.1.1 高 速 化

最近の 32 ビットマイクロプロセッサは、低電圧化にもかかわらず 25~33MHz に高速化されつつあり、その性能を生かしたシステム設計のためには 60ns のアクセス時間の 4MDRAM が必要となる。そこで、5V 版 4MDRAM と同様、低電圧においても 60ns という高速化を第一のねらいとした。

2.1.2 耐ソフトエラー

DRAM の低電圧化に伴い非常に問題となるのは、メモリセルの電荷量減少によるソフトエラー率の増大である。そこで、信頼性的に実績のある当社 5V 版 4MDRAM と同等のソフトエラー率に抑えることを目標とした。

2.2 高速化設計

低電圧においても従来の 5V 品と同等の高速化を実現するためのポイントは、以下の 4 点である。

- (1) 2 層アルミ配線を活用したチップアーキテクチャ⁽²⁾
- (2) トランジスタの高性能化

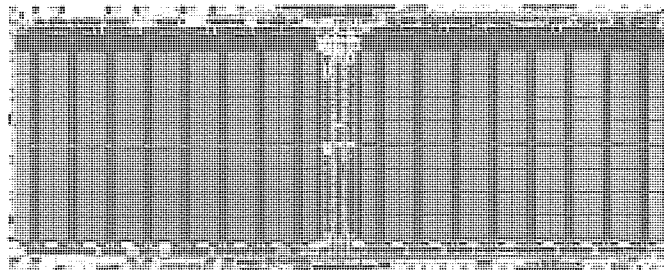


図 1. チップ写真

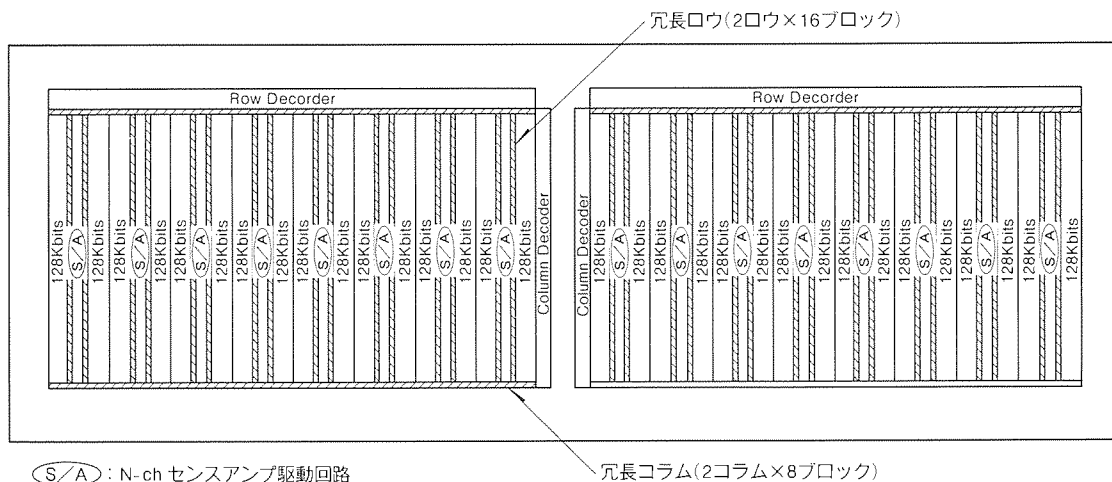


図 2. チップアーキテクチャ (チップサイズ 5.54mm×13.83mm)

表1. 主要プロセスパラメータ比較

	5V 版 4MDRAM	3.3V 版 4MDRAM
分離	シングル LOCOS	シングル LOCOS
ウェル	二重ウェル	レトログレード 二重ウェル
メモリセル	$C_s = 30\text{fF}$ $t_{\text{OX}}(\text{eff}) = 80\text{\AA}$	$C_s = 35\text{fF}$ $t_{\text{OX}}(\text{eff}) = 60\text{\AA}$
トランジスタ	N形: $0.8\mu\text{m}$ (LDD) P形: $1.0\mu\text{m}$ (LDD) $t_{\text{OX}} = 180\text{\AA}$	N形: $0.6\mu\text{m}$ (LDD) P形: $0.7\mu\text{m}$ (LDD) $t_{\text{OX}} = 130\text{\AA}$
内部配線層	4 ポリ / 2 アルミ	4 ポリ / 2 アルミ
メモリセル構造	スタックセル	スタックセル

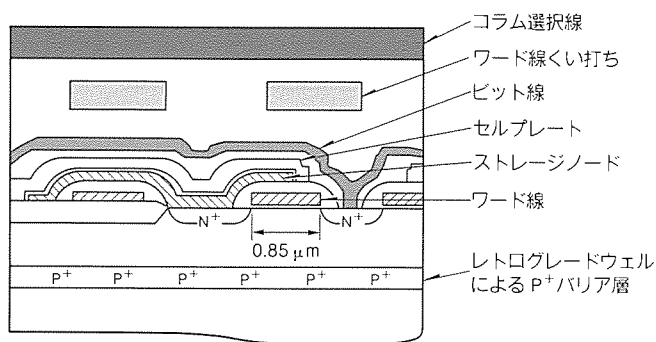


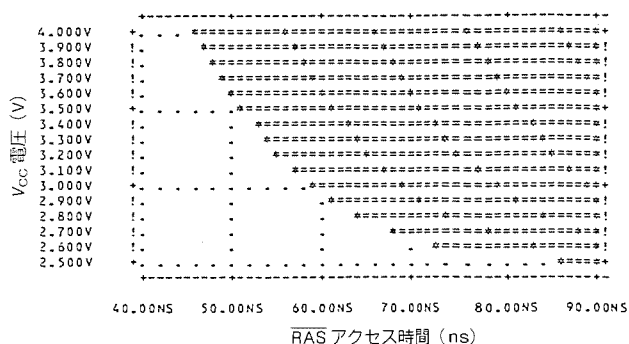
図3. メモリセル断面図

(3) チップ縮小

(4) 昇圧回路の活用

図1にチップ写真、図2にチップアーキテクチャを示す。メモリセルサイズは $1.74\mu\text{m} \times 4.25\mu\text{m}$ ($=7.4\mu\text{m}^2$) であり、チップサイズは $5.54\text{mm} \times 13.83\text{mm}$ ($=76.6\text{mm}^2$) である。メモリセルアレーは、128K ビットの32個のサブアレーに分割されている。ワード線はロウ (Row) デコーダから短辺方向に走っている。また、第一ポリシリコンで構成されたワード線の抵抗を低減するために、9か所で1層目のアルミ配線と接続している。コラムデコーダは、チップ中央回路の両側に配置され、2層目のアルミを用いたコラム選択線により各サブアレーを選択する。センスアンプ回路は2個のサブアレーの間に配置されている。この方式により1本のビット線に接続されるメモリセルの数が64個ですみ、センスの高速化が図れる。以上の構成は5V 品多I/O 4MDRAMと同一であるが、この製品では低電圧でのセンス高速化のために、センスアンプの中央部に(図2の丸印部分) N-ch センスアンプ駆動回路を追加した(5V 品は Row Decoder と反対側のみ)。この方式により、低電圧においてもセンス時間を高速化することができ、アクセス時間の高速化が可能となった。

次に、回路全体の高速化を図るため、表1に示すように、N-ch Tr 及び P-ch Tr のゲート長はそれぞれ $0.6\mu\text{m}$ と $0.7\mu\text{m}$ で、また、ゲート酸化膜厚は 13nm (130\AA) という薄膜化することによりトランジスタを高性能化した。

図4. RAS アクセス時間の V_{CC} 依存性 ($T_a = 80^\circ\text{C}$)

さらに、5V 品多I/O 4MDRAM を比較して約88%のチップ縮小によって大幅に配線容量が低減されたので、これも高速化に寄与している。

低電圧でのアクセス高速化を図る上で特に注意した点は、ブースト回路の活用である。特に、DRAM のI/O 出力回路は Data In の信号が High レベルの状態でも電源のみオフする場合があるというシステム側からの要求により、N-N 型出力回路構成を採用した。このとき High レベルは N-ch Tr のしきい値分レベルが下がるので、低電圧で2.4V (規格) の High レベルを出力するのが難しい。したがって、出力前段のゲート電圧をブーストし、低電圧においても十分な High レベルを確保することによりアクセス高速化を図った。また、チップ内部に電源電圧以上のブーストレベルを保持している大きな容量を設け、ワードドライバの一部に採用した。これにより、低電圧においても十分に早くワード線を立ち上げることが可能になり、アクセス高速化に大きく寄与している。

以上の手段により、5V 品相当の高速化を達成することができた。

2.3 ソフトエラー率の低減

低電圧においてソフトエラー率を当社5V 品4MDRAM (10FIT 以下の実力) 相当のレベルにするためのポイントは、下記に示す点である。

- (1) メモリセル容量の増大
- (2) メモリセル、センスアンプ直下に P^+ バリヤ層を埋め込む。
- (3) アルファ線収集領域の縮小

図3にメモリセルの断面図を示す。5V 品4MDRAM で既の実績のあるスタック型を用いた。また、ワード線のゲート長は $0.85\mu\text{m}$ で、メモリセルサイズを5V 品の約84%にし、アルファ線収集領域を縮小した。一方、蓄積容量を増大するため、誘電体膜厚を 6nm (60\AA) (酸化膜換算) に薄膜化し、さらにストレージノード膜厚を 300nm ($3,000\text{\AA}$) にすることにより、 35fF のセル容量を確保することができた。また、当社16MDRAM で実績のあるレトログレードウェルを採用することにより、メモリセル、センスアンプ等の N^+ 拡散領

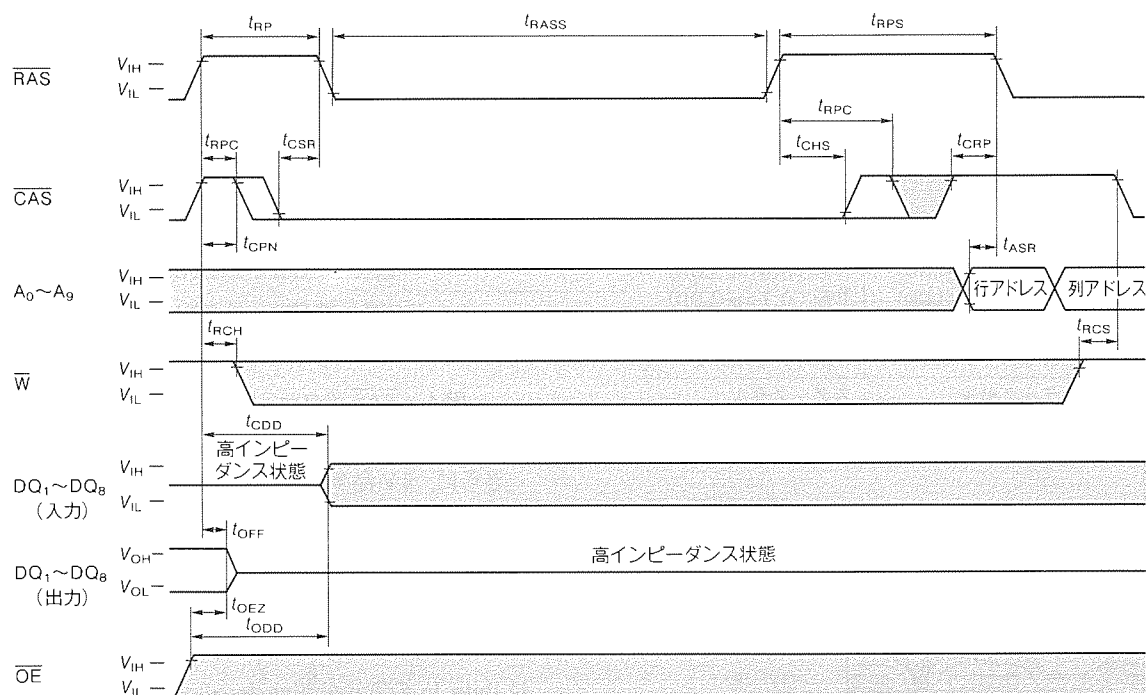
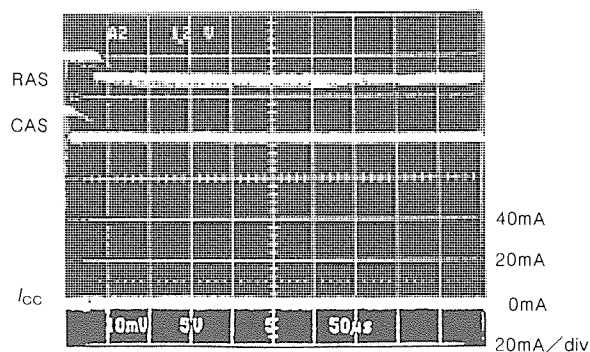


図 5 . セルフリフレッシュタイミング



(a) セルフリフレッシュ電流波形($V_{CC}=3.6V$, $T_a=R.T.$)

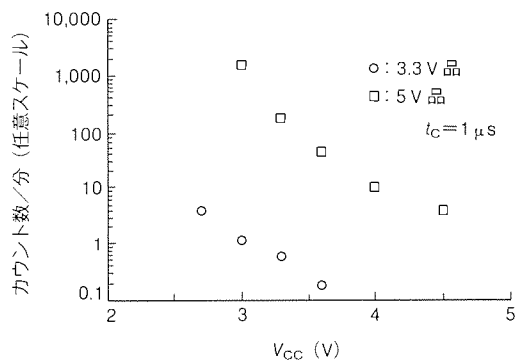
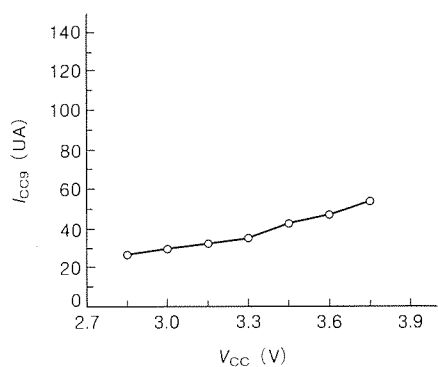


図 7 . ソフトエラー加速評価結果



(b) セルフリフレッシュ電流(I_{CC9})の
電源電圧依存性($T_a=R.T.$)

図 6 . セルフリフレッシュ時のデータ保持電流

域の直下に P^+ バリア層を設けている。

以上の手段により、低電圧におけるソフトエラー率を 5 V 品相当のレベルにすることができた。

3. 3.3V 版 4MDRAM の電気特性及び信頼性

3.1 電気特性評価

図 4 に RAS アクセス時間の V_{CC} 依存性を示す。周囲温度 80°C , $V_{CC}=3V$ で 58ns というアクセス時間の高速化が図れた。また、本製品はバッテリーバックアップシステム用メモリとして、より一層の低消費電力化を可能にする CBR セルフリフレッシュ機能を備えている。セルフリフレッシュはリフレッシュアドレス及びリフレッシュタイミングを内蔵するタイマによって生成する。図 5 にセルフリフレッシュ方式のタイミングを、図 6 にセルフリフレッシュ時のデータ保持電流の電源電流波形、電源電圧依存性を示す。広範囲の動作領域でデータ保持電流は約 $60\mu\text{A}$ 以下を示し、バッテリーバックアップシステム用メモリとして適した特性をもっていることが確認できた。また、512Ref 品に関しては、内部タイマの周期を 2 倍にしているの、1KRef 品と同様のデータ保

表 2. 主な電氣的仕様と機能

項 目		M5M4V4800	M5M4V4160	M5M4V4170	M5M4V4260
ワード構成		512K×8ビット	256K×16ビット	256K×16ビット	256K×16ビット
電源電圧		$V_{CC}=3.3\pm0.3V$	←	←	←
アクセス 時間	RAS アクセス時間(最大)	$t_{RAC}=60/70/80\text{ (ns)}$	←	←	←
	CAS アクセス時間()	$t_{CAC}=15/20/20\text{ (ns)}$	←	←	←
	コラムアドレスアクセス時間()	$t_{AA}=30/35/40\text{ (ns)}$	←	←	←
サイクル 時間	リードサイクル (最小)	$t_{RC}=110/130/150\text{ (ns)}$	←	←	←
	高速ページモード()	$t_{PC}=40/45/50\text{ (ns)}$	←	←	←
V_{CC} 平均 電源電流	動作時(最大)		$I_{CC1}=85/70/60\text{ (mA)}$	←	$130/110/95\text{ (mA)}$
	待機時	CMOS 入力レベル (最大)	$I_{CC2}\text{ (MOS)}=0.5\text{ mA}$	←	←
		TTL 入力レベル ()	$I_{CC2}\text{ (TTL)}=2.0\text{ mA}$	←	←
	セルフリフレッシュ時		$I_{CC9}=120\text{ }\mu\text{A}$	←	←
リフレッシュサイクル		1,024サイクル/16.4ms	←	←	512サイクル/8.2ms
機 能		高速ページモード セルフリフレッシュ(-Sのみ)	←	←	←
			$2\overline{\text{CAS}}/1\overline{\text{W}}$ バイトコントロール	$1\overline{\text{CAS}}/2\overline{\text{W}}$ バイトコントロール	$2\overline{\text{CAS}}/1\overline{\text{W}}$ バイトコントロール
パッケージ		400ミル TSOP(II) 400ミル SOJ	←	←	←

持電流を示す。

表 2 に×8 構成品・×16 構成品各々の主な電気特性一覧を示す。

3.2 信頼性評価

図 7 に 5V 品と 3.3V 品のソフトエラー加速試験の結果を示す。アルファ線源として 11 μCi の強度の ^{241}Am を用いて、ソフトエラー率の電源電圧依存性を評価した。3.3V 品の $V_{CC}=3V$ でのソフトエラー率は 5V 品の $V_{CC}=4.5V$ のソフトエラー率と同等以上のレベルであることが確認できた。このほか、アルミ配線のエレクトロマイグレーション等についても 5V 品と同等以上の信頼性をもっていることが明らかとなっている。

4. む す び

低電圧化・高性能化という市場の要求にこたえるために、3.3V 版 4M ビット バイトワイド/ワードワイド DRAM を開発した。センス時間の高速化、トランジスタの高性能化

等によりアクセス時間 60ns を実現した。また、メモリセル容量の増大、レトログレードウェルプロセス等の採用により 5V 品同等以下にソフトエラー率を抑え、高い信頼性が得られた。さらに、セルフリフレッシュ機能を備えることにより、バッテリーバックアップシステム用メモリとして十分な低リフレッシュ電流特性を示すことが確認できた。

今後、この 3.3V 版 4M ビット バイトワイド/ワードワイド DRAM が高度情報化社会のキーデバイスとして、その一翼を担うものと確信している。

参 考 文 献

- (1) 長瀬功一, 源城英毅, 豊本英晴: 4M ビットバイト/ワード DRAM, 三菱電機技報, 66, No. 2, 165~170 (1992)
- (2) 熊野谷正樹, 飛田洋一, 長友正男: 第二世代 4M ビット DRAM, 三菱電機技報, 65, No. 7, 697~702 (1991)

高放熱プラスチック QFP に封止した 32ビットマイクロプロセッサ

中野直佳* 樋口徳昌** 平井達也** 中村伸哉* 倉野新一***

1. ま え が き

近年、産業機器等の組込み制御やパーソナルコンピュータ等の情報処理機器の高速化・高機能化に伴い、高性能・高機能な32ビットマイクロプロセッサの採用が進んでいる。最近では、機器の小型軽量化・低価格化が進展し、32ビットマイクロプロセッサの小型薄型化・低価格化への要求が強まっている。

この要求にこたえるため TRON^(注1)仕様に基づく32ビットマイクロプロセッサ M32/100⁽¹⁾の高放熱プラスチック QFP (Quad Flat Package) 品を開発した。当社では、現在 M32/100 をセラミック PGA (Pin Grid Array) 封止品として量産中であるが、従来のプラスチック QFP に対し、ヒートスプレッタの内蔵、樹脂の変更と最適化等を図って放熱特性を改善することにより、M32/100 のプラスチック QFP 封止を実現した。

本稿では、M32/100 の諸元、高放熱プラスチックパッケージの構造、パッケージの放熱特性、信頼性について述べるとともに応用製品への適用例を紹介する。

2. デバイスの特長

M32/100 は、組込みコントローラ市場や小型パーソナル情報処理機器市場をねらいとし、メモリ管理ユニットやコプロセッサインタフェースはサポートせず、コンパクトな実記憶システムで使用されることを想定して開発された。表1に M32/100 の諸元を示す。1.0 μ m CMOS プロセスを用い、

(注1) TRON (The Realtime Operating System Nucleus) は、東京大学の坂村 健博士が提唱するコンピュータアーキテクチャである。

表1. M32/100の諸元

クロック周波数	20MHz
性 能	8MIPS (20MHz 動作時)
最小バスサイクル	2クロック
基本命令クロック数	2クロック
パイプライン段数	5段
命令キャッシュ	256バイト
トランジスタ数	33.4万個
プロセス技術	1.0 μ m 2層メタル CMOS
チップサイズ	11.47mm×8.89mm
消費電力	最大1.3W (20MHz 動作時)

33.4万個のトランジスタを11.47mm×8.89mmのチップに集積している。20MHz 動作時の最大消費電力は約1.3Wである。20MHz で動作させたチップを封止できることを目標に、プラスチック QFP を開発した。

3. 高放熱プラスチック QFP

3.1 パッケージ構造

従来の一般的な QFP では、消費電力は無風状態で1W程度しか許容できず、高消費電力を要する IC チップの搭載は困難であった。今回、我々は許容消費電力の高い新構造の QFP を開発した⁽²⁾。開発に際してのターゲットは、①消費電力は1.5Wを許容、②パッケージの信頼性は従来 QFP と同等以上、③外形は従来 QFP と同一形状、④コストは従来セラミック PGA の数分の一以下と設定し開発を行った。

図1に新開発の QFP に封止した M32/100 (M33210FP-

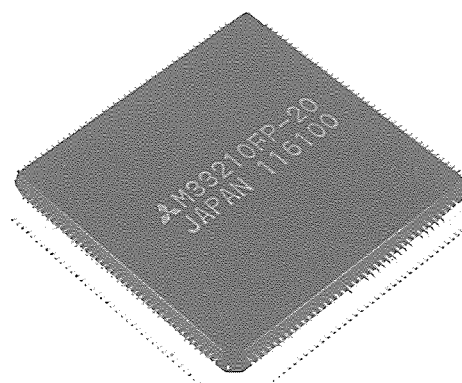


図1. M33210FP-20の外観

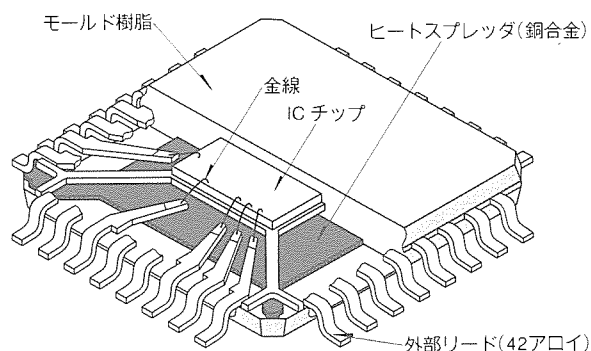


図2. 高放熱プラスチック QFP の断面斜視

20)の外観を、図2にこのQFPの断面斜視を示す。パッケージの外形はボディサイズ28mm□×3mm厚、リードピッチ0.65mmとEIAJ標準QFPと同一である。リード数はICチップに必要なI/O数とパッケージ構造の兼ね合いから、通常の160ピンより8ピン少ない152ピンとしている。構造面の特長はパッケージにヒートスプレッドを内蔵していることである。このヒートスプレッドによりICチップから発生する熱を放散させ、パッケージの熱抵抗を下げている。アセンブリプロセスは、実績のあるワイヤボンディング技術又はモールド技術を適用・改善しているため、比較的安価に製造でき、また通常QFPと同一外形のため、容易に実装が可能であることを特長としている。

3.2 ヒートスプレッド

図3にこのQFPの断面構造を示す。ICチップを搭載するダイパッドの直下に、所定間隔を隔ててヒートスプレッドを配置している。24mm□から成るヒートスプレッド本体部には、モールド樹脂注入時の成形安定化を図るため、多数の貫通穴を設けている。ヒートスプレッドの表裏両面には微細なディンプル（ハーフエッチング加工）を施しており、モールド樹脂とヒートスプレッドとの密着力の向上を図っている。また、ヒートスプレッド及びパッケージの反りを防止し、パッケージ内部応力を低減して信頼性を高めている。ヒートスプレッド本体中央部には、所定高さに曲げ加工された突起を設け、ダイパッドとヒートスプレッドの間隔を一定に保ち、放熱能力の安定化を図っている。このヒートスプレッドの材質は、放熱を考慮して銅合金を用い、その厚みは0.25mm

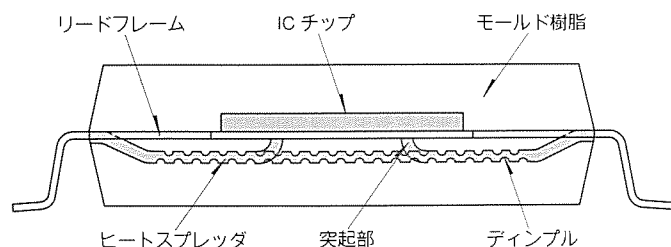


図3. 高放熱プラスチック QFP の断面構造

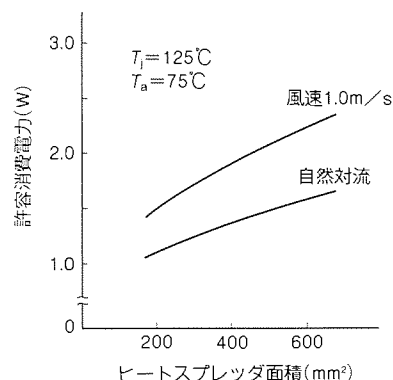


図4. ヒートスプレッド面積と許容消費電力

厚である。

ヒートスプレッドの放熱効果はその面積が重要なポイントとなるため、ヒートスプレッドの面積と許容消費電力との関係をシミュレーションした（図4）。1m/sの強制空冷下において、1.5Wを許容するため、このヒートスプレッドの貫通穴を除く実質の面積を、約400mm²となるよう形状設計した。

3.3 モールド

このQFPは前述したとおり従来QFPに比べ複雑な構造であるが、その組立工程の中で特に細心の注意を払ったモールドについて述べる。このQFPに使用されるリードフレームは、ICチップへの応力緩和及び外部リード強度を考慮し、42アロイを使用している。また、ヒートスプレッドは前述どおり銅合金を使用しているため、2種類の金属材料をモールドしなければならない。モールド方法は、成形用下金型にリードフレームとヒートスプレッドを載置し、成形用上金型を型締め後モールド樹脂を注入し、同時に一体成形している。我々は、従来QFPと同等以上の信頼性を達成するため、数種のモールド樹脂の評価・選定を行った。今回使用した新樹脂と従来使用樹脂との物性値比較を表2に示す。新樹脂は従来樹脂に比べ、低粘度化・低応力化・低吸水性が図られている。粘度を300P（ポアズ）まで低くすることにより、ICチップ、リードフレーム、ヒートスプレッドを所定位置に制御でき、パッケージの安定成形が図られる。熱膨張係数に関し

表2. モールド樹脂の物性値比較

物性項目	新樹脂	従来樹脂
熱膨張係数 ($10^{-5}/^{\circ}\text{C}$)	1.1	1.7
ガラス転移点温度 ($^{\circ}\text{C}$)	155	170
粘度 (P)	300	400
曲げ弾性 (kg/mm^2)	1,900	1,700
吸水率 (%) (85℃/85%, 100h)	0.2	0.5

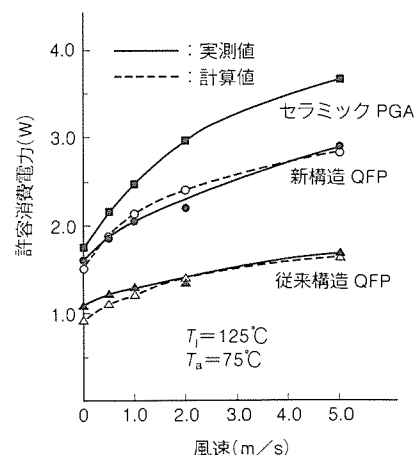


図5. 風速と許容消費電力

ては、従来樹脂に比べて約35%低い $1.1 \times 10^{-5} / ^\circ\text{C}$ となっており、パッケージの反りを防止し、ICチップに与える応力を低減している。吸水率に関しても、0.2%と従来樹脂の半分以下であり、耐湿性の向上が図られ、従来QFPと同等以上の信頼性を達成することができた。

3.4 放熱特性

以上のように構造設計したこのQFPの許容消費電力のシミュレーション値と実測値の結果を図5に示す。併せて、従来構造QFPとセラミックPGAのデータもプロットした。この結果により、シミュレーション値と実測値がほぼ一致していることが分かる。また、このQFPでは、最大チップ温度 $T_j = 125^\circ\text{C}$ 、無風状態の条件下で約1.5W、風速1m/sの強制空冷下で約2Wの消費電力が許容できる。当初の開発目標値であった、風速1m/sの強制空冷下で1.5Wをクリアすることに対し、十分な性能を確保することができた。これにより、最大消費電力1.3WのM32/100を無風状態の条件下で20MHz動作させることが可能である。

我々はこのように比較的安価で、かつ従来実績のある技術を採用・改善し、高信頼度の高放熱プラスチックQFPを開発した。このQFPの信頼性評価結果を4章で述べる。

4. 信頼性評価

M32/100の信頼性試験ではパッケージの評価に注力したので、要点を説明する。

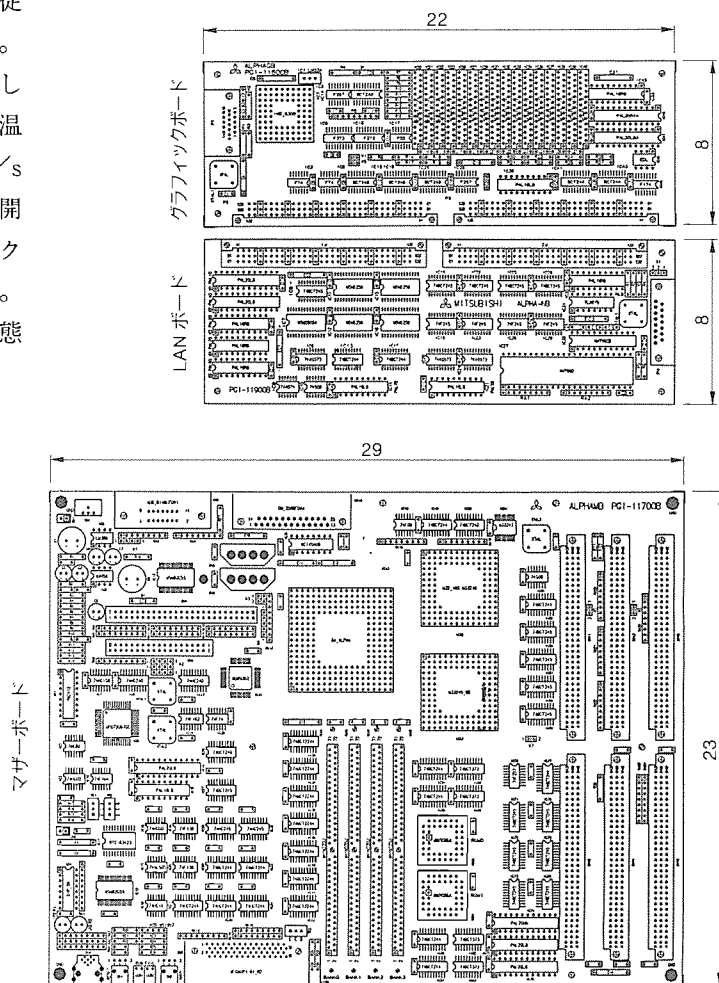
最近のLSIパッケージの主流であるSMD(Surface Mount Device)パッケージでは、モールド樹脂の吸水に起因する実装後の信頼性の問題が指摘されている。これは実装時の熱ストレスで樹脂中の水分が気化膨張し、パッケージのクラックや樹脂と他の構造物の間にはく(剥)離が生じるといものである。これらは、その後の耐湿性や熱的なストレスに対する耐量を劣化させる場合がある。これを防ぐため現在ほとんどの製品が防湿こ

ん(梱)包を施して出荷される。

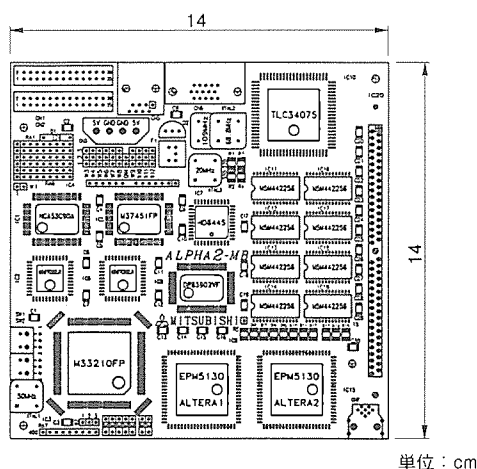
パッケージの信頼性を評価する方法を次に示す。

- (1) パッケージクラックが発生しない限界の吸水条件を見極める。

これには、温度85℃、湿度85%雰囲気加速条件下に製品を放置、吸水させた後、はんだディップ、IRリフロー等



(a) M32/100評価ボード



単位: cm

(b) X端評価ボード

図7. 評価システムボードの面積比較

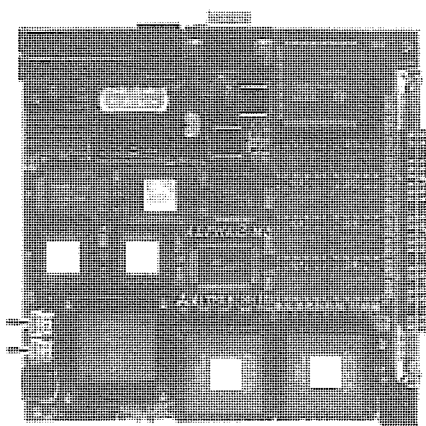


図6. X端評価システムボードの上面

に投入し、クラック、剥離の有無を調査する方法で行う。

(2) “限界吸水→はんだディップ”の手続き(これを前処理という。)を済ませた試料に対し、耐湿性、熱的なストレスの耐量試験を行う。

この結果がパッケージ信頼性を示すものとする。M32/100に対して上記の信頼性評価を実施した。ちなみに、市場での信頼性確保の必要条件としては、顧客での実装時にパッケージクラックを発生させないことが挙げられる。我々はこのために顧客での防湿梱包開封及びブリベークから実装までのリードタイムを提示している。これには、前処理吸水時間が通年での放置の最悪条件である温度30℃、湿度70%雰囲気下の何時間に相当するかで決定する。これは、各々の環境下にさらされた試料の経時的質量変化率の比で実験によって確認される。

従来、多ピンの薄型タイプのパッケージでは、リードタイムとして1週間程度を推奨することができた。一方、M32/100では飛躍的なレベルの向上が確認された。これは、信頼性にかかわる物性の改善された樹脂の適用と、モールドによる構造物の位置の変化のファイン制御の効果によると考えられる。

M32/100の現在までの評価で温度85℃、湿度85%雰囲気下で168h(7日間)の前処理でも全くクラックの発生がないことが確認されており、さらに吸水時間を延長した限界試験を実施中である。

5. 応用システム

M32/100 プラスチック QFP 品を使用した応用システムとして図6に示すX端末評価システムを開発した。14cm角のボードにSMDのみの実装でDRAM 8Mバイト、LAN インタフェース、グラフィックインタフェース、SCSI インタフェースを搭載している。

M32/100 PGA 品を使用し、上記のX 端末評価システムのもつ機能のほか、FDD インタフェース、IC カードインタ

フェース、FM 音源を搭載したM32/100評価システムとのサイズ比較を図7に示す。M32/100評価システムはA4サイズのマザーボードとA4×1/3サイズのオプションボードから構成されている。X端末評価ボードと同一の機能のみのボード面積は約700cm²で、X端末評価ボードの約3.5倍である。M32/100 QFP 品の開発により、SMD のみで構成したボード作成ができ、システムの小型化が可能となった。

6. む す び

M32/100のプラスチック QFP 品の構造、放熱特性、信頼性及び応用システムへの搭載例について述べた。フレーム直下に放熱用ヒートスプレッドを配置し、放熱特性を改善するとともに、モールド樹脂の最適化、モールド工程のファイン制御により、最大消費電力約1.3WのM32/100チップをプラスチック QFP に封止し、従来品を上回る信頼性を確認できた。この品の使用により、応用システムの小型軽量化・低価格化が可能になった。

制御機器、情報機器の更なる高速化に対応するため、現在M32/100の高速版を開発中である。高速化はチップをシュリンクし0.8μm CMOS プロセスを採用することによって達成する。シュリンクチップの25MHz動作時の最大消費電力は、1.0μm プロセス採用品と同等の約1.3Wである。このチップをプラスチックパッケージ封止するため、今回開発した高放熱プラスチック QFP を適用していく予定である。

参 考 文 献

- (1) 日向純一、吉田豊彦、是松次郎、市山寿雄、富沢 治：TRON仕様32ビットマイクロプロセッサ M32/100，三菱電機技報，63，No. 11，921～924 (1989)
- (2) 吉田 稔、島本晴夫、上田哲也、中尾 伸：ASIC 対応パッケージング技術の最新動向，三菱電機技報，65，No. 2，171～176 (1991)

アナログ機能を強化した 16ビットワンチップマイクロコンピュータ

上木雄詞* 神崎照明** 樋口光誠* 高橋 肇* 藤原俊夫**

1. ま え が き

複写機、プリンタ、ファクシミリなどのOA機器、又はロボット、計測器などの一般産業分野の製品には、システムの省スペース性とコストダウンを実現するために、制御機能に加えて周辺機能も一つのICに組み込んだワンチップマイクロコンピュータが多く使用されている。近年、これらの周辺機能が高性能化され、その中でもA-D (Analog to Digital)、D-A (Digital to Analog) 変換器などのアナログ機能の高性能化の要求が高まっている。

当社では、高速・高性能16ビットマイコン“MELPS 7700”を開発し、一般産業機器制御に適したM37702グループを既に量産している。このM37702グループには、分解能8ビットのA-D変換器を内蔵しているが、市場の更なる高精度化の要求にこたえるため、A-D変換器の分解能を10ビットに高め、さらに8ビットD-A変換器を加えたM37710E4BXXXFPを開発した。

本稿では、A-D、D-A変換器などアナログ機能を強化したM37710E4BXXXFP (以下“M37710E4B”という。)の製品概要と開発した10ビットA-D変換器回路を中心に紹介する。

2. M37710E4Bの概要

表1にM37710E4Bの性能概要を示す。M37710E4Bの特長は、以下のとおりである。特に項目(2)のアナログ機能の強化が今回の大きな特長である。

- (1) M37702グループの上位互換機種として、その機能を包含しており、MELPS 7700に共通の周辺機能と豊富なアドレッシングモードを継承している。
- (2) 分解能を10ビットに高めたA-D変換器と分解能8ビットのD-A変換器を新たに内蔵し、アナログ機能を強化している。
- (3) ワンタイムPROM 32Kバイト、RAM 1Kバイトと大容量のメモリを内蔵しており、さらに最大16Mバイトのメモリ拡張が可能である。
- (4) 最短命令実行時間160ns (発振周波数25MHz時)。
- (5) パルスモータ駆動に適したパルス波形出力回路を内蔵している。

ウェーハプロセスは、1 μ m CMOS プロセスを使用し、9.00mm \times 5.41mmのチップ上に約39万個のトランジスタ

で回路を構成している。図1にM37710E4Bの機能ブロック図、図2にチップ写真、図3にピン配置を示す。

10ビットA-D変換器は、従来M37702グループで分解能8ビットであったものを10ビットに高めたものである。変換時間は、9.44 μ s (外部クロック周波数25MHz時)で、8ビットA-D変換器 (変換時間9.12 μ s : 同25MHz同時) の変換サイクルを変更することによって同程度としている。

8ビットD-A変換器は、R-2R方式を採用している。A-D及びD-A変換器回路は、各機能ブロックごとにレイアウト的に分離し、アナログ回路の精度を高める目的で電源の配線等に新しい工夫を施した。

3. 10ビットA-D変換器

3.1 開発の背景

ワンチップマイクロコンピュータに内蔵されているA-D変換器の分解能は、現在8ビットが主流を占めているが、これはA-D変換器の性能とコスト及び使いやすさのバランスが良かったためである。分解能8ビットのA-D変換器は、A-D変換用の基準電圧 V_{REF} を256ステップに分割した $V_{REF}/$

表1. M37710E4BXXXFPの性能概要

項 目	性 能
基本命令数	103
最短命令実行時間	160ns (クロック入力25MHz時)
メモリ容量	PROM 32K バイト RAM 1K バイト
入出力ポート	68
タイマ	高性能タイマ 16ビット \times 5 + 16ビット \times 3
シリアル I/O	(非同同期型又はクロック同期) \times 2
A-D 変換器	10ビット \times 1 (8チャンネル)
D-A 変換器	8ビット \times 2
監視タイマ	12ビット \times 1
割込み	外部割込み3, 内部割込み16, 割込み優先レベル7
パルス波形出力回路	4ビット \times 2
クロック発生回路	内蔵 { セラミック共振子又は 水晶共振子外付け }
電源電圧	5V \pm 10%
アドレス空間	最大16M バイト
動作周囲温度	-20 \sim +85 $^{\circ}$ C
素子構造	CMOS シリコンゲート
パッケージ	80ピン プラスチックモールド フラットパッケージ

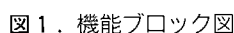
例えば、エアコンなどで $-20\sim+80^{\circ}\text{C}$ の温度範囲を 0.1°C 単位でモニタしたい場合には、温度センサからの出力電圧を少なくとも1,000ステップ以上で識別する必要がある。この場合、ステップ数が1,024である分解能10ビットのA-D変換器が必要となる。このような高精度化の市場要求にこたえて分解能10ビットのA-D変換器の開発を行った。

10 ビット A-D 変換器の開発に当たって目標としたのは、

- (1) コストパフォーマンスの高い A-D 変換器 (レイアウト面積の最小化)
- (2) 変換時間 $10\mu\text{s}$ 以下

である。

次に、10ビット A-D 変換器の変換時間は、M37702 グループの8ビット A-D 変換器と同じ方式を採用すると11 μ s 以上になるため、変換方式を変更して変換時間を10 μ s 以下にした。



A-D 変換回路として、M37710E4B では図 4 に示すような、ラダー抵抗と MOS キャパシタを組み合わせた電荷平衡型比較方式を採用し、逐次比較による A-D 変換を行っている。図中の C1 は、ラダー抵抗の電圧とアナログ入力電圧を直接比較するキャパシタ、C2 はラダー抵抗の電圧に重み付

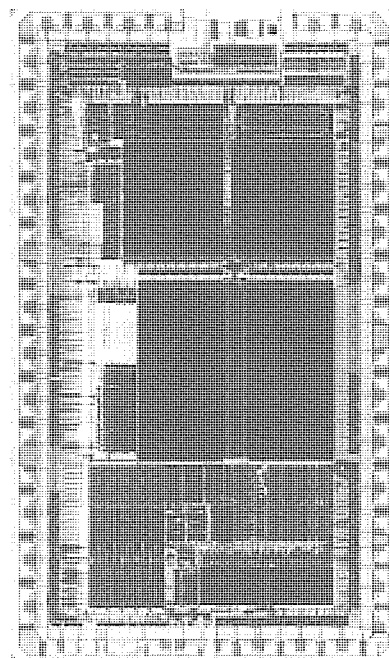
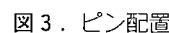


図2. チップ写真



けて変換値を補正するキャパシタである。

キャパシタ $C1$ と $C2$ の容量比は、キャパシタ $C2$ による補正尺度を決定する。M37710E4B は、この比を $C1 : C2 = 16 : 1$ としている。もし、この比に微小誤差が生じると、キャパシタ $C2$ による補正が正常に行われず、変換誤差の原因となるためレイアウト及び製造工程で工夫を施した。

3.4 MOS キャパシタ

前節で述べたキャパシタ $C1$ と $C2$ の容量比を崩す主な原因の一つを述べる。図5に MOS キャパシタのプロセス的な縦構造の簡略図を示す。ワントタイム PROM を除く部分は、1層ポリシリコンの CMOS プロセスを使用しており、MOS キャパシタは、図に示すような縦構造で構成されている。電圧 V_G を印加しているメタルを介したポリシリコンと、電圧 V_0 を印加しているメタルを介した拡散領域の間の酸化膜を誘電体として、キャパシタ容量 C が構成される。

図6に MOS キャパシタ容量値の電圧依存性の簡略図を示す。横軸は、MOS キャパシタに印加される電圧 ($V_G - V_0$)、縦軸は、MOS キャパシタの容量値 C である。この容量 C は、理想的には印加電圧が変化しても変わらず、図6の破線のように一定である。しかし、この MOS キャパシタには容量 C に電圧依存性があるため、図中実線のように理想的特性からのずれがある。キャパシタ $C1$, $C2$ に印加される電圧が異なると、それぞれのキャパシタの容量が設計期待値よりずれることになる。この容量値のずれが変換誤差の原因となる。

M37702グループの8ビット A-D 変換器の誤差特性から MOS キャパシタの電圧依存性による変換誤差は、約0.8

LSB と見積もった。次に図6の電圧依存性をもつ仮想的な A-D 変換器について、数値計算によって電圧依存性の大きさを見積もった。その結果、容量値 C は、印加電圧 1V に対して約1%のずれを伴う電圧依存性のあることが分かった。

3.5 回路の選定

前節で求めた MOS キャパシタの電圧依存性をもとに最適な A-D 変換回路を選定するための検討を行った。表2にラダー抵抗の抵抗素子の数に対する MOS キャパシタの電圧依存性から生じる10ビット A-D 変換の予想誤差を示す。これは、電圧依存性を印加電圧 1V に対して1%に設定して、数値計算により変換誤差を算出したものである。

抵抗素子の数に従ってラダー抵抗のレイアウト面積が大きくなるため、適切な抵抗素子数を選ぶ必要がある。M37710の絶対精度保証目標値 ± 3 LSB に対して電圧依存性から発生する誤差は、少なくとも絶対量が1LSB 以上でなければならないとし、表2から変換誤差が0.68LSB である抵抗素子数128個の方式を採用した。つまり、変換する10ビットのうち7ビット ($2^7=128$) をキャパシタ $C1$ でアナログ入力電圧と直接比較し、残りの3ビットをキャパシタ $C2$ で補正することにした。

図7に抵抗素子数128個の場合の数値計算による予想誤差特性の一部を、図8に今回開発した10ビット A-D 変換器の変換誤差特性の一部を示す。MOS キャパシタの電圧依存性から生じる変換誤差は約0.7LSB で、数値計算から推測した値とほぼ一致した。また誤差特性の形状も一致しており、予測どおりの結果を得た。

3.6 ラダー抵抗

図9は、ラダー抵抗の一部の回路を示した図である。ラダ

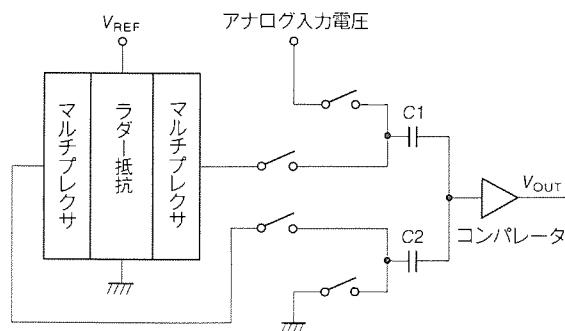


図4. A-D変換回路

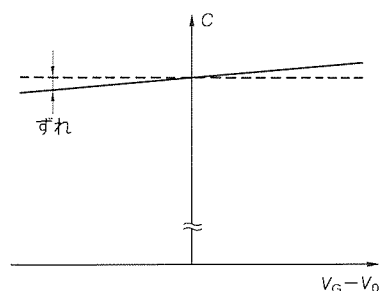


図6. 電圧依存性

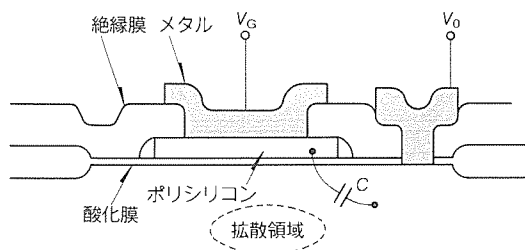


図5. MOS キャパシタ縦構造

表2. MOS キャパシタの電圧依存性による10ビット A-D 変換誤差量(予測)

抵抗素子数	変換誤差
64	1.21LSB
128	0.68LSB
256	0.27LSB
512	0.08LSB
1,024	0.00LSB

注 印加電圧 1V に対して1%の誤差を設定

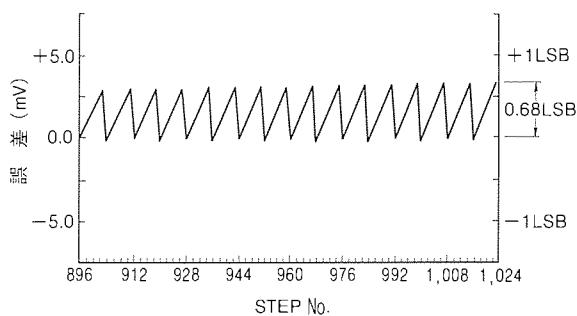


図7．数値計算による予想誤差特性

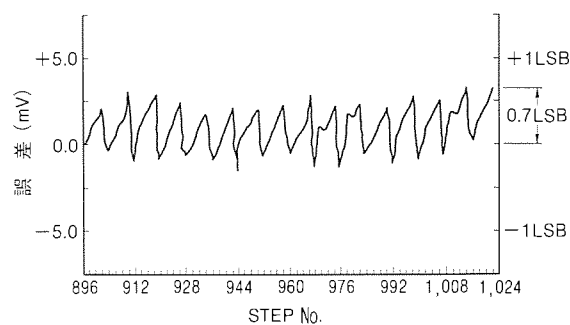


図8．10ビットA-D変換誤差特性

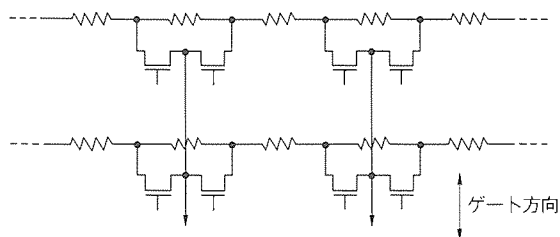


図9．ラダー抵抗回路

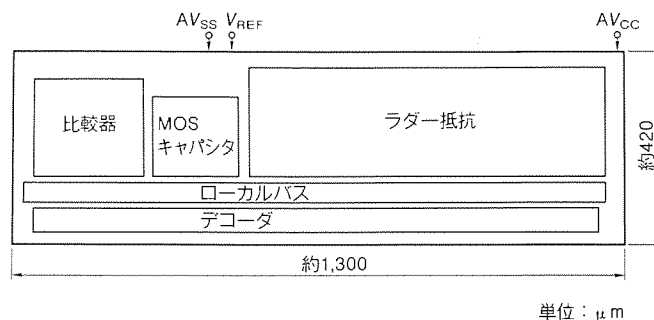


図10．A-D変換アナログ回路のレイアウト

ー抵抗のレイアウト面積が小さくなるように、下記のレイアウトと回路の工夫を行った。

- (1) スイッチ用トランジスタのゲートの方向をラダー抵抗に対して垂直にすることで、抵抗ノード間を高密度にした。
- (2) 隣合う抵抗ノードに備わるスイッチ用トランジスタの出力端及び出力線を共有させることで、レイアウトの無駄を省いた。

3.7 レイアウトセル

図10に開発した10ビットのA-D変換アナログ回路のレイアウトセルの構成を示す(制御回路は含んでいない)。セルサイズは約1,300 μm \times 420 μm である。M37702グループの8ビットA-D変換器と比較すると、ラダー抵抗による V_{REF} の分割電圧数は8倍であるが、セルサイズは約3.5倍にとどめている。

図において AV_{CC} 、 AV_{SS} 、 V_{REF} は、アナログ回路専用の電源である。右からラダー抵抗、MOSキャパシタ、比較器

の順でそれぞれの回路を配置し、アナログ系の信号の配線長を短くすることで不要な寄生容量、抵抗成分を最小にした。

4. む す び

M37710E4Bの10ビットA-D変換器の開発に当たって、レイアウト面積とパフォーマンスのトレードオフを考慮した最適なA-D変換アナログ回路を設計した。その結果、A-D変換アナログ部のレイアウト面積は、約1,300 μm \times 420 μm とコンパクトなサイズに収めた。

また、この開発を通じて更なるプロセス条件のチューニングを行い、キャパシタの電圧依存性を最小化した。

今後、このA-D変換器を採用したワンチップマイクロコンピュータの開発を拡大していく予定である。

最後に、M37710E4Bの開発に当たって協力いただいた関係者の方々に深く感謝の意を表す。

三菱セルベースIC

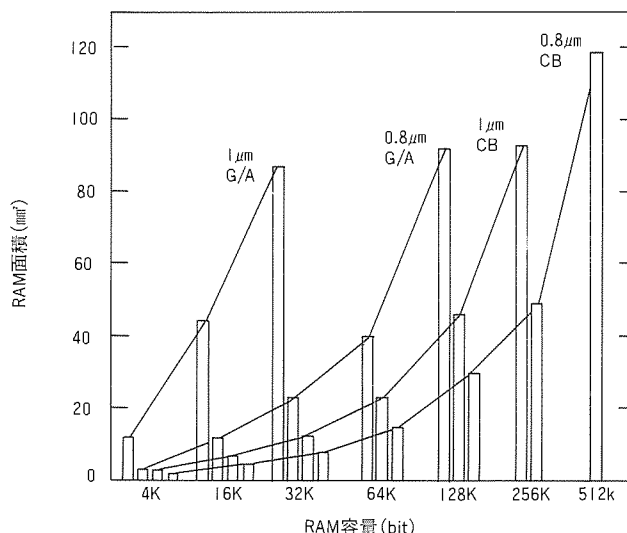
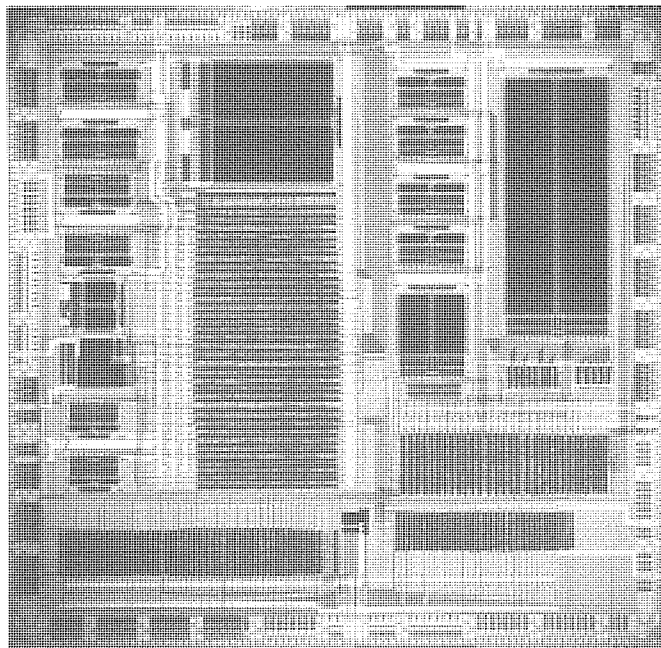
スポットライト M652XX、M653XXシリーズ

三菱電機では、1.0 μ m CMOS セルベースIC M652XXシリーズに加え、最先端微細加工技術を使用した0.8 μ m CMOSセルベースIC M653XXシリーズをオープンし、多様化、大規模化するASICのニーズに、より一層お応えすることができるようになりました。

セルベースICは、三菱電機があらかじめ用意した標準セルライブラリと各種CADツールを使用して、お客様に回路設計をしていただくセミカスタムICで、スタンダードセルICと呼ばれているものと同一です。セルベースICは、ゲートアレーに比べ開発工期が多少長い半面、大容量のRAM、ROMやアナログセル等を搭載でき、高集積化、高機能化が可能であるため、システムオンチップを指向する近年のASICにとって、非常に重要になってきています。

三菱セルベースICは、当社独自のゲートアイソレーション技術を用いて高速、低消費、高集積を実現した、三菱ゲートアレーM60050シリーズ(1.0 μ m)及びM60080シリーズ(0.8 μ m)と同一のセルを使用しています。従って、ゲートアレーと同一の設計環境でお客様に設計作業をしていただくことができると共に、ランダムロジック回路部は当社ゲートアレーと全く同一の高パフォーマンスを得ることが出来ます。また、セルベースではゲートアレーには搭載できないアナログセルは当然のこと、高性能かつ高集積のRAM、ROM、乗算器といった機能ブロックが用意されていることが重要です。

三菱電機では、これら高性能な機能ブロックを自動的に生成することができるモジュールジェネレータを開発し、IC開発期間の短縮化を図っています。モジュールジェネレータは、機能ブロックのビット、ワードといった構成を自由に設定する際に必要な、機能ブロックの各種CADデータを、自動的に生成することができるもので、これからのセルベースICには必要不可欠なツールです。モジュールジェネレータで生成したRAMとゲートアレーのRAMとの面積比較を<図1>に示します。その他、セルベースICの特長を<図2>に示します。今後、三菱電機では、M652XX、M653XXシリーズにおいてアナログセル、モジュールジェネレータ等のセルベースシリーズの開発を行なっていきます。



<図1> セルベース及びG/AのRAM容量対面積比較

<図2> 三菱CMOSセルベースICの特長

		1.0 μ m CMOSセルベースIC M652XXシリーズ	0.8 μ m CMOSセルベースIC M653XXシリーズ	備 考
テ ク ノ ロ ジ ー		1.0 μ m CMOS 2Al, 1POLY プロセス	0.8 μ m CMOS 3Al, 1POLY プロセス	
セル ライブラリ	マクロセル	1.0 μ m CMOS G/A M60050 シリーズとコンパチブル	0.8 μ m CMOS G/A M60080シリーズとコンパチブル	一部開発中あり
	モジュール ジェネレータ	RAM, ROM, PLA, MPY 高速RAM, デュアルポート RAM	RAM, ROM, PLA, MPY 高速RAM, デュアルポートRAM Data path	
	メガセル	CPU周辺	CPU周辺	
	アナログセル	ADC, DAC, オペアンプ等	ADC, DAC, オペアンプ等	
最大搭載可能ロジック数		60Kゲート	100Kゲート(2Al), 150Kゲート(3Al)	
最大搭載可能メモリ容量		360K bit (RAM)	512K bit (RAM)	
動作電圧		5V	5V	3V
内部ゲート遅延		370ps/ゲート	215ps/ゲート	370ps/ゲート
最大トグル周波数		270MHz	320MHz	270MHz
消費電力		3.9 μ W/MHz・ゲート	4.8 μ W/MHz・ゲート	1.3 μ W/MHz・ゲート
				FO=2, Al=2mm \times 4 drive 2NAND
				FO=2, Al=2mm \times 1 drive 2NAND



特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
特許営業グループ Tel (03)3218-2137

紫外線消去形プログラマブル読出専用メモリ装置の試験方法 (特許 第1428067号)

発明者 田原次夫

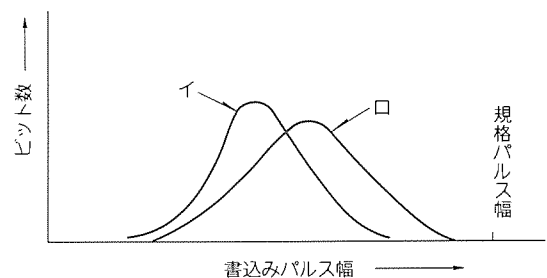
この発明は、フローティングゲート アバランシェ インジェクション MOS (FAMOS) 構造の紫外線消去形プログラマブル読出専用メモリ (EPROM) の試験方法に関するものである。

FAMOS の動作試験には、そのすべてのアドレスについて順次書き込み及び読出しを行う必要があり、FAMOS の規格書き込みパルスの時間幅を50ms とすると、従来の動作試験では各アドレスについて50ms の幅のパルスを用いており、FAMOS のメモリ容量の増大に伴います長いつ験時間が必要となる。

この発明は以上のような点にかんがみなされたもので、EPROM の書き込み試験時間を短縮するために、各アドレスについて、規格書き込みパルス幅以下の短いパルス幅の書き込みパルスを用い、この短いパルス幅の累計が、規格書き込みパルス幅に達するまでの範囲で、通常書き込みが行われるまで、繰返し書き込み試験を行う。このため、短いパルス幅のパルスで

書き込める多数のビットは、短時間で書き込み試験が終了し、EPROM 全体の書き込み試験の時間を大幅に短縮する。

図は FAMOS の製品別の書き込みパルス幅と所用深さまで書き込まれるビット数との関係を概念的に示すもので、製品間で曲線イ、ロのように異なるのはもちろん、一つの製品のうちでもビットごとにバラツキがあり原理的には正規分布を示す。



相補形 MOS 集積回路装置 (特許 第1366807号)

発明者 大倉五佐雄

この発明は相補形 MOS 集積回路装置にかかわり、特にトランジスタアレー、ゲートアレーのように単位セルを複数個列状に並べた部分を有する集積回路装置における単位セルの配列構造及び機能素子間の分離構成の改良に関するものである。

図1に示すように、従来の構成では各隣接単位セル相互間にこれらを電気的に分離するための分離領域が設けられ、一つ以上の単位セルを用い所望の論理機能素子を構成するため、不使用のトランジスタ対が発生する問題があった。

この発明はこの点にかんがみなされたもので、図2の実施例に示すように、酸化膜のような分離領域を設けず、一様にトランジスタ列を配置し、トランジスタ対を所用数用いて論理機能を有する機能素子を構成し、機能素子間に位置するNチャネル MOS トランジスタ及びPチャネル MOS トランジスタのゲートにそれぞれ負、正電源電位を接続し、両トランジスタを遮断状態に保持することにより、隣接する機能素子間を電気的に分離するもので、“ゲートアイソレーション技術”と呼ばれ、高密度・高速のCMOS ゲートアレーを実現するものである。このため、CMOS ゲートアレーの集積度・

動作速度を大幅に向上できる。

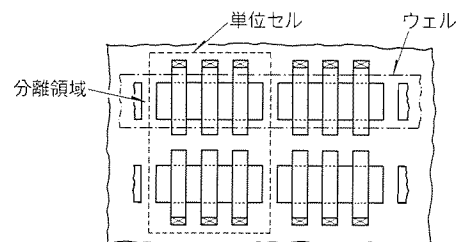


図1. 従来の酸化膜分離方式による単位セル配置

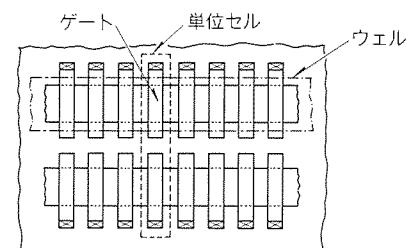


図2. ゲートアイソレーション技術による単位セル位置



特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
特許営業グループ Tel (03) 3218-2137

昇圧回路 (特許 第1380201号)

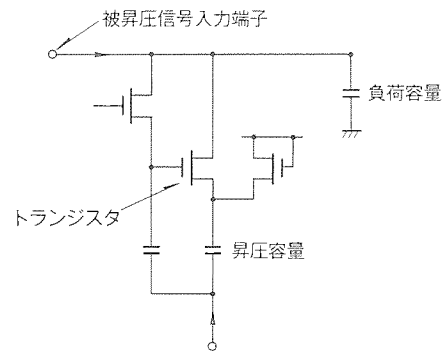
発明者 飛田洋一

この発明はMOS形集積回路での使用に適する昇圧回路に関するものである。

従来のこの種の回路では、昇圧信号によって昇圧できる電圧は、昇圧容量により決定されるため、昇圧容量の駆動分を見込んで駆動能力を持たす必要があり、駆動回路の領域及び消費電力の増加をもたらしていた。

この発明はこの欠点を改善するためのもので、この発明による昇圧回路(図)は、被昇圧信号入力端子と昇圧容量との間にトランジスタを設け、被昇圧信号の駆動時にはトランジスタを遮断状態にして、被昇圧信号入力端子と昇圧容量とを電気的に分離し、被昇圧信号により負荷容量のみを駆動する。昇圧前に電源により昇圧容量を所定電位に充電しておき、昇圧時に昇圧信号を昇圧容量に印加するとともにトランジスタを導通させ、昇圧容量の充電電位と昇圧信号とを重畳させ、

トランジスタを介して負荷容量を充電し、電圧電位以上の昇圧電圧を発生する。このため、動作が高速で信頼性が高く、小型の昇圧回路が実現できる。



〈次号予定〉三菱電機技報 Vol. 67 No. 4 特集“冷凍・空調”

特集論文

- 新しい提案
- 冷凍空調機器の現状と今後の展望
- ビル用マルチエアコン“水熱源二管式冷暖同時マルチMR2シリーズ”
- 大型ビル用マルチエアコン“シティマルチBIG Yシリーズ”
- 業務用パッケージエアコン“Mr. SLIM”の新室外機
- ルームエアコン“霧ヶ峰”Fシリーズの軽量・コンパクト化技術
- 超高層・高気密住宅用換気システム
- 業務用“ロスナイ”マイコンPタイプシリーズ
- 1パイプセパレートロスナイとロスナイ快適コントロール

- 冷熱・空調を総合管理するシステム技術
- 冷凍・空調・換気機器の設計支援システム
- スターリングエンジンヒートポンプシステム
- 氷蓄熱パッケージエアコン
- 壁掛セパレート形スポットエアコン
- 新幹線電車用空調装置の最新技術
- ふく射空調システム——その特徴と課題——
- 新鮮度クールマルチ
- 食品店舗用ショーケース管理システム“MELSIS”
- 脱特定フロン対応 HCFC 22用ロータリ圧縮機

三菱電機技報編集委員

委員長	山田 郁夫
委員	永田 譲蔵
〃	白井 健三
〃	谷 豊文
〃	風呂 功
〃	大原 啓治
〃	松村 恒男
〃	鈴木 幹雄
〃	小野 修一
〃	鳥取 浩
〃	岡田 久雄
幹事	長崎 忠一
3月号特集担当	堀場 康孝

三菱電機技報 67 巻 3 号

(無断転載を禁ず) 1993年 3月22日 印刷
1993年 3月25日 発行

編集兼発行人 長崎 忠一
印刷所 千葉市川市塩浜三丁目12番地 (〒272-01)
菱電印刷株式会社
発行所 東京都港区新橋六丁目4番地9号
北海ビル新橋 (〒105)
三菱電機エンジニアリング株式会社内
「三菱電機技報社」Tel. (03) 3437局2692
発売元 東京都千代田区神田錦町三丁目1番地 (〒101)
株式会社 オーム社
Tel. (03) 3233局0641代, 振替口座東京 6-20018
定価 1部 721円 (本体 700円) 送料別
年間予約は送料共 9,373円 (本体 9,100円)

B/NET スポットライト 工事用仮設分電盤システム

照明コントローラと配電制御ネットワーク機器B/NETの技術に応用し、安全で効率の良い<B/NET工事用仮設分電盤システム>を開発しました。このシステムは、コンセント回路と動力回路を照明コントローラの持つ豊富な制御機能で発停制御するもので、個別、グループ、パターン、ブロック単位でのコントロールが可能です。また、スケジュール制御による消し忘れ防止や不要照明のきめ細かい制御を行うことにより、建設現場の省エネ、省力化を図ります。

特長

●建設現場の省エネを実現

建設現場の照明を中央監視操作盤で最大320回路まで制御できます。

●省エネ化を実現

遮断器と漏電遮断器は新形小型電気操作付きで、終業時の消し忘れを中央監視操作盤から制御できます。

●保守が容易

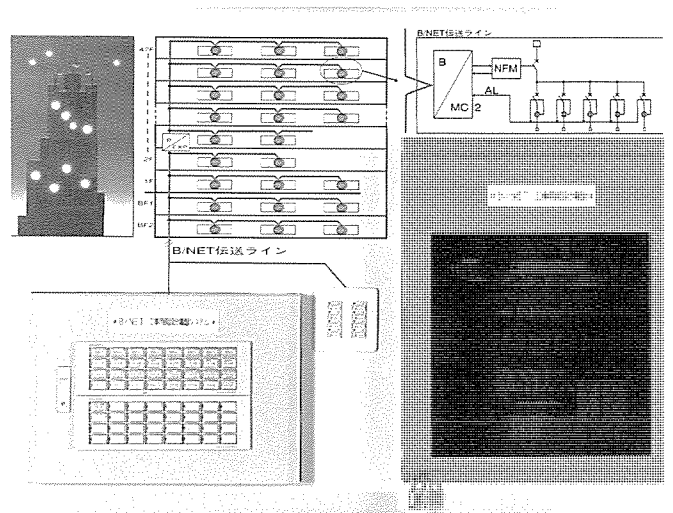
中央監視操作盤で仮設分電盤の過負荷、漏電動作が一目で分かり、保守が容易です。

●増設が容易

中央監視操作盤と各工事用仮設分電盤間は、一対のケーブルで最遠配線長1,000mまで配線でき、増設が容易です。

●高信頼性

B/NET伝送により安全で効率の良いシステムを実現しています。



●設定が簡単

専用データ設定器により、画面を見ながら対話方式で簡単に操作できます。

●漏電遮断器動作テストが可能

中央監視操作盤で漏電遮断器のテストボタン一括制御が行えるため、始業時の点検が容易です。

●混在システムが可能

B/NET電力エネルギー管理システムなど、他のB/NETシステムと混在させることにより総合的な省エネ・省力化が図れます。

システム構成機器の機能

品 名	形 名	機 能
新形小型電気操作付き 配線用遮断器 漏電遮断器	NFM□□-□□ NVM□□-□□	新形小型電気操作装置により遮断器の遠隔ON/OFF制御が行えます。また、切替スイッチ(自動/手動)により、手動に切り替えることでB/NETの制御から切り離すことができます。また、補助接点(AX)を電磁開閉器用伝送ターミナルに入力し、アンサバック(ON/OFF状態)として用いることにより、正確な発停状態を確認できます。
照明コントローラ	B-6PLIC	最大回路数320回路(操作320回路、制御320回路) 64パターン制御、64グループ制御、10ブロック制御 週間スケジュール、年間スケジュール
電磁開閉器用 伝送ターミナル	B-6PMC2	1台の伝送ターミナルで2台のNFMが制御可能です。ワンショット出力により上記NFMをON/OFF制御します。NFMの補助接点(AX)をアンサバックとして入力できます。
伝送専用電源	B-6PPS1B	伝送専用電源(伝送線給電タイプ)でメインB/NET伝送ラインに接続します。
アナンシェータ	B-ANN32	各遮断器を個別、全回路、グループ、ブロック、パターン制御するかを32個の操作スイッチに割り付けます。
アドレス 拡張ユニット	B-6PEXPA	B/NET伝送ターミナルの接続台数が63台を超える場合に設置します(伝送線給電タイプ)。アドレス拡張ユニットを設置することにより、最遠配線長も2,000mまで延長できます。サブB/NET伝送ラインの電源はアドレス拡張ユニットにより給電しますので、新たに伝送専用電源の設置は不要です。
データ設定器	B-DSL01	照明コントローラにシステム運用に係わるシステム登録を行います。

システム構成例

