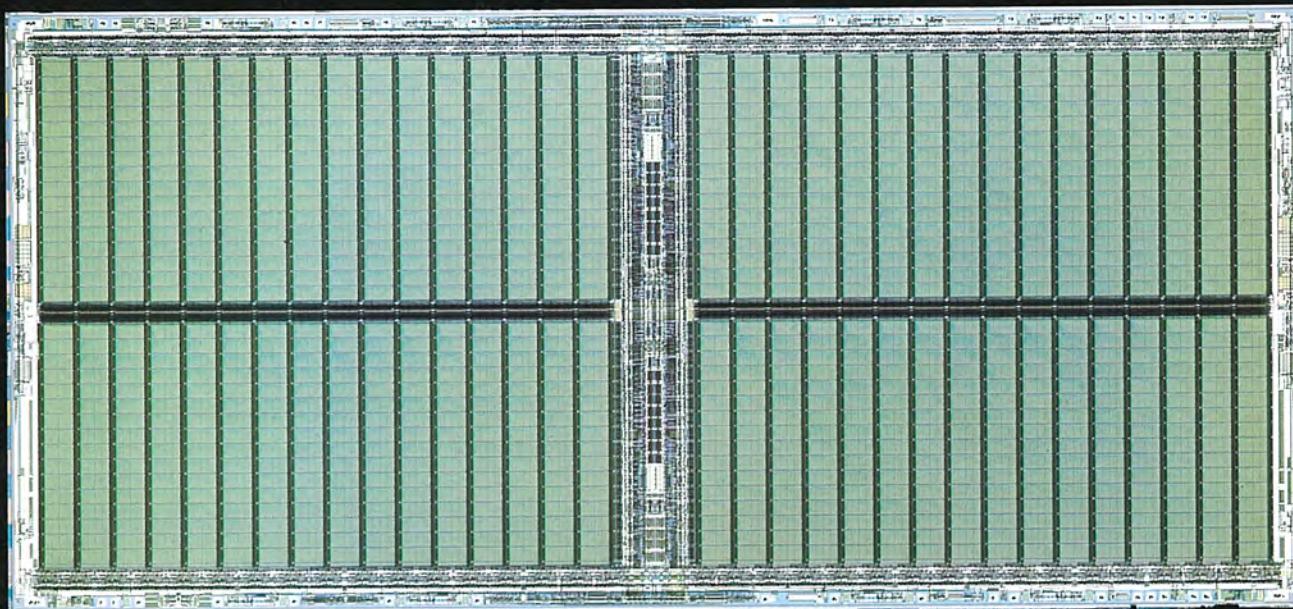


# MITSUBISHI 三菱電機技報

MITSUBISHI DENKI GIHO Vol.66 No.2

2  
1992

メモリ・マイクロコンピュータ特集



### メモリ・マイクロコンピュータ特集

#### 目 次

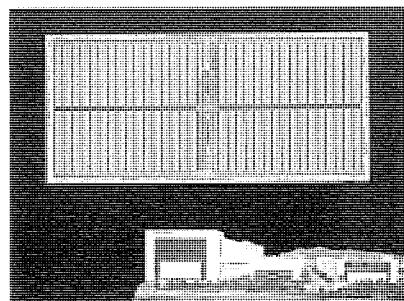
卷頭言	1
北岡 隆	
現状と動向	
メモリ・マイクロコンピュータの現状と動向	2
平林庄司	
最先端デバイス技術	
64Mビット DRAM技術	9
宮本博司・諸岡毅一・有馬秀明・蜂須賀敦司	
16Mビット フラッシュメモリ技術	15
寺田 康・味香夏夫・中山武志・小林真一・宮脇好和	
学習機能付きニューロチップ	20
有馬 裕・村崎充弘・山田 強・前田 敦	
大規模並列処理用データ駆動型マイクロプロセッサ	24
小守伸史・田村俊之・浅井文康・佐藤尚和・高田英裕	
メモリ	
16Mビット DRAM	30
有本和民・日高秀人・平山和俊・若宮 互・野崎雅彦	
4Mビット バイト／ワードワイド DRAM	35
長瀬功一・源城英毅・豊本英晴	
低消費電力 4Mビット CMOS スタティック RAM	41
藤田雄明・塘 一仁・須賀原和之・福本晃二・浮田 求	
超高速256Kビット BiCMOS SRAM	46
塙見 徹・大林茂樹・本田裕己・石垣佳之・梶澤正哉	
高速ページモード16Mビット マスク ROM	51
牧原浩泰・香田憲次・外山 穀・山内直樹	
高速高密度メモリモジュール シリーズ	55
田原次夫・福元孝和・宮武秀司	
マイクロコンピュータ	
GMICRO M32ファミリー及びソフトウェア	61
小山和美・日向純一・坂本直史・有岡武志・亀井達也	
GMICRO M32／100のページプリンタへの応用	70
山内直樹・大橋伸一郎・中嶋純子・的場成浩・松山景洋	
VTRソフトウェアサーボ用	
16ビット マイクロコンピュータ	75
林 和夫・尚永幸久・武部秀治・山田国裕・元吉啓登・鈴木次男	
SCSI専用コントローラ	84
堀 俊彦・須田眞二・小林 洋・遠藤茂行・川嶋健司	
8ビット マイクロコンピュータ“38000シリーズ”	91
竹内 稔・阿部 稔・林 良紀・石丸善行・武部秀治	
ワンチップ マイクロコンピュータの	
応用技術とソフトウェア	99
山田国裕・川原林 隆・松井秀夫・藤沢行雄・浅野真弘・玉木浩子	
要素技術	
超高集積 DRAM 用キャパシタ誘電体膜形成技術	106
小林清輝・中野 豊・福本晃二・林出吉生・奥平智仁	
位相シフトリソグラフィ技術	111
吉岡信行・宮崎順二・楠瀬治彦・青山 哲・Maaiice Op de Beeck	
先端デバイス開発における信頼性評価解析技術	116
三橋順一・小守純子・石井達也	
0.5mm厚 TABパッケージとその応用	121
寺岡康宏・島本晴夫・立川 透・竹村誠次・上田哲也・御祓如 英也	
生産技術	
ユーザーニーズにこたえる販売・生産統合情報ネットワーク	126
奥野治臣・続木捷雄・山本武夫	
最先端工場における生産システム	131
山崎雅敏・青木利明・御堂洋一	
特許と新案	
半導体メモリ装置・位相比較器	139
内燃機関の点火時期制御装置	140
スポットライト	
プレアラームリレー“BE-Pシリーズ”	137
コードレス電話用秘話 IC M64021FP	138
Windows3.0 対応 14" 高解像度モニタ XC-98V3	141
ディジタル式励磁制御装置	142
関西電力(株)大飯発電所向け515kV, 1,260MVA 3,4号主変圧器	(表3)

#### 表紙

##### 16Mビット DRAM のチップ写真と西条工場の全景

16Mビット DRAM (M5M416100/M5M416400) は、当社におけるハーフミクロンの最先端半導体プロセス技術を駆使して実現した大容量、高速、低消費電力の超 LSI である。

西条工場(愛媛県西条市)は全体がFAを駆使した最先端工場でメモリの主要生産からマイクロコンピュータ、ASIC(特定用途向けIC)も生産できる当社の1大拠点である。当社の半導体生産拠点としてはこの他に国内に4拠点、海外に2拠点を持っており研究所として3拠点を含めて開発・生産には万全を期している。



三菱電機技報に掲載の技術論文では、国際単位“SI”(SI 第2段階(換算値方式)を基本)を使用しています。ただし、保安上、安全上等の理由で、従来単位を使用している場合があります。

## アブストラクト

### メモリ・マイクロコンピュータの現状と動向

平林庄司

三菱電機技報 Vol. 66 · No. 2 · P 2 ~ 8

メモリとマイクロコンピュータの現状と動向について述べる。市場のニーズと向上を続ける半導体技術によるメモリとマイクロコンピュータの製品化傾向を特に明らかにした。また、この特集の個別論文の掲載のねらいを明確にする紹介を併せて示した。

### 64M ビット DRAM 技術

宮本博司・諸岡毅一・有馬秀明・蜂須賀敦司

三菱電機技報 Vol. 66 · No. 2 · P 9 ~ 14

高集積かつ高性能の64M DRAM を実現する技術を開発した。ストレージノードを上下2層のセルプレートで包んで容量を増大させたDCP(Dual Cell Plate)メモリセル、高速アクセス時間とテスト時間の短縮(テスト時間の1/16,000化)を同時に実現するマージド マッチラインテスト(MMT)方式、及びMMT方式に適合したカスケード冗長方式を開発した。これらの技術によって64M DRAM を試作し、45ns の高速アクセス時間を実現した。

### 16M ビット フラッシュメモリ技術

寺田 康・味香夏夫・中山武志・小林真一・宮脇好和

三菱電機技報 Vol. 66 · No. 2 · P 15 ~ 19

0.6 μm のCMOSプロセスを用いて、EPROMと同様のセル構造で電気的消去機能を実現した不揮発性メモリについて述べる。消去時に電子を過剰に引き抜き、しきい値が負になるという過剰消去を、メモリアレーを分割して各々に消去制御回路を設けることによって回避した。シーケンスコントローラを内蔵しているので消去や書き込みを指示するコマンドを入力するだけによく、オンボードで書換えが可能。さらに、高機能化を実現するデバイス/回路技術についても紹介する。

### 学習機能付きニューロチップ

有馬 裕・村崎充弘・山田 強・前田 敦

三菱電機技報 Vol. 66 · No. 2 · P 20 ~ 23

ニューラルネット情報処理の特徴の一つである自己組織化機能(学習機能)を半導体集積回路で実現した学習機能付きニューロチップを開発した。アナログ・デジタル混在設計により、学習制御回路を備えたシナプス回路を70 μm 角で実現し、28,224個のシナプスと336個のニューロンを1チップに集積できた。また、複数チップの相互接続による回路規模拡張を速度性能低下無しに行うため、Branch-Neuron-Unit アーキテクチャを開発した。

### 大規模並列処理用データ駆動型マイクロプロセッサ

小守伸史・田村俊之・浅井文康・佐藤尚和・高田英裕

三菱電機技報 Vol. 66 · No. 2 · P 24 ~ 29

ピーク性能50M FLOPS の1チップデータ駆動型マイクロプロセッサを開発した。0.8 μm 2層メタル2層ポリシリコンの微細CMOSプロセスを用いて、70万素子を1チップ上に集積した。このプロセッサは、動的数据駆動アーキテクチャを基本とし、科学技術計算の高速化のためのベクトル演算処理機能、マルチプロセッサ並列処理をサポートする諸機能をチップに内蔵し、大規模並列処理を効率的に行うこと目標にしている。

### 16M ビット DRAM

有本和民・日高秀人・平山和俊・若宮 亘・野崎雅彦

三菱電機技報 Vol. 66 · No. 2 · P 30 ~ 34

第一世代の16M DRAMを開発した。チップ面積は130.9mm<sup>2</sup>であり、内部降圧回路を搭載してデバイスの信頼性を確保している。また、2層アルミ配線、高性能トランジスタの採用でRASアクセス時間60ns(4.5V, 80°C)を実現した。0.5 μm の微細加工技術に加え、高濃度P型埋込み層、Wプラグのプロセス技術を採用してソフトエラー等信頼性上の問題に対して良好な結果を得た。さらに、テスト方式、冗長構成に設計上の工夫を加えて生産性向上を図っている。

### 4M ビット バイト/ワードワイド DRAM

長瀬功一・源城英毅・豊本英晴

三菱電機技報 Vol. 66 · No. 2 · P 35 ~ 40

当社4Mビット第二世代品をベースとして×8/×16構成のメモリM5M44800A(512K×8), M5M44260A/M5M44170A(256K×16)の3機種を開発した。×16構成ではバイト/ワードコントロール機能を持たせるとともにリフレッシュの選別を可能とした。2層アルミ配線プロセス及び0.7 μm プロセスを採用するとともに一部回路の見直しにより、高品質を保つとともに低消費電力版の安定生産を可能としている。

### 低消費電力 4M ビット CMOS スタティック RAM

藤田維明・塘 一仁・須賀原和之・福本晃二・浮田 求

三菱電機技報 Vol. 66 · No. 2 · P 41 ~ 45

0.5 μm デザインルールと4ポリ2アルミプロセスを用いた512K語×8ビット構成の4MビットCMOS SRAMを開発した。低スタンバイ電流を実現するために、メモリセルを従来の高抵抗負荷型セルに替えて薄膜トランジスタ負荷型セルを用い、スタンバイ電流1 μA(電源電圧3V)以下を得ている。また、メモリセルアレーの64分割を始めとする低電力化技術により、動作時消費電流30mA(最悪条件)を実現している。

### 超高速256K ビット BiCMOS SRAM

塩見 徹・大林茂樹・本田裕己・石垣佳之・桃澤正哉

三菱電機技報 Vol. 66 · No. 2 · P 46 ~ 50

0.6 μm デザインルールと5ポリ2アルミBiCMOSプロセスを用いた32K語×8ビット構成の256KビットTTL入出力のSRAMを開発した。超高速アクセスタイムを実現するために、ピン配置をデュアルセンターパワーピンとし、チップサイズを4.0mm×8.8mmと従来より約35%縮小し、BiCMOS回路、プロセス技術を駆使して、アクセスタイム8nsを得ている。また、動作時消費電流は約170mAに抑えている。

### 高速ページモード16M ビットマスク ROM

牧原浩泰・香田憲次・外山 肇・山内直樹

三菱電機技報 Vol. 66 · No. 2 · P 51 ~ 54

高速70nsのページモード付き16MビットマスクROMを開発した。ページモードは、8ワード又は16バイトの高速連続読出しを実現している。また、低消費電力化のためにATD(Address Transition Detection)信号で制御するラッチ型センサアンプを採用しており、高歩留り・高信頼性をECC回路を用いて実現している。

# Abstracts

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 30~34 (1992)

## A 16Mbit DRAM Device

by Kazutami Arimoto, Hideto Hidaka, Kazutoshi Hirayama, Wataru Wakamiya & Masahiko Nozaki

A first-generation 16Mbit DRAM device has been developed. The chip size is 130.9mm<sup>2</sup> and the device incorporates an internal voltage-dropping converter that improves reliability. Double-level aluminum wiring and high-performance transistors realize an RAS access time of 60ns at 4.5V and 80°C. Soft error problems in the 0.5μm geometry have been overcome by employing buried p+ layers and a tungsten plug process. Productivity has been improved by the development of suitable test methods and a redundancy scheme.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 35~40 (1992)

## 4Mbit Byte- and Word-Wide DRAM Devices

by Koichi Nagase, Hideki Genjo & Hideharu Toyomoto

The corporation has developed three new memory devices with × 8 and × 16 configurations based on its second-generation 4Mbit DRAM. M5M44800A is a 512k × 8bit configuration, and M5M44260A and M5M44170A are 256k × 16bit configurations. A byte/word control function and capability to select a refresh mode have been implemented in the 16-bit devices. The use of 0.7μm geometry and double-layer Al metalization, combined with a redesign of some circuit sections, has yielded low-power devices with stable production characteristics.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 41~45 (1992)

## A 4Mbit CMOS Static RAM Device

by Koreaki Fujita, Kazuhito Tsutsumi, Kazuyuki Sugawara, Koji Fukumoto & Motomu Ukita

A 512k × 8bit, 4Mbit CMOS SRAM device has been developed using a 0.5μm design rule, four polysilicon layers and two Al layers. The standby current has been reduced to less than 1μA under a 3V supply by employing a thin-film transistor load memory cell instead of the conventional high-resistance load type. The active current has also been reduced to 30mA by dividing the memory cell array into 64 blocks and applying other power-saving techniques.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 46~50 (1992)

## An Ultrahigh Speed 256kbit Bi-CMOS SRAM Device

by Toru Shioiri, Shigeki Ohbayashi, Hiroki Honda, Yoshiyuki Ishigaki & Masaya Kabasawa

A 256kbit SRAM device with a 32k × 8bit configuration, TTL-level I/O and an 8ns access time has been developed using a Bi-CMOS process with a 0.6μm design rule, quintuple polysilicon layers and double Al layers. The high speed has been achieved by employing a pinout with dual centered power pins, a 4.0 × 8.8mm chip size 35% smaller than previous devices, Bi-CMOS circuits, and optimized process technology. The active current consumption has been held to approximately 170mA.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 51~54 (1992)

## A Fast Page-Mode 16Mbit Mask ROM Device

by Hiroyasu Makihara, Kenji Koda, Tsuyoshi Toyama & Naoki Yamauchi

A 16Mbit mask ROM device with a 70ns page-mode access has been developed. The page mode realizes high-speed readout of eight words or 16 bytes. A latch-type sense amplifier controlled by the address transition detector (ATD) signal reduces power dissipation while an error checking and correction (ECC) circuit raises the device yield and reliability.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 2~8 (1992)

## The Current State and Trends in Memory and Microcomputer Technology

by Shoji Hirabayashi

The article discusses the current state and trends in two key semiconductor devices—memory chips and microcomputers—examining both devices and basic technologies. Market needs and product trends are identified. This article also provides an overall introduction to the articles in this issue.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 9~14 (1992)

## Technologies for 64Mbit DRAM Devices

by Hiroshi Miyamoto, Yoshikazu Morooka, Hideaki Arima & Atsushi Hachisuka

Technologies to implement high-density, high-performance 64Mbit DRAM devices have been developed. The storage node has been sandwiched between dual cell plates to increase the memory cell capacitance. A merged match-line test architecture has been developed that reduces the access time while shortening the device testing period by a factor of 16,000. A cascaded redundancy scheme compatible with the testing architecture has also been developed. Prototype devices have demonstrated access times of 45ns.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 15~19 (1992)

## 16Mbit Flash Memory Device Technology

by Yasushi Terada, Natsuo Ajika, Takeshi Nakayama, Shin'ichi Kobayashi & Yoshikazu Miyawaki

A 16Mbit flash memory device manufactured by a 0.6μm CMOS process is described. The memory cell structure is almost identical to that of UV-EPROM devices. An over-erasing problem that occurs during erasure when the excessive release of electrons from the floating gate causes the threshold voltage to go negative has been suppressed. The sequence controller is built-in, so that write and erase processes can be performed simply by applying the appropriate command input. Onboard rewriting is also possible. The article reports on this device and also introduces the device and circuit technologies used in its implementation.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 20~23 (1992)

## A Self-Learning Neural Network Chip

by Yutaka Arima, Mitsuhiro Murasaki, Tsuyoshi Yamada & Atsushi Maeda

An integrated circuit that implements self-methodical (self-learning) functions of neural networks has been developed. The use of a mixed-signal approach has realized a single synapse circuit on a 70μm square. This technique has been used to integrate 28,224 synapses and 336 neurons in a single device. The device also incorporates a branch-neuron-unit architecture that allows several devices to be linked together to increase the network scale without loss of speed.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 24~29 (1992)

## A Data-Driven Microprocessor for Large-Scale Parallel Processing

by Shinji Komori, Toshiyuki Tamura, Fumiyasu Asai, Hisakazu Sato & Hidehiro Takata

A 50MFLPS data-driven microprocessor has been developed. The device consists of 700,000 transistors integrated on a single chip using a 0.8μm, double-level metal, double-level polysilicon CMOS process. The dynamic data-driven architecture is supplemented by vector processing and multiprocessor parallel-processing support functions that make the device suitable for large-scale parallel applications.

## アブストラクト

<p><b>高速高密度メモリモジュール シリーズ</b> 田原次夫・福元孝和・宮武秀司 三菱電機技報 Vol. 66・No. 2・P 55~60</p> <p>メモリ LSI の表面実装パッケージを搭載したメモリモジュールは各種のメリットのため、急速に用途と需要が拡大するとともに、多様で多品種な製品へと展開している。当社のメモリモジュールの製品コンセプト、新開発のメモリモジュールを紹介し、高性能化設計を目的とした CAD による伝送線路シミュレーションの具体例を紹介する。</p>	<p><b>8ビット マイクロコンピュータ “38000シリーズ”</b> 竹内 稔・阿部 稔・林 良紀・石丸善行・武部秀治 三菱電機技報 Vol. 66・No. 2・P 91~98</p> <p>8ビットマイコン MELPS 740の最上位の38000シリーズを開発した。740シリーズの後継に位置付けられ、幅広い機能別ラインアップと豊富なメモリサイズバリエーションを特長とする。開発に当たって開発効率の向上を徹底追求し、設計環境の完全EWS化、標準化設計手法の導入、標準機能ブロックライブラリの構築を行った。さらに、マスクROM版とEPROM版の同時設計技術を開発した。また、高機能な新エミュレータ PC4600を開発した。</p>
<p><b>GMICRO M32ファミリー及びソフトウェア</b> 小山和美・日向純一・坂本直史・有園武志・亀井達也 三菱電機技報 Vol. 66・No. 2・P 61~69</p> <p>トロン仕様準拠32ビットマイクロプロセッサ M32ファミリー及び開発ツールやリアルタイムOSを開発・製品化した。M32／100は5段のパイプラインや先行ジャンプ機構の採用やCコンパイラの改善により、8MIPS(20MHz動作時)を実現した。本稿では、M32ファミリーの特長と開発ツール体系などのソフトウェアについて紹介するとともに、上位マイクロプロセッサ及びリアルタイムOSの展開について報告する。</p>	<p><b>ワンチップ マイクロコンピュータの応用技術とソフトウェア</b> 山田国裕・川原林 隆・松井秀夫・藤沢行雄・浅野真弘・玉木浩子 三菱電機技報 Vol. 66・No. 2・P 99~105</p> <p>ワンチップマイコンの応用製品は多くの分野にわたり、その機能向上は仕様の変更や機能の拡大に柔軟に対処できる利点から、ソフトウェアで実現される。小型化や原価低減のために専用周辺回路を含めた統合化されたワンチップマイコンが開発される。また、このようなソフトウェアは複雑化しており、これを開発するためにワンチップマイコン用に特化した構造化アセンブリ、簡易リアルタイムモニタを開発した。</p>
<p><b>GMICRO M32／100のページプリンタへの応用</b> 山内直樹・大橋伸一郎・中嶋純子・的場成浩・松山景洋 三菱電機技報 Vol. 66・No. 2・P 70~74</p> <p>パソコンの周辺機器として普及してきているページプリンタにおいて、印字品質の向上や文字生成速度の向上が求められている。一方でセットの小型化や性能対価格比の改善が必要となっている。今回、GMICRO M32／100マイクロプロセッサの特長である専用命令を活用し、また高速演算ソフトウェアパッケージの開発も行って、ページプリンタへの応用を実現し得る試作プリンタを開発した。</p>	<p><b>超高集積 DRAM 用キャバシタ誘電体膜形成技術</b> 小林清輝・中野 豊・福本晃二・林出吉生・奥平智仁 三菱電機技報 Vol. 66・No. 2・P 106~110</p> <p>DRAM キャバシタへの応用に関する誘電体膜と電極の形成技術についての動向を述べた。現在実用化されている SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層膜の薄膜化に対しては、自然酸化膜を薄膜化した SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層構造を用いることが重要である。キャバシタ表面積拡大の手法として粗面化電極形成技術が有効である。次世代の DRAM 用の高誘電率キャバシタ材料として、強誘電体薄膜は SiO<sub>2</sub>に比べて 2~3 けた高い誘電率を持ち、大きな可能性を持っていることを示した。</p>
<p><b>VTRソフトウェアサーボ用16ビットマイクロコンピュータ</b> 林 和夫・尚永幸久・武部秀治・山田国裕・元吉啓登・鈴木次男 三菱電機技報 Vol. 66・No. 2・P 75~83</p> <p>VTR用ソフトウェアサーボマイコンとしては初めて16ビットCPUを搭載したM37770M4AXX×HPを開発した。VTRマイコンシステムにおけるマイコン統合化、ソフトウェアサーボ化の流れの中で、ソフトウェア負荷、システムコストアップの2点が大きな課題であった。このマイコンでは、CPUの16ビット化、周辺CTLアンプの内蔵、ソフトウェア開発手法の確立によって上記課題を解決し“統合化サーボマイコン”を実現した。</p>	<p><b>位相シフトリソグラフィ技術</b> 吉岡信行・宮崎順二・楠瀬治彦・青山 哲・Maaiice Op de Beeck 三菱電機技報 Vol. 66・No. 2・P 111~115</p> <p>光の位相を制御するシフターパターンを設けたフォトマスクを用いる位相シフト露光法は、フォトリソグラフィの解像力を向上させ64M、256M DRAM の製造技術として期待されている。この論文は、当社で進めているふっ素系ポリマー及び SiO<sub>2</sub>膜をシフター材料に用いる位相シフトマスクの開発、ポジレジストに対応した i 線位相シフト露光法の開発、KrF エキシマ光源に対応した位相シフト露光法の開発について紹介する。</p>
<p><b>SCSI専用コントローラ</b> 堀 俊彦・須田眞二・小林 洋・遠藤茂行・川嶋健司 三菱電機技報 Vol. 66・No. 2・P 84~90</p> <p>パソコンコンピュータ等と入出力機器との標準インターフェースの一つである SCSI (Small Computer System Interface) を持つ SCSI 専用コントローラを16ビットMCU、MELPS 7700シリーズの一貫として開発した。プロトコル処理等条件判断を必要とするところは MCU 部が行い、高速処理を必要とする箇所を専用回路部が行うことで SCSI 機能を実現することにより、高性能で柔軟性のあるシステム構築が可能となった。</p>	<p><b>先端デバイス開発における信頼性評価解析技術</b> 三橋順一・小守純子・石井達也 三菱電機技報 Vol. 66・No. 2・P 116~120</p> <p>LSIデバイス開発において、信頼性を製品に作り込むいわゆる Building-in Reliability の重要度は微細化・高集積化が進むにつれて高まっている。ウェーハレベル TEG 評価技術を駆使し、設計及び要素プロセスの信頼性を高精度かつ短期間に評価し、データをフィードバックする。一方、複雑化するデバイスに対応して、故障解析技術の高度化も不可欠であり、FIB 解析及び発光解析や OBCC 解析による故障箇所の同定技術等を開発実用化している。</p>

# Abstracts

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 91~98 (1992)

## 38000 Series Single-Chip 8-bit Microcomputers

by Minoru Takeuchi, Minoru Abe, Yoshinori Hayashi, Yoshiyuki Ishimaru & Shuji Takebe

The corporation has developed a new 8-bit microcontroller as a successor to the MELPS 740 8-bit microcontroller family. The 38000 Series offers a wide variety of function and memory-size options. A workstation-based development environment with standardized design methodology and functional block libraries support a rapid MCU design. A new wafer processing technology makes it possible to implement either mask ROM or EPROM devices using the same pattern layout. A new high-performance emulator, the PC4600, has also been developed.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 55~60 (1992)

## High-Speed, High-Density Memory Module Series

by Tsugio Tabaru, Takakazu Fukumoto & Hideshi Miyatake

Memory modules manufactured using surface-mounted memory devices offer superior reliability over the COB types. Applications and demand for them have increased rapidly, and many types of modules have been developed. The article introduces the concepts of Mitsubishi Electric's module product line and recent products. It also describes the use of data line CAD simulation to boost module performance.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 99~105 (1992)

## Trends in Software Technology for Single-Chip Microcomputers

by Kunihiro Yamada, Takashi Kawarabayashi, Hideo Matsui, Yukio Fujisawa, Masahiro Asano & Hiroko Tamaki

Single-chip microprocessors are being used in many fields. Many functions are generally implemented in software to facilitate upgrading and modifications. Considerations of cost and size have led to the inclusion of specialized peripheral circuits on chips, bringing about the development of integrated single-chip microcomputer products. Specially structured assemblers and simple real-time monitors have been developed to handle the more complex software development requirements of these chips.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 61~69 (1992)

## GMICRO M32-Family Microprocessors and Software

by Kazumi Koyama, Jun'ichi Hinata, Tadashi Sakamoto, Takeshi Arizono & Tatsuya Kamei

The corporation has developed commercial M32-family 32-bit microprocessors that comply with the TRON architecture, and development tools and a real-time operating system that take advantage of the microprocessors' capabilities. The M32/100 employs a five-stage pipeline, a prejump mechanism, and improved C compiler to realize 8MIPS performance at 20MHz. The article reports on the development of this high-performance microprocessor and real-time operating system, and introduces the features of the M32 family and its development tools.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 106~110 (1992)

## Advanced Technologies for the Capacitor Dielectrics of High-Density DRAM Devices

by Kiyoteru Kobayashi, Yutaka Nakano, Koji Fukumoto, Yoshio Hayashide & Tomohito Okudaira

The article reports on trends in technologies for forming the capacitor dielectric layer and electrodes for high-density DRAM memory cells. Current work on  $\text{SiO}_2\text{-Si}_3\text{N}_4$  stacked films is focused on the thinning of the native layer. The fabrication of a rough-textured polysilicon electrode improved strength and has proven to be an effective way to increase storage capacitance. Ferroelectric films have dielectric constants two to three orders of magnitude higher than  $\text{SiO}_2$ , offering substantial capacitance improvements for the next generation of DRAM devices.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 70~74 (1992)

## Page Printer Application of the GMICRO M32/100 Microprocessor

by Naoki Yamauchi, Shin'ichiro Ohashi, Junko Nakajima, Narihiro Matoba & Akihiro Matsuyama

Market demand for page printers with better printing quality and faster character generation is accompanied by pressures for compact dimensions and cost-effective design. The corporation has developed a prototype page printer based on the GMICRO M32/100 microprocessor and a new software package making it possible to exploit the microprocessor's variable-length bit field. The design is suitable for commercial implementation.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 111~115 (1992)

## Photolithography with a Phase-Shifting Mask

by Nobuyuki Yoshioka, Junji Miyazaki, Haruhiko Kusunose, Satoshi Aoyama & Maaika Op de Beeck

The phase-shift mask technique is an advanced lithographic technique in which the phase-shifting masks are utilized to improve the resolution and focus latitude of small resist features. It is a promising method to achieve the high resolution required to produce 64Mbit and 256Mbit DRAM devices. The article reports on the corporation's development work in this area, including phase-shift masks fabricated using fluoro-polymer and  $\text{SiO}_2$  films as shifter materials, in-line phase-shift exposure methods for positive resists, and phase-shift exposure methods with KrF excimer laser light sources.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 75~83 (1992)

## A 16-Bit Microcomputer for Software-Implemented VCR Servos

by Kazuo Hayashi, Yukihisa Naoe, Hideharu Takebe, Kunihiro Yamada, Yoshinori Motoyoshi & Tsugio Suzuki

Mitsubishi Electric has developed a VCR controller chip with a 16-bit microcomputer. The M37770M4A  $\times \times \times$  HP has sufficient processing capability to implement servo-control functions when using software and to integrate general-purpose control functions without excessive loading. A built-in peripheral control track (CTL) amplifier and software development tools help to lower development and implementation costs.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 116~120 (1992)

## Reliability Evaluation Technologies for Developing Advanced LSI Devices

by Jun'ichi Mitsuhashi, Junko Komori & Tatsuya Ishii

Reliability evaluation plays a key role in developing new LSI devices. High inherent reliability results from use of test element group (TEG) chips from the first stages of circuit development and thorough reliability evaluation during various stages of process development. Implementing such processes requires a variety of TEG patterns, high-sensitivity reliability evaluation technology, and fault analysis technology. These combined technologies allow the realization of built-in reliability in advanced LSI devices.

Mitsubishi Denki Gihō: Vol. 66, No. 2, pp. 84~90 (1992)

## An Intelligent SCSI Protocol Controller

by Toshihiko Hori, Shinji Suda, Hiroshi Kobayashi, Shigeyuki Endo & Kenji Kawashima

The corporation has developed a small computer systems interface (SCSI) controller LSIC based on the MELPS 7700 family of 16-bit microcontrollers. The microcontroller performs general protocol processing and makes control decisions while dedicated high-speed circuits implement specialized SCSI functions. This design achieves flexibility and high-performance. SCSI is one of the I/O interface standards for personal computers and workstations.

## アブストラクト

### 0.5mm厚 TAB パッケージとその応用

寺岡康宏・島本晴夫・立川 透・竹村誠次・上田哲也・御祓如 英也  
三菱電機技報 Vol. 66・No. 2・P 121~125

電子機器の小型化・多機能化とともに半導体パッケージの小型化が要求される。この要求にこたえて、厚さ0.5mmの超薄型パッケージをTAB (Tape Automated Bonding) 技術とトランスマルチ樹脂封止技術を用いることによって開発した。これによって信頼性面では、現在普及しているTSOP (Thin Small Outline Package) と同等レベルであることを確認した。また、従来の表面実装技術が適用可能なため、このパッケージを用いた薄型ICメモリカードへの展開が可能となった。

### ユーザーニーズにこたえる販売・生産統合情報ネットワーク

奥野治臣・続木捷雄・山本武夫  
三菱電機技報 Vol. 66・No. 2・P 126~130

半導体事業では、マイコン、セミカスタムIC等のカスタム製品を中心に客先仕様に応じた物作りができる体制を築くために販売生産部門の情報を一元化し、販売生産活動のキーとなる“生販情報の統合システム”を半導体CIM (Computer Integrated Manufacturing) システムの一部として、現在構築を進めている。販売情報システム、生産管理システム、物流情報システムに関し、受注から生産・出荷・納品にわたる体制作りとしてその概要を紹介する。

### 最先端工場における生産システム

山崎雅敏・青木利明・御堂洋一  
三菱電機技報 Vol. 66・No. 2・P 131~136

最先端メモリの製造拠点である当社西条工場A棟ウェーハラインに、多品種変量生産に対応できるフレキシブルな生産システムを導入した。このシステムは、製品や材料搬送のフレキシビリティの向上はもとより、FAコンピュータとEWS・パソコンをネットワークで結ぶことにより、生産管理・品質管理・設備管理にかかる情報の統合化と情報処理の高機能化を実現した。

# Abstracts

Mitsubishi Denki Giho: Vol. 66, No. 2, pp. 121~125 (1992)

## A 0.5mm-Thick TAB Package and Its Applications

by Yasuhiro Teraoka, Haruo Shimamoto, Toru Tachikawa, Seiji Takemura, Tetsuya Ueda & Hideya Yagoura

An extremely thin 0.5mm package has been developed by use of tape automated bonding (TAB) and transfer molding technologies. The package reliability has been investigated and found to be nearly equal to current thin small-outline packages (TSOPs). The new package supports conventional surface-mounting techniques, making it suitable for implementing thin IC memory cards.

Mitsubishi Denki Giho: Vol. 66, No. 2, pp. 126~130 (1992)

## An Integrated Production and Sales Information Network that Satisfies User Needs

by Haruo Mi Okuno, Hayao Tsuzuki & Takeo Yamamoto

The corporation is setting up an integrated production and sales information system as part of a computer integrated manufacturing (CIM) system for production of embedded microcontrollers and semicustom ICs. This information system will enable the CIM system to produce devices on the basis of user's requested specifications. The article describes the organization of the information system, from ordering to delivery. It covers the sales information systems, production control system, and distribution system.

Mitsubishi Denki Giho: Vol. 66, No. 2, pp. 131~136 (1992)

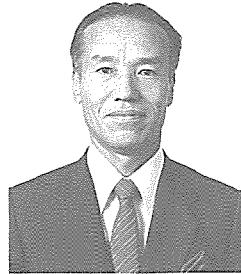
## Production Systems for Advanced Semiconductor Fabrication Lines

by Masatoshi Yamazaki, Toshiaki Aoki & Yoichi Mido

Factory automation (FA) technologies have been introduced in the wafer line at Mitsubishi Electric Saitama Works Building A to support multivariant, variable-lot production in the corporation's most advanced memory device production facility. Information storage and processing support for the line has been implemented by networks of FA computers and engineering workstations (EWS), and FA computers and personal computers, enabling more sophisticated data processing and a unified data-management strategy. The new technology has brought benefits in terms of production control, quality control, and facility management as well as enhanced flexibility in terms of products and materials transport.

## 卷頭言

三菱電機株式会社  
代表取締役副社長  
電子デバイス事業本部長 北岡 隆



半導体業界は、ここ20年間その技術進歩と応用範囲の拡大によって飛躍的に成長してきたが、最近では質的变化が求められる時期にさしかかっている。例えば、コンピュータ分野のワークステーションやパソコンではLSIの高性能化・高集積化・低消費電力化の進展がダウンサイ징と呼ばれる市場変化の一要因となっている。AV分野では多くのシステムLSIが使用されることによってデジタル化が進展し、これによって高品位、高画質が実現され、新たな需要を喚起している。

このように今後は半導体の量的拡大にとどまらず、最先端半導体技術による新たな性能・機能の実現と、それによる市場の拡大が必要となっている。また、これらの分野ではハードウェアよりソフトウェアが市場のかぎ(鍵)をにぎるようになってきているのも注目すべきことであり、半導体分野においてもデバイス開発は当然のことながら、ソフトウェアに関連するシステムLSIの開発が重要となってくる。

これらの変化に対応するための基盤技術として、デバイス技術ではCAEによるシステムオンチップの設計技術やサブミクロン、ハーフミクロンの微細加工技術の進展や、それを支える超クリーン環境や高度な生産システムの実現が必要であり、また、これらの諸技術を統合化させるための横断的な活動も欠かすことのできない重要な項目である。

本特集号のメモリ及びマイクロコンピュータは当社半導体における最重点製品であり、今後とも開発・生産の両面において力を入れて伸ばしていく分野である。

メモリはこれからもLSIのリーディングデバイスとして微細化へのけん(牽)引的役割を果たしていく。当社では大容量・高集積化とあわせて多ビット化・高速化・低電圧化などの展開や応用指向型メモリの開発も積極的に行っていく。マイクロコンピュータでは多くの応用分野でシステムの高度化とそぞ野の広がりが更に進む。16ビット、32ビットといった高性能・高機能製品の開発とあわせ、用途別製品開発とソフトウェア技術の開発を強力に進めていく。将来技術としてデータ駆動型プロセッサやニューロチップの開発も推進していく。

一方、生産面においても西条工場の新棟完成による最先端メモリの生産、各工場におけるフレキシブル生産方式の拡充、ドイツ工場での生産などにより、一層の能力向上と納期・品質等の質的向上を図っていく。

上述したように、今後応用システムにおけるニーズと半導体技術におけるシーズの融合はますます重要であり、また、双方にとって多面的なアプローチが必要な時代である。当社では総合電機メーカーの特長を生かしながら半導体の総合力をこれからも高めていく所存である。

ユーザーの皆様方の暖かい御支援をお願いしたい。

# メモリ・マイクロコンピュータの現状と動向

平林庄司\*

## 1. まえがき

IC が産業の米と言われるようになって久しい。なかでも電子機器の頭脳を形成するマイクロコンピュータ（以下“マイコン”という。）とメモリの重要性は極めて大きいものである。メモリは常に高集積化の先頭に立ち、テクノロジードライバとしての役割を果たすと同時にその巨大市場の存在から、ビジネスドライバとしても半導体産業を牽引してきた。一方、電子機器ではハードと並んでソフトが重要な要素として浮かびあがっているが、このソフトをハードのなかに取り込み、一種の文化を形成しているのがマイコンである。ハードの代表のメモリとソフトを伴うマイコン、この二つが車の両輪として半導体産業を引っ張っていると言っても過言ではないであろう。この特集号ではこの両者を取り上げているが、ここでは両者の全体的な動向を述べる。

## 2. メモリの動向

メモリはコンピュータの必ず（須）部品として、コンピュータの発展を支える形で、飛躍的な成長・発展を遂げてきた。メモリの代表的応用であるコンピュータのメインメモリの例をとると、図1のように、メモリ容量は指数関数的に増大している。これを、技術的・経済的に実現させているのが、メモリの高集積化技術である。図2に示すように、代表的メモリであるDRAMでは、過去20年間、3年で4倍のペースで高集積化を実現してきている。現在市場では4MビットDRAMが主流になりつつあるが、研究所段階では、既に64MビットDRAMが精力的に研究され、256Mの実現も確実視されるようになるなど、まだこのペースは続くと見られる。

ビジネス的にもメモリはシリコンサイクリの影響を受けながらも順調に成長することが見込まれている。図3に示すように、年15%程度の成長率で今後も推移し、半導体産業の浮沈をかけたデバイスとなっている。

### 2.1 多様なメモリ

ユーザーから見れば、理想のメモリというのは、自由に読み書きができる、

一度書き込めば決して消えず、それも高速に読み書きができる、しかも大容量かつ安価なものがよいということになるが、残念ながら現実にはそういうものはいまだ存在せず、DRAM以外にも多様なメモリがその特長を生かす分野で使い分けがなされている。図4には、コンピュータでのメモリの階層構成を示す。

半導体RAMの最大欠点である揮発性を補うため、膨大なデータを蓄える外部メモリにはディスクや磁気テープが使われる。しかし、この応用にもスピードのギャップを埋めるために、ディスクキャッシュとしてDRAMやSRAMが一部併用されている。また、半導体メモリの大容量化により、磁気ディスクそのものをDRAM・SRAMで置き換えるよういう動きもある。さらに、この分野の将来動向としては、新しい書き込み・記憶原理によるフラッシュメモリやFRAM(Ferroelectric Nonvolatile RAM)に熱い視線が注がれ、新しい応用が広がるものと期待される。

メインメモリとしては主にDRAMが用いられているが、低消費電力化・電池バックアップ化のために一部のシステムではSRAMが使用されている。特に、携帯小型機器にはなくてはならない存在であり、電子機器のパーソナル化の一役を担っている。

半導体RAMの中でも高速SRAMは、DRAMでは実現で

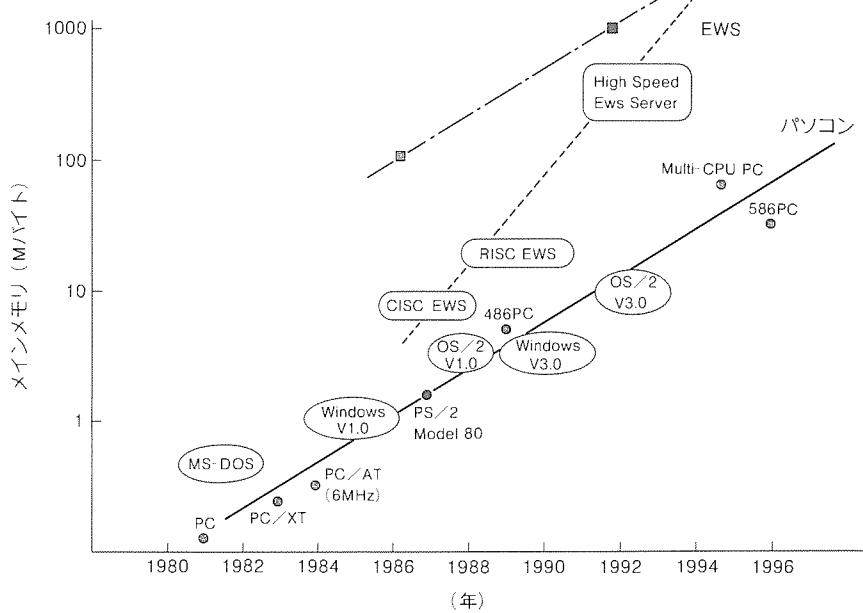


図1. コンピュータのメモリ動向

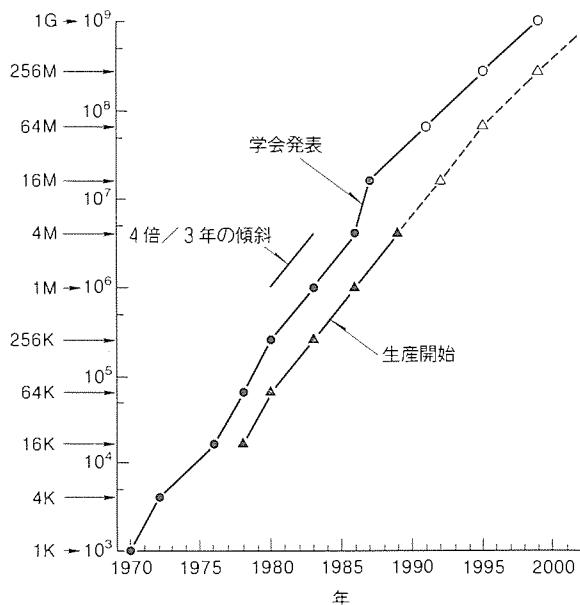


図2. DRAMの歴史

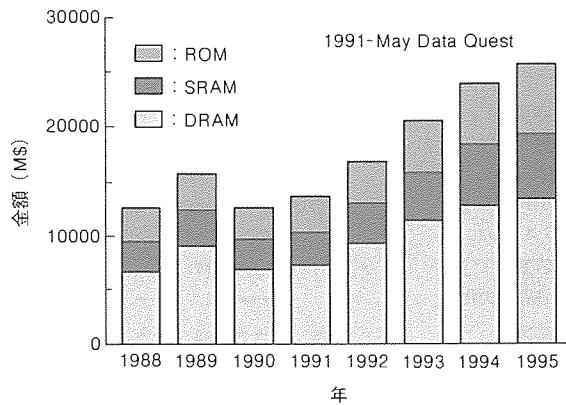


図3. メモリの需要予測

きない高速性を持っているため、キャッシュとしてメモリ階層の内側に置き、アクセス頻度の高いデータや近い将来アクセスされる可能性の高いデータを格納しておく。近年のコンピュータの飛躍的な高速化を支えたデバイスであり、ますます重要性が増している。

また、書換えを必要としない用途には、マスク ROM が広く用いられており、大容量化とともに新しい応用が広がっている。

## 2.2 DRAMの動向

ひたすら大容量化を目指してきたDRAMも、大容量化と同時に多様化が進み始めている。これは、1チップの規模が大きくなり、もはや多数個のDRAMを必要としない小型システムが出現し始めたことや、システムの性能を最大にあげるために特殊機能を盛り込み始めたことによる。いわば、システムオンチップの方向へDRAMも進みだしたといえよう。具体的には、当社ではパソコン用の×8, ×16等の多ビット品、電池駆動機器用の低電圧・低消費電力品、画像専用メモリ、さらにはキャッシュを内蔵したCDRAM等を開発し

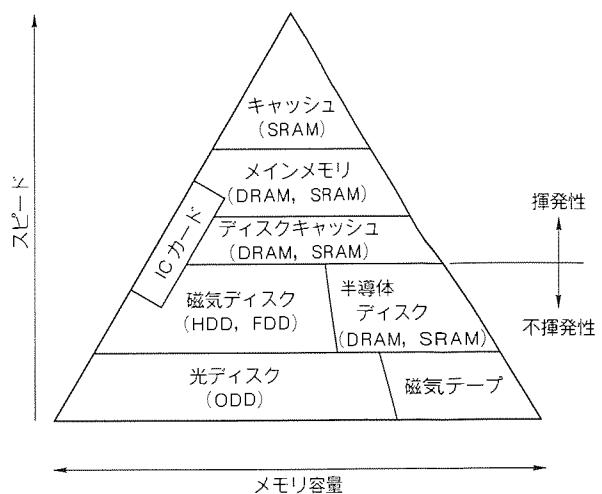


図4. コンピュータにおけるメモリ階層

ている。64Mを筆頭とする高集積化技術をベースに将来も更に多様化を進める予定である。

## 2.3 SRAMの動向

低消費電力(中速)SRAMでも高集積化の動きは激しく、16M DRAMと同等の技術を使用して、4M SRAMを開発した。SRAMの持ち味である低スタンバイ電流に磨きをかけるため、立体構造のTFT(薄膜トランジスタ)をメモリセルに採用して超低スタンバイ電流を実現している。TFTはいわば初步の三次元素子であり、将来のLSIの一方向を示しているといえよう。

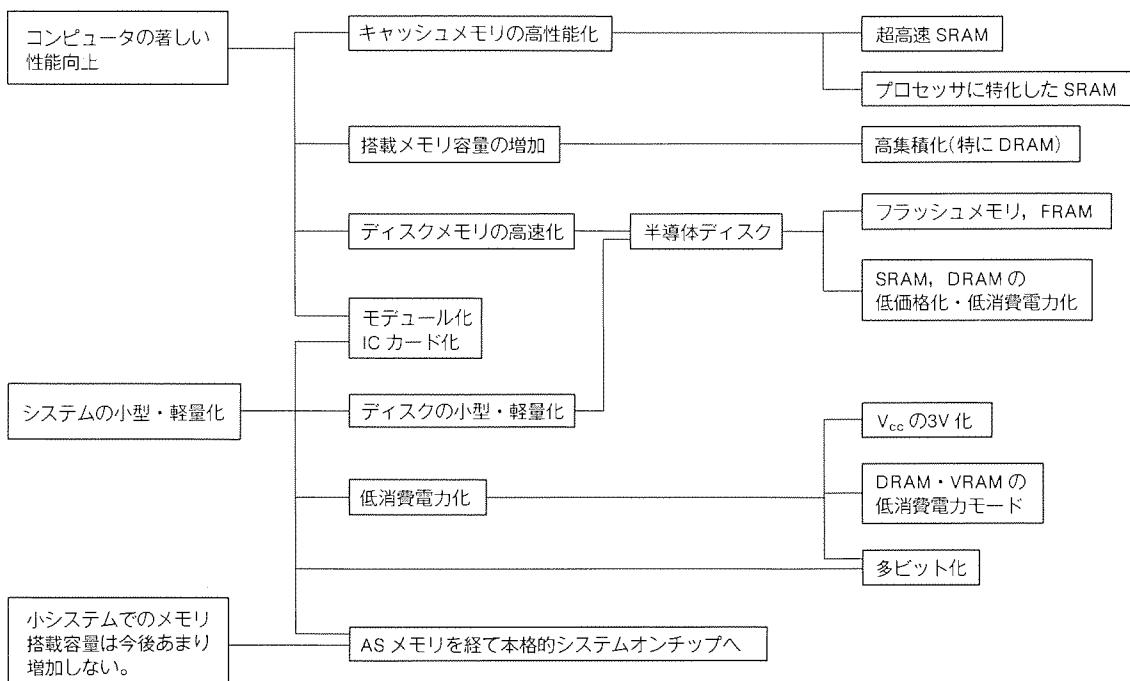
高速SRAMはCPUチップと並ぶコンピュータのキーパーツとして、ますます重要性を増している。コンピュータの高速化に対応するため、動作速度は年々向上するばかりである。当社でも、BiCMOS技術を用いて、256Kで初めて10nsの壁を破る製品を実現した。しかしながら、メモリの中ではシステム化の波は高速SRAMにまず押し寄せると考えられ、今後はシステムオンチップへのアプローチが必須になってくる。

## 2.4 ROMの動向

従来から書換えのできるROMとして、EPROMが広く使われてきたが、近年新しい概念のフラッシュメモリが現れ、EPROMを置き換えるようとしている。さらに、将来はHDD、FDDを置き換えて、DRAMに匹敵する規模の市場を形成するといわれている。当社では既に1Mビットフラッシュメモリを製品化しているが、さらにより高集積で使いやすく、完成度の高いデバイスを目指して研究を行っている。

マスクROMは、そのシンプルなメモリセル構造のため、DRAM以上の高集積度を実現できる。書換えはできないものの、その大容量性・不揮発性を生かして、フォントメモリ、辞書メモリに使われ、地味ながらなくてはならないデバイスとなっている。

以上の各種メモリの動向をまとめると、図5のようになる。



当社では、これらの要求にこたえられるように、図6に示す方向の開発を行っていく予定である。同時に、新しい動作原理のメモリの研究等、シーズの掘り下げも精力的に進めている。

### 3. マイコンの動向

マイコンは、民生機器から情報・通信機器や産業機器に至るまで幅広く使用されている。これは商品の多様化、機能の複合化、また商品の開発サイクルの短縮にソフトウェアで対応することが一層進められていることによるものと考えられる。マイコンの需要は今後とも拡大し、図7に示すように今後とも年平均15%の成長が見込まれている。このような需要の拡大は半導体技術の進展により高性能、高機能なチップが実現されていることによるものと考えられる。図8にマイコンの性能向上を示す。

#### 3.1 三菱マイコンのラインアップ

三菱マイコンのラインアップを図9に示す。当社は4ビットマイコンを1978年から量産を始め、現在はMELPS 720シリーズ、TV用マイコン、リモコン用マイコンなど多数開発、製品化している。応用製品の制御に必要な機能を内蔵するとともに、電源電圧1.1Vの低電圧動作も実現しており、主に家庭用機器への組込み用として使われている。8ビットマイコンは図10に示すように応用製品別に適合するよう制御機能を内蔵し、製品群を開発・製品化してい

<b>DRAM</b>	大容量化 多ビット化 低電圧化 低消費電力化 ASメモリ化	4M → 16M → 64M ×1, ×4 → ×8, ×9, ×16, ×18 5V → 3.3V, 3V L version Video RAM, CDRAM, シリコンファイル
<b>低消費電力 SRAM</b>	大容量化 低消費電力化	1M → 4M → 16M L → LL → UL
<b>高速 SRAM</b>	超高速化 大容量化 ASメモリ化	15ns → 8ns → 6ns 256K → 1M → 4M 標準品 → 各 MPU 用 → 本格的 ASSRAM
<b>EPROM</b>	フラッシュメモリ化	1M → 4M → 16M
<b>MASK ROM</b>	大容量化	16M → 32M → 64M

図6. 三菱メモリの開発方向

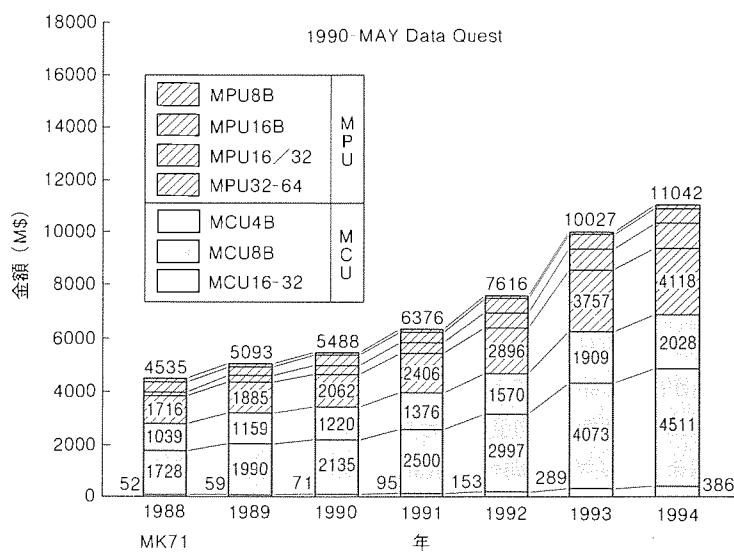


図7. 全世界マイコン需要予測

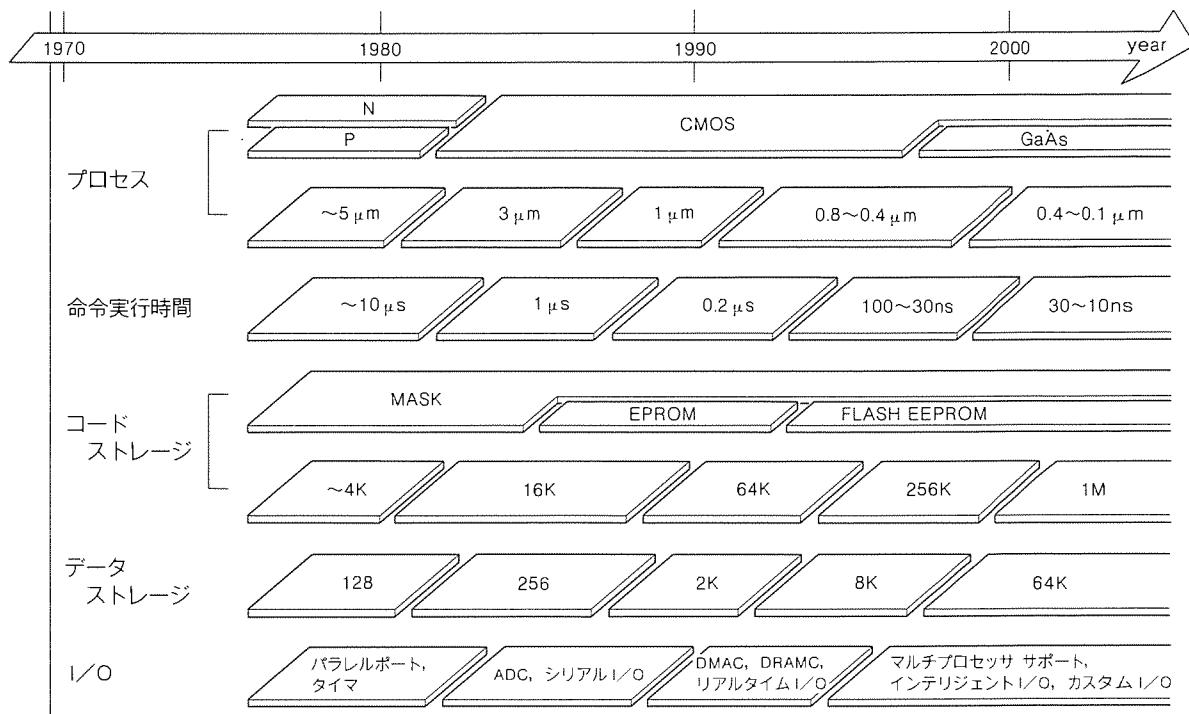


図8. マイコンの性能向上とプロセス技術の進展

る。また、内蔵メモリ容量やパッケージのバリエーションもそろえ、多様な市場ニーズに対応しており、民生機器からOA機器などに幅広く使われている。16ビットマイコンは制御用途として自動車用、コンピュータ周辺機器やFA機器などに用途が拡大しているが、家庭用機器の高機能化により採用が始まっている。32ビットマイクロプロセッサ(GMICRO)は先端の設計技術や微細加工技術を用いて開発・製品化をしている。

### 3.2 三菱ソフトウェア開発環境

言語については、4ビット・8ビットはアセンブラーが主体であるが開発効率を向上させるための構造化記述アセンブラーを製品化している。16ビットでは応用ソフトウェアの増大とともにC言語の使用が増している。32ビットではC言語にとどまらずCOBOL, FORTRANなど様々な言語が製品化されている。

複雑なリアルタイム処理を行う応用ではリアルタイムOSの利用が進んでいる。8ビット・16ビットマイコンでも内蔵ROM容量の増大や、マイコンの処理速度の向上に伴いリアルタイムOSの使用が高まっている。当社ではμITRON仕様の展開を図っている。

また、インサーキットエミュレータの高機能化・高性能化が進んでいるが、これらの開発ツールを用いてソフトウェ

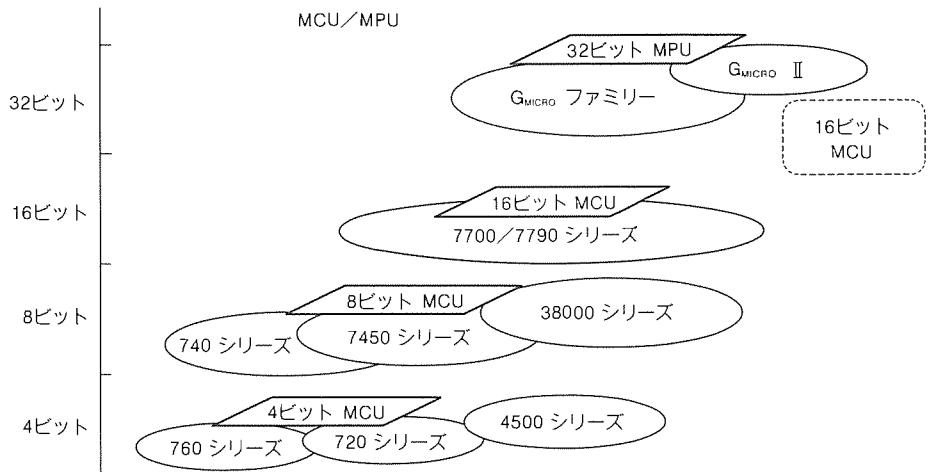


図9. 三菱マイコンのラインアップ

ア開発のスタート時からデバッグまで性能評価を統合して行える開発環境の提供が求められており、パソコンやワークステーションのうえでの統合化開発ツールの開発・製品化を進めている(図11)。

### 3.3 今後の展開

現在、主流となっているノイマン型のプロセッサの開発については、次のように開発を進めていきたいと考えている。高速化アーキテクチャとしてはスーパースカラーや多段パイプラインの実用化を一層進め、プロセスの微細化の進展により64ビット化も検討していく。汎用マイクロプロセッサの技術トレンドを図12に示す。

一方、非ノイマン型のプロセッサの開発も進めている。データ駆動型マイクロプロセッサは入力データの到着により、

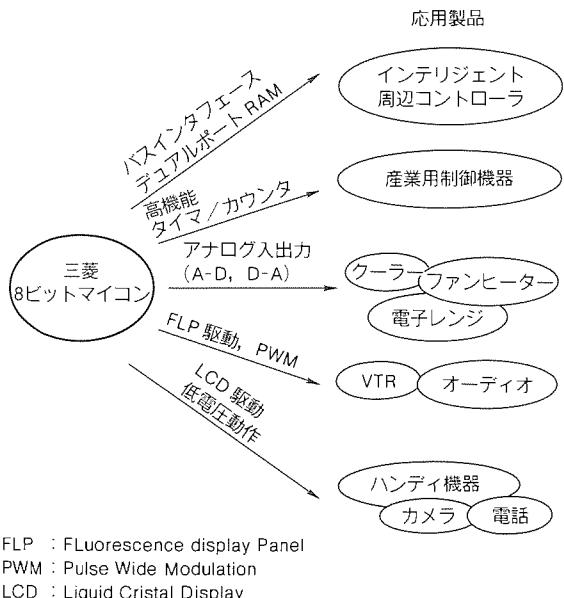


図10. 8ビットマイコン新シリーズの製品展開例

複数の処理を並列に駆動するものであるが、多段パイプライン分割で高速処理が可能であり、大規模なマルチプロセッサ構成が容易なことが特徴となる。応用として音声・画像等の信号処理や高速演算処理機能を活用した制御用途が考えられる。ファジーチップも研究開発を進めており、高速演算用としてのLSIは今後ワンチップマイコンへの組込みが検討され、カメラや自動車など高速処理が求められる用途に期待されている。ファジーチップの研究開発の開発動向を図13に示す。ニューロチップはまだ試作段階である。学習効果によって複雑な連想処理を短時間で実行できることから、知的データベース処理や認識処理に期待されている。

### 3.4 マイコンの応用

半導体技術の向上は、マイクロプロセッサ(MPU)及びワンチップマイコン(MCU)の高性能化を促し、それらの応用製品の一層の機能向上と市場の拡大に寄与してきた。

MCUにおける4ビット、8ビット、16ビットの応用製品への適応の推移を図14に示す。

民生機器、OA、産業機器ともそれぞれ高ビット化が進行している。マイコンの揺らん(籠)期では、4ビットMCUは主に民生機器に、8ビットMCUは主にOA、産業機器に使われていた。しかし、現在では8ビットMCUでは両者が混在し、16ビットMCUでは、OA、産業機器が主流であるが、VTRやエアコンなどの民生機器が、仲間入りしてきている。また、4ビットMCUでは、現在新規にマイコンを使う機器が最も多く登場するところもある。

一つのマイコン応用製品において、4ビット、8ビット、16ビットと高ビット化が進む傾向がある。それはどのような役割を果たすためか、民生機器のなかで最も早く16ビットマイコンを使おうとしているVTRとエアコンの場合について、表1に示す。この表で明らかなように4ビットMCUから8ビットMCUへの移行は、幾つかの機能追加のためであった。ところが8ビットMCUから16ビットMCUへは、VTR・エアコンとも、応用製品の基本性能を

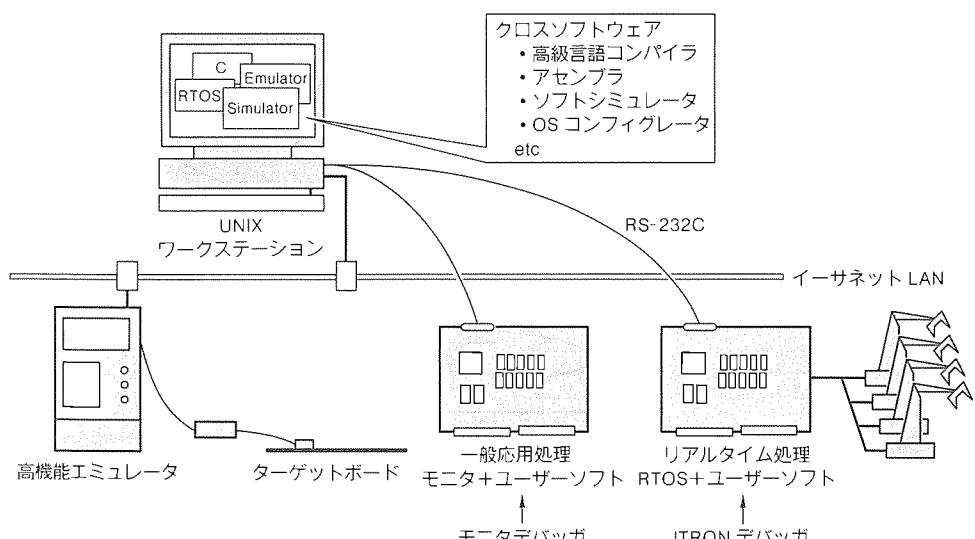


図11. 統合化開発環境

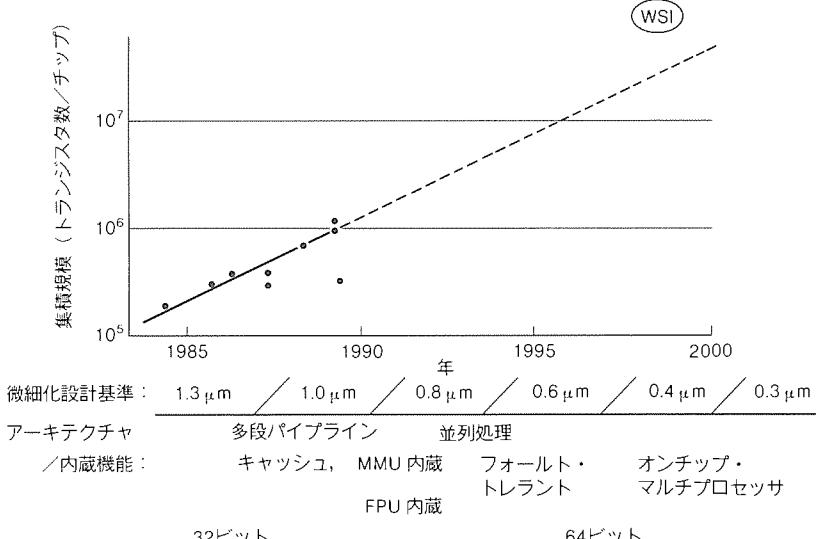


図12. 汎用マイクロプロセッサの技術トレンド

著しく向上させるモータ制御方式の大改良を目的としたのであり、この点で両者の16ビットMCUを使う目的は、偶然にも一致していた。ここでいう応用製品の基本性能向上とは、単に幾つかの機能追加をすることではない。VTRの場合、従来外付けの専用ICによるディジタルサーボでモータを制御していたが、それをマイコンに内蔵したハードウェアとブ

演算時間／推論	実現手段
10μs以下	機能を限定した専用ハードウェア
10~500μs	ファジー推論専用マイクロプロセッサ (メンバシップ関数、ファジー推論ルール数等が) (プログラム可能でファジー推論を高速実行)
300μs~100ms	ファジー演算向き命令を持たせた汎用マイクロプロセッサ
100ms以上	汎用マイクロプロセッサとソフトウェア

図13. ファジーチップの研究開発動向

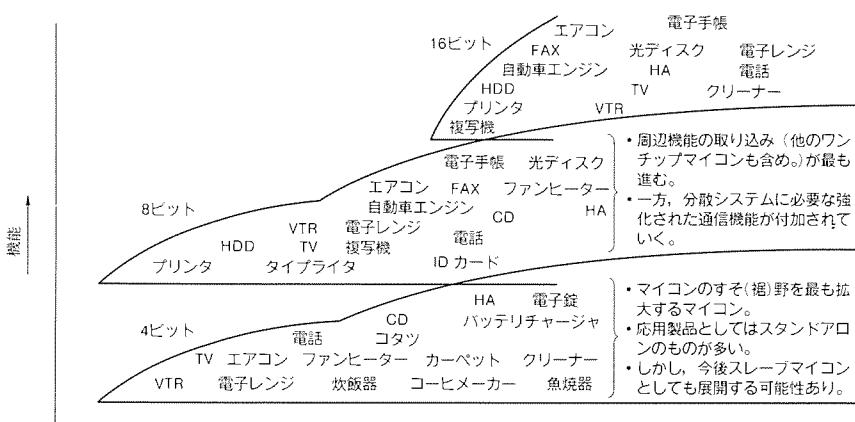


図14. MCUの各ビットごとの応用製品の展開推移

表1. マイコンの高ビット化による機能拡大性能向上例

	機能項目	4ビット PMOS	8ビット CMOS	16ビット CMOS
VTR (メカ制御 マイコン)	・メカ制御 (シーケンシャル制御)	○	○	○
	・KY入力処理	○	○	○
	・リモコン入力処理		○	○
	・特殊再生処理		○	○
	・他のマイコン、周辺LSI とのシリアルインターフェース		○	○
	・モータのソフトサーボ制御 (外付け専用ICの機能取込み)			○
エアコンディ ション (室外機 マイコン)	・コンプレッサモータ制御	○	○	○
	・室内マイコンとのインターフェース	○ ストローブ	○ シリアルインターフェース	○ シリアルインターフェース
	・ヒートポンプ処理		○	○
	・室外温度センス		○	○
	・コンプレッサモータのインバータ制御			○

ログラム(一般にソフトサーボ方式と呼ばれている)で、きめ細かい制御が可能なサーボを実現させることにより、操作性の向上を図り、また再生画像の画質改善を果たす。今後更に、モータやメカの精度のばらつきの自動調整ができるようになると、目指す一つの方向である。また、図15に示すように16ビット化したことにより、ビット幅拡大によって演算が高速化され、従来二つのマイコンと一つのLSI(サーボ)を一つのマイコンで実現することも可能にしている。

エアコンでも、16ビット化による演算の高速化により、モータのインバータ制御を実現した。このことにより、冷房及び暖房能力をリニアに可変することが可能になり、設定温度と実際に制御された温度差の時間的な振幅幅が小さくでき快適性を増すことになる。また、省エネルギーと低雑音といった特性改善もこのインバータ制御は可能にした。

OA、産業機器では、8ビットMCUから16ビットMCUへの移行が激しい。プリンタ、ファックス、HDDなどにおいては現在の半導体技術では、MCUの内に取り込めない大容量メモリを必要とするものが主流になりつつある。これらのマイコンはプログラムメモリや大規模データメモリを外付けとし、必要なRAMとDMAコントロール、DRAMコントロール、リアルタイム出力、タイマ、A/Dコンバータなどの附加機能を内蔵する。

これらの一例として、プリンタへの16ビットマイコンの応用例を図16に示す。このようなOA、産業機器用のマイコンは、16ビットマイコンへ移

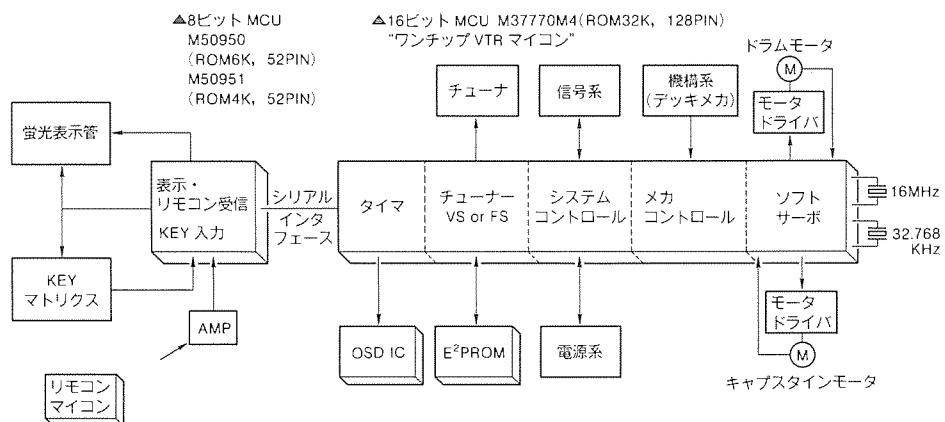


図15. VTRへの16ビットマイコン応用例

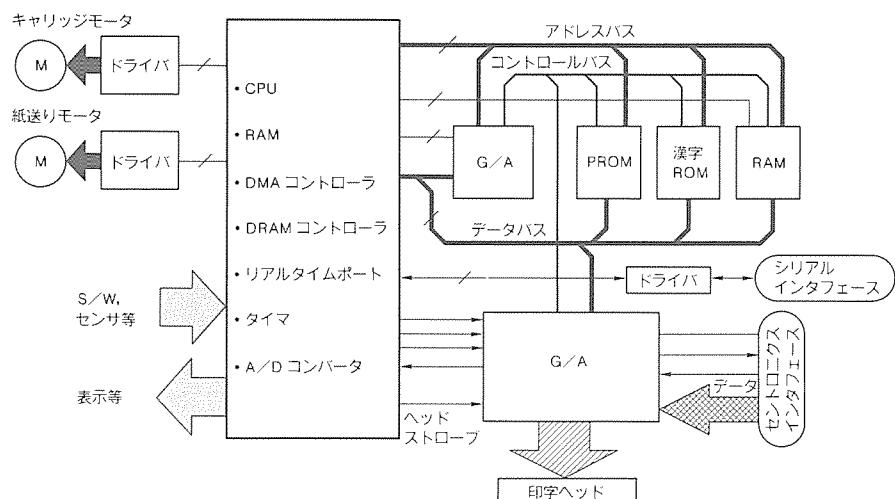


図16. 16ビットマイコン M37720S1によるシリアルプリンタへの応用例

行しプログラムメモリを外付けにした。

## 4. むすび

この特集号では、近未来のデバイス技術、新製品、要素技術に分け掲載している。

先端デバイスではメモリ関連では64M DRAMを例にとってキー技術を紹介し、それに関係する要素技術として膜形成技術やリゾグラフィ技術の近況や今後の課題について詳述した。今後急速な成長が期待されるフラッシュメモリについては開発動向と当社の取組みを紹介した。新製品の稿ではマイクロプロセッサの高速化が進むなかでメモリとの速度ギャップが顕著になっているが、当社高速SRAMの技術を紹介するとともに特殊モード付きのマスクROMの開発を紹介している。今後も応用製品の多様化が進むなかで、多ビット化や低電圧化、低消費電力化に対応した新製品を述べた。

一方、マイクロコンピュータでは今後期待される非ノイマ

ン型コンピュータである、ニューロチップやデータ駆動型プロセッサを紹介し今後の開発動向と応用動向について述べた。新製品の稿では32ビットプロセッサの製品展開やその応用技術について述べた。16ビットマイコンについて応用製品の多機能化にこたえて用途別に展開を進めている幾つかの新製品を紹介した。また、半導体事業におけるソフトウェア技術、応用技術についても記述した。

要素技術として先端デバイスの信頼性評価技術やパッケージ技術も重要な項目であり、当社開発の極薄型パッケージの技術紹介をした。また生産面においては、受注から納品にまたがる情報ネットワークの構築と最先端工場における生産システムを採り上げた。

これら先端諸技術を結集することにより、顧客のニーズに今後ともこたえていきたいと考えている。読者の参考になれば幸いである。

# 64M ビット DRAM 技術

宮本博司\* 蜂須賀敦司\*  
諸岡毅一\* 有馬秀明\*

## 1. まえがき

ダイナミック RAM (DRAM) は高度情報化社会を支えるキーデバイスとして、さらに他の LSI のテクノロジードライバとして、ほぼ3年で4倍のペースで高集積化が進んできた。現在、4 M ビット DRAM が量産され、16 M ビット DRAM がサンプル出荷の段階にある。当社もこれまでの各世代の DRAM の開発で、表1に代表される数々の技術を開発してきた<sup>(1)~(5)</sup>。この間、DRAM の設計ルールは 4 M DRAM でサブミクロ領域に入り、16 M DRAM ではハーフミクロ領域に達しており、64 M DRAM ではサブハーフミクロとなる。このような DRAM の開発の流れの中で、今回、より高集積かつ高性能な 64 M DRAM の実現に必要な技術を開発した。

本稿では、今回開発した 64 M DRAM 技術について述べるとともに、これらの技術を検証する目的で試作した 64 M DRAM チップの特性について紹介する。

## 2. メモリセル技術

図1に今回開発した DCP (Dual Cell Plate, 2層セルプレート) セルと名付けた新しいスタック型メモリセル<sup>(6)</sup>の断面模式を示す。シールドビット線構造を採用して、キャパシタをビット線上にも形成することにより、メモリセル1ビット当たりのストレージノードの平面投影面積をリソグラフィーの限界まで拡大した。DCP セルの特徴は、セルプレートが上下2層のポリシリコンで形成されている点にある。上層セルプレートは、ストレージノードの上面と外側面及びコンタクト部の内面においてキャパシタを形成する。一方、下層セルプレートはストレージノードの下面をキャパシタとして利用可能にしている。上下2層のセルプレートは、メモリセルアレーの外部で互いに接続される。上下2層のセルプレートによってストレージノードを三次元的に包み込むこと

により、DCP セルでは通常のスタック型セルに比べて大幅にセル容量を増大させることができた。

図2に DCP セルの主要なプロセスフローを示す。ワード線及びビット線形成後、コンタクトホールを開孔してポリシリコンバッファ層を形成する(図2(a))。次に酸化膜をたい(堆)積し、表面を平たん化する。下層セルプレートとなるポリシリコン、第1キャパシタ誘電体膜及びストレージノード ポリシリコンを連続して堆積する(図2(b))。この複合膜にポリシリコンバッファ層に達するコンタクトホールを開孔する(図2(c))。酸化膜を堆積後、コンタクトホール内壁に側壁酸化膜を形成し、下層セルプレートと次に形成するストレージノードとを絶縁する(図2(d))。ポリシリコンを堆積してポリシリコンバッファ層とストレージノードを接続する。ストレージノードをエッチング加工した後、第2の誘電体膜を形成する(図2(e))。上層セルプレートとなるポリシリコンを堆積する(図2(f))。コンタクトホール部分と隣接セルとの分離領域は上層セルプレートを形成するポリシリコンで埋め込まれる。図3に試作した DCP セルの断面 SEM 写真を示す。

図4は DCP セルと通常のスタック型セルにおいてキャパシタ容量のストレージノード膜厚依存性を計算した結果である。ストレージノード膜を厚くすると外側面及びコンタクト部の内面の容量が増えるため、全体の容量が増加する。図から、DCP セルによれば通常のスタック型セルの約2倍のキャパシタ容量が得られることが分かる。DCP セルにおいてストレージノード膜厚 0.5 μm のとき、メモリセルサイズが 1.3 μm<sup>2</sup> あってもキャパシタ容量 26 fF が得られる。

## 3. 高速化・テスト時間短縮化回路技術

アクセス時間の高速化は、DRAM の設計において常に重要な要素である。一方、DRAM の高集積化に伴って DRAM のテスト時間の増大が問題となってきた。64 M DRAM では

表1. DRAM 各世代における主な技術開発項目

DRAM 世代	1M	4M	16M	64M
新 技 術	プロセス技術 CMOS プロセス	スタック型セル	改良スタック型 セル	DCP(Dual Cell Plate) セル
	設計技術 高速ページモード スタティック コラムモード	テストモード	内部降圧回路	マージド マッチ ラインテスト方式 カスケード冗長方式

高速アクセス時間とテスト時間の短縮を両立させる回路技術が必要になる。

## 3.1 マージド マッチラインテスト方式

図5にDRAM各世代に対するテスト時間を示す。1ビットごとにテストするビットバイビット テストでは64M DRAMの全ビットを1回読み出すだけで10s(サイクル時間150ns時)かかる。このテスト時間の増大に対処するために、複数ビットを同時にテストするマルチビットテスト(MBT)方式が提案され、4M DRAM等で実用化されているが、並列テストビット数が4~64ビットであるため大幅なテスト時間の短縮はできない。そこで、1ワード線分(数Kビット)を一括してテストするラインモードテスト(LMT)方式が提案されている。しかし、従来のLMT方式では図6(a)に示すように読み出しデータと期待値とのコンパレータが各ビット

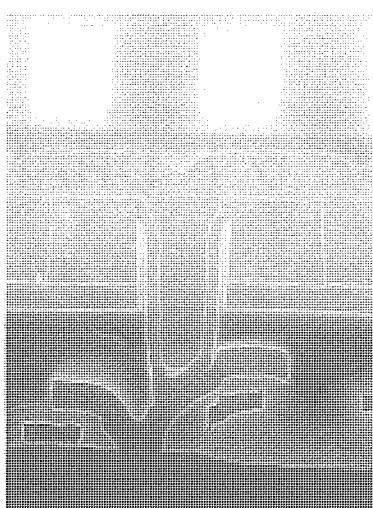


図3. DCPセルの断面 SEM写真

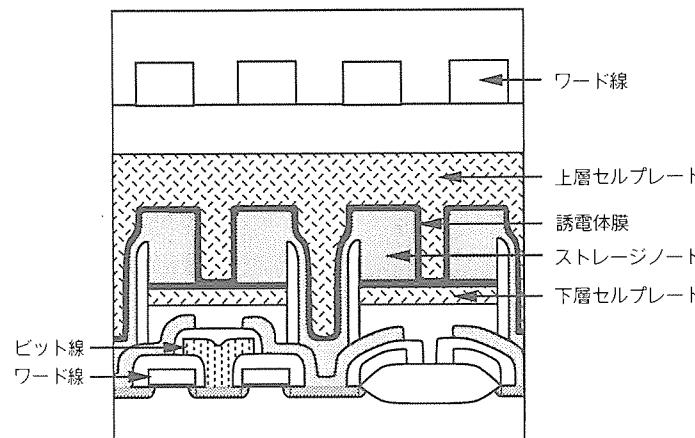


図1. DCPセルの断面模式図

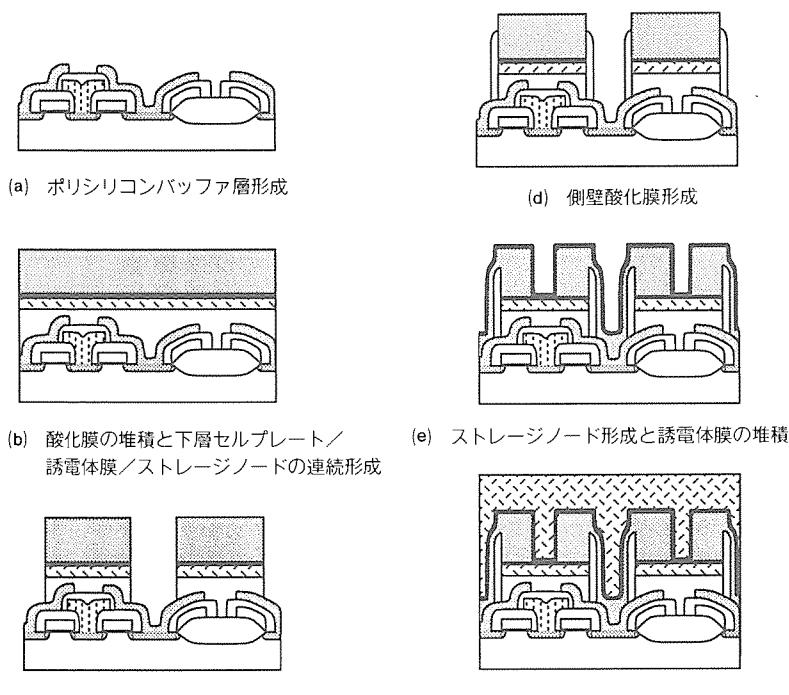


図2. DCPセルのプロセスフロー

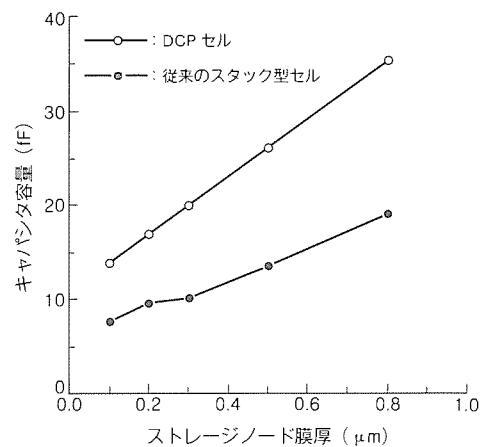


図4. キャパシタ容量のストレージノード  
ポリシリコン膜厚依存性の計算結果  
(メモリセルサイズ $1.3\mu\text{m}^2$ 、誘電体  
膜は5nmのONO膜を仮定)

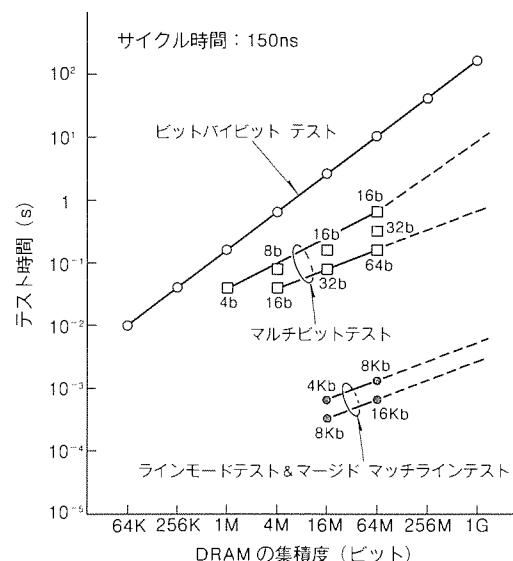


図5. DRAM各世代に対するテスト時間  
(全ビットを1回読み出すのに要する時間)

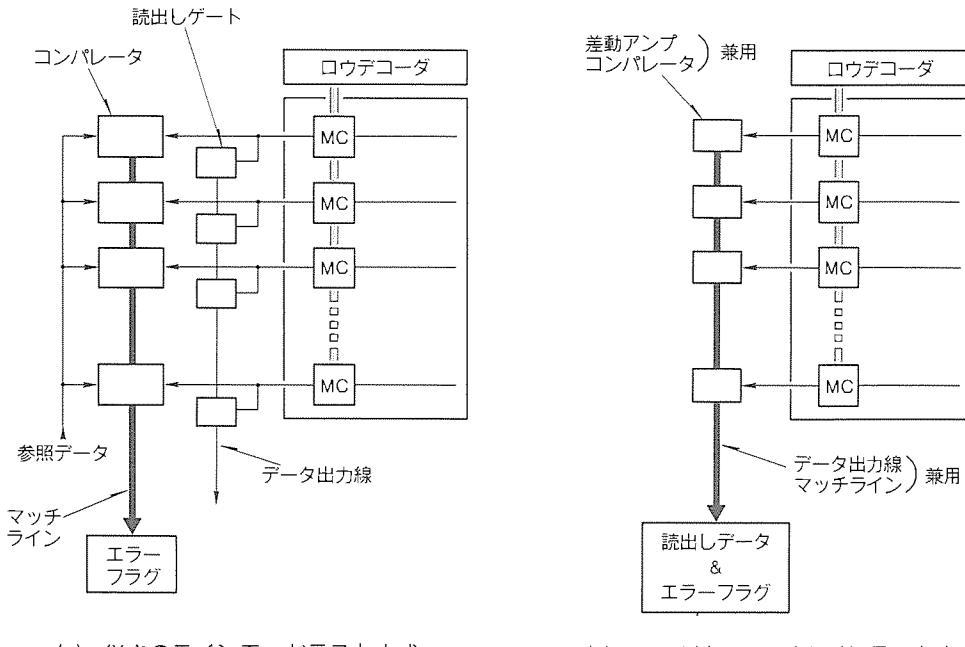


図 6. 従来の LMT 方式と MMT 方式の比較

ト線対ごとに必要になるほか、LMT 方式専用のマッチラインや参照データを与える配線が必要となり、チップ面積の増大を回避することが困難であった。

今回開発したマージド マッチラインテスト (MMT) 方式では、図 6(b)のように通常の読み出し動作時にデータ出力線として使用される配線をテストモード時にはマッチラインとして使用し、さらに通常の読み出し動作時に差動アンプとして動作する回路をテストモード時には Wired OR 回路 (一種のコンパレータ) として動作させることにより、チップ面積の増大を 0.1 % 以下に抑えた<sup>(7)</sup>。

MMT 方式の詳細な構成を図 7 に示す。データ入力線対 ( $WD, \overline{WD}$ ) とデータ出力線対 ( $RD, \overline{RD}$ ) とは分離され、コラム選択線 ( $CD_i, CD_j, \dots$ ) がビット線対 ( $BL, \overline{BL}$ ) を選択する。NMOS トランジスタ  $Q_1$  及び  $Q_2$  とスイッチ  $SW_0$  を通して接続される PMOS プルアップトランジスタ  $Q_3 \sim Q_6$  によって差動アンプが構成され、通常の読み出しに使用される。一方、テストモード読み出しのためにスイッチ  $SW_1$  を通してマッチライン対 ( $ML, \overline{ML}$ ) を、電源電位  $V_{cc}$  レベルにプリチャージするプリチャージ回路及び読み出しだけの一致／不一致を検出して、エラーフラグを発生するエラーチェック回路が設けられている。 $WDE$  は書き込み時に活性化される信号であり、データ入力線 ( $WD, \overline{WD}$ ) からトランジスタ  $Q_7 \sim Q_{10}$  を通して書き込みデータをビット線対に伝達する。

### 3.2 アクセス時間の高速化

MMT 方式における通常の読み出し動作の場合には、図 7

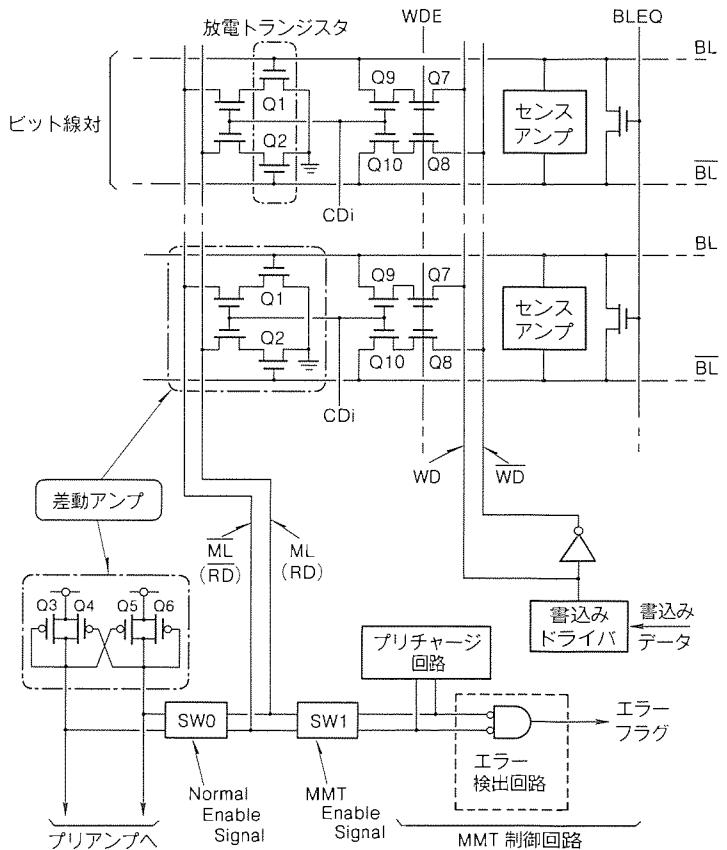


図 7. MMT 方式の構成

においてスイッチ  $SW_0$  がオン、 $SW_1$  がオフになる。コラム選択線によって所望のビット線対が選択されると、トランジスタ  $Q_1, Q_2$  及び  $Q_3 \sim Q_6$  によって差動アンプが形成される。図 8 に通常読み出し動作の回路シミュレーション波形を示す。時刻  $T_1$  にワード線 (WL) が立ち上がってメモリセル

のデータがビット線に現れると、ビット線対間の電位差はトランジスタ Q1 と Q2 のゲートに伝達される。時刻 T1 とほぼ同時にコラム選択線 (CDj) が立ち上がり、差動アンプが活性化され始めるため、時刻 T2 にはデータ出力線対 (RD, RD̄) に電位差が現れ始める。次に、時刻 T3 にセンスアンプが活性化され、ビット線対の電位差が増幅され始めると、データ出力線対の電位差も更に増大していく。これに対し、データ入力線とデータ出力線が共通である従来の I/O コモン方式では、早くコラム選択線を立ち上げるとデータ線とビット線とが干渉して誤動作するため、センスアンプによってビット線対間の電位差を十分増幅した後 (時刻 T4) コラム選択線を立ち上げる必要があった。

MMT 方式ではワード線の立ち上がりとほぼ同時に差動アンプを活性化できるため、従来の I/O コモン方式に比べて 10 ns 速い (シミュレーション値) RAS アクセス時間を得ることができ、アクセス時間の高速化に寄与する。

### 3.3 MMT 方式におけるテストモード動作

テストモード読出し時には図 7 の各コラムのトランジスタ Q1 と Q2 がマッチライン対 ML, ML̄ によって Wired OR 接続されコンパレータの役割を果たす。したがって、テストモード時には通常動作時と異なり、コラム選択線活性化のタイミングを、ビット線対間に十分な電位差が生じる時刻 T4 まで遅延させている。

図 9 にエラーがない場合のテストモード読出し動作を示す。テストモードがセットされると図 7 におけるスイッチ SW0 がオフで、スイッチ SW1 がオンの状態になる。これにより、マッチライン対 (ML, ML̄) はプリチャージ回路によって RAS が “H” レベルの期間に  $V_{cc}$  レベルにプリチャージされる。ここで、あらかじめ 1 本のワード線につながる 512 ビットのメモリセルには “0” または “1” の同一データを書き込んでいる (ここでは BL が “H”, BL̄ が “L” になる)。次に、RAS が立ち下がる時点からテストモードによる読出しサイクルが開始される。ワード線が立ち上がってメモリセルのデータがビット線に現れ、さらにセンスアンプが活性化されてビット線対間の電位差が十分に増幅された時点 (図 8 の時刻 T4) に、512 ビット分のコラム選択線が全部立ち上がる。これにより、マッチライン ML̄ はトランジスタ Q1 を通して 0 V に放電される。一方、マッチライン ML はトランジスタ Q2 がオフしているので (BL̄ は “L”)  $V_{cc}$  レベルを保持し、NOR 回路で構成されるエラー検出回路はエラーフラグを発生しない。

図 10 はエラーがある場合の動作であり、マッチライン ML̄ は正常動作しているコラム (CDi, CDk) のトランジスタ Q1 を通して 0 V に放電される。一方、マッチライン ML も誤動作しているコラム (CDj) のトランジスタ Q2 を通して (BL̄ は “H”) 0 V に放電され、エラー検出回路はエラーフラグを発生してエラーがあることを検出する。

## 4. 冗長回路技術

冗長回路は歩留りを向上させるために今や必ず (須) の手段であるが、MMT 方式に適したコラム冗長方式が必要となる。

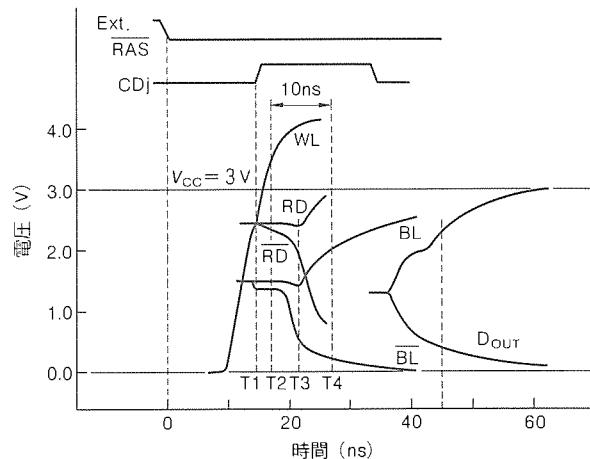


図 8 . MMT 方式の通常読出し動作(回路シミュレーション)

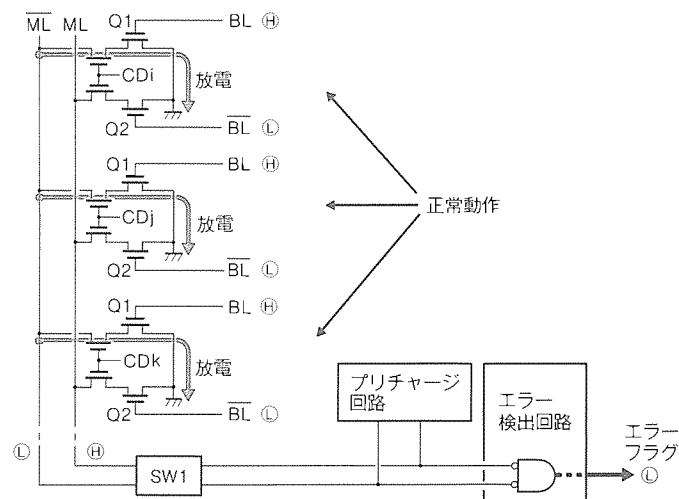


図 9 . MMT 方式のテストモード読出し(エラーがない場合)

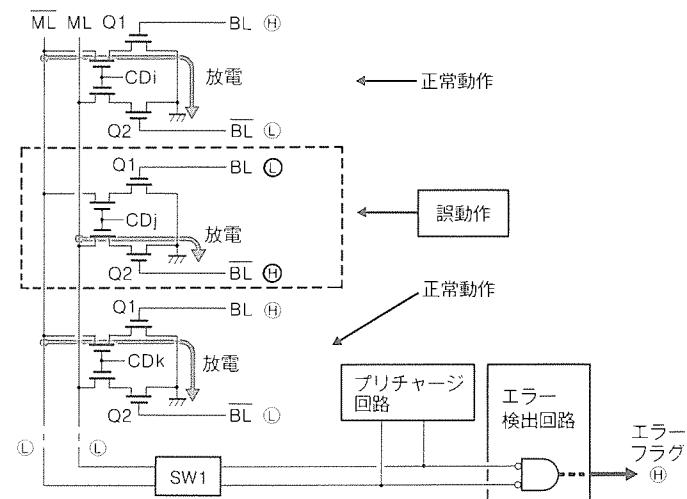


図10. MMT 方式のテストモード読出し(エラーがある場合)

入力アドレスと不良アドレスとを比較して、一致した場合に不良アドレスに対応したコラムを電気的に不活性にし、スペアコラムを活性化する NED (Normal Element Disable) 方式は広く使用されているが、この NED 方式は MMT 方式には適用できない。すなわち、不良アドレスに対応するコラム選択線は常に非選択であるべきにもかかわらず、MMT 方式では全コラムがマッチライン対によって Wired OR 接続されているため、テストモード読出し時に不良アドレスを含む全コラムが選択されてしまう。

次に、2層金属配線を使用してコラムデコーダをメモリセルアレーの端に配置

し、2層目の金属配線をコラム選択線としてメモリセルアレーの一方の端から他端まで配線する方式がある。この場合、不良を持つコラムとスペアコラムとを置換するとき、従来はメモリセルアレーの左端から右端までそっくり置換していたため、置換されるビット数が多くなり過ぎ冗長回路の効率が悪くなる欠点があった。

以上の問題点を解決し、MMT 方式に適したカスケード冗長方式を開発した。カスケード冗長方式の構成は図11に示すように、コラムデコーダをメモリセルアレーの左端に配置し、第1のスイッチ群をコラムデコーダとメモリセルアレー A の間に、第2のスイッチ群をメモリセルアレー A と B の間に設けている。そしてヒューズのプログラムにより、第1と第2のスイッチ群を切り替えて不良のあるコラムを不活性状態にする。コラムデコーダは  $N (=512)$  本のコラム選択線を持ち、メモリセルアレー A は  $N+1$  本、メモリセルアレー B は  $N+2$  本のコラム選択線を持っている。第1のスイッチ群により、メモリセルアレー A 内の不良コラム 1 本を不活性状態にする。各スイッチは 1 入力 2 出力のマルチプレクサであり、出力の選択をヒューズによって行う。同様に、第2のスイッチ群により、メモリセルアレー B 内の不良コラム 1 本を不活性状態にする。図ではコラム CD 2 a 及びコラム CDN + 1 b に不良がある場合を示している。カスケード冗長方式ではヒューズによってコラム選択線の接続を変更しており、アクセス時間の遅延は生じない。

## 5. 64 M DRAMへの応用

以上述べた技術を用いて試作した 64 M DRAM のチップ写真を図12 に示す。チップは  $0.4 \mu\text{m}$  CMOS 技術で製作されている。表2 にプロセス技術をまとめて示す。チップ構成は、16M ビットごとに独立に制御回路を設けており、通常 4 個のうち 1 個の制御回路が活性化される。メモリセルアレーは全体の  $1/16$  の部分が同時に活性化される。メモリセルア

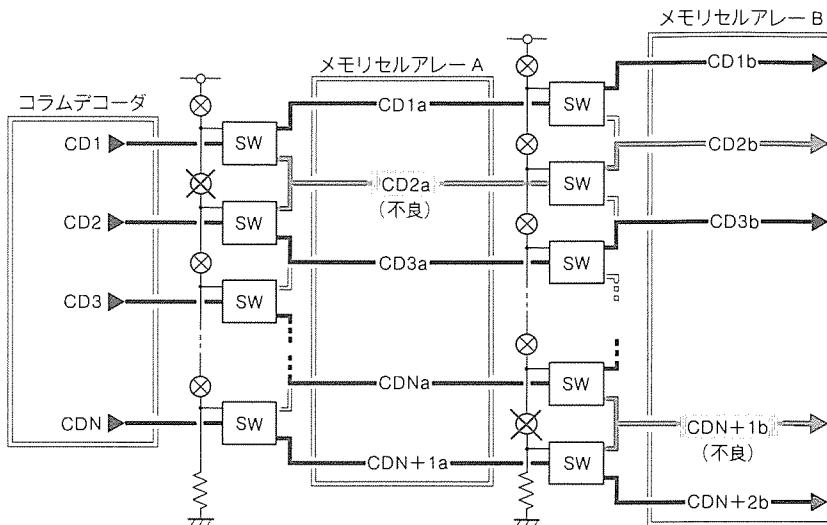


図11. カスケード冗長方式の構成

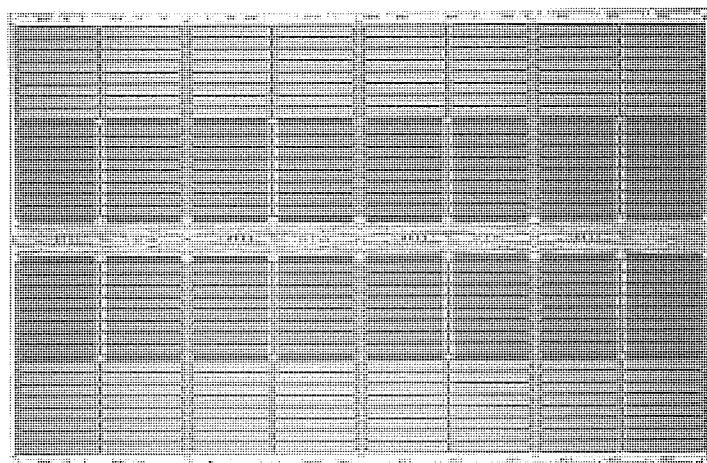


図12. 64M DRAM のチップ写真

表2. 64M DRAM のプロセス技術

プロセス	$0.4 \mu\text{m}$ CMOS, 2層メタル
設計基準	$0.4 \mu\text{m}$ (最小)
トランジスタ	$L=0.4 \mu\text{m}$ (NMOS), $0.5 \mu\text{m}$ (PMOS) $T_{\text{ox}}=12 \text{nm}$
メモリセル	DCP セル, セル容量 $30 \text{fF}$

レーだけでなく制御回路も含めた分割動作を行うこと、及び電源電圧の低電圧化 ( $3.3 \text{V}$ ) によってチップ全体の低消費電力化を図っている。MMT 方式により、1 対のマッチラインから 512 ビット分のデータを一括して読み出すことができる所以、チップ全体として 16K ビットが一括してテストできる。したがって、64 M ビット全体の 1 回の読出し時間は  $614 \mu\text{s}$  (サイクル時間  $150 \text{ns}$  時) となり、ビットバイビットテストの  $1/16,000$  になる。表3 にチップ諸元をまとめた。RAS アクセス時間は  $45 \text{ns}$  であり、動作電源電流は  $160 \text{mA}$  であった。

表3. 64M DRAMのチップ諸元

構成	64M語×1ビット／16M語×4ビット
チップサイズ	12.5×18.7=233.8mm <sup>2</sup>
セルサイズ	1.0×1.7=1.7μm <sup>2</sup>
電源電圧	3.3V
アクセス時間	$t_{RAC}=45\text{ns}$ ( $V_{CC}=3.0\text{V}$ , 室温)
動作電源電流	160mA ( $V_{CC}=3.3\text{V}$ , $t_{cyc}=120\text{ns}$ )
リフレッシュサイクル	4,096サイクル／64ms
冗長回路	128ロウ／32コラム(レザプロウ)

## 6. むすび

64M DRAMを実現するための技術を開発した。メモリセル技術として、ストレージノードを上下2層のセルプレートで包み込むことにより、セル容量を増大させたDCPセルを開発した。また、回路技術として、高速アクセス時間とテスト時間の短縮を同時に実現するDRAMアーキテクチャであるマージドマッチラインテスト(MMT)方式、及びMMT方式に適合した冗長方式であるカスケード冗長方式を開発した。さらに、これらの技術によって64M DRAMを試作し、メモリセルアレーのみならず制御回路も分割動作させること、及び電源電圧の低電圧化(3.3V)によって低消費電力化を図るとともに、45nsの高速アクセス時間を実現した。MMT方式によれば64M DRAMのテスト時間を1ビットごとのテストの1/16,000にすることが可能であり、MMT方式を搭載するために必要なチップ面積の増大は0.1%以下と、実用的見地からも有効な方式である。

以上、今回開発した技術により、高集積かつ高性能の64M DRAMが実現できることを示した。

今後、更に技術開発を進め、より高性能な64M DRAMを開発していく。

## 参考文献

- (1) 山田通裕、佐藤真一、古田 熊、尾崎英之、長山安治：CMOS 1Mビット ダイナミックRAM、三菱電機技報、61, No. 7, 581～584 (1987)
- (2) 長山安治、宮武秀司、熊野谷正樹、古田 熊、水津克巳：第二世代1Mビット ダイナミック CMOS RAM、三菱電機技報、62, No. 7, 628～633 (1988)
- (3) 宮本博司、長友正男、山田通裕、長山安治、水津克巳：4Mビット ダイナミック RAM、三菱電機技報、63, No. 11, 891～894 (1989)
- (4) 熊野谷正樹、飛田洋一、長友正男：第二世代4Mビット DRAM、三菱電機技報、65, No. 7, 697～702 (1991)
- (5) 松田吉雄、若宮 亘、有本和民、藤島一康、佐藤真一：16Mビット ダイナミック RAM、三菱電機技報、63, No. 8, 681～685 (1989)
- (6) Arima, H., Hachisuka, A., Ogawa, T., Okumura, Y., Matsui, Y., Motonami, K., Matsukawa, T., Tsubouchi, N. : A Novel Stacked Capacitor Cell with Dual Cell Plate for 64Mb DRAMs, IEDM Tech. Dig., 651～654 (1990)
- (7) Mori, S., Miyamoto, H., Morooka, Y., Kikuda, S., Suwa, M., Kinoshita, M., Hachisuka, A., Arima, H., Yamada, M., Yoshihara, T., Kayano, S. : A 45ns 64Mb DRAM with a Merged Match-line Test Architecture, ISSCC Dig. Tech. Papers, 110～111 (1991)

# 16Mビット フラッシュメモリ技術

寺田 康\* 小林真一\*\*  
味香夏夫\* 宮脇好和\*\*  
中山武志\*\*

## 1. まえがき

フラッシュメモリは、EEPROM<sup>(注1)</sup>の電気的書換え機能をEPROM<sup>(注2)</sup>と同様の集積度で実現しようとしたものであり、近年最も盛んに開発が行われている不揮発性メモリである。5V単一電源で動作し、バイト単位の書換えが可能なEEPROMに比べると機能は劣り、消去／書込みに高電圧源が必要で、消去単位はチップ若しくはブロックであるが、将来、DRAM<sup>(注3)</sup>よりもビット単価が下がると予想され、大きな市場が期待されている。

これまでに各種のメモリセルが提案されているが、現在の開発の中心はEPROMとほぼ同様の構造をしたスタックゲート型と呼ばれるものである。当社でもこのセル構造で1M～16Mビットのフラッシュメモリの製品開発／試作を行っている<sup>(1)(2)</sup>。さらに、5V単一電源動作等の高機能化についても検討を行っている。

この論文では、まず、現在開発中の16Mフラッシュメモリについてその概要を紹介し、大容量フラッシュメモリを実現するための技術的課題を述べる。3章で高機能化を実現するデバイス・回路技術について、すなわち負電圧を利用するにより、5V単一電源での動作及び書換え耐性の向上が実現されること<sup>(3)</sup>並びに低電源電圧動作<sup>(4)</sup>について紹介する。

## 2. 16M フラッシュメモリ

### 2.1 開発課題

大容量フラッシュメモリの市場としてまず挙げられるのはEPROMの置き換える。このためにはコストをEPROMより下げなくてはならない。そこで、チップサイズを小さくすることを第1の目標として仕様の決定を行った。機能は、1Mのフラッシュメモリと同様であり、2電源一括消去型である。メモリセルとしてスタックゲート型を採用している。断面を図1に示す。書込みはドレイン及びゲートに高電圧を印加し、ホットエレクトロンをフローティングゲートに注入することによって行う。消去はゲートを接地してソースに高電圧を印加し、フローティングゲートから電子を引き抜くこ

とによって行う。書込みによつてしきい値は6V以上になり、消去によつて3V以下に低くなる。読出しは選択されたワード線に電源電圧である5Vを印加し、メモリトランジスタが導通するか否かをセンサアンプで検出することによって行う。このスタックゲート型メモルセルを採用した場合、開発課題として次の事柄が挙げられる。

- (1) 過剰消去の防止
- (2) 消去時間の短縮
- (3) ディスターープの低減

過剰消去とは、フローティングゲートから電子が過剰に引き抜かれ、メモリトランジスタのしきい値が負になってしまうことである。これが起こると、読出し／書込み時に、過剰消去されたセルを介してリーク電流が流れるので同一ビット線上のメモリセルの読出し／書込みが阻害される。次節で過剰消去を防ぐ回路技術について説明する。ディスターープとは読出し／書込み時に選択セルや非選択セルの保持データが破壊されてしまうことである。これはメモリセルが1トランジスタで形成されており選択トランジスタがないため、非選択状態でもゲートやドレインに電圧が印加されるからである。EPROMでも同様の現象が生じるがフローティングゲート－基板間の酸化膜厚が10nmと薄いため、よりディスターープを受けやすい。絶縁膜の膜質を向上させること及びドレンやソースの注入プロファイルを最適化させることによって防いでいる。

### 2.2 消去回路

上述のようにスタックゲート型のメモリセルを採用した場合、最も大きな課題は過剰消去をどのようにして抑えるかということである。もちろん、メモリセル特性のばらつきを抑えるということが必要なわけだが、回路的にも何らかの対策

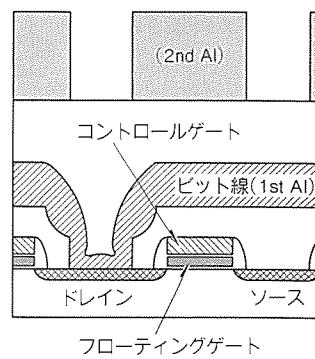


図1. メモリセル断面

(注1) EEPROM : Electrically Erasable and Programmable Read Only Memory

(注2) EPROM : Electrically Programmable Read Only Memory

(注3) DRAM : Dynamic Random Access Memory

をとることが必要となってくる。一般的に、短い消去パルスを印加し、その後消去ペリファイを行って消去不十分のメモリセルが存在したならば、再度消去パルスを印加するという手法がとられている。また、最初の消去パルスが印加される前にすべてのメモリセルに書き込みがなされる。これを消去前書き込みと呼んでいるが、これは消去状態のメモリセルに消去パルスが印加されるとそのセルが過剰消去してしまうからである。

図2(a)に一般的な消去シーケンスを示す。消去パルスの印加は1Mビットのフラッシュメモリでは全メモリセルに同時に行われていたが、容量が大きくなり、メモリアレーの面積が増大するとともにメモリセル特性のばらつきが大きくなることが予想されるので、16Mのアレーを64分割し256Kビットのアレーごとに消去パルス印加／消去ペリファイが行われるように構成した。この場合、消去ペリファイの手法が消去時間に大きな影響を及ぼす。

図2(b)に従来のペリファイ方法を示す。最初の消去パルスの印加後、先頭番地からペリファイが行われ、消去不十分なセルが検出された時点でペリファイを中止し、再度消去パルスを印加する。ペリファイ動作はそのセルから再開する。しかしながら、この手法を分割消去に適用すると、同一のブロック内アドレスに消去不十分のセルが検出されたブロックにのみ同時に消去パルスが印加されることになり、非常に消去の効率が悪くなる。そこで図2(c)に示すように、1本のワード線上のメモリセルについて、すべてペリファイを行った後、消去不十分のセルを含むブロックに消去パルスが印加されるよう構成した。

具体的なメモリアレーのブロック図を図3に示す。ロウデコーダにより、四つの4Mブロックに分割されている。各々16のI/Oに対応するメモリセル群に分けられているので、64分割されることになる。1本のビット線には1K個のメモリセルが接続されており、1本のワード線には2K個のメモリセ

ルが接続されている。64ブロックの各々に消去／消去ペリファイ／書き込み回路が設けられている。構成を図4に示す。センスアンプ、消去パルスの印加の制御を行うソース線スイ

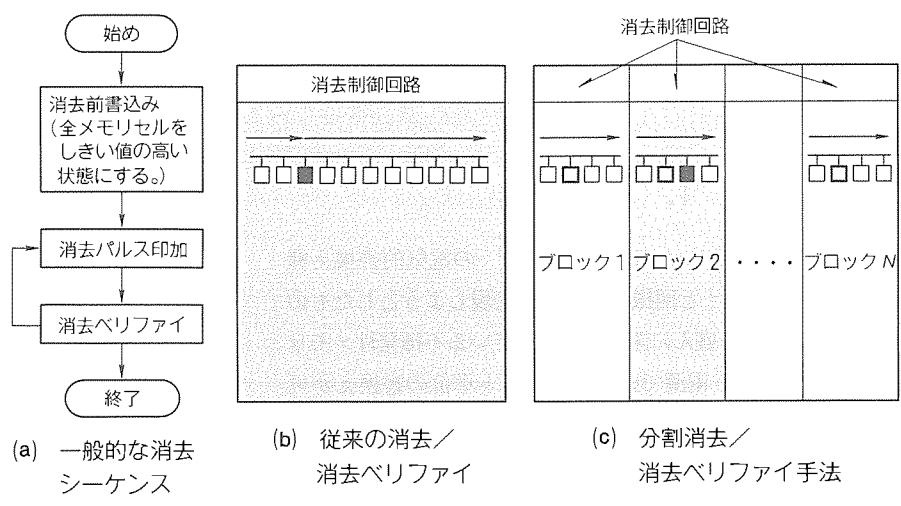


図2. 消去シーケンス

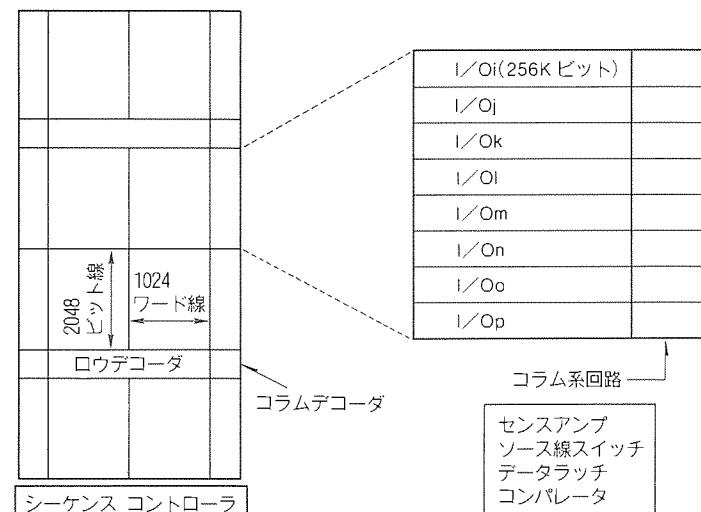


図3. 16M フラッシュメモリのブロック図

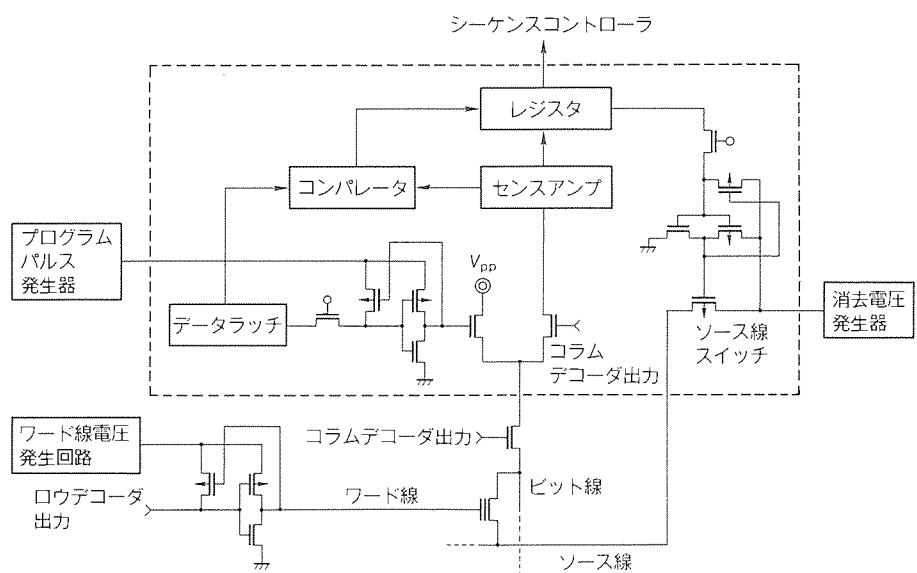


図4. コラム系回路

ッチ、書き込みデータをラッチするデータラッチ、ベリファイ動作のためのコンパレータ、レジスタから構成されている。消去前書き込み時にはすべてのデータラッチがセットされ、64のセルに同時に書き込みがなされる。書き込みパルス幅は10μsであり、このときは書き込みベリファイは行われない。

コンパレータは書き込みベリファイ時に活性化される。書き込みが十分なされたと判定されたコラムのデータラッチはリセットされ、過剰な書き込みパルスは印加されない。センサアンプは、高速アクセスを達成するための差動増幅型センサアンプと、ベリファイ動作時に活性化される電流センサ型センサアンプから構成されている。ワード線電圧発生回路は書き込み高電圧、書き込み／消去ベリファイ電圧を発生する。これらの回路により、書き込み／消去時のメモリセルのしきい値のばらつきを抑えることができる。

図5に上述の分割消去を行った場合のしきい値の分布についてテストデバイスによる測定結果を示す。2.2Vの分布が分割消去手法により、1.5Vに狭めることができることが分かる。

### 2.3 試作結果

0.6μm CMOS技術を用いて試作を行った。セルサイズは1.8μm×2.0μm、チップサイズは18.4mm×6.5mmである。高速化のために2層Al配線を用いている。消去／書き込み動作はシーケンスコントローラによって制御される。諸特性を表1に、チップ写真を図6に示す。シーケンスコントローラはチップ内部に設けられた発振器によってタイミングが制御される同期式回路で構成されている。トランジスタ数は、ほぼ7,000である。歩留り向上のためレーザプロウにより、プログラムされるリダンダント回路を設けている。過剰消去を防ぐため、スペアロウや置換されたロウに対しても消去前書き込みを行うよう構成した。

## 3. フラッシュメモリの高機能化

### 3.1 5V単一電源動作及び書き換え耐性の向上

スタッガートゲート型フラッシュメモリでは、通常、消去はゲートを接地し、ソースに高電圧を印加して行われる。このと

き、ソース拡散領域がトンネル酸化膜と接する部分で起こるバンド間トンネリングによって生成されるホールが、ソース－基板間の大きな電位差によって加速され、ホットホールとなり酸化膜中に注入されるという現象が生じる。ホットホールが注入されると書き換え耐性が劣化することが知られている。そこで、消去時にゲートに負の高電圧を印加し、ソースの電圧を下げることによってホットホールの生成を抑制することを提案した<sup>(3)</sup>。

図7に従来法と負電圧利用の場合の書き換え耐性の差を示す。横軸は消去／書き込み回数、縦軸はしきい値である。測定対象のメモリセルは16M対応のセルサイズではあるが、ソースの耐圧を8V程度と低くしたものである。これは、より微

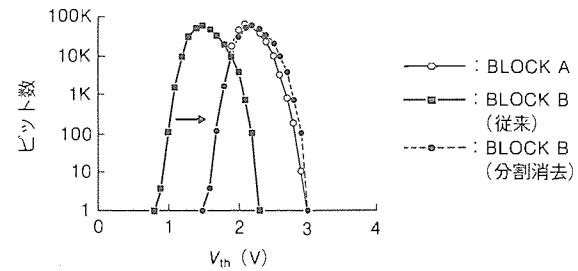


図5. 分割消去による消去しきい値分布特性の改善  
(128K テストデバイスによる測定)

表1. 16M フラッシュメモリの諸元

プロセス	0.6 μm lithography P-sub N-well CMOS 2-PolySilicon, 2-Metal
構成	2M語×8ビット／ 1M語×16ビット
セルサイズ	1.8 μm×2.0 μm
チップサイズ	6.5mm×18.4mm
$V_{cc}/V_{pp}$	5V/12V
アクセス時間	60ns
書き込み時間	1.25 μs/バイト (8バイトのページモード)
リダンダント	32コラム/8ロウ
パッケージ	42ピン DIP

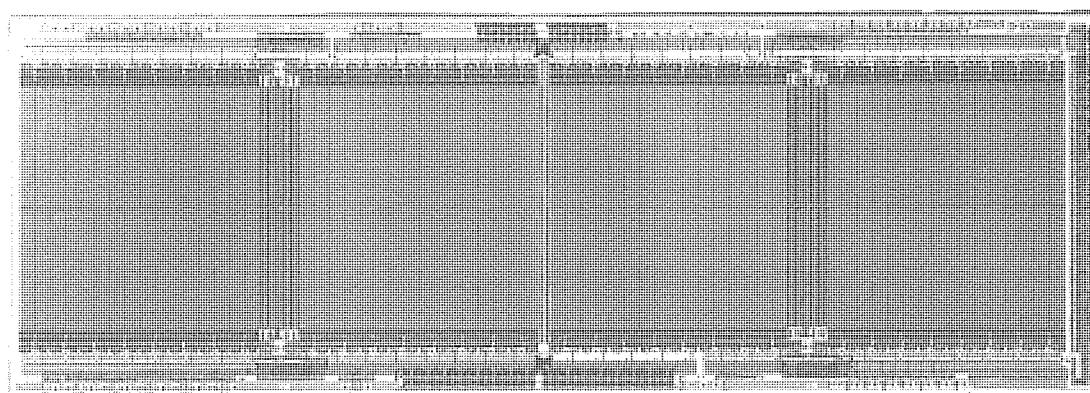


図6. チップ写真

細化されたメモリセルの耐圧に相当する。従来の消去手法では書換え回数が100サイクルを越えるとメモリウインドウが狭くなるのが観測されたが、負電圧利用の消去では10,000サイクルでもしきい値の変動がほとんど無い。ゲートすなわちワード線に印加する負電圧は、リークがほとんど無く電流が必要とされないのでチップ上に設けたチャージポンプで発生することができる。また、ソースには $V_{cc}$ を印加すればよいので5V単一電源での消去が可能となる。

さらに、書き込み特性を向上させドレイン電圧を5V以下にすることができるれば、ワード線に印加する高圧は消去時同様チャージポンプで発生が可能なので、5V単一電源での動作が実現される。また、消去時に消去を行いたいワード線に選択的に負の高電圧を印加するように構成すればセクタ消去が可能となる。ただし、この時はディスターブ、特にドレンディスターブについて十分耐性があるよう対策をとることが必要である。

### 3.2 低電圧動作

EPROMやフラッシュメモリでは、選択ワード線に電源電圧を印加したときにメモリトランジスタがオンして電流が流れれるか否かを判定して保持されているデータの読み出しを行う。EPROMでは紫外線の照射により、消去が行われるのでフローティングゲートは電気的に中性となり、メモリトランジスタのしきい値の分布は狭いが、フラッシュメモリではトンネル現象を用いてフローティングゲートから電子を引き抜くので、メモリセルパラメータのわずかな変動により、トンネル電流が変動し消去しきい値の広い分布を引き起こす。さらに、過剰消去を防ぐためしきい値の中心値はあまり低くできない。図8にしきい値分布を模式的に示す。

従来のロウデコーダでは選択されたワード線には電源電圧が印加されるため、読み出し時の電源電圧の下限は消去されたメモリトランジスタのしきい値の最大値で決まる。このためフラッシュメモリではEPROMより高くなってしまう。よって、低電圧読み出しを可能とするためにはDRAMで行われているようにワード線電圧をブーストすることが望ましい。しかしながら、電源電圧が高いときにもブーストされると信頼性の問題を引き起こすので、電源電圧が高い場合にはクラシップされることが必要となる。さらに、上述のように消去時にはワード線に負電圧を印加しなければならない。これらの条件を満足するロウデコーダを図9に示す。ロウデコーダ最終段はPチャネルトランジスタで形成され、これに入力される電圧を発生する回路は電圧制限回路とブースト回路から構成されている。負電圧はロウデコーダとは反対側に接続されたPチャネルトランジスタT2を介して印加される。PチャネルトランジスタT1は負電圧がロウデコーダに伝わらないようにするためのものである。このロウデコーダの出力電圧、すなわちワード線電圧のシミュレーション結果を図10に示す。16Mフラッシュメモリに適用した場合についてシミュ

レーションを行ったところ、3Vでも安定な読み出しが可能なことが確認された。

フラッシュメモリの高機能化の他の課題として、消去時間の短縮が挙げられる。消去は2.1節述べたように、消去前書込み／消去パルス印加／消去ベリファイから構成されているが、大容量化に伴い消去前書込みを要する時間が増大する。これは通常の書き込みと同様の書き込みをすべてのメモリセルに対して行うためである。書き込みパルス幅を10μs、8バイトのページモード書き込みをしたとしても16Mチップで2.6sかかる。この問題を解決するためにフラッシュプログラミング手法を開発した。書き込みをホットエレクトロン注入ではなくトンネル現象を用いて全メモリセル同時に行おうとするものである。ただし、スタッガゲート型のメモリセルの容量

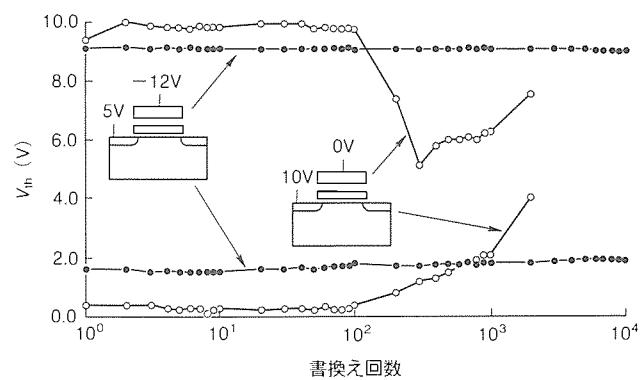


図7. ゲート負電圧印加による書換え耐性の向上

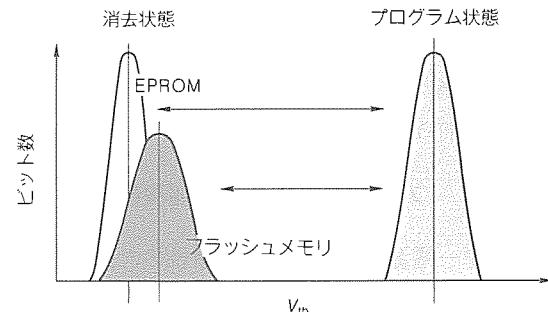


図8. しきい値分布

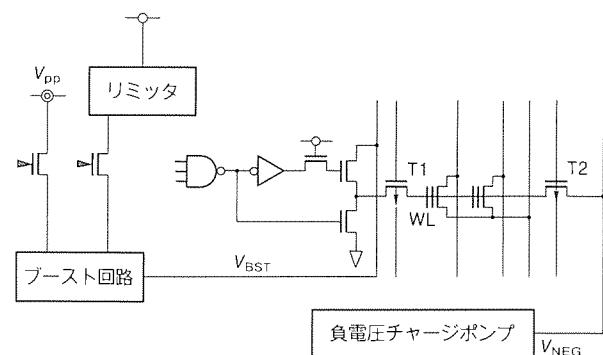


図9. 低電圧動作を可能とするロウデコーダ

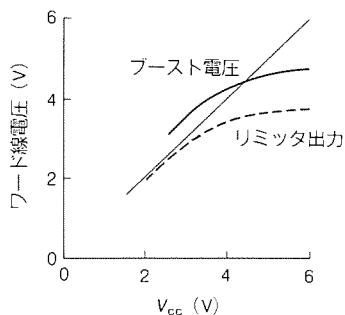


図10. ワード線電圧のシミュレーション結果

結合比が一般の EEPROM に比べて悪いため、ホットエレクトロン注入に比べて高電圧を印加しなければならない。そこで、基板に負電圧を印加することを検討した。単体メモリセルのトンネル書き込み特性を図11に示す。ゲートに 12V、基板に -2V を印加した場合 500 ms でしきい値が 5V 程度に上昇することが確認された。このフラッシュ プログラミングを用いると消去時間は従来の 1/2 程度に短縮されると見積られる。

#### 4. む す び

以上、フラッシュメモリの大容量化、及び 5V 単一電源化、低電圧動作、高速消去、高書換え耐性という高機能化を実現するデバイス・回路技術について紹介を行ってきた。フラッシュメモリは、EEPROM に比べると機能は劣るがコストが DRAM 以下になる可能性があることから注目を浴びている。市場動向をみながら次世代のフラッシュメモリの仕様を決めていく計画であるが、高機能化によるコスト上昇を最低限に抑えられるよう努力を続けていく予定である。

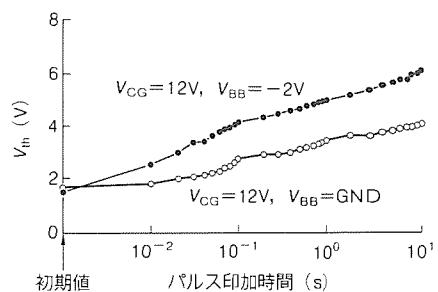


図11. フラッシュ プログラミング特性

#### 参考文献

- (1) 小林和男、中島盛義、山本 誠、長田隆弘：高速 1M ビット フラッシュ EEPROM, 三菱電機技報, 65, No. 4, 380~384 (1991)
- (2) Nakayama, T., Kobayashi, S., Miyawaki, Y., Terada, Y., Ajika, N., Ohi, M., Arima, H., Matsukawa, T., Yoshihara, T. : A 60ns 16Mb Flash EEPROM with Program and Erase Sequence Controller, ISSCC Digest of Technical Papers, 260~261 (1991)
- (3) Ajika, N., Ohi, M., Arima, H., Matsukawa, T., Tsubouchi, N. : A 5 Volt Only 16M Bit Flash EEPROM Cell with a Simple Stacked Gate Structure, IEDM Technical Digest, 115~118 (1990)
- (4) Miyawaki, Y., Nakayama, T., Kobayashi, S., Ajika, N., Ohi, M., Terada, Y., Arima, H., Yoshihara, T. : A New Erasing and Row Decoding Scheme for Low Supply Voltage Operation 16Mb / 64Mb Flash EEPROMs, Symposium on VLSI Circuit, 85~86 (1991)

# 学習機能付きニューロチップ

有馬 裕\* 前田 敦\*  
村崎充弘\* 山田 強\*

## 1. まえがき

近年、計算機の能力進展に伴い、脳の情報処理様式を模倣したニューラルネットワーク（以下“ニューラルネット”という。）のシミュレーションが高速に実行できるようになり、ニューラルネット応用技術の研究開発が活発化してきた。制御、認識、予測など一部の分野では既に実用化されている例もあり、その有用性が認知されつつある。しかし、ニューラルネットの情報処理は高度な分散並列性を特徴としているので、従来の計算機による直列逐次処理に置き換えたエミュレーション手法では処理時間が膨大になってしまう。現状のスーパーコンピュータをもってしても、はえ（蠅）の脳程度のシミュレーションでさえ10倍以上の処理時間を要する。そこで、リアルタイム応用に必要な生体脳並み、又はそれ以上の処理速度を実現するためには、ニューラルネット専用チップ（ニューロチップ）の開発が不可欠である。

ニューロチップには、高速演算処理、大規模回路網の表現に加えてオンチップ学習機能が求められる。ニューラルネットは、それを構成する各ニューロン間の信号伝達効率（シナプス荷重値）を適当に設定することによって、目的の情報処理機構を実現する。したがって、従来のプロセッサに処理手続きを提示するプログラムを与えないければならないように、ニューロチップでは各シナプス荷重値を処理目的に合わせて設定しなければならない。しかし、この値を直接決めることは、その情報分散表現機構により困難である。そこで、ニューラルネットの特徴の一つである自己組織化機能を活用して、ニューロチップ自身が提示された例題を基に各シナプス荷重値を最適化する機能が重要となる。この荷重値の最適化処理がいわゆる学習と呼ばれるものである。従来のプロセッサの汎用性が、プログラム制御方式によって高められたのと同様に、汎用性の高いニューロチップの実現には学習機能の搭載が必要である。

## 2. ニューロチップの概要

高速演算を実現するには、ニューラルネット情報処理方式に準拠して演算処理の並列性を高めることが現実的である。アナログ回路は少ない素子数で演算機能を表現できるため大規模な並列処理回路構成に有効である。そこで、今回開発したニューロチップ<sup>(1)</sup>は、チップ内部の演算処理をアナログ回路で実現する一方、各種装置に組み込みやすくするた

め、チップの制御及び入出力データに関する回路をデジタル回路で構成する方法を採用した。このアナログ・デジタル混在回路設計によってオンチップ学習機能を備えた300ニューロンを越える規模のニューロチップが実現でき、スーパーコンピュータより4けた以上の高速処理を可能とした。また、このチップは並列回路が非同期で動作する。

大規模な非同期並列処理能力を発揮するため、このチップは時分割処理では効率良く表現できない相互結合型ニューラルネットモデルの一つである完全フィードバック結合のボルツマンマシン<sup>(2)</sup>を基本構造としている。ボルツマンマシンは、ニューロンの状態が確率的に遷移することを特徴としており、ニューラルネットの状態がポテンシャルエネルギーの極小値にトラップされ難く、大局的な極小値（良好な解に対応）に収束しやすい性質を持っている。また、対称なシナプス結合の条件によって振動解（リミットサイクル）の発生を防ぐことができ、効率的な学習、想起が実行できる利点を持っている。

## 3. ニューロチップの学習機能

学習機能を半導体チップ上に実現することは、学習過程が高速に実現できるという直接的な利点だけではなく、チップの自己補償機能を実現する。つまり、チップ内の素子パラメータのばらつきやプロセス変動によるシフト、又は部分的素子不良などの不良因子は、自己組織化によってある程度吸収される。したがって、学習機能を備えたニューロチップは、製造歩留りの悪化を回避するために必要とされる設計上の制約や製造工程での様々な制限が大幅に緩和されることになり、製造コストを低減することができる。

### 3.1 学習機能付きシナプス回路

オンチップ学習を高速に行い、自己補償機能を有効に実現するためには、各シナプスごとに学習機能を設けることが望ましい。一方、シナプスはニューロチップの最大構成要素であり、シナプス回路のサイズがニューロチップの集積度に最も強く影響する。そこで、シナプス回路を極力小さくするために、シナプス結合演算をアナログ回路で表現し、学習制御機能を簡単なデジタル論理回路で実現した。アナログ回路は素子特性のばらつきが演算精度に直接影響を及ぼすので高い精度を実現しにくいといった問題があったが、各シナプス回路ごとの学習機能で実現される自己組織化によって、この問題が解決されている。

図1にシナプスユニットの回路を示す。対称な結合を効率良く表現するために、一つのユニットで双方向の結合を表現できる構成になっている。シナプス荷重値は、キャパシタC1に蓄えられた電荷量で表現し、二つのシナプス結合演算回路は、C1の蓄積電荷量に比例して生じる電圧に規定される電流量（荷重化出力信号、 $W_{ij} \times S_i$ 、 $W_{ji} \times S_j$ ）を出力する。C1の蓄積電荷量は、荷重修正回路によって修正される。荷重修正回路は、学習則に従って荷重値を修正するように学習制御回路によって制御される。全シナプスユニットに共通な学習制御信号ACP+、ACP-は、非学習時には共に“High”レベルに固定されており、学習時には+フェーズではACP+に、-フェーズではACP-にそれぞれ負のパルス信号が与えられる。+フェーズは人間の覚せい（醒）時、-フェーズは睡眠時に例えられ、それぞれ与えられた教師パターンの記憶を深める操作と不要な記憶を忘れる操作に対応している。これによって、ボルツマンマシンの学習則<sup>(2)</sup>の平均場近似  $|\Delta W_{ij}| = \eta \cdot (S_i^+ \cdot S_j^+ - S_i^- \cdot S_j^-)|$  が実現できる。ここで、 $\Delta W_{ij}$ は荷重値の修正量で、 $\eta$ は学習係数で各ACPに与えるパルス数又はパルス幅によって変化させることができる。シナプス荷重値は5ビット以上（32階調以上）の分解能を持っている。学習機能を備えたシナプスユニットは、このアナログ・ディジタル混在回路設計によって  $70\text{ }\mu\text{m} \times 70\text{ }\mu\text{m}$  のセル面積で実現できた。

### 3.2 学習モード付きニューロン回路

図2にニューロンユニットの回路を示す。シナプスユニットからの出力電流（荷重化出力信号）が太線で示した入力共通ノードで足し合わされ（キルヒホフアダ），抵抗 $R_L$ によって電圧に変換されてコンパレータCompに入力される。Compの他方の入力端子には、チップ外部から基準電圧 $V_{ref}$ が与えられる。 $V_{ref}$ はニューロンのしきい値を表現する。Compの出力は、ニューロンの内部活性値に対応した状態を表す。ボルツマンマシンのシミュレーテッドアニーリングは、 $V_{ref}$ を減衰振動させることで擬似的に実現できる。

シフトレジスタSR(T)には、このニューロンの教師パターンデータが格納され、SR(P)には、このニューロンの属性（隠れ又は入力・出力）データが格納される。NORゲートとセレクタSEL1は、このニューロンの状態出力を制御する。すなわち、SR(P)に格納された属性データと制御信号 $I_{selS}$ とに従って、表1に示すように、このニューロンの状態出力 $S_i$ には、内部活性値による状態が教師データかが出力される。この構成によって、各ニューロンご

とに任意の属性と教師データを設定できる。なお、 $I_{selS}$ は、42ニューロンごとに共通で、この単位で入力か出力ニューロンかが区別される。

教師パターンを各ニューロンのSR(T)に格納した後、シナプスの学習制御信号ACP+、ACP-とニューロンの制御信号 $I_{selO}$ を、学習フェーズに従って操作することによって、ニューロンチップは与えられた教師パターンを学習する。教師パターンを変えて、この操作を繰り返すことによって、チップの記憶（学習したパターンの）は深められる。

SEL2は、各ニューロンの状態をモニタするのに使われる。すべてのニューロン状態は、制御信号 $I_{selO}$ に従って、同時に次のニューロンユニットのSR(T)に格納された後、通常のシフトアウト動作によってチップ外部に出力することができる。太線に接続された信号端子PADは、ニューロンの内部活性値モニタ用、又は回路網の拡張時にチップ間接続端子として用いられる。

## 4. 大規模回路網の実現手法

一般にニューラルネットは、それを構成するニューロンとシナプスの規模に伴って能力が増大する。したがって、より

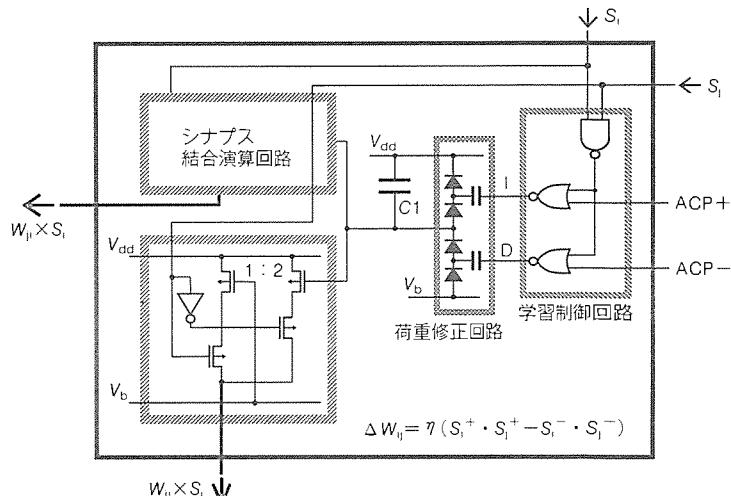


図1. シナプス回路

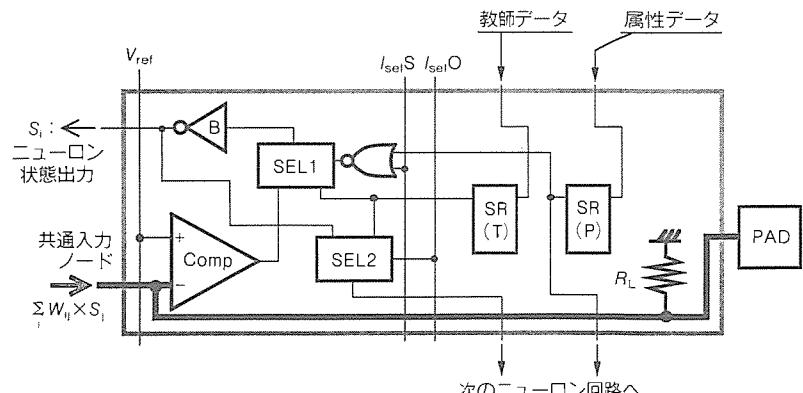


図2. ニューロン回路(BNU)

大規模な回路網を実現するために、マルチチップ接続手段は重要な技術である。

完全フィードバック結合構造を保った規模拡張を効率良く実現するため、BNU (Branch-Neuron-Unit) アーキテクチャを開発した。その概要を図3で説明する。このアーキテクチャは、一つのニューロンの機能を各チップに分散したBNUで表現することを特徴としている。図は3個の非対角結合表現チップと3個の対角結合部分(1.5個の対角結合表現チップに相当)を接続したニューラルネットを表しており、一つのニューロンを三つのBNUで表現している。各BNUは入力信号のみが共通接続されている。この共通入力ノードは、拡張接続するチップ数に比例して容量成分が増大するが、抵抗成分が減少するので、平均の時定数は拡張チップ数によらず一定である。また、各BNUはチップ内のシナプスのみ駆動するので拡張チップ数によらずBNUの負荷は一定である。したがって、チップ間接続線に寄生する抵抗・容量・インダクタンスが無視できる値であれば、拡張接続するチップ数によらずサイクル時間は一定に保たれ、並列度に比例した速度性能が得られる。

拡張接続に必要な2種類のチップは、三角形の対角結合部分を二つ向かい合わせることによって、対角結合表現チップは非対角結合表現チップとよく似た構成となり、マスター スライス方式によって配線の変更のみで2種類を作り分けることができる。

## 5. チップ構成

1.0  $\mu\text{m}$  CMOS 技術を使って 14.5 mm 角のチップに 336 個のニューロンユニットと 28,224 個のシナプスユニットを集積した。図4にチップ写真を示す。対角結合表現チップと非対角結合表現チップは共にチップ中央に 168 行 168 列のシナプスマトリクスが配置されており、そのシナプスマトリクスの四辺に沿って、それぞれ一辺に 84 個のニューロンユニットが一列に配されている。二つのチップの違いは、シナプスマトリクスの対角線上にあるシナプスユニットの配線が異なっているだけである。チップレベルのブロック構成を図5に示す。

前述したシナプスとニューロンの回路構成によって、シナプスにおける結合積演算と、ニューロンにおけるシナプス出力信号の総和演算、そして、そのしきい値処理(非線形変換)が、アナログ演算処理される。しかも、これらの処理は完全に並列・同期で動作するので高速な処理が実現できる。このようにチップ内

部では多くの部分でアナログ信号処理を行っているが、チップ外部の制御系とのデータのやり取りはすべてデジタル信号で行える構成であり、既存情報処理装置との整合性は良好である。

## 6. 評価結果

このチップは 50 ns で演算処理を実行でき、 $1 \times 10^{12}$  CPS

表1. ニューロンの属性と出力状態

ニューロン の属性	学習 フェーズ	SR(P) データ	$I_{sel}S$	ニューロン の状態出力
隠れ	+	H	L	内部活性値
	-		H	内部活性値
出力	+	L	L	SR(T) 反転データ
	-		H	内部活性値
入力	+	L	L	SR(T) 反転データ
	-		L	SR(T) 反転データ

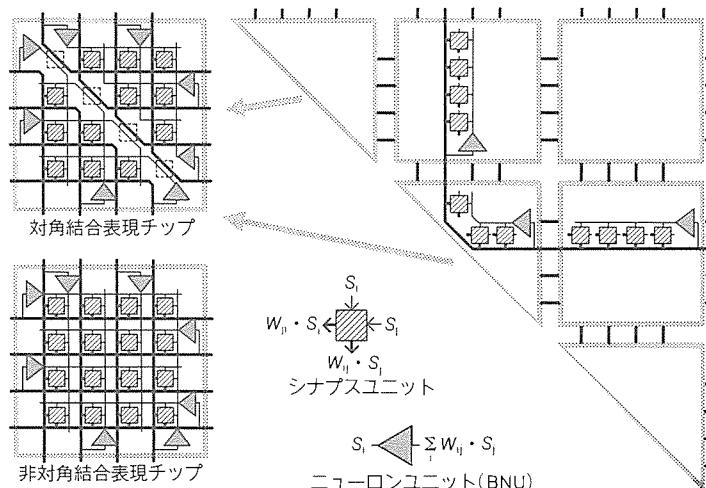
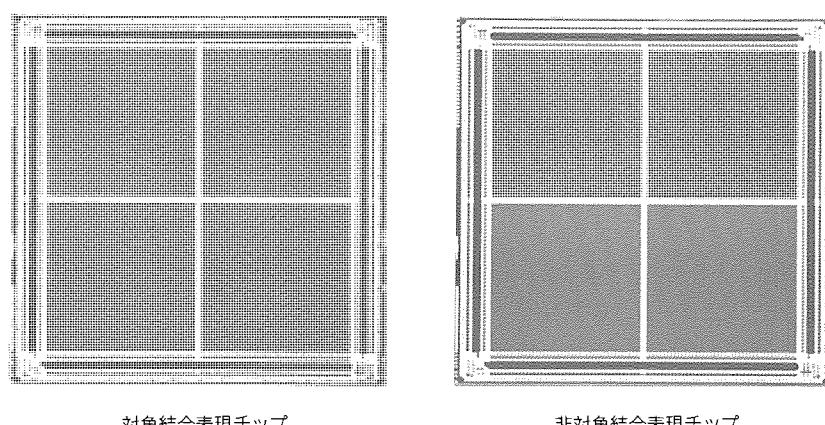


図3. BNU アーキテクチャによる拡張接続



対角結合表現チップ

非対角結合表現チップ

チップサイズ : 14.5mm × 14.5mm  
ニューロン数 : 336  
シナプス数 : 28,224  
シナプス結合数 : 56,448

図4. チップ写真

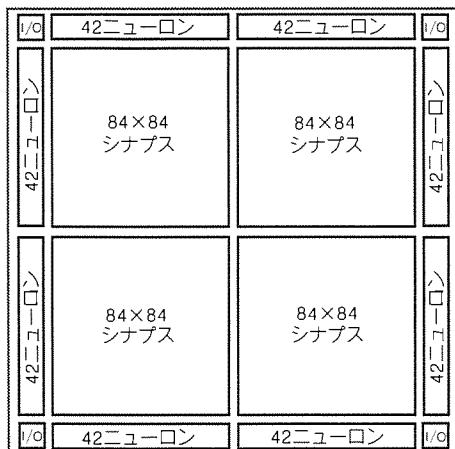


図5. チップレベルブロック図

(Connections Per Second) の処理速度に匹敵する。学習処理では  $28 \times 10^9$  CUPS (Connections Update Per Second) の速度性能が得られた。また、等ハミング距離の教師パターンによる学習評価によれば、シングルチップで 30 パターン程度までの記憶が可能で、その学習は 1 ms 以下で収束した。シナプス荷重値はキャパシタの蓄積電荷で表現されているので、構造上避けられない電荷のリークによって、学習後時間経過とともに変化する。この電荷のリークによる認識率の変化は、室温で約 300 ms 後に認識率 98 % まで低下した。しかし、学習に要する時間より 2 けた長いので、定期的な学習によって高い認識率を維持することが可能である。

実際の拡張システム構築で問題になる各 BNU 間の性能ばらつきやチップ間接続線に寄生する抵抗・容量・インダクタンスなどの不良因子は、各チップの学習機能（自己組織化能力）によってある程度吸収される。接続評価によって、数百チップまでの拡張接続が可能であることが見積もられている。試作したチップの諸元を表2にまとめる。

## 7. む す び

ニューロチップに強く求められる、高速、大規模、学習機能を実現するべく開発したこのニューロチップは、ニューラルネットの特徴である自己組織化機能を活用することに着目したアナログ・ディジタル混在回路設計によって、学習機能

表2. チップ諸元

構成	336ニューロン／28K シナプス
演算速度	$1 \times 10^{12}$ CPS* (1ビット × 5ビット精度)
学習速度	$28 \times 10^9$ CUPS**
表現回路網	完全フィードバック結合
チップサイズ	14.5mm × 14.5mm
使用プロセス	1.0 μm CMOS, 2poly, 2metal
パッケージ	393PGA
消費電力	最大 3.0W

注 \* CPS : Connections Per Second

\*\* CUPS : Connections Update Per Second

を備えながら高集積高速性能を実現できた。また、BNU アーキテクチャの開発によって、実用規模のニューラルネットの構築を可能とした。例えば、200 チップの拡張接続によって、3,360 ニューロン、5,644,800 シナプス (11,289,600 結合) のニューラルネットワークが実現でき、 $200 \times 10^{12}$  CPS の処理速度が期待できる。この性能は既存のニューロ アクセラレータ付きワークステーションの実現できる 2 倍以上の規模に匹敵し、約 7 けた以上速い処理速度である。

学習機能を持ったニューロチップの開発は始まったばかりであり、今後この分野の研究が進むにつれて多くの新たな課題が明らかになるだろう。新たな課題を明らかにするためにもこのようなニューロチップの開発は重要なステップである。また、これらのニューロチップで実現可能な応用分野の開拓もニューラルネット情報処理技術の展開に大いに役立つと思われる。

## 参 考 文 献

- (1) Arima, Y., Mashiko, K., Okada, K., Yamada, T., Maeda, A., Notani, H., Kondoh, H., Kayano, S. : A 336 Neuron, 28K Synapse. Self-Learning Neural Network Chip with Branch-Neuron-Unit Architectuere, ISSCC '91, Digest of Technical papers, 182~183 (1991)
- (2) Ackley, D. H., Hinton, G. E., Sejnowski, T. J. : A Learning Algorithm for Boltzmann Machines, Cognitive Science, 9, No. 1, 147~169 (1985)

# 大規模並列処理用データ駆動型 マイクロプロセッサ

小守伸史\* 佐藤尚和\*  
田村俊之\* 高田英裕\*  
浅井文康\*

## 1. まえがき

ハイエンドコンピュータの分野では、し烈な高速化競争が繰り広げられている一方で、これまで高速化を支えてきたデバイスの高速化は物理的な限界に近づいてきている。今後は、マルチプロセッサによる並列処理が、性能限界をブレークスルーするための中心的な技術課題と考えられている。

データ駆動方式は、非ノイマンすなわち並列処理コンピュータの代表的なアーキテクチャであり、データフローとも呼ばれている。プログラムを構成する命令同士のデータ依存関係をプログラム実行時に動的に検出し、データ依存のない命令を並列にスケジューリングすることにより、命令レベルの細かい並列処理を実現するアーキテクチャとして注目されている。この分野では、米国マサチューセッツ工科大学(MIT)における1970年代の研究が先駆的な役割を果たした。その後、日本を中心に実用化の研究が進められ、種々のシステムやLSIが開発されてきたが<sup>(1)~(3)</sup>、研究レベルのものや画像処理などの特定用途向けのものが多かった。

この論文のデータ駆動型マイクロプロセッサ(以下“本プロセッサ”という。)は、データ駆動アーキテクチャを採用することにより、マルチプロセッサ構成による並列処理を効率的に行うことを目指している。チップ単体としては、最新の0.8μmCMOSプロセスを用いることにより、32ビット浮動小数点演算を1秒間に5,000万回実行できる高性能(50MFLOPS)を達成した<sup>(4)</sup>。これは従来のデータ駆動型プロセッサ<sup>(3)</sup>の性能の約2.5倍に当たる。さらに、大規模並列処理への適用を想定した幾つかのハードウェア機能をチップ内に搭載した<sup>(5)</sup>。この論文では、1チップデータ駆動型マイクロプロセッサの概要を説明した後、本プロセッサのベクトル演算機能、並列処理向きの機能及び応用分野について述べる。

## 2. データ駆動方式

ノイマン型のコンピュータの理論的な裏付けが有限状態機械であるとすれば、データ駆動型のコンピュータの理論的なよ(拠)り所はペトリネット<sup>(6)</sup>と呼ばれる有向グラフであり、ペトリネット上を流れる複数のデータ(トーケンという。)の振る舞いによって並列処理のモデルを構築している。

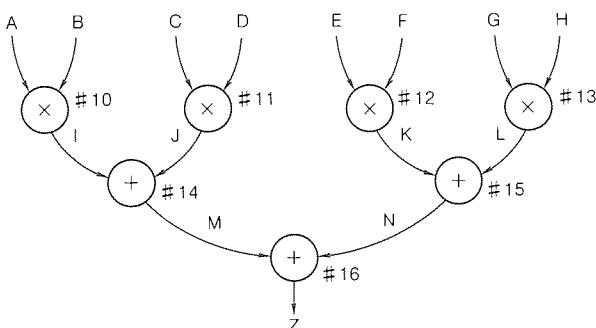
図1は、ペトリネットと等価な表現であるデータフローグラフを示している。データフローグラフは、データ駆動型の

コンピュータにおける機械語レベルのプログラム表現形式であり、命令コードを表す円(ノード)と、ノード間のデータ依存関係を表す矢印(アーカ)から構成されている。データ駆動方式では、命令ノードの入力端子にパケット(制御情報を附加したデータ)が到着することによって各命令は演算実行可能となり、ハードウェア資源の許す限りにおいてこれらの命令は並列に処理される。

データ駆動方式でプログラムを実行するために必要な操作は、①“あるノードに対する二つの入力がそろったことの検出”，②“命令コードの読み出し”，③“命令の実行”的三つである。これをハードウェアに対応させると、データ駆動型コンピュータに必ず(須)の機能部は、①マッチングメモリ、②プログラムメモリ、③演算処理部の三つであるといえる(図2)。このうち、プログラムメモリと演算処理部はノイマン方式でもほぼ同一機能のハードウェアが用いられるが、マッチングメモリはデータ駆動方式に特有かつ重要な機能部である。

図3は、データ駆動方式におけるプログラム実行のイメージを示したものであり、複数のパケットが並行にプログラムメモリをアクセスし、これらのパケットが並列かつ独立に処理される様子を示している。図3中のプログラムメモリの内容は、図1のデータフローグラフを表している。

データ駆動型プロセッサの中では、各々のデータはパケット形式で通信されており、命令コード、行き先ノードアドレス、カラー／世代番号などの制御情報を含むタグ部を伴っている。各々のパケットに付けられた行き先ノードアドレスは、次に実行すべき命令の格納アドレスを示しており、ノイマン



$Z = A \times B + C \times D + E \times F + G \times H$  と等価な演算を行うデータフローグラフ。各ノードに付加した番号はノードアドレスを示す。

図1. データフローグラフの例

方式におけるプログラムカウンタと同一の役割を果たしている。データ駆動方式では、活性化されているデータが個別にプログラムカウンタをもっていることになり、これらのデータを独立に処理することができる。

### 3. 1 チップデータ駆動型マイクロプロセッサ

#### 3.1 プロセッサの概要

本プロセッサは、図4に示すように基本的には機能ブロックを環状に接続した巡回型パイプライン方式を採用しており、一つのパケットがパイプラインを1周回することにより、1命令が実行される。パイプライン中でのパケットのスループットは最高毎秒50Mパケットである。この高スループットを実現するために、本プロセッサは各機能ブロックを更に多段のパイプライン段に分割するスーパーパイプライン構造を採用し、さらにパイプライン中のデータ転送を高速に行うために自己同期回路を用いた<sup>(7)</sup>。

インターフェース部は、プロセッサ外部とのパケットの入出力を制御するブロックであり、外部からの入力パケットに対して行き先プロセッサ番号をチェックした後、内部の巡回パイプラインに合流させる“合流機能”と、巡回パイプラインから他のプロセッサ行きのパケットを分岐させて出力する“分岐機能”をもっている。

マッチングメモリ部<sup>(8)</sup>は、2項演算命令のための二つの入力データの待ち合わせを行うブロックである。パケットが到着すると行き先ノードアドレス及びカラー／世代番号をキーワードとしてメモリ内容を検索し、これらが一致する相手データを探し出す。検索がヒットすれば2項演算用のパケットを出力し、ミスした場合には入力したパケットをメモリ内に格納し、相手パケットの到着を待たせる。カラー／世代番号をキーワードとすることにより、いわゆる動的データ駆動方式を1チップ上で実現することができ、多世代データの同時処理や、複数タスクからの同一関数同時呼出などが可能となった。動的データ駆動方式の採用により、プロセッサ効率を飛躍的に向上させることができることを5章で示す。

データメモリ部は、配列データ及

び定数データを格納する。配列データにベクトル演算を施すための五つのアドレス発生器を備えている。

本プロセッサは、入力パケットに対する応答時間を短縮するために、演算処理部とプログラムメモリ部を並列配置している。演算処理と並行に、プログラムメモリ部では次の周回

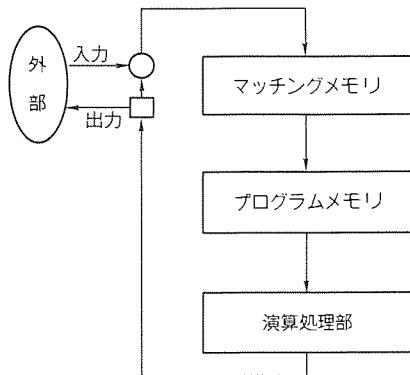


図2. データ駆動型プロセッサの基本構成

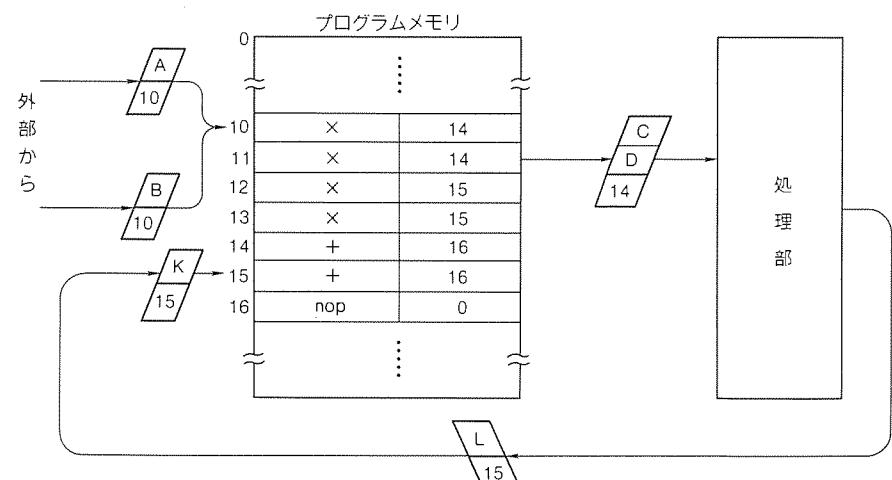


図3. データ駆動方式におけるプログラム実行のイメージ

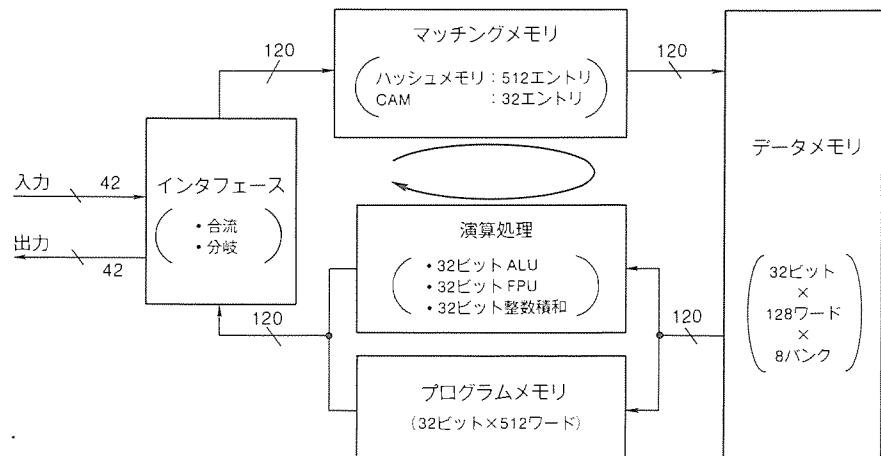


図4. 1チップデータ駆動型プロセッサのブロック構成

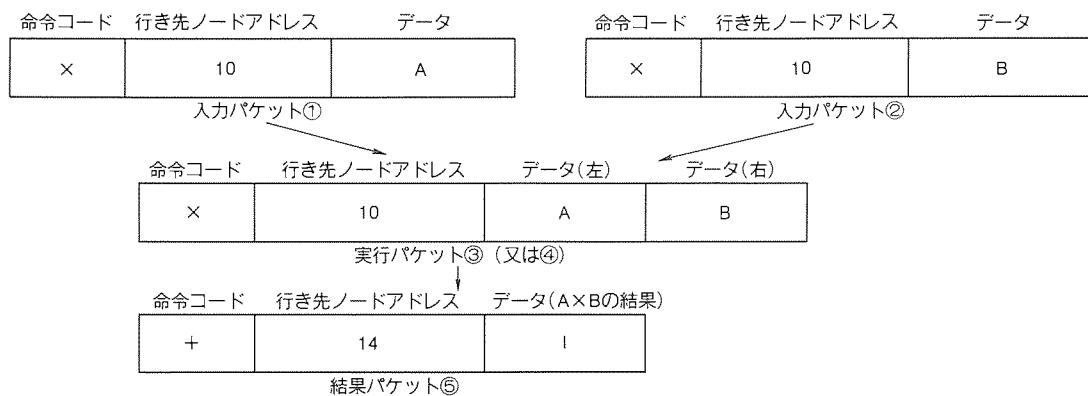


図5. パケットフロー

時に実行すべき命令を先読みしてパケットのタグ部を更新している。

図5にスカラーデータ処理時のパケット内容の変遷を示す。外部から入力される初期パケット①、②には、プログラムメモリを通過することなく命令を実行させるために、命令コード、行き先ノードアドレス等があらかじめ与えられている。マッチングメモリ部で待ち合わせが完了すると、実行パケット③が生成される。データメモリ部では、命令コードに従ったメモリアクセスが行われる。データメモリから出力されたパケット④を構成するフィールドのうち、行き先ノードアドレスはプログラムメモリ部、また命令コードとオペランドデータは演算処理部に入力される。プログラムメモリ部で読み出された次の行き先ノードアドレスと、演算処理部で演算された結果データは一つの結果パケット⑤に統合される。結果パケットは、インターフェース部を経由して再び処理されるか、若しくは最終結果として外部に出力される。

図6に本プロセッサのチップ写真、表1に諸元を示す。本プロセッサは、 $0.8\mu\text{m}$  の2層メタル2層ポリシリコンCMOSプロセスを用いて、約70万素子を $14.65\text{ mm}^2$  角のチップ上に集積している。オンチップメモリの大容量化を図るために、2層目のポリシリコンを負荷抵抗として用いた高抵抗負荷型メモリセルのSRAMを用いた。

### 3.2 最小遅延マッチングメモリ

上でも述べたように、マッチングメモリは高性能なデータ駆動型プロセッサ実現のかぎ(鍵)となる重要な機能部である。マッチングメモリとしては、従来からハッシュメモリが一般的に採用されている<sup>(3)</sup>。ハッシュメモリは、大規模な論理アドレス空間を小容量の物理メモリにマップするために用いられるメモリであり、何らかのハッシュ関数を用いてアドレスのビット幅が圧縮される。しかし、圧縮時に複数のアドレスが同一のハッシュアドレスにマップされているため、ハッシュ衝突と呼ばれる現象が起こる。ハッシュ衝突が起きた場合には、ポインタチェインをたどりながら予備メモリ領域の逐次アクセスを行う必要があり、時間的なペナルティが大きい。

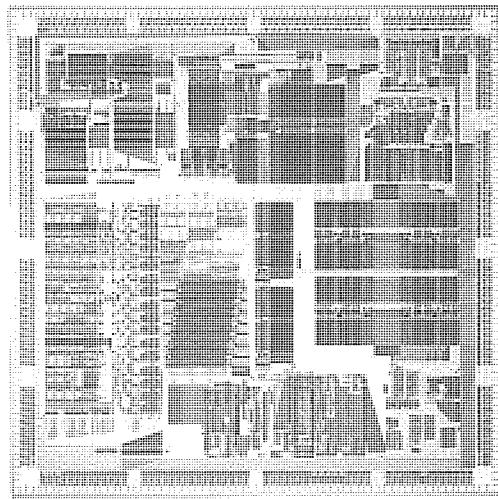


図6. 1チップデータ駆動型プロセッサのチップ写真

本プロセッサでは、この問題を解決するためにハッシュメモリと小容量の連想メモリを併用した<sup>(8)</sup>。ハッシュ衝突パケットが発生すると連想メモリに格納しておき、後続の入力パケットに対しては両方のメモリを同時に検索せることにより、ハッシュ衝突の有無にかかわらず、最小の遅延時間でマッチング処理を行うことができる。なお、連想メモリは、同時刻にハッシュ衝突しているパケットを格納することができればよいので、比較的小容量で十分な効果があり、本プロセッサでは32エントリとした。

### 3.3 ベクトル演算機能

データ駆動型プロセッサは、プログラム実行時に命令の実行順序が動的に決定されるため、スカラーデータの並列処理には適しているが、命令の実行順序が固定的であるベクトルデータに対しては余計なスケジューリングを行っていることになり、効率が良いとはいえない。本プロセッサは、エンジニアリング分野で頻繁に必要となるベクトル演算性能を向上させるために、ベクトル演算のためのパケット発生機構をチップに内蔵した。

図7に示すように、本プロセッサのデータメモリ部は、独立に動作する五つのアドレス発生器と、8つのメモリバンク

表1. 1チップデータ駆動型マイクロプロセッサの諸元

チップ諸元	プロセス	0.8 μm 2層メタル 2層ポリシリコン CMOS プロセス技術
	素子数	約70万個
	チップサイズ	14.65mm×14.65mm
	最高性能	50MFLOPS*
	演算命令	56命令(32ビット整数、及び浮動小数点)
メモリサイズ	チップ内蔵	データメモリ 32ビット×1,024ワード プログラムメモリ 32ビット×512ワード マッチングメモリ 56ビット×512ワード
	外部拡張メモリ	データメモリ $2^{24}$ バイト プログラムメモリ $2^{21}$ ワード

注 \* MFLOPS : Million FLoating-point Operations Per Second

1MFLOPSは、1秒間に100万回の演算を行うことを示している。

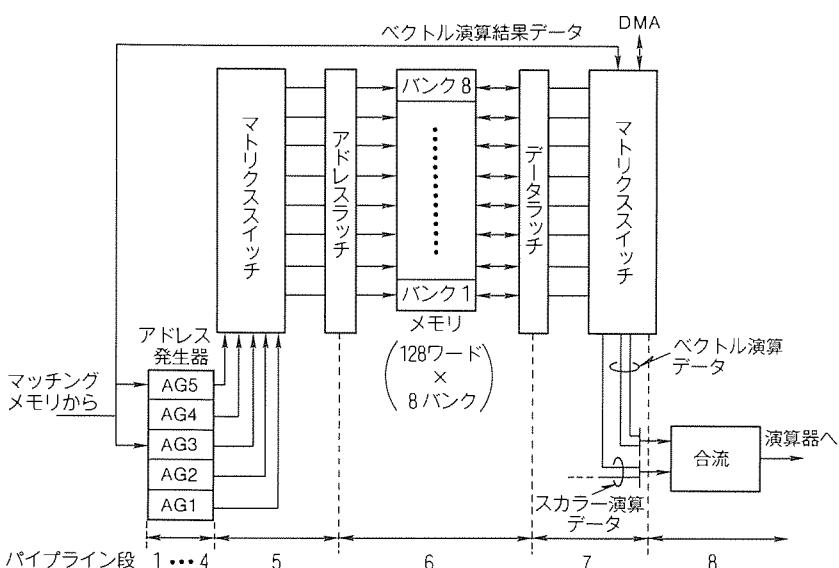


図7. ベクトルデータ生成機能付きデータメモリ

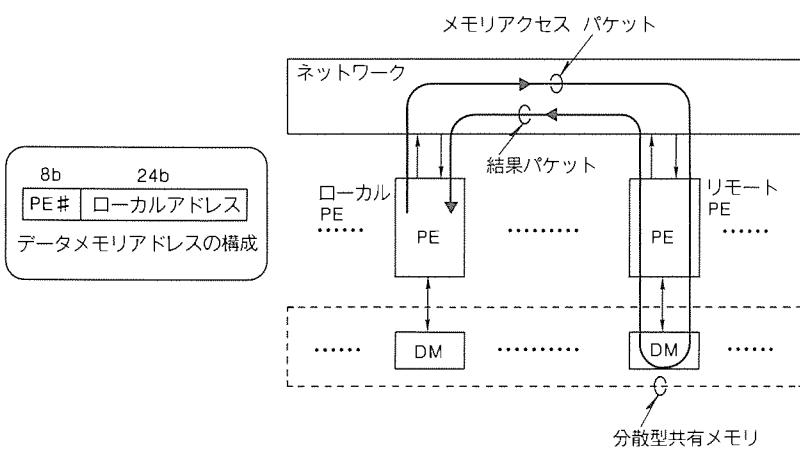


図8. 分散型共有メモリアクセス

を備えている。五つのアドレス発生器のうち、AG 5 はスカラーデータのアクセスに当てられるが、残りの四つはベクトル演算のために用いられる。

ベクトル演算時には、ベクトル演算用のアドレス発生器 AG 1, 及び AG 2 を用いて二つのオペランド(被演算データ)

を連続的に読み出しながら、あらかじめ設定されている命令コードとともに演算部に送り込み、ベクトル演算を実行する。結果データが巡回型パイプライン内を経由して再びデータメモリ部に到着すると、アドレス発生器 AG 3 を用いて結果格納用のメモリバンクに連続的に書き込みを行う。

アドレス発生器 AG 4 は、メモリバンクと外部拡張メモリ間のブロックデータ転送用であり、ベクトル演算と並行して、次のベクトル演算に必要なデータを読み込むことができる。

#### 4. 並列処理のサポート機能

##### 4.1 ネットワーク機能

マルチプロセッサ間でのパケット通信を支援するために、ネットワーク機能をチップ内に実現した。ホストコンピュータから送信される初期化パケットによって、各プロセッシングエレメント(PE)のPE番号をソフト的に設定できるようにした。行き先PE番号が一致しない入力パケットは、出力ポートに転送されるのでこのチップのみでディジタルエンジンを構成することができる。また、開発中のルーティングチップと組み合わせることにより、さらに多様なネットワークを構築することが可能となる<sup>(9)</sup>。

##### 4.2 分散型共有メモリのアクセス機能

大規模並列処理システムでは、メモリアクセスのボトルネックを避けるために分散型のメモリシステムが望ましい。一方、共有メモリに対する必要性も高いので、メモリシステムとしては分散型共有メモリの実現が必要となる。

本プロセッサでは、マルチプロセッサ構成時に他のPEのローカルメモリを透過的にアクセスするための機能をハードウェアで実現した。図8に示すように、32ビットのグローバルメモリアドレスは、行き先PE番号とローカルメモリアドレスから構成されている。分散型共有メモリをアクセス

するためのパケットは、グローバル メモリアドレステップ8ビットのPE番号に従って自動的に行き先PEに転送され、そこで下位24ビットのローカル メモリアドレステップでデータメモリをアクセスした後、もとのPEに自動的に戻ってくる。

この機能の実現により、プログラマは分散メモリ上での物理的なメモリ割り付けを意識することなく効率的にプログラムを作成することができる。さらに、グローバル メモリアアクセスのためのパケットハンドリングは完全にハードウェアで実現されているため、行き先PEのプログラム実行に与える影響を最低限にとどめることができる。実際、自PEのローカルメモリをアクセスする場合と比較したオーバヘッドはネットワークの通信時間のみであり、極めて高速な分散型共有メモリのアクセスが実現できたと考えられる。

#### 4.3 テスト アンド セット機能

分散型共有メモリの高速アクセス手法については上で述べたが、並列処理環境における共有メモリのアクセスで最も重要な問題の一つはメモリ内容の一貫性の維持である。例えば、複数タスク間でデータを共有している場合には、タスクAが共有データを操作している間は、原則として他のタスクに対して同一データ領域に対するアクセスや操作を禁止する必要がある。

本プロセッサでは、メモリ内容の一貫性をソフトウェアで保証することを可能とするために、データメモリのテストアンドセットのための命令を用意した。各タスクが共有データへのアクセスを行う前に、共有データの占有状態を示す特定のデータメモリアドレスに対してテストアンドセット操作を実行し、成功した場合のみ共有データ操作を許可するようにプログラムすることにより、メモリ内容の一貫性を保証することができる。

テストアンドセットの機能は、共有データの排他的アクセスに限らず、並列処理環境における資源管理に広く用いることができる。

### 5. 応用プログラム評価

図9に示すグラフは、三次多項式の計算プログラムに対して50世代のデータを連続投入した時のシミュレーション結果を示している。図中のマッチングメモリ出力レートはプロセッサの演算性能を表しており、例えば35Mパケット/秒の出力レートは35MFLOPSの演算性能に相当している。プログラム実行を開始した当初、プロセッサ内の滞留世代数が5世代以下では、データの並列度が小さいためにパイプラインの充足率が低く、性能も20MFLOPS程度であるが、十数世代が滞留する状態ではおよそ35MFLOPSの性能が得られていることが分かる。

これはスカラー演算の場合であるが、例えばベクトル化が容易な高速フーリエ変換の場合には、ほぼ50MFLOPSの性

能を発揮し、1,024点のフーリエ変換を約1msで実行することができる。これは、信号処理専用のプロセッサ(DSP)と比べても高速である。

### 6. 今後の展開

本プロセッサは、高速ベクトル演算、効率的なマルチタスク処理、台数効率に優れたマルチプロセッサ並列処理などの特長を持っている。これらの特長を生かすことにより、次のような分野に適用していくことができると考えている。

#### (1) ベクトル演算機能

高速ベクトル演算機能を生かして、信号処理(FFT、種々のディジタルフィルタ)や大規模シミュレーション(流体、ニューラルネット等)を高速化することができる。

#### (2) マルチタスク処理

本プロセッサでは、プログラムメモリにあらかじめダウンロードした複数のタスクに対して入力データを同時に投入することにより、タスク切替えのオーバヘッドなしで、複数のタスクを同時並行に実行することができる。このため、従来は割込み処理を用いて複雑かつ非効率なタスク切替えを行っていたリアルタイム制御を高速化でき、機器組込み制御や、ロボット制御などに用いることができる。

#### (3) マルチプロセッサ並列処理

大規模なプログラム(データフローグラフ)は、適当なサイズに分割してマルチプロセッサに割り付けることができる。プロセッサ間の通信は、分割時に切断されたアーケ上を流れれるパケットによる、いわゆるメッセージ通信によって実現さ

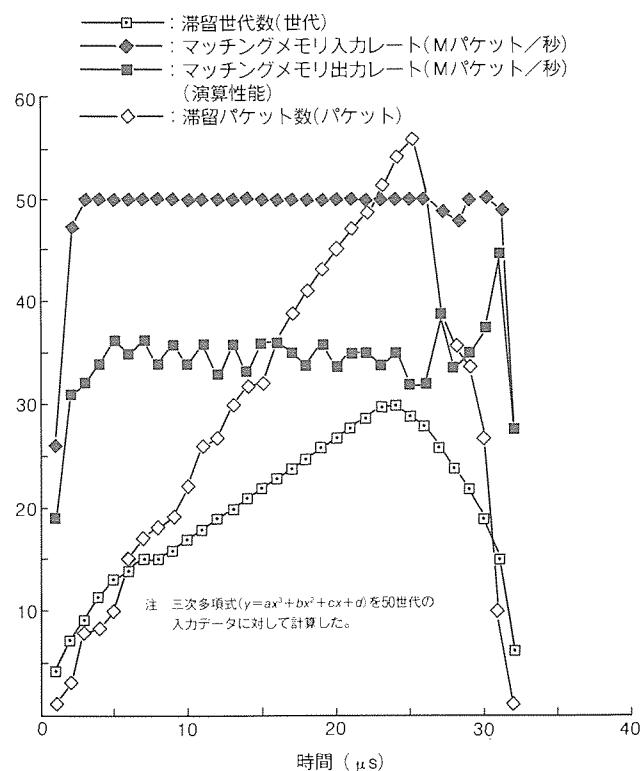


図9. 性能シミュレーション結果

れ、ノイマン方式のマルチプロセッサ間同期で必要となる割込み処理やタスク切替えなどは不要である。このため、プロセッサ間の同期オーバヘッドのない効率的な並列処理システムを構築することができる。

論理シミュレーションなどのイベント駆動型シミュレーション、負荷分散によるコンピュータ グラフィックスの高速化、及び実時間動画処理などに威力を発揮する。

現在、応用評価用として、本プロセッサを4PE搭載したマルチ プロセッサボードを開発中である。このボードは、EWS のバックエンド プロセッサとして用いることも想定しており、VME バスインターフェースをもっている。さらに、複数のボードを連結してより大規模な並列処理システムを構築するための相互接続ポートを備えているので、広い範囲の応用システムのテストベッドとして活用できると考えている。

## 7. む す び

並列処理のための機能を中心に、50 MFLOPS の演算性能を持つ1チップデータ駆動型マイクロプロセッサについて述べた。本文では割愛したが、C コンパイラ及びシミュレータなどのソフトウェア環境の整備も並行して行った。本プロセッサの開発により、超高性能コンピュータ実現のためのマイクロプロセッサの新たな利用形態の可能性がひら(拓)けると考えている。今後、大規模並列処理分野における本プロセッサの諸機能の有効な活用法に関して、具体的な応用に即して実証的に評価していく予定である。

## 参 考 文 献

- (1) Shimada, T. : Evaluation of a prototype dataflow processor of the sigma-1 for scientific computation, IEEE Compcon Dig. Tech. Papers, 226~234 (1986)
- (2) Nukiyama, T., Matsumoto, K., Kurokawa, H., Hoshi, T.,

Goto, H., Tenma, T. : A VLSI Image Pipeline Processor, IEEE ISSCC Digest of Technical Papers, 208~209 (1984)

- (3) Komori, S., Shima, K., Okamoto, T., Miyata, S., Terada, H. : The Data-Driven Microprocessor, IEEE Micro, 45~59 (1989-6)
- (4) Komori, S., Tamura, T., Asai, F., Tsubota, H., Sato, H., Takata, H., Seguchi, Y., Ohno, T., Tokuda, T., Terada, H. : A 50MFLOPS Superpipelined Data-Driven Microprocessor, IEEE ISSCC Digest of Technical Papers, 92~93 (1991)
- (5) Tamura, T., Komori, S., Asai, F., Tsubota, H., Sato, H., Takata, H., Seguchi, Y., Tokuda, T., Terada, H. : A Data-Driven Architecture for Distributed Parallel Processing, Proc. IEEE ICCD, 218~224 (1991)
- (6) Peterson, J. L. (市川惇信, 小林重信訳) :ペトリネット入門, 共立出版 (1984)
- (7) Asai, F., Komori, S., Tamura, T., Sato, H., Takata, H., Seguchi, Y., Tokuda, T., Terada, H. : Self-Timed Clocking Design for a Data-Driven Microprocessor, IEICE Trans. E 74, No.11 (1991)
- (8) Takata, H., Komori, S., Tamura, T., Asai, F., Sato, H., Ohno, T., Tokuda, T., Nishikawa, H., Terada, H. : A 100Mega-Access per Second Matching Memory for a Data-Driven Microprocessor, IEEE J. Solid-State Circuits, 25, No. 1, 95~99 (1990)
- (9) Seguchi, Y., Komori, S., Tamura, T., Asai, F., Tsubota, H., Sato, H., Takata, H., Ohno, T., Tokuda, T., Terada, H. : A Flexible Router Chip for Massively Parallel Data-Driven Computer, Symp. VLSI Circuits Digest of Technical Papers, 27~28 (1991)

# 16M ビット DRAM

有本和民\* 若宮 亘\*  
日高秀人\* 野崎雅彦\*\*  
平山和俊\*\*

## 1. まえがき

高度情報化社会におけるキーデバイスであるダイナミックRAMは、スーパコンピュータからパソコンに至る情報処理装置に幅広く用いられている。DRAMは本質的に高集積化に適しており、3年で4倍の高集積化が進められ、ビットコストの低減によってその市場規模を飛躍的に拡大してきた。また、DRAMは高集積化実現のため時代の最先端技術が駆使され半導体のテクノロジードライバと呼ばれている。

特に近年DRAMは、マイクロプロセッサに代表されるシステムサイドの高性能化に対応するため世代を追うごとに、より一層の高速性、低消費電力化が要求されている。当社ではこのような大容量化、高性能化の市場要求にこたえるべく16M DRAMの開発を進め、ISSCC'89(1989 IEEE International Solid-State Circuits Conference)において3.3V単一電源のプロトタイプ16M DRAM<sup>(1)</sup>を発表した。

また、より高速、低消費電力化を目指し、かつJEDEC(Joint Electron Device Engineering Council)の標準仕様である外部5V単一電源、4Kリフレッシュサイクル、400ミル幅のSOJ(Small Outline Package with J-lead)パッケージに封止するという要求にこたえる第一世代16M DRAMを開発した。今回その特長及び技術について述べるとともに、電気的特性を紹介する。

## 2. 第一世代16M DRAMの設計

### 2.1 設計のねらい

システム側から要求される4M DRAM<sup>(2)(3)</sup>以上の高性能、高信頼性の実現、チップ面積及び製造工程増大に対する高歩留り設計、ビット数増大に対するテストコストの低減等を目的とした設計のねらいを表1に示す。

#### (1) 高速化

最近の32ビットマイクロプロセッサの動作周波数の向上に対応するため16M DRAMでは、第一世代品から、60nsのRASアクセス時間、30nsのコラムアドレスアクセス時間の実現を目指す。

#### (2) 低消費電力

64ms/4Kリフレッシュサイクルに伴う分割動作設計と内部降圧回路の採用により、動作時の消費電流がサイクル時間120nsで約75mAを目指す。

#### (3) 内部降圧方式

内部降圧回路を搭載することで、外部5V単一電源下でハーフミクロソルトロンに微細化したデバイスの高信頼性及び低消費電力を実現する。

#### (4) 生産性向上

$\times 1$ 、 $\times 4$ 及びすべてのモードをボンディング切替えとし、冗長構成は自由度の高い64ロウ/16コラムを備えることで歩留り向上を図る。また、16ビット並列( $\times 1$ 構成品)/4ビット並列( $\times 4$ 構成品)のテストモードを備え、テスト時間の短縮を可能とする。

### 2.2 チップ構成

第一世代16M DRAMのチップ写真を図1に示す。また、そのブロック図を図2に示す。構成は16M×1と4M×4をボンディングによって切り替えており、チップサイズは7.84mm×16.7mm(=130.9mm<sup>2</sup>)、メモリセルサイズは、1.42μm×2.84μm(=4.03μm<sup>2</sup>)である。図に示すようにメ

表1. 設計のねらい

高速化	$t_{RAC}=60\text{ns}$	
低電流化	1/16分割動作、 $I_{cc} 1=75\text{mA} @ t_c=120\text{ns}$	
内部降圧方式	高信頼性ハーフミクロソルトロンデバイスの実現	
生産性向上	品種切替え	ボンディング切替え
	冗長構成	64ロウ/16コラム
	テストモード	16ビット( $\times 1$ )/4ビット( $\times 4$ )

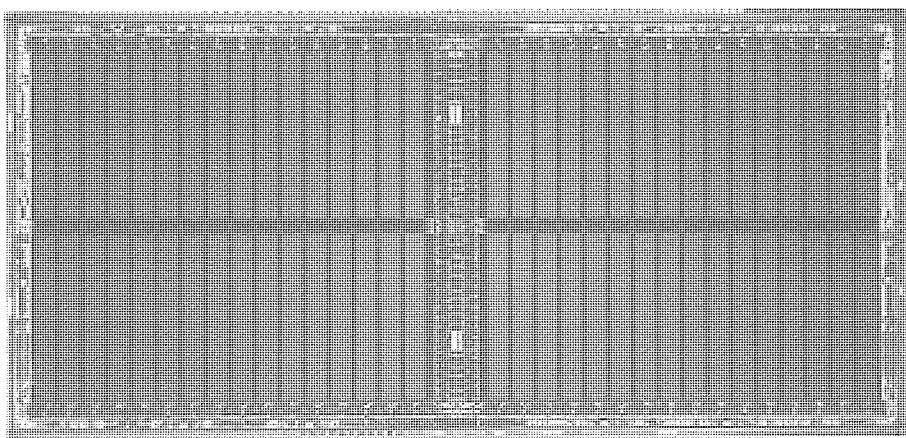


図1. 第一世代16M DRAMのチップ写真

モリセルアレーはロウデコーダ及びコラムデコーダにより、四つの4Mビットブロックに分割され、各4Mビットのブロックはセンスアンプ列によって更に16個の256Kビットのサブアレーに分割されている。ワード線は1層目のポリシリコンによって形成され、またビット線はタンゲステン・ポリサイドで形成され、1本のビット線には128個のメモリセルが接続されている。コラムデコーダ回路は、コラム選択線を2層目のアルミでメモリアレー上を通過させることでチップ中央部に2列設ける構成としている。また、周辺回路もチップ中央部に配置し回路間の配線遅延が最小になるように考慮した。

### 2.3 高速・低消費電力化設計

第一世代16M DRAMの高性能化を実現した要素技術は、次章述べる内部降圧回路技術に加え、トランジスタの高性能化とメモリアレー及び周辺回路の分割動作があげられる。

表2に第二世代4M DRAMとのトランジスタパラメータの比較を示す。トランジスタのゲート長をPチャネル及びNチャネル共に0.6μmに縮小し、ゲート酸化膜厚を15nmに薄膜化することによって高性能化を図り、回路全体のスイッチングを高速化した。

16M DRAMのリフレッシュサイクルは、4M DRAMの延長でいくと2Kリフレッシュサイクルとなるが、1サイクルでリフレッシュされるメモリセルの数が4M DRAMの倍になるだけでなく、高速化に伴うサイクルタイムの短縮が消費電力を大幅に増加させるのでメモリボード等では発熱が大きな問題となる。これを回避するため、第一世代16M DRAMでは4Kリフレッシュサイクルが採用されている（この場合リフレッシュインターバルを4M DRAMに合わせるために、64msのリフレッシュ周期となる）。これにより、メモリアレーの動作領域は2Kリフレッシュサイクルの半分で済む。第一世代16M DRAMでは図2で示した斜線の領域が1サイクルで動作する1/16分割動作が可能となり、さらに周辺回路も一部の制御回路を除きほぼ1/4の分割動作を実現している。これにより、内部電源電圧4V、サイクルタイム120nsで動作電流75mAの低消費電流を達成している。

### 2.4 内部降圧回路

16M DRAMでは使用されるハーフミクロントランジスタの信頼性確保のため、外部電源電圧5Vをそのまま使えないで内部電源電圧を下げる内部降圧回路技術が必ず（須）となる。図3に内部降圧回路の構成を示す。動作時のピーク電流等により、内部電源電圧が下がった場合に定電圧発生回路出力 $V_{ref}$ と内部電源電圧を差動増幅器で検知比較し、スイッチング回路を制御することで安定な内部電源電圧を供給する構成になっている。動作速度、消費電流、信頼性を考慮

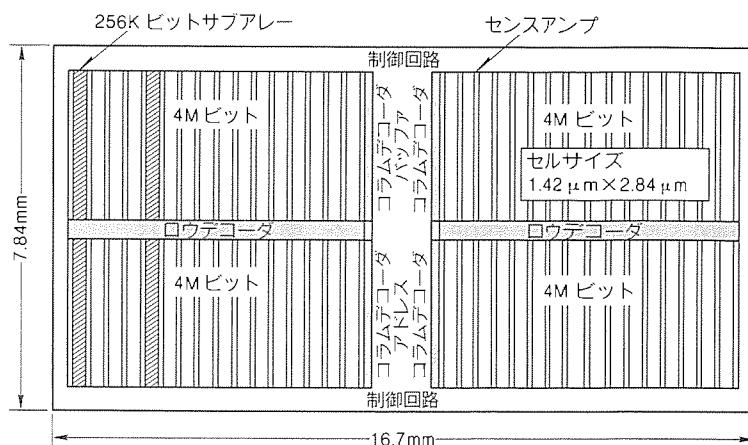


図2. 第一世代16M DRAMのブロック図

表2. トランジスタパラメータの比較

	第二世代4M DRAM	第一世代16M DRAM
ゲート長 (μm)	Nチャネル 0.8	0.6
	Pチャネル 1.0	0.6
ゲート酸化膜厚 $t_{ox}$ (nm)	18	15

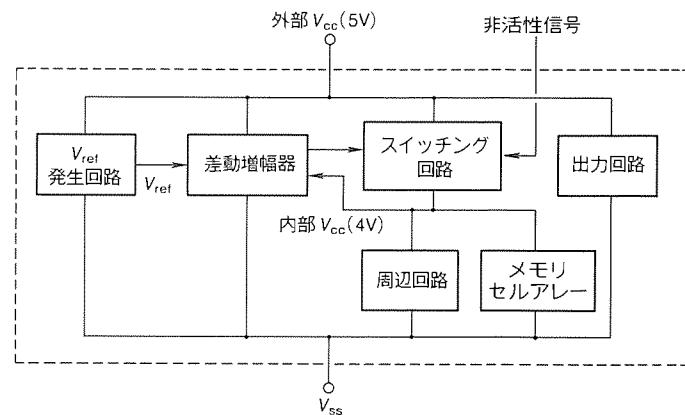


図3. 内部降圧回路構成

し、性能を最大限に引き出すためメモリアレーだけでなく、出力回路以外の周辺回路をも降圧している。また、内部電圧は4Vに設定している。

第一世代16M DRAMでは、内部降圧方式で問題となる信頼性加速試験に対し、短時間で信頼性の高いスクリーニング試験を実施するため、内部降圧回路を非活性にして外部電源電圧を直接チップ内部に印加できるストレスモードを搭載している。図4に通常時とストレスモード時の内部電源電圧特性を示す。

### 2.5 高生産性設計

ウェーハプロセスにおけるパターン欠陥を救済するために、冗長回路としてレーザプログラム方式を採用し、512ビットブロックごとに2ロウ、及び4Mビットブロックごとに4

コラムの計64コラム/16コラムのスペアメモリセルを設け、歩留りの向上を図った。

一方、品種切替えの点からは×1構成と×4構成の切替えを含め、すべての品種切替えをアセンブリ工程におけるワイヤーボンディング切替えとした。パッケージはJEDEC標準の400ミル幅のSOJとTSOPを用意した。図5に各種のパッケージ写真を示す。

また、テスト工程の効率化に対し×1構成の場合16ビット、×4構成の場合4ビットの並列テストを行えるテストモードを搭載している。表3にテストモードの諸元を示す。コンプレスアドレスは、×1品の場合コラムアドレスの最上位2ビットと最下位2ビットであるCA11, CA10, CA1, CA0であり、×4品はCA0, CA1である。また、テストモードのセット及びリセットは、4M DRAMと全く同じWCBR(Write CAS Before RAS)及びROR(RAS Only Refresh), CBR(CAS Before RAS)で行える。テストモード時の読み出しデータがすべて同じ("H"又は"L")のとき"H"が出力され1ビットでもデータが異なるときは"L"が出力される。

### 3. プロセス技術

メモリセル面積の縮小化に対して十分なメモリ容量を確保するために、当社では4M DRAMから三次元のメモリセル構造の一つであるスタックキャパシタを採用してきた。

第一世代16M DRAMにおいても、4M DRAMからの技

術の連続性を考慮し、スタックキャパシタのメモリセル構造を採用した。

また、約4 $\mu\text{m}^2$ のセルサイズを実現するため、最小0.5 $\mu\text{m}$ のリソグラフィ技術、高段差下地の上での高精度・高選択比エッチング技術、酸化膜換算で6nmのキャパシタ誘電体膜技術を開発し導入した。

さらに、ソフトエラー耐性向上の目的で、P型埋込み層を形成している。その結果図6に示すように、埋込み層を形成していない場合に比べてソフトエラー耐性が一回以上向上した。スタックキャパシタセルに特有の高段差下地の上の上層パターン、特に配線パターンの形成を容易にするためリフローガラスを用いて徹底的に平たん化した。その場合、パターンサイズの縮小化とも相まって、コンタクトホールの

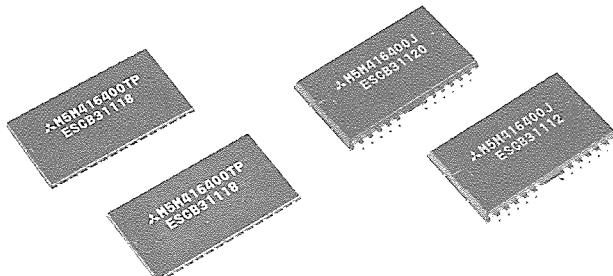


図5. 第一世代16M DRAM のパッケージ(右: SOJ, 左: TSOP)

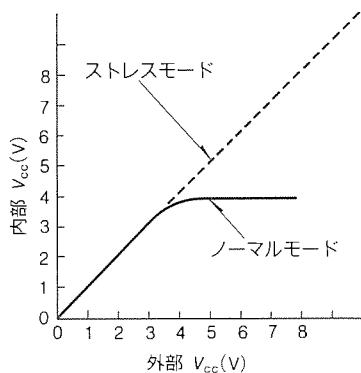


図4. 内部電源電圧特性

表3. テストモード諸元

	16M×1	4M×4
並列テストビット	16ビット	4ビット
コンプレスアドレス	RA11, CA11, CA0, CA1	CA0, CA1
セットサイクル	WCBR(Write CAS Before RAS)	
リセットサイクル	ROR(RAS Only Refresh), CBR(CAS Before RAS Refresh)	
出力方式	2値出力(H:一致, L:不一致)	

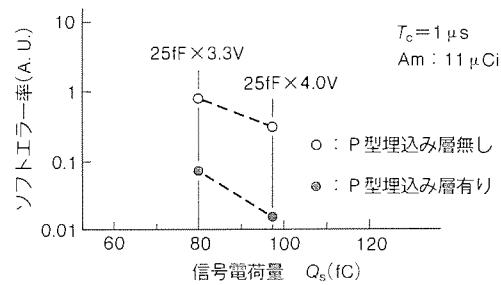


図6. ソフトエラー特性

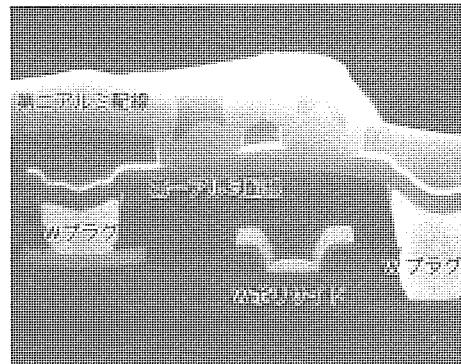
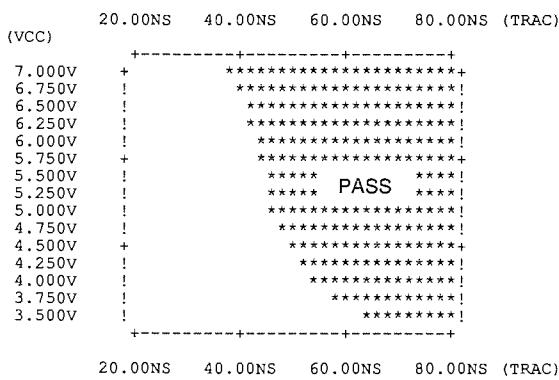


図7. Wプラグのデバイス適用例

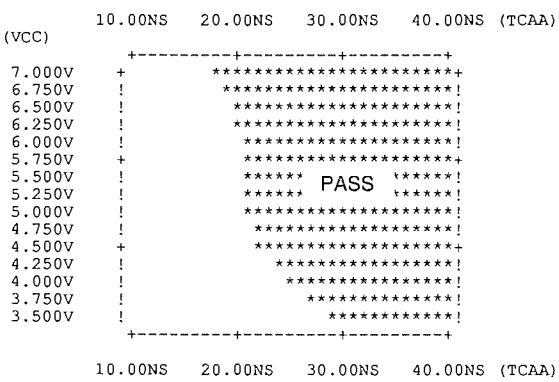
アスペクト比が非常に大きくなり、その部分でアルミ配線が薄膜化して配線として信頼性が低下する。その対策として、16M DRAMではCVD-W(タンゲステン)とエッチバック法により、コンタクトホール部にWを埋め込んでプラグを形

成し、アルミ配線の信頼性を向上させている。図7にWプラグの形成例を示す。

第一世代16M DRAMでは、微細加工技術、極薄誘電体膜技術の開発によって、スタックキャパシタ構造で25fFのセル容量を確保するとともに、P型埋込み層、Wプラグを導



(a) RAS アクセス時間対  $V_{cc}$



(b) コラム アドレスアクセス時間対  $V_{cc}$

図8. アクセス時間の  $V_{cc}$  依存性( $T_a=80^\circ\text{C}$ )

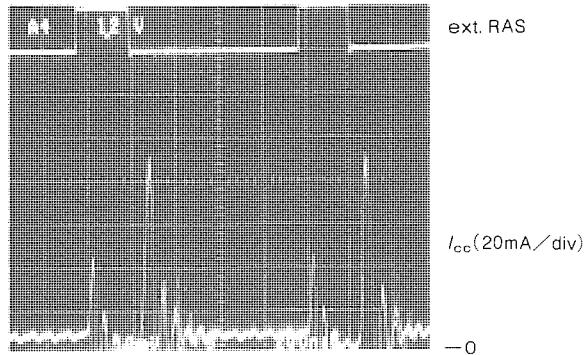


図9. 電源電流波形

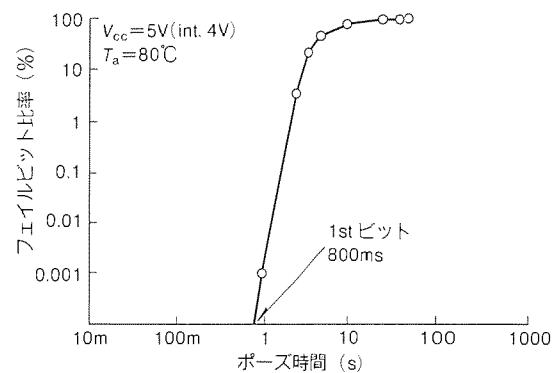


図10. リフレッシュ特性

表4. 16M DRAMの性能一覧

構成	16M語×1ビット、4M語×4ビット (ボンディング切替え)
チップサイズ	$7.84 \times 16.7 = 130.9\text{mm}^2$
セルサイズ	$1.42 \times 2.84 = 4.03\mu\text{m}^2$
プロセス技術	0.5μm ツインウェーブ CMOS, 2層アルミ配線 タンゲステンプラグ, P型埋込み層
アクセス時間	RAS アクセス時間=50ns コラム アドレスアクセス時間=22ns ( $V_{cc}=4.5\text{V}, T_a=80^\circ\text{C}$ )
消費電流	動作時平均電源電流=75mA ( $t_c=120\text{ns}, V_{cc}=5.5\text{V}, T_a=25^\circ\text{C}$ ) 待機時電源電流=0.5mA (CMOS 入力レベル, $V_{cc}=5.5\text{V}, T_a=25^\circ\text{C}$ )
リフレッシュサイクル	64ms/4096
冗長回路	64ロウ/16コラム(レザプログラム)
動作モード	高速ページ, スタティックコラム, ニブル (×1ボンディング切替え) 高速ページ, スタティックコラム, ライトパービット (×4ボンディング切替え)
テストモード	16ビット並列(×1), 4ビット並列(×4)
パッケージ	400ミルSOJ, TSOP

入することによって高性能、高信頼性を実現している。

#### 4. 電気的特性

図8に第一世代16M DRAMのRASアクセス時間及びコラムアドレスアクセス時間の $V_{cc}$ 依存性を示す。周囲温度80°C,  $V_{cc}=4.5$  V, 内部 $V_{cc}=4.0$  Vで50 nsのRASアクセス時間, 22 nsのコラムアドレスアクセス時間が得られ, 60 ns品として十分マージンを持っていることが分かる。図9に周囲温度25°C,  $V_{cc}=5.5$  Vでの電源電流波形を示す。ピーク電流は約90 mAであり, 内部降圧回路によって4 M DRAM並みに抑えられていることが分かる。また, サイクル時間120 nsにおける動作平均電源電流は75 mA, 待機時の電源電流はCMOS入力レベルで0.5 mAである。図10に周囲温度80°C,  $V_{cc}=5.5$  Vでのリフレッシュ特性を示す。64 msのスペックに対し, 十分マージンがある。表4に16M DRAMの性能一覧を示す。

#### 5. むすび

市場からのより一層の大容量化, 高性能化要求に対して第一世代16M DRAMを開発した。外部5 V単一電源, 4 Kリ

フレッシュサイクル仕様で内部降圧回路を搭載し, 0.5 μm微細化デバイスの信頼性を確保し, 低消費電力化をも達成した。また, 2層アルミ配線と高性能トランジスタの採用でアクセス時間60 nsの製品化に成功した。P型埋込み層, タングステンプラグ等のプロセス技術の採用でソフトエラー耐性等の信頼性をより一層向上させ, さらにテストモード, 冗長構成等の充実によって優れた生産性を持っている。今回開発した16M DRAMは, 高度情報化社会のキーデバイスとしてその要求に十分こたえ得る製品と確信している。

#### 参考文献

- (1) Arimoto, K., Fujishima, K., Matsuda, Y., Tsukude, M., Oishi, T., Wakamiya, W., Satoh, S., Yamada, M., Yoshihara, T., Nakano, T. : A 60 ns 3.3V 16Mb DRAM, ISSCC Dig. Tech. papers, 244~245 (1989)
- (2) 宮本博司, 長友正男, 山田通裕, 長山安治, 水津克巳: 4 MビットダイナミックRAM, 三菱電機技報, 63, No. 11, 891~894 (1989)
- (3) 熊野谷正樹, 飛田洋一, 長友正男: 第二世代4 MビットDRAM, 三菱電機技報, 65, No. 7, 697~702 (1991)

長瀬功一\*  
源城英毅\*  
豊本英晴\*

# 4M ビット バイト／ワードワイド DRAM

## 1. まえがき

最近ノート型パーソナルコンピュータ、ワードプロセッサ等にみられるように、システムの高速化・高機能化が進む中でセットの軽量化、低消費電力化やコンパクト化が強く求められている。これに対し、システムを構成しているICでも同様の要求が強くなされている。このICのうち、ダイナミックメモリ(以下“DRAM”という)はテクノロジードライバとして、またその市場性から最重要機種として開発がたゆまなく続けられてきたが、上記に述べたような市場からの要請に対し、さらに新たな展開が始まっている。この展開の中で特に顕著なものに多I/O化と低消費電力化があげられる。

多I/O化が呼ばれる一例として、図1に従来の×4品で構成した場合と×16品で構成した場合の比較を示しているが、×16品で構成した場合の方がメモリサイズの最適化、低消費電力化等の有効性があることが分かる。また、低消費電力化は、バッテリバックアップ可能時間を延ばすための重要な機能である。

当社においても市場からの要求にこたえるべく、最新の4MビットDRAMの回路設計技術・プロセス技術を駆使し、多I/O(×8/×16)を持ち低消費電力を可能とした4Mビットバイト／ワードワイドDRAM M5M44800A/M5M44260A/M5M44170Aを開発したので以下技術内容について報告する。

## 2. バイト／ワードワイド品の設計

### 2.1 設計コンセプト

今回開発した当社4Mビットバイト／ワードワイドDRAMシリーズの主な設計コンセプトは、以下のとおりである。

#### 2.1.1 バイト／ワードコントロール機能追加

バイト／ワードワイド化に加え、×16構成品においてはバイト(8ビット)ごとにリードやライトをCASないしはWで別々に実施する機能を新たに追加することを第一のねらいとした。この機能により、1M DRAMを使った従来のシステムに大きな変更なくこの4M DRAMを使用することを可能とする。

#### 2.1.2 リフレッシュ方式の切替え

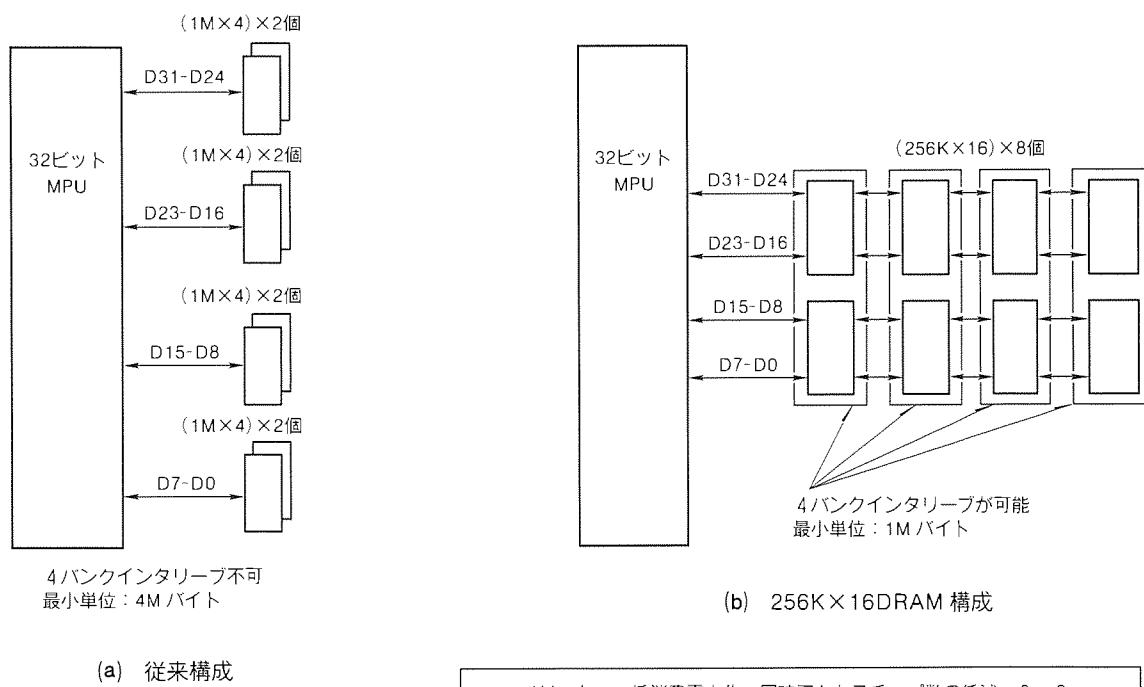


図1. バイト／ワードワイド DRAM の有効性

1 M DRAM からの置き換えを考慮し、1 M DRAM と同一の512リフレッシュ方式と低消費電力化が可能となる1024リフレッシュ方式の切替えが容易に行えることを目指した。

### 2.1.3 低消費電力化

前述のノート型パソコン／ワープロに代表される小型OA機器において、長時間のバッテリバックアップ機能を可能とするためスタンバイ電流及びリフレッシュ電流の低減が必要である。このため、当社4 M DRAM 第二世代品をベースに回路改訂を加えローパワー品の安定生産を図った。

### 2.1.4 生産性向上

#### (1) 品種の切替え

今回の開発に当たり、 $\times 8$ 構成品と $\times 16$ 構成品を同一チップで実現することにより、生産性の向上及び電気的特性・信頼性の安定化を容易に行えることを目標の一つとした。ただし、 $\times 8$ 構成品と $\times 16$ 構成品とでは電源対の数やピン数が異なるため、2層AI工程にて切替えを行うこととし、またその他の機能切替えは後工程のアセンブリプロセスにおけるワイヤボンディングにて行うこととした。

#### (2) 冗長回路

4 M DRAM 第二世代品と同様に、32ロウ・16コラムを設けることによって歩留りの安定化を図る。特に $\times 16$ 構成品では、ロウアドレス／コラムアドレスの構成が異なる品種があるため、共に問題なく冗長回路を動作させるための工夫を図ることにより、品種間の歩留り差／特性差をなくすことを目指した。

#### (3) テストモード

$\times 8$ 構成品と $\times 16$ 構成品を同一チップで開発することにより、 $\times 8$ 構成品で2ビットのテストモードを可能とし、テスト時間の短縮による生産性の向上を図ることとした。

## 2.2 バイト／ワードコントロール回路の設計

(1) 今回開発した製品の特徴の一つに、8ビットごとのバイトコントロール及び16ビットごとのワードコントロールが挙げられる。これは従来からのシステムにある機能の一部をメモリ内部に持たせるもので、バイト又はワード単位でのリードないしはライトを可能にした。

$2\overline{\text{CAS}} \ 1\overline{\text{W}}$ 品：バイト／ワードリード、バイト／ワードライト可能

$1\overline{\text{CAS}} \ 2\overline{\text{W}}$ 品：ワードリード、バイト／ワードライト可能  
図2に $2\overline{\text{CAS}} \ 1\overline{\text{W}}$ 品でのバイト／ワードコントロール例を示しているが、DQ1～DQ8のLowerバイトとDQ9～DQ16のUpperバイトを独立に各々 Lower  $\overline{\text{CAS}}$ 、Upper  $\overline{\text{CAS}}$ でコントロール可能とした。

(2) バイトコントロールを実施するに当たり、 $2\overline{\text{CAS}} \ 1\overline{\text{W}}$ タイプ/ $1\overline{\text{CAS}} \ 2\overline{\text{W}}$ タイプ共に回路動作としては表1に示しているように設定した。

< $2\overline{\text{CAS}} \ 1\overline{\text{W}}$ 品>

(a) Doutコントロール

Lower／Upperの出力は各々対応する  $\overline{\text{CAS}}$  によってコントロールする。

(b) CBR Refresh

二つの  $\overline{\text{CAS}}$  のうち少なくとも一方を CBR のタイミングに設定すると CBR Refresh を実行する。

(c) コラムアドレスラッチ

二つの  $\overline{\text{CAS}}$  のうち、早く立ち下がった  $\overline{\text{CAS}}$  に対してセットアップタイム ( $t_{ASC}$ ) が、また遅く立ち下がった方に対してホールドタイム ( $t_{CAH}$ ) が規定される。

(d) ライトペービット(WPB)コントロール

全DQに対し、RAS、W、DQiで設定する。

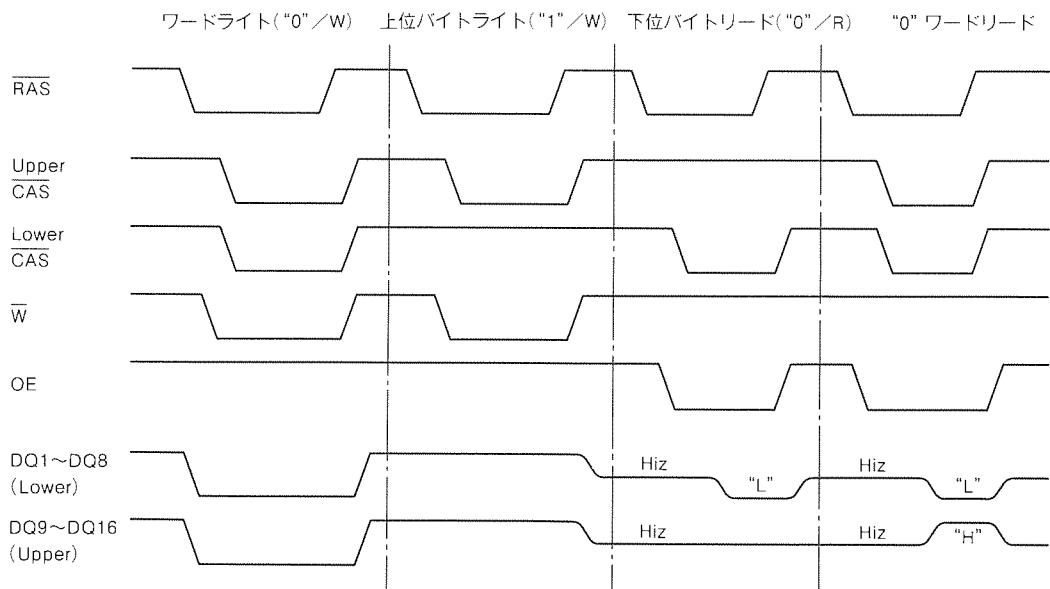


図2. バイトコントロール例(M5M44260A( $2\overline{\text{CAS}} \ 1\overline{\text{W}}$ )での例)

&lt;1CAS 2W品&gt;

## (a) アーリーライト コントロール

二つの $\bar{W}$ クロックのうち、少なくとも一方がアーリーライトタイミングにあればアーリーライト動作を行い、出力はHzとなる。

## (b) データインラッチ

内部回路は二つの $\bar{W}$ 信号に対し、Lower/Upper各々独立にデータを取り込む（ただし、スペック上は“OR”と設定）。

## (c) ライトパービット (WPB) コントロール

(b)と同様に各々の $\bar{W}$ 信号に対して、Lower/Upper別々にWPBの設定を行うことが可能（ただし、スペック上は“OR”と設定）。

## 2.3 低消費電力化の設計

## 2.3.1 動作電流の低減

I/O数が増加することによる出力トランジスタでの充放電電流消費が明らかに上昇することもあり、消費電力を抑える必要がある。

これに対し、4MD第二世代品と同様にメモリアレー部の1/8分割動作方式を採用した。ただし、1024リフレッシュ

ュサイクル方式の場合は1/8分割動作を行うのに対し、512リフレッシュ方式の場合は1/4分割動作としており、図3に示したように1024リフレッシュ品は512リフレッシュ品に比べて約30%の消費電力低減となっている。

また、DQピンの最終段ロードトランジスタにLow- $V_{TH}$ トランジスタを採用することにより、出力の“H”レベルを $V_{CC}-V_{TH}$ に抑え最終段での負荷容量の充放電電流を低減した（図4）。

## 2.3.2 低スタンドバイ電流化の設計

4MD第二世代品で既にローパワー版を可能としているが、さらに安定した生産を可能とするため、表2に示したように基板バイアス電圧（ $V_{BB}$ ）発生回路内のリングオシレータやチャージポンプ回路を見直すとともに、その他回路に対しても改良を加えることにより、更なる低消費電力化を図った。

## 2.3.3 ノイズ対策

$\times 8/\times 16$ 構成化に伴い、DQピンでの充放電によって発生する電源ノイズに対する対策が重要となってくる。そこで下記項目で改善を図ったことにより、電源動作範囲の広いデバイスを実現した。

(1)  $V_{CC}/V_{SS}$ 対を、 $\times 8:2$ 対、 $\times 16:3$ 対とした。

表1. バイトコントロール回路動作

	CAS Control (2CAS)				$\bar{W}$ Control (2W)		
	Dout Control	CBR Entry	Address latch	Write Per Bit	Early Write時 Dout	Data-In latch	Write Per Bit
設定条件	Independent (独立)	$\bar{OR}$	$\bar{OR}$ (スペック上は AND)			Independent (スペック上は $\bar{OR}$ )	Independent (スペック上は OR)
波形							

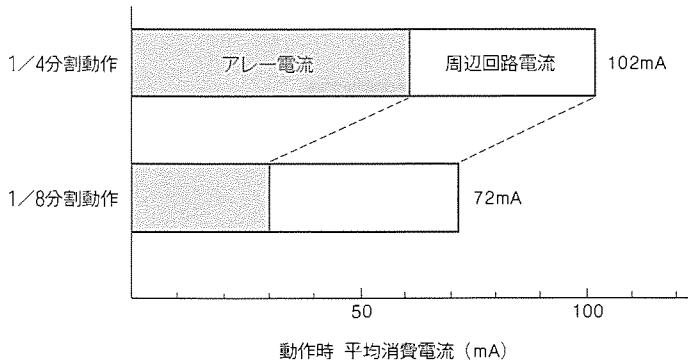
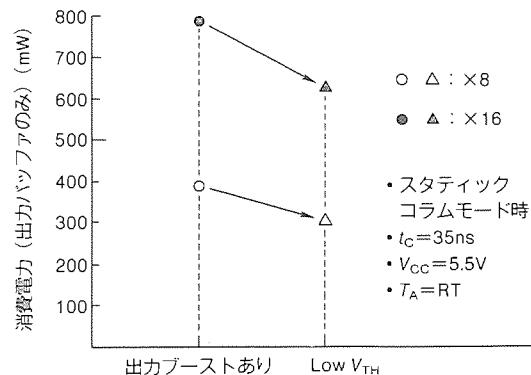
図3. 1/4分割動作・1/8分割動作における消費電流  
(シミュレーション値)

図4. 負荷容量・充放電電流の低減

- (2) 出力系電源とそれ以外の電源をチップ内部で分離し、ノイズの回り込みを抑えた。
- (3) 出力バッファ用トランジスタにLow- $V_{TH}$ タイプのトランジスタを採用した(出力ブースト採用中止)。
- (4) 出力データのスイッチングスピードを抑えた。
- (5) 2AI配線により、電源インピーダンスの低減を図った。

#### 2.3.4 リフレッシュ方式の設計

$\times 16$ 構成品は、1M DRAM ( $256\text{K} \times 4$ ) の置き換えを可能とすることも考慮し、1M DRAM と同一方式の512リフレッシュと4M DRAM ( $\times 1/\times 4$ ) と同一方式の1024リフレッシュの2方式を可能とした。この場合、アドレスとしては図5に示したように

512リフレッシュサイクル品：行-A0～A8  
列-A0～A8

1024リフレッシュサイクル品：行-A0～A9  
列-A0～A7

となり、図7のMR8パッドを  $V_{CC}$  ピンにワイヤボンディングするか否かにより、上記2方式の切替えを行っている。

### 3. チップ構成

4Mビットバイト/ワードワイドDRAMのチップ写真を図6に示す。また、そのブロック図を図7に示している。チップサイズは $5.81\text{mm} \times 14.95\text{mm}$  ( $=86.9\text{mm}^2$ ) であり、当社4M DRAM第二世代品と比較すると約11%のアップと

なっている。メモリセルは $1.90\mu\text{m} \times 4.75\mu\text{m}$  ( $=9.0\mu\text{m}^2$ ) で、メモリアレーは128ビットのサブアレー計32個で構成されている。

チップ全体の基本的な構成は第二世代品 ( $\times 1/\times 4$ ) と同一で、ワード線は第1ポリシリコン+1層AI(ワード線杭打)、コラム選択線は2層AIを使用、またセンスアンプは2個のサブアレーの間に配置する形をとっている。表3に主要プロセスパラメータの一覧を示している。

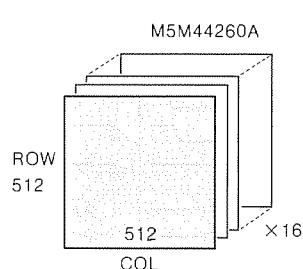
また、機能の切替えはワイヤボンディング切替えで実施しており、このため以下に示す切替え専用パッドを設けている。

- ZIP : SOJ, TSOPとZIPの切替え
- WPB : ライトペービット機能の有無
- MSC : ファーストページモードとスタティックRAMモードの切替え

表2. 回路別消費電流(スタンダードバイ時、CMOSレベル入力)

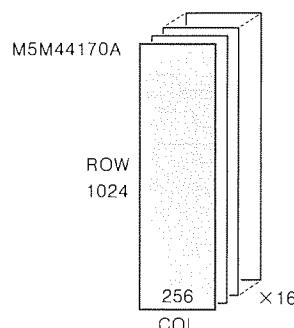
回路	4MD ( $\times 1/\times 4$ )	4MD ( $\times 8/\times 16$ )品 (シミュレーション値)
$V_{BB}$ 発生回路 リングオシレータ チャージポンプ回路ほか	40 $\mu\text{A}$	23 $\mu\text{A}$
内部電源発生回路 $V_{BL}, V_{GG}$ ほか	20 $\mu\text{A}$	5 $\mu\text{A}$
計	60 $\mu\text{A}$	28 $\mu\text{A}$

1M DRAMからの置き換えが容易。



(a) 512サイクル/ $8\text{ms}$  (A0-A8)

動作電流が約30%低減できる。



(b) 1024サイクル/ $16.4\text{ms}$  (A0-A9)

図5. リフレッシュ方式

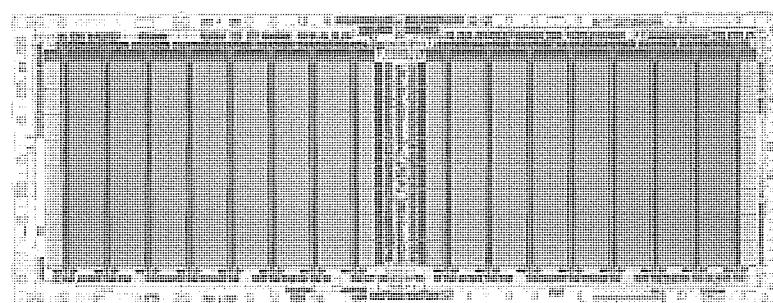


図6. チップ写真( $5.81\text{mm} \times 14.95\text{mm}$ )

- MR8 : リフレッシュ方式の切替え
- 2WE :  $1\overline{\text{CAS}} 2\overline{W}/2\overline{\text{CAS}} 1\overline{W}$  の切替え

また、品種一覧を表4に示す。

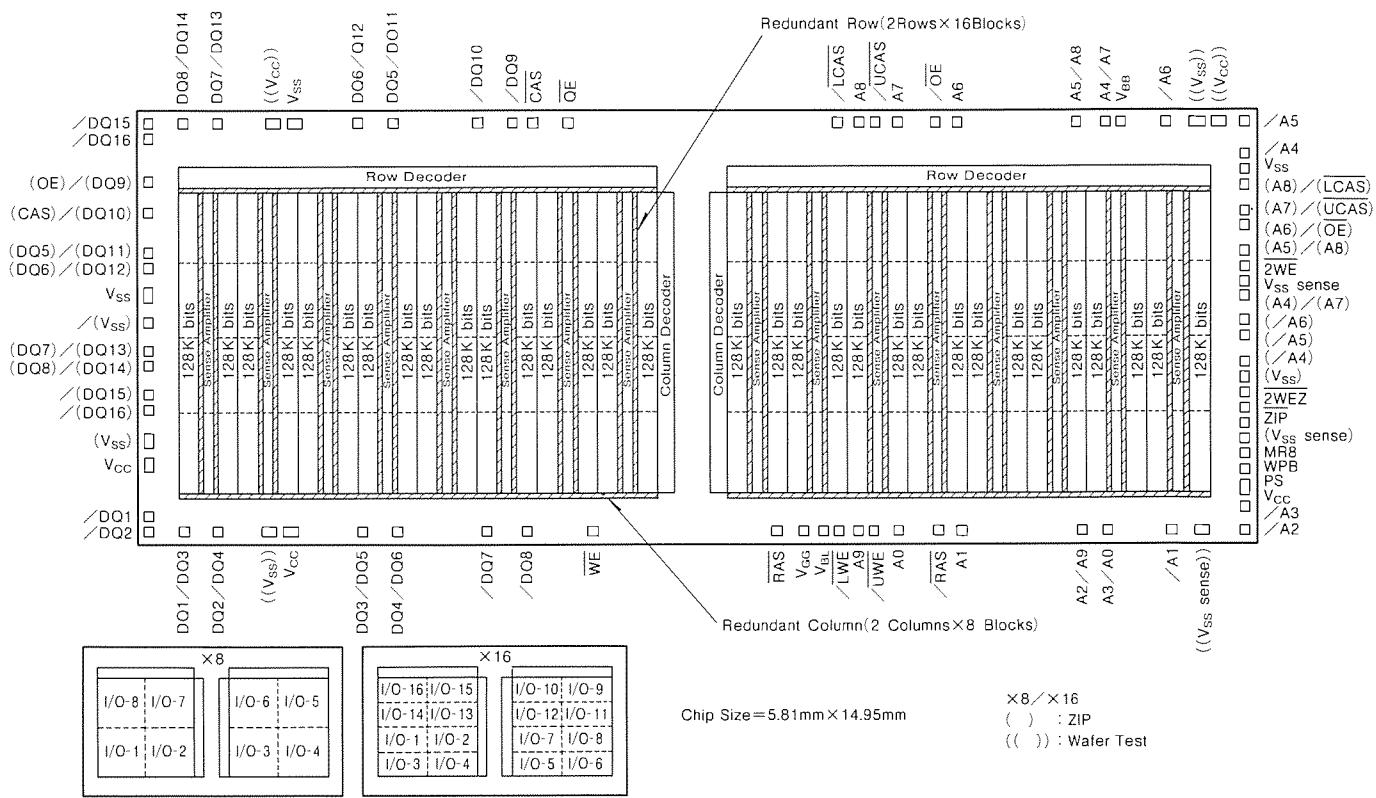


図7. 4Mビット バイト／ワードワイド DRAM のブロック図

表3. 主要プロセスパラメータの比較

		第二世代 4M DRAM	4 MD (×8/×16)
設計基準	トランジスタ	0.7 μm	↔
トランジスタ	ゲート長	Nチャネル 0.8 μm(LDD) Pチャネル 1.0 μm(LDD)	↔
	ゲート酸化膜厚	18nm {180Å}	↔
メモリセル	ワード線	ポリシリコン+第1アルミ	↔
	ピット線	WSi <sub>2</sub> ポリサイド	↔
	コラム選択線	第2アルミ	↔
	誘電体膜厚	8 nm {80Å}	↔
	セルサイズ	9.0 μm <sup>2</sup>	↔
	チップサイズ	77.5mm <sup>2</sup>	86.9mm <sup>2</sup>

表4. 4Mビット バイト／ワードワイド DRAM の品種一覧

型 名	種 類	パッケージ (mil)	ア クセス 時間	ローパワー 版
M5M44800AJ, L, TP, RT	512K×8, ファースト ページモード	SOJ (400) Z2P (475) TSOP (400)	-6, -7, -8, -10	YES
M5M44260AJ, L, TP, RT	256K×16, ファースト ページモード $2\overline{\text{CAS}}/2\overline{W}$ タイプ	SOJ (400) Z2P (475) TSOP (400)	-8, -10	YES
M5M44170AJ, L, TP, RT	256K×16, ファースト ページモード $1\overline{\text{CAS}}/2\overline{W}$ タイプ	SOJ (400) Z2P (475) TSOP (400)	-6, -7, -8, -10	YES

表5. 主な電気的特性一覧

項目	M5M44800A(×8)	M5M44260A(×16)	M5M44170A(×16)	測定条件
RAS アクセス時間 ( $t_{RAC}$ )	56.4ns	57.9ns	57.1ns	$V_{cc}=4.5V$ $T_a=80^\circ C$
コラムアドレス アクセス時間 ( $t_{AA}$ )	31.0ns	30.6ns	30.5ns	同上
CAS アクセス時間 ( $t_{CAC}$ )	15.0ns	15.6ns	15.5ns	同上
動作時電流 ( $I_{CC\ 1}$ )	79.3mA	118.7mA	81.1mA	$V_{cc}=5.5V$ $t_c=160\text{ns}$ $T_a=RT$
スタンバイ電流 (MOS 入力レベル) ( $I_{CC\ 2}$ )	49.9 $\mu A$	51.2 $\mu A$	51.2 $\mu A$	$V_{cc}=5.5V$ $T_a=RT$
スローリフレッシュ時電流 ( $I_{CC8}$ )	108.6 $\mu A$	148.8 $\mu A$	109.6 $\mu A$	$V_{cc}=5.5V$ $t_c=125\text{\ \mu s}$ $T_a=RT$
リフレッシュ時間	310ms	262ms	329ms	$V_{cc}=5.5V$ $T_a=80^\circ C$

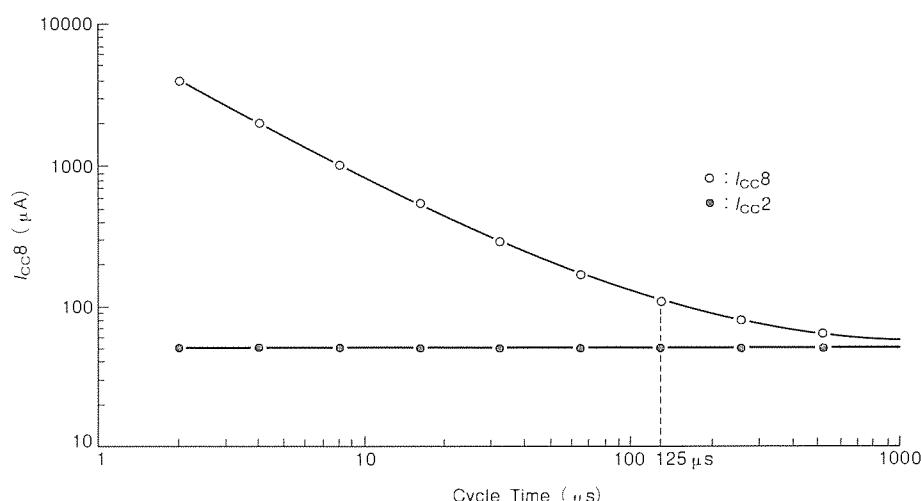
注 各々  $n=20$ 個

図8. CBR リフレッシュ時電流のサイクルタイム依存性

#### 4. バイト／ワードワイド DRAM の電気的特性及び信頼性

##### (1) 電気的特性

表5に×8構成品・×16構成品各々の電気的特性一覧を示す。RAS アクセス時間、アドレスアクセス時間共に70ns 品の安定生産を行う上で十分な特性を持つことが分かる。

また、×8構成品でのリフレッシュ電流のサイクル時間依存性を図8に示しているが、125μs のサイクルで約100μA を実現できた。

##### (2) 信頼性

メモリアレー部は当社4M DRAM 第二世代品と同一セル

を採用しており、かつ周辺回路部においても第二世代品をベースに開発していることから、ソフトエラー・AI配線のエレクトロ マイグレーションを含む信頼性の面で同等の特性を持つことを確認した。

#### 5. むすび

大容量・低消費電力化・多機能化といった市場からの要求にこたえるため、4Mビット バイト／ワードワイド DRAMを開発した。コアとして既に実績のある4M DRAM 第二世代品を採用し、さらにバイトコントロール機能の追加及び低消費電力化・ノイズ対策を図った結果、設計ターゲットを満足する製品が得られた。

# 低消費電力 4Mビット CMOS スタティック RAM

藤田維明\* 福本晃二\*\*\*  
塘一仁\*\* 浮田求\*\*\*  
須賀原和之\*\*

## 1. まえがき

VLSI の進歩に伴い、MOS スタティック RAM の記憶容量も 3~4 年に 4 倍と高集積化が進んでいる。MOS スタティック RAM は、最大アクセス時間が 70 ns を境にして、中速品と高速品との製品系列に大別される。中速品はコンピュータ周辺機器や OA 機器などの比較的小規模なシステムで用いられ、×8 の構成のものが主である。また、スタンバイ時における低消費電力も中速品の特長であり、バッテリバックアップ可能なメモリとして、IC カードやノートパソコンなどの電池駆動機器への需要も見込まれている。一方、高速品は主に ×1 又は ×4 の構成をとり、パソコンやワークステーションのキャッシュメモリ、スーパーコンピュータの主記憶、LSI テスターのテストパターンメモリなどに用いられる。

当社は ×8 構成の汎用中速品として最大アクセス時間 70 ns の 128K 語 ×8 ビットの 1 M ビット Mixed CMOS スタティック RAM (M5M51008P)<sup>(1)</sup> を製品化しているが、さらに大容量化・高性能化した製品がユーザーから待たれていた。これに対して、三次元素子の先駆けとなる TFT トランジスタ・2 層メタル/4 層ポリシリコン配線・タンゲステンによるコンタクト埋込み技術などのプロセス技術や内部同期回路・冗長回路・テストモード回路などの設計技術を駆使して、512K 語 ×8 ビットの 4 M ビット Mixed CMOS スタティック RAM (M5M5408P)<sup>(2)</sup> を開発した。本稿では、この RAM の設計・製造プロセス技術について紹介する。

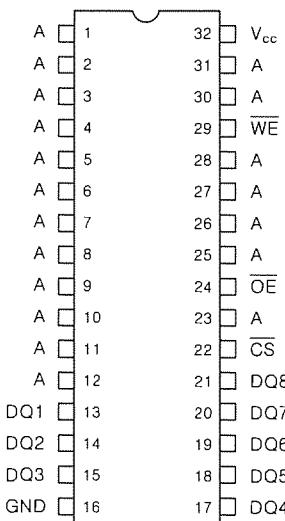


図 1. DIP パッケージのピン配置

## 2. 開発のねらい

M5M5408P は、M5M51008P の後継機種として、低消費電力・低電圧動作・量産性を重視して開発した。したがって、開発に当たっては以下の目標を設定した。

(1) 524,288 語 ×8 ビット構成

(2) パッケージ対応

標準 32 ピン 600 ミル幅プラスチック DIP パッケージ及び SOP, TSOP などの高密度実装対応パッケージに実装可能とする。図 1 に DIP パッケージのピン配置を示す。

(3) 高速アクセス時間

最大アクセス時間を 55/70/85/100/120 ns とし、×8 構成としては高速の 55 ns 品を実現する。

(4) 低消費電力

内部同期回路を用いたオートパワーダウン方式により、ロングサイクルタイムでの消費電力を低減するとともに、回路の最適化によってミニマムサイクル動作時の平均電流とピーク電流を低減する。また、メモリセルの負荷素子を 20 nm と超薄膜のチャネルをもつ TFT (薄膜トランジスタ) で形成することにより、スタンバイ時のデータ保持電流を最大 100  $\mu$ A ( $V_{cc}=5.5$  V, 0~70 °C) 又は最大 1  $\mu$ A ( $V_{cc}=3$  V, 室温) とバッテリバックアップ可能なレベルとする。

(5) 低電圧動作

電池駆動機器の台頭や、高速 CPU を使った製品の消費電力低減の流れの中で、電源電圧が 3 V 程度まで低下しても

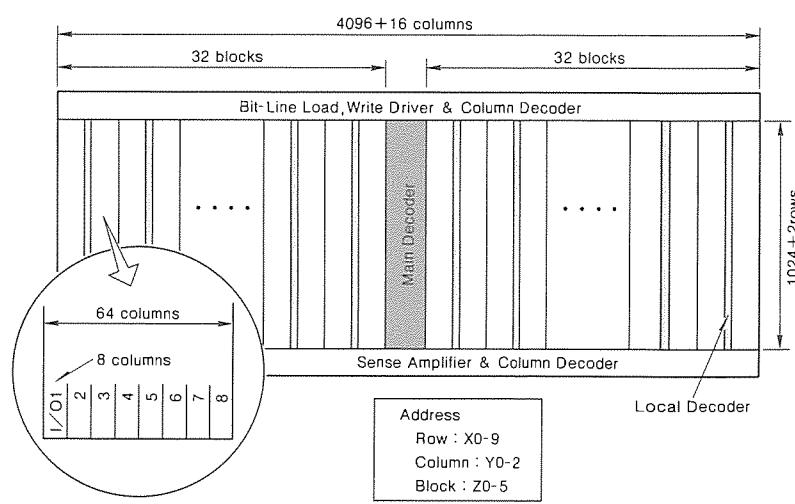


図 2. M5M5408P のプロック構成

\*北伊丹製作所 \*\*LSI 研究所(工博) \*\*\*同研究所

対応できるようにメモリセルを設計する。

#### (6) 冗長構成

不良メモリセルと置換する冗長メモリセルとして予備行と予備列の両方を設け、様々な種類の欠陥にたいして救済可能とし、歩留りの向上を図る。

#### (7) テストモード

量産時の出荷テスト時間は MOS スタティック RAM の容量増大に伴って、ますます無視できなくなっている。このため、4 ビットマルチビットテストモードを設け、テスト時間短縮を図る。

### 3. 設計技術

#### 3.1 チップ構成

M5M5408P のブロック構成を図 2 に示す。メモリセルアレーは 1,024 行 × 64 列を 1 ブロックとし、32 個の行デコーダによって 64 ブロックに分割されている。動作時は Z0 ~ Z5 アドレスにより選択される 1 ブロックのみが活性化されるので、ビット線を流れるカラム電流が低減され、低消費電力化に寄与している。また、ワード線をタングステンシリサイドを用いたポリサイドにし、かつ 1 本の長さが約 200 μm と短いため、ワード線遅延は約 0.5 ns と高速化されている。図 3 に示すように、センスアンプと書き込みドライバは各カラムごとにその両端にそれぞれ設けられており、書き込み時と読み出し時で逆位相のカラム選択信号で駆動しているので、従来の MOS スタティック RAM に存在したビット線プリチャージトランジスタから書き込みドライバに流れる電流は 0 にできた。

#### 3.2 内部同期回路

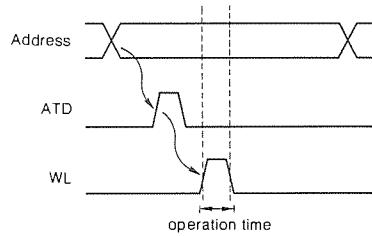
M5M5408P は外部クロックを必要としない完全非同期 RAM として使用できる。しかし、チップ内部では、読み出し時にアドレス変化を検知して発生する ATD (Address Transition Detection) 信号と、書き込み時にライトパルス変化又は入力データ変化を検知して発生する DTD (Data Transition Detection) 信号を基準クロックとして各回路を

制御する内部同期方式を採用している。

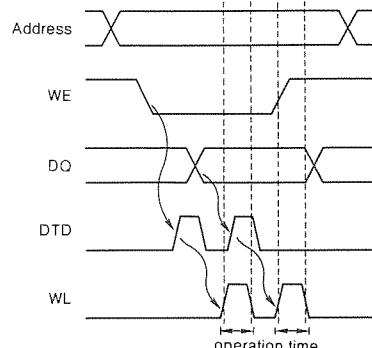
図 4 に内部動作波形のタイミングチャートを示す。読み出し時、アドレス変化後、ATD 信号を受けてビット線とセンスアンプ内部が中間電位にプリチャージされ、ワード線立ち上がりからセンスアンプ出力までの時間が短縮されている。また、センス及びデータラッチが完了すると、ワード線とセンスアンプは自動的に非活性となり、RAM はオートパワーダウン状態になる。書き込み時も、ライトパルス又は入力データ変化後、ライト及びデータラッチが完了すると、ワード線とライトドライバは自動的に非活性となり、RAM はオートパワーダウン状態になる。したがって、読み出し時も書き込み時もサイクル時間が長くなればなるほど、動作電流は大幅に低減される。

#### 3.3 メモリセル

電源電圧を下げたときのメモリセルの安定性は、セルのド



(a) ATD



(b) DTD

図 4. 内部動作波形のタイミングチャート

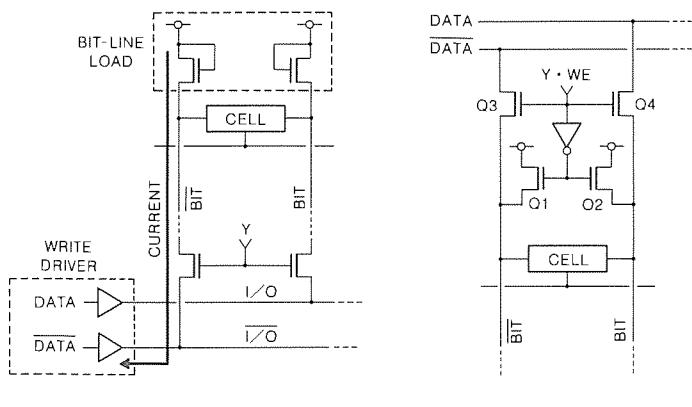


図 3. 書込みドライバ配線の新旧比較

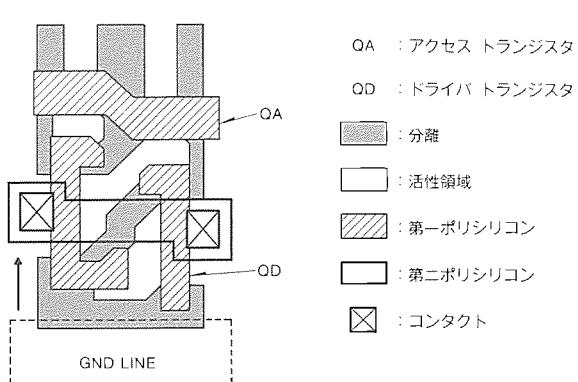


図 5. M5M5408P のメモリセル

ライバトランジスタとアクセストランジスタの電流駆動能力比、すなわち $\beta$ 比で決定される。 $\beta$ 比が大きいほど、つまりドライバトランジスタの電流駆動能力が相対的に大きいほど、セルは低電圧で動作できる。

M5M5408Pでは、GND線を図5に示すようにセルを横断する第二ポリシリコンで形成したので、

- (1) ドライバトランジスタのチャネル幅を大きくできる。
- (2) GND線抵抗が減ってGND浮き上がりが減る。

の2点の効果で相対的なドライバトランジスタの能力を上げることができ、 $\beta$ 比を上げている。

### 3.4 冗長回路

不良メモリセルを置換するための冗長メモリセルは、図2において各ブロックごとに2行(128セル)、合計128行、及び冗長ブロックの16列配置されており、不良セルの置換はレーザビームを用いたポリシリコンヒューズの溶断によって行う。スペアブロックは1/4チップに当たる16ブロックの任意の行に、スペア列は任意のブロックの任意のI/Oの任意の列に置換可能である。これらを組み合わせて様々な不良を救済することにより、歩留りの向上を図っている。

### 3.5 テストモード

テスト時間短縮のためのテストモードは、DRAMでは1Mビットのころから使われていたが、中速スタティックRAMは語構成が $\times 8$ ビットなので実質的にテスト時間が1/8になるため使われていなかった。しかし、M5M5408Pでは容量が512K語にもなるため、テストモードを導入した。テストモード時には、16ブロックずつからなる四つのセクションが独立して動作し、四つのアドレスが同時に選択され、それぞれに書込み/読出し動作を行う。読み出されたデータは、いったんテストモード用のデータバスに出力される。2データごとの3組が三つの比較回路に入力され、それぞれの

2データが一致したら“H”，不一致だったら“L”という比較結果が出力されるので、それらの論理和をとってI/Oのデータバスに出力する。4アドレス同時選択なので、テスト時間は通常モードの1/4になる。なお、テストモード時にはATD/DTD回路は切断されており、内部は完全スタティック動作をしている。

## 4. プロセス技術

### 4.1 メモリセル

CMOSスタティックRAMのメモリセルには高抵抗負荷型とCMOS型がある。高抵抗負荷型メモリセルを図6(a)に、CMOS型メモリセルを(b)に示す。

高抵抗負荷型メモリセルは16K~1MスタティックRAMに用いられてきたもので、定常的にセルに流れる電流を制限するために高い抵抗値の負荷抵抗が使われる。図7にスタティックRAMの集積度と、スタンバイ電流を1μA( $V_{cc}=3$ V、室温)にするためメモリセル当たりの消費電流との関係を示す。4MビットスタティックRAMにおいて、データ保持のための総電流を、電池バックアップ時 $V_{cc}=3$ Vにおいて1μA以下にするためには、メモリセル当たりの記憶電流は0.25pA以下とする必要がある。一方、安定にデータを保持するためには高抵抗を通して、記憶ノードでのリーク電流の2けた以上の電流を供給する必要がある。一般的に記憶ノードにおけるリーク電流は1~10fAであり、この値を5fAと仮定すると高抵抗は0.5pAの電流供給能力が必要となり、メモリセル当たりの記憶電流を0.25pA以下としなければならない要求と相反する。すなわち、4MスタティックRAMでは高抵抗負荷型メモリセルの使用が困難なことが分かる。

CMOS型メモリセルの場合、メモリセル当たりの記憶電

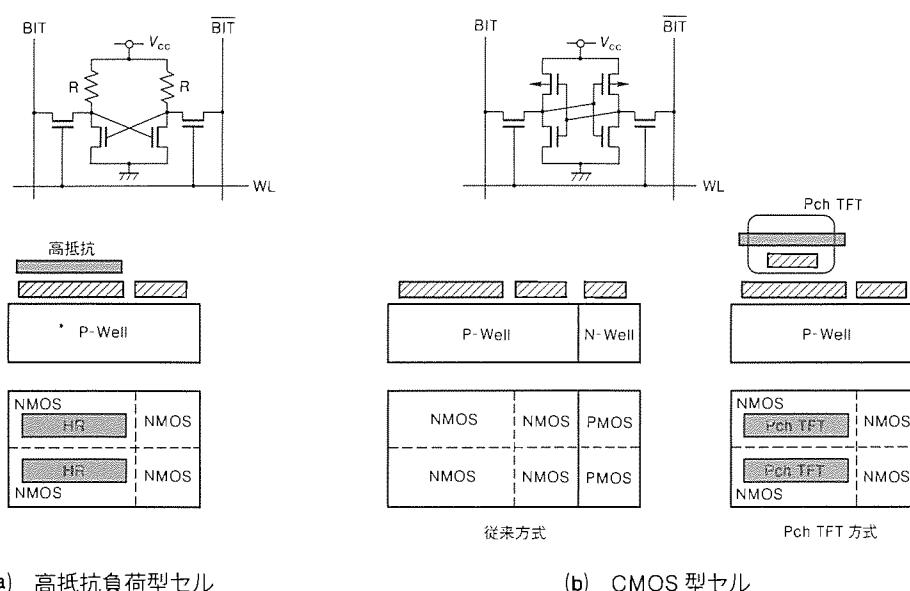


図6. メモリセル等価回路と構造

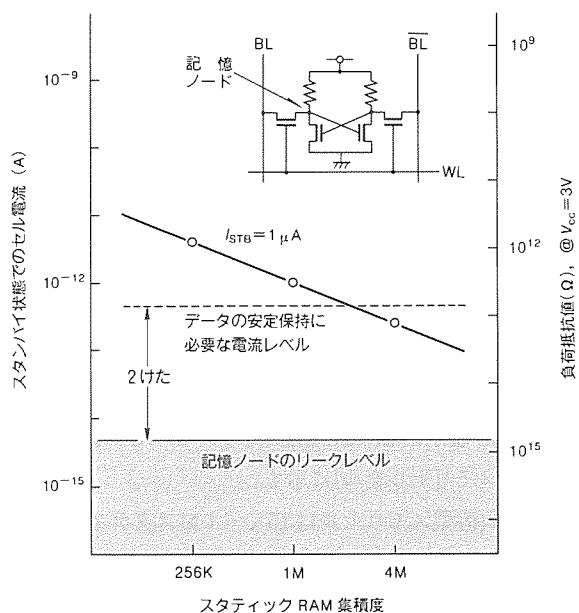


図7. スタティックRAMの集積度とスタンバイ電流を $1\mu\text{A}$ にするためのメモリセル当たりの消費電流との関係

流は負荷のPチャネルトランジスタのOFF電流で決まる。記憶ノードにおけるリーク電流によるノードの電位降下を補うための電流は、負荷PチャネルトランジスタのON電流で決まる。そのため、CMOS型メモリセルは低消費電力性とデータ保持の安定性を両立したメモリセルといえる。しかしながら、従来は図6(b)に示すようにシリコン基板上に4個のNチャネルトランジスタと2個のPチャネルトランジスタを形成していたため、高抵抗負荷型メモリセルに比べてメモリセルの平面積が大きくなり、高集積度スタティックRAMには用いられなかった。M5M5408Pでは、CMOS型のこのような欠点を除去するために、Pチャネルポリシリコン薄膜トランジスタ(Thin Film Transistor(TFT))を用い、高抵抗負荷型メモリセルと同一面積に収まるCMOS型メモリセルを用いている。

#### 4.2 デバイス構造

M5M5408Pは、N型シリコン基板、レトログレードウェルCMOS構造、TFT負荷型CMOSメモリセル、4層ポリシリコン配線(ポリサイド配線を含む)、2層アルミ配線で形成している。1層目のポリサイド配線はトランジスタのゲート電極、2層目のポリサイドはGND配線として用いている。3層目のポリシリコンはTFTのゲート電極、4層目のポリシリコンはTFTのソースチャネルドレイン及び $V_{cc}$ 線となる。また、1層目のアルミ配線はビット線、2層目のアルミ配線はメインワード線として用いる。表1にTFT負荷型CMOSメモリセルを用いたM5M5408P設計基準を示す。

M5M5408Pを開発する上でプロセス上問題となるのは、①トランジスタ形成技術 ②TFT形成技術 ③コンタクト

表1. M5M5408Pの設計基準

プロセス	4層ポリシリコン、2層アルミ WSi <sub>x</sub> ポリサイド
ゲート電極	ゲートオーバラップLDD 改良LOCOS
トランジスタ構造	
素子分離法	
ゲート長(メモリセル)	0.5μm
ゲート長(NMOS)	0.8μm
ゲート長(PMOS)	0.9μm
ゲート酸化膜厚	15nm
ポリシリコン配線(線幅/間隔)	0.6/0.6μm
コンタクト	0.6×0.8μm
スルーホール	1.0×1.0μm
アルミ配線(線幅/間隔)	0.9/0.7μm
スルーホール	1.0×1.0μm
TFT(チャネル長/チャネル幅)	1.7×0.6μm

部でのメタルのカバレッジ技術などが挙げられる。

#### 4.2.1 トランジスタ形成技術

トランジスタは狭チャネル効果を抑制し、耐ソフトエラー性を向上させるためNチャネルトランジスタ、Pチャネルトランジスタ共レトログレードウェル上に形成している。特に、アクセストランジスタの狭チャネル効果は低電圧動作に不利であり、レトログレードウェル構造の採用によって大幅に改善できる。さらに、Nチャネルトランジスタは5V動作時の耐ホットエレクトロン性に優れ、かつ3V動作時でも高駆動性を持つゲートオーバラップLDD構造を採用している。

#### 4.2.2 TFT形成技術

メモリセルに用いるPチャネルTFTの特性は、スタンバイ時における消費電流とデータ保持の安定性に大きく影響を及ぼす。M5M5408Pにおいて、室温、 $V_{cc}=3\text{V}$ でのスタンバイ電流をM5M51008P並みの $0.4\mu\text{A}$ にするためにはTFTのOFF電流を $0.1\text{pA}$ にする必要がある。また、リークによる記憶ノードの電位降下を補うためと、 $V_{cc}=3\text{V}$ における読出し/書き込み動作時の耐ソフトエラー性を向上させるため、TFTのON電流はできるだけ大きいことが望まれる。TFTのON電流とOFF電流は、TFTのソースチャネルドレインとなるポリシリコン(第4層ポリシリコン配線)の膜質に大きく依存している。M5M5408Pでは要求されるON/OFF電流を満足するようにCVDでたい(堆)積した20nm厚のポリシリコンを使用している。さらに、ゲート絶縁膜として用いる第3層と第4層ポリシリコン配線の層間絶縁膜は、TFTの目標とするON電流を満足し、かつゲート酸化膜として十分な信頼性を保つために、25nm厚のCVD酸化膜を用いている。メモリセルで用いるTFTの電気特性を図8に示す。TFTのOFF電流は $V_{cc}=3\text{V}$ 時で $0.03\text{pA}$ 、ON電流は $1\text{nA}$ でデバイス要求値を満足している。

#### 4.2.3 コンタクト部のカバレッジ技術

4層ポリシリコン構造を持つM5M5408Pでは、ビット線コンタクト穴のアスペクト比は約2となる。そのため、従

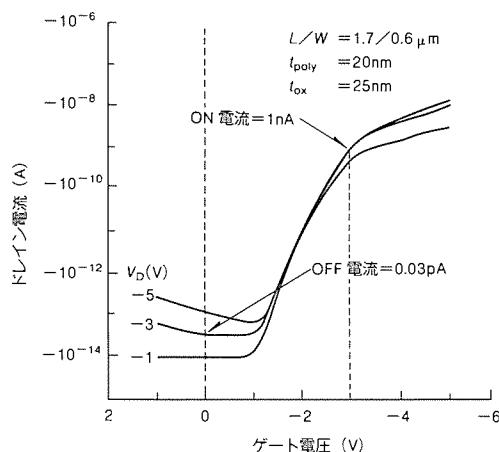


図8. PチャネルTFTの電気特性  
(チャネル長/チャネル幅=1.7  $\mu\text{m}$ /0.6  $\mu\text{m}$ )

来用いられてきたスパッタ法によるアルミ配線形成法ではコンタクト穴内のアルミのカバレッジが悪く、信頼性の低い配線となる。M5M5408Pではコンタクト穴内にタンゲステンプラグを形成して高アスペクト比に対応している。アルミ配線は1層目、2層目とも耐マイグレーション性向上のためバリヤメタル付きのAl-Si-Cuを用いている。

## 5. 電 気 特 性

M5M5408Pの特長を表2にまとめる。

## 6. む す び

Mixed CMOS技術を用いて、512K×8ビット構成のスタティックRAM M5M5408Pを開発した。0.5  $\mu\text{m}$  レベルの微細化プロセスと内部同期方式とを駆使して大容量化と同時に低消費電力かつ低電圧動作を達成することができた。CMOSスタティックRAMもいよいよハーフミクロン時代に突入したが、高度情報化社会の進展に伴う情報処理量の増大に対応して、スタティックRAMに対する高性能化の要求

表2. M5M5408Pの特長

構成	512K語×8ビット
電源電圧	5V/3V
アクセスタイム	55ns/70ns/100ns/120ns(5V)
動作時電流	30mA(5V, Typ.) 15mA(3V, Typ.)
待機時電流	0.4 $\mu\text{A}$ (3V, R.T.)
パッケージ	600ミル-32pin-DIP 525ミル-32pin-SOP 400ミル-32pin-TSOP(II)
チップサイズ	7.83mm×18.0mm
セルサイズ	3.5 $\mu\text{m}$ ×5.3 $\mu\text{m}$
デザインルール	0.5 $\mu\text{m}$
配線層	2-Metal, 2-Poly, 2-Polyicide
ブロック分割	64ブロック
冗長	2ロー, 16コラム

はますます強まるものと思われる。これに対処するためには、回路技術はもとより、パターンの微細化やトランジスタの高性能化といったデバイス技術における、たゆみない技術革新が要求される。今後もM5M5408Pで培った技術をもとに次世代の高性能スタティックRAMを開発していく予定である。

## 参 考 文 献

- (1) 広瀬愛彦, 河野芳雄, 和田知久, 杠幸次郎, 穴見健治 : 1MビットCMOSスタティックRAM, 三菱電機技報, 62, No. 6, 541~544 (1988)
- (2) Murakami, S., Fujita, K., Ukita, M., Tsutsumi, K., Inoue, Y., Sakamoto, O., Ashida, M., Nishimura, Y., Kohno, Y., Nishimura, T., Anami, K. : A 21-mW 4-Mb CMOS SRAM for Battery Operation, IEEE Journal of Solid-State Circuits, 26, No. 11, 1563~1570 (1991-11)

# 超高速256Kビット BiCMOS SRAM

塩見 徹\* 石垣佳之\*\*  
大林茂樹\* 梶澤正哉\*  
本田裕己\*\*

## 1. まえがき

スタティック RAM (SRAM) は外部クロックによらず読み出し動作を行い、サイクルタイム及びアクセスタイムが他のメモリに比べて速いという特長から、コンピュータをはじめとする多くの電子機器に用いられてきた。最近の傾向としては、使いやすさを追求したバイト構成の汎用中速品と、高速アクセスを追求した高速品に2極化している。前者は常に大容量を求められ、バッテリバックアップの機能を持っている。一方、高速品はコンピュータのキャッシュメモリ又はメインメモリに使用され、大容量化が望まれる一方で限りない高速化が求められるようになった。近年、大型コンピュータのみならずOA機器やEWS等でもシステム性能を上げるために高速、大容量のSRAMをキャッシュメモリとして用いている。このようなキャッシュメモリではプロセッサとの整合性から $\times 8$ ,  $\times 16$ などの多ビット品が特に要求されている。

このような背景の中で、当社は $\times 8$ 構成の汎用高速品としてアクセス時間15 nsで32 K語 $\times 8$ ビット構成の256 Kビット CMOS SRAM (M5M5278BP/J/FP) を製品化しているが、さらに高速化した後継機種として、256 Kビット SRAM の製品レベルで初めてアクセス時間10 nsの壁を破った、アクセス時間8 nsの32 K語 $\times 8$ ビット構成の256 Kビット BiCMOS SRAM (M5M52B88J) を開発した。本稿では、このSRAMの設計・製造プロセス技術及び電気的特性について紹介する。

## 2. 開発のねらい

このSRAMは、M5M5278Bの後継機種として、高速アクセスタイム、低消費電力を重視して開発した。したがって、開発に当たっては以下の目標を設定した。

### (1) ビット構成

(a) 32 K語 $\times 8$ ビット構成

(M5M52B78)

(b) 32 K語 $\times 8$ ビット構成

デュアル センタパワーピン

(M5M52B88)

(c) 32 K語 $\times 9$ ビット構成

(M5M52B79)

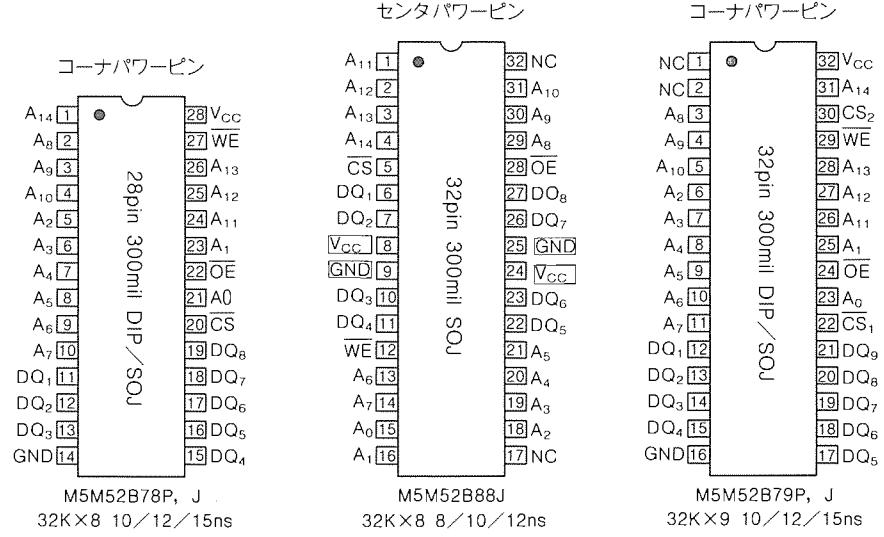


図1. 32 K $\times$ 8/9 BiCMOS TTL SRAM ピン配置

最先端のフォトリソグラフィ技術、イオン注入技術、多層配線技術とBiCMOS技術を駆使して、 $0.6\mu\text{m}$  設計ルールの5層ポリシリコン2層アルミ構造のデバイスを実現する。

### (5) 冗長構成

不良メモリセルと置換する冗長メモリセルとして予備行と予備列の両方を設け、様々な種類の欠陥にたいして救済可能とし、歩留りの向上を図る。このSRAMでは、アクセスタイムの遅れがなく救済方法の容易な当社独自のシフトリダンダンシ回路<sup>(1)</sup>を行と列に設ける。

## 3. 設計技術

### 3.1 チップ構成

このSRAMのブロック構成を図2に示す。メモリセルアレーは256行×64列（プラス予備行4行、予備列8列）を1ブロックとし、 $\times 8$ 用16ブロック、 $\times 9$ 専用2ブロック（ $\times 8$ のときは未使用）計18ブロックに分割されている。このSRAMは分割ワード線方式<sup>(2)</sup>を採用し、高速化、低消費電力化を図っており、グローバル行デコーダをチップ中央に配置して、グローバルワード線の配線抵抗による遅延を抑えている。また、ビット線負荷、書き込みドライバ、列デコーダ、ローカルセンスアンプ等をチップ上下に配置した。これは、デュアルセンタパワーピンでは出力ピンがメモリセルアレーを挟んで4ピンずつ分かれられるため、それに対応したものである。

### 3.2 電源線フロアプラン

図3に電源線、GND線のフロアプランを示す。図に示すように電源線（V<sub>CC</sub>、GND）を周辺回路用、メモリセルアレー用、出力回路用、入力保護回路用に分け、出力回路専用電源パッド（V<sub>CC</sub>、GND）を出力バッファ二つに対して一つ設けた。これは8つの出力バッファが同時に動作したときに生じるノイズが直接内部回路に伝搬しないようにするためである。 $\times 8$ 構成以上の多ビット品では上記のような対策が必ず（須）である。

### 3.3 入力バッファ

図4に従来及び今回使用した入力バッファ回路を示す。図(a)に示した従来例では相補出力を得ようとしたとき、CMOSインバータ1段分、片側の出力（この例ではA）が遅れる。このように相補出力でタイミングのずれ

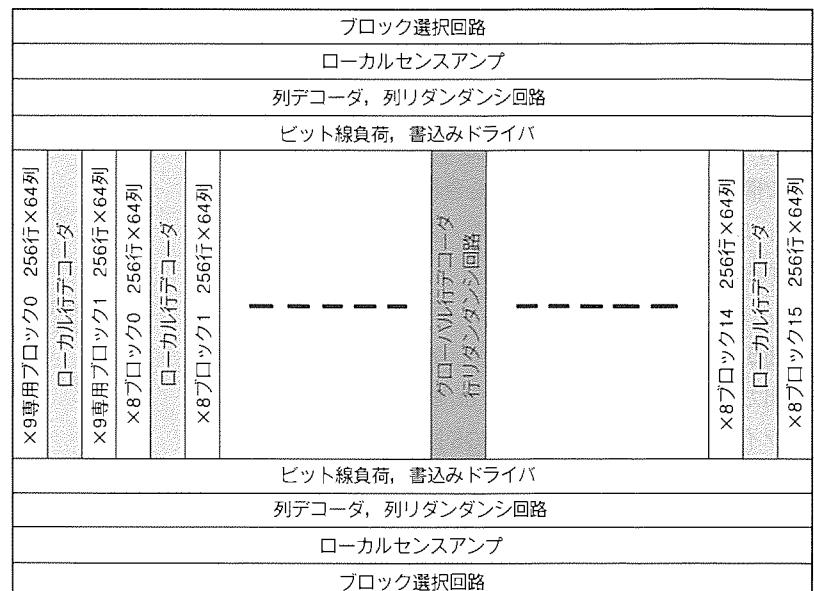


図2. ブロック構成

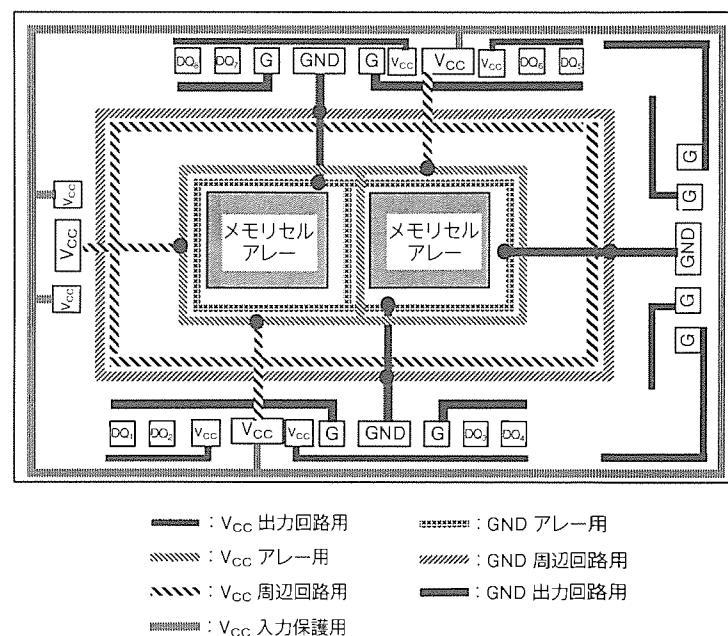
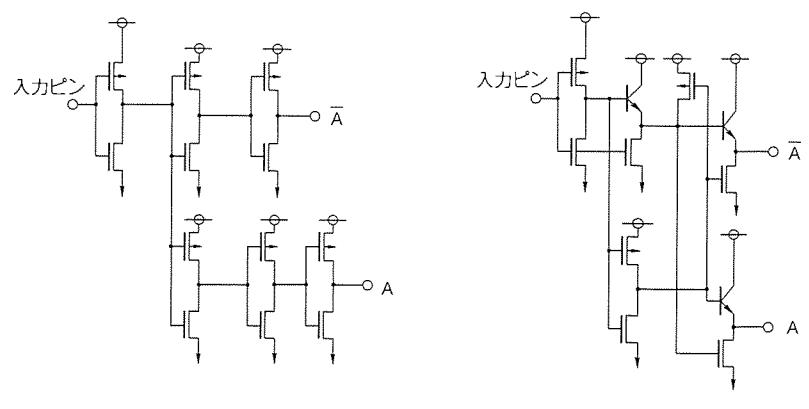


図3. 電源線フロアプラン



(a) 従来の入力バッファ

(b) BiNMOS 入力バッファ

図4. 入力バッファ回路

を生じるとメモリセルのマルチセレクションによって誤書き込み、誤読み出しを起こす可能性がある。図(b)に示すBiNMOS入力バッファは上記の欠点を改善し、かつ高速化を図ったもので、入力2段目をBiNMOSドライバ及びCMOSインバータで構成することによって段数を合わせかつ相補信号を作り、さらに高速化のためBiNMOSプッシュプル回路によって出力する構成にしている。

### 3.4 出力ドライバ回路

図5に出力ドライバ回路を示す。先に述べたように、従来は出力ノイズ低減の目的で  $di/dt$  を小さくするために出力ドライバ回路はCMOS又はNMOS回路で構成されていた。しかしながら、このSRAMでは電源のインダクタンスが小さいため必要以上に  $di/dt$  を小さくする必要がなく、したがって図に示すように立ち上がり時間と立ち下がり時間を高速化するためにバイポーラトランジスタを用い、立ち下がり時間を高速化するためにバイポーラトランジスタ、NMOS、抵抗で構成されたBiNMOS回路を用いることができる。また、出力“L”電位(VOL)のDCスペック保証用に上記BiNMOS回路に並列にNMOSトランジスタが接続される。さらに、出力“H”から“L”スイッチングの高速化及びノイズ低減のため出力振幅低減用ダイオードが図のように接続される。

### 3.5 冗長回路

図6にこのSRAMに用いたシフトリダンダンシ方式の概念を示す。シフトリダンダンシ方式はデコード経路中に設けられたスイッチを切り替えることにより、不良ビットを冗長ビットと置換して救済する方式である。このため、プログラムが容易なことと冗長ビットを置換してもアクセスの経路が全く変わらないという二つの特長がある。アクセスタイム8nsという超高速SRAMのリダンダンシ方式としてシフトリダンダンシ方式を採用したのは主にこの2番目の特長を重要視したためである。図7にシフトリダンダンシ回路を示す。

図6で述べたスイッチはCMOSトランジションゲートで構成される。例えば、C2のビット線が不良である場合、各ブロックに一つ設けられたイネ

ブルヒューズfE1と各ビット線ごとに設けられたヒューズf2-1を切断することにより、C2のビット線と接続されていたD2のデコーダ回路はC3のビット線と接続され、D3のデコーダ回路はC4のビット線と接続される。不良メモリセルを置換するための冗長メモリセルはメモリセルアレー全体で4行、各ブロックごとに8列、合計4行、144列配置されており、歩留り向上に大きく寄与している。不良セルの置換はレーザビームを用いたポリシリコン

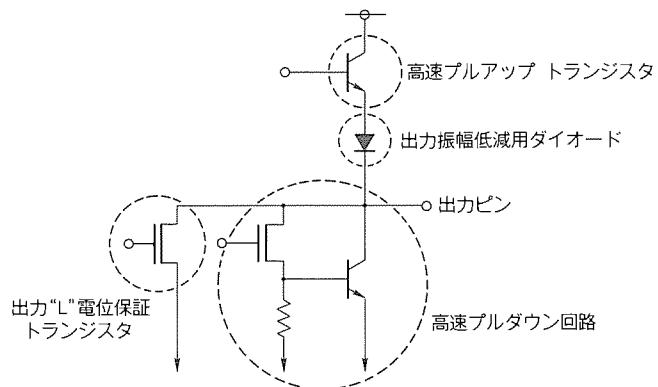


図5. 出力ドライバ回路

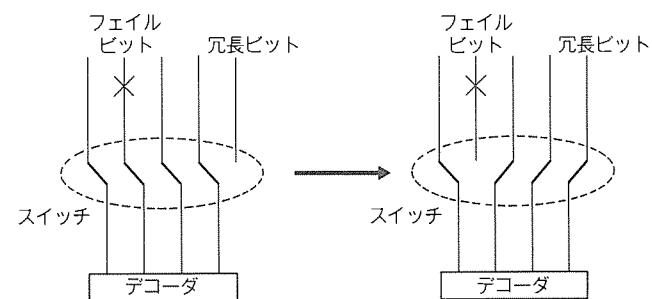


図6. シフトリダンダンシの概念

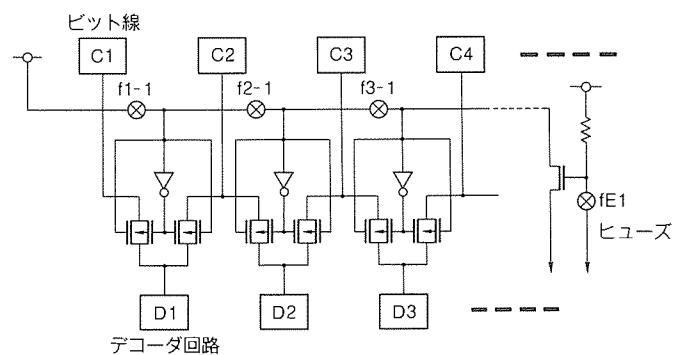


図7. シフトリダンダンシ回路

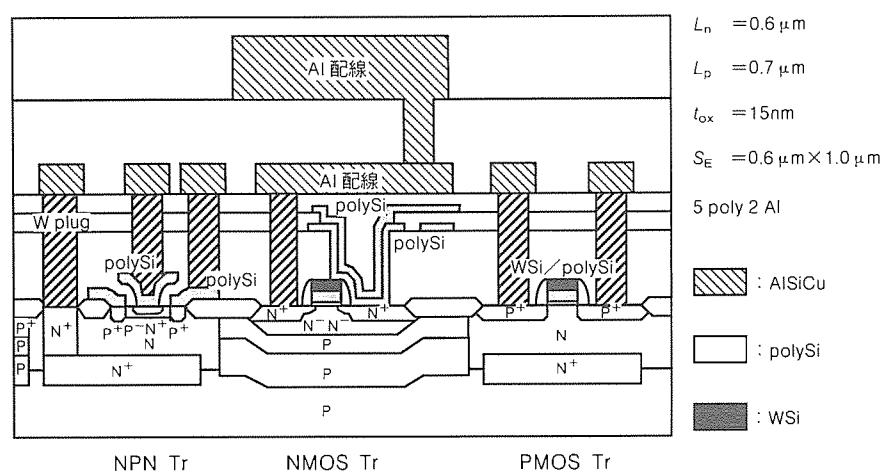


図8. 0.6 μm BiCMOS デバイス断面

ヒューズの溶断によって行う。

#### 4. 製造プロセス

図8に $0.6\text{ }\mu\text{m}$ BiCMOSデバイス断面を示す。このSRAMはP型シリコン基板、レトログレードツインウェル構造、高抵抗負荷型NMOSメモリセル、5層ポリシリコン配線(ポリサイド配線を含む)、2層アルミ配線で形成している。レトログレードウェルはフィールド酸化膜の上から高エネルギー注入によってウェルを形成するので、マスク枚数が減る、狭チャネル効果が抑えられる、ソフトエラー耐性を向上させるなどの特長がある。

バイポーラトランジスタはベースとエミッタの引き出し電極をそれぞれ別のポリシリコンで形成する自己整合型のダブルポリシリコン構造であるため、寄生容量を非常に小さくでき高性能のトランジスタが得られる。バイポーラトランジスタの最小エミッタサイズは $0.6\text{ }\mu\text{m} \times 1.0\text{ }\mu\text{m}$ であり、MOSトランジスタの最小ゲート長は $L_n=0.6\text{ }\mu\text{m}$ ,  $L_p=0.7\text{ }\mu\text{m}$ である。また、NMOSトランジスタは、5V動作時の耐ホットエレクトロン性に優れたゲートオーバラップLDD構造を採用している。

5層のポリシリコンの内訳を示すと、1層目はMOSトランジスタのゲート電極、2層目はバイポーラトランジスタのベース引き出し電極と抵抗素子、3層目はメモリセルのGND配線とバイポーラトランジスタのエミッタ引き出し電極、4層目はメモリセルのクロスカップル用の配線、5層目はメモリセルの高抵抗と $V_{CC}$ 配線である。また、1層目のアルミ配線はビット線、2層目のアルミ配線はグローバルワード線、データバス等に用いており、1層目、2層目とも耐マイグレーション性向上のためバリアメタル付きのAl-Si-Cuを用いている。5層ポリシリコン構造を持つこのSRAMでは、ビット線コントラクト穴のアスペクト比が大きくなるため、従来用いられてきたスパッタ法によるアルミ配線形成法ではコントラクト穴内のアルミのカバレッジが悪く信頼性の低い配線となる。したがって、これに対処するために、コントラクト穴内にタンゲステンプラグを形成して高アスペクト比に対応している。

表1にこのSRAMのプロセスパラメータを示す。メモリセルは実績のあるNMOS高抵抗負荷型を用い、チップサイズ低減による高速化のためにセルサイズを $4.2\text{ }\mu\text{m} \times 5.6\text{ }\mu\text{m}$ と、 $0.8\text{ }\mu\text{m}$ プロセスの256K CMOS SRAM(M5M5278B)と比べて約60%縮小している。これにより、チップ全体に対するメモリセルアレー占有率は約30%程度となる。

#### 5. 電気特性

32K語×8/9ビットBiCMOS SRAMのチップ写真を図9に示す。チップサイズは $4.0\text{ mm} \times 8.8\text{ mm}$ で、従来の $0.8\text{ }\mu\text{m}$ プロセスの256K CMOS SRAM(M5M5278B)と比べ約35%縮小し、28ピン300ミル幅のプラスチックSOJ、DIP及び32ピン300ミル幅のプラスチックSOJ、DIPに収納可能である。図10は電源電圧 $V_{CC}=5\text{ V}$ 、室温時での出力波形で、アドレスアクセス時間 $t_a(A)=6\text{ ns}$ を示している。動作時における電源電流 $I_{CC1}$ のサイクル時間依存性を図11に示す。サイクル時間10ns、テストパターン:マーチ、 $V_{CC}=5.5\text{ V}$ 、室温の条件下で、 $I_{CC1}$ は168mAである。32K語×8/9ビットBiCMOS SRAMの性能一覧を表2に示す。

#### 6. むすび

BiCMOS技術を用いて、32K語×8/9ビット構成のスタティックRAM(M5M52B88J/78P, J/79P, J)を開発した。 $0.6\text{ }\mu\text{m}$ レベルの微細化プロセス、デュアルセンタパワーピン配置とBiCMOS技術とを駆使して高速化と同時に低消費電力を達成することができた。

TTLインターフェースのスタティックRAMもいよいよサブ10ns時代に突入したが、高度情報化社会の進展に伴うコンピュータ等の高性能化に対応して、スタティックRAMに

表1. プロセスパラメータ

項目		32K×8/9 BiCMOS TTL SRAM
		M5M52B78, M5M52B88, M5M52B79
プロセス		5層ポリシリコン 2層アルミ
ゲート電極		WSixポリサイド
メモリセル		NMOS高抵抗負荷型( $4.2\text{ }\mu\text{m} \times 5.6\text{ }\mu\text{m}$ )
バイポーラトランジスタ構造		ダブルポリシリコンバイポーラ
MOS	ゲート長(NMOS)	$0.6\text{ }\mu\text{m}$
	ゲート長(PMOS)	$0.7\text{ }\mu\text{m}$
	ゲート酸化膜厚	15nm
バイポーラ	最小エミッタサイズ	$0.6\text{ }\mu\text{m} \times 1.0\text{ }\mu\text{m}$
	電流増幅率( $h_{FE}$ )	100
	遮断周波数( $f_T$ )	14GHz

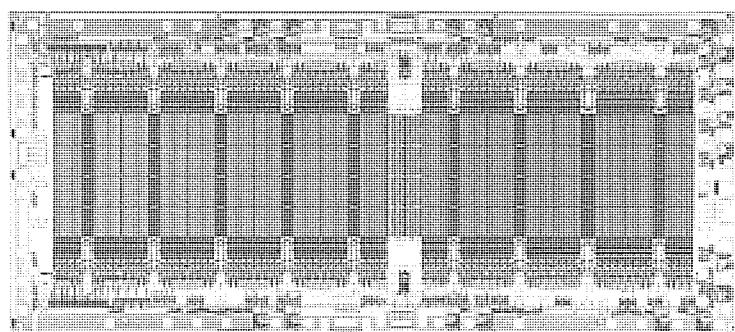


図9. チップ写真

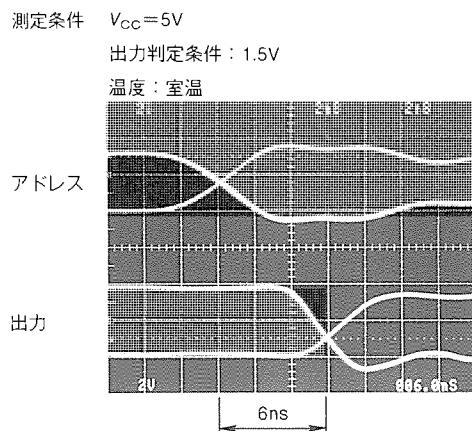


図10. 出力波形

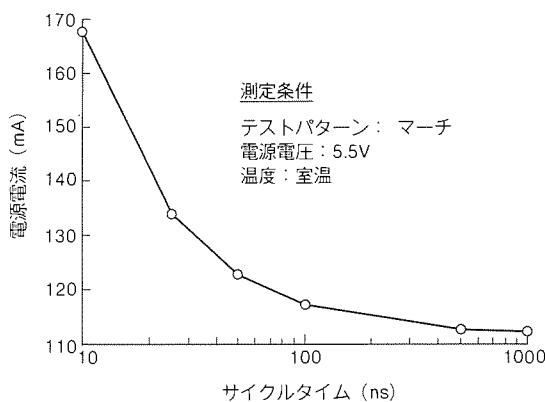


図11. 電源電圧のサイクル時間依存性

表2. チップの諸元

構成	32K語×8ビット コーナパワーピン (M5M52B78) 32K語×8ビット センタパワーピン (M5M52B88) 32K語×9ビット コーナパワーピン (M5M52B79)
プロセス	5層ポリシリコン 2層アルミ, $0.6\mu m$ BiCMOS
メモリセル	高抵抗負荷型 NMOS
メモリセルサイズ	$4.2\mu m \times 5.6\mu m (23.52\mu m^2)$
チップサイズ	$4.0mm \times 8.8mm (35.2mm^2)$
使用電源	5V 単一
入出力レベル	TTL
アドレスアクセス時間	8/10/12ns(最大) (M5M52B88) 10/12/15ns(最大) (M5M52B78, M5M52B79)
チップセレクトアクセス時間	8/10/12ns(最大) (M5M52B88) 10/12/15ns(最大) (M5M52B78, M5M52B79)
サイクル時間	8/10/12ns(最小) (M5M52B88) 10/12/15ns(最小) (M5M52B78, M5M52B79)
電源電流 動作時	175mA(最大)
待機時	40mA(最大)

に対する高性能化の要求はますます強まるものと思われる。これに対処するためには、回路技術はもとより、パターンの微細化やトランジスタの高性能化といったデバイス技術における、たゆみない技術革新が要求される。今後も M5M52B88J/78P, J/79P, J で培った技術をもとに次世代の高性能スタティック RAM を開発していく予定である。

## 参考文献

- (1) Ohba, A., Ohbayashi, S., Shiomi, T., Takano, S., Anami, K., Honda, H., Ishigaki, Y., Hatanaka, M., Nagao, S., Kayano, S. : A 7-ns 1-Mb BiCMOS ECL SRAM with Shift Redundancy, IEEE Journal of Solid-State Circuits, 26, No. 4, 507~512 (1991)
- (2) 吉本雅彦, 長尾繁雄, 吉原 務, 赤坂洋一:64 Kビット完全 CMOS RAM, 三菱電機技報, 57, No. 12, 870~873 (1983)

# 高速ページモード16Mビットマスク ROM

牧原浩泰\* 山内直樹\*  
香田憲次\* 外山毅\*

## 1. まえがき

マスク ROM (Mask Programmable Read Only Memory) は半導体メモリの中で最も大容量化が進んでおり、固定記憶用メモリとして、OA 機器のプログラムメモリや文字フォントメモリ、電子手帳の辞書メモリ、電子楽器の音源データメモリなどに幅広く使用されている。

これまで、マスク ROM は市場の要求によって大容量化と低コスト化を目指し、他のメモリのような高速化を犠牲にせざるを得なかったが、昨今の電子応用機器の高速化に伴い、先に開発した当社の 16 M ビットマスク ROM (M5M23160-XXXXP) では、業界最高速 150 ns の製品化を実現している。

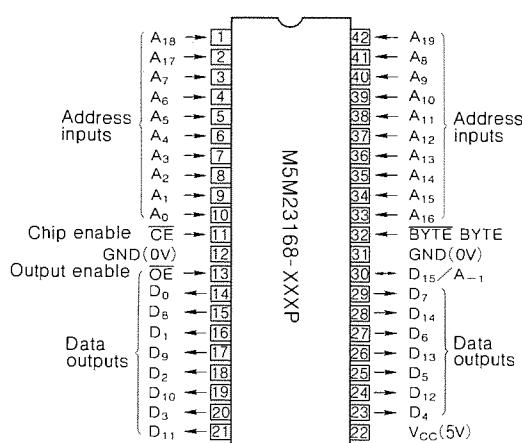
しかしながら、他のメモリと比べて、まだまだ動作速度が遅いのが実状である。そこで、当社では今回、通常の読出しは 150 ns のまで、連続した 8 ワードは 70 ns という高速で読出し可能なページモード付き 16 M ビットマスク ROM (M5M23168-XXXXP, FP) を開発した。

本稿では、今後マスク ROM の高速化技術の主流になると考えられるページモード付き 16 M ビットマスク ROM の製品概要、設計技術、電気的特性、ページモードの応用について紹介する。

## 2. 製品概要

主な特長は次のとおりである。

◎語構成 : 2,097,152 ワード × 8 ビット  
1,048,576 ワード × 16 ビットの切替えが



(a) OUTLINE 42P4Z(DIP)

可能

◎ピン配置 : M5M23160-XXXXP, FP と互換 (図1)

◎パッケージ : 42 ピン DIP, 44 ピン SOP

特に電気的特長は次のとおりである。

- (1) 高速アクセスタイム : 最大 150 ns
- (2) ページモード : 最大 70 ns
- (3) 低消費電力 : 動作時最大 550 mW

待機時最大 5.5 mW

また、ページモードは次の 2 種類が可能である。

◎BYTE = "High" の場合

外部アドレス信号 (A<sub>0</sub>, A<sub>1</sub>, A<sub>2</sub>) による 8 ワード高速読出し

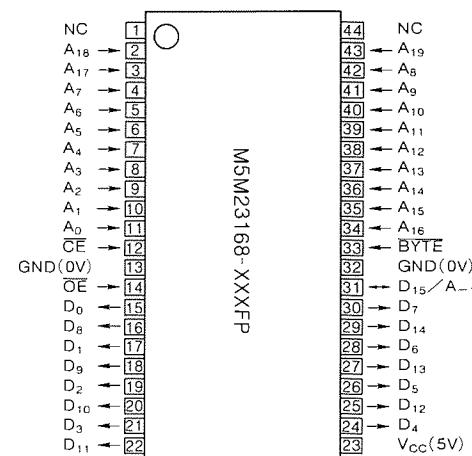
◎BYTE = "Low" の場合

外部アドレス信号 (A<sub>-1</sub>, A<sub>0</sub>, A<sub>1</sub>, A<sub>2</sub>) による 16 バイト高速読出し

## 3. 設計技術

### 3.1 マスク ROM のアクセスタイム

マスク ROM のメモリセルは、高集積化に適しているメモリトランジスタの 18 段縦積み NAND 型が主流となっており、当社でもこの方式を採用している。図 2 に NAND 型メモリセルを示す。このメモリセルはビットラインと接続するコンタクトホールを減らすことができ、高集積化が可能な平面、18 段が直列接続になっているためメモリセル電流が著しく小さくなり、センス時間の増大を招く。



(b) OUTLINE 44P2A-A(SOP)

図1. ピン配置

また、QTAT (Quick Turn Around Time) 化が必ず（須）のマスク ROM では、プログラムデータ確定後のウェーハプロセスを複雑にできない。したがって、DRAM (Dynamic Random Access Memory) 等で進められている多層配線によるワードライン遅延の低減は難しくなる。

以上のような理由で、大容量化が先行するマスク ROM では、他の先端メモリのような方式ではアクセスタイムの高速化は難しい。

### 3.2 ページモード

前節で述べたように、高集積化と高速化といったマスク ROMにおいて相反する方向性に対するアプローチとして、今回ページモード機能を搭載した。図 3 にページモードのタイミングを示す。外部addressesignal  $A_3 \sim A_{19}$  で指定されたページの最初の番地は通常アクセス 150 ns で読み出され、外部addressesignal  $A_0, A_1, A_2$  によって指定される残りの 7 番地は 70 ns で順次読み出すことが可能である。また、バ

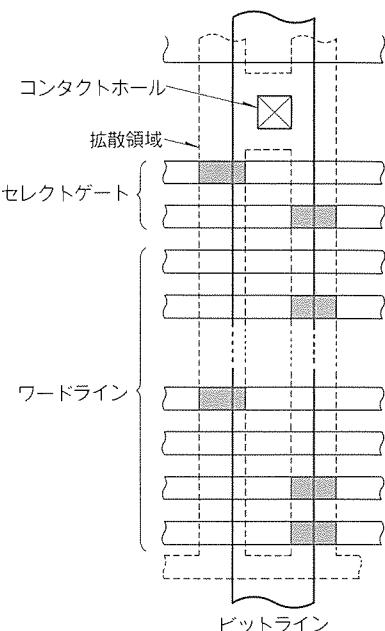


図 2. NAND 型メモリセル

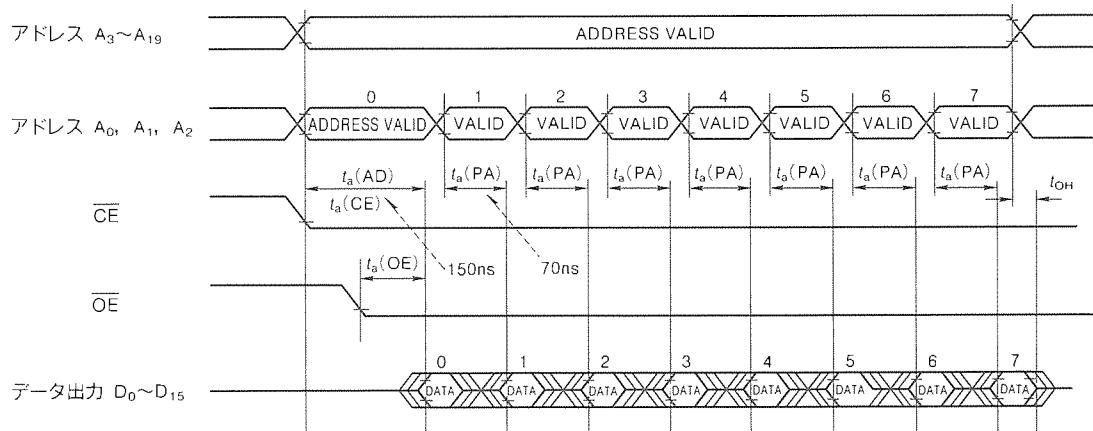


図 3. ページモードのタイミング

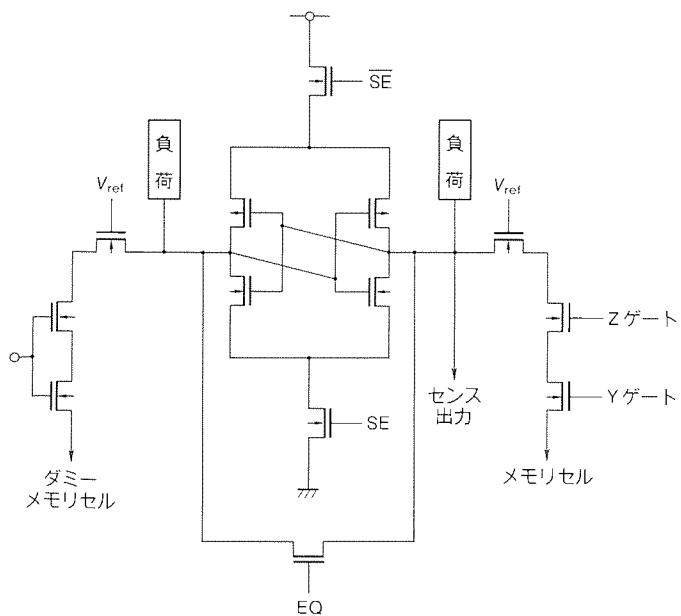


図 4. センスアンプの回路

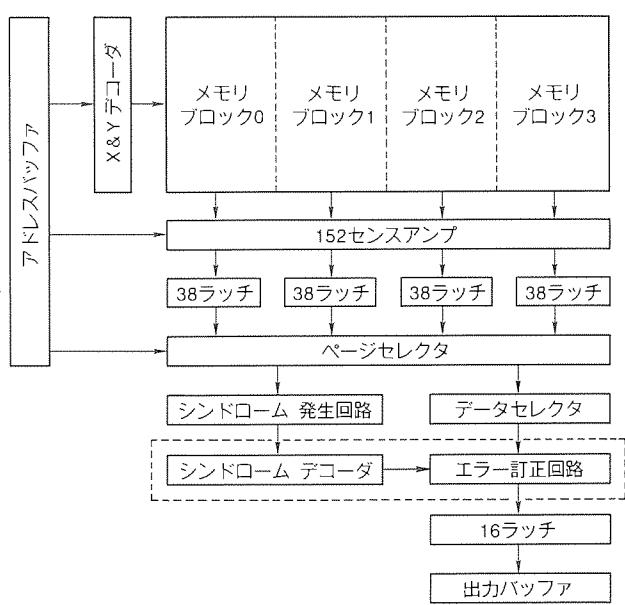


図 5. ECC 回路の構成

イトモードでは外部アドレス信号  $A_{-1}$  を加えて、連続する 15 番地分のデータが 70 ns で順次読み出すことが可能である。

これは、ページの最初の番地を通常アクセス 150 ns で読み出す際に内部的に 8 ワード分のデータを同時に読出しラッチに取り込んでおり、このラッチしたデータを外部アドレス信号  $A_0$ ,  $A_1$ ,  $A_2$  によって高速に読み出している。

### 3.3 低消費電力型センスアンプ

ページモードを実現するには、低消費電力型センスアンプの開発が不可欠である。これは、前節で述べたように最初のアクセスで 8 ワード分のデータを一度に読むため、センス時の電流によって内部ノイズ、デバイス信頼性等への悪影響が予想されるからである。

図 4 にセンスアンプの回路を示す。消費電力の少ないラッチ型差動増幅器を用いており、ダミーメモリセルとの比較による差動増幅で電流駆動能力の少ないメモリセルの高速センスを可能としている。また、イコライズ及びセンスインペブルといった動作を ATD (Address Transition Detection) 信号を用いて最適動作をするように制御することにより、高速で低消費電力のセンスアンプを実現した。

### 3.4 ECC 回路

大容量マスク ROM の高歩留り、高信頼性に対し、当社では 8 M ビット、16 M ビットマスク ROM から ECC (Error Checking and Correcting) 回路を採用している。図 5 に今回の ECC 回路構成を示す。内部 32 ビットに対し、6 ビ

ットのパリティビットを持ち、2 ワード単位のブロックでエラー訂正を行っている。この ECC 回路は、6 ビットのパリティビットを含む 38 ビットのデータに対して、1 ビットの誤り訂正が可能である。

ページモード時には、4 ブロック分すなわち 152 ビットの読み出しどータをラッチし、ページセレクタによって各ブロックを順次選択している。選択されたブロックのデータは、シンドローム発生回路、シンドロームデコーダで訂正信号を発生し、エラー訂正回路で誤り訂正を行う。したがって、回路規模の大きなエラー訂正の部分は、4 ブロックで共有化しておりチップサイズの増大を防いでいる(図 6)。

## 4. 電気的特性

図 7 に、ページモード アクセスタイムの電源電圧 ( $V_{cc}$ ) 依存性を示す。標準条件 ( $V_{cc} = 5 V$ ) におけるページモードアクセスタイムは 38 ns と非常に高速である。図 8 に各アクセスタイムの周囲温度依存性を示す。各アクセスタイムとともに

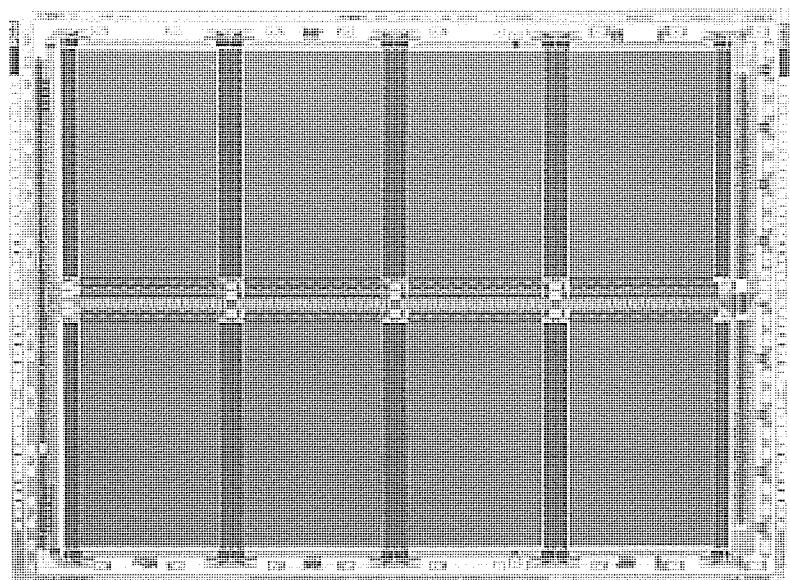


図 6. チップ写真

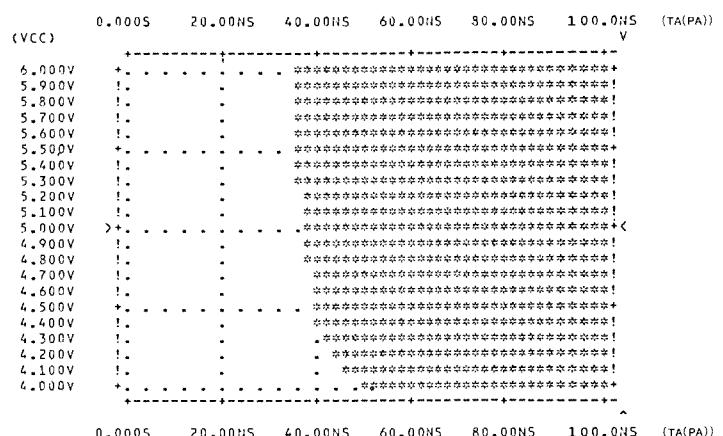


図 7. ページモード アクセスタイムの電源電圧依存性

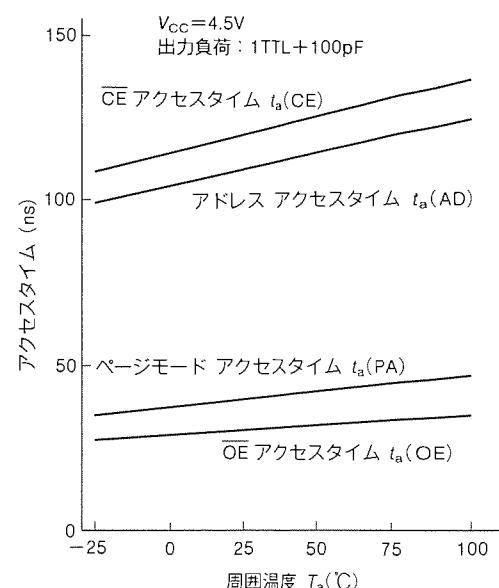


図 8. アクセスタイムの周囲温度依存性

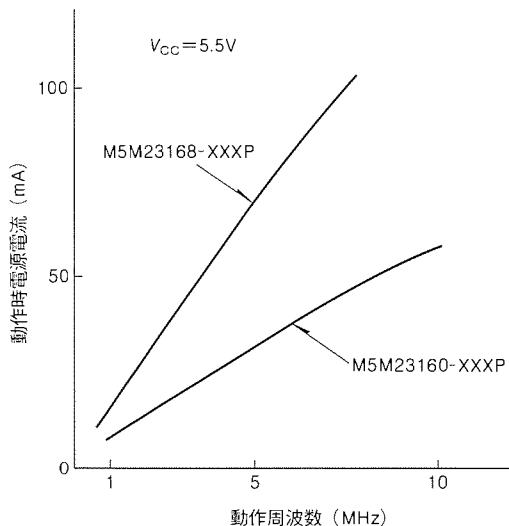


図9. 動作時電源電流の動作周波数依存性

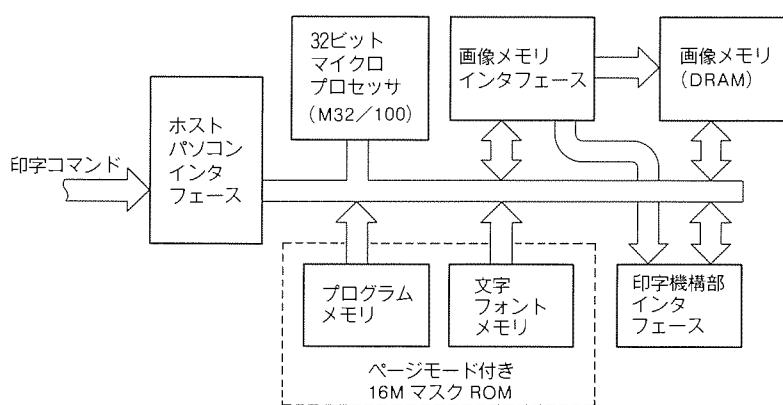


図11. ページプリンタにおける応用例

の付いた MPU によって 8 ワード分の命令又はデータを 70 ns で連続アクセスが可能である。

図11に最近普及の著しいページプリンタにおけるページモード付きマスク ROM の応用例を示す。プログラムメモリと文字フォントメモリを同一のマスク ROM で構成可能であり、また文字フォントメモリ専用としても MPU のウェート数の削減が可能である。

## 6. む す び

今回開発したページモード付き 16 M ビットマスク ROM は低消費電力型センスアンプ等の回路的工夫により、通常アクセスタイム 150 ns、ページモード アクセスタイム 70 ns を実現した。

今後は、高速化技術の主流になるであろうページモードの高速化、また連続読出しデータ数の増大を図っていく予定である。

## 参 考 文 献

- (1) 本間 剛、新井 肇、牧原浩泰、金子正秀、香田憲次：  
8 M ビット、16 M ビットマスク ROM、三菱電機技報、  
65, No. 7, 703~707 (1991)
- (2) 松尾龍一、金子正秀、安東 亮、小山利弘：超大容量 4  
M ビットマスク ROM、三菱電機技報、61, No. 5, 411  
~414 (1987)
- (3) Shinoda, T., Ohnishi, Y., Kawamoto, H. : A 1Mb ROM  
with On-Chip ECC for Yield Enhancement, ISSCC 83,  
158~159 (1983)

様、ページモード アクセスタイムの温度依存性は少ない。

図9に動作時電源電流の動作周波数依存性を示す。電源電圧 ( $V_{cc}$ ) 5.5 V、周波数 6.7 MHz (サイクルタイム 150 ns)において、 $I_{cc2} = 90 \text{ mA}$  と並記した M5M23160-XXXXP に比べて約 2 倍程度に抑えられている。ただし、この場合は通常アクセスを行った場合であり、ページモードアクセスを行った場合は、実質的に周波数 1.6 MHz (サイクルタイム 150 ns + 70 ns × 7 = 640 ns) 程度となり、M5M23160-XXXXP と同等レベルになる。

## 5. ページモードの応用

図10にページモード付き 16 M ビットマスク ROM の使用例を示す。外部カウンタ回路の附加、又は連続読出しモード

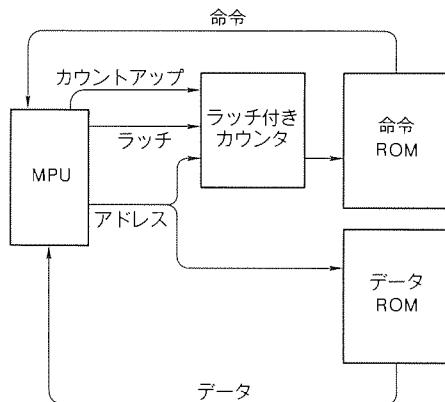


図10. ページモード付き 16Mビットマスク ROM の使用例

田原次夫\*  
福元孝和\*  
宮武秀司\*

# 高速高密度メモリモジュール シリーズ

## 1. まえがき

メモリLSIの表面実装パッケージを搭載したメモリモジュールは、その持つ種々のメリットのため、広範囲な電子機器に使用されるとともに、電子機器の高性能化・小型化を目的としてゲートアレー、ASSP(Application Specific standard Products)と組み合わせたAS(Application Specific)メモリモジュール、超薄形のTSOP(Thin Small Outline Package)パッケージのメリットを生かしたメモリモジュール及び特殊コネクタ付きメモリモジュールなど、多様な多品種への展開が加速されている。

当社でも、市場のニーズを満足すべく、多様な多品種のメモリモジュールの開発・製品化に取り組むとともに、高性能・高品質な製品開発を目指している。

本稿では、メモリモジュール化の背景、メリット及び新製品の紹介を行い、高性能化設計のための伝送線路シミュレーション結果の具体例を紹介する。

## 2. メモリモジュール化の背景・メリット

メモリモジュールは、メモリLSIの表面実装パッケージの開発・製品化と同時期の約7、8年前に製品化された。当初は、スルーホール実装で使用するクリップリードタイプのメモリモジュールが一般的であり、“表面実装センブリラインがなくても、メモリの高密度実装化を可能にできる製品”という表面実装パッケージの販売手段であった。

その後、ソケットに装着して使用するカードエッジタイプが、JEDEC(Joint Electronic Device Engineering Councils)規格で世界的な標準製品として登場し、増設メモリの用途でパソコンに使用され、普及するに伴い種々のメリットのあることが理解され、用途が更にワークステーション、FAX、プリンタ、キャッシュレジスター、計測器及び通信制御機器等の小型電子機器へと急速に拡大している。

メモリモジュール化のメリットとしては、

- (1) 電子機器の多様なニーズに合わせたメモリ容量の増減や機能の変更ができるシステム設計ができるため、市場の変化に対して、より容易に対応できる。
- (2) 多数個のメモリLSIを実装するメモリモジュールは、次世代メモリでも、同じ構成のメモリモジュールの製品化ができる、メモリの世代交替時の“需給バランス”や“価格変動”への対応が、よりスムーズになる。

(3) 高さ方向のスペースが有効利用できるため、電子機器のTOTALの実装密度が向上できる。

- (4) “メモリの1個の部品”として品質と性能が保証されたメモリモジュールは汎用部品として扱えるため、使い勝手が良く、電子機器のTOTALの品質向上ができる。また、抜き差しが容易なため、メンテナンス性が向上する。
- (5) ゲートアレーやASSPを組み合わせることにより、電子機器の高性能化ができ、またTSOPパッケージを搭載したメモリモジュール化により、さらに高密度実装メモリが得られ、電子機器の差別化がより容易になる。

## 3. 当社メモリモジュールの製品コンセプト

以上のような市場の広範な要求にこたえるため、当社のメモリモジュールの製品コンセプトを次に示す。

### 3.1 高性能化設計のメモリモジュール

$V_{CC}$ 、GNDノイズ及び信号間クロストークを抑えるために最適化パターン設計を実施するとともに、CADを使った伝送線路シミュレーションによる性能検証などにより、高性能化設計のメモリモジュールを目指している。

### 3.2 TOTALの品質保証と性能保証

メモリの“1個の製品”と考えた総合的品質管理を行うとともに、高性能メモリテストによる性能保証を行い、厳しい外形寸法精度や電極部のメタライズスペックを満足した高品質で高品位な製品を追求している。

### 3.3 ASメモリモジュール

ゲートアレーやASSPと組み合わせたメモリモジュールやカスタムメモリモジュールを推進し、広範な市場の要求にこたえる。

### 3.4 高密度実装メモリモジュール

TSOPパッケージを搭載した製品を積極的に推進しており、さらに高密度なメモリモジュール開発をねらう。

### 3.5 多種の外部リード

多種の外部リードのラインアップを充実することにより、多様な外形のメモリモジュール化を可能にする。

現状の外部リードとしては、

- (1) カードエッジタイプ(SIMM:Single Inline Memory Module)

ソケットに装着して、増設メモリや機能変更メモリとして使用する製品で、需要が一番多いタイプである。

- (2) シングルインラインリードタイプ(SIP:Single Inline

Package)

クリップリードをプリント基板に機械的に圧着し、高温はんだではんだ付けした外部リードであり、フローソルダリングのはんだ付けで使用する。電子機器に組込み用メモリの用途の製品である。

(3) ジグザグ インラインタイプ (ZIP : Zigzag Inline Package), 超スキニーデュアル インラインタイプ (VDIP : V-Dual Inline Package)

シングルインライン タイプリード (2.54 mm リード間隔) を1.27 mm リード間隔にした外部リードであり、ジグザグタイプと100 ミル (2.54 mm) リード幅の超スキニー デュアルインラインの外部リードである。

(4) デュアル インラインリード (DIP : Dual Inline Package), ダブルデュアル インラインリード (WDIP : W-Dual Inline Package)

600 ミル (15.24 mm) のリード幅の、デュアル インラインリード及びPCB (Printed Circuit Board) で2階構造を実現するダブルデュアル インラインの外部リードである。

以上の外部リードをそろえており、外形を図1に示す。

#### 4. 新製品の紹介と特徴

今回紹介する新製品の比較を表1に示す。高実装密度で大容量メモリを実現した新製品であり、製品ごとの紹介を次に示す。

(1) MH 2 M 08 TNA

1 M SRAM TSOP パッケージを2枚のプリント基板に高密度実装するとともに、2階構造で600 ミルの36 ピンDIP に収納することにより、業界で初めての次世代の16 M SRAM と完全ピン互換性のある製品を実現した。

外形を図2に示す。次世代メモリの先取り製品である。

(2) MH 25632 N/NZ

1 M 高速 SRAM を搭載した8 M ビットの大容量メモリを持った外形・ピン配置がJEDEC 規格に準拠した高速 SRAM

モジュールである。キャッシュメモリや高性能コンピュータのメインメモリなどの用途として製品化した。

外形を図3に示す。

(3) MH 2 M 36 EJ

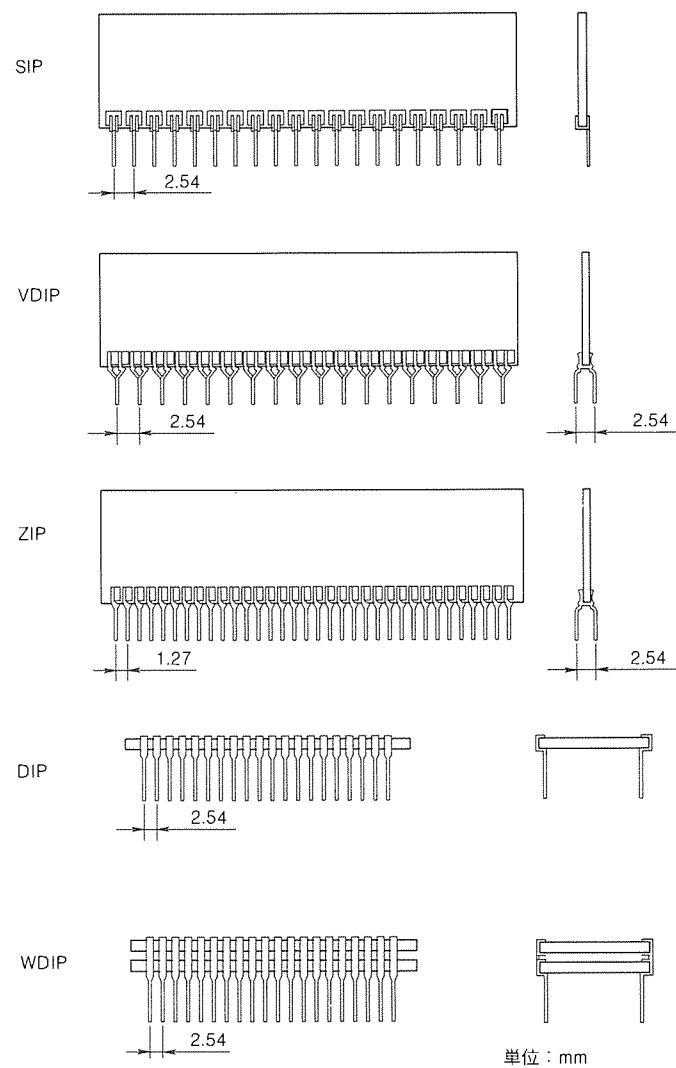


図1. パッケージ外形

表1. 高密度・高速メモリモジュール シリーズ

	メモリ容量 (語)	ビット数 (ビット)	アクセスタイム (ns)	外形寸法 (W×H×D) (mm)	ピン数・外部リード(電極仕様)	実装形態	搭載メモリ
MH2M08TNA	2 M	8	85	53.4×23.0×11.0	36ピン 600ミル DIP	両面 2階	1M SRAM TSOP 16個
MH25632N	256 K	32	25	97.99×20.2×8.6	64ピン カードエッジ(はんだ)	両面	高速1M SRAM SOJ 8個
MH25632NZ				92.91×15.5×8.6	64ピン ZIPリード		
MH2M36EJ	2 M	36	70	107.95×25.4×5.08	72ピン カードエッジ(金)	両面	4M DRAM SOJ 16個 1M DRAM TSOP 8個
MH4M36SAJ	4 M	36	60	107.95×25.4×8.9	72ピン カードエッジ(はんだ)	両面	4M DRAM TSOP 36個
MH51216RNA	512 K	16	150	65.0×17.54×8.8	44ピン 600ミル DIP	両面	2M EPROM CLCC 4個

パリティ用1M DRAM 8個をSOJ (Small Outline J-lead) パッケージからTSOPパッケージにすることにより、メモリモジュールの高さを従来製品と互換性のある25.4 mmにした72Mビットの大容量メモリのJEDEC規格に準拠した標準メモリモジュールである。

#### (4) MH4M36SAJ

4M DRAM 36個搭載した業界最高の144Mビットの大容量メモリで、JEDEC規格に準拠した標準メモリモジュールで、外形を図4に示す。

#### (5) MH51216RNA

2M EPROM 4個を搭載した8MマスクROMとピン互換性のあるメモリモジュールである。8MマスクROMのデバッグTOOLの強いニーズにこたえるために製品化した。外形を図5に示す。

以上、紹介した新製品のように、搭載メモリ数の増大することによって信号線が長くなるとともに、動作スピードが高速化しているため、メモリモジュールを伝送線路と考えた高性能化設計の必要性が強まっている。

また、メモリモジュールを使用する電子機器では、“開発工期の短縮化”“表面実装化によるデバッグの困難化”及び

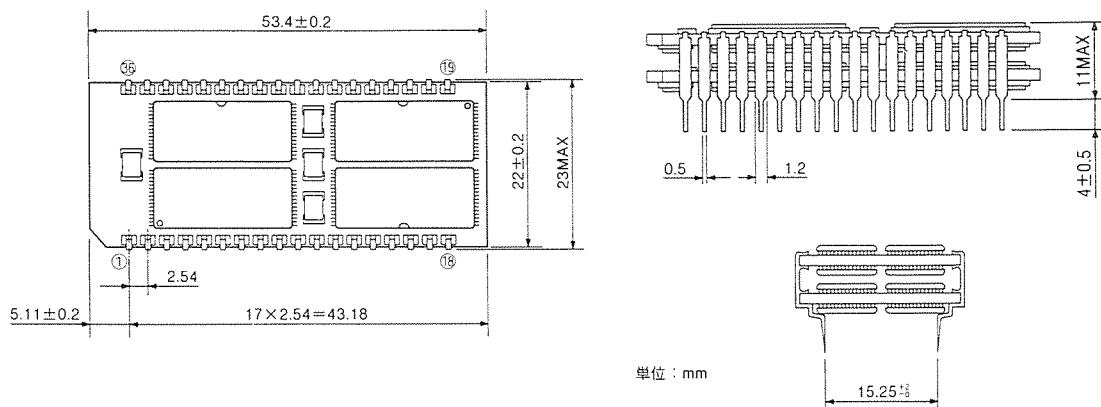


図2. 36ピンSRAMモジュール(MH2M08TNA)

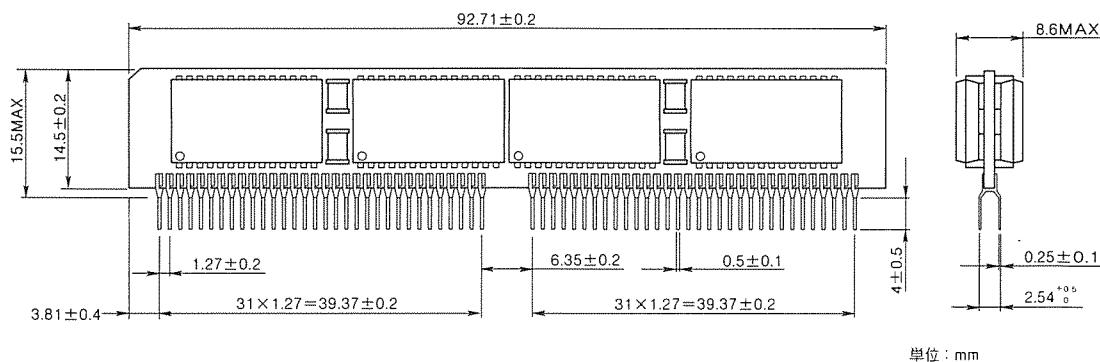


図3. MH25632NZ高速SRAMモジュール

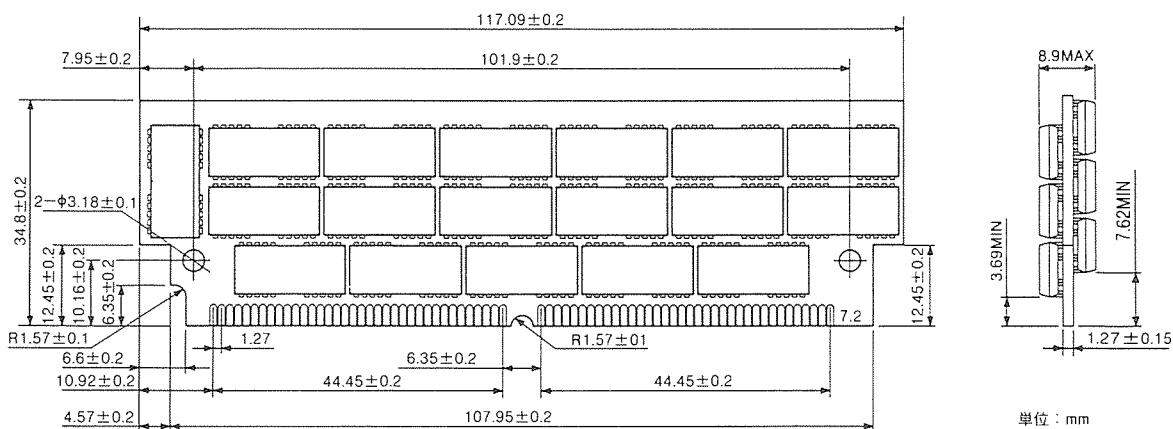


図4. MH4M36SAJ DRAMモジュール

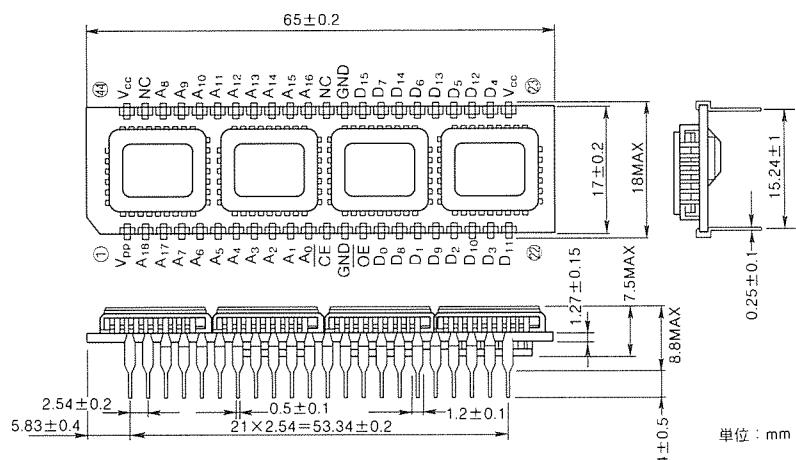


図5 . MH51216RNA EPROM モジュール

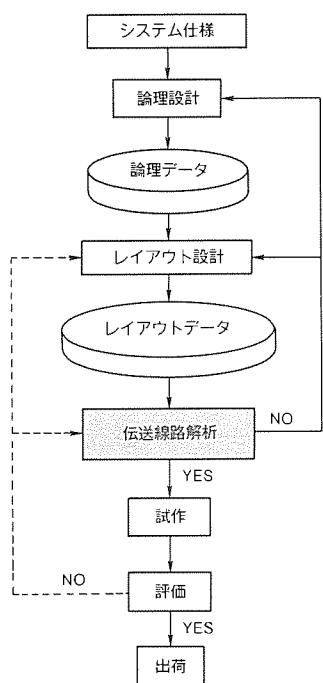


図6 . 最新メモリモジュール設計フロー

“電子機器の高速化”のため、システム設計・企画時にシステムシミュレーションの必要性が高まっている。

当社のメモリモジュールは、CADによる伝送シミュレーションにより、高性能化設計された製品であるとともに、メモリモジュールの伝送線路の“等価回路”が提供できるため、電子機器のトータルの伝送シミュレーションを可能にするものである。次に、伝送シミュレーションの解析結果の具体例を記述する。

## 5. 伝送線路シミュレーションによる解析結果

### 5.1 メモリモジュール設計フロー

基板上のデジタル信号の高速化に伴い、クロストーク、遅延、リングング等の信号の電気特性が問題となっている。

当社では、この問題に対処するため、高速・高性能のメモ

リモジュール設計において、基板レイアウトデータを基に、これらの電気特性を解析できる伝送線路シミュレータを用いて解析している。図6に当社の最新メモリモジュール設計フローを示す。

この伝送線路シミュレータにより、従来評価段階で初めて明らかになっていた電気特性が試作前に分かり、試作回数の低減や納期遅延の解消が可能となった。また、レイアウト設計後の詳細な伝送線路シミュレーションの結果を論理設計やレイアウト設計にフィードバックすることにより、高速かつ低動作マージンのメモリICを使用するメモリモジュール設計に対応することが可能となった。

### 5.2 伝送線路シミュレータを使った解析例

実際に、伝送線路シミュレータを使った解析例を示す。今回は、両面実装のメモリモジュールで、片面にICをそれぞれ9個ずつ搭載し、ドライバを1個使用したものについて解析を行った。

まず、PCBの端にドライバを実装し、すべてのICを直列に接続した場合について考えてみる(図7)。

最遠端のICと最近端のICでの遅延、ドライバの出力端と最遠端のICでの遅延についてそれぞれ調査した結果、両者共に反射による影響で、最近端のIC、ドライバの出力端で2~3 nsも遅延している。

次に、ドライバをPCBの中央部に実装し、9個ずつを並列に接続してみた(図8)。

その結果、それぞれの最遠端のICとドライバの出力端での遅延は、1 ns程度に抑えられ、リングングも減少している。

最後に、同じくPCBの中央部にドライバを実装し、それぞれ4個、5個のICのグループを作り並列に接続した場合について考える(図9)。

この結果から、各最遠端のICと最近端でのICの遅延はほとんど発生していない。また、リングングも抑えられている。

これらの解析データから、上記のモジュールの場合、ドライバは中央部に実装し、アドレス等の信号線は分岐させてドライバからの配線長をできるだけ短くすることが有効であるといえる。

以上のように、伝送線路シミュレータを使用するとメモリモジュールの性能検証が高精度にできるとともに、ユーザーシステム（実機）を含めた総合的なCADシミュレーション

へと展開が可能であると考える。

## 6. むすび

メモリモジュールの多様化・多品種化の要求は、今後とも更に強くなると予想され、さらに大型コンピュータからパソコン、ワークステーションなどの小型の電子機器への市場の移動も加わり、用途と需要が更に拡大していくと思われる。

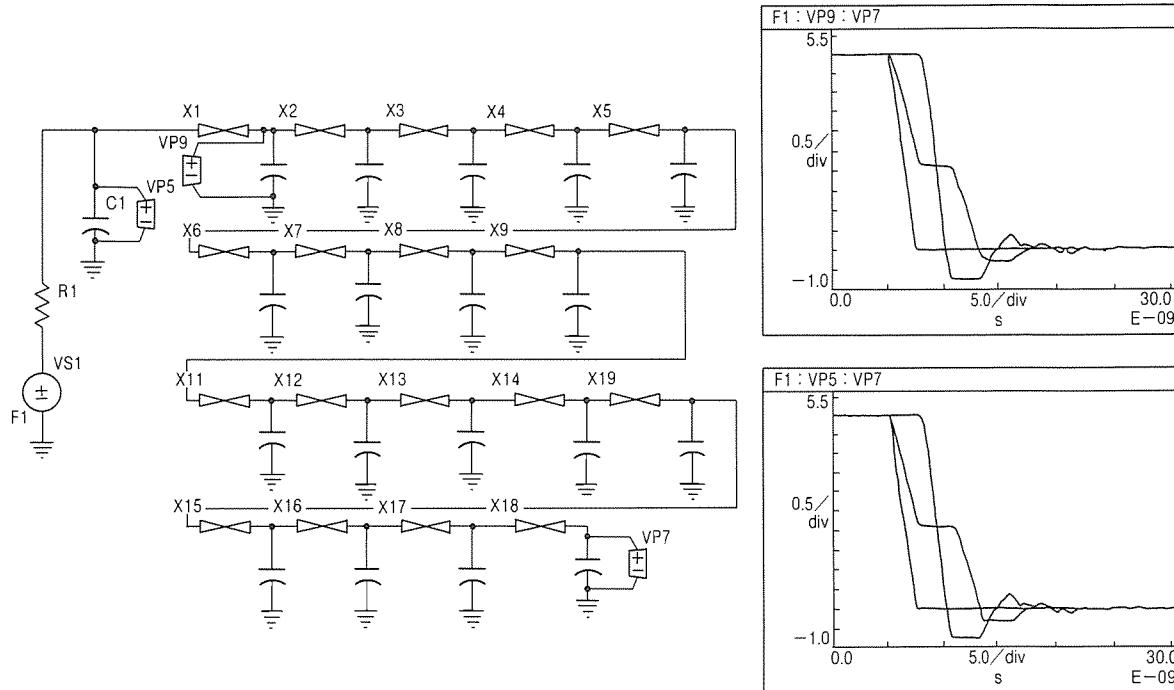


図7. 実施例1

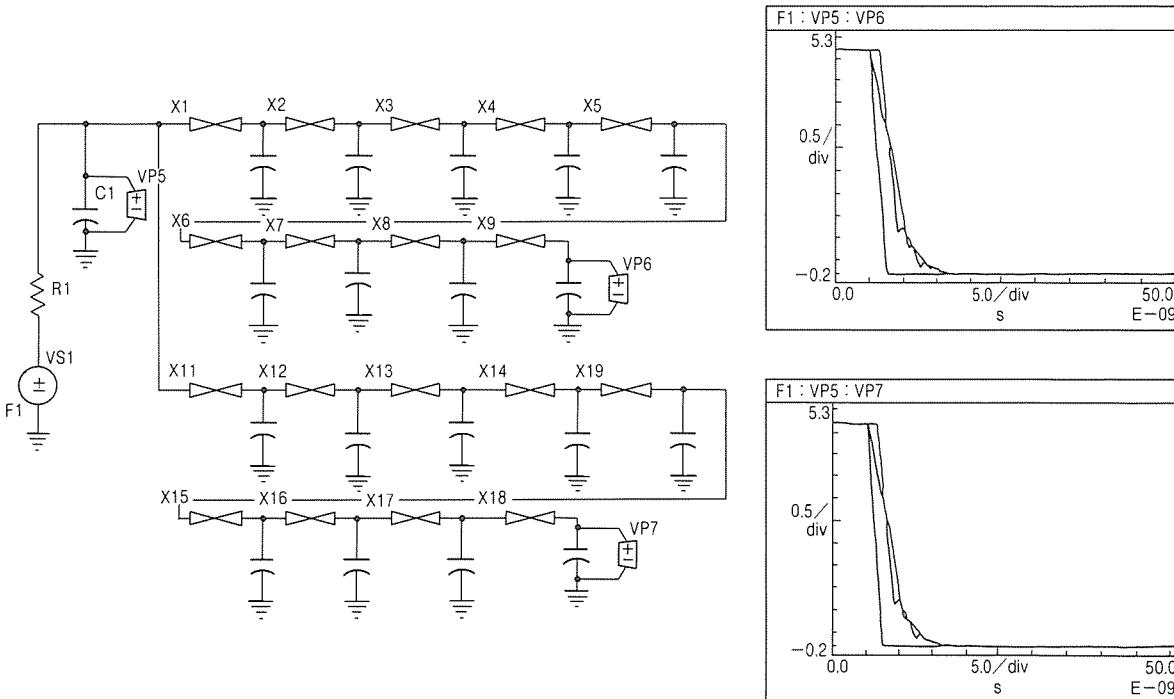


図8. 実施例2

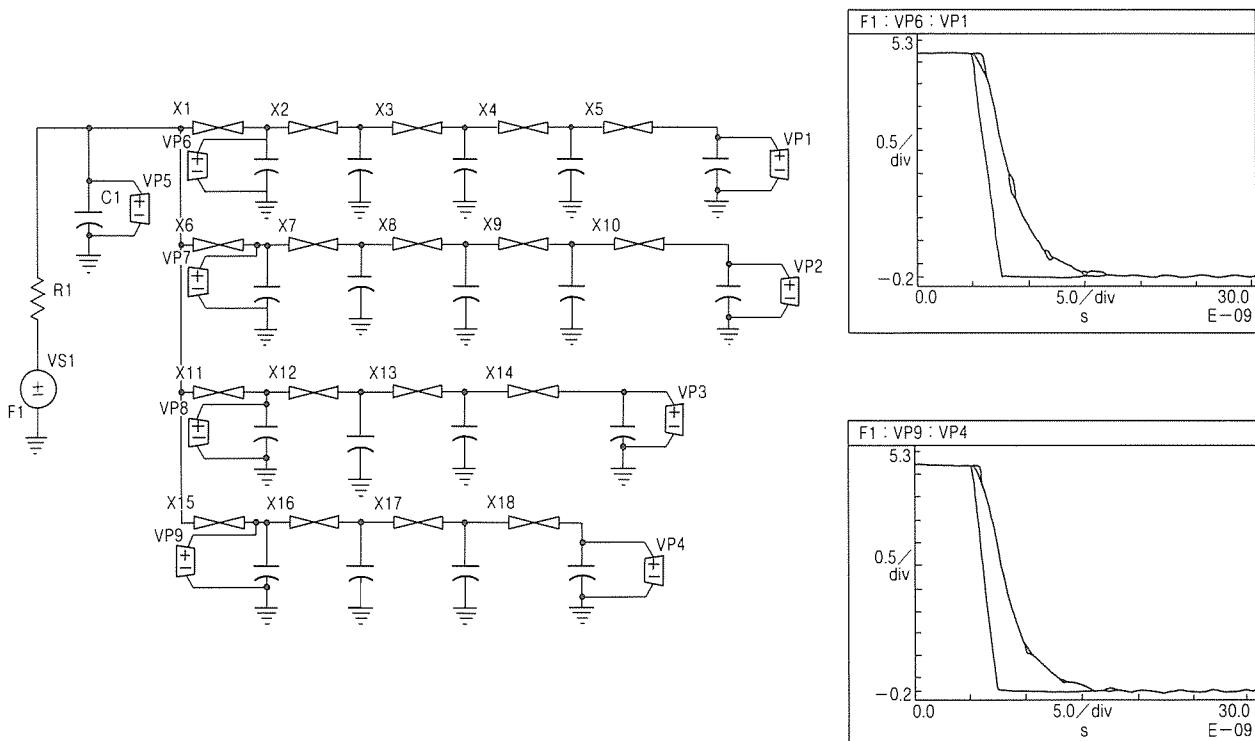


図9. 実施例3

メモリモジュールの導入方法の選択は、新規の電子機器のビジネスの成否に大きな影響を与えると考えられ、あらゆる角度から、十分に検討する必要がある。

当社でも、市場の広範囲な要求にこたえるとともに、超高密度実装技術を駆使した、ユニークなメモリモジュールを目指している。

# G MICRO M32ファミリー及びソフトウェア

小山和美\* 有園武志\*\*\*  
日向純一\*\* 龜井達也\*\*\*  
坂本直史\*\*

## 1. まえがき

最近新しい高位マイクロプロセッサが相次いで発表されているが、当社では(株)日立製作所、富士通(株)、沖電気工業(株)との開発協業により、TRON仕様準拠の32ビットマイクロプロセッサ<sup>(1)(2)</sup> G MICRO™ M32ファミリーを製品化している。TRON仕様のチップアーキテクチャはTRON仕様の各種OS(Operating System)を高速に実行できるように最適化されている。また、高級言語のコンパイラに適した対称性のよいアーキテクチャである。これらのアーキテクチャの特長を生かした高性能CコンパイラやOSを備え、システム開発に必要な開発支援ツールも製品化している。

ここでは、M32ファミリーのLSI特にM32/100の高速化手法・強力なビットマップ操作命令や開発ツール、ITRON仕様リアルタイムOSの特長と今後の展開を紹介する。

## 2. M32ファミリー

M32ファミリーは応用分野別に機能強化された3種類のマイクロプロセッサ M32/100, 200, 300と周辺LSIで構成される。さらに、現在上位機種としてM32/400, 500,を開発している。M32/100は実記憶空間のみをサポートし、用途は機器組込み制御や個人向け情報処理機器に適している。

M32/200は仮想記憶をサポートし、MMUやコプロセッサ関連命令を持ち、EWS分野に適している。M32/300は多重仮想記憶をサポートし、10進演算命令が強化されており、オフィスWSに適している。表1はM32/100, 200, 300の仕様の特徴を示す。

### 2.1 M32/100の特徴

M32/100の開発目的は機器組込み制御や個人向け情報処理機器用途向けに性能・価格比の良いマイクロプロセッサを提供することと、ASICのCPUコアとして利用することである。特にM32/100の命令セットでは、機器組込み制御におけるイメージ処理や情報処理機器におけるマルチウインドウ操作の高速化のためにビットマップ操作命令が強化されている。また、CPUコアとして利用するため、メモリ管理ユニットやコプロセッサインターフェースのサポートはされていない。機器組込み制御ではこれらの機能は必ずしも必要ではなく、またCPUコア部分の面積を小さくし、周辺機能を多く集積するためである。

以下にM32/100の高速化手法、ビットマップ操作命令の効果について述べる。

#### (1) 高速化手法

M32/100では高速化手法として以下の方法を用いている。

##### (a) 256バイトの命令キャッシュの内蔵

表1. M32/100, 200, 300の仕様

	M32/100	M32/200	M32/300
性能			
• MIPS	8.0(20MHz)	9.6(20MHz)	19.9(20MHz)
• Dhrystone/s	14,100(20MHz)	16,800(20MHz)	34,900(20MHz)
• Whetstone MWIPS	—	4(FPU20MHz)	≥5
周波数	20MHz	20MHz	20MHz
トランジスタ数	約340,000Tr	約730,000Tr	約890,000Tr
MMU	なし	あり	あり
キャッシュ	命令キャッシュ：256バイト (プランチバッファ)	命令キャッシュ：1Kバイト STACKキャッシュ：128バイト	命令キャッシュ：2Kバイト データキャッシュ：2Kバイト
コプロセッサインターフェース	なし	あり	あり
パイプライン	5段	6段	7段
パッケージ	152ピンQFP/135ピンPGA	135ピンPGA	179ピンPGA
特長	• 強力なビットマップ処理 • ASSPコア	• 仮想記憶サポート	• 10進演算強化命令
応用	• ビットマップ コントローラ	• EWS	• オフィスWS • スーパミニコン

(b) パイプライン処理機構<sup>(3)</sup>

(c) 先行ジャンプ処理機構<sup>(4)</sup> (プリプランチ処理, プリリターン処理)

内蔵命令キャッシュは通常の命令キャッシュメモリとしての動作に加え、パイプラインの流れを乱す場合に限りキャッシングするように設定できる。

図1はM32/100のパイプライン構成を示す。5段のパイプライン構成を探る。IF(命令フェッチ)ステージではフェッチした命令を命令キューに書き込む。D(命令デコード)ステージでは命令コードをデコードする。デコードはオペコードとアドレッシングモードを同時に使う。A(オペランドアドレス計算)ステージではオペコードの詳細デコードとオペランドアドレス計算の処理が並行して行われる。F(オペランドフェッチ)ステージではマイクロ命令の読み出し(Rステージ)とオペランドフェッチ(OFステージ)が並行して行われる。E(実行)ステージではマイクロ命令に従ってオペランドの演算と結果の書き込みを行い、メモリへ書き込む場合はストアバッファに書き込み、外部メモリへの書き込みは次の命令の実行と並行して行われる。このため、メモリをオペランドとする命令でも2クロックで処理を行うことができる。各ステージは基本的に他のステージとは独立して動作し、最小2クロックで一つの処理を実行する。したがって、20MHz動作時の処理能力は最大10 MIPSとなる。

先行ジャンプ処理機構は、ジャンプ命令の実行などに起因するパイプラインの流れの乱れによる性能低下を少なくするために採用された。命令デコードのDステージでジャンプ命令の処理を行い、高速化を図った。表2は先行ジャンプ処理を行う命令を示す。チップ面積の増大を抑制するため、12種類の分岐命令中、実行頻度の高い7命令について先行ジャンプ処理を行う。

BAR, BSRは必ず分岐するため、Dステージで分岐するものとして処理を行う。ACB, SCBはループ制御を目的とした命令であり、分岐する確立は高いので常に分岐すると予測してDステージでプリプランチを行う。分岐しなかった場合は、Eステージで次命令に再ジャンプして正しいシーケンスに戻す。B<sub>cc</sub>は過去1回の分岐履歴によって分岐予測する方法(動的分岐予測機構)をとった。

B<sub>cc</sub>命令では分岐するか否かは動的に変化し、個々のB<sub>cc</sub>命令の履歴に従う確率が高いのである。分岐予測テーブルは命令アドレスの下位9ビットによるダイレクトマッピング方式を採用した。TRON仕様では命令は2バイト単位で偶数アドレスに置かれるため、最下位アドレスビットは無視でき、256エントリ×1ビットで済む。チップ面積の増大を

抑え、性能向上の効果が大きい。

RTS, EXITDは必ず分岐するのでプリリターン処理を行う。

図2は7つのベンチマークテストにおける先行ジャンプ処理の効果を示す。評価は大型計算機上で機能記述言語によって記述されたM32/100の機能シミュレーションプログラムを用いた。命令キャッシュがオン、外部メモリが2ウエートの状態での評価結果である。5~25% (平均16.8%) 程度の性能向上を得た。

## (2) ビットマップ操作命令の効果

次にM32/100の特長であるビットマップ操作命令の効果について述べる。任意長ビット列の操作命令では、ビットの処理方向を指定するオプションとして順方向(/F)と逆方向(/B)をサポートしている。

BVMAP命令は二つの任意長ビットフィールド間の演算を行う命令で、特定のウインドウ内だけの表示の更新等に効果がある。図3はBVMAP命令による高速化の例を示す。文字と図形を重ね合わせる場合、BVMAP命令を使用した場合の実行速度は従来の命令(MOV)を使用した場合と比較して10倍程度高速である。

BVMAP命令は32ビット単位で繰り返し処理を行う。1回の繰り返し処理は、3回のメモリアクセスを伴う。ソースのビット列の読み出し、ディスティネーションのビット列の読み出し、演算結果のディスティネーションへの書き込みである。これらのメモリアクセスの間に内部処理を行うことによって

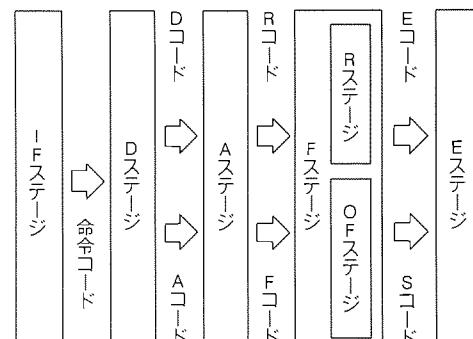


図1. M32/100のパイプライン構成

表2. 先行ジャンプ処理の命令

命 令	機 能	先行ジャンプ処理	
BAR BSR	無条件分岐 サブルーチンへの分岐	必ず分岐	プリ プランチ
ACB SCB	加算、比較、条件分岐 減算、比較、条件分岐	常に分岐すると予測	
B <sub>cc</sub>	条件分岐	過去1回の分岐履歴で予測 (動的分岐予測テーブル)	
RTS EXITD	サブルーチンリターン レジスタ復帰、スタックフレーム解放 サブルーチンリターン	必ずジャンプ	

(マイクロプログラムによるパイプライン制御を行っている。) バスバンド幅を最大限に使い、32ビットの処理を6クロックで実行を可能にした。メモリノーウエートの20MHz動作時に最大106Mbpsで処理できる。

BVSCH命令は任意長のビットフィールドの中の1又は0のビットを捜す命令で、メモリ領域の空きブロック検索などに効果がある。図4は画像データの圧縮・伸長にBVSCH命令などの高機能命令を使用した場合の高速化の例を示す。符号化はMMR(Modified Modified Read)方式を用い、任意長ビット列の変化点の検索にBVSCH命令を使用した。BVCPY命令は最大160Mbpsで処理できる(20MHz動作時)。このようにビットマップ操作命令の高速処理を可能にした主な要因はビットシフト専用回路の内蔵によって1クロックでビットシフトを実行できること、水平マイクロコード方式を採用したことである。

このようにビットマップ操作命令を使用することにより、飛躍的な高速化が高価な専用のハードウェアを備えることなく実現できる。

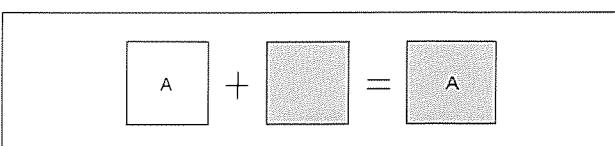
### (3) CPUコアとしての利用

M32/100はASIC展開におけるCPUコアとして利用す

ることを想定して開発された<sup>(5)</sup>。図5はM32/100をCPUコアとして周辺機能を内蔵したASSP製品のチップ写真である。周辺機能としてDMA(Direct Memory Access)コントローラ、割込みコントローラ、16ビットタイマ、UART(Universal Asynchronous Receiver/Transmitter)、DRA用リフレッシュコントローラ、ウェートコントローラなどを内蔵している。個人向け情報処理装置などのシステムの小型化に適している。

### 2.2 M32/400の概要

前節で述べたM32ファミリーの後継機種として、より高性能で高機能な第二世代のG<sub>MICRO</sub>マイクロプロセッサ群であるM32/400、500及びCCM(Cache Control & Memory)等の周辺LSIを開発している。この節ではM32/400についてその概要を紹介する。表3にM32/400の概略仕様を示す。



文字と図形の重ね合せ

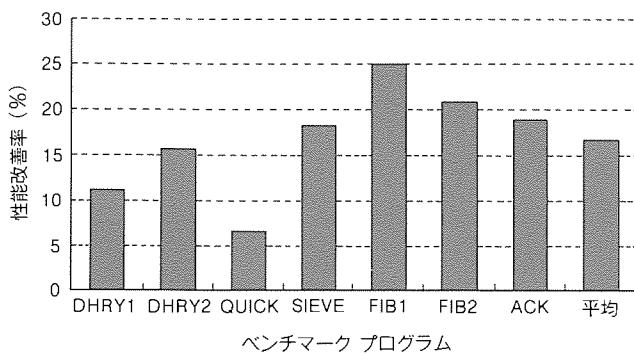


図2. 先行ジャンプ処理の効果

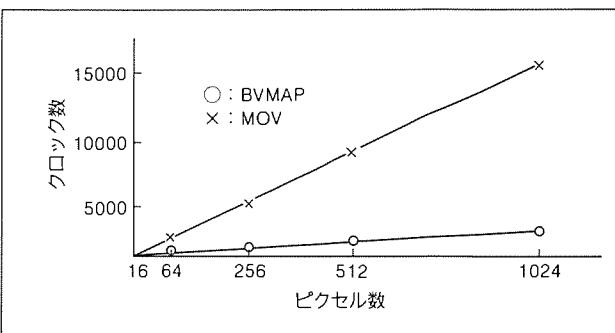


図3. BVMAP命令による高速化例

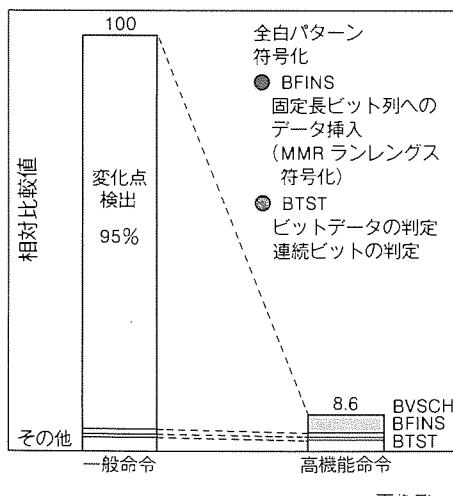
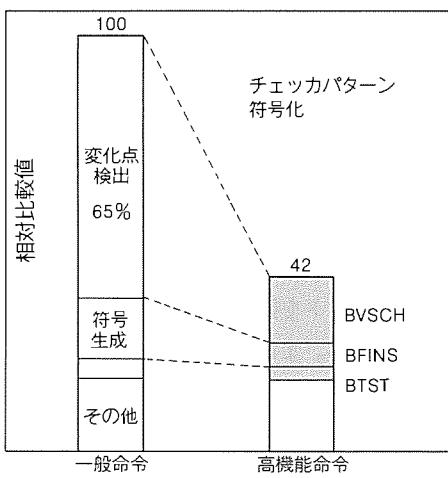


図4. 高機能命令による符号化の高速化例



画像データの圧縮・伸長処理

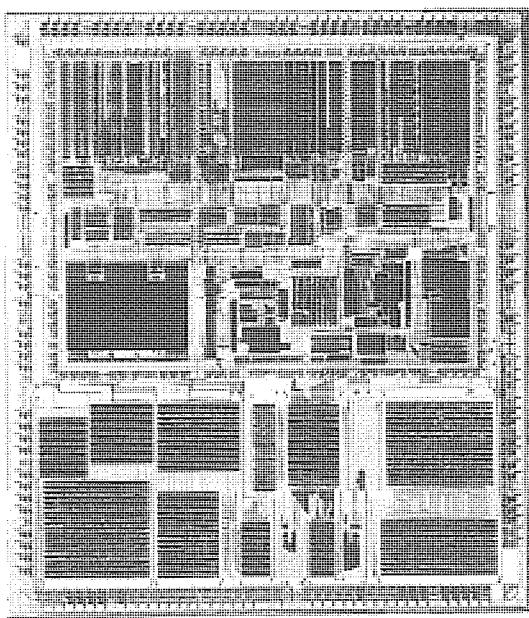


図5. M32/ASSPチップ写真

## (1) 特長

M32/400は浮動小数点演算ユニット(Floating Point Unit: FPU)を内蔵したTRON仕様の32ビットマイクロプロセッサである。第一世代のM32/100, 200や300に対してソフトウェアの上位互換をもつ上位機に当たり、M32/200の5倍以上の性能をねらっている。スーパースケーラーアーキテクチャを採用して2命令を同時に実行し、ピーク時は2命令/クロックの命令処理性能がでる。この高性能を引き出すために64ビットのデータバスと32ビットの命令バスの分離バスを用いる。

## (2) 内蔵機能

M32/200, 300と同様にメモリ管理ユニット(Memory Management Unit: MMU)を内蔵し、4Gバイトの論理空間を4Gバイトの物理空間にアドレス変換する。内蔵TLB(Translation-Look aside Buffer)は命令とデータにそれぞれ64エントリを持つ。内蔵FPUはIEEE 754に準拠し、単精度と倍精度の浮動小数点データをサポートする。FPU命令は従来のM32/FPUコプロセッサのサブセットになっている。オンチップのキャッシュメモリは命令用とデータ用に独立にもち、それぞれ8Kバイトを搭載する。データキャッシュはライトスルー方式である。また、バウンダリスキャンをサポートするためLSIをボードに実装した後のボードテストが容易になる。

## (3) 命令の並列処理

第一世代のG<sub>MICRO</sub>マイクロプロセッサは、命令パイプラインによって基本命令を2クロック又は1クロックで処理して

表3. M32/400の概略仕様

特長	
・M32/100, 200, 300, の上位互換	
・FPU, MMU内蔵	
・スーパースケーラ：整数演算命令の2命令並列実行	
性能	M32/200の約5倍
汎用レジスタ	32ビット×16本
浮動小数点レジスタ	64ビット×16本
アドレス空間	4Gバイト
内蔵機能 MMU	128エントリ TLB
FPU	IEEE754準拠
キャッシュ	命令 8Kバイト データ 8Kバイト
アドレスバス	32ビット
データバス	64ビット
命令バス	32ビット
基本命令クロック数	1クロック
パイプライン段数	6段

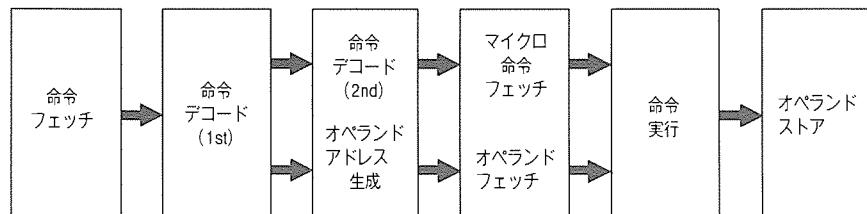


図6. M32/400のパイプライン構成

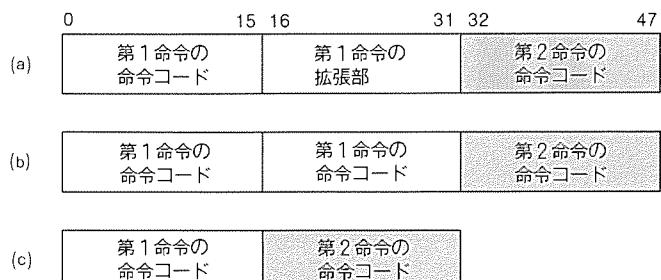


図7. 命令の並列デコード条件

いる。M32/400では6段の命令パイプラインを採用し、基本命令を1クロックで実行することができる。そのパイプライン構成を図6に示す。さらに、高速化手法としてスーパースケーラを用いて整数演算の2命令又は一つの整数演算命令と一つの浮動小数点演算命令を並列実行できる。命令デコーダは16ビット又は32ビットの命令コードをデコードするメインデコーダと、限定された2バイト命令をデコードするサブデコーダを持っている。命令キューから送出される命令コードのうち、48ビットについて図7に示す条件が満たされた命令の組合せで、かつ2命令間でオペランドが干渉を起こしていない場合に並列デコードが行われ、内蔵する二つの演

算回路によって2命令が並列実行される。最も効率の良い場合(ピーク時)には1クロックで2命令が処理されることになる。このほかに、内部の64バスと二つの整数演算ユニットを有効に利用してストリング命令でオペランドのストリングを8バイト単位で処理するなどの高速化技術を駆使して高性能化を図っている。

### 3. GMICRO M32ファミリー開発ツール

#### 3.1 開発のねらい

M32ファミリーのような高機能マイコンの応用では、システムの大型化、高付加価値化によってソフトウェアの開発規模が大きくなる一方、マーケットニーズに即応するため開発期間のますますの短縮化が要求されている。

このような要求にこたえるためには、効率的な設計手法の導入とともに、それを支える強力な開発ツールが重要となる。

M32ファミリー開発ツールは、組込み応用システムに代表されるような複雑なシステム構成をもつ多様な応用製品群に対し、容易にコード開発、デバッグが行える柔軟なツール機能を提供することを目的として開発を行った。

#### 3.2 M32ファミリー開発ツールの特長

組込み応用システムを始めとする各種応用製品の開発効率を向上するため、以下を特長的な機能として実現した。

##### (1) 組込みシステム向き高級言語ベース開発環境

ソフトウェア生産性向上のため、高級言語でのソフトウェア開発が常態化しているが、この高級言語プログラム生成時のコード制御機能を強化し、多様なシステム構成をもつ組込みシステムのプログラム開発を容易化した。

##### (2) 柔軟なデバッグ環境のサポート

顧客のシステム形態に合わせ、シミュレータ、エミュレータ、モニタデバッガの3種類のデバッグツールを提供した。

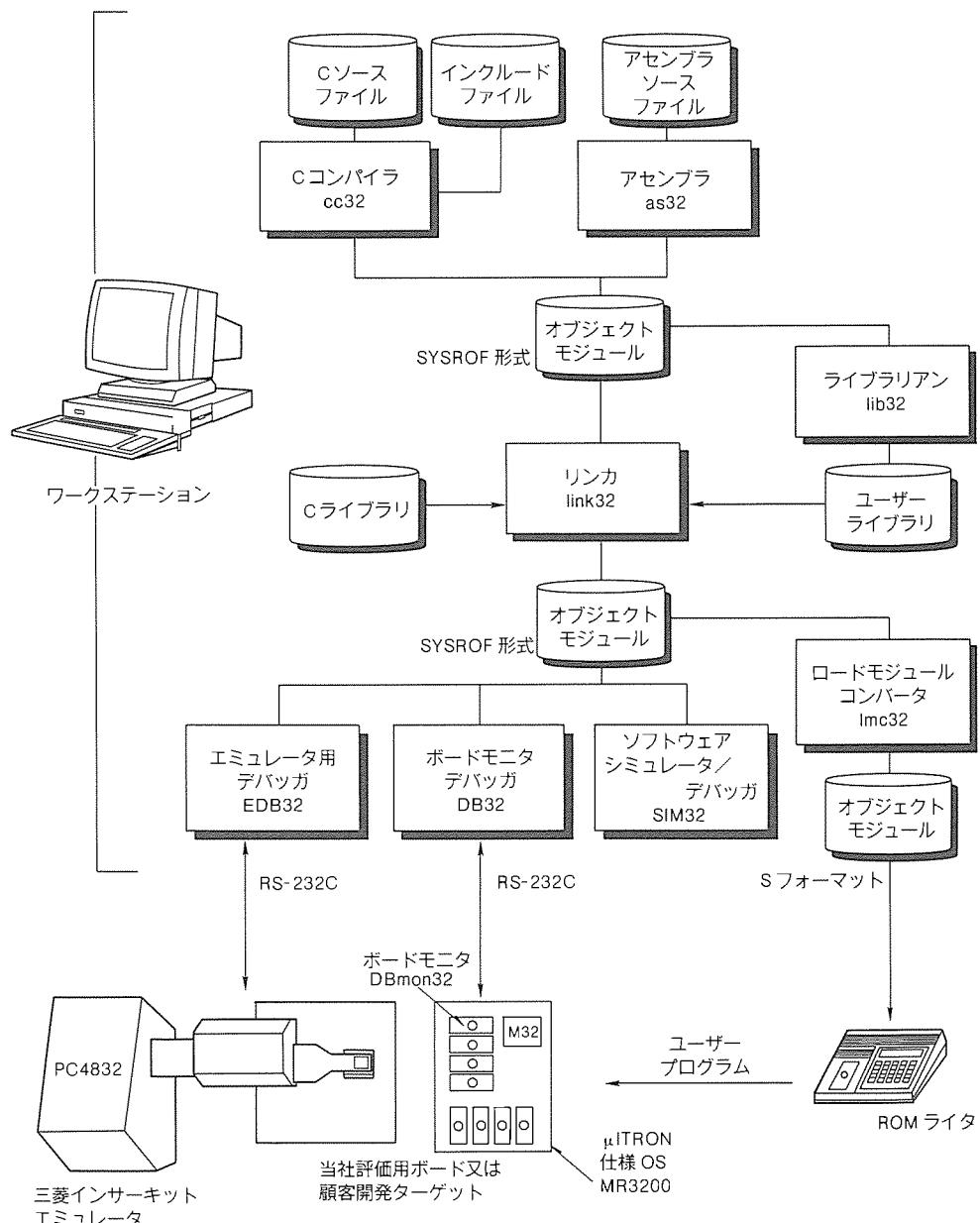


図8. M32ファミリー開発ツールの構成

これらのデバッガはC言語ソースレベルのデバッグ機能をサポートしており、統一化された操作環境によって効率的なデバッグ作業が可能であるとともに、顧客の開発フェーズに合わせ機能、コスト面の使い分けを可能とした。

### (3) 標準リアルタイムOSの提供

標準のソフトウェアコンポーネントとしてμITRON仕様の高速リアルタイムOSを提供した。

組込み応用の分野でも、プログラムの動作はますます複雑化しているが、このOSの利用により、機能レベルでプログラムを分割するとともに、この機能間の相互作用をOSに管理されることにより、ソフトウェア設計、デバッグ作業の容易化を可能とした。

以下、このような特長をもつM32ファミリー開発ツールについて製品別に機能詳細、性能等について解説する。

### 3.3 M32ファミリークロスツール

M32ファミリー開発ツールのシステム構成を図8に示した。この中でCコンパイラ、アセンブラー、リンクで構成されるM32ファミリー用のクロスツール(以下“クロスツール”という。)は、最新の最適化技術を適用することにより、図9に示す性能を持つとともにROM化機能など優れた組込みサポート機能を実現した。

この組込みサポート機能は、クロスツールへの下記仕様の実装を行うことによって実現されている。

#### (1) Cのメモリ属性別に4種類のセクションを生成

P(コード)、D(初期化データ)、C(定数データ)、B(非初期化データ)の4セクションに分けて生成した。

#### (2) アセンブラーでの絶対アドレス指定セクション生成

アセンブラー擬似命令により、コーディング時の特定セクションの絶対アドレス指定機能を追加した。

#### (3) リンク時のセクション編集機能の拡張

上記(1)、(2)で生成した各セクションを応用システムのメ

モリ構成に合わせグルーピング、分離、任意アドレスの指定ができる機能をリンクにもたらせた。

#### (4) 同一セクションの多重配置、リンク時アドレス/ロードモジュールアドレスの独立指定機能

リンク後のロードモジュール生成時に、各応用システムのプログラム格納形態、ブート形態に合わせた格納アドレスの変更、多重化を指定する機能を追加した。

これらの機能の使用例を図10に示す。

上記(1)～(4)の機能により、多様なメモリ構成による複雑なメモリマップをもつシステムのプログラムコードの生成が容易となり、C言語プログラムのROM化や高速メモリ上へのプログラム常駐など柔軟なシステム設定によってシステム性能の向上が可能となった。

### 3.4 M32ファミリーデバッグツール

M32ファミリーデバッグとしてシミュレータ、エミュレータ、モニタが提供される。各デバッガは高級言語ソースコードレベルのデバッグ機能をサポートしており、ウインドウ等の操作性の良いユーザーインターフェースと相まって効率的なデバッグ作業が実現できる。

各デバッガは顧客の開発形態に合わせて以下のように柔軟な使い分けを可能としている。

#### (1) ターゲットなしの状態でM32ファミリープログラムをシミュレートでき、顧客ターゲット試作前や、試作後の補完ツールとして有効なシミュレータ。

#### (2) 当社製評価ボードによる試作前評価、又は試作後、顧客ターゲットへ組み込み、実機ベースの安価なデバッグ環境を提供するモニタ。

#### (3) 実時間の不具合解析やシステム性能の評価、チューニング等に有効なエミュレータ。

この中でモニタは顧客システムへの組込みができ、最も応用範囲の広いデバッガであり、当社の評価ボードに標準で搭載されているほか、ソースコード製品として顧客に公開している。

このモニタはハードウェア依存部をもつため、顧客で移植を行う必要があるが、当社モニタは表4に示す簡単なドライバ部の変更作業のみで各種の顧客M32ファミリーターゲットに容易に移植を可能とした。

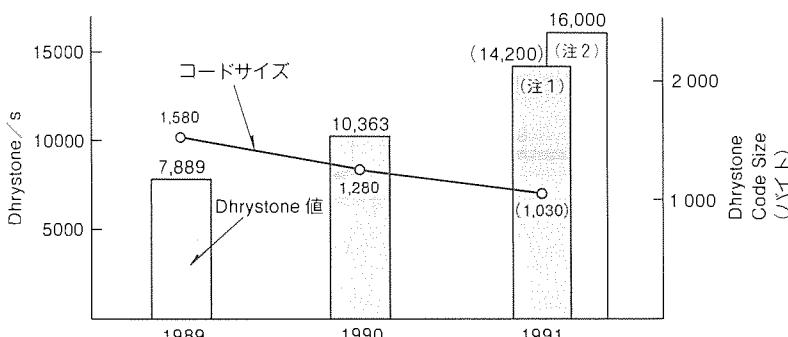
### 3.5 μITRON OS

組込みシステム用リアルタイムOSとして、μITRON仕様に準拠したリアルタイムOS-MR3200を開発した。

このMR3200の仕様を表5に示す。このMR3200の開発のポイントは以下のとおりである。

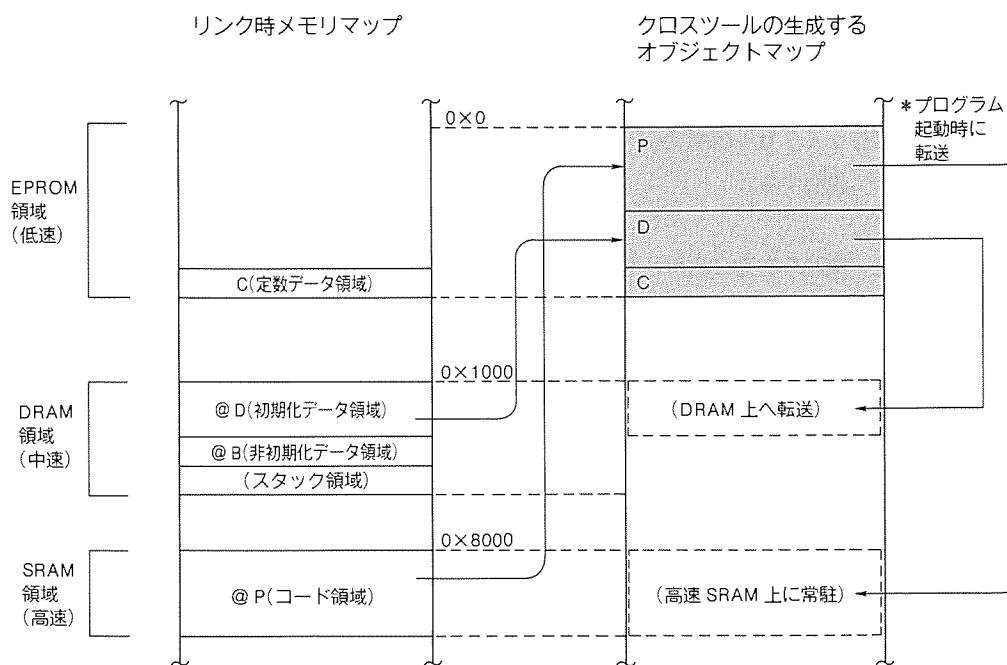
#### (1) 高速かつ一定のタスク切替え時間

図11に示すように、M32ファミリーの特



測定条件：MPU: M32/100(20MHz) (注1)現在開発中の当社Cコンパイラ性能値  
内蔵キャッシュ: 256バイト (注2)サードパーティ製Cコンパイラによる関数  
メモリウエート: 0ウェート インライニング最適化を施した性能値  
使用システム: 当社PCA8910 (コードサイズは約2倍となる。)  
使用言語: C言語

図9. 最適化の進むM32ファミリー用コンパイラ



- リンク時オプション“-SEC P,D,C, @ D, @ B=1000, @ P=8000”
- 各セクションのリンクは@マーク指定のアドレスで行い、オブジェクトの実体は@マークなしのアドレスに生成。(実行時に EEPROM から、中・高速メモリ上に転送可)

図10. M32クロスツールの組込み機能例

表4. DBmon32ドライバモジュール名

ドライバ名	機能	入力パラメータ	リターン値
getchr	1文字入力	ポート番号	入力文字
putchr	1文字出力	ポート番号, 出力文字	なし
check_status	文字入出力状態チェック	ポート番号	ポート状態
serial_control	状態設定	ポート番号, モード	なし
hw_init	ハードウェア初期設定	なし	なし
CLR_IRC	割込み処理	割込み(EIT)番号	なし

表5. MR3200の仕様

項目	仕様
ターゲット マイクロプロセッサ	M32ファミリー
最大タスク数	65,535
タスクの優先度数	1 ~ 255
最大イベントフラグ数	65,535
イベントフラグの幅	32ビット
最大セマフォ数	65,535
セマフォの形式	計数型
最大メールボックス数	65,535
メールボックスのバッファサイズ	最大 4 G 個まで選択可能
システムコール数	51
OS 核コードサイズ	約 2.1 ~ 11.6 K バイト
OS 核データサイズ	最小 282 バイト, 1 タスク当たり 113 バイト増加
OS 核記述言語	アセンブリ言語
タスク切替え所要時間(wup_tsk)	最高約 18 μs
最大割込み禁止時間(wup_tsk)	約 9 μs

徴的な命令である BVSCH 命令(任意長ビットフィールド サーチ命令)を用いたディスパッチ処理を行っており、タスク優先度や各オブジェクトの数など、システム負荷の状態にはほとんど影響されない一定時間内のタスク切替えを実現した。

(2) 柔軟かつコンパクトなシステム構成  
個々のサービス機能を実現する処理ルーチンをライブラリとして独立させており、システムで必要とする機能のみを選択的にリンクすることによって、最小限のメモリのみ用いたコンパクトなシステム構成を可能とした。

(3) コンフィグレータによる容易なシステム生成

理解の容易なシステム定義ファイルの記述から自動的にシステム生成を行うコンフィグレータを提供しており、システム生成にかかる手数を大幅に削減した。

これらのインプリメンテーションにより、図12に示すような性能特性を得ております、タスク切替え時間 18 μs (127 優先度使用時)という高速な OS 性能を最小のメモリ容量で C 言語から容易に利

用することが可能となり、組込み応用システムのソフトウェアの開発の大幅な工期短縮が図れる。

### 3.6 ツールの開発計画

以下では今後開発予定のM32ファミリー用開発ツールとリアルタイムOSの概要について説明する。

#### 3.6.1 開発ツール

開発ツールは、MPUの性能・機能を有効に活用した応用システムが効率的に開発できる環境を提供する必要がある。このため、標準化とユーザーインターフェースの統一を念頭にM32ファミリー用開発ツールの開発を進めている。今後開発予定の開発ツールは以下のとおりである。

##### (1) M32/400用Cコンパイラ

M32/400用Cコンパイラは次に挙げる特徴をもつ。

###### (a) ANSI規格準拠

広く普及し、標準となりつつあるANSI規格に完全準拠することで移植性の良い応用プログラムを効率的に開発することができる。

###### (b) 最適化機能の強化

最適化機能を従来に比べて大幅に強化することで、コンパクトで効率の良いコードが得られる。

###### (c) asm関数、M32/400用浮動小数点演算命令のサポート

M32/400用アセンブリと合わせて

使用することにより、アセンブリ命令組込みの応用プログラムを効率的に開発できる。また、浮動小数点演算を使用した応用プログラムに対して、M32/400内蔵のFPU命令を生成し、M32/400の機能を十分に利用した効率の良いコードが得られる。

##### (2) C++コンパイラ

最近最も注目されているC++コンパイラの開発を予定している。C++はC言語にデータ抽象化とオブジェクト指向という特徴が追加された言語で、プロトタイププログラミングやライブラリパッケージの開発に力を発揮する。

##### (3) M32/400用シミュレータデバッガ

M32/100用シミュレータデバッガは独自のユーザーインターフェースを持っていたが、M32/400用ではICEや他のデバッグツールとユーザーインターフェースを統一することで操作性の向上を目指している。

##### (4) その他のツール

C言語のインタプリタやソースプログラムの静的文法検査を行うツール等の開発を予定している。

### 3.6.2 リアルタイムOS

M32ファミリー用リアルタイムOSのシリーズ展開を図13に示す。MR3210はITRON2仕様に準拠したM32/100用のリアルタイムOSであり、既に開発を完了している。ITRON2仕様はTRON仕様MPUなどの新しい高性能32ビットMPUに搭載することを意図したリアルタイムOSであり、μITRON仕様に比べて標準化の程度を上げると同時に機能拡張が行われている。このため、MR3210は汎用OSの中心核として使用されている。

MR3200/MはμITRON仕様をベースとした組込み用として高速化を目標とした密結合型マルチプロセッサ対応への拡張である。MR3230はネットワーク環境を提供し、μITRON仕様OSやITRON2仕様OSを結合した分散処理に利用される。

また、MPUの性能向上に伴って応用プログラムのサイズが増大しており、機器組込み型コントローラにおける信頼性の向上も重要となってきている。MR3220は、この問題を解決するため、M32/400のオンチップMMU(Memory Management Unit)を用いて組込み型コントローラの信頼性を向上させる。さらに、近い将来MR3220を中心核として採用した仮想記憶システムがソーナルコンピュータ分野へ応用されることが考えられ、MR3220を仮想記憶システムに拡



ディスパッチング処理  
 MOVA.W @RDO\_BIT, R0 : サーチするベースアドレス  
 MOV.W #0, R1 : サーチ開始ビットオフセット  
 MOV.W #255, R2 : サーチ終了ビットオフセット  
 BVSCH/1 : ディスパッチすべきプライオリティ検索  
 を1命令で実行

図11. ビットフィールド命令による高速ディスパッチ処理

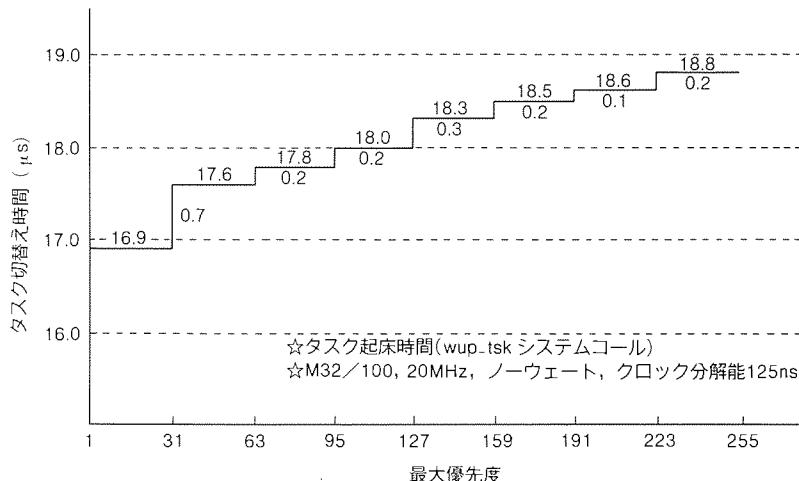


図12. 最大優先度数とタスク切替え時間

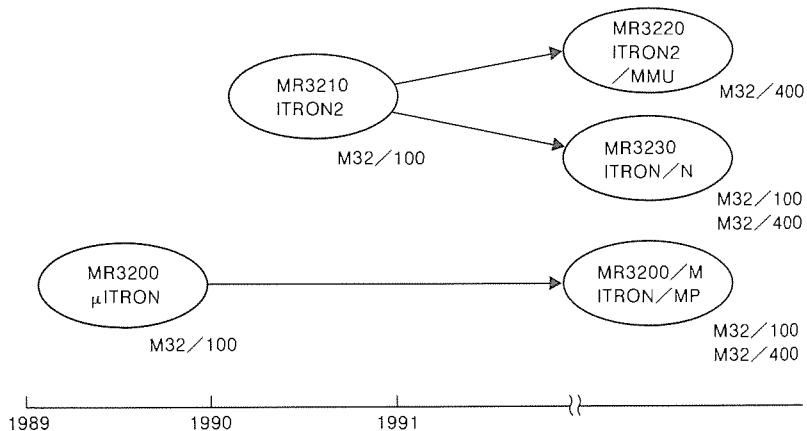


図13. リアルタイム OS のシリーズ展開

張する予定である。

#### 4. む す び

$G_{MICRO}$  M 32 ファミリー LSI 及び開発ツール、リアルタイム OS の特長と開発状況について述べた。半導体素子の高集積化技術を用い、マイクロプロセッサの高速化手法を取り入れた M 32 ファミリーは今後も上位機種の開発、ASSP 展開を継続していく。また、C コンパイラに見られるように、開発ツールの性能も改善され、初期の性能に比べ約 1.8 倍の高速化を達成した。

これらのマイクロプロセッサを始めリアルタイム OS の開発に際し、有益な御助言、御検討をいただいた東京大学 坂村助教授並びに TRON プロジェクトの各位に厚くお礼を申し上げる。

#### 参 考 文 献

- (1) Sakamura, K. : Architecture of the TRON VLSI CPU, IEEE Micro, 7, No. 2, 17~31 (1987)
- (2) Sakamura, K. : TRON VLSI CPU : Concepts and Architecture, TRON Project 1987, Proceeding of the 3rd TRON Project Symposium, Springer-Verlag, 199 ~238 (1987)
- (3) 吉田豊彦、齊藤祐一、松尾雅仁、清水 徹：TRON 仕様マイクロプロセッサ  $G_{MICRO}/100$  のパイプライン処理構造、電子情報通信学会(CPSY87-52), 25 ~ 30 (1988)
- (4) 松尾雅仁、上田達也、吉田豊彦、齊藤祐一：TRON 仕様 32 ビットマイクロプロセッサ M 32/100 の高速化手法とその性能評価、電子情報通信学会( ICD 89-161), 65~72 (1989)
- (5) 北上尚一、中尾裕一、大木正司、中村充善、鎌倉 寛、是松次郎：32 ビット CPU コアを内蔵した ASSP の開発手法、三菱電機技報, 65, No. 2, 167~170 (1991)

# G MICRO M32/100の ページプリンタへの応用

山内直樹\* 的場成浩\*\*  
大橋伸一郎\* 松山景洋\*\*\*  
中嶋純子\*

## 1. まえがき

パソコンコンピュータを始めとする情報機器及びその応用ソフトウェアの普及に伴って、基本的なマンマシン間インターフェースの一つである印刷装置(プリンタ)の性能向上が求められてきた。

の中でも、高印字品質と高速性を特長とした“ページプリンタ”の普及が始まっている。ページプリンタはレーザビームと感光ドラムを用いた電子写真方式のものが一般的である。また、印字する字体の種類やその寸法についても、活字の品質に近いものを生成することが求められている。この印字品質や印刷速度の向上のために、性能の高いマイクロプロセッサ(以下“MPU”という。)の応用が不可欠となっている。今回 G MICRO<sup>(注1)</sup> M 32/100 32 ビット MPU を搭載したページプリンタコントローラを開発したので報告する。

## 2. ページプリンタの構成と技術動向

### (1) ページプリンタの機能

ページプリンタは、図1に示すようにパソコンコンピュータからの印字コマンドや印字データを受け取り、プリンタ内部でそれに対応した文字や図形を順次生成する。生成された文字や図形は、メモリLSIの中に“1”“0”的ビットマップデータとして記憶される。このビットマップデータを1走査線分ずつ印字機構部に送出して印画を行う。

したがって、印字機構部を待たせることなくコマンド解析・文字生成・描画などの処理を行うため、32ビットレベルの高位MPUが応用され始めた。

### (2) 制御用 MPU の必要機能

ページプリンタにおける文字生成方式として、各種の寸法の文字をなめらかな曲線で描く“アウトラインフォント”と呼ばれるものが用いられる。この方式は図2に示すように、従来のドットフォント方式に比べて印字品位が良好な反面、補間点の計算及び輪郭内の塗りつぶしを高速に実行する必要がある。このG MICRO応用ページプリンタでは、本用途に特化した固定小数点

演算ソフトウェアパッケージの開発を行い、またM32/100の持つ任意長ビットフィールド命令を利用してことで、ハードウェア構成の簡素化を実現した。

## 3. ページプリンタ試作機の概要

### (1) プリンタの仕様

今回のG MICRO応用プリンタに使用した印字機構部は、図3に示すような小型普通紙熱転写方式のものであり、当社生活システム研究所で開発されたものである。これに、表1に示すように統一仕様であるAXパソコン用の標準プリンタ言語となっている“ESC-P”<sup>(注2)</sup>を搭載した。ただし、文字形に関してはアウトラインフォントを採用し、文字の拡大・縮小や回転・修飾への対応を可能にした。

### (2) ハードウェアの構成

このプリンタの制御部のハードウェア構成と外観を図4及

<sup>(注1)</sup> G MICROはTRONプロジェクトに参加している複数メーカーで分担して共同開発されるTRON仕様のマイクロコンピュータを示す商標である。

<sup>(注2)</sup> ESC-Pは、セイコーエプソン社の登録商標である。

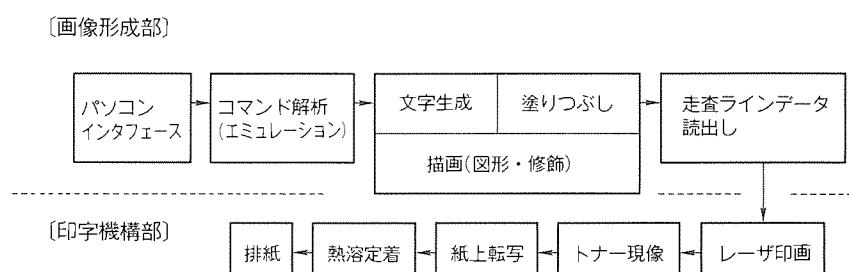
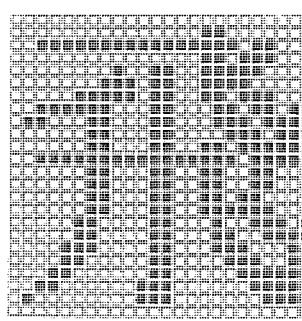
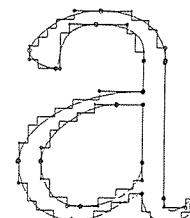


図1. ページプリンタの機能(レーザ走査方式による電子写真方式の例)



(a) ドットフォント



(b) アウトラインフォント

図2. アウトラインフォント方式による文字生成(拡大時に輪郭の凹凸が少ない。)

表1. 本ページプリンタの仕様



図3. ページプリンタの印字機構部外観  
(A4普通紙に毎分4枚の速度で印字する。)

- プリンタエンジン部
  - ・印字方式／ノンインパクト・熱転写方式
  - ・解像度／300dpi
  - ・印字速度／4枚／分
  - ・用紙／A4普通紙
- プリンタコントローラ部
  - ・マイクロプロセッサ(MPU)／M32／100(20MHz)
  - ・メモリ／4Mバイト標準(拡張8Mバイト)
  - ・インターフェース／パラレル：セントロニクス準拠  
シリアル：RS-232C
  - ・プリンタ言語／ESC-P 準拠
  - ・使用フォント／英数字／日本語  
アウトラインフォント
  - ・外部記憶／ICカードインターフェース(2スロット)

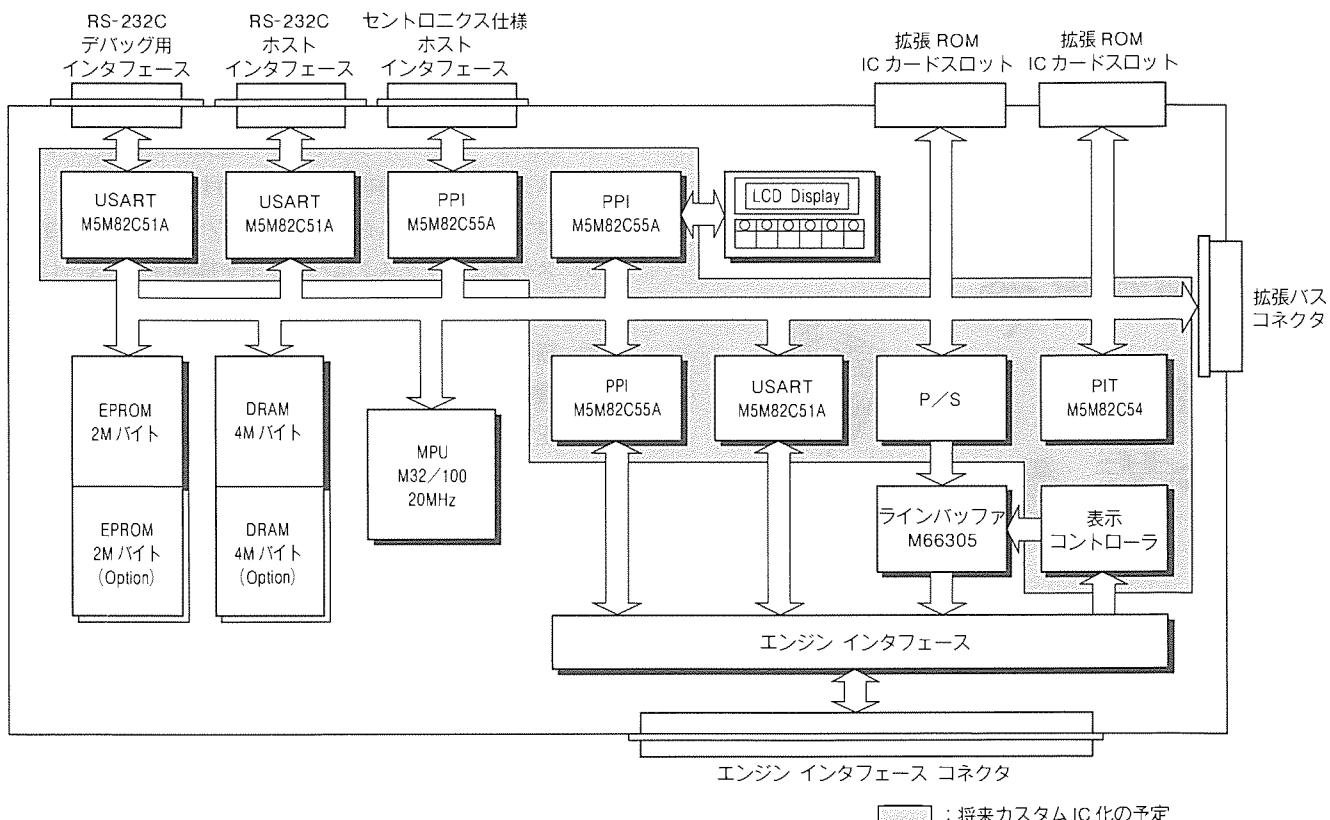


図4. 制御部のハードウェアの構成

び図5に示す。文字生成、メモリやホストパソコンとの通信制御、及びコントロールパネルの制御にM32/100を用いた。アウトラインフォントの展開やビットマップデータの転送のための特別なハードウェアは実装していない。図4において、網かけで示した部分はゲートアレー化が可能である。なお、RAM部は将来のカラー化への対応に備えて、8Mバイトまで拡張できるようにした。

### (3) 印字機能の拡張

従来のESC-Pのコマンドに加えて、この応用プリンタでは図6の印字例にあるような文字回転コマンドも開発した。これらの生成にも、前述のように特別なハードウェアは付加していない。

## 4. 制御ソフトウェアの構成

### 4.1 ソフトウェア構成

図7はこのプリンタのソフトウェア構成である。全体の約90%はC言語で記述しているが、ハードウェアを直接制御するためのドライバ部とモニタ部、それにフォント生成部の一部のみをアセンブリ言語で記述した。

ソフトウェアは機能モジュール単位で、“イニシャルタスク”, “スケジューラ”, “コマンドデコード”及び“描画”的4タスクに分割してある。

特にコマンドデコード部で中間言語方式を採用し、ESC-P以外のプリンタ言語の搭載を容易にする構造とした。

#### 4.2 組込み形リアルタイム OS “MR3200”の採用

図7に示したように、タスクの分割によるソフトウェアの構造化を図ったが、今回これに組込み形リアルタイムOSを

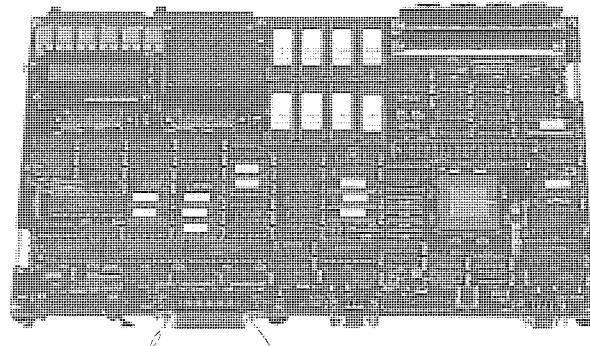


図5. 制御部のハードウェア基板外観  
(基板右下の正方形のLSIがG<sub>MICRO</sub> M32/100)

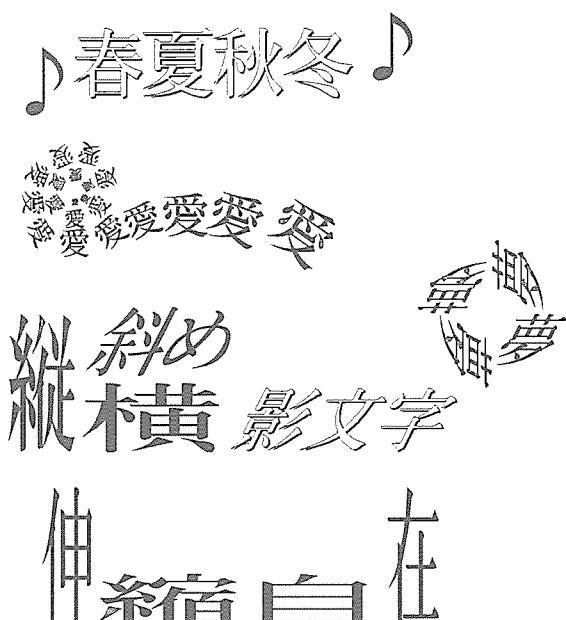


図6. アウトラインフォントによる印字出力例

採用した。表2にその仕様を示す。タスク切替時間は18μsであり、この用途への実用性を実証できた。なお、このOSのカーネルROM容量は3.3Kバイトに納まった。

#### 4.3 ソフトウェア処理の流れ

このプリンタでは、メモリ管理を容易にするために、印字データを1ページ単位で管理する方式を採った。また、ホストパソコンから受け取った印字データには、パケット制御方式と呼ぶ管理方式を採用了。これは、図8に示すように1ページ分の印字データを、次の3種類の情報で管理するものであり、ページ単位の印字データの生成・削除の容易化が実現できた。

- (1) 用紙サイズ等のページ情報
- (2) 文字データ等の描画情報
- (3) ピットイメージ情報

前述したように、制御は四つにモジュール化したタスクによって行われるが、これらのタスクは次のように動作する。

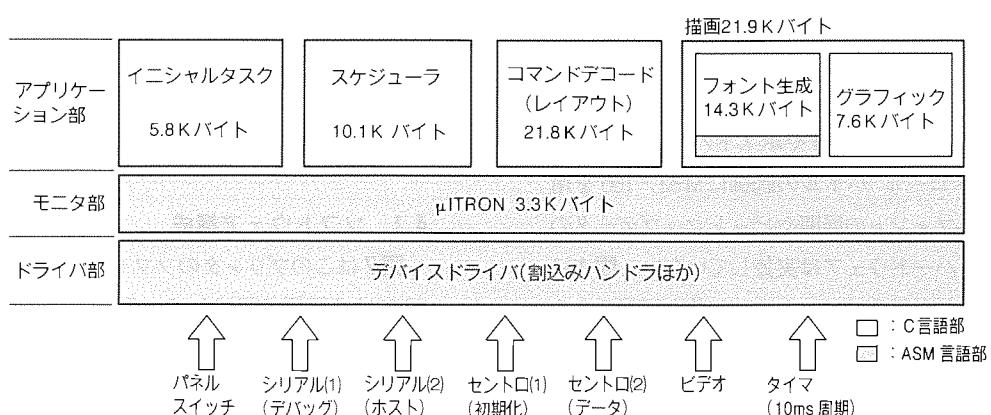
- (1) ホストパソコンから印字データを受信するとスケジュールタスクがコマンド解析タスクを起動する。
- (2) コマンド解析タスクは中間コードパケットを生成する。
- (3) スケジュールタスクはパケットを描画待ちキューに追加し、キューの先頭パケットを描画タスクに渡す。
- (4) 描画タスクはRAM上に描画を行い、描画が終了すると印字機構部に印刷指示を行う。
- (5) 正常に印刷が完了すればそのパケットを廃棄し、印字データをRAM上から消す。

以上のタスク処理に対し、リアルタイムOS“MR3200”的タスク切替時間(18μs)が効力を発揮した。

### 5. G<sub>MICRO</sub>による描画高速化の特長付け

#### 5.1 アウトラインフォント展開

近年のプリンタでは異なる文字寸法のフォント(字体)を



- 備考 (1) 高速化のためアセンブラーは描画部フォント生成の13%程度(約1.8Kバイト)  
(2) アプリケーション部容量のうち10%程度はアセンブラーであり、ドライバ部に含まれている。  
(3) 図中の容量値は、コード部分のみを示す。

図7. プリンタ試作機ソフトウェア構成(合計容量62.9Kバイト)

印字することが要求されている。一方でそれに対応するフォント記憶用メモリの容量を増やすことは、セットのコスト面から見て困難といえる。そこで、1書体で多様な文字サイズに対応できるアウトラインフォントの採用が増加してきた。

このアウトラインフォントは、輪郭上の特徴となる点の座標値をあらかじめROMなどに記憶させておき、このデータから補間点を生成して輪郭を描き、次にその中を塗りつぶす処理を行うことで作成される。

今回は、その補間点の算出に“三次スプライン関数”と呼ばれる方式を用いるフォントを採用した。これは、少ない座標点から滑らかな曲率を持つアウトラインを発生できることで知られている。

しかし、この三次スプライン関数の計算には三次の実数演算が必要であり、従来はFPUと呼ばれる高速浮動小数点演算LSIを使用するか、又はソフトウェアパッケージによる計算によっていたが、両者とも性能対価格比の点でプリンタ応用にとっては一長一短があった。

そこで、今回はその計算に固定小数点演算パッケージを開発・使用した。

## 5.2 用途特化した固定小数点演算パッケージ

一般に固定小数点による演算では、計算結果のオーバフローによる誤りの発生の危険性が伴う。しかし、今回のように三次スプライン関数によるアウトラインフォントの生成に絞って考えると、そのデータ構造や生成データの検証を行うことで実用可能な範囲が広い。

ここでは図9のように、整数部22ビット、小数部10ビットの構成による固定小数点演算パッケージを開発し、フォント生成時間を40%短縮することができた。なお、より精度の必要な演算用に整数部32ビット、小数部32ビットのパッケージも開発し、使い分けができるようにしている。

## 5.3 塗りつぶし処理

文字の輪郭内を塗りつぶす処理は、“エッジファイルアルゴリズム”<sup>(2)</sup>と呼ばれる、輪郭の補間点を生成すると同時に、その右側の領域を塗りつぶす方式を採用したが、この処理の基本動作は、M32/100の持つBVPAT(任意長ビットフィールドの塗りつぶし)命令一つで実行できる。このため、図10に示すように、画素数が増加しても処理時間抑えられることができる。

なお、このBVPAT命令は、将来の階調(グレイスケール)付きデータでの塗りつぶしに対応できるよう、レジスターにセットしたビットパターンを書き込むことができる。

以上述べた用途とは別に、この任意長ビットフィールド命令は、リアルタイムOSのタスク切替時間短縮のためにも使用されている。

## 6. 処理性能評価と今後の展開

今まで述べてきたようなハードウェア及びソフトウェア面での技術開発項目を盛り込んで、次の評価結果を得た。

(1) 基本的な三次スプライン関数によるアウトラインフォントの生成でも、例えば“亜”の文字を40ドット×40ドットで

表2. 使用したリアルタイムOS(MR3200)の仕様

項 目	内 容
ターゲット MPU	M32シリーズ
最大タスク数	65,535タスク
システムコール数	51個
OS カーネル ROM 容量	約2.1~11.6K バイト
OS カーネル RAM 容量	最小282バイト(除スタック)
OS カーネル記述言語	M32アセンブリ言語
タスク切替時間	18μs*

注 \* 20MHz, メモリノーウエート

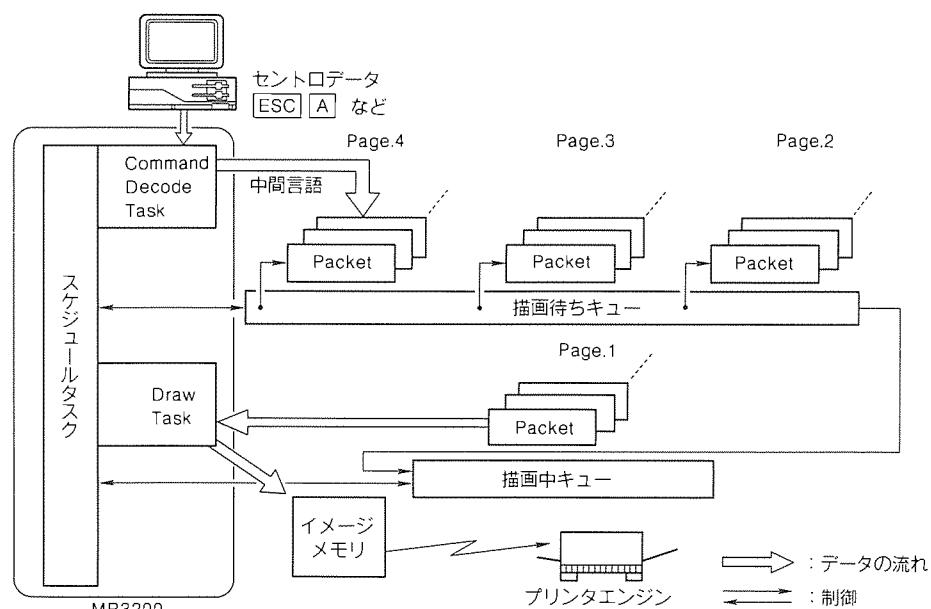


図8. パケット管理による印字動作制御

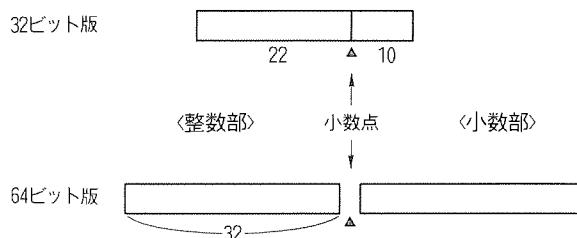


図9. 三次スプライン関数によるアウトラインフォント  
生成用固定小数点演算パッケージのデータ構成

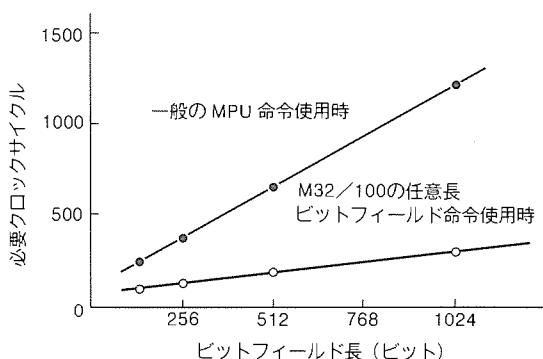


図10. 任意長ビットフィールド命令の効果

15 msで実行できる性能を持つ。

- (2) オブジェクト言語が小さく、市販の32ビットMPUの約50%から70%の容量のプログラムROM容量で格納できた。
- (3) 電磁波妨害の発生しにくいとされる20MHz程度の動作

クロック周波数で、しかも一般市販メモリを使用した制御回路が実現できた。

今後、次の開発項目を実行していく。

- (1) カラー対応化へのソフトウェア開発とMPU性能評価
- (2) 世界主流プリンタ言語の移植と実行性能評価
- (3) 実装基板小型化のためのASIC化検討
- (4) M32/100の用途特化版開発

## 7. むすび

以上、G MICRO M32/100 32ビットMPUによるページプリンタ応用の開発とその処理高速化の方策について述べた。高性能化と普及機化の両面からの要求にこたえなければならないページプリンタに対し、今後とも高性能LSIの開発で貢献していく。

## 参考文献

- (1) 日向純一、吉田豊彦、是松次郎、市山寿雄、富沢 治：TRON仕様32ビットマイクロプロセッサ M32/100、三菱電機技報、63、No. 11、921～924（1989）
- (2) 石川雅一、齊藤雅行、大西 勝：アウトラインフォントの高速塗りつぶし法の検討、1989年電子情報通信学会全国大会講演論文集、講演番号D-239、p. 7-239（1989-3）
- (3) 大西 勝、尾台佳明、的場成浩、齊藤雅行、樋口敬三、山内直樹：コピー用紙に4枚／分の速度で印字できる、熱転写ページ・プリンタを開発、日経エレクトロニクス、No. 535、163～176（1991）

# VTR ソフトウェアサーボ用 16ビット マイクロコンピュータ

林 和夫\* 山田園裕\*  
尚永幸久\* 元吉啓登\*  
武部秀治\* 鈴木次男\*\*

## 1. まえがき

1979年に初めてVTRにマイコンが搭載されたが、その後のVTR用マイコンの進歩は著しく、近年ではON/OFFの制御用途のみならず連続的な信号を演算処理するに至っている。VTRの性能・機能は年々向上し、一方、販売価格は逆に下がってきている。これはセットメーカーの並々ならぬ努力の成果であるとともに半導体メーカーのシーズ開発、ニーズ追従が実を結んだとも言えるだろう。

今後もカメラ一体型やデジタル記録を含め、VTRの新技術開発はますます進み、マイコンの処理速度向上に伴って、アナログ処理→デジタル処理→ソフトウェア処理の方向に変わっていくと考えられる。

今回、16ビットマイコン“MELPS 7700”の展開として、その強力な演算能力とコンパクトなCPUサイズの長所を生かしたVTR用ソフトウェアサーボマイコン M37770M4

A×××HPを開発した。本稿では、開発の背景、開発の過程で得た新たな技術について報告する。

## 2. VTRにおけるマイコンシステムの変遷

### 2.1 統合化

図1にVTRマイコンシステムの変遷と今後の展開を示す。1979年にVTRにマイコンが搭載されてからマイコンシステムとしては大きく二つの流れがある。一つは機能ごとにまとめたマイコンを、内部のフィーチャバスでつなぎ分散型システムで、セット価格や仕向地別に必要機能をアドオンする形でシステム構築ができる、開発効率が良いがシステムコストが高くなる。もう一つは、できるだけ少ないマイコン（できれば1チップ）での実現を目指した統合型システムであり、効率的な開発のためには工夫がいるが、システムコストを安くすることができる。民生用VTRとしては、やはりコスト最優先のニーズは強く、後者の統合型システムをいかに実現

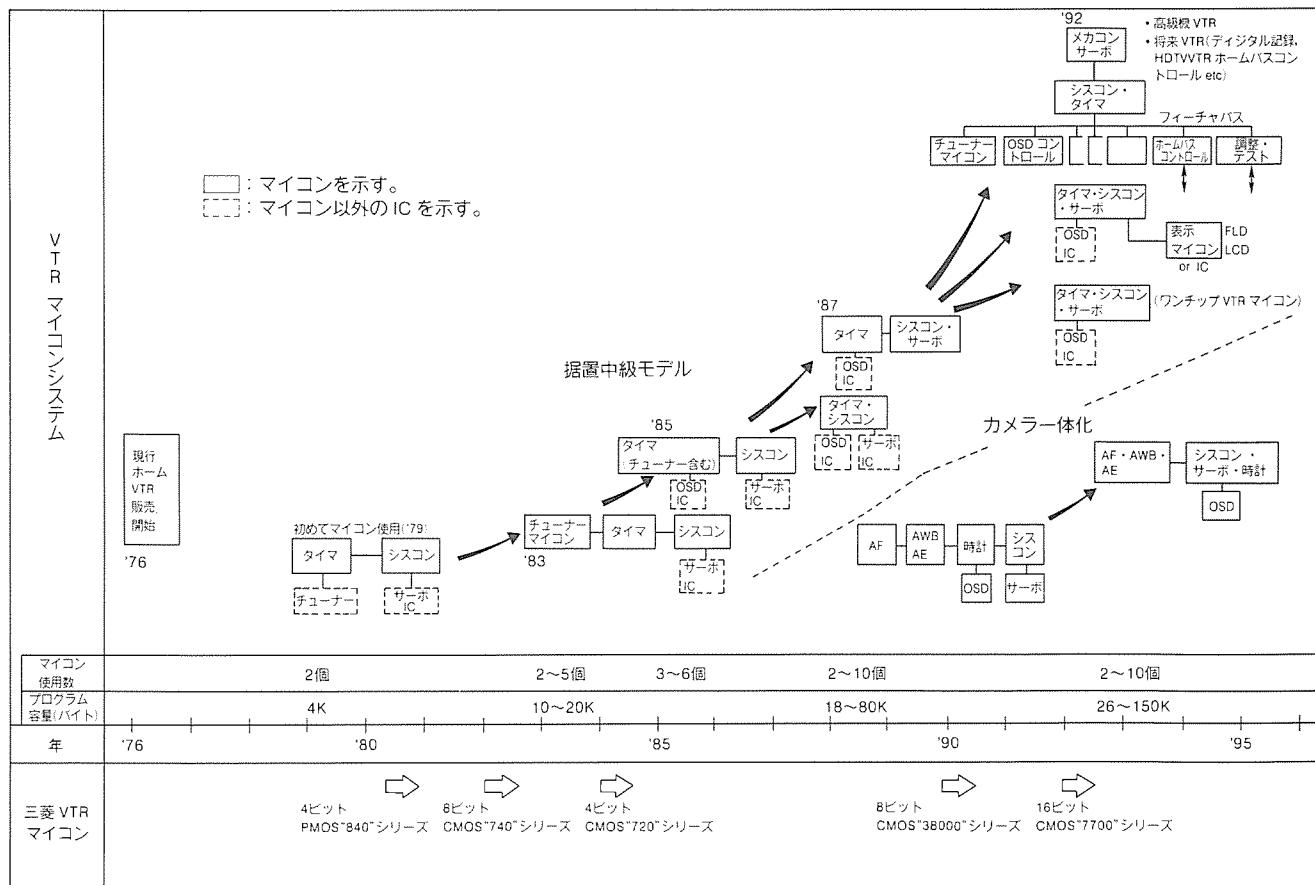


図1. VTRマイコンシステムの変遷と三菱マイコンの展開

していくかが常に重要な課題となる。

当社では統合型システムで要求される大規模なソフトウェアに対応するために、1982年にVTR用マイコンの8ビット化をいち早く実現した。そして今回、ソフトウェアサーボマイコンでも業界の先頭を切って16ビットCPUを採用することになった。

統合型システムがコスト低減に役立つ理由として次の点があげられる。

- (1) 共通ハードウェアの削減(CPU, パッケージ等)
- (2) 共通ソフトウェア処理の削減及び最適化
- (3) マイコン間通信処理の削減
- (4) 基板面積の削減

## 2.2 ソフトウェアサーボ化

ソフトウェアサーボの長所を分類すると図2のようになる。大きく分けると開発効率の向上、システムコスト低減、新機能の実現、性能向上の四つがあげられる。

### 2.2.1 開発効率の向上

従来サーボICでは仕様変更する場合、ユーザーから提出された仕様に基づき、半導体メーカーがICを再設計、マスク全面変更することが多かった(ほとんどはカスタム開発)。そのため最初のサンプル入手まで時間がかかり、またユーザーが何度も仕様を変えて評価することは困難であった。ソフトウェアサーボマイコンではユーザー側でソフトウェアによってかなり自由に設計することができ、またICEやEPROMマイコンを用いて何度も仕様変更・解析評価が行える。

### 2.2.2 システムコスト低減

ソフトウェアサーボでは、マイコン内部で速度系、位相系

の演算合成ができる、またソフトウェアによるデジタルフィルタが利用できるため、従来サーボICでは外付けしていた速度位相合成回路、位相補償フィルタ、過渡応答対策回路などが削減できる。

### 2.2.3 新機能の実現

ソフトウェアサーボによってモータの制御、各記録方式への対応が比較的容易に行えるようになる。オートトラッキングや高速サーチを始めとして、ジョグシャトル特殊再生、フィールドメモリ応用、高度な編集機能などもソフトウェアにて実現できる。また、マルチ方式VTR、カセットコンパチVTR、さらには将来のデジタル記録VTRやハイビジョンVTRなどにもフレキシブルに活用できる。

### 2.2.4 性能向上

近年のVTRに対する高画質化要求は著しい一方で、メカの小型化要求のためにサーボ系が悪化し、画質が劣化するという問題がある。これまで、サーボICの改良や外付けの大規模なフィルタ回路等で対応する場合が多くたが、コスト、基板面積、開発効率、さらにはAI的な制御性能を考えるとソフトウェアサーボの方がメリットが出てくる。さらに、ソフトウェアサーボでは過渡応答を向上させることができ、静止からすぐに記録に移行できるためカメラ一体型VTRではシャッタチャンスを逃さず撮影できる。

### 2.3 VTRにおける16ビットマイコンの必要性

図3に示したのは最近のVTRマイコンへのニーズを処理スピードと処理ビット数の関係で表したグラフである。高速の16~32ビット演算やROM容量32K以上を必要とする統合化サーボマイコンやカメラ一体型VTRのデジタルカメラマイコンでは16ビットCPUが大きなメリットになると

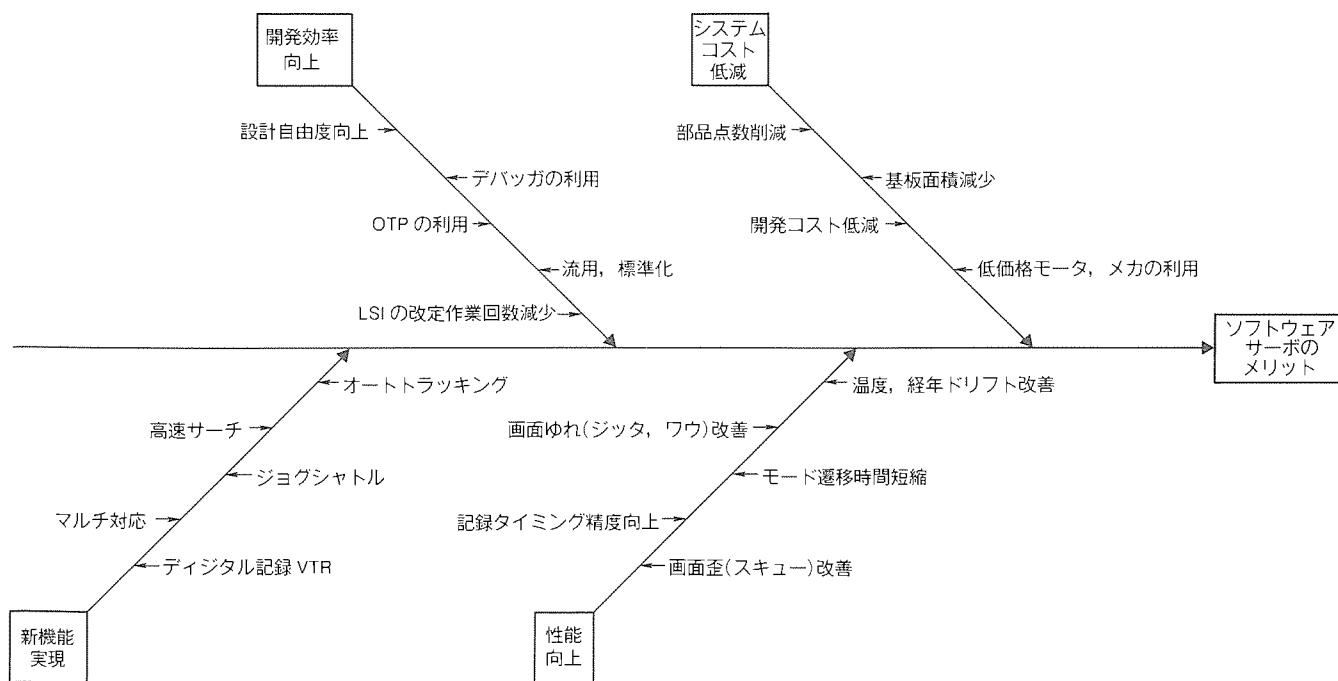


図2. ソフトウェアサーボのメリット

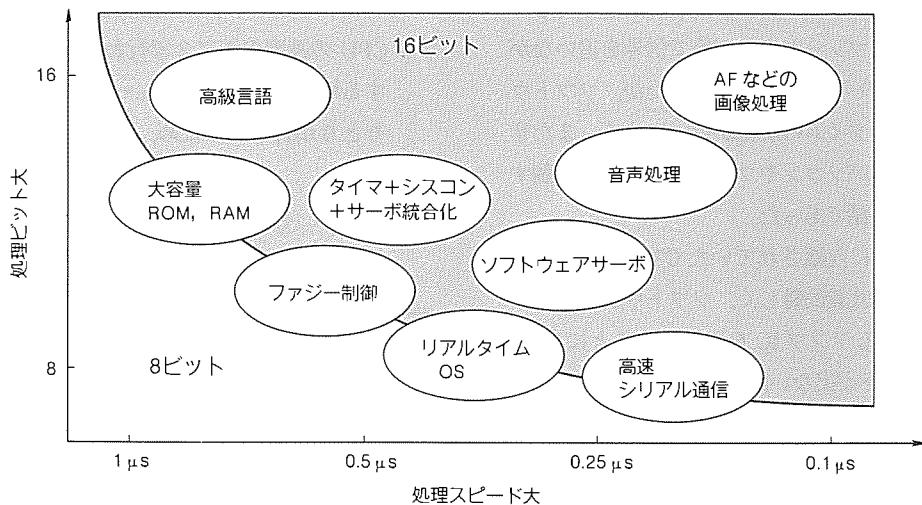


図3. VTRにおける16ビットマイコン化

考える。特に、最近のカメラ一体型VTRでは低電源電圧化のためマイコンのシステムクロックを遅くせざるを得ず、16ビット処理のメリットはより明確化されてきている。

### 3. M 37770 M 4 AX×XHP の開発

今回、上記のような市場ニーズをふまえた上で、ソフトウェアサーボマイコンM 37770 M 4 AX×XHPを開発した。以下、その特長や技術的工夫点につき説明する。

#### 3.1 サーボマイコンの開発ステップ

当社では過去にサーボマイコンとしてM 37405 M 5-XXFPを開発し、現在量産している。このマイコンの開発に着手した1985年当時の民生用マイコンの命令実行速度は1μs程度で、完全なソフトウェアサーボ処理にはやや無理があった。そこで、サーボマイコンのアーキテクチャとして図4に示す2段階のステップを踏み開発することを考えた。当時開発したM 37405 M 5は、サーボ処理の演算パラメータをソフトウェア可変にすることによってフレキシビリティを持たせ、ソフトウェアサーボの種々のメリットのうち、開発効率向上、新機能実現及び部分的な性能向上やコスト低減を実現した。

このM 37405 M 5で得たサーボマイコンの技術蓄積及び命令速度0.25μsの16ビットCPU登場により、第2ステップとして、今回サーボ演算をすべてソフトウェアで行うこのマイコンを開発するに至った。

#### 3.2 ソフトウェアサーボの課題点

ディジタルフィルタ等のサーボ処理には16~32ビットの高速乗除算処理が必要となる。ところがこれまでのソフトウェアサーボマイコンは8ビットCPUを用いており、シス

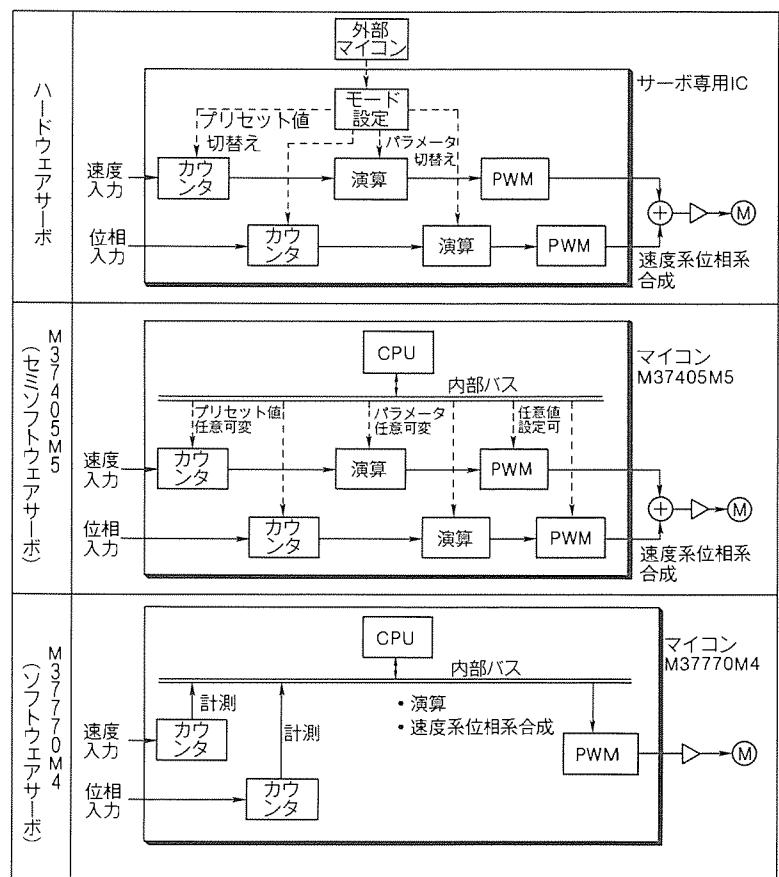


図4. ソフトウェアサーボマイコン開発へのステップ

コンや他の処理をしながらサーボの高速リアルタイム処理を行うには無理があった。そのため、ソフトウェアサーボのメリットを十分生かせなかったり、場合によっては従来サーボICより性能が落ちたりすることもあった。また、学習的なサーボを行わせるにはRAMが不足しているマイコンが多くあった。

ソフトウェア開発についても、今まで独立であったプログラムが結合され、多人数で一つのプログラムを開発しなけれ

ばならず、全体設計やデバッグ・責任分担などが難しくなってくる。さらに、従来はプレッドボード等で信号を追いながら、サーボ系の設計、デバッグ、評価ができたが、ソフトウェア処理になるとリアルタイムの解析が行いにくく、またサーボ技術者が初めて使うパソコンやフローチャートと苦闘するという場面もよく聞く話であった。

一方、従来サーボ IC に内蔵されていた CTL アンプをマイコンに内蔵することは比較的難しく、ソフトウェアサーボマイコンでは周辺に CTL アンプ IC を追加することになり、システムコスト メリットが出ない問題があった。

### 3.3 16ビット CPU の採用

CPU に 8 ビットと 16 ビットのどちらを選ぶかは、処理速度とコストの問題がある。表 1 はソフトウェアサーボで不可欠の低域補償ディジタルフィルタ演算を 8 ビットと 16 ビットで比較したものである。8 ビットマイコン“MELPS 740”に専用の乗算ハードウェアを追加したものと想定し、演算時間、チップサイズの両面で比較した結果 MELPS 7700 (16 ビット)

コアの採用がより有利であることが分かった。これにより、課題となっていたサーボ性能や大容量メモリ空間に対する心配はなくなり、統合化サーボ マイコンシステムの可能性によってシステムコスト メリットが出ることが分かった。

### 3.4 MELPS 7700 の特長

MELPS 7700 の CPU は 16 ビット構成となっており、16 ビットデータの一括処理が可能である。また、プロセッサ ステータスレジスタ中のフラグ m, x を変えることにより、演算データ長を 8 ビット / 16 ビットに切り替えることができるため、効率の良いデータ処理が可能となる。

8 ビットの動作モードは 8 ビットマイコン MELPS 740 と基本的に同一であるため、MELPS 740 で開発したソフトウェア資産を若干の修正で利用できる。

MELPS 7700 はメモリアクセスを効率良く行うためのバスインターフェース ユニットを内蔵している。バスインターフェース ユニットは命令を先取りするためのキュー バッファ 3 バイトと、データを一時的に格納するためのデータ

バッファ 2 バイトから構成されている。メモリのアクセスは CPU の速度の 1 / 2 で行われるが、CPU がメモリアクセスする場合バスインターフェース ユニットとの間でデータのやりとりが行われるため、メモリアクセスによる CPU の速度

表 1. サーボ ディジタルフィルタ演算時間比較

(演算内容)  $U_n = X_n + B \cdot U_{n-1}$ ,  $Y_n = (U_n - A \cdot U_{n-1}) \cdot G$   
各データは 16 ビット長

CPU コア	発振クロック (分周比)	命令時間 (1 マシンサイクル)	演算時間 (μs)
当社 8 ビット (追加ハード)*	16MHz (1 / 2)	0.125 μs	23.0
16 ビット MELPS 7700	16MHz (1 / 2)	0.125 μs	13.25

\* 追加ハード：

- (1) B レジスタ追加
- (2)  $16 \times 16 = 32$  MUL 命令追加 (20 マシンサイクルと仮定)  
 $M(S)M(S-1)(B)(A) \leftarrow (B)(A) \times M(ZZ+X+1)M(ZZ+X)$
- (3) 転送命令追加 TBA, TAB (2 マシンサイクルと仮定)

表 2. M37770M4 性能概要

項目	性能
基本命令数	103
命令実行時間	250ns (外部クロック入力周波数 16MHz 時)
動作クロック周波数	16MHz
メモリ容量 ROM	32,768 バイト
RAM	1,280 バイト
RTP 用自動転送 RAM	288 バイト
入出力ポート	93 ビット
多機能タイマ	16 ビット × 5
シリアル I/O	UART 又はクロック同期型 × 2 (8 バイト FIFO 付き)
A-D 変換器	8 ビット × 1 (12 チャネル)
D-A 変換器	8 ビット × 4
監視タイマ	12 ビット × 1
PWM 出力機能	14 ビット × 1 2MHz 12 / 14 ビット × 2 16MHz / 8MHz
時間計測機能	20 ビット × 1 16MHz / 8MHz 17 ビット × 3 2MHz / 1MHz 16 ビット × 1 1MHz
リアルタイムパターン出力	24 ビット 4 系統 (内 3 系統は 32 段自動転送付き) 時間データ 16 ビット 1MHz / 500kHz
同期分離、フィールド判別、Csync 発生	内蔵
CTL アンプ、FG アンプ	内蔵
パルス デューティ検出回路	内蔵
割り込み	外部 8 要因 内部 12 要因
クロック発生回路	2 回路内蔵 (16MHz / 32kHz) (セラミック共振子又は水晶共振子外付け)
電源電圧	通常モード (高速クロック使用) 低速モード (高速クロック停止 / 32kHz クロック使用)
動作周囲温度	-10~70°C
素子構造	CMOS 高性能シリコンゲート
パッケージ	128 ピン プラスチックモールド QFP (ピン間 0.50mm)

低下を減少させることができる。

基本命令数は103, アドレッシングモードは28モードある。

### 3.5 ハードウェア開発

表2にM 37770 M 4の概略仕様、図5にチップ写真を示す。今回の仕様としては据置／カメラ一体型、VHS／8mmのいずれにも対応可能とし、タイマ機能制御までを含む統合化サーボマイコンにも適用できるようにした。また、パッケージは128ピン プラスチックモールドQFPにおさめた。

従来のソフトウェアサーボマイコンに残された周辺回路を含めてのコスト問題及びソフトウェアの負荷問題を解決するために、今回ハードウェアとして幾つか工夫を凝らした。ここではそのうちサーボの心臓部ともいべき時間計測タイマ(Timing Measurement Timer : TMT)、リアルタイムパターン(Real Time Pattern : RTP)及びアナログアンプについて述べる。

#### 3.5.1 時間計測タイマ(TMT)

TMTのブロック図を図6に示す。TMTは2系統あり、ドラム及びキャプスタンの周期計測用のTMT0と汎用の時間計測回路のTMT1からなる。

TMT0は20ビットのタイマと20ビットのリロードレジスタ、4個のラッチから構成されている。4個のラッチはそ

れぞれドラムFG、キャプスタンFG、キャプスタンPG(PBCTL又はキャプスタンFGを分周して作成)及びVsyncに対応しており、それぞれのイベントが発生するとその時

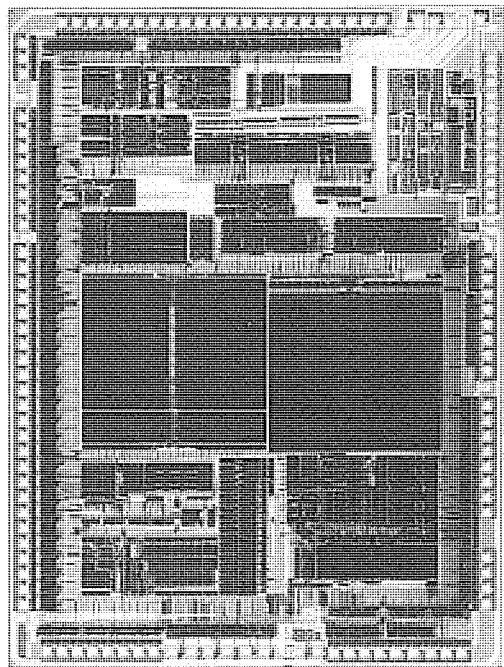


図5. チップ写真

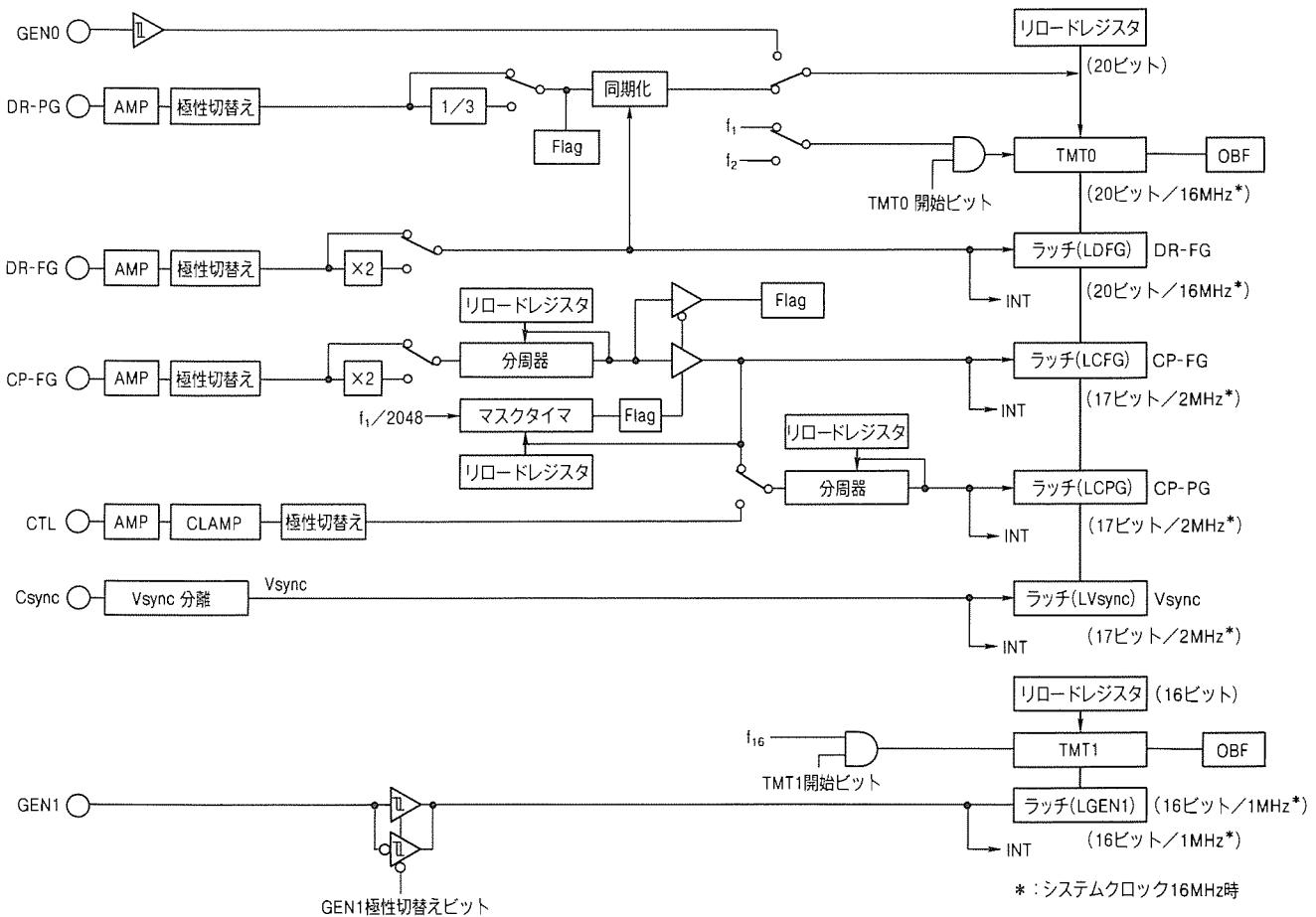


図6. TMT ブロック図

タイム値が各ラッチに格納される。タイマにはドラム PG 直後のドラム FG (又は汎用入力 GEN 0) が発生するたびにリロードレジスタの値がリロードされるため、各ラッチにはドラム PG を基準とした相対時間が格納されることになる。

今回 TMT0 として 20 ビットのタイマを内蔵し、分解能を 62.5 ns にしたことでサーボ性能の向上が可能となる。また、ドラム PG を基準とした時間を計測することにより、ソフトウェア開発効率の改善が図れる。

### 3.5.2 RTP 発生回路

RTP 発生回路のブロック図を図 7 に示す。RTP 発生回路は基準時間タイマ (TMT0 と共に) と時間データラッチ及び

パターンデータラッチ、デコーダから構成されており、24 本のポート出力及び 7 ビットの内部回路をリアルタイムに制御できる。RTP 発生回路は独立したもの 4 組内蔵しており、そのうち 3 組には 32 バイトの自動転送回路を備えている。TMT0 のタイマ値と時間データラッチの値が一致すると、パターンデータラッチ内のデータをデコードし、出力ポートの任意の 1 ビットの書換え又は内部回路へのイベントの発生を行う。その後、次の時間データ及びパターンデータが RAM からそれぞれのラッチに自動転送される (自動転送機能付きの RTP の場合)。RTP のデータフォーマットを図 8 に示す。1 バイトのデータにより、データを書き換える

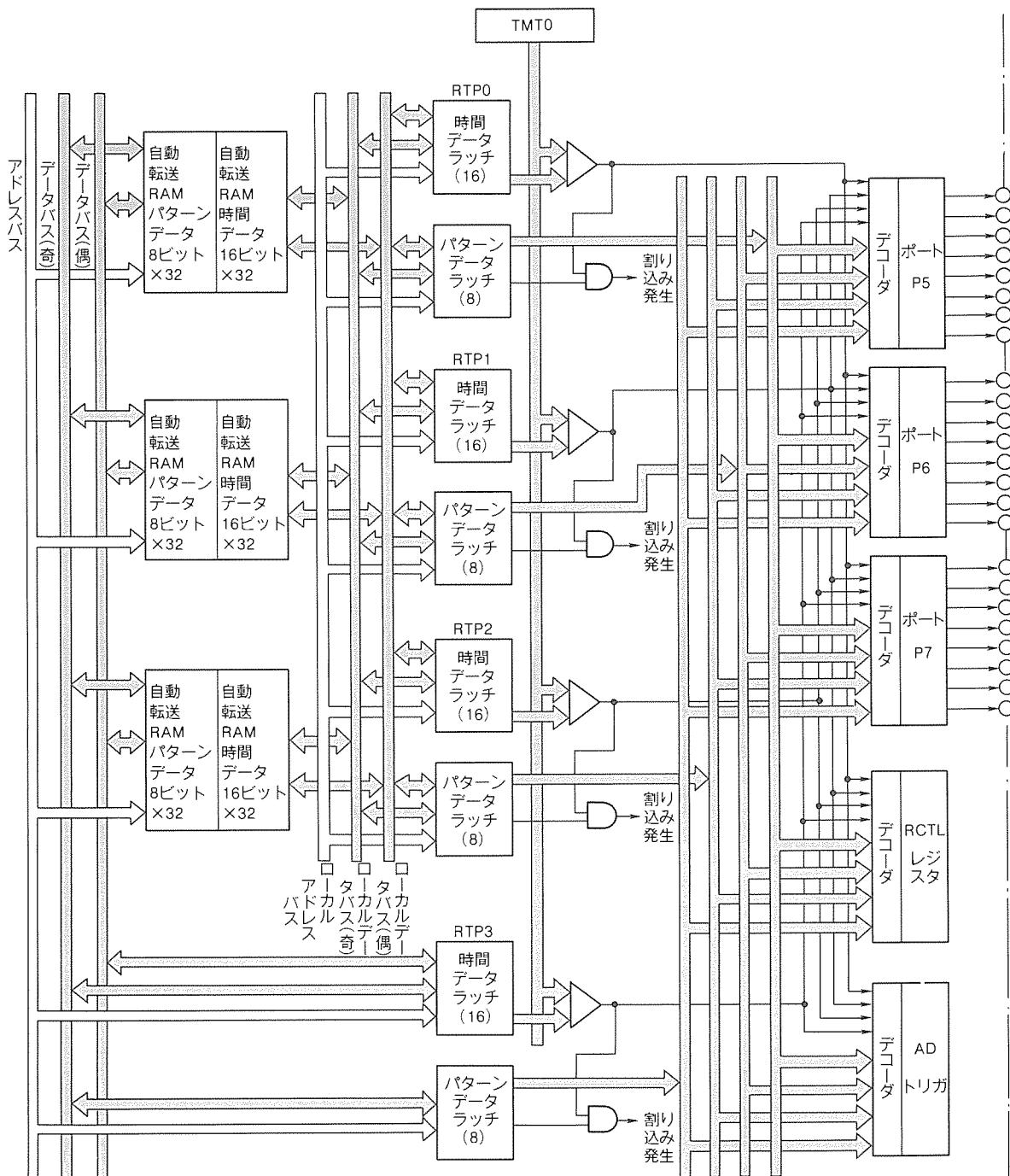


図 7. RTP ブロック図

任意の1ビットのポート番号及びビット番号を指定し、そのビットの状態（“1”，“0”又はハイインピーダンス）を指定する。

基準時間がドラム PG に同期した TMT0 を使用していることと、各ビットが独立して設定できることからドラムの回転に同期した信号のリアルタイム制御が容易になる。また、従来は全出力ビットに対するパターンデータを FIFO に持つ RTP が多くチップ上の面積が大きい問題があったが、今回この方式によってかなり縮小することができた。

### 3.5.3 CTL アンプ部

CTL アンプ部はテープ上のコントロール信号を増幅して、内部に PBCTL 信号として入力する回路である。CTL アンプのブロック図を図9に示す。CTL アンプはヘッドへの読み出し／書き込みを制御する CTL ヘッド制御回路、CTL 再生信号を増幅するアンプ回路及びアンプ回路で増幅されたアナログ電圧をデジタル電圧に変換するクランプ回路で構成されている。

CTL ヘッド制御回路はアンプ回路への接続を行う SW、書き込み用バッファ及び台形波発生回路を内蔵している。これらを RTP からの信号で切り替えることにより、CTL 読み込み、CTL 書込み、CTL 書換えの3モードが実現できる。

CTL 読み込みモードでは書き込みバッファをハイインピーダンス状態にし、アンプ回路への接続 SW を ON することによってヘッドからの信号をアンプ部へ伝える。

CTL 書込みモードではアンプ部をヘッドから遮断し、書き込みバッファをアクティブ状態にし、ヘッドに電流を流し込む。

CTL 書換えモードでは読み込みモード書き込みモードを切り替えながら既に記録されているコントロール信号に同期をとりながら重ね書きを行う。

アンプ回路は2段のOPアンプで構成されている。1段目のアンプゲインは14dBから50dBまで8段階に切替可能と

なっており、2段目のアンプは20dB固定のため合わせて34dBから70dBまで切り替えることができる。

クランプ回路は、+側の信号を検出する CLAMPF と一側の信号を検出する CLAMPR とを内蔵し、それぞれ基準電圧源、コンパレータ及び放電（充電）用トランジスタで構成されている。CLAMPF の場合、入力波形のピークがクランプ電圧  $V_{f1}$  以下のときは単なるヒステリシス付きのコンパレータとして動作するが、入力波形のピークがクランプ電圧  $V_{f1}$  を越えると放電用トランジスタがONし、ピークレベルをクランプ電圧  $V_{f1}$  に下げる。このように振幅が大きい場

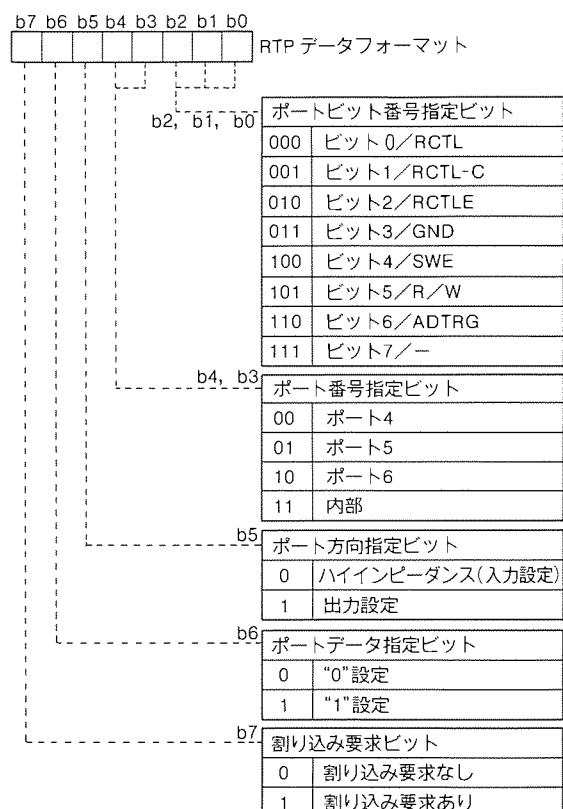


図8. RTP データフォーマット

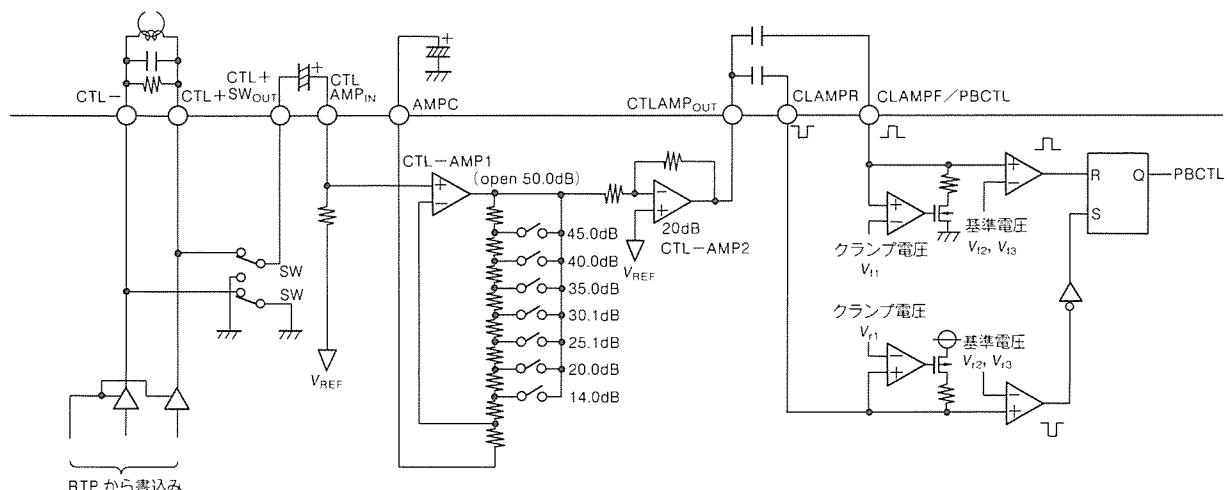


図9. CTL アンプの構成

合もピークが一定に保たれるため、ノイズの影響を受けにくくなる。CLAMPFの動作を図10に示す。

今回このCTLアンプを内蔵したことにより、周辺のCTLアンプICが不要となり、システムコストメリットが大幅に改善できる。

図11にTSサンプルにおけるCTLアンプゲイン特性(評価結果)を示す。

## 3.6 ソフトウェア開発

サーボのソフトウェア化やマイコン統合のためには、ソフトウェアの処理時間の問題や、開発負荷増加、評価の困難化などの新たな問題点が発生する。今回、ソフトウェアサーボマイコンの開発に当たり、これらの問題をソフトウェア面で解決する方法を幾つか立案した。

### 3.6.1 サーボソフトウェアの視覚化

ソフトウェアのアルゴリズムを図式化

するには、データフロー図やフローチャート等いろいろな方法があるが、サーボのような信号処理は今までの図法では大変分かりにくい。そこで、図12に示すようにFGパルス入力からPWM出力までを今までのハードウェアのイメージで記述した図を用いてプログラムの設計、評価、デバッグを行う手法を考えた。図は基本的なソフトウェアサーボ処理のフローを示す。この図を用いればモード遷移時の強制定数代入や、モータ回転安定監視処理などをハードウェアを追加するイメージで増設していくので、大変分かりやすい。

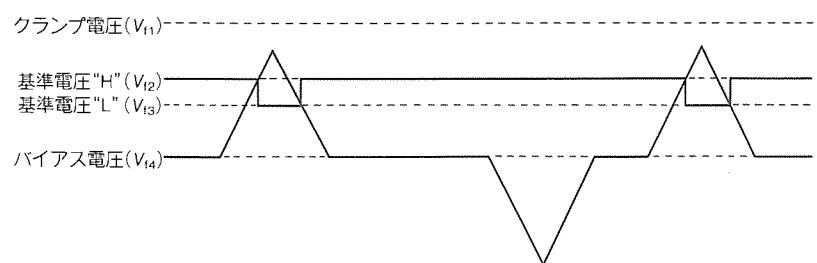
また、このマイコンは、内部のRAMの値をリアルタイムでD-A出力するリアルタイムD-Aモニタ機能を持っているため、上述の図と組み合わせ、アナログ回路上の信号の流れをシンクロスコープのプローブで追うようにプログラムデバッグを行うことができる。

また、このD-Aモニタ機能はマイコンに内蔵されているため、テスト用プログラムを組み込んでおけば量産VTR基板に実装した状態でサーボその他のリアルタイム処理の評価、解析が行える特長がある。

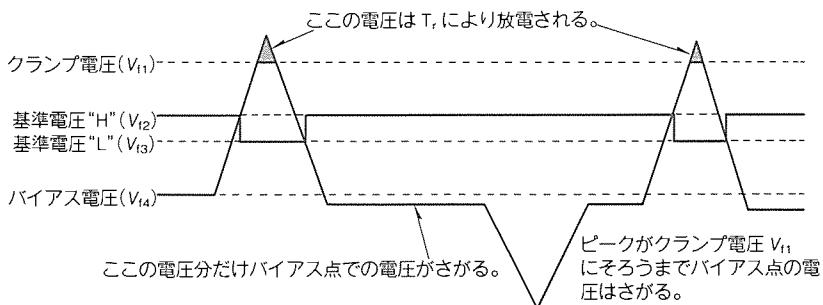
### 3.6.2 リアルタイムOSと階層化モジュール

マイコン統合化により、大規模なリアルタイムソフトウェアを複数の人間で開発しなければならず、ますます工期や品質に問題が発生してくる。そこで今回、リアルタイムOS使用とプログラムの階層化モジュール化によってプログラムの単純化、独立化、標準化を行い工期短縮や品質向上を実現した。

ソフトウェアサーボのようにCPU能力ぎりぎりで使うシステムでは通常のOS概念は当てはまらない。速度優先のため、OSの階層化は一般にいう小規模なOSほど上位階層に



(a) 入力波形がクランプ電圧より小さいとき



(b) 入力波形がクランプ電圧より大きいとき

図10. クランプ回路動作

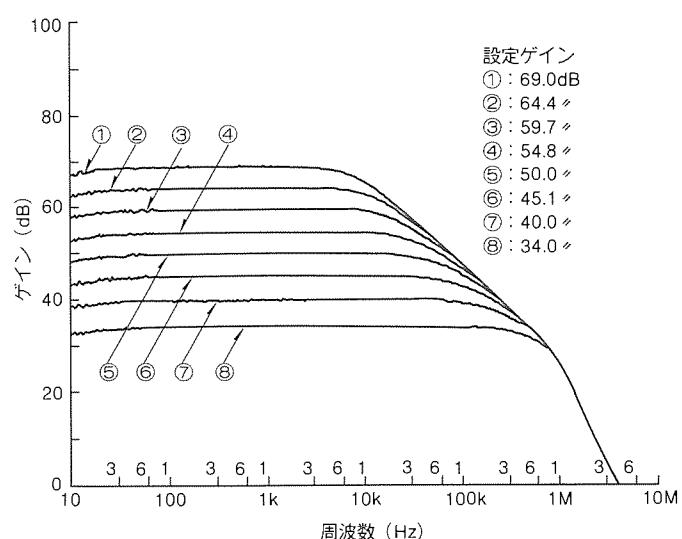


図11. CTLアンプのゲイン特性(サンプル評価結果)

割り振らなければならない。最上位OSとはCPUそのもので、サーボの高速処理は他の処理(他のOS含む)より最優先に資源(時間)を割り振られる。

われわれは、タイマ+システム+ソフトウェアサーボのすべての処理を行う“統合化サーボマイコン”の標準応用ソフトウェア(デモセット)開発を、この“速度面での階層化”とともに、仕様の変更や調整が必要なものほど下位階層におく“仕様面での階層化”を行い、多人数での短期開発を可能にした。

この標準応用ソフトウェアはマイコンの拡販、技術サポートのための有効な手段として、当社では特にVTR市場で多くの実績を持つ。ユーザーがソフトウェア開発を行う際に参

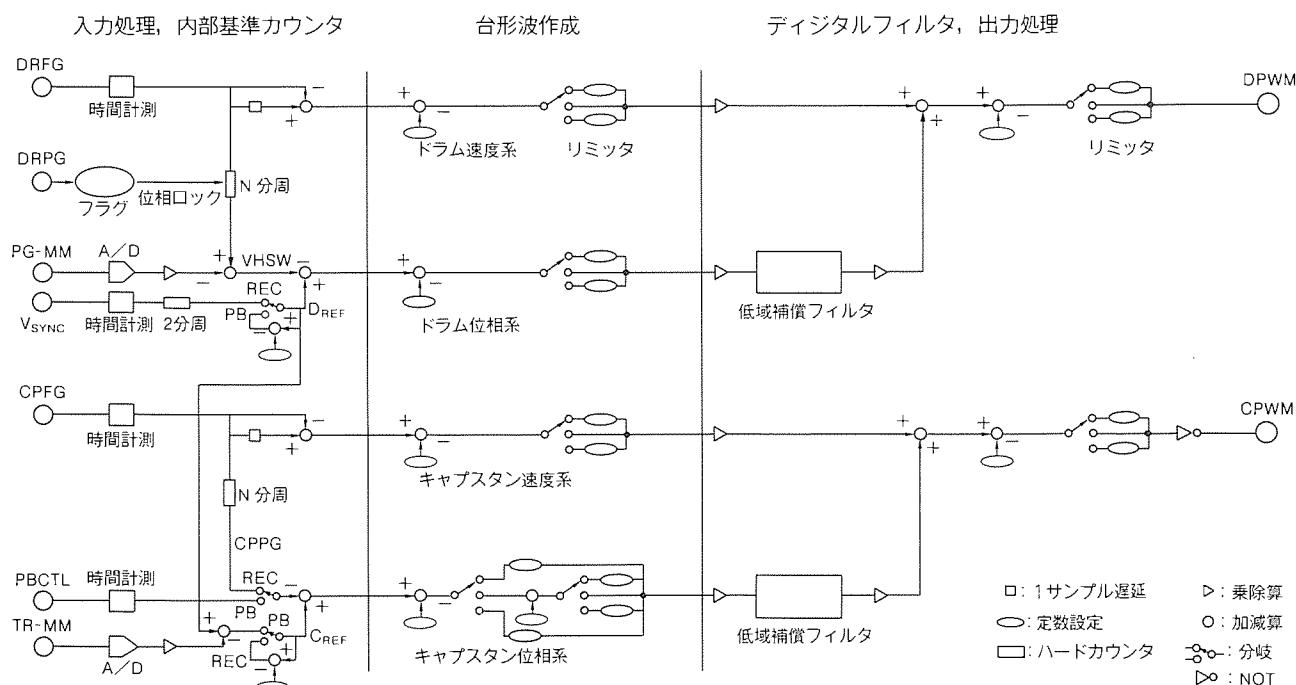
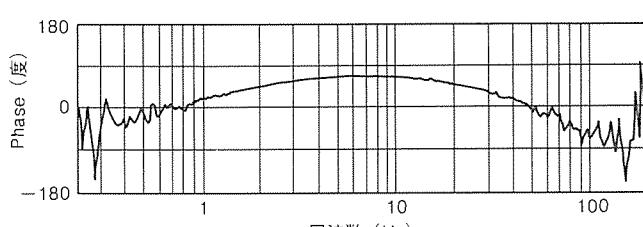
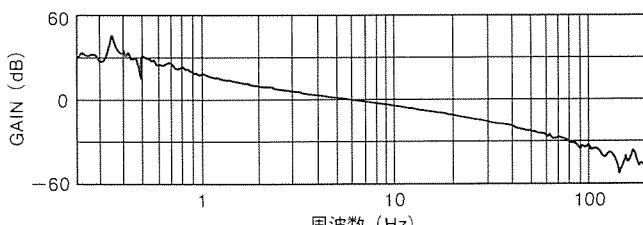
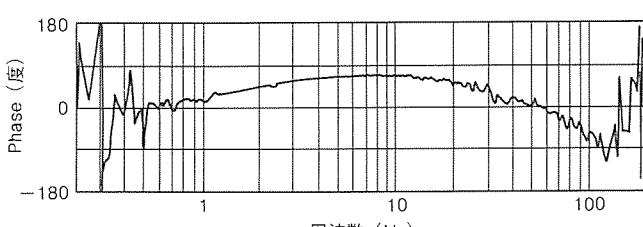
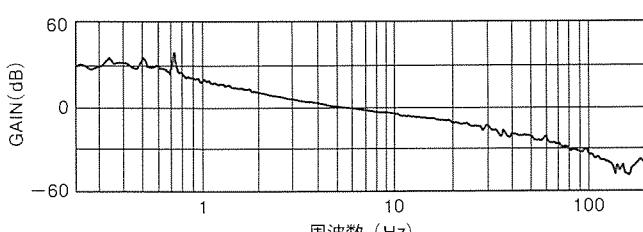


図12. ソフトウェアサーボ アルゴリズム例



(a) M37770M4ブレッドボードによるソフトウェアサーボ特性



(b) サーボ IC によるサーボ特性

図13. デモセットのサーボ特性

考してもらい、マイコン特有のハードウェア理解の助けとなるとともに、プログラムのかなりの部分が流用できる。

図13にデモセット（三菱 VTR HV-F 1 のサーボ IC をこのマイコンのブレッドボードで置き換えたもの）のドラムサーボ特性を示す。もとのハードウェアサーボとほぼ同等の特性が得られている。現在更にオブザーバ制御等により、特性を改善するソフトウェアを開発中である。

#### 4. む す び

今回、ソフトウェアサーボ マイコン M 37770 M 4 が開発できた背景には、16ビットマイコン MELPS 7700 のシリーズがあり、ソフトウェアサーボの重要な課題点であった

- (1) ソフトウェア負荷の低減
- (2) システムコストの低減

について、実現見込みがついたことが大きなポイントである。

今後ますます AV 機器の発展とともに、マイコンに求められる処理能力は更に大きくなると考えられる。今回開発したマイコンをベースに、次世代システムに最適な新製品の提案・開発を行っていきたい。

# SCSI 専用コントローラ

堀 俊彦\* 遠藤茂行\*\*  
須田眞二\* 川嶋健司\*\*\*  
小林 洋\*

## 1. まえがき

近年、パーソナルコンピュータ等と外部入出力装置との接続は、内部CPUバスに専用のインターフェースを設け個々に制御する方式から、CPUの負荷を減らして高速にデータを転送できるSCSI(Small Computer System Interface)のような汎用性の高い標準インターフェースを用いる方式へ変わりつつある。SCSIはそのバス上に最大8台までの装置を接続でき、そのプロトコルによってマルチホストでかつ高速データ転送が可能なバス方式である。米国で1986年にANSIX.3.131-1986として規格化されて以来、上位規格SCSI-2へと発展している。

SCSI専用コントローラM35701E2A×××FPは、16ビットMCU(Micro Controller Unit)MELPS7700の一環としてSCSI機能を持たせ高機能化したもので、16ビットMCUにSCSI専用回路を内蔵し、プロトコル処理等条件判断を伴う処理はMCU部においてソフトウェアで処理し、高速処理の必要なところは専用回路部のハードウェアで処理することにより、SCSI機能を実現するようにしている。本稿では、SCSIバス、専用コントローラM35701E2A×××FPの設計手法及び機能について述べるとともに、SCSI制御用基本ソフトウェアや応用システムについて紹介する。

## 2. SCSIバス

SCSIバスに接続できる装置(以下“SCSI装置”という。)は最大8台で、それぞれの装置にID(Identify)という固有の識別番号を持つ。データ転送は命令を出す側(以下“イニシエータ”という。)と受ける側(以下“ターゲット”という。)から成り立つ。SCSIでは、上記のIDを利用したアビトリレーションというバスの使用権の取り合いや、セレクションやリセレクションという転送相手の指定が行えるようになっており、すべてのSCSI装置がイニシエータやターゲットになることができる。

これら、どの装置でもイニシエータとなり、命令を出せる機能や、高速のデータ転送ができることがSCSIの大きな特長である。

SCSIバスには合計18本の信号線があり、9本は制御用として、また残り9本のうち8本がデータ用として、1本がデータのパリティとして使用される。表1にこれらSCSIバス信号を示す。

SCSIバス上で制御用の信号線によって示されるバスの状態をバスフェーズという。表2にこれらのバスフェーズを示す。データ等の転送方向は、イニシエータからターゲットが“アウト”でその逆が“イン”である。SCSIでは、これらフェーズの順序がプロトコルの一部であり、図1にこのフェーズの遷移を示す。

SCSIバスにおけるデータの転送は、例えばホストコンピュータとハードディスクの間のデータ転送と同様に、リードやライトが主となるので、ここではSCSIバス動作を、ライト命令を例にして図2で概略説明する。

バスが使用されていない状態がバスフリーフェーズである。バスフリーの後、ライト命令を出したいSCSI装置はアビトリレーションを開始する。アビトリレーションを開始した装置が他にもある場合、IDの大きい方が勝ち、バスの使用権を獲得し、イニシエータとなる。イニシエータは、フェーズ

表1. SCSIバス信号

信号名	英語表記	機能
BSY	BUSY	バス使用中を示す信号
SEL	SELECT	イニシエータがターゲットを選択又はターゲットがイニシエータを再選択するために出力する信号
C/D	CONTROL/DATA	データバス上の情報がコマンドかデータかのどちらであるかを示すためにターゲットが出力する信号
I/O	INPUT/OUTPUT	イニシエータに対しデータバス上のデータの移動方向を示すためにターゲットが出力する信号 また、この信号はセレクションとリセレクションのフェーズの区別を示す
MSG	MESSAGE	メッセージフェーズの間ターゲットが出力する信号
REQ	REQUEST	REQ/ACKデータ転送ハンドシェイクにおいて、ターゲットがデータ転送要求を示すために出力する信号
ACK	ACKNOWLEDGE	REQ/ACKデータ転送ハンドシェイクにおいて、イニシエータが肯定応答を示すために出力する信号
ATN	ATTENTION	アテンション条件を示すためにイニシエータが出力する信号
RST	RESET	リセット条件を示す信号
DB0~7, DBP	DATA BUS	8ビットのデータと奇パリティのパリティビットを示すデータバス信号

表2. SCSIバスフェーズ

フェーズ名	意味、内容	備考
バスフリー	バスを使用していない状態	—
アービトレーション	バスの使用権を各装置が取り合う期間	—
セレクション	バスの使用権を得たイニシエータがターゲットを選択する期間	アービトレーションがないときは単にイニシエータがターゲットを選択
リセレクション	いったんディスコネクトした後、ターゲットがイニシエータと再接続したいとき、ターゲットがイニシエータを選択する期間	—
コマンド	ターゲットがイニシエータからの命令を受け取る期間	—
データ	データを転送する期間	データイン データアウト
ステータス	ターゲットがイニシエータへコマンドの実行結果を知らせる期間	—
メッセージ	ターゲットとイニシエータの間でメッセージ情報を交換する期間	メッセージイン メッセージアウト

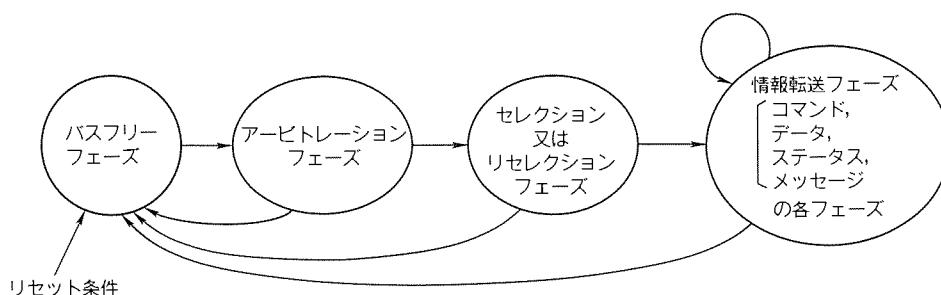


図1. SCSI フェーズの遷移

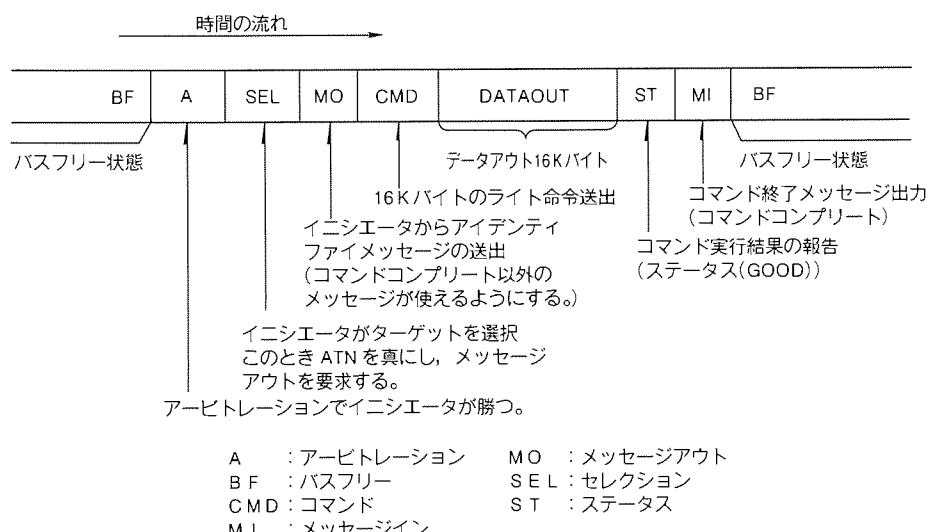


図2. ライト命令に対する一連のバスの動作

をセレクションフェーズに移行させ、接続したいターゲットのIDを指定する。ターゲットに指定されたSCSI装置は、BSY信号を出力することでその存在をイニシエータに示し、ターゲットとなる。そしてこれ以後は、ターゲットがデータ転送の主導権を持ち、MSG, C/D, I/Oの各信号でフェーズを指定しながら、メッセージ等のやりとりを進めていく。

これらメッセージやコマンドの値は、ターゲットのREQ信号とイニシエータのACK信号のハンドシェイクにより、1バイトずつ転送される。ターゲットはコマンドの解析を行い、これがライト命令と分かると、データアウトフェーズに移行し、所定のデータを受け取る。転送データ数等はあらかじめコマンドに含まれている。データ転送が終了すると、ターゲットはその実行結果の報告をステータス情報で、またこのライトコマンド動作の終了をメッセージとしてイニシエータに送り、バスをバスフリーにさせることでこのライト命令を終了する。

### 3. 設計手法

M35701 E2 A×××FPは、判断処理を行うMCU部と、MCU部では実現できない高速動作のSCSI専用回路部の二つのブロックで構成している。このSCSI専用コントローラの開発で、特に注

力した点は次のとおりである。

- (1) 既存財産(MELPS 7700シリーズ)の有効利用
  - (a) 高性能MCUのレイアウトパターン
  - (b) ソフトウェア開発ツール
  - (c) MCU部テストプログラム
- (2) 開発期間の短期化

## (a) レイアウトパターン設計期間の短期化

## (b) テストプログラム開発期間の短期化

このSCSI専用コントローラの開発手順を図3に示す。システム設計、論理設計で、上記注力点を十分考慮した。SCSI専用回路部の論理動作確認には論理シミュレーションを用い、論理動作確認完了後、論理シミュレーションで用いた回路接続情報により、CADを用いてレイアウトパターン設計を行った。レイアウトパターン及び論理回路の動作マージン検証として、詳細遅延シミュレーション(実配線長シミュレーション)とタイミング検証を行い、さらに、このSCSI専用回路部、MCU部、周辺回路部と構成したチップに対応した論理シミュレーションを行い、チップのレイアウトパターン設計を行った。このSCSI専用コントローラのチップ写真を図4に示す。

テストプログラム用のファンクションパターンは、SCSI専用回路部用は上記の論理シミュレーションで用いたファンクションパターンをテスト用に変換・編集し、またMCU部用は既存のMCU部のファンクションパターンを用い、チップ全体のテストファンクションパターンとし、このSCSI専用コントローラの評価に用いた。

この設計手法は、既存の財産を利用したMCU部と、応用分野に特化した高速・高機能な専用回路部と構成した専用コントローラの設計手法として今後利用することが可能である。

## 4. M35701E2A×××FPの機能

## 4.1 概要

M35701E2A×××FPは、図5のブロック図に示すようにMCU部とSCSI専用回路部から成る。SCSI専用回路部は、MCU部との接続のためのMCUバスインターフェース、SCSIのハードウェアの中心であるSCSIバスインターフェース、転送データコントローラ、データ転送の緩衝役を果たすFIFOメモリ(First In First Out Memory)のFIFO(T), FIFO(S), 外付けバッファRAMアクセスのためのバッファRAMインターフェース、上位システムとのデータの転送を行う転送データバスインターフェース等で構成されている。

また、SCSI専用回路部で、アビトリレーション、(リ)セレクション自動実行機能、REQ信号とACK信号によるデータのハンドシェイク機能、転送データコントローラによるデータの自動転送機能、非同期／同期転送機能、バスフェーズの諸条件検出機能と割込み発生機能等を備えている。これらをソフトウェアでSCSIコマンド等に対応することにより、光ディスク、ハードディスク、スキャナ等の周辺装置の SCSI制御が可能である。

## 4.2 アビトリレーション、(リ)セレクション実行機能

アビトリレーション、(リ)セレクションは、SCSIバスを使用したい装置が、バスの使用権を獲得してデータ転送相手

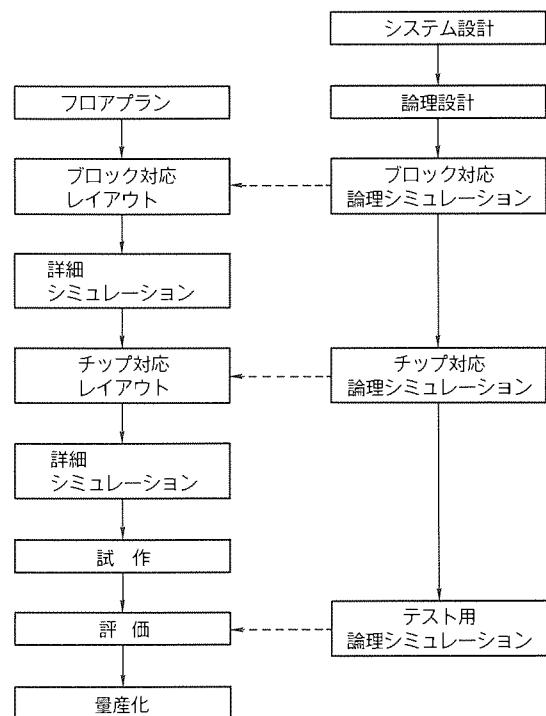


図3. 専用コントローラの開発手順

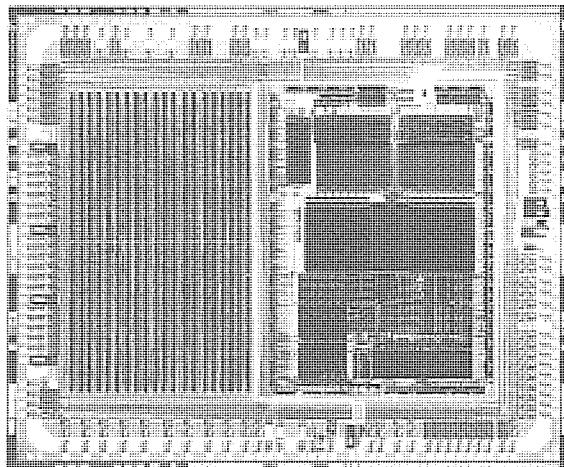


図4. M35701E2A×××FPのチップ写真

を指定する動作である。これは高速で連続な動作を必要とするため、シーケンサを備え、最小時間で自動的に実行するよう設計した。図6にアビトリレーション、セレクション実行時の動作を示す。アビトリレーションは、開始をプログラムしてからまずバスフリーの検出を行い、それから自己ID、BSY信号を出力して開始するようしている。アビトリレーションに勝つと自動的にセレクションフェーズへ移行していく。アビトリレーションに負けるとそこで割込みが発生し、MCU部に知らせるとともにSCSIバス出力をバスフリー状態に戻す。相手のIDを出し、BSY信号出力を止めることにより、セレクションフェーズに入り、ターゲットからのBSY信号を受け付ければ、割込みを発生してMCU部に知らせ動作を終了するようしている。ターゲットの応答期限

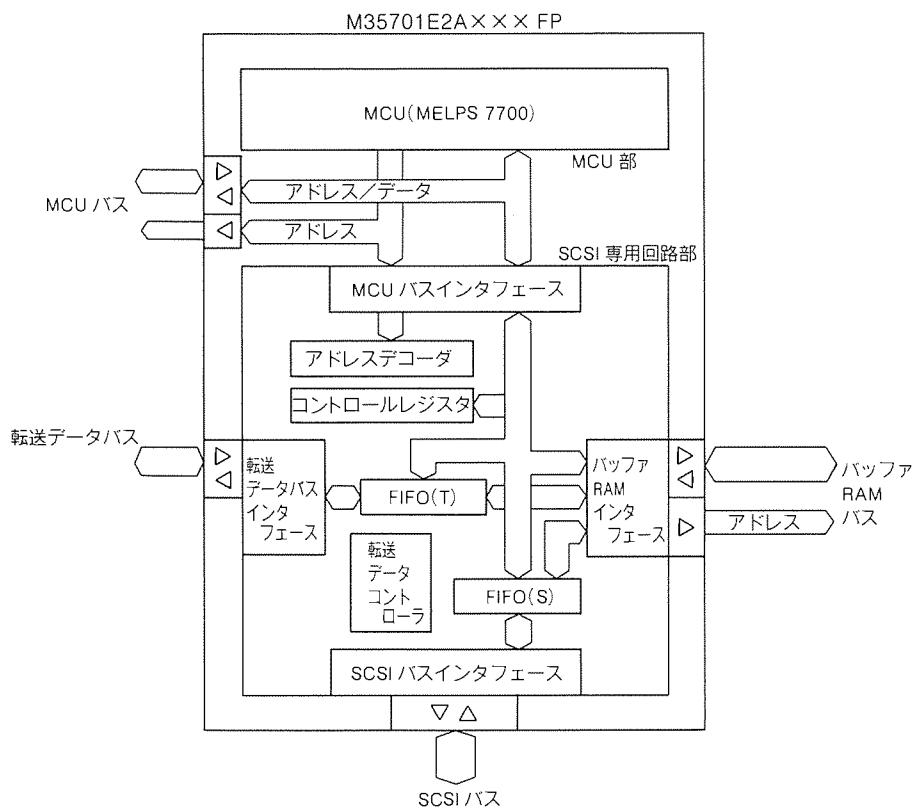


図5. M35701E2A××FPのブロック図

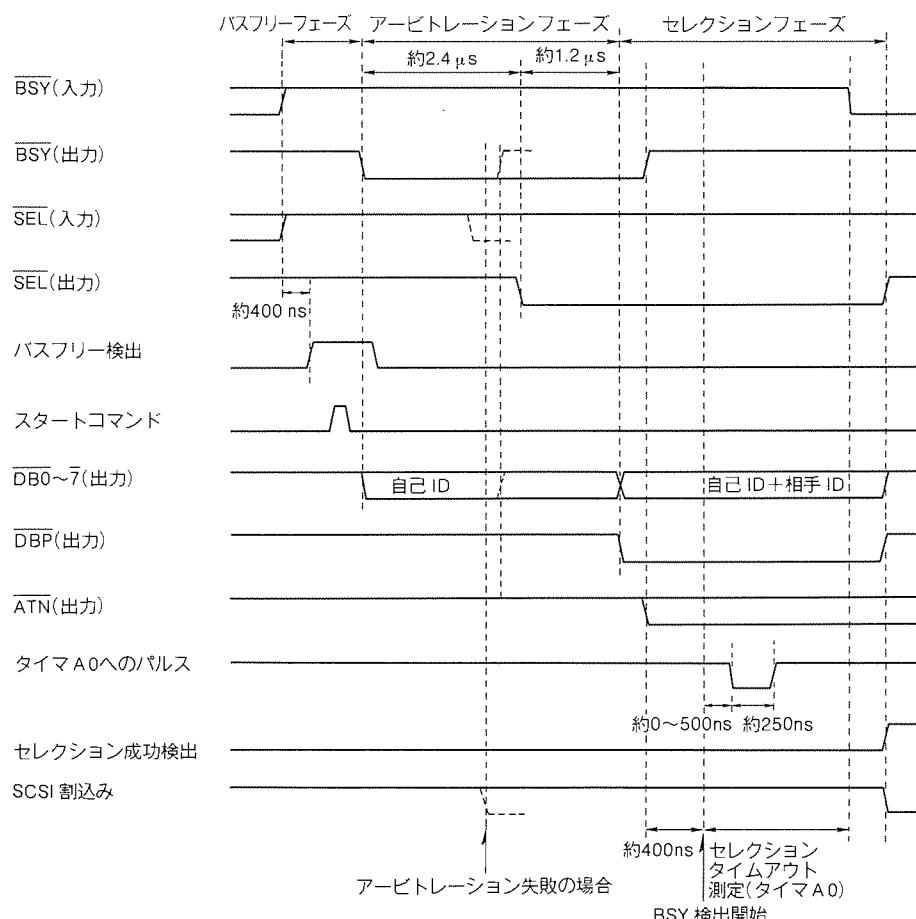


図6. アービトリエーション, セレクション実行時の動作

(セレクション タイムアウトといふ。200 μs)は、セレクション開始時に MCU 部のタイマヘトリガ信号を出し、MCU 部で測定して処理するようにしている。

#### 4.3 データのハンドシェイク機能

REQ 信号と ACK 信号によるデータハンドシェイクは、SCSI バスのデータ転送の基本である。SCSI バス上では、ターゲットがデータを出力する場合、図7に示すようにデータを出力し、55 ns 以上後に REQ 信号を出力し、イニシエータからの ACK 信号を待ち、ACK 信号が出力されると REQ 信号の出力を止め ACK 信号の出力が終わって、1 回のデータ転送を完了する。また、ターゲットでデータを入力する場合は、図8に示すように、REQ 信号を出力しイニシエータからのデータを要求し、イニシエータからデータが出力され55 ns 以上後に ACK 信号が出力されるとそこでデータを取り込み、REQ 信号出力を止め、ACK 信号出力が終わって1 回のデータ転送を完了する。

SCSI 専用回路部では、MCU 部や転送データコントローラからの SCSI バスアクセス時のこのような煩わしさを解消するため、SCSI バスに出力する場合は、FIFO (S) にデータを書き込むだけで、また入力する場合は、FIFO (S) にデータが入った後に読み出すだけで規格を満足するハンドシェイクが行えるようにしている。

#### 4.4 データ転送機能

転送データコントローラは、SCSI バス—バッファ RAM (外付け)、転送データバス—バッファ RAM の自動転送を制御し、8 M バイト／秒の転送能力を持っている。また、バッファ RAM のために 1 M バイトまでのアドレス空間を備え、転送バイトカウンタは

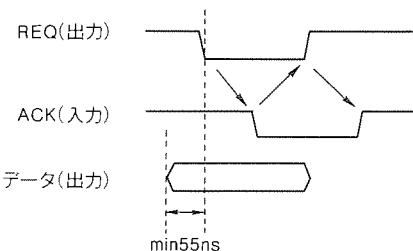


図7. ターゲットのデータ出力時のハンドシェイク

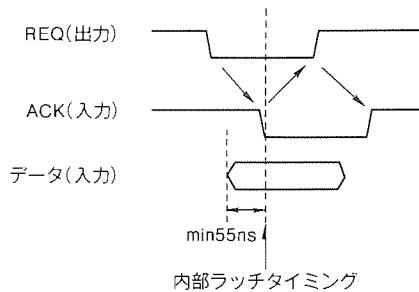


図8. ターゲットのデータ入力時のハンドシェイク

16 Mバイトまでカウントでき  
るようしている。SCSIバス  
へデータを出力する場合、アド  
レスやカウンタを初期化したあ  
と、転送開始をプログラムする  
と、まずバッファRAMから  
データを読み出し、FIFO(S)  
へ転送し、FIFO(S)からSCSI  
バスインターフェースを通じてR  
EQ/ACKのハンドシェイクに  
よってSCSIバスへ転送してい  
く。このように転送は転送コン  
トローラによって行われ、転送  
が終了すればMCUに割込みを  
発生し、知らせるようになって  
いる。データ入力の場合はこの  
逆の経路となる。

実際のバッファRAM容量を  
超えるデータ量であっても、例  
えば図9のように上位システム  
からのデータを転送データバス  
を通じてバッファRAMに蓄え  
ながら、バッファRAMからデ  
ータを読み出してSCSIバスへ出力していくことも可能にな  
っている。

#### 4.5 その他の特徴的な機能

以下に、SCSI専用回路部の他の特徴的な機能について示す。

- (1) REQ/ACK信号のハンドシェイクによる非同期転送のほか、最高5.3Mバイト/秒の同期転送機能
- (2) SCSIバス条件のバスフリー、アテンション、リセットを検出し、MCU部に割込みを発生する機能、及びバスフリー、リセットを検出すると自身の出力をバスフリーにする機能
- (3) イニシエータモードでは、ターゲットの出力するフェーズの変化を検出し、MCU部に割込みを発生させる機能
- (4) SCSI信号端子は、不平衡型に対応し、SCSIバスを直接駆動する機能

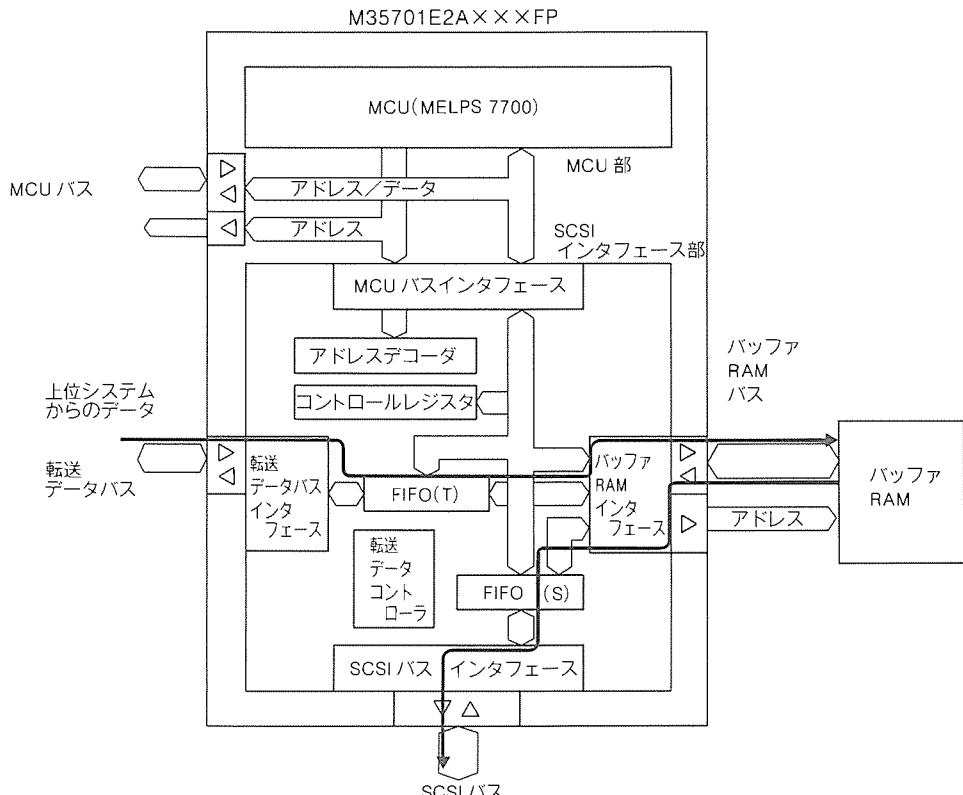


図9. SCSIバスへの大量のデータ出力の流れ

## 5. 制御用基本ソフトウェア

制御用基本ソフトウェア(以下“基本ソフト”という)はSCSI専用回路部を直接制御し、SCSIコマンドの処理とSCSIバスの制御を実現していく上で基本的な動作を制御するソフトウェアモジュール群であり、簡単なタスク管理も行っている。この基本ソフトを用いることにより、アプリケーションソフトウェアの開発を容易に行うことができる。この基本ソフトの位置付けを図10に示す。

### 5.1 基本ソフトの特長

基本ソフトの特長は次のとおりである。

- (1) 機能がサブルーチン単位であるため、必要なルーチンのみを用いて最適のシステムが構築可能
- (2) 機能がサブルーチンになっており、SCSI専用回路部の個々のレジスタ等の設定やその手順を気にかけることなくア

プリケーション ソフトウェアの開発が可能

- (3) 各ルーチンは任意のバンクに配置可能(割込み以外)
- (4) 基本ソフトの引数を内部RAMに配置しており、高速処理を実現
- (5) 割込みルーチン中からユーザー記述割込みルーチン呼び出し可能

## 5.2 アプリケーション プログラム例

図11は、図2におけるライト命令時のSCSIバス動作でのターゲットのセレクト検出からデータ転送までの動作の流れと、基本ソフトの役割の例を示したものである。以下順を追って説明する。

- (1) ターゲットでは、自己のシステムの初期化の後、SCSIバスからのアクセスを待っている状態にある(ウエートルーチン)。
- (2) イニシエータがアビトレーションに勝ち、この装置を選択すると、そのセレクトを検出して割込みが発生する。
- (3) 割込みにより、MCUの制御は“\_FNC\_INT”ルーチンに移り、セレクションに対する応答を行う。
- (4) いったん、ユーザー アプリケーション プログラムに戻り、そこでセレクション検出を認識し、メッセージ受信のため“\_T\_MSGO”ルーチンを呼び出す。
- (5) \_T\_MSGO ルーチンでは、前のフェーズの終了を確認し、フェーズをメッセージアウトに変更し、必要なメッセージを受け取り、またユーザー アプリケーション プログラムに戻る。
- (6) ユーザー アプリケーション プログラムは、メッセージの内容を確認し、次にコマンドを受け取るために、“\_T\_CMD”ルーチンを呼び出す。
- (7) \_T\_CMD ルーチンでは、前のフェーズの終了を確認し、フェーズをコマンドに変更し、必要なコマンドを受け取り、ユーザー アプリケーション プログラムに戻る。
- (8) ユーザー アプリケーショ

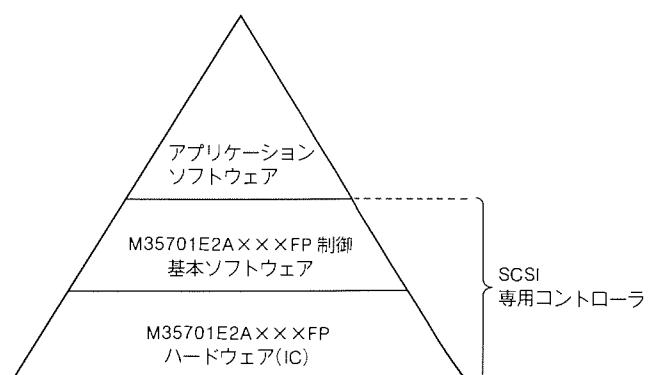


図10. 制御基本ソフトウェアの位置付け

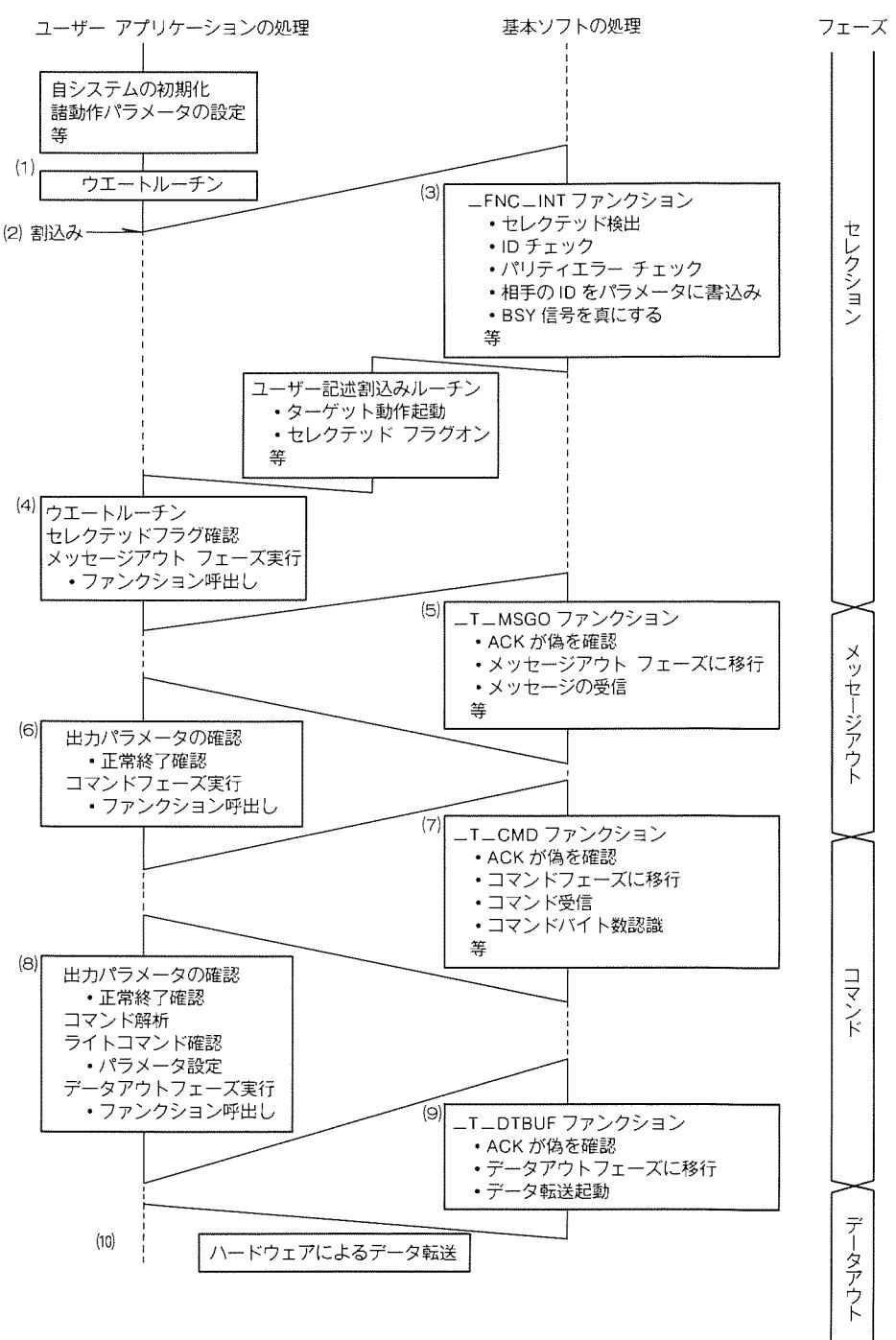


図11. 基本ソフトを用いたアプリケーション処理例

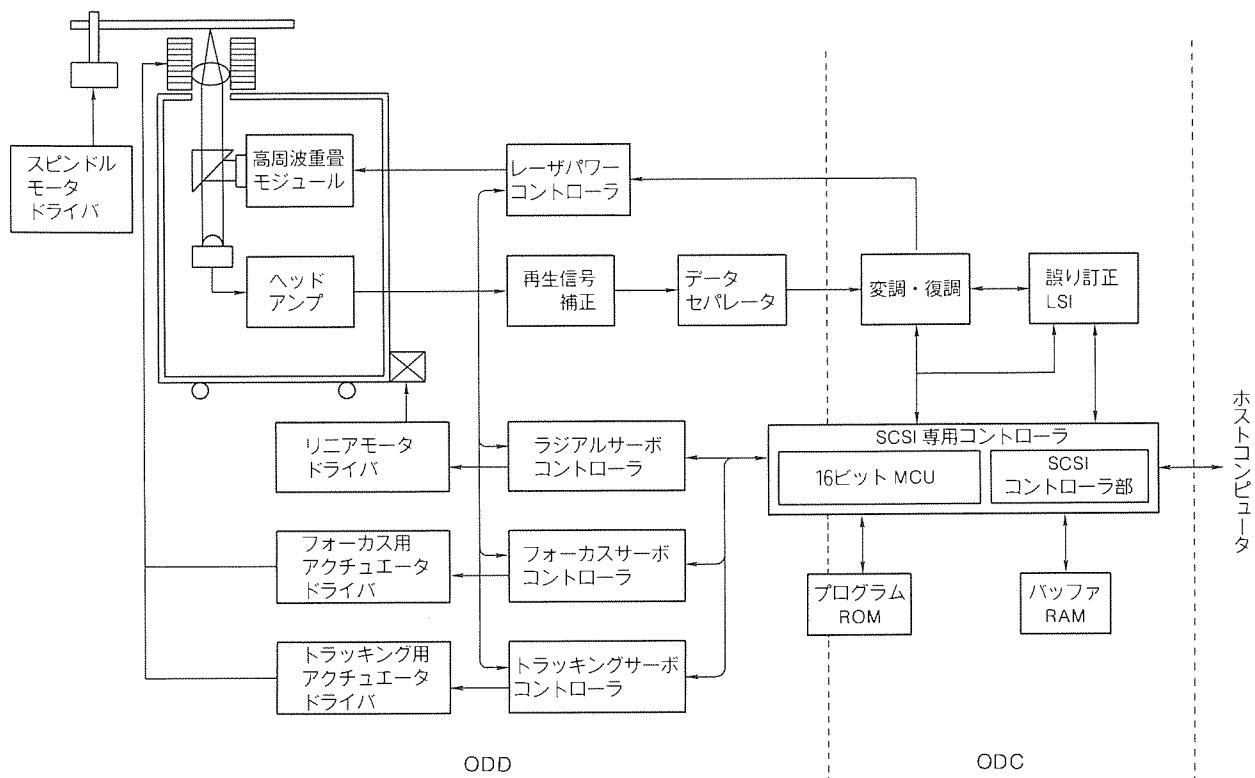


図12. ODDシステムブロック図例

ンプログラムは、コマンド受信の処理が正常に行われたことを確認し、そのコマンドの解析を行う。そしてそれがライトコマンドであることを認識すると、データ数等のパラメータを設定して、データを受け取るために“\_T\_DTBUFF”ルーチンを呼び出す。

(9) \_T\_DTBUFF ルーチンでは、前のフェーズの終了を確認し、フェーズをデータアウトにし、必要なデータを受け取る準備をするとデータ転送を起動し、アプリケーションプログラムへ戻る。

(10) データ転送はハードウェアで自動的に行われ、MCU はデータ転送終了の割込みを待つ間、他の処理の実行が可能である。

## 6. 応用例

SCSI 専用コントローラを用いた応用例として、ODD (Optical Disk Drive) に用いた場合のシステムブロック図を図12に示す。このシステムでは、SCSI 専用コントローラ M 35701 E 2 A × × × FP は、ホストコンピュータと SCSI バスを通してデータ等のやりとりをする ODC (Optical Disk Controller) 部を制御し、さらにディスクのハードウェア制御部の ODD 部をも制御している。

## 7. むすび

以上説明してきたように、16ビットMCU、MELPS 7700シリーズの一環として SCSI 専用回路を内蔵した SCSI 専用コントローラ M 35701 E 2 A × × × FP を開発した。この専用コントローラは、

- (1) アプリケーションソフトウェアと SCSI 制御用基本ソフトウェアで、SCSI コマンドを処理
- (2) SCSI-2 コマンドも一部対応可能
- (3) 3.0M バイト／秒の非同期転送可能（条件によっては 8.0M バイト／秒まで可能）
- (4) 最高 5.3M バイト／秒の同期転送可能
- (5) 基本ソフトウェアを用いることにより、アプリケーションソフトウェア開発の負荷を軽減

等の特長があり、多くのシステムに応用してシステムの性能向上に役立つものと期待する。

今後は、今回開発した設計手法の展開を図り、より高性能な専用コントローラを開発していく予定である。

## 参考文献

- (1) Small Computer System Interface, ANSI X 3.131-1986

# 8ビット マイクロコンピュータ “38000シリーズ”

竹内 稔\* 石丸善行\*  
阿部 稔\* 武部秀治\*  
林 良紀\*

## 1. まえがき

当社では1982年にオリジナル8ビットCMOSマイクロコンピュータ(以下“マイコン”という)“MELPS 740”的先頭品種としてM50740-×××SPを発表し、その後もシリーズ展開として多くの品種を次々と世の中に送り出してきた。特に4ビットマイコンが圧倒的主流を占めていた民生機器分野に対して8ビットマイコンを積極的に紹介し、また各応用分野のニーズを的確にとらえた製品を開発することにより、産業機器分野を含め幅広く受け入れられてきた。

今回、従来の740シリーズを更に発展させた8ビットマイコン新シリーズとして“38000シリーズ”を開発したのでシリーズの概略・開発方針について簡単に触れ、このシリーズの開発に当たって新たに導入した設計手法・技術について説明する。

## 2. 38000シリーズの概要

当社の8ビットマイコンのラインアップを図1に示す。当社の8ビットマイコンは四つのシリーズから成り、すべてのシリーズはMELPS 740と呼ばれる共通のアーキテクチャのCPUを持っており、オブジェクトレベルでソフトウェア互換である。38000シリーズは、740シリーズの後継として位置付けられ、MELPS 740中の最上位のシリーズである。

38000シリーズは幅広い機能別ラインアップと豊富なメモリ容量バリエーションを特長としており、

図2に示すように形名の採番方法にもその特長が表れている。形名の6~8けたは、内蔵されるメモリの種類及び容量を表している。4けた及び5けたは、機能の違いに対応するグループ名を表しており、同一のグループに属する品種は内蔵メモリとパッケージの相違を除いて同一の機能を持っている。表1に38000シリーズのグループの一覧を示す。これらは現在製品化されているグループ及び開発中のグループの一覧であり、今後も更に追加を計画中である。

例えば、表2はM3806×グループの性能概要である。このグループでは図3に示すような5種類のメモリ容量バリエーションが用意される。また、それぞれのメモリ容

量に対してマスクROM版、ワンタイムPROM版、紫外線消去窓付きEPROM版がサポートされる。

## 3. 開発方針

38000シリーズの開発に当たっては、次の方針を設定した。

- (1) アプリケーション オリエンティッドな機能別製品群の早期開発
- (2) 開発効率の徹底追及
- (3) EPROM版／ワンタイムPROM版のマスクROM版との同時サポート
- (4) 高度なプログラム開発環境の提供

以上の方針を具体化するに当たり、多くの新規技術、手法を導入した。これらの中で本稿では次の3項目について説明する。

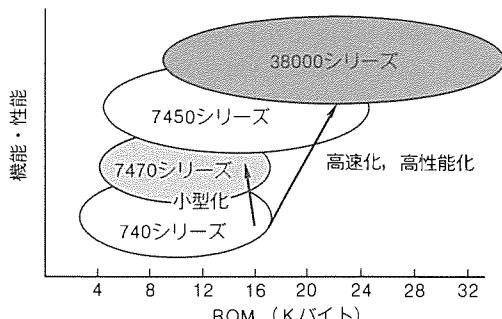


図1. 三菱8ビットマイコンの展開

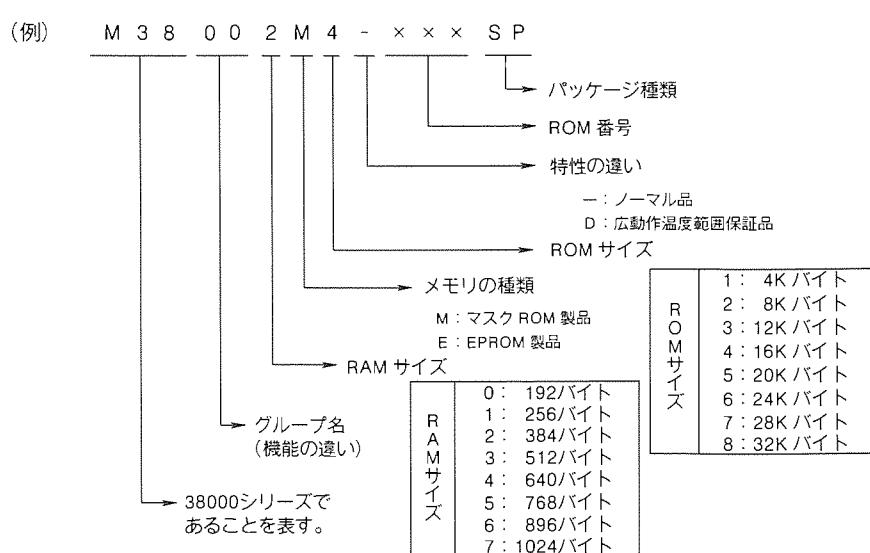


図2. 38000シリーズ形名の付け方

- (1) 開発効率向上のために導入した各種手法
- (2) マスク ROM 版と EPROM 版の同時設計技術
- (3) シリーズ展開に対応する新エミュレータシステム

#### 4. 開発効率の向上

38000 シリーズは開発当初から多くの品種展開を計画しており、これらの高機能な新品種の開発を同時かつ早急に行うことが当初からの目的である。そのため、このシリーズの開発では従来 740 シリーズ開発の経験を踏まえ、次の 3 項目を実施した。

- (1) 設計環境の完全 EWS 化
- (2) 標準化設計
- (3) 標準機能ブロックライブラリの構築

#### 4.1 設計環境の完全 EWS 化

表 1. 38000 シリーズのグループ一覧

(例) M38002M4-×××SP	
↓	
M3800×	: 64 ピン標準
M3802×	: 64 ピン A-D 付き標準
M3804×	: 80 ピン標準
M3806×	: 80 ピン A-D 付き標準
M3810×	: 64 ピン FLD ドライバ内蔵
M3811×	: 64 ピン FLD コントローラ内蔵
M3817×	: 80 ピン A-D 付き FLD コントローラ内蔵
M3818×	: 100 ピン A-D 付き FLD コントローラ内蔵
M3820×	: 80 ピン LCD コントローラ内蔵
M3822×	: 80 ピン A-D 付き LCD コントローラ内蔵
M3825×	: 100 ピン A-D 付き LCD コントローラ内蔵

設計効率向上に CAD 化は不可欠な要素であり、従来から積極的な導入を図ってきた。38000 シリーズの開発では高密度、高性能最適化設計を実現する CAD システムを使用して論理設計、レイアウト設計、検証等、すべての設計作業を EWS 上で行った。完全 EWS 化により、各 CAD プログラム間でのデータハンドリングが非常に容易となり、トータルでの設計効率を向上することができた。また、38000 シリーズ

表 2. M3806× グループの性能概要

基本機械語命令	71
命令実行時間	0.5 μs (最短命令、発振周波数 8 MHz 時)
メモリ容量	R O M 4 ~ 32K バイト R A M 192 ~ 1,024 バイト
プログラマブル入出力ポート	72 本
割り込み	16 要因 16 ベクタ
タイマ	8 ビット × 4
シリアル I/O1	8 ビット × 1 (UART 又はクロック同期形)
シリアル I/O2	8 ビット × 1 (クロック同期形)
A-D 変換器	8 ビット × 8 チャネル
D-A 変換器	8 ビット × 2 チャネル
クロック発生回路	内蔵 (セラミック共振子又は水晶発振子外付け)
電源電圧	4.0 ~ 5.5V
消費電力	32mW (標準)
メモリ拡張	可能
動作周囲温度	-20 ~ 85°C
パッケージ	80 ピン プラスチックモールド QFP 0.8mm ピッチ又は 0.65mm ピッチ

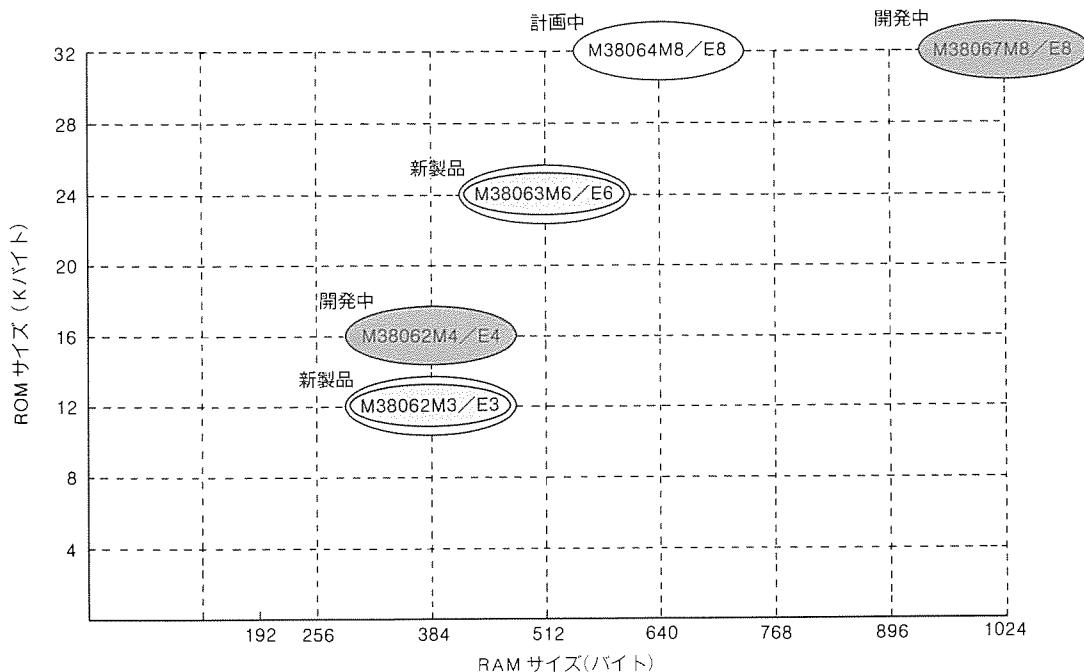


図 3. M3806× グループ ROM/RAM 展開

ズでは従来と比較してそん(遙)色のない集積度を実現するために、自動配線ツールを使用せず、高機能・高性能なレイアウトエディタ及び検証ツールを使用して対話方式でレイアウト設計を進め、さらに後述する標準化設計、機能ブロック別設計の導入による設計財産の流用率向上を行い、開発工期の大幅な短縮と設計品質の向上が実現できた。

#### 4.2 標準化設計

38000シリーズのように開発に人手による設計が多く介在する製品で多数の品種を並行して開発するに当たり、シリーズトータルでの開発効率を向上するには各品種間でできる限りデータの共用化を行い、設計財産の流用率を向上することによって新規設計量を減らす必要がある。開発に先立ち、仕様及び設計手法の標準化を徹底して行い、全品種標準ルールに従った開発を行うことにより、シリーズ全体としての新規設計量を抑えるようにした。具体的には次のような標準化を行った。

- 使用パッケージ
- パッケージ対応のピン配置
- ROM, RAM のメモリマップ
- 特殊機能レジスタのアドレス
- 標準 CPU ブロックの仕様
- 各周辺機能ブロックの仕様
- 論理図面入力方法 (信号名、共通マクロシンボル等)
- レイアウトデータ入力方法
- テスト手法
- レイアウト検証ルール

以上のような標準化を行うことによって設計者間のばらつきをなくし、品種間での設計データの流用を容易化した。

#### 4.3 標準機能ブロックライブラリの構築

38000シリーズでは以上の標準化に加えて機能ブロック単位での次のような分離を行うことにより、機能ブロック単位での設計と標準機能ブロックライブラリの構築を実現している。

- 機能ブロックの機能的分離
- 機能ブロックの論理的分離
- 機能ブロックのレイアウト的分離
- 機能ブロックのテスト的分離

シングルチップマイコンは、基本となる CPU コアに ROM・RAM のメモリ、タイマ、直列通信機能等の周辺機能を組み合わせた構成となっている。このようなマイコンの開発、特に既存品種をベースとした品種展開を行う場合、従来は仕様の類似した特定品種の設計データをベースとして、機能追加、削除等を行うことによって開発が行われてきた。これは各機能の分離が不十分であり、例えばある周辺機能の一部の論理回路を他の周辺機能と共用するなど、論理、レイアウト的にブロックとして独立に取り扱うことか困難であったためである。このような設計は、コスト優先の見地からレイアウトサイズ縮小のために従来行われてきたが、既存品種の設計データを他品種の開発に流用するには少なからぬ修正を必要とし、開発効率向上の阻害要因となっていた。

38000シリーズ開発に際しては開発効率向上の見地から、各機能を独立した機能ブロックとして扱えるよう、機能、論

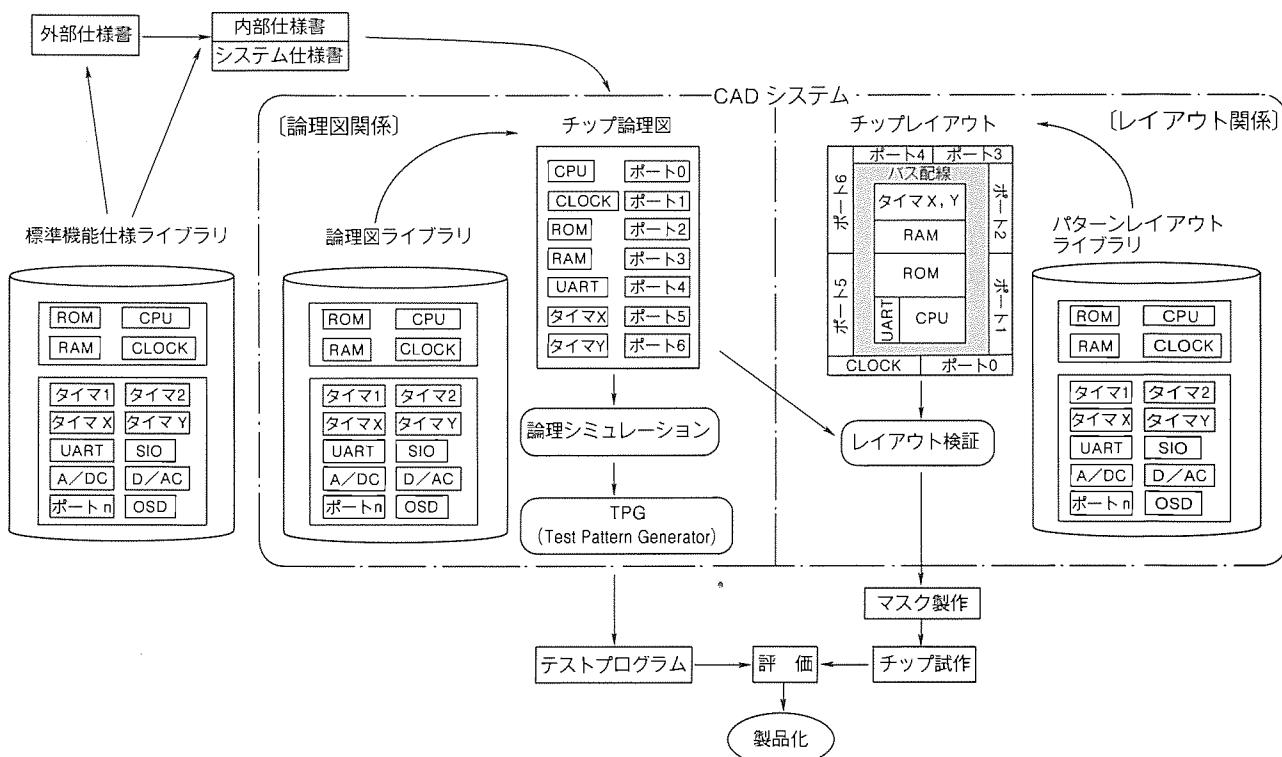


図4. 38000シリーズの標準化、CAD化の概要

理、レイアウト、テストの分離を行うとともに、各周辺機能ブロックの次のデータを保存した標準ライブラリの構築を目指して開発に挑んだ。

- 仕様書データ
- 論理図データ
- レイアウトデータ
- テストベクタ

これにより、既存機能ブロックだけで実現可能な新規品種の開発は、必要機能ブロックを組み合わせ、各ブロック間の配線を行うことで可能となった。既存機能ブロックだけでは実現不可能な新規品種開発の場合も、開発に必要なデータのかなりの部分を標準ライブラリから引用できるため、最小限の新規設計で新規品種の開発が可能である。

以上の概念を示したものが図4である。論理図、レイアウトデータは、標準ライブラリに保存されており、品種開発に使用できるものはすべてこのライブラリのデータを使用する。このような管理を行うことで設計データの一元管理が可能となり、開発効率の向上に加えて設計品質の均一化、過去に発生したトラブル再発の未然防止等、製品に対する品質の作り込みの面でも効果が期待できる。

さらに、設計データだけでなく、仕様書に関しても機能ブロックごとのライブラリ管理を行っており、仕様書の早期作成マニュアル、データブック等拡販資料の質的向上にも取り組んでいる。

これらのライブラリは、マイコン設計部門の開発効率向上のため使用されるものであり、セルライブラリをユーザーに公開し、ユーザーがLSIの開発を行う、いわゆるセルベースASICのライブラリとは異なるものである。開発はマイコン設計技術者が担当し、製品としての完成度を高めている。

レイアウトのサイズについてもマイコン設計技術者が最小のチップサイズとなるようフロアプランを検討し、レイアウト設計を行い、標準化、機能ブロックの分離に伴うレイアウトサイズの増大を抑えている。

## 5. マスク ROM 版と EPROM 版の同時開発技術

38000シリーズは、各品種のマスクROM版に対してEPROM版／ワンタイムPROM版を同時サポートしている。これは、マスクROM、PROM共、ROMプロックのレイアウトサイズを同一とし、マスクROM版、EPROM版／ワンタイムPROM版のチップレイアウトを共用することで可能としている。つまり、ROMブロックを変更するのみで、どちら

のレイアウトでも容易に設計できる構造となっている。通常、マスクROMとEPROMは、

- (1) メモリトランジスタの構造と特性が異なる。
- (2) EEPROMには書き込み用の専用回路が必要であり、EEPROM版のレイアウトサイズはマスクROM版と比較してかなり大きくなる。

という相違があり、従来EEPROM版とマスクROM版は全く別のものとして開発されてきた。しかし、38000シリーズでは、図5に示すように、

- (1) メモリセルサイズは同一とし、センスアンプの特性のみの変更により、両タイプのメモリ読出し特性を同等にする。
- (2) 書込み回路を簡略化し、EEPROM版のレイアウトサイズをマスクROM版に近づける。
- (3) ウェーハプロセス上は、メモリトランジスタ形成以外の工程をマスクROM版とEEPROM版で共通化する。

以上3点の改善により、ほぼ同一のCADデータから計算機処理の変更だけでマスクROM版とEEPROM版のマスクを作り分けることが可能となった。さらに、両者のほとんどの工程のマスクは全く同一であり、EEPROM版のマスクに数枚の工程のマスクを追加するだけでマスクROM版を作ることが可能である。レイアウトサイズだけに着目すれば、マスクROM版専用にレイアウトを作り直した方が更にサイズを縮小できるが、開発効率を考慮するとレイアウトを共通化した方がはるかにメリットがあると考えられる。また、この方式によるとマスクROM版とEEPROM版の機能、特性の同一性が自動的に保証されるというメリットがある。

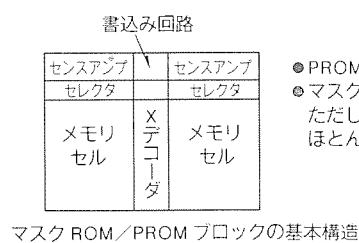
## 6. シリーズ展開に対応する 新エミュレータシステム



マスク ROM メモリセル構造

EPROM メモリセル構造

- マスクROM、PROMとも同一サイズのメモリトランジスタを使用
- EEPROM版はマスクROM版メモリセルにフローティングゲートを追加した構造
- 読み出し特性はセンスアンプ特性を変更することで同等とする。



- PROM書き込み回路を簡略化
- マスクROM版にも書き込み回路を内蔵させておく。
- ただし、回路簡略化によってマスクROM版のレイアウトサイズはほとんど影響を受けない。

図5. マスクROM、EEPROM同時開発技術のポイント

38000シリーズは開発当初から多くの機能別製品群の展開を計画しており、ユーザーに対するプログラム開発環境の提供が大きな課題であった。従来の740シリーズのエミュレータでは、マスクROM版のMCUそのものを使用した品種ごとの専用基板をエミュレータ本体に挿入してMCUの機能に依存する部分を吸収していた。エミュレータにマスクROM版のMCUを用いる手法は、以前のようにエミュレータ専用のMCUの開発に時間と開発パワーを多く費やした時代には効率的であったが、38000シリーズでは開発効率の大幅な向上が図られており、むしろ専用基板の開発がネックとなり、次のような欠点が問題となる。

(1) ユーザーに対するプログラム開発環境の提供がMCUの製品開発スケジュールとマッチしない。これはエミュレータの専用基板にマスクROM版のMCUを用いており、専用基板の開発がマスクROM版のサンプル完成後着手されるためである。

(2) 多種類のMCUに対して開発されたすべての専用基板を継続的に保守、機能向上を行うことが現実的に困難であり、したがって過去に開発されたMCUのプログラム開発環境は専用基板が開発された当時のレベルから上がらない。これは専用基板そのものがエミュレータのハードウェアとソフトウェアのかなりの部分を備えているためである。

38000シリーズでは以上のような問題点を解決するためエミュレータの構成を一新し、新エミュレータ“PC 4600システム”を開発した。

### 6.1 新エミュレータ PC 4600 システムの構成

38000シリーズでは、エミュレータMCUと呼ばれるPC 4600システムに接続するために開発された専用のMCUを導入した。PC 4600システムでは、MCUの機能に依存する部分はすべてこのエミュレータMCUに集約されており、38000シリーズの1グループに対して1種類開発される。図6にPC 4600システムの構成を示す。PC 4600システムは次の三つの部分で構成される。

- (1) パソコン+制御ソフトウェア(RTT 74)
- (2) エミュレータ本体(PC 4000 E+PC 4600)
- (3) エミュレータMCU

パソコンとエミュレータ本体とはRS-232Cケーブルで、エミュレータ本体とエミュレータMCUは専用コネクタで接続する。

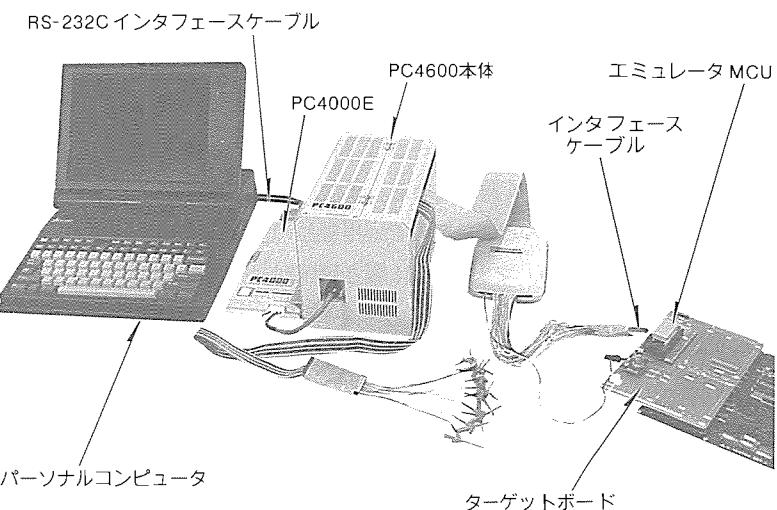


図6. PC4600システムの構成

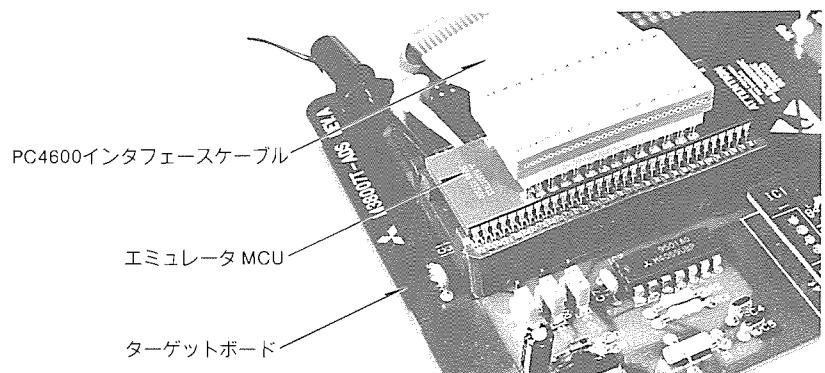


図7. エミュレータMCUの外観

### 6.2 新エミュレータ方式の特長

この方式には、次のような大きな特長がある。

- (1) エミュレータMCUを交換するだけで、高度なプログラム開発環境をすべての品種に提供することが可能である。
- (2) マスクROM版と電気的特性の等価性が非常に高い。

エミュレータMCUの外形を図7に示す。エミュレータMCUはパッケージ下面にマスクROM版と同じ配置・特性の端子を、上面にエミュレータ本体とのインターフェース端子を持つエミュレータ専用のセラミックパッケージにアセンブリされている。

エミュレータMCUでは内部CPUのアドレスバス、データバス及び制御信号を、チップから直接取り出し、エミュレータ本体に接続するようにした。また、エミュレーションに必要な回路の一部をエミュレータMCU側に取り込み、エミュレータ本体からの制御信号によってエミュレータMCUを制御するようにした。これらエミュレータ本体とエミュレータMCU間の信号線、及びエミュレータ本体からの制御に使用するレジスタの構成を標準化することで、エミュレータ本体と制御ソフトウェアをマイコンの品種によらず共通化することができた。

エミュレータ MCU の次の二つの構成上の特徴が新エミュレータの利点につながっている。

## (1) インタフェース端子の独立とオンチップ化

エミュレータ MCU のパッケージ下面端子は、マスク ROM 版の端子動作と全く同一になる。また、端子の形状がマスク ROM 版とほとんど同じなので応用製品の基板に直接実装できる。そのため、マスク ROM 版とほぼ同じ条件でのデバックが可能となった。

また、エミュレータ本体からパッケージ上面端子を通じて入出力する主要な信号は、時分割されていないため高速動作に有利である。

## (2) インタフェースの標準化

マイコンの品種に依存する部分がエミュレータ MCU に集約されており、エミュレータ本体はシリーズで共通に使用できる。そのため、エミュレータ開発の重点を多品種開発からエミュレータ本体の機能の向上におくことができ、高度なプログラム開発環境の整備が可能となった。さらに、プログラム開発中の保守が 1 機種に限定されることによって、サポートの充実と継続的な機能改善を行うことが可能となる。また、インターフェースの標準化により、ソフトウェア開発サポート装置の専業メーカーが当社マイコンに対応したエミュレータの開発に参画しやすくなり、一層プログラム開発環境の充実に有利である。既に、国内の有力専業メーカー数社から 38000 シリーズ対応のエミュレータが発売されている。

PC 4600 システムは、特に 38000 シリーズのように多くの ASSP 展開を行う MCU でエミュレータを共通化することによる次のような利点をフルに生かすことができる。

(1) シリーズの全品種に対して高度なプログラム開発環境を提供できる。

(2) 新製品の開発に際してタイムリーにプログラム開発環境

を提供できる。

(3) すべての品種で継続的にエミュレータの機能向上を行える。

近年のシングルチップマイコンは開発サイクルが短く、次々と高機能で多くの周辺回路を内蔵した新製品が市場に出るため、新製品の開発と同時に十分なプログラム開発環境が整備されることが重要になってきている。また、エミュレータも年々高機能化してきており、機能向上を怠ると数年で陳腐化してしまうようになってきている。新しいエミュレータ方式の導入により、これらの問題のほとんどを一挙に解決することができた。

## 6.3 開発フロー

図 8 上段は 38000 シリーズの新グループを開発する場合の基本的な開発手順を、メーカー側とユーザーサイドに分けて示したものである。

(1) まず新規マイコンの開発着手時に仕様書データライブリに登録されたデータからユーザー向け仕様書を作成し、配布する。この時点でユーザーはシステム検討、プログラムのコーディングに取りかかる。

(2) 次に設計サイドではエミュレータ MCU を開発する。サンプル提出後ユーザーはプログラムデバッグに取りかかることができる。

(3) 次に EPROM 版／ワンタイム PROM 版を開発する EPROM 版／ワンタイム PROM 版のサポートにより、ユーザーでは実機を用いた評価や試作、小ロットの初期量産が可能となる。

(4) 評価完了の時期にはマスク ROM 版の開発が完了し、本格量産を開始できる。

この手順はマスク ROM 版と EPROM 版の同時開発技術との組合せにより、ユーザーのシステム開発に非常にマッチし

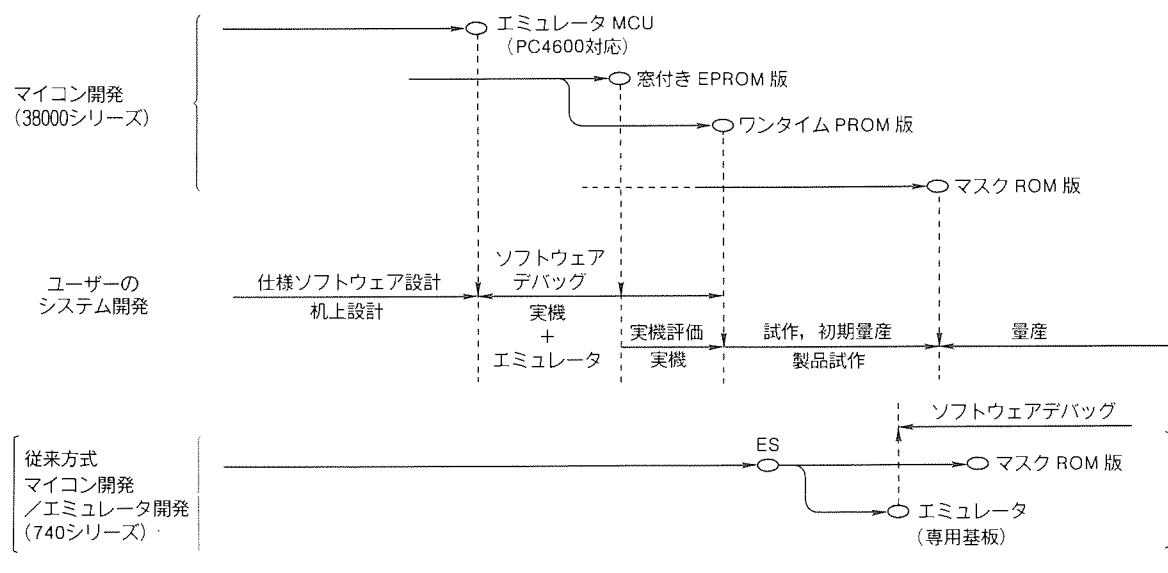


図 8. ユーザーのシステム開発と 8 ビットマイコンのチップ開発

たものになっている。図8下段の740シリーズではマスクROM版の開発が完了しているにもかかわらずユーザーにプログラム開発環境を提供できないとの比較して38000シリーズでは、エミュレータやEPROM版、ワンタイム PROM版がユーザーが必要とする時期にタイムリーに提供できることが分かる。

#### 6.4 PC 4600 システムの機能

PC 4600 システムは、以上のように標準化されたインターフェースを用いたエミュレータであり、すべての38000シリーズで使用できる。表3に示すように、当社の従来の8ビットMCU用エミュレータに比べ、ブレーク条件の増加やランタイム中のリアルタイムトレースメモリ参照などデバッグ機能を向上させたほか、カバレッジ測定によるプログラムの評

価機能も追加された。

### 7. 具体的開発事例

以上に説明した新技術を用いて開発される38000シリーズの新グループを開発した具体的な事例として、M 3817×グループの開発を例に説明する。

#### 7.1 設計データの流用率

図9(a)～(c)にそれぞれM 3817×グループのエミュレータMCU(M 38177 RFS), EPROM版(M 38173 E6), マスクROM版(M 38173 M6)のレイアウトを示す。この品種の開発着手時には次の五つの品種が既に開発完了しており、これらの品種の設計データを流用した。

●M 38002 M 4

表3. 従来エミュレータとPC4600システムの機能比較

項目		従来(当社製)	PC4600システム
ブ レ ー ク	ブレークポイント	アドレス: 1点 外部トリガ: 1点	アドレス & データ: 2点(アドレスのみ: 6点) 外部トリガ: 1点 アクセス プロテクトエラー/ライトプロテクトエラー
	条件、組合せ	アドレス、外部トリガによる AND/OR 条件	アドレス & データ及び外部トリガの組合せによる AND/OR シーケンシャル条件(組合せ条件: 30通り) アドレス & データ設定時、アクセス条件(リード/ライト)の設定が可能
	バスカウント	1～255回	1～65,535回(各ポイントごとに設定可能)
トレ ー ス	トレースメモリ	32ビット×256μサイクル	36ビット×8,192μサイクル
	トレースポイント		
	条件、組合せ	ブレークポイントに同期	ブレークポイントと同等 ブレークポイントとの同期/非同期が設定可能
	バスカウント		
RUN状態でのデバッグ		なし	可能(レジスタ参照、メモリ参照/変更、リアルタイムトレース結果の参照)
実時間測定		なし	可能(最小: 1μs/最大: 1h)
カバレッジ計測		なし	可能(COカバレッジ計測)

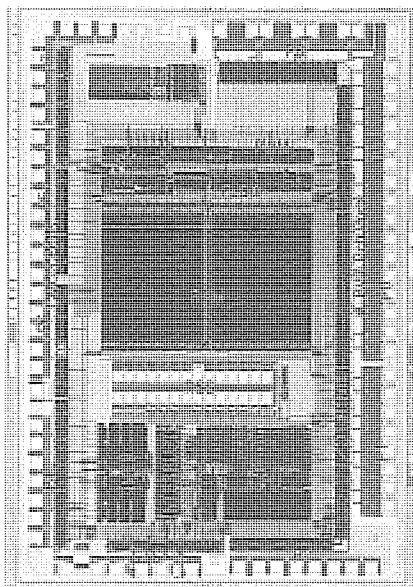


図9 (a) M 38177RFS

(エミュレータ MCU)

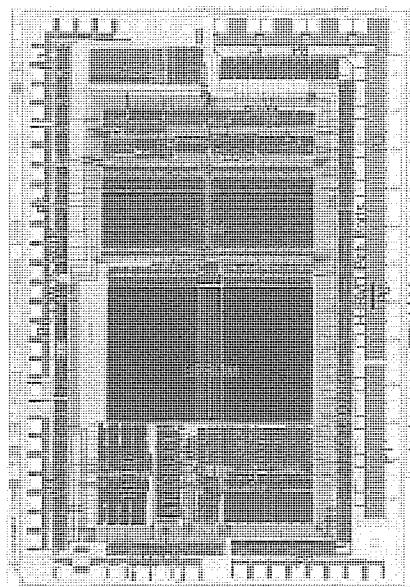


図9 (b) M 38173E6

(EPROM版、ワンタイム PROM版)

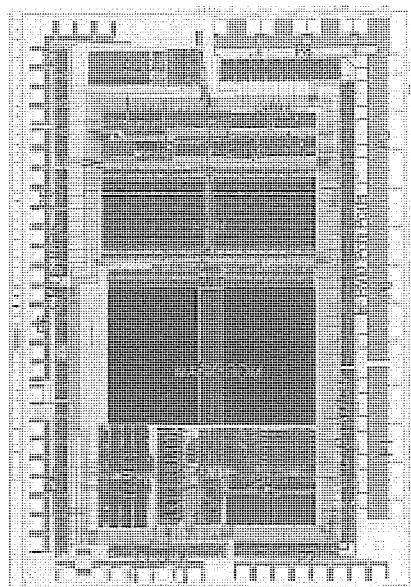


図9 (c) M 38173M6

(マスク ROM版)

表4. 機能ブロックの流用率

機能ブロック	M38173RFS	M38173E6	M38173M6
CPU+INTERRUPT (中央処理装置)	○／M38002M4	同左	同左
CLOCK(クロック発生)	○／M38102M5	同左	同左
RAM	○／M38007RSS	同左	○／M38173E6
ROM／EPROM	不使用	△／M38002M4	△／M38173E6
RSS (エミュレータ インタフェース)	○／M38007RSS	不使用	不使用
SIO(シリアルI/O)	○／M38112M4	同左	同左
ADC	○／M38063M6	同左	同左
PWM	○／M38102M5	同左	同左
FLDC (蛍光表示管制御)	△／M38112M4	同左	同左
TIMER(タイマ)	△／M38102M5	○／M38173RFS	同左
ポート	△／M38112M4	○／M38173RFS	同左
全体レイアウト	×	△／M38173RFS	○／M38173RFS

注 ○：100%流用、△：変更して使用、×：新規に設計

- M38007 RSS
- M38063 M 6
- M38102 M 5
- M38112 M 4

各機能ブロックのレイアウトデータの流用元品種と流用率を表4に示す。仕様が流用元品種と同一のブロックはレイアウトの修正は一切なく100%流用しており、基本的に全体レイアウトと密接に関係する入出力ポートや出力バッファ等以外のブロックでは仕様の相違以外に起因するレイアウトの変更はない。また、図9からエミュレータMCUのレイアウトがEPROM版のレイアウトに効率的に流用されていること、EPROM版のレイアウトとマスクROM版と全く同一であることが分かる。

## 7.2 開発効率

図10はM3817×グループの開発に費やした期間と開発人工の実績を740シリーズの同程度の規模の品種の場合と比較したものである。マスクROM版のES(Engineering Sample)完了までの期間累積人工とともに1/2以下に削減することができた。特にわずかの期間の間にエミュレータMCU、EPROM版、マスクROM版の3種類のMCUを開発することができたのは開発手法の大幅な改善の結果である。

## 8. まとめ

当社8ビットマイコンMELPS 740の最上位のシリーズ、38000シリーズを新たに開発した。38000シリーズは従来の740シリーズの後継に位置付けられ、幅広い機能別ラインアップと豊富なメモリ容量バリエーションを特長とする。シリーズの開発に当たっては開発効率の向上を徹底追求し、設計環境の完全なEWS化、標準化設計手法の導入、標準機能ブ

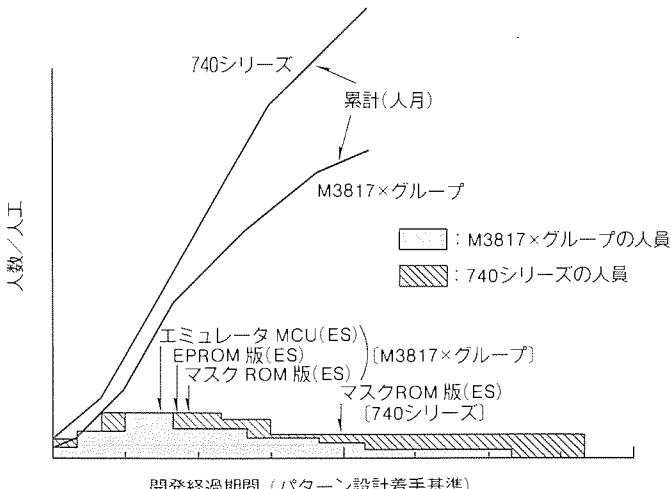


図10. 開発に要した人工比較

ロックライブリの構築を行った。さらに、マスクROM版とEPROM版の同時サポートを可能とする技術を開発した。また、新エミュレータ方式を導入したPC4600システムを開発し、シリーズの全品種に対応できる高度なプログラム開発環境を提供した。

## 9. むすび

本稿では述べなかったが、マイコン自体の機能・性能も当然のことながら大幅に向上しており、今後更に高速化、低電圧化等の性能向上を実施する予定である。また、本稿で紹介した技術をフルに生かし、シリーズラインアップの更なる充実にも取り組んでいる。プログラム開発環境についてはPC4600システムの機能向上を計画しており、さらに高級言語のサポート、リアルタイムモニタのサポート等についても検討している。

# ワンチップ マイクロコンピュータの応用技術とソフトウェア

山田国裕\* 藤沢行雄\*\*  
川原林 隆\* 浅野真弘\*\*  
松井秀夫\* 玉木浩子\*\*

## 1. まえがき

マイクロコンピュータ(以下“マイコン”という。)は、1971年に4ビットMPU(マイクロプロセッサ)から出発し、その後MPUは8ビット、16ビット、32ビット、64ビットとビット幅のバリエーションを増加させている。また、コンピュータとしての必要なハードウェアであるメモリ(ROM, RAM), 入出力ポート, タイマ, A/D等の付加機能を1チップに内蔵させたMCU(ワンチップマイクロコンピュータ)も、1974年から電卓によってスタートし、現在、4ビット、8ビット、16ビット、32ビットとMPUと同様の展開をしている。これらは身近な家庭用製品及びOA機器、FA機器から自動車を始め情報通信機器などあらゆる民生・産業機器に用いられ、必要不可欠な電子部品として成長してきた。マイコンが、電子機器にとって必要不可欠の存在になったのは、次の3点が主な理由である。

一つは、ますます複雑になり高性能化する電子機器の設計

開発において、マイコンはその果たす役割と機能をソフトウェアで作り込むことができ、また容易に変更と評価が可能である。

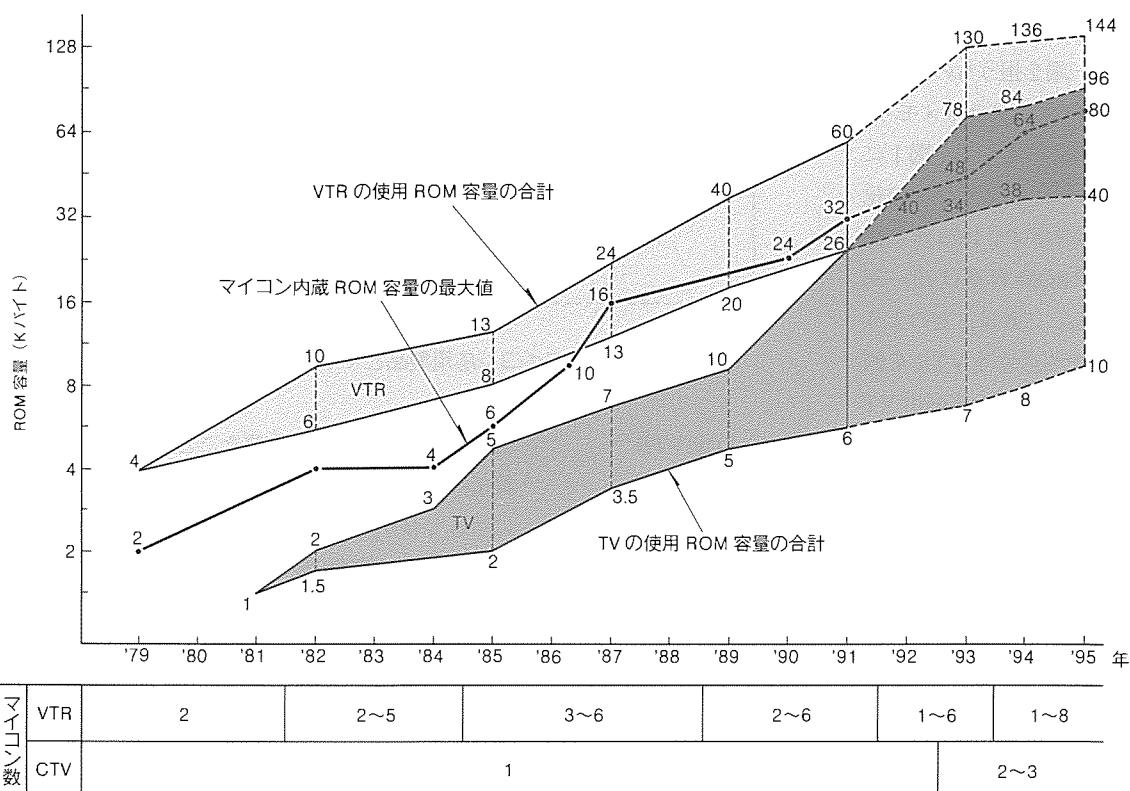
二つ目は、ソフトウェアで働きを設定できるため、比較的少ないマイコンの品種で広い用途に適合可能である。

三つ目は、半導体の技術向上により、マイコンの性能と機能がアップし、また周辺機能の取り込みが進み、応用製品の高付加価値化に貢献。

以上のように、一つのハードウェアをソフトウェアで種々の機器に応用させていくマイコンにとって、マイコンの応用技術とソフトウェアは、事業推進上最も重要な項目の一つである。

## 2. ワンチップマイコン応用技術

当社においても、マイコンの応用技術及び応用ソフトウェアを開発してきたが、その実績と取組みについて以下に述べる。



注 マイコン数にマイコン方式のリモコンの数は入れていない。  
リモコンは1985年から入りはじめ、現在では全種類に入っている。

図1. VTRとTVの総ROM容量とマイコン内蔵ROM容量の最大値の推移

年	本体															リモコン	IC 数	
	高速 FF/REW	JOG	シャトル	オート ラッキング	サーボ	シスコン	テープ 残量	頭出し	レベル メータ	チューナー	タイマー	キー入力	FLD	OSD 制御	OSD ハード	不揮発 メモリ	その他	マイコン
1976					□	メカ				ローテリ SW								1
1979					□	○				ロック SW								2 1
1980					□	○				ソリドチュー								2 2
1981					□	○				ソフトチュー							□	2 3
1982					□	○				VS				EAROM			□	2 4
1983					□	○	○	○	□	VS				□			□	5 4
1984					□				□	タイマー+VS	○	□	□				□	3 5
1985					□				○	FS	タイマー+OSD	□	□				□	5 3
1986					□				○	タイマー+FS	□	□	EEPROM			LCD	5 3	
1987					□					多文字表示	○	□	□			ディスプレイ	5 3	
1988		○	○	□							○	□	□			ディスプレイ	7 3	
1989		○										□	□			○ JOG	5 2	
1990	○											□	□			○ JOG	4 2	
1991												□	□			○	3 2	
1992											□	□				○	2 3	
												□	□			○	3 2	

注 ○：マイコン、□：専用 IC、空白：機能もたず

図2. マイコン応用製品の機能拡大とマイコン及びICの統合化の変遷(据置VTRの場合)

## 2.1 マイコンの機能拡大とその応用展開

近年、とみにマイコン応用製品の機能向上が目覚ましい。これは、マイコンの性能・機能拡大に負うところが大きい。その一端を担うものがマイコンの内蔵ROM(プログラムメモリ)の増大である。具体例として、図1にVTRとTVに使われるマイコンの総ROM容量の推移を示す。1979年に比べ1991年には総ROM容量は10~36倍に増大している。これは、どのような変遷を経てきたものかをVTRを例にとり図2に示す。現行の家庭用VTRとして、1979年に初めてマイコンが使われた。以後VTRの機能向上においてマイコンが重要な役割を果たすことになり、1991年までにマイコン又はLSIが延べ12~13個追加されたことになる。機能追加は、ほとんどの場合最初にマイコン又はLSIを一つ外付けに追加される形をとり、次の段階ではそれをメインのマイコンを機能拡大し、そのマイコンに統合化することを幾度も繰り返してきた(図3)。

応用製品の機能向上が先行し、その後マイコン機能がアップしていくように一見見えるが、それだけでなく、我々半導体メーカーも各応用製品のマイコンを中心とするシステムの進展を読み、マイコンの統合化の先行開発をしてきた。まだ続く半導体の技術向上を考えると、今後のマイコン開

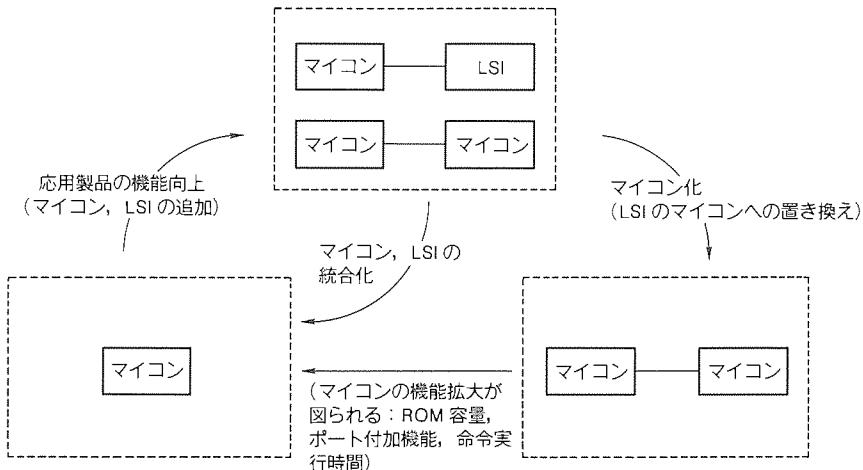


図3. マイコン応用製品とマイコンの機能拡大における展開

發でこのことは非常に重要なことである。このような経過を経て、マイコンも現在32KバイトのROMを内蔵するまでに至っており、今後とも内蔵ROM容量は増加する。

ここで、1979年時のマイコンと1991年のものの性能比較を表1に示す。単純な性能比較では約159倍の性能機能が向上したことになる。この性能機能向上は、CPU、命令実行時間、内蔵ROM容量、付加機能、ポート数など総合的なもので、これらのバランスが応用製品のニーズと一致することが、コストパフォーマンス上重要である。また、特に近年、大規模ランダムロジック(専用コントローラ)を内蔵するニーズが強い。

## 2.2 マイコン応用分野

表1. 1979年、1991年のマイコンの概略性能比(各年代における最大規模のマイコンを選んだ)

	概 略 性 能		1979/1991の単純比較値
	1979年時のマイコン	1991年時のマイコン	
CPU	4ビット	16ビット	40*
命令速度	10μs	250ns	40
内蔵ROM	2Kバイト	32Kバイト	16
付加機能	タイマ 8ビット×2本	タイマ 16ビット×5本 シリアルI/O 8ビット×2本 UART, FIFO PWM 14ビット×1本 A/D 8ビット×12ch D/A 8ビット×4ch 監視タイマ 12ビット×1本 リアルタイムパターン出力 24ビット 大規模ランダムロジック(サーボ専用コントローラ)	5 8 2 2 2 2 10 25
クロック	1システムクロック	2システムクロック, 時計用クロック	2
端子数	42ピン	128ピン	3
プロセス	PMOS	CMOS(低消費)	2
電源電圧	9~15V	5V	—
マイコン機種名	三菱M58846-XXXXSP	三菱M37770M4AXXXFP	Σ単純比較値 = 159

注 1979年のマイコンに比べ1991年のものは、159倍性能が高い結果を得た。この値は、各性能単純比較値の総和であり、また各性能単純比較値とは各項目の1979の値/1991の値から算出した値である。付加機能の項目ではゲート数の比から算出した。  
(\*: 単純比較値を10倍にして値を補正している。)

次に現在のマイコンの応用技術を処理対象別に表2に示す。これはマイコンの応用の主要をなす働きの対象を、画像・音声・エンジン・モータ・メカ・パワー・アナログデータ・数値に分け、代表応用製品に対比させるとともに、マイコンが直接処理可能かどうかを示したものである。もちろん、一つの応用製品で制御対象が複数に対応するものもある。

画像、音声は、現在リニアICによって処理されていることが多い、それをデジタル化して専用ICやGA、DSPによって質の向上を図ることが行われている。これらのデータ処理をマイコンが直接処理することは、単位時間の処理データ量が多く現在は一般的には不可能である。例えば、VTR、TVでの画質改善では180Mbpsのデータを、また音場においても1Mbpsのデータを処理する必要がある(これらの値は以後を含め、処理後出力されるデータの値とする)。しかし、画像、音声においても、レーザビームプリンタにおけるアウトラインフォント処理(1.6Mbps)や音声録再(80kbps)音程発生(4kbps)などは、マイコンの性能向上や内蔵された付加機能により、マイコン単独で十分処理できるものになってきた。

制御対象がエンジンやモータの場合、処理データ量は80~300kbpsで、マイコンに各々制御のための専用回路を内蔵することにより、直接マイコンで行えるようになった。また、メカ、パワー、アナログデータ、数値では、マイコンにはタイマ、A/D、表示回路などの一般的な付加機能のみが内蔵されているだけで専用回路を持たずとも、マイコンによって十分、目的とする働きを実現している。この領域では、これらの処理データは、表示を除けば最大720bpsと低い。

### 2.3 制御のかかわり方

次にマイコンの制御のかかわり方を図4に示す。マイコン制御のかかわり方として、まずマイコンを含めて制御にフィードバックループを構成するものと、しないものに大きく分けられる。現在の応用製品では、後者のフィードバックループを含まない応用には、体温計・血圧計・リモコン送信機・電卓などがあり、比較的システムが小さく、マイコンも4ビット、8ビットを中心に適応される領域のものである。

次にフィードバックのあるものは、更に次の二つに分かれる。一つは制御系に対し、マイコンが直接制御及びデータ処理を行うものと、LSIやGA、DSPが直接制御及びデータ処理を行い、これらをマイコンが制御するというものに分かれる。

前者は、データ処理をマイコンのハードとソフトで処理するもので、システム形態としてマイコンの応用上として一番高度なものと考えられる。これに属するものとしては、レーザプリンタのアウトラインフォント、1.6Mbpsのデータアウトプットが必要で、32ビットマイコンによって処理される。また、自動車のエンジン制御やVTRのモータソフトサーボ、エアコンのインバータ制御などは、80~128kbpsのデータ処理を必要とするもので、16ビットマイコンに比較的大きい専用回路(3~4Kゲート)を内蔵されることによって対応している。

音声録再・パルスモータ制御・メカコントロール・TV・VTRのデジタルチューニングは0.2~80kbpsのデータ処理が必要となるもので、8ビット、16ビットマイコンに比較的小さい専用回路(200~500ゲート)又は汎用のタイマ、

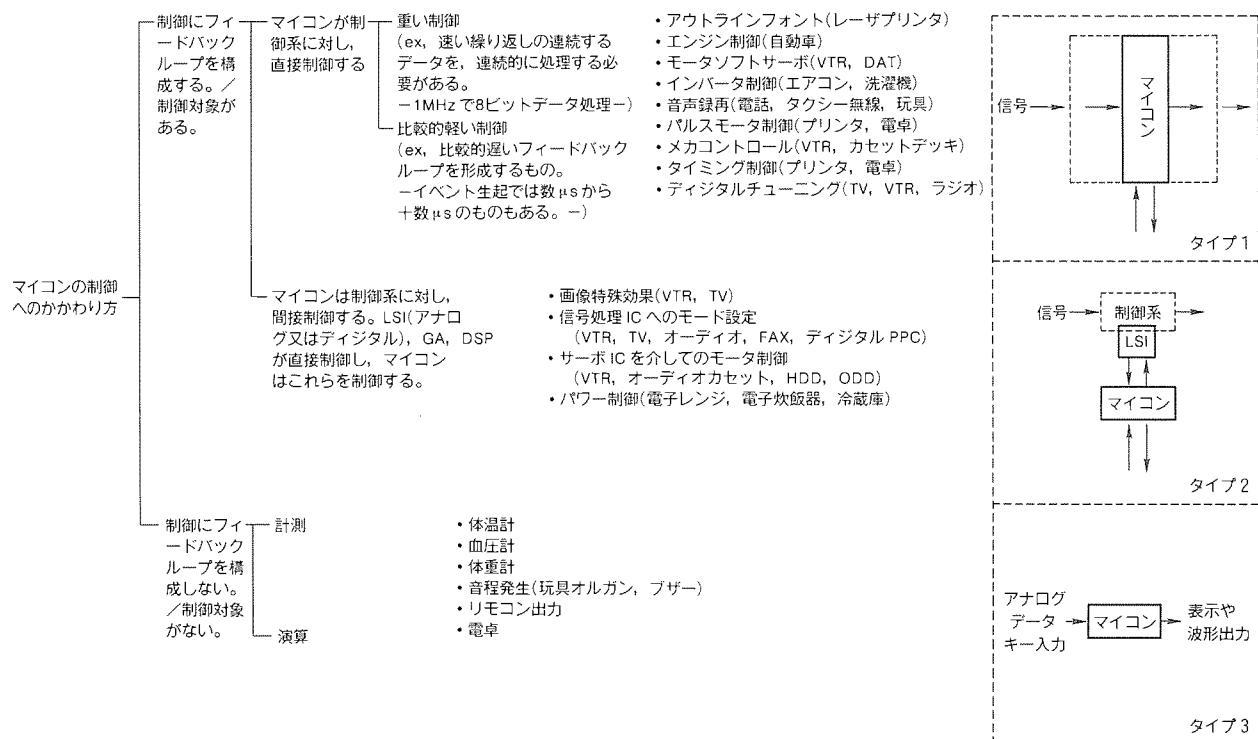


図4. 応用製品（マイコンの制御のかかわり方からの分類）

表2. 制御対応別マイコン応用分類

制御対象	処理項目	応用製品例	処理データ量(bps) (アウトプット対応)	マイコンでの直接 処理の可否	備考
画像	・画質改善, 画像特殊効果	VTR, TV	180M	否	専用LSI, GA, 又はDSP 8ビットMCU
	・画像信号の帯域圧縮・伸長	FAX	344k	可／否	GIVのローエンドモデルではマイコン可 7720シリーズ
	・画像の拡大, 縮小, 回転, 編集	デジタル PPC	200k	可／否	RISCチップでの適応が一部で始まった 7720シリーズ
	・アウトライント	レーザビームプリンタ	1.6M	可	32ビットMPU G <sub>MICRO</sub> /100
音声	・音場	オーディオ・アンプ, ピアノ	1.0M	否	専用LSI, GA, 又はDSP 8, 16ビットMCU
	・音声録再	電話, タクシー無線, 玩具	80k	可	M37450など8ビットMCU
	・音程発生	玩具オルガン, 電子オルゴール, ブザー	4k	可	4ビットMCU
エンジン	・MOSFETのタイミング制御	自動車のエンジン	120k	可	高機能リアルタイムタイマ内蔵, 7700シリーズ
モーター	・ピックアップ トッキング制御	HDD, ODD	80k	可／否	HDDは可, 高速積と演算, 7700シリーズ
	・サーボ制御(ソフトサーボ)	VTR, DAT	128k	可	ソフトサーボ専用回路内蔵, 7700シリーズ
	・インバータ制御	エアコン, 洗濯機	80k	可	インバータ専用回路内蔵, 7700シリーズ
メカ	・パルスモータ制御	ドットプリンタ	300k	可	専用回路内蔵, 8ビットMCU, 7700シリーズ
	・メカコントロール	オーディオディッキ, VTR, カメラ	0.2k	可	4ビットMCU, 8ビットMCU
パワー	・タイミング制御	プリンタ付き電卓	0.72k	可	
アナログデータ	・トライアック制御	電子レンジ, 電子炊飯器	0.0001	可	マグネットロン, ヒーターのパワーコントロール 4, 8ビットMCU
数値	・温度, 圧力	電子レンジ, エアコン, 体温計, 血圧計, 体重計	0.008	可	A/Dコンバータ内蔵, パルスカウンタ内蔵 4, 8ビットMCU
数値	・演算	電卓, 電子手帳	12k	可	電子部品は極端に少ない(MCU, キー, 表示) 4, 8, 16ビットMCU

A/D, D/A に内蔵されたもので対応している。

後者は、マイコンの制御系へのかかわりとしては、マイコンが直接データ処理するのではなく、LSI(デジタル, アナログ)などを介して制御するものである。前者の制御方式の採用が不可能なもので、VTR, TV における画像特殊効

果や画質改善は表2で示すように180Mbpsと、現在のマイコンの能力の3倍以上のデータ処理能力を要求するものである。また、アナログICによる信号処理などは、マイコンが直接データ処理を行うまでに、まずデジタル化のステップをふむ場合が多い。また、サーボIC制御は前者において

は、既にモータソフトサーボという形でマイコンで実現されている。

### 3. ソフトウェア開発技術の向上

前述のように、ワンチップマイコンの性能向上は従来周辺の外付け回路を必要とした機能をマイコン内蔵回路やプログラムで実現することを可能にし、ソフトウェアはシステム制御のノウハウが組み込まれ複雑化している。さらに、低価格化による応用分野の拡大はソフトウェア開発件数の増加をもたらし、メモリ容量増大と合わせてソフトウェア開発量はますます増大している。したがって、ソフトウェア開発の信頼性向上、効率向上が重要視され、様々なアプローチがなされている。

ワンチップマイコンのソフトウェア開発手法はパソコン、ミニコン等のより大型のコンピュータのものを手本とするのが基本的な考え方である。しかし、機器組込み型で一つのソフトウェアを搭載した応用製品が大量生産される、すなわち、ハードウェアのコスト削減が厳しく要求され、ソフトウェア

に冗長性が許されないというワンチップマイコンの特性から必ずしもより大型のコンピュータで用いられる手法がそのまま有効であるとは限らない。

ここでは主に民生分野で使用され、ハードウェアの制約もある程度厳しい8ビットマイコンのソフトウェア開発で用いられるワンチップマイコン独自の技術について述べる。

#### 3.1 構造化アセンブラー

従来ワンチップマイコンのプログラムはアセンブリ言語で記述していたが、数年前から記述能力に優れた高級言語の使用が検討されるようになった。特に、ビット演算、シフト演算等のサポートでハードウェアに直接アクセスが可能で、コード効率が良く、広く普及している等の理由からC言語が注目され使用されるようになった。しかし、RAMの使用量が多い、処理速度が遅い等の原因から全面的に採用されるには至っていない。

一方、機器組込みの制御用ソフトウェアではデータ量は比較的少なくデータ構造も単純であることから、プログラムの制御の流れのみ高級言語に似た記述が行えれば記述能力が上がるから構造化アセンブラーが考え出された。これを用いれば比較演算等を明確に記述でき、繰り返しや条件分岐をラベルを使わず記述できるので構造化プログラムが簡単に記述できるといった利点がある(表3参照)。さらに、メモリ効率が良く、処理速度も早いというアセンブラーの特長は失われていない。

表3. 構造化アセンブラー SRA74 の特長

構造化命令	選択命令	if ~ else ~ endif, switch ~ case ~ ends
	繰り返し命令	for ~ next, do ~ while
	ジャンプ命令	break, continue
	単項演算子	+, -, ~, ++, --
	2項演算子	+, -, *, /, %, &,  , ^, &&,   , <<, >>
	比較演算子	<, >, ==, !=, <=, >=

表4. 記述言語によるプログラムの相違

	アセンブリ言語	構造化アセンブラー	C言語
プログラム例 (TABコードを探すプログラム)	SKIP: LDA A, BUF, X CMP A, #TAB BNE RET INX BRA SKIP  RET: RTS	SKIP: FOR [BUF, X] == TAB X++ NEXT	char *skip(buf) char *buf; { while (*buf == TAB) buf++; return buf; }
特徴	<ul style="list-style-type: none"> <li>制御構造不明瞭</li> <li>リターン値がXに入っていることが不明確</li> <li>リターン値の有無も不明確</li> </ul>	<ul style="list-style-type: none"> <li>制御構造が明瞭</li> <li>使用レジスタを指定可</li> <li>ただし、Xレジスタ等のレジスタデータの保存についてはプログラマ側で考慮が必要</li> </ul>	<ul style="list-style-type: none"> <li>制御構造、データ受渡し、リターン値が明瞭</li> </ul>
抽象性	×	○	○
制御構造可読性	×	○	○
データ構造実現性	×	×	○
移植性	×	×	○
ROMサイズ <sup>*1</sup>	1	1.2~1.3	2~3
処理速度 <sup>*1</sup>	1	1.2~1.3	2~3

注 \*1 アセンブリ言語を1とした場合。

この例は平均的な一例で、条件によってこの値は異なる。

表4に三菱8ビットマイコンMELPS740ファミリー用の構造化アセンブラーSRA74によるプログラムと従来のアセンブラー、C言語によるプログラムの比較を示す。このプログラムは配列に格納された文字コード列からTABコードを探し出すものであるが、機器制御ではAD変換等で入力したデータをテーブル参照してデータ変換する場合等に類似のプログラムとして使用できる。このプログラムから明らかかなように従来のアセンブラーに比べ、構造化アセンブラーSRA74を用いれば制御構造が抽象化され記述能力が向上していることが分かる。

### 3.2 簡易リアルタイムモニタ

機器組込み型のワンチップマイコンのソフトウェアの多くはマンマシンインターフェースを含めたシステム全体の制御をメインプログラム、アクチュエータ駆動等の非同期に発生

表5. リアルタイムOSの比較

#### (a) FOCSモニタの概略仕様

項目	仕様
ターゲットマイクロプロセッサ	MELPS740, 7450, 3800シリーズ
タスク起動方式	ラウンドロビン方式
最大タスク数	最大10
タスクの起動順位	0から9(9から実行)
最大メールボックス数	最大10
メールボックスのサイズ	1バイト
システムコール数	15
モニタコアコードサイズ	約200バイト
モニタコアデータサイズ	最大44バイト、3バイト/タスク
モニタコア記述言語	構造化アセンブリ言語(SRA74)
割込み禁止時間	なし
タスク切替時間	最大周期起動時間

#### (b) MR7700, MR3200の概略仕様

項目	MR7700	MR3200
ターゲットマイクロプロセッサ	MELPS 7700シリーズ	M32ファミリー
最大タスク数	124	65,535
タスクの優先度数	1~63	1~255
最大イベントフラグ数	127	65,535
イベントフラグの幅	1ビット	32ビット
最大セマフォ数	127	65,535
セマフォの形式	計数型	計数型
最大メールボックス数	127	65,535
メールボックスのバッファサイズ	2 <sup>n</sup> 単位で最大16k個まで選択可能	最大4G個まで選択可能
システムコール数	51	51
OS核コードサイズ	約0.9~5.8kバイト(スタンダードモデル)	約2.1~11.6kバイト
OS核データサイズ	最小14バイト、1タスク当たり9バイト増加	最小282バイト、1タスク当たり113バイト増加
OS核記述言語	アセンブリ言語	アセンブリ言語
タスク切替所要時間(wup_tsk)	最高約30μs	最高約18μs
最大割込み禁止時間(wup_tsk)	約11~24μs	約9μs

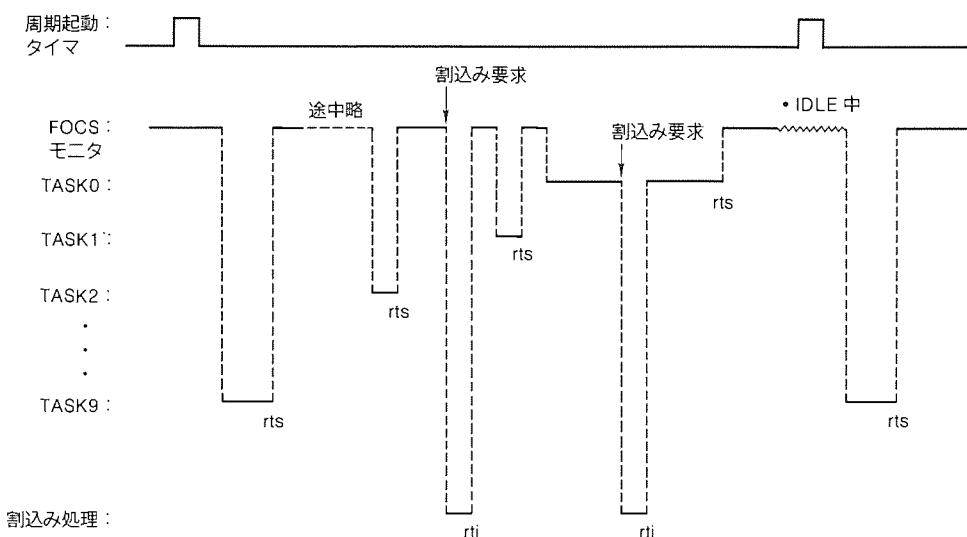


図5. FOCS モニタにおける各タスクの動作

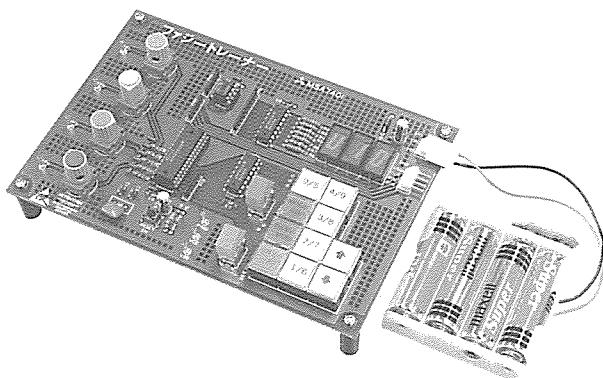


図6. ファジートレーナ

報も限定し、RAM の削減を図っている。

### 3.3 今後の動向

マイコンの高機能化・大型化に伴い、ソフトウェアの一部は本格的な高級言語やリアルタイムOSによるものへ移行していく。これに対し、ワンチップマイコン応用のほとんどを占めるコスト低減要求が厳しい製品用のソフトウェアの作成では上記に紹介したような手法を改良して適用していくと考えられる。

一方、マイコンの応用分野の広がりによるソフトウェア開発件数の増加と制御技術の複雑化は、より簡単にプログラム作成ができる開発手法を要求するため、従来とは異なるアプローチもなされている。例えば、ファジー等の制御機能を容易に実現するため、専用エディタ、エミュレータ等の開発ツールと組み合わされたコアプログラムの供給が開始されている。このようなツールの例として図6にMELPS740 ファミ

リのプログラム開発用のファジートレーナを示す。

これは、従来のソフトウェア開発手法がプログラムの構造や表現方法に着目しそのように (HOW TO) プログラムを組むかに重点がおかれていたのに対し、ソフトウェア開発のより上流工程に着目したものである。今後このようなツールは CASE との統合化が行われ、何を (WHAT TO) プログラムに組むかにより、システム開発パワーを向けることができるようになる。

## 4. む す び

以上のようにマイコンの処理性能の向上によりかなりの機能をソフトウェアの形で取り込んできた。それにより仕様の変更や機能の拡大に柔軟に対応できている。さらに、このようなソフトウェアを開発するためのワンチップマイコン独自の技術を開発してきた。

しかしながら、マイコン応用製品からのマイコンの処理性能の向上要求には限界がない。それに対応すべく、さらに各種の専用コントローラの内蔵とマイコン CPU 性能向上など積極的なマイコン開発と、それらのマイコンのソフトウェア技術の開発を行っていきたい。

## 参 考 文 献

- (1) 早川正春：ワンチップマイコンの基礎とその応用技術，CQ 出版
- (2) 早川正春：1チップマイコンの機能をフルに引き出すソフトウェア技術，インタフェース（1986-2）

# 超高集積 DRAM 用 キャパシタ誘電体膜形成技術

小林清輝\* 林出吉生\*\*  
中野 豊\* 奥平智仁\*  
福本晃二\*

## 1. まえがき

ダイナミック RAM (DRAM) のメモリセルは、4 K ビット以来1トランジスタ+1キャパシタ型が基本的に踏襲されている。その集積度は、1世代(約3年)に4倍の割合で進み、1980年代半ばにはメガビット時代を迎えた。その間、スケーリング則にのっとり、メモリセル面積は1世代ごとに0.4倍の縮小率を維持してきたが、メモリセルのキャパシタ容量は、ソフトエラーや読み出し信号のS/N等の制約から、ほとんどスケーリングされていない。

キャパシタ容量を維持するためには、三つの方法が考えられる。すなわち、①キャパシタの表面積の拡大、②キャパシタ誘電体膜の薄膜化、及び③比誘電率の大きいキャパシタ誘電体材料の適用である。当社の4M以後のDRAMではキャパシタの表面積の拡大のために、スタックト キャパシタセルを採用した。キャパシタ誘電体膜としては薄いSiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層膜を採用し、キャパシタ容量の確保を可能とした。

本稿では、4M・16M DRAM のキャパシタ誘電体膜として実用化されているSiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層膜の薄膜化技術について述べ、さらに64M DRAM以後のキャパシタ形成技術として注目されている、キャパシタ表面積の拡大のための粗面化電極形成技術及び比誘電率の大きなキャパシタ誘電体材料の開発についてその一端を紹介する。

## 2. SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層膜の電気特性と信頼性

### 2.1 SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層構造の電気伝導

スタックト キャパシタ構造の形成は、①蓄積電極となる多結晶シリコン電極をLPCVD (Low Pressure Chemical Vapor Deposition) 法によって堆積する、②その上面にLPCVD 法によってSi<sub>3</sub>N<sub>4</sub>膜を堆積、③Si<sub>3</sub>N<sub>4</sub>膜を熱酸化することによって上部酸化膜を形成、④セルプレートと呼ぶ多結晶シリコン電極をLPCVD 法によって形成、という手順で行われる。ここで実際には蓄積電極の多結晶シリコン上にSi<sub>3</sub>N<sub>4</sub>膜を堆積する際に、空気中の多結晶シリコン表面の酸化によって自然酸化膜が形成され、図1(b)に示すように、キャパシタ誘電体膜はSiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>-自然酸化膜の三層構造となる。SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層膜を薄膜化する上で、絶縁耐圧及び信頼性の確保が重要なテーマとなるが、ここではSiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層膜の絶縁耐圧と上記のSi<sub>3</sub>N<sub>4</sub>-多結晶シリコン界面の自然酸化膜の関係について示す。

さて、比較的厚いSi<sub>3</sub>N<sub>4</sub>膜の電気伝導機構は、室温以上ではPoole-Frenkel (P-F) 伝導成分が支配的であり、低温下ではトンネル伝導成分が支配的である<sup>(1)</sup>。P-F 伝導におけるキャリヤは電子と正孔の両者が関与しているが、正孔が支配的と考えられている<sup>(2)</sup>。一方、図2に示すように、極薄領域でのSi<sub>3</sub>N<sub>4</sub>膜は伝導電流の著しい増加が起こる。

ここで図中の横軸は印加電圧をSiO<sub>2</sub>換算膜厚( $t_{eq}$ )で割

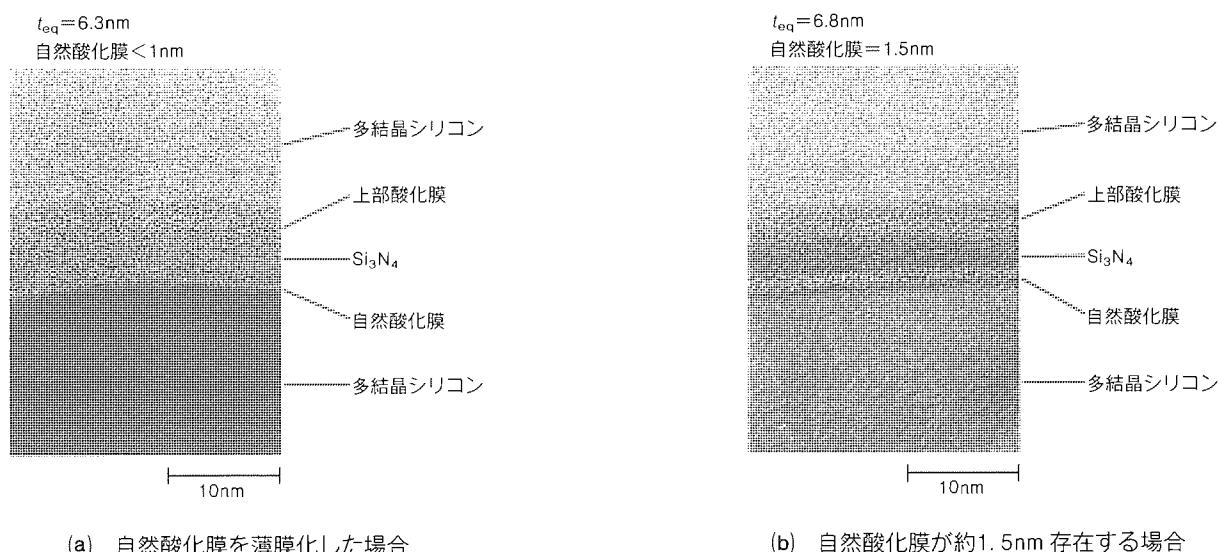


図1. SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>積層膜の断面 TEM 写真

って得られた  $\text{SiO}_2$  換算電界 ( $E_{\text{eq}}$ ) である。我々はこの伝導電流の増加には温度依存性のない電流成分、すなわちトンネル伝導成分(図中の▲)の増加が寄与していることを見出しました<sup>(3)</sup>。この伝導電流の増加によって、図3に示すように  $\text{Si}_3\text{N}_4$  膜が  $\text{SiO}_2$  換算膜厚にして約5 nm以下になると絶縁破壊電界の急激な低下が起こる。さらに、図から絶縁破壊電界の低下は  $\text{Si}_3\text{N}_4$ -多結晶シリコン界面の自然酸化膜の膜厚に依存し、自然酸化膜を薄膜化することによってトンネル伝導成分の増加が抑制され、極薄領域での絶縁破壊電界が向上していることが分かる。すなわち、 $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$  積層膜の薄膜化のためには、図1(a)に示すような自然酸化膜の薄膜化を

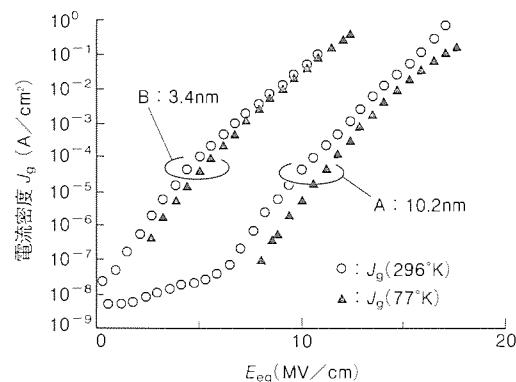


図2.  $\text{Si}_3\text{N}_4$ 膜の電流—電界特性

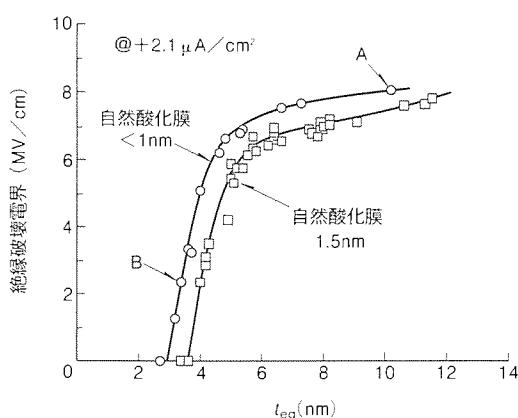


図3.  $\text{Si}_3\text{N}_4$ 膜の絶縁耐圧と  $\text{SiO}_2$ 換算膜厚の関係

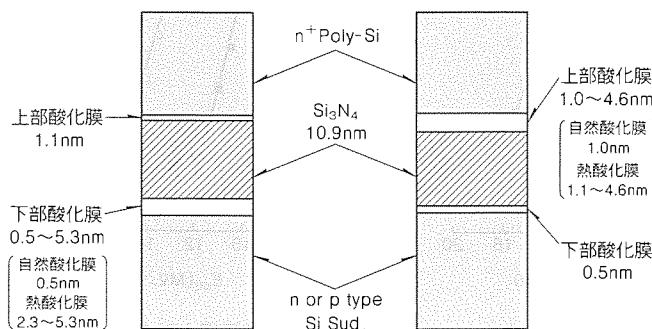


図4. 実験に用いた MIS キャパシタの断面模式図

行った誘電体膜構造を用いることが重要である。

## 2.2 $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$ 積層構造の絶縁破壊特性

誘電体膜に電界を印加し続けると TDDB (Time Dependent Dielectric Breakdown) と呼ばれる経時絶縁破壊が起こる。DRAM のフィールドでの故障率は、一般に  $10 \sim 100 \text{ F}^{-1}$  ( $10^{-8} \sim 10^{-7} / \text{device} \cdot \text{hour}$ ) 以下という厳しい水準が要求されており、このため誘電体膜構造を最適化して TDDB を抑制することがキャパシタ誘電体膜の信頼性上の重要な課題になっている。また、誘電体膜の絶縁破壊メカニズムを理解し、誘電体膜構造の最適化に結び付ける必要がある。

いま図4に示すように、 $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$ - $\text{SiO}_2$  積層膜を用いた MIS (Metal-Insulator-Silicon) キャパシタにおいて、下部酸化膜と上部酸化膜の膜厚をそれぞれ独立に変化させる。すると図5に示すように、下部電極を陽極(上部電極を陰極)にした場合には下部酸化膜が3 nmより厚い場合に伝導電流の著しい減少が起こり、また逆に、上部電極を陽極にした場合には上部酸化膜が3 nmより厚い場合に伝導電流の著しい減少が起こる。すなわち、3 nmより厚い酸化膜層が陽極に隣接する場合に、伝導電流の著しい減少が発生する。

前述のように  $\text{Si}_3\text{N}_4$  膜のキャリヤ輸送では正孔が支配的と考えられているが、この現象は、図6に示すように3 nmより厚い酸化膜層が陽極から  $\text{Si}_3\text{N}_4$  膜への正孔の注入に対して障壁となり、正孔注入を妨げると考えることで説明される<sup>(4)</sup>。

図5に示した MIS キャパシタを用いた TDDB 測定の結果を図7に示す。下部電極を陽極(上部電極を陰極)にした場合には下部酸化膜が3 nmより厚い場合に絶縁破壊寿命の著

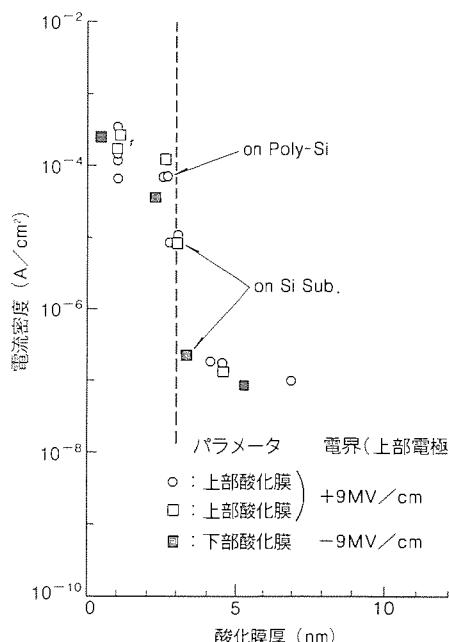


図5.  $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$ - $\text{SiO}_2$ 積層膜における伝導電流の下部酸化膜厚及び上部酸化膜厚依存性

しい改善が見られる。逆に図8に示すように、上部電極を陽極にした場合には上部酸化膜が3 nmより厚い場合に絶縁破壊寿命の著しい改善が見い出される。すなわち、陽極に隣接する酸化膜層が3 nmより厚い場合に絶縁破壊寿命の改善が起こる。以上の結果は、 $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ 積層膜の絶縁破壊が陽極から注入される正孔に起因していると考えることで説明される<sup>(4)(5)</sup>。図6に関して考察したように、陽極に隣接する酸化膜層が3 nmより厚い場合に正孔注入が妨げられ、このために3 nmより薄い酸化膜層を持つ $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ 積層膜に比較して、酸化膜層が3 nmより厚い場合には絶縁破壊を誘起する正孔の注入量が減少し、寿命が改善されるのである。

さて、前節で示したように $\text{SiO}_2\text{-Si}_3\text{N}_4$ 積層膜の薄膜化のためには下部酸化膜となる自然酸化膜の薄膜化が重要である。一方、図7では下部電極を陰極にした場合には下部酸化膜層が薄いほど絶縁破壊寿命が改善される。下部電極を陽極にした場合には下部酸化膜が3 nmより厚い場合に絶縁破壊寿命の改善が見られるが、3 nm以下の場合には絶縁破壊寿命は下部酸化膜厚にあまり依存していない。これらの結果から下部酸化膜が3 nmより薄い場合には、下部酸化膜を極力薄膜化することが信頼性を向上させる上で重要であると結論できる。すなわち、2.1節及び上記の結論を総合すると、図1(a)に示すような自然酸化膜を薄膜化した $\text{SiO}_2\text{-Si}_3\text{N}_4$ 積層構造を用いることが重要であると結論される。このような構造のもとで、 $\text{SiO}_2$ 換算膜厚として4~5 nmの実用化が予想される。

### 3. 64 M DRAM 以後の キャパシタ形成技術

#### 3.1 粗面化電極キャパシタ

さて、従来用いられてきた $\text{SiO}_2\text{-Si}_3\text{N}_4$ 積層膜は、物理的に薄膜化の限界が近づいており、蓄積電荷を確保するためにはキャパシタ面積の拡大は今後も重要と考えられる。このため近年当社は、セル構造を複雑化させることなくキャパシタ面積を拡大する方法として、シリコン膜の粗面化電極を提案した<sup>(6)</sup>。これは、ある特定の温度・圧力で堆積したシリコン膜の表面が“自発的に”粗面となる現象を利用したものである。以下では、粗面化電極を用いたキャパシタの形成方法と評価結果について述べる。

図9は、モノシリラン( $\text{SiH}_4$ )を原料とするLP CVD法によって、圧力が27 Pa(0.2 Torr)の場合に560・580・600 °Cの各温度で酸化膜上に堆積したシリコン膜の表面SEM写真である。

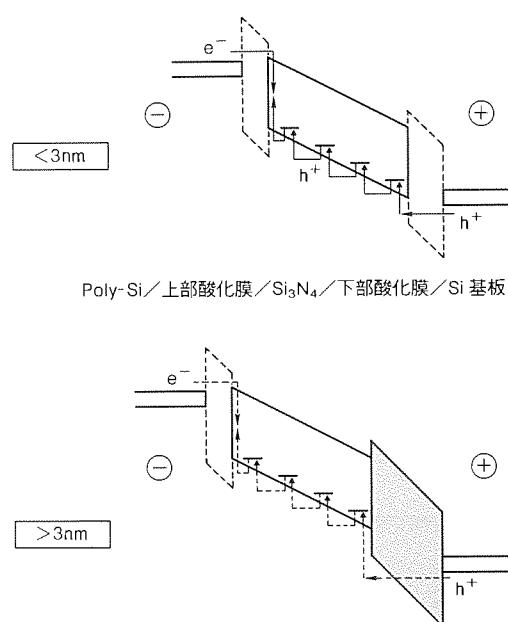


図6.  $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ 積層膜のバンドダイアグラム

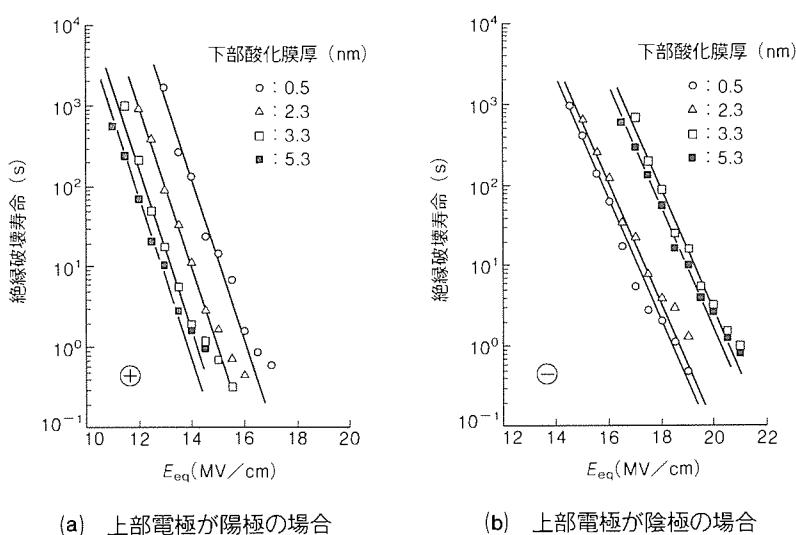


図7. TDDB特性の下部酸化膜厚依存性

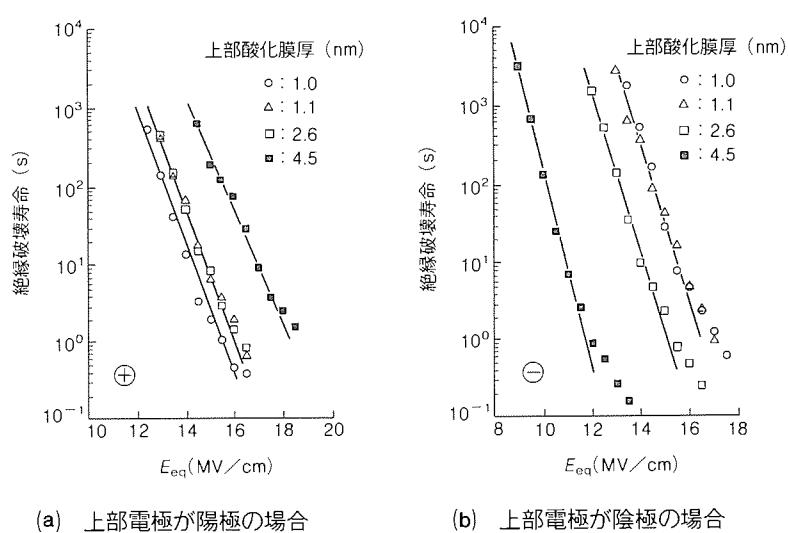


図8. TDDB特性の上部酸化膜厚依存性

600 °Cで堆積した膜は通常の多結晶シリコン膜と同様の表面形状を持ち、560 °Cで堆積した膜の表面には半球状の突起が点在しているが、580 °Cで堆積した膜の表面には100 nm程度の凹凸が密集している。図9で示したシリコン膜のX線回折像を図10に示す。600 °Cで堆積したシリコン膜には、(111), (220), (311) の各ピークが見られ、多結晶状態になっていることが分かる。また、560 °Cで堆積した膜についてはいずれのピークも見られずアモルファス又は微結晶状態になっている。580 °Cで堆積した膜については、(111), (311) のピークが見られるが(220) ピークは見られない。以上の結果から、シリコン膜がアモルファスと多結晶状態の遷移領域にある場合に膜表面に凹凸が現れると考えられる。

以上のようにして形成される凹凸表面を持つシリコン膜を蓄積電極に用いて試作された粗面化電極キャパシタにおける容量値と、シリコン膜の堆積温度との関係を図11に示す。ここで縦軸は620 °Cで堆積された蓄積電極を持つキャパシタの容量で規格化されている。図から分かるように、575 °Cで容量値が1.55倍に増加している。この575 °Cで形成された粗面化電極キャパシタのTDDDB測定の結果、実使用電界として3 MV/cmを仮定すると100年以上の寿命が得られている。粗面化電極を用いたキャパシタは、次世代のDRAMにおいてキャパシタ面積を拡大する一つの方法であり、実用可能な信頼性を持っている。

### 3.2 高誘電率誘電体薄膜の開発

蓄積電荷を確保するための最も期待される技術として、比

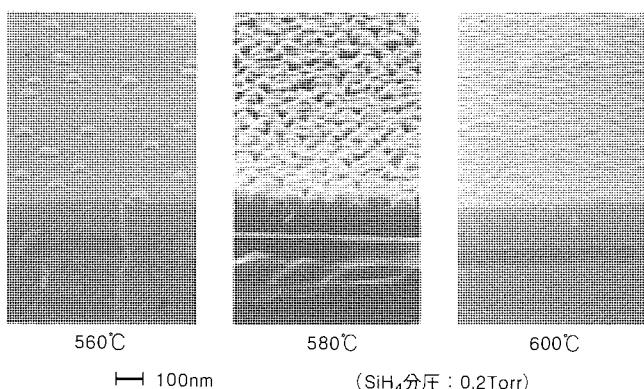


図9. シリコン膜の表面 SEM 写真

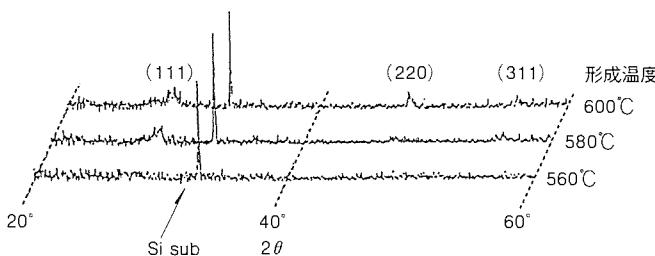


図10. シリコン膜のX線回折像

誘電率の大きな誘電体材料のキャパシタへの応用が研究されてきた。近年注目される材料として、 $Ta_2O_5$ 膜と強誘電体薄膜が挙げられる。 $Ta_2O_5$ 膜では比誘電率25程度が得られている。強誘電体であるPZT(Lead-Zirconate-Titanate)は、グル-ゲル法による300 nmの薄膜で強誘電相であるPerovskite構造が白金-PZT-白金構造のもとで得られ、比誘電率は2,300,  $SiO_2$ 換算膜厚で0.67 nmが得られている<sup>(7)</sup>。キャパシタの重要な特性であるリーク電流の低減のためにはLaを添加したPLZTを用いることが有効であり、図12に示すようにリーク電流を $10^{-7} A/cm^2$ のオーダーまで低減することが可能である<sup>(7)</sup>。図13に示すように、PLZT薄膜においても薄膜化により $SiO_2$ 換算膜厚で0.67 nmが得られている。現在、プロセス的には材料特性の最適化・電極形成技術の確立・CVD法等による形成技術の確立の段階にある。LSI製造に適すると考えられるMOCVD法によっても、 $SiO_2$ 換算膜厚で0.21 nmのPZT薄膜が実現されている<sup>(8)</sup>。強誘電体薄膜はキャパシタ誘電体膜として極めて有望であり、その形成技術は64 M・256 M DRAM以降のDRAMのキーテクノロジーとなると考えられる。

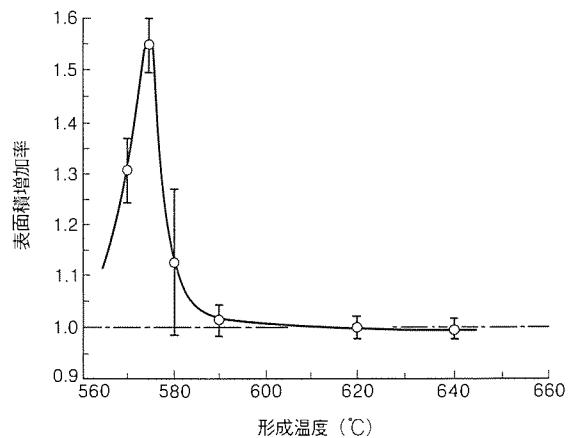


図11. 粗面化電極キャパシタにおける表面積増加率とシリコン膜の堆積温度の関係

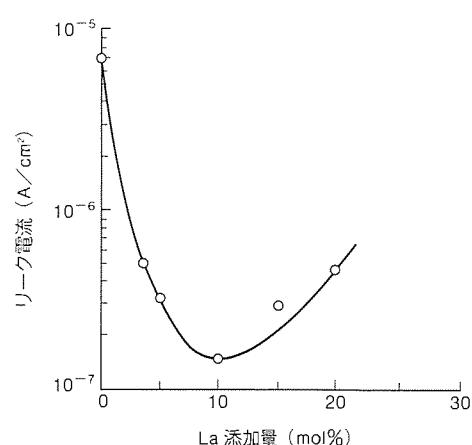
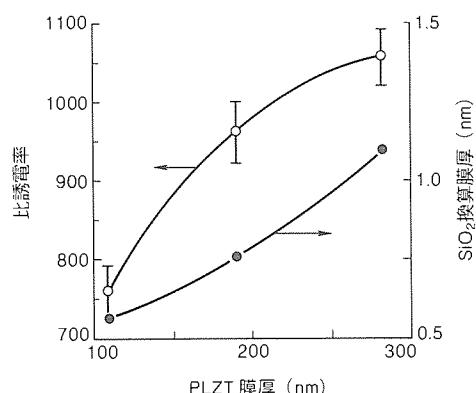


図12. PLZT薄膜におけるリーク電流とLa添加量の関係

図13. PLZT の比誘電率及び SiO<sub>2</sub>換算膜厚の物理膜厚依存性

#### 4. む す び

DRAM のキャパシタへの応用に関する誘電体薄膜形成技術、及びキャパシタ形成技術について述べた。現在実用化されている SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub> 積層膜の薄膜化に対しては、絶縁耐圧・信頼性を確保する上で自然酸化膜を薄膜化した SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub> 積層構造を用いることが重要であることを示し、誘電体膜の絶縁破壊メカニズムに関する研究の一端を紹介した。粗面化電極形成技術は、キャパシタ表面積の拡大に有効であり、次世代の DRAM に適用可能な信頼性を持っている。高誘電率誘電体膜、特に強誘電体薄膜は従来のキャパシタ誘電体材料に比べて 2 ~ 3 けた高い比誘電率を持ち、大きな可能性を持っていることを示した。現在、多大の努力によって実用化に向けた開発が進められている。以上の技術の蓄積と今後の研究が DRAM の更なる高集積化を可能とするものと期待している。

#### 参考文献

- (1) Sze, S. M. : Current Transport and Maximum Dielectric Strength of Silicon Nitride Films, J. Appl. Phys., **48**, 2951 (1967)
- (2) Liou, F. T., Chen, S. : Evidence of Hole Flow in Silicon Nitride for Positive Gate Voltage, IEEE Trans. on Electron Devices, **ED-31**, 1736 (1984)
- (3) 小林清輝、中野 豊、福本晃二、桧垣孝志：極薄 Oxide-Nitride-Oxide 積層膜における電気伝導、第38回応用物理関係連合講演会予稿集、28 p-V-5 (1991)
- (4) Kobayashi, K., Miyatake, H., Mitsubasi, J., Hirayama, M., Higaki, T., Abe, H. : Dielectric Breakdown and Current Conduction of Oxide/Nitride/Oxide Multi-Layer Structures, 1990 Symposium on VLSI Technology, Digest of Technical Papers, **10-2**, 119 (1990)
- (5) Kobayashi, K., Miyatake, H., Hirayama, M., Higaki, T., Abe, H. : Dielectric Breakdown and Current Conduction of Oxide/Nitride/Oxide Multi-Layer Structures, to be published.
- (6) Hayashide, Y., Miyatake, H., Mitsubasi, J., Hirayama, M., Higaki, T., Abe, H. : Fabrication of Storage Capacitance with a Rough Electrode, Jpn. J. Appl. Phys., **29**, L2345 (1990)
- (7) Okudaira, T., Hachisuka, A., Ogi, K., Arima, H., Matsukawa, T. : Electrical Properties of PLZT Thin Films Prepared by a Sol-Gel Method, Extended Abs. 1991 Conf. on SSDM, 204 (1991)
- (8) Kashihara, K., Itoh, H., Tsukamoto, K., Akasaka, Y. : Formation of PZT Films by MOCVD, Extended Abs. 1991 Conf. on SSDM, 192 (1991)

# 位相シフトリソグラフィ技術

吉岡信行\* 青山 哲\*\*  
宮崎順二\*\* Maaike Op de Beeck\*\*  
楠瀬治彦\*\*

## 1. まえがき

超LSIなどの半導体デバイスの製造には、ガラス基板上に遮光膜(Cr, MoSi)の回路パターンを描いたマスクの光学像をレンズで縮小投影し、ウェーハに回路パターンを転写する光リソグラフィが使われている。しかし、近年、先端デバイスのパターンがサブハーフミクロン領域に入り、光リソグラフィの解像限界に近づいてきた。例えば、16M DRAMの製作に使われているi線(水銀ランプの輝線、波長365nm)リソグラフィは、その解像限界が約0.5μmにあるため、0.35μm前後のデザインルールで作られる64M DRAMに適用することは難しい。このため、光リソグラフィの解像限界を延ばす多くの研究開発が盛んに行われてきたが、この中でも位相シフト露光法が、注目されている<sup>(1)~(4)</sup>。これは、位相を制御することで投影像の解像力が向上するという原理をリソグラフィに応用したもので、実際には、位相を変化させる透明膜(シフター)パターンを付加した構造を持つ位相シフトマスクを用いることによって解像限界を延ばす手法である。この位相シフト露光法をi線リソグラフィに適用すると、約0.3μmの解像も可能になる。これが実現すれば、64M

DRAMの製造にi線リソグラフィが適用でき、製造の安定性が得られるとともにリソグラフィのコスト上昇を抑えることができる。

この論文では、当社が進めている、位相シフトマスクの製作プロセスに関する開発<sup>(5)(6)</sup>と、マスクパターン構造と転写特性に関する開発<sup>(7)(8)</sup>について紹介する。

## 2. 位相シフトマスクの製作プロセス

### 2.1 マスク構造とシフター材料

位相シフトマスクは、ガラス基板の上に遮光パターンと位相を180°変化させる位相シフターパターンを組み合わせて形成したもので、種々のパターン構造が報告されている。図1は、位相シフトマスクの構造をまとめたものである。基本的には、遮光膜がパターンエッジになる構造(レベンソン型、補助パターンによるエッジ強調型)とシフターがパターンエッジになる構造(シフター型、シフターによるエッジ強調型)に分類できる。各種のデバイスに位相シフトマスクを適用するためには、これらのパターン構造を使い分ける必要があり、マスクプロセスとしてはこれらに対応したものが必要である。また、位相シフトマスクの断面構造から、遮光膜に

分類	遮光膜がパターンエッジになる構造		シフター膜がパターンエッジになる構造	
位相シフトマスク呼び名	レベンソン型	補助/パターンによるエッジ強調	シフター型(クロムレス)	シフターによるエッジ強調
パターン構造	遮光パターン ガラス面 			
解像力向上の効果	空間周波数変調	エッジ強調	シフターの遮光効果強調	エッジ強調
マスク断面構造	シフタ上置き 			
	シフタ下置き 			
参考文献	(1)	(2)	(3)	(4)

図1. 位相シフトマスクの構造

対してシフター膜の位置が上置き型のものと下置き型のものに分類することができる。

一方、シフター材料は、露光波長の光透過性が高く、ガラスとの界面での光反射を小さくするために屈折率がガラスに近く、加工性にも優れ、さらに耐光性、洗浄時の耐薬品性に優れていることが要求される。このような材料として、我々は透明なふつ素系ポリマーや $\text{SiO}_2$ 膜を検討している。以下に、これらの材料を用いた上置き型マスクプロセスの開発結果について述べる。

## 2.2 ふつ素系ポリマーをシフターに用いた

### 位相シフトマスクプロセス

シフター材として、マスクのペリケル材としても期待されているふつ素系ポリマー(旭硝子(株)製:CYTOP)に着目し、シフター材としての光学特性やエッティング特性を評価し、さらにシフター形成プロセスを検討した<sup>(5)</sup>。この材料は、レジストと同様に回転塗布法で膜形成ができる。

まず、光透過率の評価を行った。図2は200 μm厚の透過率の波長依存性である。i線に対する透過率は94%であり、位相シフトの開発初期段階で使われたPMMA(poly methyl methacrylate)に比べて高い透過率を持つことが分かった。屈折率はi線に対し、マスク基板の石英に近い値(1.35)で、屈折率の差による界面での反射は0.1%未満となる。また、エッティング特性は、ガラス基板や遮光膜に対して高い選択比が得られる $\text{O}_2$ プラズマで容易にエッティングできることが明らかになった。以上のことから、このふつ素系ポリマーがシフター材に適用できることが分かった。

次に、このポリマーを用いて、図3に示すプロセスフローで位相シフトマスクを試作した。まず、ガラス基板上に遮光パターンを形成した上に、シフターポリマー膜を形成し、さらにその上にMo膜、電子線レジスト膜を形成する。Mo膜は、電子線描画時の帯電防止膜として働く。次に、電子線描画、エッティングを行い、最後にMo膜を除去してシフターパターンが完成する。エッティングでは、Mo膜に対し $\text{CF}_4$ 系のガス、ふつ素系ポリマーに対し $\text{O}_2$ ガスのプラズマで行った。この試作の結果、良好な位相シフターマスクを得た。後で示す転写実験は、このプロセスで製作した位相シフトマスクを用いている。今後の課題として、ポリマーのシフターは機械的強度が弱く、マスク上の異物を除去する従来のスクラップ洗浄が適用できず、新しい洗浄法の開発が必要である。

## 2.3 $\text{SiO}_2$ 膜をシフターに用いた位相シフトマスク

ガラス基板と同じ材料である $\text{SiO}_2$ 膜は、シフター材として優れた光学特性を持ち、さらにポリマーに比べて機械的強度も強く、恒久的なシフター材として期待されている。しかし、ガラス基板上に直接形成すると、エッティング選択比がとれないためにパターン形成が難しく、このため、ガラス基板とシフターの間にエッティングストップ層が必要になる。この構造のマスクでは、エッティングストップによる光学特性の悪

化や欠陥の発生が問題となる。我々は、この問題を解決するために、最終的にエッティングストップがなくなる新しいプロセスを提案し、このプロセスによる位相シフトマスクの開発も進めている<sup>(6)</sup>。図4にこのプロセスフローを示す。

まず、ガラス基板上に遮光パターンとなるMoSiパターン

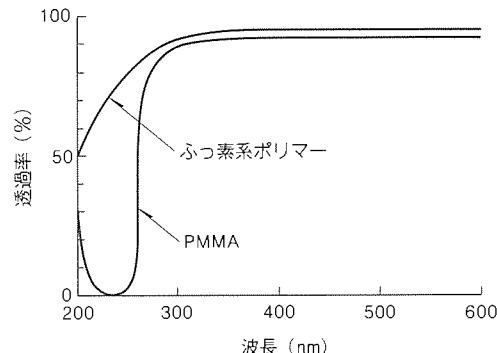


図2. ふつ素系ポリマーの光透過率の波長依存性

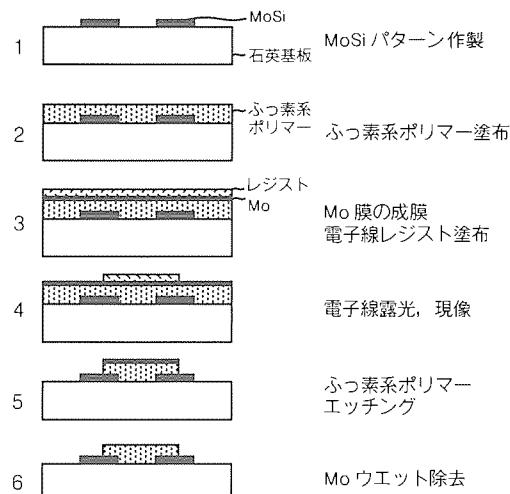


図3. ふつ素系ポリマーをシフターに用いた位相シフトマスクプロセス

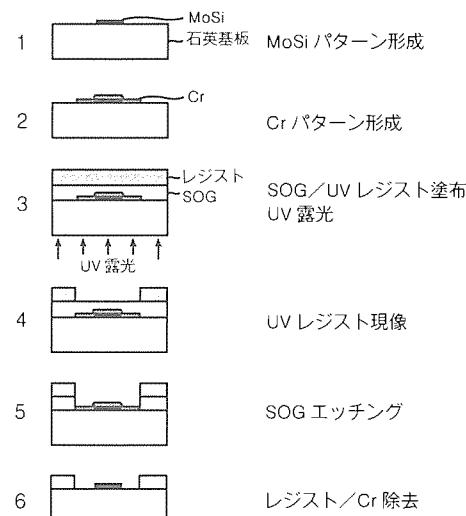


図4.  $\text{SiO}_2$ 膜をシフターに用いた位相シフトマスクプロセス

を形成する。次に、その上にCr膜を成膜し、シフターパターンが形成される部分のCr膜がなくなるように加工する。次に、その上にSiO<sub>2</sub>膜、ネガ型のフォトレジスト膜を形成し、裏面から紫外線を照射してレジストを露光する。このとき、Cr膜の開口部分のレジストが露光されパターンとして残る。次に、このレジストパターンをマスクにしてSiO<sub>2</sub>膜をエッチングする。この際、Cr膜はエッティングストップとして働く。最後に、Cr膜とレジストを除去して位相シフトマスクが完成する。以上のように、このプロセスは、Cr膜、MoSi膜及びSiO<sub>2</sub>膜のエッティングガスの違いによる選択性を利用したものである。試作ではSiO<sub>2</sub>膜としてSOG(Spin on Glass)を使用した。図5はこのプロセスで形成した64M DRAMの素子分離(LOCOS)工程の位相シフトマスクのパターン(シフターによるエッジ強調型)である。

### 3. 位相シフトマスクによるパターン転写

#### 3.1 ポジレジストに対応した位相シフト露光法

現在、超LSIの製造に用いられているg線(波長436nm)やi線のリソグラフィではノボラック系のポジレジストが主に使われている。このポジ型レジストを解像力で最も効果の高いレベンソン型の位相シフトリソグラフィに適用すると、図6に示すようなラインパターンの端でレジストにブリッジが生じるという問題点が起こる。これは、ポジレジストとレベンソン型位相シフトマスクを組み合わせてラインパターンを形成しようとした場合、図7(a)に示すようなマスクパターンの端で投影像の光強度がゼロになるシフターの境界ができるてしまうからである。

この問題を解決する方法として、我々は図7(b)に示すようなマスクのシフターパターンの端に位相差が90°のシフターを設ける構造を提案した<sup>(7)</sup>。この90°シフターがあると位相は段階的に変化するので、光強度がゼロとなる点がなくなる。この効果を確認するために、90°シフターをもつマスクを試作し、i線の露光装置(レンズの開口数:NA=0.45)による転写実験を行った。シフ

ターパターンは、2章で述べたふっ素系ポリマーと電子線レジストを組み合わせて形成した。図8が転写結果である。従来のマスク構造では0.4μmまでしか解像していないが、位相シフトマスクでは0.3μmまで解像している。一方、通常のレベンソン型位相シフトマスクではパターンの端でつながっているが、90°のシフターを持つマスクではパターンが分離している。このように、マスクに90°シフ

ターを設けることで、レベンソン型位相シフトをポジレジストプロセスに適用することが可能になる。

さらに、この方法を拡張して90°シフターを利用すると、パターンレイアウトの自由度が高くなることが分かった。図9は64M DRAMの素子分離(LOCOS)パターンにレベンソン型を適用した例である。図9(a)は従来マスクの場合で、最小の抜き部分が0.3μmであるためi線リソグラフィでは解像しない。このパターンに、図9(b)に示すような90°の

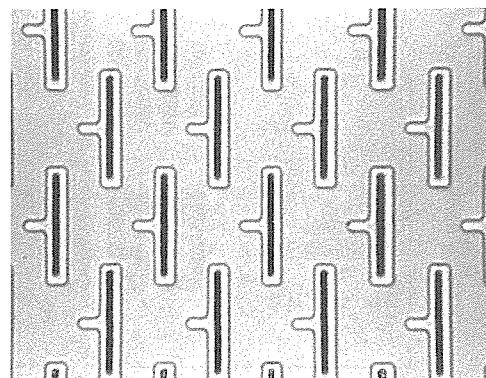


図5. SiO<sub>2</sub>シフターの位相シフトマスクパターン  
(64M DRAMの素子分離パターン、  
シフターによるエッジ強調型)

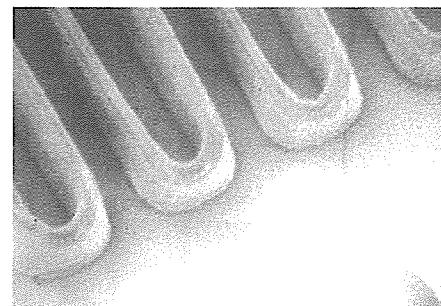


図6. ポジレジストを用いたi線リソグラフィにレベンソン型位相シフト露光法を適用したときに生じるレジストのブリッジパターン

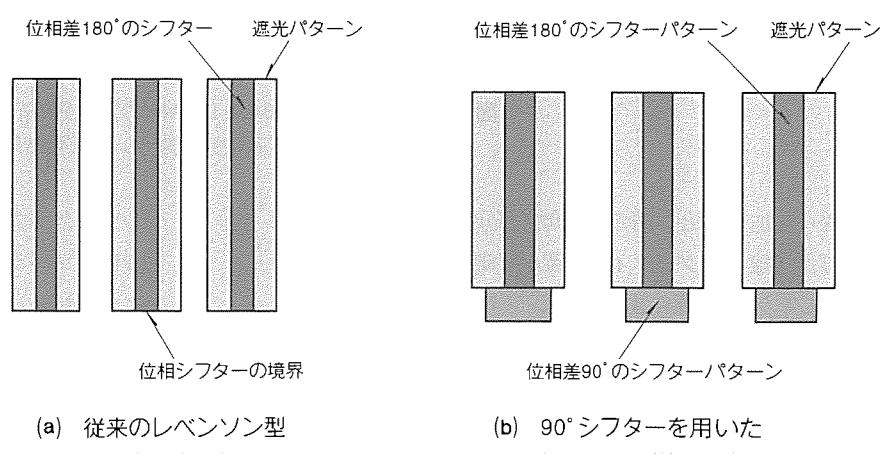


図7. ポジレジスト対応のレベンソン型位相シフトマスクパターン(ガラス基板)

マスクパターン構造	$0.5 \mu\text{m L/S}$	$0.4 \mu\text{m L/S}$	$0.3 \mu\text{m L/S}$	
通常の フォトマスク	遮光パターン			
従来の 位相シフトマスク (レベンソン型)	位相差180° シフター パターン			
90°シフターを 用いた位相シフト マスク (レベンソン型)	位相差90°の シフターパターン			

図8. ポジレジストを用いたレベンソン型位相シフトマスクの転写結果

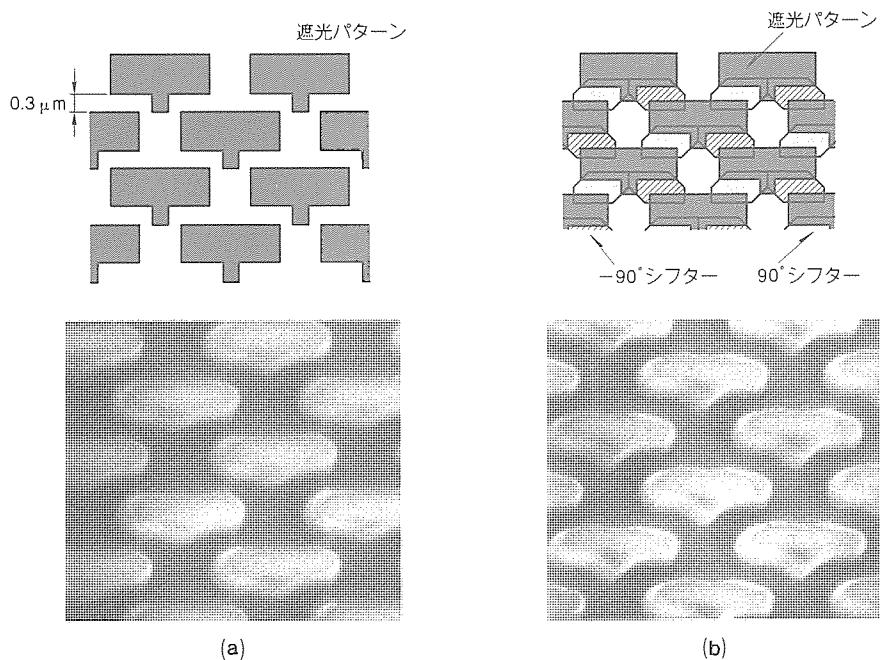


図9. 90°シフターを64M DRAMの素子分離パターンに適用した場合のマスクパターンと転写結果

シフターを加えると、図の縦方向で部分的にレベンソン構造になり、 $i$ 線リソグラフィで解像が可能になる。

### 3.2 エキシマ光源による位相シフトリソグラフィ

KrFエキシマレーザ(波長248nm)を光源に用いるリソグラフィは、次世代のフォトリソグラフィとして期待されている。これに位相シフト露光法が組み合わされると256M DRAMの製造に必要な $0.2 \mu\text{m}$ 程度のパターンの解像が可能になる。このため、我々はKrFエキシマ光源による位相シフ

トリソグラフィについても開発を進めている<sup>(8)</sup>。図10はKrFリソグラフィにレベンソンを適用して転写したパターン( $0.24 \mu\text{m}$ )である。

### 4. むすび

位相シフト露光法は従来のフォトリソグラフィの解像限界を延ばす技術として注目されている。特に、 $i$ 線リソグラフィに位相シフト法を組み合わせた技術は、64M DRAMの製

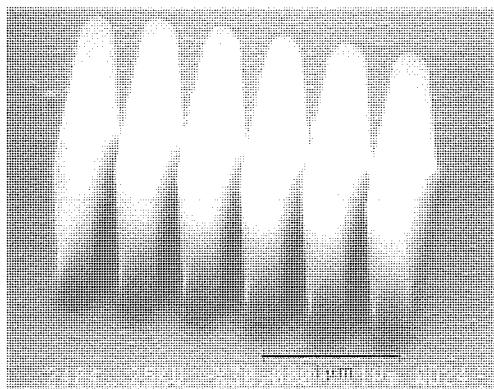


図10. KrFエキシマレーザリソグラフィにレベンソン型位相シフト露光法を適用したときの転写結果(0.24 μm ライン&スペースパターン)

造技術として精力的に開発が進められている。この論文では、当社における位相シフトリソグラフィの開発について紹介した。現在、位相シフトリソグラフィはここで紹介したように様々なタイプについて研究開発が進められている。しかし、64 M DRAM の開発が実用段階に入る 2, 3 年後にはパターン構造、マスク構造、マスク材料などが一つの方向に絞られていると考えられる。また、位相シフトリソグラフィの開発にはプロセス技術だけでなく、パターンレイアウトを行うための設計技術や CAD 技術も重要な役割を果たすようになる。このため、実用化に向け総合的な取組が必要である。

シフター材として用いたふっ素系ポリマー (CYTOP) の提供と御助言をいただいた旭硝子(株)中央研究所中村秀氏に感謝する。

### 参考文献

- (1) Levenson, M. D., Viswanathan, N. S., Simpson, R. A. : Improving resolution in photolithography with a phase-shifting mask, IEEE Trans. on Electron Devices, ED-29, 1828~1836 (1982)
- (2) Terasawa, T., Hasegawa, N., Kurosaki, T., Tanaka, T. : 0.3-micron optical lithography using a phase-shifting mask, Proc. of SPIE, 1088, Optical/Laser Microlithography II, 25~32 (1989)
- (3) Watanabe, H., Todokoro, Y., Inoue, M. : Transparent phase shifting mask, Proc. of IEDM, 821 ~ 824 (1990)
- (4) Nitayama, A., Sato, T., Hashimoto, K., Shigematsu, F., Nakase, M. : New phase -shifting mask with self-aligned phase-shifters for a quarter micron photolithography, Proc. of IEDM, 57~60 (1989)
- (5) 青山 哲, 吉岡信行, 松田修一, 渡壁弥一郎: フッ素系ポリマーをシフタに用いた位相シフトマスク, 第38回応用物理学関係連合講演会予稿集, 539 (1990)
- (6) 楠瀬治彦, 青山 哲, 松田修一, 吉岡信行, 渡壁弥一郎: パターニングされた金属エッチング停止層を用いた位相シフトパターン形成, 第52回応用物理学会学術講演会予稿集, 604 (1991)
- (7) Miyazaki, J., Kamon, K., Yoshioka, N., Matuda, S., Fujinaga, M., Watakabe, Y., Nagata, H. : A new phase-shifting mask structure for positive resist process, Proc. of SPIE, 1464, Integrated circuit metrology, inspection and process control V, 327~335 (1991)
- (8) Beeck, M.O., Tokui, A., Fujinaga, M., Yoshioka, N., Kamon, K., Hanawa, T., Tsukamoto, K. : Improvement of focus and exposure latitude by the use of phase -shifting mask for D. U. V. application, Proc. of SPIE, 1463, Optical/Laser Microlithography IV, 180~196 (1991)

# 先端デバイス開発における 信頼性評価解析技術

三橋順一\*  
小守純子\*  
石井達也\*\*

## 1. まえがき

半導体デバイスは微細加工技術の発展とともに、高集積化・大容量化が進められてきている。その先駆的役割を果たしているダイナミック(D)RAMをみてみると、3年で4倍というペースが保たれたまま集積度が高まり、現在では64M DRAMの開発が行われている。このように素子の微細化は大容量化・高性能化を実現するが、反面、素子内部には高電界化・高電流密度化をもたらす。このことは、素子の信頼性に種々の重大な影響を与える結果となる。

しかしながら、DRAMのビット当たりの相対故障率は、3年で1/4以下のペースで減少し続けている。すなわち、デバイスとしての信頼性は常に維持され、更に向かっているわけである。今後もこのペースを守って信頼性を高めていくには、デバイス開発段階から信頼性の作り込みいわゆるBuilding-in Reliabilityがますます重要となってくる。設計的にもプロセス的にもアセンブリ的にも信頼性が作り込まれたデバイスを厳重に管理されたラインで量産することによって高信頼度が確保されるわけである。品質工学等に基づいた十分な検討が開発段階から必要とされる。さらに、微細化が進みデバイス構造が複雑化するにつれて、故障要因も増大しつつその故障箇所の同定も困難となってくる。これらに対処していくためには、高感度な信頼性評価技術と高度な故障解析技術が必ず(須)となってくる。

本稿では、まず製品開発における信頼性の評価段階を示し、そのなかで特に開発段階でBuilding-in Reliability達成に重要な個別要素技術の信頼性評価法について述べる。そして、最近の故障解析技術の幾つかを紹介する。

## 2. デバイス開発における信頼性評価

デバイスの高品質化のために、新たなLSIデバイスの開発・製品化の過程に対応した信頼性評価が必要である。現在、表1に示すような評価段階に従って評価が実施されている。まず、開発段階での信頼性評価としては、TEG評価が重要である。TEG(Test Element Group)とは、LSIデバイスの構成要素をそれぞれ分離独立させたパターンの集合体で、各要素の信頼性評価が容易に行えるように設計した専用デバイスであり、テスト構造(Test Structure)とも呼ばれる。このTEGチップを用いた評価では、実デバイスでは不可能な高ストレス印加又は特性値変動の高精度検出が可能であり、

破壊試験も容易に行える。また、単独の故障現象のみを任意に発生させて、その劣化特性を定量的に把握できるため、故障メカニズムの究明にも有効である。

次段階の評価である試作品の評価では、個々のTEG評価では現れなかった複合的故障又はソフトエラーのようにデバイスでしか評価できない不良を抽出する。この段階の評価としては、モニタバーンインが重要である。モニタバーンインは、LSIデバイスを高温雰囲気中で高電圧を印加した状態で動作させながら、同時にその機能をモニタする。したがって、バーンイン試験中も常にデバイスの動作状態が確認でき、回復性不良の検出が可能となる。この回復性不良の代表としてソフトエラーがあげられるが、そのほかにもコンタクトやピアホールなどデバイスが微細化・複雑化されるにつれてこの回復性不良発生の確率が高まる。この不良を十分に解析し、常にモニタしておくことが大切である。

量産品評価では、短時間で効率の高い最適スクリーニング条件を設定し、そのスクリーニング効果を確認するとともに品質の安定性を常時管理する。

## 3. Building-in Reliabilityの重要性

Building-in Reliabilityとは、製品の設計及び試作段階で信頼性を開発(Reliability Development)し、それを製品に作り込むことによってその信頼性を向上することであるといえる。

表1. デバイス開発における信頼性評価段階

評価段階	評価目的	評価内容
TEG評価	構造設計評価 製造プロセス評価 材料評価 信頼性基準作成	信頼性評価 パラメータドリフト評価 寿命評価 電気的特性評価 製造ばらつき評価
試作品評価	製造プロセス評価 設計ルール評価 回路設計評価 信頼性ターゲットの検証	信頼性評価 寿命評価 ソフトエラー評価 回復性不良の評価 ドリフト性不良の評価 電気的特性評価 動作マージン評価 ノイズ耐量評価
量産品評価	品質の安定性評価	最適スクリーニング条件設定 定期信頼性試験 電気的特性の変動モニタ

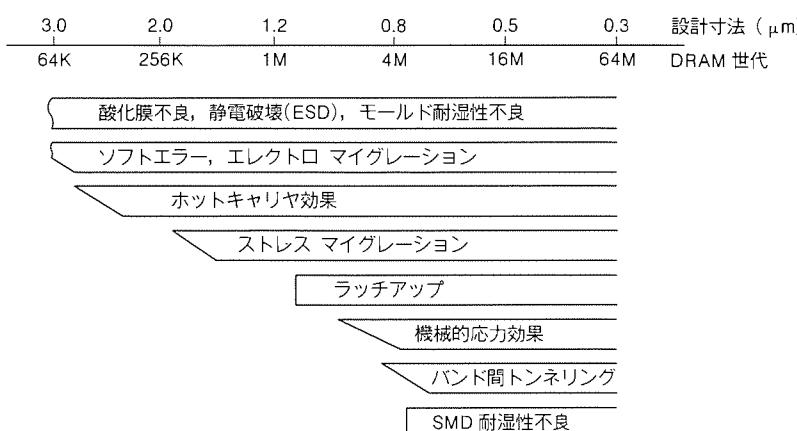


図1. DRAM世代推移と信頼性項目

設計寸法  $3 \sim 0.8 \mu\text{m}$  の LSI デバイスは、電圧一定のスケーリング則<sup>(1)</sup>に従って微細化が進められてきた。しかし、この場合にスケーリングされない因子が存在し、微細化が進むにつれてこのノンスケーリング因子が信頼性に大きな影響を与えるようになる。特に、電源電圧がスケーリングされない影響が最も大きく、絶縁膜又はトランジスタに印加される電界強度は世代ごとに増大してきた。この結果、図1に示すように DRAM の世代推移について、信頼性項目が増大してきている。この間、LDD トランジスタなどの新しい構造開発又は AlCu, AlSiCu などの新しい材料開発で高電界化・高電流密度化に対処してきた。

そして、16 M DRAM の今日、これらの技術開発に加え、電源電圧の内部降圧によって更に信頼度が高められている。図2にDRAMにおける降圧特性を示す。通常のデバイス動作時は、ノーマルモードで示すように外部電圧に関係なく4Vが保たれる。一方、バーンイン時には、ストレスモードに入り、破線で示すように降圧回路が切り離されて内部電圧と外部電圧を等しくでき、効率的かつ安定的にバーンインが実施できるようになっている。なお、ストレスモードに入るには特殊なタイミングと特殊なパルス電圧を必要とし、通常動作ではこのモードに入ることははない。

さらに、16 M DRAM ではプロセス的にも耐ホットキャリヤ性の高いゲートオーバラップ LDD トランジスタや ESD 耐量の高いタンゲステン埋込みコンタクト、さらにソフトエラーやラッチアップに強いレトログレーディッド ウェル構造等を採用し、高信頼化を達成している。

#### 4. 信頼性評価技術の高度化

表1に示したように、先端デバイス開発で TEG を駆使した信頼性評価は、Building-in Reliability を達成するために極めて重要である。高加速による故障現象の早期抽出と故障メカニズム究明が比較的容易であり、信頼性開発が効果的に行われる。

##### 4.1 TEG 評価パターン

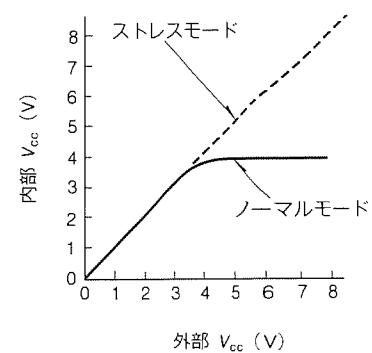


図2. 16M DRAM 降圧特性

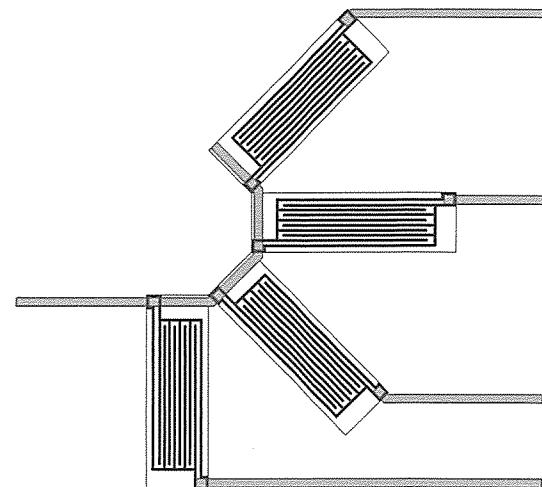


図3. ピエゾ抵抗素子 TEG パターン

TEG パターンは評価項目にそれぞれ適した構造が必要であり、その信頼性項目を高感度に検出できなければならない<sup>(2)</sup>。なお、TEG パターンを設計する場合には次の点を十分に考慮する必要がある。

- (1) 実デバイスの寿命推定が可能であること。
- (2) パターンの規模が十分であること。
- (3) 故障モードを変えることなく高加速が可能であること。
- (4) 故障解析が容易であること。
- (5) 局所的故障現象の抽出能力が高いこと。

TEG パターンの一例として、機械的応力を測定するピエゾ抵抗パターンを図3に示す。 $n^+$ 又は  $p^+$ 拡散層によって形成されたピエゾ抵抗素子をチップ内に適宜配置することにより、そのピエゾ抵抗係数を用いてチップ表面の応力分布が求められる。チップ寸法の大型化及び高融点金属の応用は、チップ表面の応力を高めることとなり、この応力評価技術は今後ますます重要となる。それは、この応力がデバイスの信頼性に大きな影響を与える要因となっているからである。応力の増大は、ストレスマイグレーションやアルミ配線ライド又はホットキャリヤ効果を助長する結果となる<sup>(3)</sup>。

##### 4.2 信頼性評価技術

高感度に設計されたTEGパターンを用いて実際に種々の信頼性評価を実施していく場合に、評価技術にも次の要件が求められる。

- (1) 高感度な測定であること。
- (2) 連続モニタリングが可能であること。
- (3) ダイナミックストレスが印加できること。
- (4) ウエーハレベルの評価が可能であること。

信頼性の作り込みのために開発段階では多数のサンプルの評価が必要となる場合が多く、評価のターンアラウンドタイムの短縮が求められる。そのためにウェーハ状態での評価いわゆるウェーハレベル信頼性評価が必要となる。図4に示すような高温使用可能なウェーハプロープカードを用いて、ウェーハ状態のTEGチップに高ストレスを一度に印加する。その後、TEGの特性値をチップごとに測定し、そのシフト量を評価していく。このシフト量のウェーハ面内分布も容易に得られるのも利点である。このウェーハレベル評価で代表的なものは、SWEAT(Standard Wafer-level Electromigration Accelerating Test)法<sup>(4)</sup>で、アルミ配線のエレクトロマイグレーション評価時間が飛躍的に短縮される。また、ウェーハレベル評価を製造ラインに導入することによってラインでの信頼性モニタ(オンラインモニタ)が可能となり、ライン管理上の有益なデータを提供してくれることになる。

次に評価に関しても高感度であることが要求される。長時間にわたる信頼性評価でも、その初期段階で何らかの微小な変動が観察される場合があるからである。この変動が検知されれば短時間で効率良く信頼性がモニタできることになる。高感度評価技術の一例として $1/f$ 雑音を利用したアルミ配線のエレクトロマイグレーション評価技術を示す。配線に電流を流すと熱雑音に加えて $1/f$ 雑音が発生する。これは、雑音のパワースペクトル密度が周波数 $f$ の逆数に比例する雑音であり、配線抵抗の時間的な揺らぎを反映している。

$1/f$ 雑音の測定は図5に示すようなシステム構成で行う。Rで示しているのが評価サンプルで、リップルノイズの影響を除くためDCバッテリを電源として用いている。サンプルに流す電流密度は $1.9 \times 10^7 \text{ A/cm}^2$ で、発生した雑音をプリアンプで増幅した後フーリエ変換機能の付いたダイナミックシグナルアナライザで周波数解析を行う。その結果を電流ストレス印加前後で示したのが図6である。ストレスは、 $2.5 \times 10^7 \text{ A/cm}^2$ で6分間印加している。図から分かるように、ストレス印加後パワースペクトル密度が5けた増大している。これに対してボイド発生による抵抗上昇率はわずか8%である。このように、 $1/f$ 雑音評価によって局所的なボイド発生による抵抗値変化を超高感度に検出することができる。

各種故障現象をビデオに連続的に撮影し、その挙動を詳細に解析することによって故障メカニズムが明らかになる場合もある。図7に、パッシベーション膜付きのアルミ配線中のマイグレーションによるボイドの挙動を高分解能光学顕微

鏡で観察した例を示す。アルミ配線には、 $2.5 \times 10^7 \text{ A/cm}^2$ の電流ストレスを印加し続けており、配線温度は200°C程度まで上昇している。図に示すように、54秒後に配線エッジにボイドが発生する(b)。ボイドは徐々に反対側のエッジに移動し(c), (d), ボイドが配線全体に広がった瞬間に急激に電子の流れに逆らって移動していく(e), (f)。評価の最終段階では温度が急激に上昇し、結晶粒の状況が大きく変化するため、ここに示したようにボイドが急激に電子の流れの上流側に移動する場合、又はボイドが消滅してそれまでボイドの発生が見られなかった下流側で溶断する場合等幾つかのモード

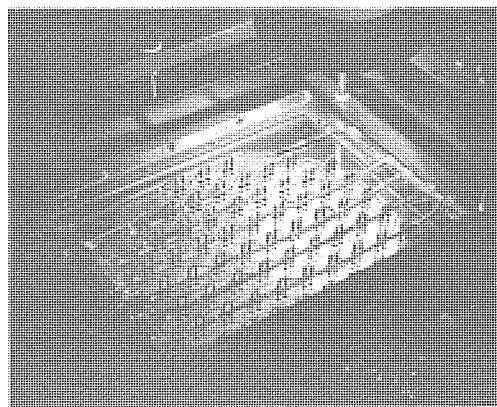


図4. ウエーハスケール信頼性評価

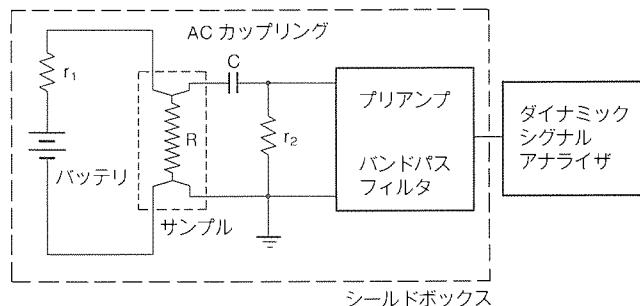


図5.  $1/f$ 雑音測定システムのブロックダイヤグラム

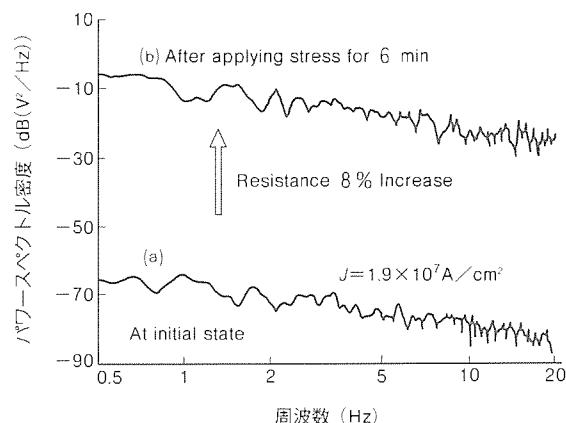


図6.  $1/f$ 雑音による高感度  
エレクトロマイグレーション評価

ドの挙動を示す。しかし、評価の初期に形成されるボイドはほぼ同一箇所で発生しており、この発生時間、大きさがエレクトロ マイグレーション耐性を正確に反映するものと考えられる。

さらに、集束イオンビーム (FIB) を用いることにより、アルミ配線の結晶粒観察が可能となる。FIB を用いた拡大像でイオンのチャネリング効果を利用すると、結晶方位の差によって像のコントラストが変化する。図 8 に FIB による結晶粒観察の一例を示す。配線幅は  $10 \mu\text{m}$  である。結晶粒径はアルミ配線のエレクトロ マイグレーション寿命 (MTTF) と強い相関があり、次式で表される<sup>(4)</sup>。

$$\text{MTTF} \propto \frac{S}{\sigma^2} \log \left[ \left( \frac{I_{(111)}}{I_{(200)}} \right)^3 \right]$$

ここで、 $S$  は平均結晶粒径、 $\sigma$  は結晶粒径の標準偏差、 $I$  は

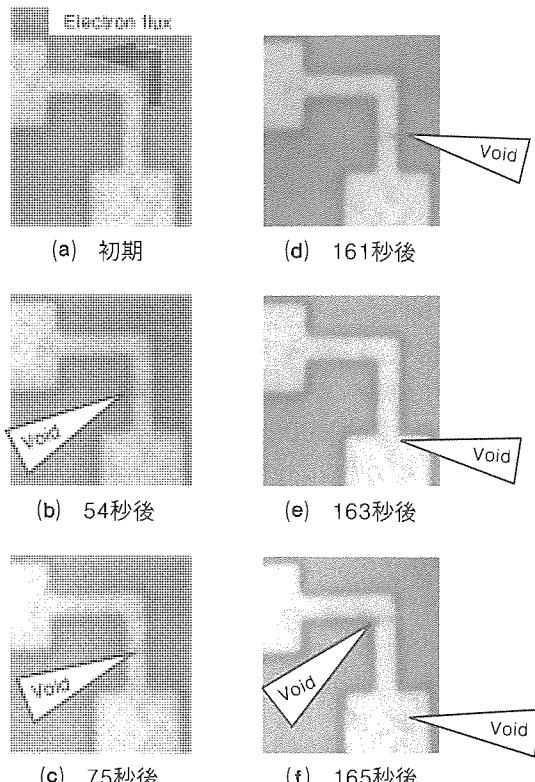


図 7. ボイド生成の連続モニタリング

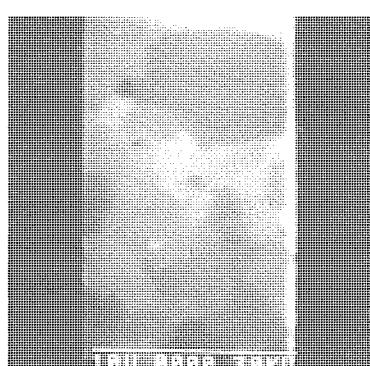


図 8. アルミ配線の結晶粒観察

それぞれの添字で示す面方位に対する X 線回折強度を示す。図 8 に示すような写真から MTTF を支配する  $S$  と  $\sigma$  が求められ、より確度の高い寿命推定が可能となる。また、FIB 解析装置内での in-situ マイグレーション評価も可能である。この場合は、結晶粒とボイドの成長過程を同時に観察できる。

## 5. 故障解析技術

故障解析技術は、LSI デバイスの高信頼化のためには不可欠である。特に故障箇所の同定は、複雑化するデバイスでは極めて重要である。

### 5.1 発光解析技術

MOS トランジスタでのホットキャリヤ発生や p-n 接合又は絶縁膜での微小リーク電流の発生は極微弱な発光を伴う場合が多い。発光解析は、この微弱発光を超高感度カメラでとらえ、故障箇所を同定するものである。このカメラは二次元空間情報を保持できる電子増倍器マイクロ チャネルプレートを内蔵した構造になっており、入射光は  $10^6$  倍程度増倍される。図 9 に DRAM での発光解析例を示す。同図(a)は、デコーダ部分の故障箇所からの発光 (2か所) を表しており、同図(b)はその発光フォトン数を三次元表示したものである。この発光観察は、動作状態のデバイスにおいても可能であり、あるタイミング (位相) での発光を  $10\text{ ns}$  のゲーティングをかけて解析できる<sup>(5)</sup>。

さらに、MOS トランジスタでのホットエレクトロンによる発光のエネルギー分布を測定することにより、ホットエレクトロンの電子温度を求めることができる。図 10 は、n-ch MOS トランジスタの発光エネルギー スペクトラムである。この図は単位エネルギー当たりの発光量がエネルギーに対して指数関数的に変化していることを示している。一方、この発光が制動放射によるもの<sup>(6)</sup>であれば、この分布は電子のエネルギー分布である Boltzmann 分布を反映していると考えられる。この相関関係を利用すると、電子温度は図 10 の直線の傾きとして求められることになる。このトランジスタの場合、ドレン電圧  $5\text{ V}$  印加時で電子温度は  $1,826\text{ K}$  と計算される。この電子温度は、トランジスタのチャネル部での

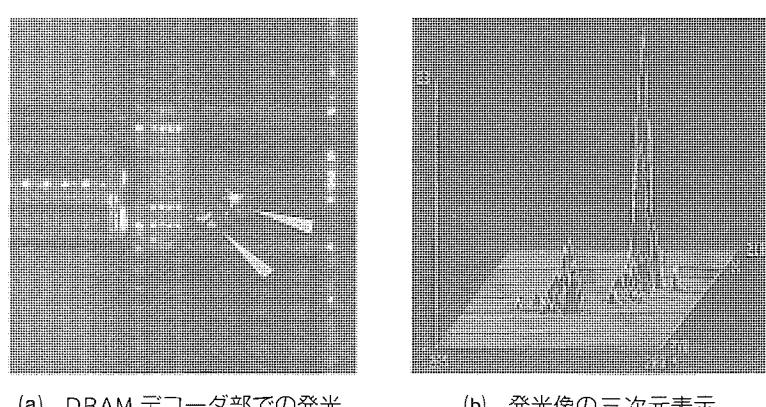


図 9. 発光観察による故障箇所の同定

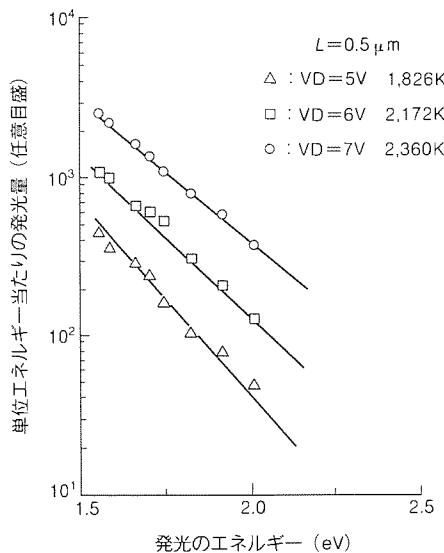


図10. MOSトランジスタ発光のエネルギー スペクトラム

最大電界強度を反映しており、信頼性上重要な因子である<sup>(7)</sup>。

## 5.2 OBIC 解析技術

LSIデバイスに細く絞ったレーザビームを照射し、これを走査することによってその反射光による二次元像を得るのがレーザ走査顕微鏡である。一方、このレーザビーム照射によってデバイスのp-n接合からはOBIC (Optical Beam Induced Current)信号が得られる。OBIC解析法は、この両者を重ね合わせることによって、微小電流発生箇所やラッチアップ発生源を回路中から検出するものである。レーザビームとしては、波長633 nmのHe-Neレーザがよく用いられる。OBIC信号は、通常電源 $V_{CC}$ 又はグランド $V_{SS}$ 端子から取り出される。図11は、 $V_{CC}$ に7 kHzのパルス電圧を与え、強制的にラッチアップを起こさせた時の反射像(a)とそれに対応したOBIC像(b)である。 $V_{CC}$ をパルス電圧とすることにより、ラッチアップ発生点が同期のみだれとして円形で示されるようになる。したがって、この円の中心に存在するサイリスタ構造がラッチアップの発生源となっていることが分かる。この観察はチップ表面からのものであるが、現在のLSIデバイスは2層、3層アルミ配線構造となっており、表面からの観察が困難である場合もある。

このときには、チップをモールド樹脂の裏側から研磨し、ラッピングした裏面から前述のOBICの解析を行う<sup>(8)</sup>。裏面からシリコン基板を透過できるように波長1,152 nmのHe-Neレーザを用いる。この赤外レーザのエネルギーは1.07 eVであり、シリコンを透過していくビームはその吸収端の広がり領域で吸収され、OBIC信号を発生する。図12に4 M DRAMを用いた裏面からの観察例を示す。同図(a)は反射像、(b)はOBIC像である。共に個々のメモリセルが分離でき裏面からも十分にOBIC解析できることを示している。

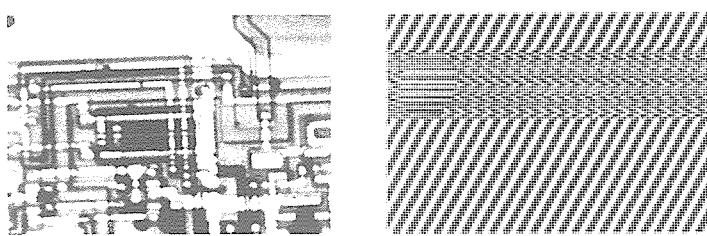


図11. OBICによるラッチアップ現象の観察(パルス $V_{CC}$ 印加モード)

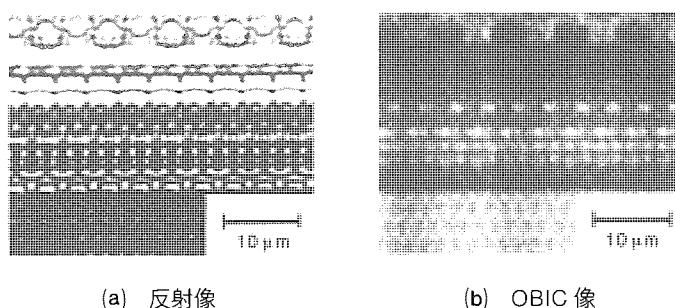


図12. チップ裏面からの観察

## 6. むすび

Building-in Reliabilityの考え方に基づいて、開発段階から種々の信頼性評価解析を実施してきている。また、故障解析技術の開発もデバイス開発の高効率化の上から重要である。さらに、微細化・複雑化が進むデバイス開発の進展に対応して信頼性評価解析技術も高度化していくことが求められている。TEGパターンの充実又は短期信頼性評価技術の確立やデバイスの微細化・多層化に対応した故障解析技術の開発などが今後の課題となる。

## 参考文献

- Dennard, R. H., et al. : IEEE J. of Solid-State Circuits, SC-9, No. 5, 256~268 (1974)
- 三橋順一, 松川隆行: 三菱電機技報, 62, No. 11, 976~979 (1988)
- Mitsuhashi, J., Nakao, S., Matsukawa, T. : Proc. of Int. Electron Device Meeting, 386~389 (1986)
- Root, B.J., Turner, T. : Proc. of Int. Reliability Physics Symposium, 100~107 (1985)
- 三橋順一, 小守純子: 第3回信頼性シンポジウム(REA J), 12, No. 3, 70~75 (1990)
- Toriumi, A., et al. : IEEE Trans. on Electron Devices, ED-34, No. 7, 1501~1508 (1987)
- 小守純子, 栄森貴尚, 草野ひろみ, 三橋順一: 電子情報通信学会技術研究報告, EDM91, 81~84 (1991)
- Mitsuhashi, J., Komori, S., Tsubouchi, N. : Proc. ESRE '91, 711~714 (1991)

# 0.5mm厚TABパッケージとその応用

寺岡康宏\* 竹村誠次\*  
島本晴夫\* 上田哲也\*  
立川透\* 御祓如英也\*

## 1. まえがき

VTR一体型カメラ、メモリモジュール、ICカードなどの電子機器の小型化・薄型化・多機能化が要求される中で、TAB (Tape Automated Bonding) 技術を用いることによって、現在小型パッケージとして普及している TSOP (Thin Small Outline Package) よりも更に薄い0.5 mm 厚の超薄型パッケージ“Paper Thin Package”(当社呼称) を開発した。なお、このパッケージは、以下の点に主眼をおき開発を進めた。

- (1) 単体パッケージとしてテストが可能であること。
- (2) トランスマルチモード技術を適用することによって、TSOP と同等の高信頼性を得ること。
- (3) 上記封止技術によって、チップの機械的保護を強固にし、汎用実装機での取扱いを容易にすること。
- (4) 既存の SMD (Surface Mount Device) 同様リフローワルダリング実装が可能であること。
- (5) 外形がTSOP とコンパチブルで、EIAJ 規格 (DTCP (Dual Tape Carrier Package)) に準拠すること。

表1は、このパッケージと SOP (Small Outline Package), TSOP との外形比較を示したものである。占有面積では TSOP と同一であるが、占有体積では TSOP の約 1/2, SOP の約 1/14 であり、質量で約 1/16 である。図1は、各種パッケージの側面による外観比較であり、このパッケージの薄いことがよく分かる。

## 2. パッケージ構造

表1. パッケージ外形の比較(40pin)

項目	Paper Thin	TSOP (I)	525mil SOP
外形 (W×L×H) (mm) (リードを含む。)	10×14×0.5	10×14×1.0	14.1×25.87×2.7
実装面積 (mm <sup>2</sup> )	140	140	365
比実装密度	2.6	2.6	1
比実装高さ	0.19	0.37	1
質量(g)	0.1	0.28	1.57
平面図(mm)			

図2にこのパッケージの断面構造及び側面図を示す。パッケージ厚0.5 mm を実現するために、薄く研磨されたチップ上には Au バンプが設けられており、Snめっきされたテープキャリアのインナリードと Au-Sn 共晶接合される。なお、テープキャリアは、ポリイミド・接着剤・Cuはく(箔)の3層構造のものを使用している。

樹脂封止は、TCP (Tape Carrier Package) では主流のポッティング方式ではなく、トランスマルチモード技術を適用しており、チップがパッケージの厚み方向に対してほぼ中央に位置するように、最適な封止金型及びテープキャリア形状の設計がなされている。また、トランスマルチモード技術の採用によって、ポッティング方式に比べて外形形状のばらつきを小さくすることが容易となる。

アウタリード部は、TSOP と同様のフットプリント上に実装可能なように成形されており、かつ形状はリフローソルダーリング及びホットバーソルダーリングのいずれでも可能なよう設計されている。また、バーンインテストなどの後工程での熱履歴によるはんだ付け性劣化を防止するために、リード表面にははんだめっきが施されている。

## 3. アセンブリ技術

このパッケージを開発する上で最重要課題は、低応力構造とするために0.5 mm の厚さの中でチップを中央付近に位置させるようコントロールすることであり、ILB (Inner Lead Bonding) 及びモールド工程において対策を施している。以下に各プロセスについて説明する。

### 3.1 バンププロセス

TAB 技術におけるバンプ形成方法として、ウェーハ状態でチップ上に形成する方法と、テープキャリアのインナリード先端に形成する方法があるが、当社では前者を採用している。ウェーハプロセスを完了したウェーハ上に Cr, Cu, Au の順にスパッタによって薄膜を形成する。この薄膜は、バンプ材質である Au とボンディングパッドとの密着性向上及び Au と Al の拡散層生成の防止というバリア層としての役割を果たす。次いで、写真製版技術及び電気めっき法により、ボンデ

イングパッド上に Au を成長させ、フォトレジスト除去、Au, Cu, Cr の薄膜のエッチングによって Au バンプが形成される。なお、バンプ形状としては、ストレートサイド ウォールタイプのバンプ形状としている。Au バンプが形成されたウェーハは、裏面研磨方法に工夫を凝らし、薄くかつ厚さのばらつきが小さくなるように工程を管理している。

### 3.2 インナリード ボンディング (ILB)

ILB 工程は、チップ上に形成された Au バンプとテープキャリアのインナリードとを接合する工程であり、ILB 後の状態を図 3 に示す。インナリードは約 35  $\mu\text{m}$  厚の Cu 箔であり、表面には約 0.5  $\mu\text{m}$  厚の Sn めっきが施されている。ILB は、Au バンプとインナリードが位置合わせされた後、加熱されたボンディングツールにより、一括加圧され Au-Sn 共晶合金を形成することによって接合が行われる熱圧着接合である。

このパッケージでは、チップをパッケージの厚さ方向で中央付近に位置するようコントロールするために、ボンディング後のテープキャリアに対するチップの高さ方向の位置  $h_1$  及び傾き量  $h_2$  を管理する必要がある。表 2 (1) は、ILB 後のチップの位置及び傾きと樹脂成形性について調べた結果であり、チップ位置及び傾きの量によって樹脂成形性に大きく影響し、チップ傾きとしてチップ長さ 7 mm に対して 30  $\mu\text{m}$  以下にコントロールすることが必要である。

### 3.3 モールド

モールド工程は、ILB を完了したテープキャリア上のチップを外部環境から保護するために樹脂封止する工程である。このパッケージでは、0.5 mm 厚と外形形状の要求精度が高いこと、高信頼性パッケージを得るために、モノリシック IC で培われてきたトランスマルチモールド技術を適用した。

0.5 mm 厚のパッケージにおいて、チップがパッケージの中央付近に位置するよう樹脂封止するために、成形樹脂の低粘度化及び流動フローの最適化の 2 項目がプロセス開発の主要点となつた。

表 2 (2) は、封止樹脂の溶融粘度 (相対値) と樹脂成形性に関する結果である。封止樹脂の粘度が高いほどチップ傾き量が大きくなり、チップがパッケージ外部に露出する状態も発生する。また、チップ傾き量が大きいと、チップがパッケージの中立点から外れることになり、パッケージの“そり”の原因ともなる。当社では、従来の約 1/6 の粘度の樹脂を開発することにより、モールド後のチップ傾きを 40  $\mu\text{m}$  以下にコントロールすることができた。しかも、樹脂の基本組成・物性は、従来の樹脂と比べて劣化させることなく流動性を改善しているため、信頼性に関しては後述のように TSOP と同等レベルのものとなつた。

また、成形樹脂の流動フローの最適化に関して、モールド金型におけるゲート部のランド長さと、樹脂注入速度などのプロセス条件を評価した。

表 3 は、金型ランド長さ (相対値) と樹脂成形性に関する

結果である。金型ランド長さが短いと (条件 I) 成形樹脂温度が十分上がらないため樹脂粘度が十分下がらず、チップ上面での樹脂の流れが均等化しないので、チップ傾きが大きくなる。また、金型ランド長さが長い場合は、樹脂は水平方向に注入されるが熱受容が大きくなり、特にエンド側キャビティにおいて硬化反応に伴う未充填 (塡) が発生する。以上の結果から、ランド長さ II が最適値である。

表 4 は、樹脂注入速度 (相対値) と樹脂成形性に関する結果である。注入速度が遅い場合には、カル側キャビティでゲート部での硬化反応に伴う未充填又は粘度上昇に伴うチップ露出が発生する。また、注入速度が速い場合には、エンド

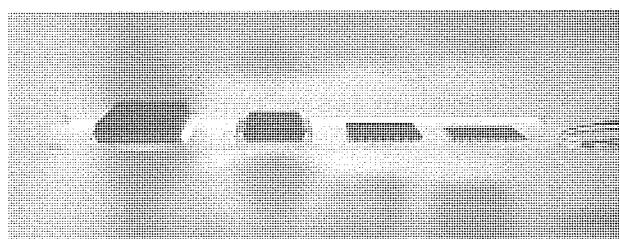
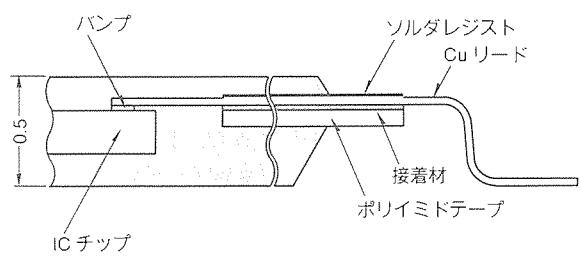
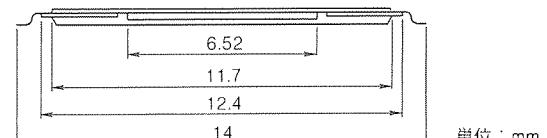


図 1. 各種パッケージの外観比較 (40pin)  
(左から SOP, SSOP, TSOP, Paper Thin Package)



(a) 断面構造



(b) 側面

図 2. パッケージの断面構造及び側面図

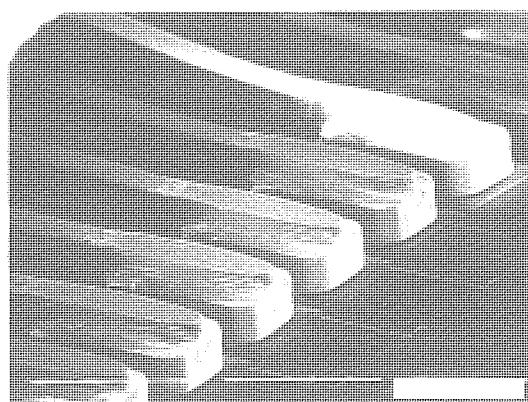


図 3. ILB 後 拡大図

表2. チップ位置、傾き及び封止樹脂粘度と樹脂成形性の関係

(1) チップ位置、傾きと樹脂成形性の関係

ILB後		モールド後	
チップ位置 $h_1$ (μm)	チップ傾き $h_2$ (μm)	チップ傾き $h_2$ (μm)	歩留り (1ショット)
45.1	44.9	チップ露出	10/14
13.9	28.7	33~55	14/14
6.3	11.9	31~34	14/14

(2) 封止樹脂粘度と樹脂成形性の関係

樹脂	樹脂の粘度比	ICの傾き $h_2$ (μm)	歩留り (1ショット)
A	1	チップ露出	0/14
B	0.3	チップ露出	0/14
C	0.23	65	11/14
D	0.16	38	14/14

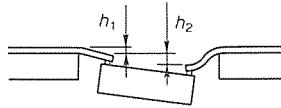


表3. 金型ランド長さと樹脂成形性の関係

ランド長さ	ランド長さの比	チップ傾き $h_2$ (μm)	歩留り (1ショット)	不良内容
I	1	81	11/14	チップ露出
II	1.57	31	14/14	—
III	2.14	48	11/14	未充填

注 ランド長さ：金型、ゲート付近の上下金型の平たん部、I < II < III

表4. 樹脂注入速度と樹脂成形性の関係

樹脂注入速度	注入速度比	チップ傾き $h_2$ (μm)	歩留り (1ショット)	不良内容
条件 1	1	57	13/14	チップ露出 未充填
条件 2	1.11	47	14/14	—
条件 3	1.56	30	14/14	—
条件 4	1.78	62	13/14	チップ露出

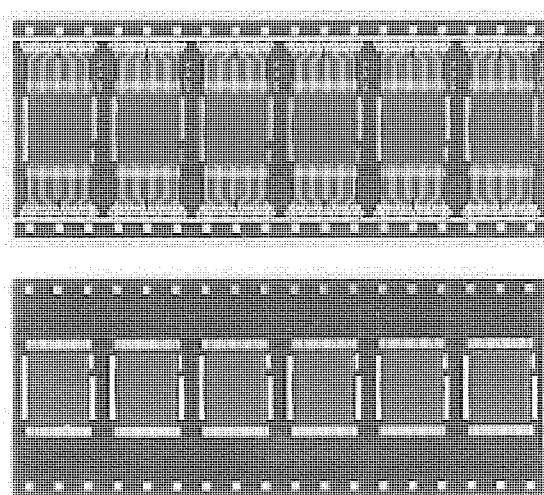


図4. Paper Thin Package の外観

側キャビティでチップの傾きが大きくなる。以上の結果から、樹脂注入速度は条件3が最適値である。

同様に、金型温度、樹脂タブレットのプリヒート温度などのプロセス条件の適正化により、チップ位置を変位させることなく、安定して樹脂を注入することができた。

以上のように、各プロセスを厳密にコントロールすることによって開発された“Paper Thin Package”的外観を図4に示す。

### 3.4 オウタリード ボンディング(OLB)

このパッケージの基板への実装方式は、TSOPと全く同様で、パッケージの搭載には汎用実装機を使用した。また、はんだ付け方法についてもTSOPと同様であり、ろう材の供給形態は、パッケージ側のリード上にはんだめっき、基板側ランドにクリームはんだを印刷し、エアリフロー炉でのソルダーリングを採用した。リフロー条件もTSOPと同一条件にて実装を行った。そのときのエアリフロー炉の温度プロファイルの例を図5に示す。その結果、基板との接合状態、接合強度などに問題はなく、また実装時の熱衝撃及びこのパッケージ搭載時の吸着ノズルによる機械的衝撃などによるパッケージクラック及びチップクラックは皆無であり、チップと封止樹脂の界面でのはく離なども見られなかった。これにより、チップ部品等との混載実装が可能であることは言うまでもなく、基板両面にこのパッケージを搭載し、両面実装におけるリフローも可能であった。図6に、このパッケージをメモリカード用の基板に片面16個ずつ両面実装した状態の外観を、図7に接合部の拡大を示す。

## 4. パッケージ評価

### 4.1 信頼性試験結果

このパッケージ単体での信頼性試験結果を表5に示す。前

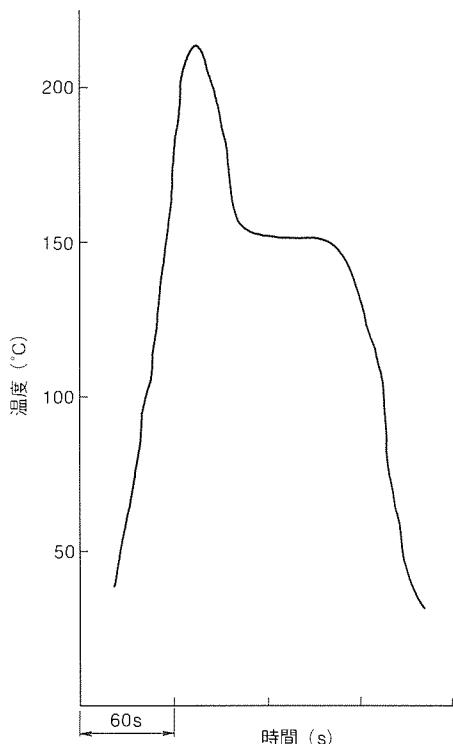


図5. エアリフローの温度プロファイル

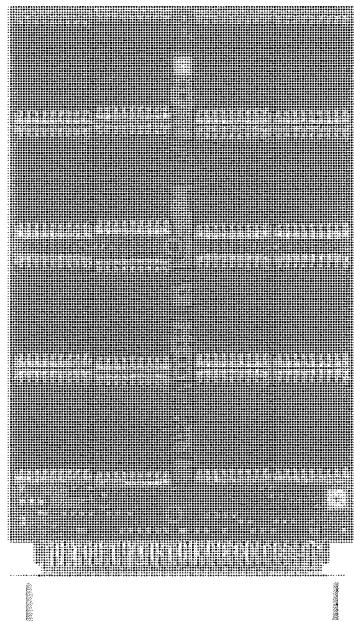


図6. メモリカード用基板への実装例

処理条件として、他の表面実装部品との混載実装を考え、 $125^{\circ}\text{C} \times 24\text{h}$  のベーキングを行い、 $85^{\circ}\text{C} 85\% \times 72\text{h}$  吸湿させた後、VPS (Vapor Phase Soldering)  $215^{\circ}\text{C} \times 10\text{s}$  を2回行った後、パッケージクラック及び電気特性評価を実施したが、不良は皆無であった。上記前処理を施したパッケージを信頼性試験に投入した結果、表5に示すような試験条件で、機械的な不良及び電気特性の不良などは発生せず、TSOPと同等の信頼性レベルが得られている。

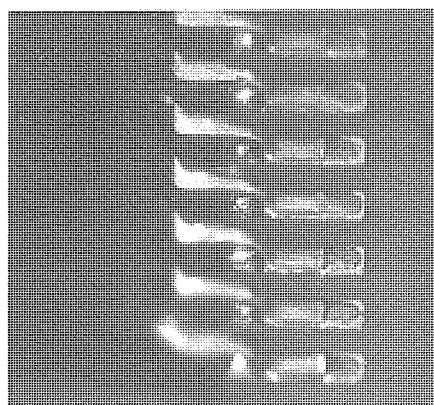


図7. Paper Thin Package 実装部拡大図

表5. Paper Thin Package の信頼性試験結果

項目	試験条件	試験結果	
ヒートサイクル	$-65 \sim 150^{\circ}\text{C}$	700サイクル	$r = 0 / 20$
高温高湿 バイアス	$85^{\circ}\text{C} 85\%$ $5.5\text{V}$	$1,000\text{h}$	$r = 0 / 20$
PCT	$130^{\circ}\text{C} 85\%$	$1,000\text{h}$	$r = 0 / 20$
高温保存	$150^{\circ}\text{C}$	$1,000\text{h}$	$r = 0 / 20$
高温バイアス	$125^{\circ}\text{C} 5.5\text{V}$	$1,000\text{h}$	$r = 0 / 20$

注  $r$ =不良数／サンプル数

前処理条件：ベーキング→ $85^{\circ}\text{C} 85\% 72\text{h}$  吸湿  
→VPS 2回  $215^{\circ}\text{C} \times 10\text{s}$

表6. 热抵抗測定結果

風速(m/s)	基板実装状態				
	0	0	1	2	3
$\theta_{ja} (\text{°C}/\text{W})$	135	113	75	63	56
(参考値) 28pin TSOP $\theta_{ja}$	153	101	78	—	—

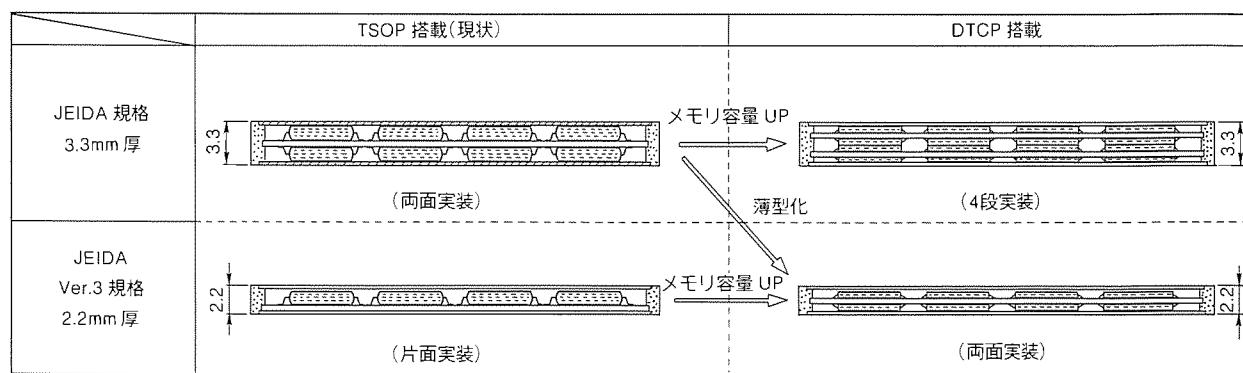
注 チップサイズ、実装基板は異なる。

#### 4.2 热抵抗測定

実装密度の向上に伴い発熱密度が上昇するため、パッケージの放熱性が電子機器への熱的影響を及ぼすと考えられる。そこで、このパッケージの熱抵抗をパッケージ単体の状態及び基板に実装した状態について測定した結果を表6に示す。単体自然放置(風速0 m/s)の結果において、このパッケージの方が良い結果が出ているが、これは、測定時のサンプル形態の違いによるものと思われ、このことを加味すれば、熱抵抗でも TSOP と同レベルの結果が得られたと考えられる。

#### 5. 製品への展開

このパッケージは、先にも述べたように TSOP と外形サイズ及びファットプリント位置を同一にしているため、電子機



JEIDA：(社)日本電子工業振興協会

図8 . TSOP とPaper Thin Package をメモリカードに使用したときの比較

器に実装されている TSOP と容易に置き換えることが可能である。その例として、図8にこのパッケージを使用したメモリカードを示す。このパッケージを用いることによって、同一カード厚さで2倍の容量のカードが可能となることが分かる。また、配線材料として Cu 箔を用いていることから、最先端の高速デバイスに対応しやすいなどの利点も持つてゐるため、多分野への応用が期待される。

## 6. むすび

TAB技術を用いることによって、TSOPの約半分の厚さである0.5mm厚のパッケージを開発した。ウェーハプロセス面では、ウェーハの裏面研磨を改善し、アセンブリプロセス面では、ILB後のチップ位置の管理、封止樹脂の低粘度化、封止金型におけるランド長さ及び樹脂注入速度等のプロセス条件の最適化などの工夫を凝らした。また、実装面においても、パッケージ側・基板側ともはんだを供給することによってTSOPと同一条件で実装可能であることを確認し、パッケージ及び接合部に問題はなかった。このパッケージの信頼性面及び熱抵抗においてもTSOPと同レベルであることが確認された。

以上述べてきたように、このパッケージはTSOPと同一のフットプリント位置及び同様の実装方法が適用できるため、容易にTSOPと置き換えることが可能であり、電子機器の

小型化・多機能化が容易に図れる。

今後は、パッケージラインアップの充実を図り、より使いやすいICパッケージにしていきたい。

## 参考文献

- (1) Shimamoto, H., Seki, H., Nakao, S., Ueda, T., Teraoka, Y., Yagoura, H., Tachikawa, T., Takehara, M., : TAB applied VLSI package and its performance, IEEE VLSI & GaAs Chip Packaging Workshop Proceeding, Boston, MA, 8~10 (1990)
- (2) 立川 透, 島本晴夫, 竹村誠次, : 厚さ 0.5 mm を実現した IC パッケージ, 電子材料, 30, No. 4, 109~114 (1991)
- (3) Shimamoto, H., Uemura, S. : A High-Density-Packaging Module and Packaging Technologies, Mitsubishi Electric ADVANCE, 44 (1988)
- (4) 吉田 稔, 島本晴夫, 上田哲也, 中尾 伸: ASIC 対応パッケージング技術の最新動向, 三菱電機技報, 65, No. 2, 39~44 (1991)
- (5) 御秋如英也, 関 博司, 島本晴夫: ゲートアレイと TAB, Semiconductor World 増刊号, 10, No. 9, 163~167 (1991)

# ユーザーニーズにこたえる 販売・生産統合情報ネットワーク

奥野治臣\*  
続木捷雄\*  
山本武夫\*\*

## 1. まえがき

半導体市場ではこの数年、メモリ、マイコン、セミカスタムICいずれの製品とも多品種化・短納期化が急速に進んでおり、製品をタイムリーに納入するための“受注～生産～納品”にわたる販売・生産体制整備と、販売・生産情報の統合化及び迅速処理が極めて重要な経営課題となってきた。

本稿では、この経営課題を解決するために半導体事業のなかで現在進めている、受注からオーダー処理、生産、出荷・納品にまたがる“生販統合情報ネットワークと製品物流体制の構築”について紹介する。

## 2. 半導体 CIM システムのコンセプト

### 2.1 半導体 CIM システム構築の方針

市場の成熟化と国際化が進展するなかで、半導体事業を効果的に展開していくために最も重要なファクターの一つは市場即応力の強化である。と同時に、事業全体としてのビジネススピードと業務効率を高め、さらにグローバルな事業オペレーションを可能とすることが大切である。

このために、事業活動に不可欠な情報コミュニケーションの質・量・スピードに対する要求を明確にした上で、情報技術を最大限に活用して情報システム機能のインテグレーションとネットワーク化を目指す。これが半導体 CIM システム構築の方針である。

### 2.2 半導体 CIM システムの基本構成

#### 基本構成

CIM システムは図 1 に示すように、事業活動における主要な機能である営業・設計・生産という三つの業務を情報システムによって統合し、これを一つの経営戦略のもとに運営していくシステムである。

CIM の構築は、販売・生産部門を共通情報で連結し、受注から納品までが一連の情報で、販売・生産活動が進められるように、生・販の統合化を最重点課題として、現在統合システムの構築を推進している。

### 2.3 半導体 CIM 情報ネットワーク

半導体 CIM システム構築の基盤となるコンピュータと通信網の概念を図 2 に示す。情報コミュニケーションのリアルタイム化、24 時間のシステムサービスを重点とし、EDI (Electronic Data Interchange) による企業間取引のオンライン化へも対応する。

## 3. 販売・生産情報システムの統合

### 3.1 生販統合情報システム構築の目的

半導体 CIM 構築の一環として、販売部門の情報と生産部

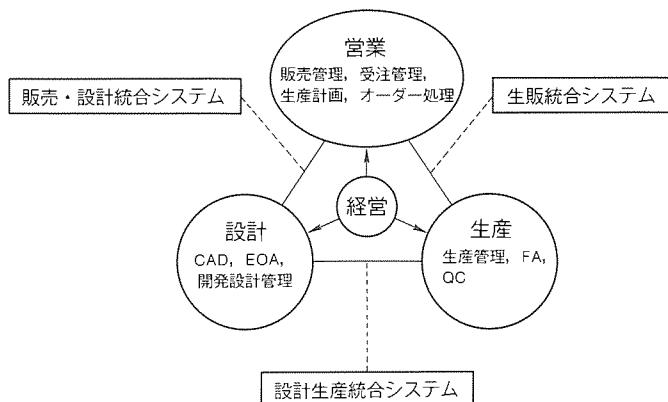


図 1. 半導体 CIM システムの基本構成

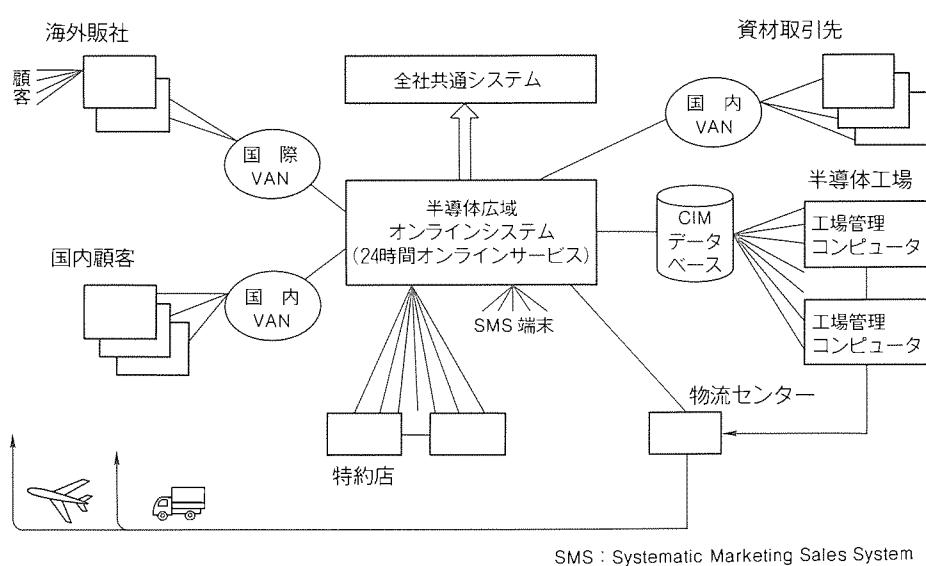


図 2. 半導体 CIM 情報ネットワーク

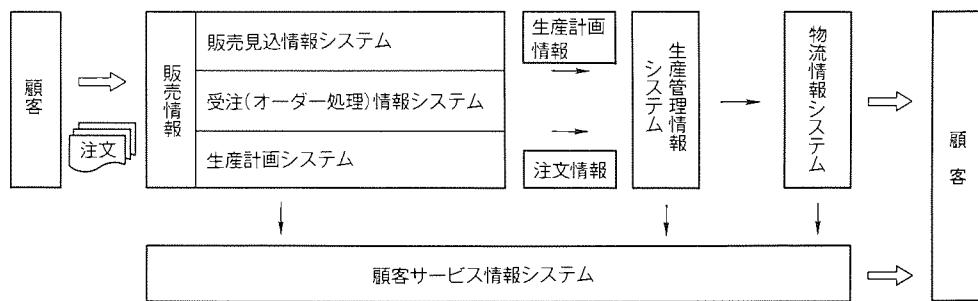


図3. 生販統合情報システムの基本構成

門の情報を連結して相互の情報を一元化し、情報の精度向上とリアルタイム化を進めているが、その主な目的は次の3点である。

- (1) 顧客要求(品種・納期・数量)への対応
- (2) 納期(受注～納品)の短縮
- (3) 販売サイドへの情報提供レスポンスの向上

### 3.2 生販統合情報システムの基本構成

顧客からの注文情報や生産部門への生産指示及び顧客への納期回答、出荷・納品情報等は、図3のように6つに大別される情報システムを介して流れしており、これら情報をもとに各部門は生産活動のアクションをとっている。

### 3.3 生販統合情報システムの概要

注文に関する情報は、“販売見込み”をベースにした生産計画系情報と、客先からの“注文書”をベースにした生産指示系情報の二つの情報系が組み合わさり、生産が行われる仕組みになっている。

基本的には、受注してから前工程投入を始めるのでは納期に間に合わないので、販売見込みに基づいた生産計画による前工程の生産指示と、注文オーダーに基づいたオーダー対応の後工程生産指示とを両立させ、約束納期に応じて納品するような仕組みにしている。

特にマイコン、セミカスタムIC等の客先仕様に基づいて生産する製品に関しては、顧客と営業及び生産部門との情報連結化、いわゆる“情報の生販統合”が不可欠であり、オーダー対応の生産方式を中心とした統合システムを数年前から導入している。

出荷情報に関しては、物流センターに対する出荷指示と自動倉庫システムによる物流処理の進捗を一連の情報の流れとしてとらえ、リアルタイムで情報を提供している。

特約店における客先納品、在庫情報は、特約店から定期的にオンラインでデータを収集し、販売管理、生産計画に反映している。

## 4. 販売情報システム

販売情報システムについては、次のようなテーマによってシステム機能強化を進めている。方策は表1のとおりである。

表1. 販売情報システム機能の強化方策

重点テーマ	システム機能の強化方策
1. 受注情報の迅速・正確な入手	(1) 商談・成り行き・客先受注状況の的確な把握 (2) 受注見込みの精度アップと収集の短サイクル化 (3) 特約店からの受注量・数量単位・時期の適正化
2. 受注状況に即応した生産手配	(1) 中期的な生産能力と需要とのバランス調整 (2) 精緻な生産計画策定と修正の短サイクル化 (3) 納期回答の迅速化と信頼性の向上
3. 販売部門へのタイムリーな情報提供	(1) 形名別“在庫・生産計画”情報 (2) 注文オーダー別“回答納期、生産進捗”情報 (3) 納品先別“出荷指示・出荷完了”情報 (4) 形名別“標準引き受け納期”情報
4. 海外販売拠点とのオンラインデータ伝送	(1) 受注見込み、再販、流通在庫データの受領 (2) 受発注データ受領、受注確認・回答納期返送 (3) 出荷、輸出入通関、フライト情報の伝送

### 4.1 受注情報の迅速・正確な入手

エンドユーザーと半導体メーカーの間に、商社機能を果たす特約店の存在がある。受注情報の発信基地である特約店から入手する情報の迅速化・正確化をねらったシステム化に取り組んでいる。

### 4.2 受注状況に即応した生産手配

需要、在庫・注残は常に変化しており、受注状況に即応した生産をするためには、これと品種別生産能力とを整合させ、最適なプロダクトミックス計画を作る機能が重要である。また、回答納期のコンピュータシステムによる自動算出にも力を入れている。

### 4.3 販売サイドへのタイムリーなオーダー情報の提供

オーダー処理ホスト計算機のオンライン端末機を販売部門と特約店に設置し、オーダー情報を提供している。

- (1) 形名別“在庫・生産計画”情報
- (2) 注文オーダー別“回答納期、生産進捗”情報
- (3) 納品先別“出荷指示・出荷完了”情報
- (4) 形名別“標準引き受け納期”情報

### 4.4 海外販売拠点とのオンライン・データ伝送

半導体の海外販売拠点は、北米・欧州・東南アジアの各国にわたっており、各販売拠点との情報ネットワークは図4に示すようになっている。海外ビジネスに要求される情報システムのレベルは、各国との距離、時差、契約重視の文化の違

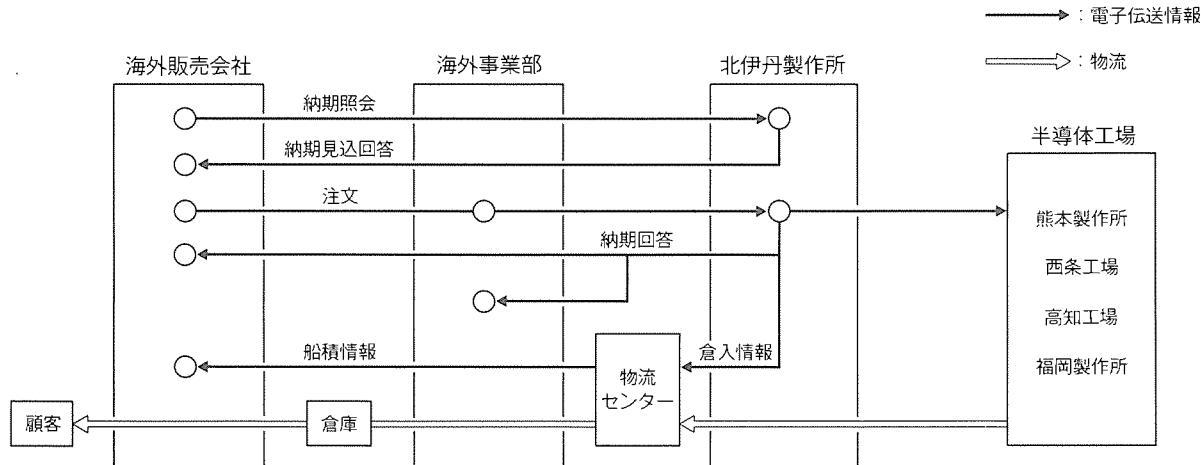


図4. 海外販売拠点との情報ネットワーク

い等の理由から日本国内に比べて格段に高い。よって、現在半導体事業として進めている海外販売拠点とのデータ伝送のオンライン化の実現効果は非常に大きく、具体的には次の3件についてデータ伝送のオンライン化を進めている。

- (1) 受注見込み、再販、流通在庫データの受領
- (2) 受発注データの受領、受注確認・回答納期データの返送
- (3) 出荷、輸出入通関、フライト情報の伝送化

## 5. 生産管理システム

### 5.1 オーダーリンク生産システムの機能

受注オーダーの取扱いは、マイコン、セミカスタム IC 等のカスタム製品では、顧客の短納期及びカスタム仕様と小口納品への要望により、注文情報を特約店から生産部門まで一元化した情報として流し、注文情報に基づいて生産をデイリーに指示する“オーダーリンク生産方式”を導入している。

この生産方式は多品種・多仕様の製品を少量でかつ短納期で納品するために、受注オーダー1件ごとにオーダー受付処理をし、①生産部門へ生産指示をする機能、②特約店へデイリーに納期を回答する機能、③特約店へ生産の進捗状況をレポートする機能等をもっている。

### 5.2 オーダーリンク生産システムの具体例

この生産方式で、顧客から生産部門に注文情報が流れていく中で、どのようなアクションがとられ、生産が実施されるかをマイコン生産工場を例にとって説明する。

図5に示すように、支社・特約店から受け付けた注文情報は、工場営業部門で、要求納期に対してコンピュータでスケジュールシミュレーションがなされ、納期回答が出される。一方、シミュレーションの結果に基づき、マイコン工場に対して生産投入指示情報がデイリーに伝送される。

投入指示情報を受け取ったマイコン工場のウェーハプロセスのカスタム工程（個別の客先仕様で加工する工程）と製品組立工程では、この生産指示情報によって自動的に生産を開始する仕組みになっている。

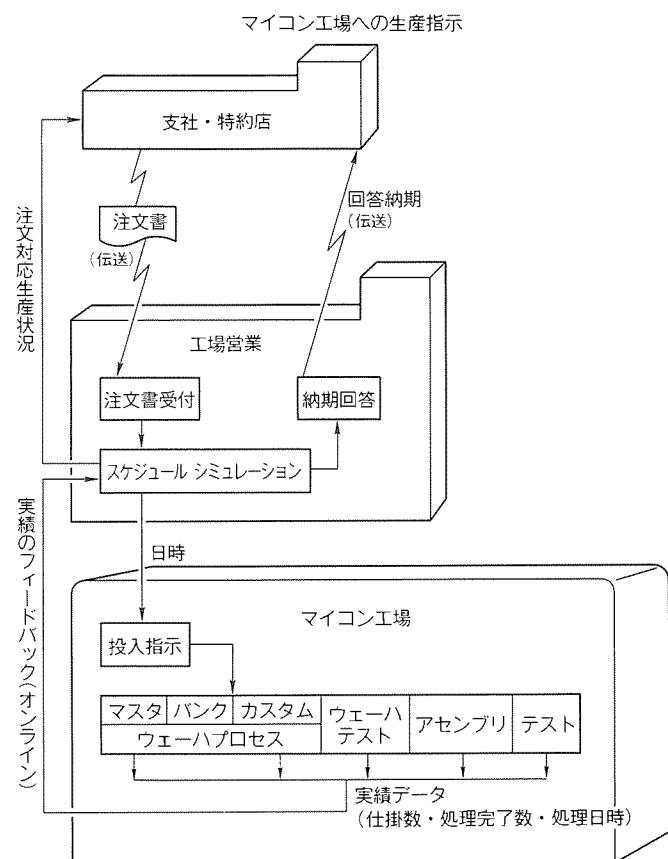


図5. マイコン生産工場のオーダーリンク生産システム

マイコン生産の生販のシステムとして、この生産方式を導入したことにより、販売・生産の仕組みは大きく変わり、次のようにになった。

- (1) 注文書の即日受付処理
- (2) マイコン工場へのデイリー生産指示
- (3) 特約店への翌日納期回答の実現
- (4) 納期の短縮（注文書の受付処理及び生産指示のスピードアップ）

現在この生産方式は、マイコンを生産する当社熊本製作所、高知工場、さらに西条工場へと適用の拡大を進めしており、顧

客に対応した生産システムとして、さらにその機能の発揮が期待されている。

また、顧客から要望のある小口分割納入などに対する情報サービスの機能アップも、今後進めていく計画である。

## 6. 物流情報システム

### 6.1 物流システム強化の基本方針

基本的な方向は、次の3点である。

- (1) 物流処理の高速化
- (2) 流通情報のタイムリーな把握
- (3) グローバルな物流オペレーション

物流システム強化の目的は、次のとおりである。

- (1) 顧客ニーズにマッチした物流サービスの提供
  - (a) 約束納期の遵守
  - (b) 物流品質の向上
  - (c) 販売サイドへの情報提供
- (2) 在庫鮮度の向上と総在庫水準の引き下げ
- (3) 販売・物流部門の業務負荷の軽減

### 6.2 物流システム機能強化の具体策

上記の基本方針を実現するため、次のような物流のシステム改善を進めている。改善の重点は、情報技術とメカトロニクス技術の活用による物流処理の高速化・正確化である。

#### (1) 出荷管理情報システム

出荷管理情報システムの概念を図6に示す。生産工場の倉

入情報、物流センターの在庫情報に対して出荷指示がなされ、これらの情報を物流センターの自動倉庫システムに集約して物流処理を行う。データは外装箱単位に処理され、ロット番号情報を含む。バーコードを媒体として現品情報が情報システムにインプットされる。この進捗を一連の情報の流れとしてとらえ、リアルタイムで関係部門に情報提供している。

#### (2) 自動倉庫システム

自動倉庫システム(図7)を導入し入出庫作業、オーダー仕分け作業、発送作業等を省力化・高速化・正確化とともに、在庫ロケーション管理、ロットNo.管理の精度を向上させる。

#### (3) 包装表示ラベルのバーコード化

工場での生産完了段階から顧客納品までの包装表示ラベルをバーコード化する。バーコード方式は(社)日本電子機械工業会によって制定されたEIAJ標準であり、業界共通のものである。

#### (4) 包装基準データシステム

包装(個装・内装・外装)の仕様、サイズ及び数量単位に関する基準情報をデータベースとして整備し、受注単位の設定、包装材料の調達、オーダー仕分・包装作業等を効率化する。

また、自然環境・資源問題への対応として、包装の簡易化、包装材のリサイクル化に取り組む上でも、包装基準データシステムは不可欠である。

#### (5) 輸配送荷姿のユニットロード化

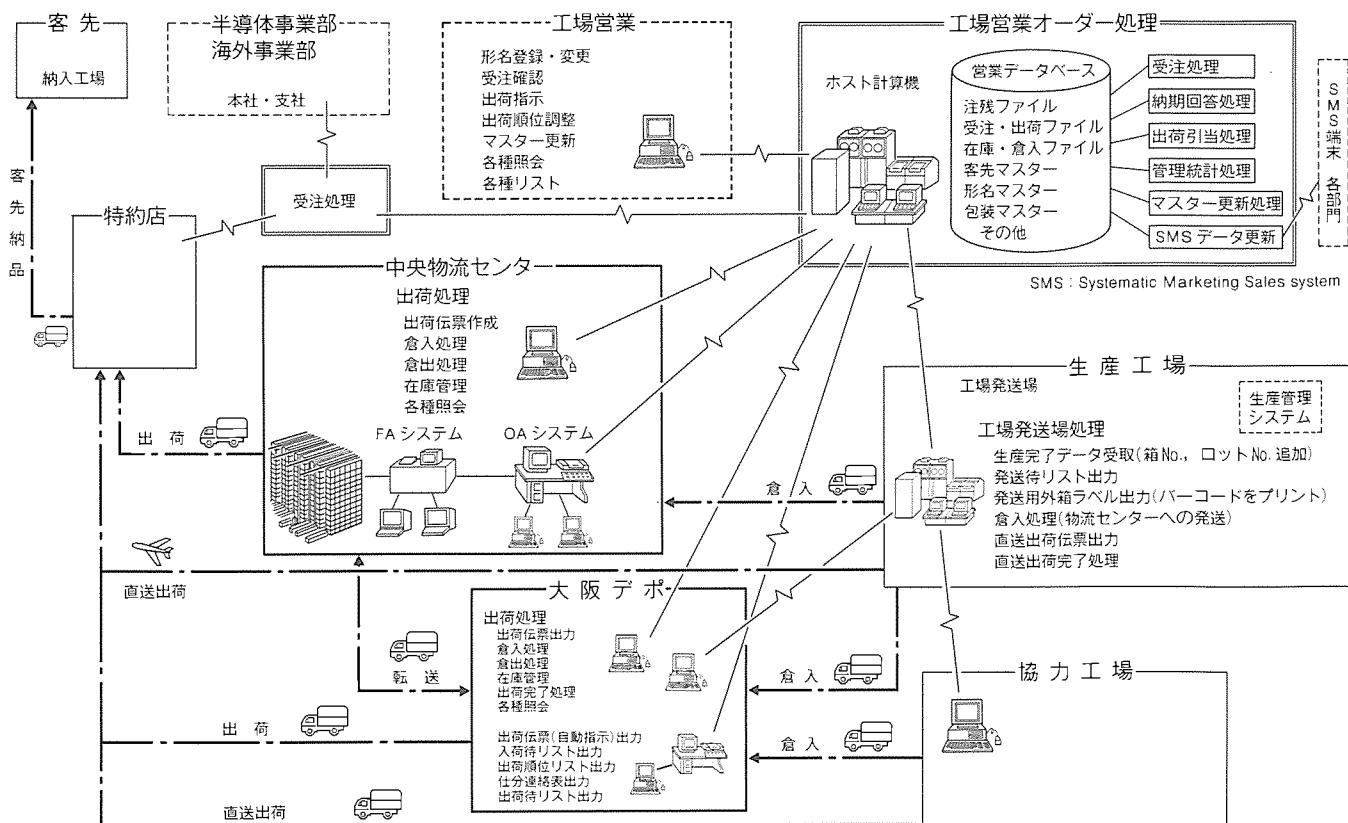


図6. 出荷管理情報システム

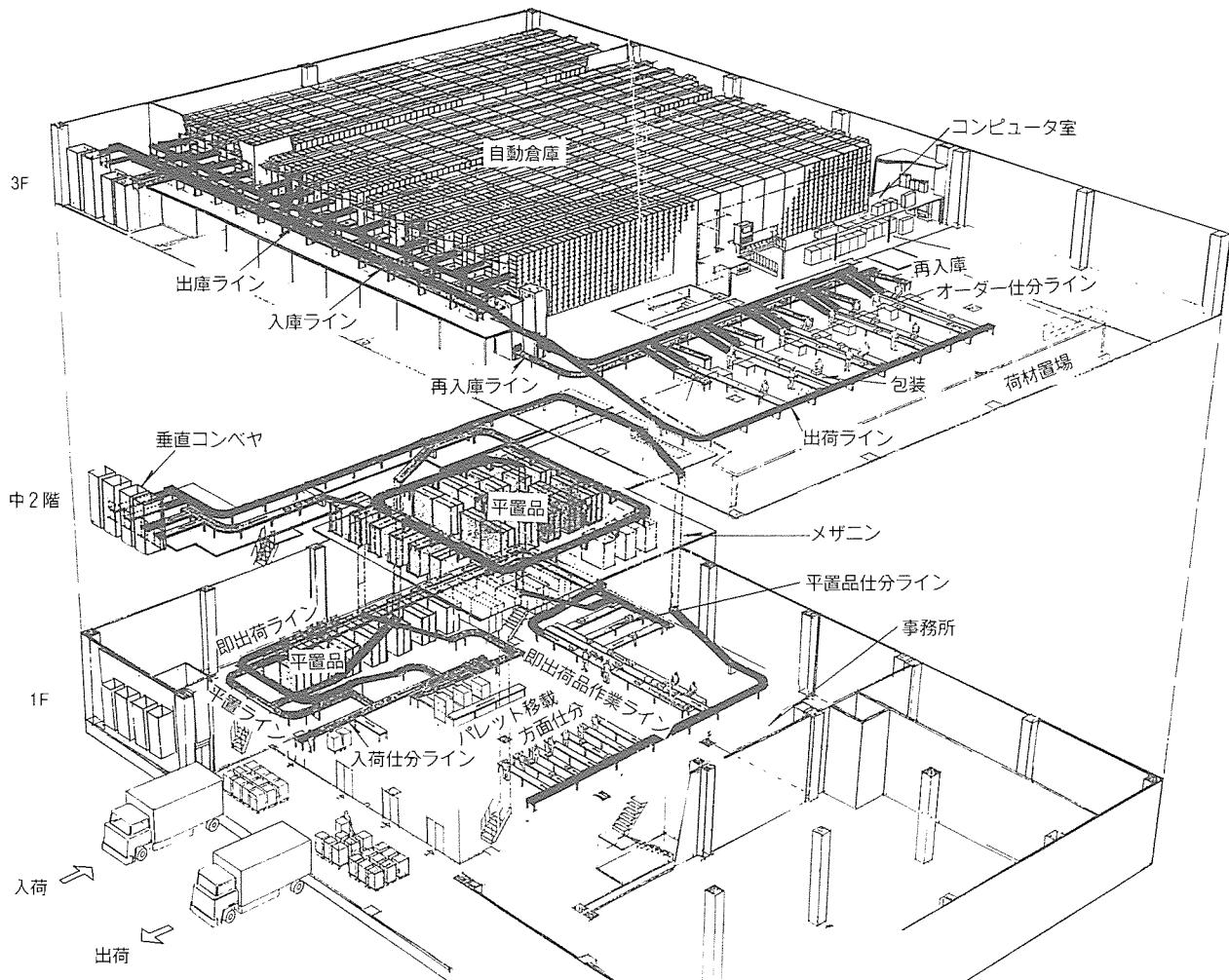


図7. 物流自動倉庫システム

外装箱をロールボックスに収容することによってユニット化して、トラック輸送と物流拠点での荷扱いを高速化し、製品損傷を防止する。

## 7. む す び

顧客指向の販売・生産活動を実現するための、販売・生産分野の情報統合化を中心にして、現在推進している内容について紹介したが、今後、半導体の市場環境のより一層のASIC化・短納期化に対応し、この関連システムの整備拡充は焦び(眉)の急ととらえており、さらに生販領域にわたる

体制整備及び情報ネットワークシステム構築を促進させていくことが必要であると考えている。

## 参考文献

- (1) 青木利明：関西経営システム協会30周年記念論文集 (1989)
- (2) 奥野治臣：Production Management No. 7 (1990)
- (3) 小谷教彦、奥野治臣：半導体製造システムのシステム化技術、電気学会誌, 111, No. 1 (1992)

## 最先端工場における生産システム

山崎雅敏\*  
青木利明\*  
御堂洋一\*

## 1. まえがき

最先端半導体生産事業は常にデバイスの高集積化や多機能化の市場要求に対応するため、微細加工を追求する製造技術の開発や、設備投資に莫大な資金がかかる一方で、メモリに代表されるように製品価格は短期間に大幅に下落するという特色がある。

こうした背景から、当社半導体工場では限られたリソースから最大の効率を引き出す生産システムを目指して、装置の自動化、製品や材料運搬の自動化はもとより、フレキシブルな生産ライン制御システム、情報処理システムの構築に取り組んできた。本稿では最先端半導体ウェーハ製造工場である当社西条工場A棟に導入した多品種変量生産システムの概要について述べる。

## 2. 最先端半導体生産工場の特徴<sup>(1)～(3)</sup>

メモリのように世代交代が激しく、単一品種で多量に消費される製品は高精度加工領域での量産が指向されるため、短期間での製品の立ち上がりと歩留り及び量の確保が最重点の課題となる。一方、いろいろな産業分野で需要の増大しているマイクロコンピュータ（以下“マイコン”という。）製品では、製品の性格からカスタムニーズに合わせた多品種変量生産となるため、品質、歩留りの確保はもちろんのこと、フレキシブルでQTAT（Quick Turn Around Time）な生産が要求される。

また、最先端製品の生産ライン新設に当たっては、製品の世代交代に伴って、数年後には他の製品へシフトすることもあり、その場合には最低限の装置更新とレイアウトの変更

で対応できるように構築する必要がある。

半導体生産工場を FA という観点からみた場合の特徴を幾つか以下にあげる。

最先端デバイスのウェーハ工程はメモリ、マイコンに限らず高集積化、微細化に伴って工程は増大している。図1はDRAMのウェーハ工程投入からウェーハ工程完了までに1ロット(通常ウェーハ25枚)の製品が加工装置、検査装置又は工程間のストッカとの間で運搬される回数を示したものである。

図2はマイコン生産ラインの生産対象品種数の例を示したものであるが、年とともに品種数が大幅に増えていることが分かる。

このように製造工程や品種の増大に伴って、生産管理、工程管理がますます複雑化している。また、装置の性能限界での高精度加工が要求されることから、加工装置からの加工条件報告や、検査結果報告等の管理データの種類と数が大幅に増加している。図1にDRAM製品1ロットに対してウェーハ工程完了までに加工に付随して管理されるデータ量を示す。これらの大量データを加工し品質や歩留り向上に利用するための情報処理システムの高度化が必ず(須)となっている。

ウェーハ製造ラインでは、同一の装置を異なる工程で繰り返し使用することやクリーンルームという特殊環境からラインのレイアウトは多くの要素を勘案する必要があり、仕様設定が難しい。

最先端製品のラインは将来流れる品種が変わることも考慮して、ジョブショップ+フローショップ方式の多品種変量生産形レイアウト構成とした。図3に多品種変量形生産ラインの構成例を示す。装置配置はジョブショップ的にするものの

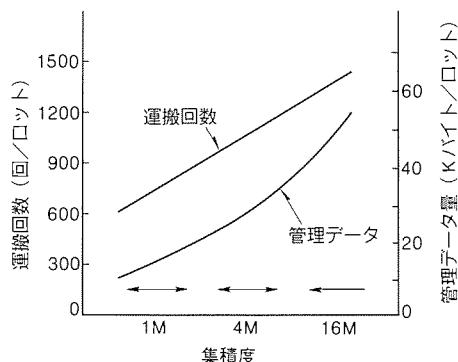


図1. 集積度と運搬回数、管理データの関係(DRAM)

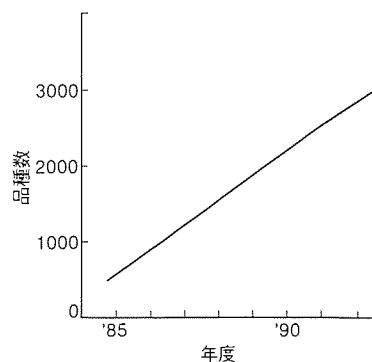


図2. 生産対象マイコン品種数(あるラインでの例)

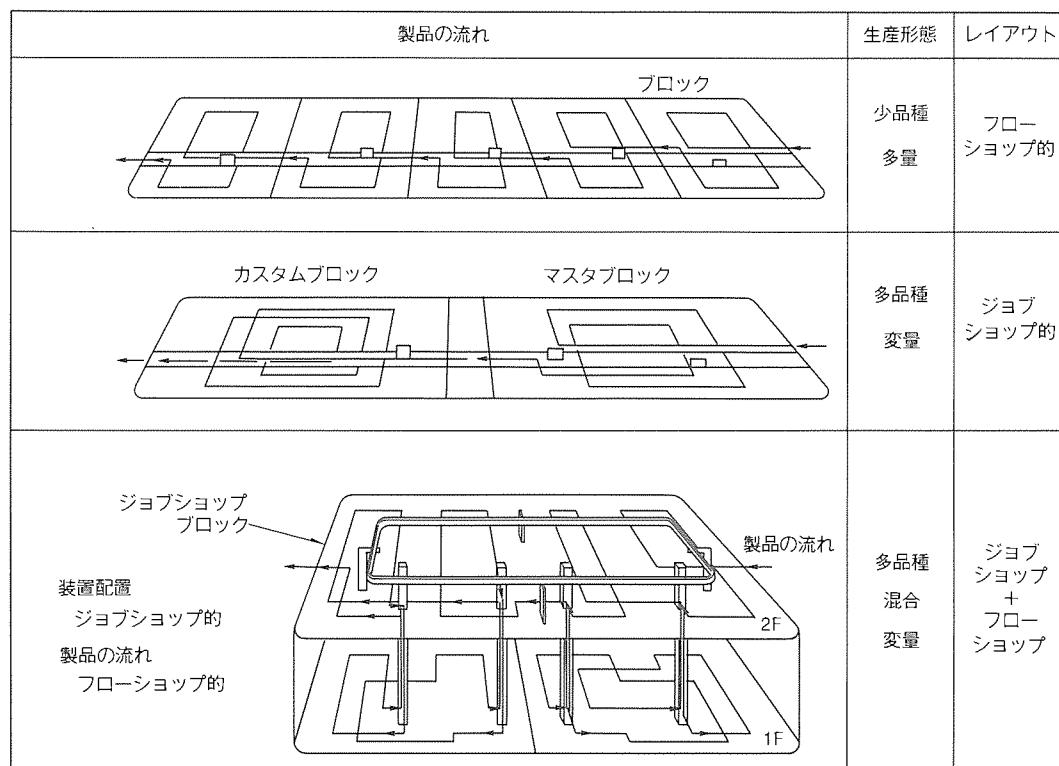


図3. ラインレイアウトと製品の流れ

工程進捗がビジュアルに把握できるような製品の流れとなるようになっている。また、建屋の有効利用と品種変更時の装置増設の余地を確保するため2フロア構造にしている。

このように複雑化するライン内で効率良く製品を流すための装置選択や、きめの細かい生産コントロールはウェーハの大口径化による製品質量の増大と相まって、人手作業を困難にしており、フレキシブルなFAに対する期待が大きい。

### 3. 半導体工場のFAシステム

#### 3.1 FAの対象項目

最先端半導体生産工場のFAシステムには、加工装置の自動化を前提に、フレキシブルかつ高速の搬送システムと、ラインを管理・制御して生産性を高めるための高機能な情報処理システムが特に重要となる。

図4にFAの対象項目を示す。

#### 3.2 情報処理システムの高機能化

FAラインのコンピュータシステムは、図5のように工場の管理を行う工場管理用コンピュータ群、搬送制御・装置制御を行う制御用コンピュータ群、及び製品の評価解析を行う技術用コンピュータ群で構成した。

工場管理コンピュータは、加工順序(製造フロー)、加工パラメータ、規格等を制御コンピュータへ伝送する。制御コンピュータはこれに基づき、搬送装置・加工装置・検査装置の制御を行う。加工結果、検査結果は各装置から制御コンピュータへ報告され、規格判定等を行った上で工場管理コンピュータへ伝送される。工場管理コンピュータはこれらのデータ

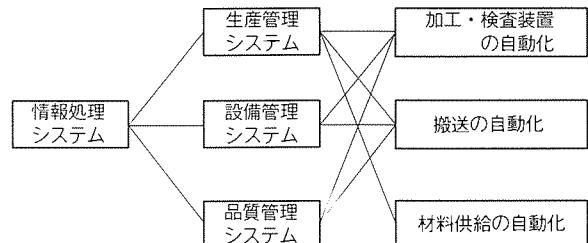


図4. FAの対象項目

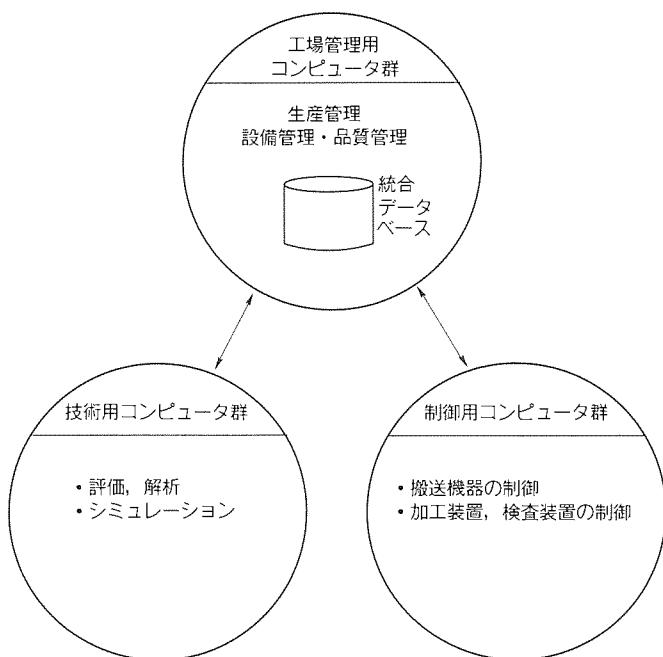


図5. システム構成の概念

タを加工し、統合化したデータベースを構築する。技術用コンピュータは、このデータベースから必要に応じたデータを受信し、評価・解析・シミュレーションを行い、結果を工場管理コンピュータへ転送してデータベース化する。

FA ラインの管理システムは生産管理・設備管理・品質管理の三つのシステムで構築されている。

次に各々のシステムの特徴を示す。

### 3.2.1 生産管理システム

生産管理システムの主要な機能である工程管理機能に、生産コントロール機能、開発・試作品管理機能を付加した。

#### (1) 生産コントロール機能

品種数の増加及び製品の高集積化に伴う工程数の増加は、平準化生産をますます難しいものにしている。装置故障等によって仕掛が偏在しても、他の工程・製品への影響を少なくし、できるだけ早く各工程の仕掛けを元に戻す生産コントロール機能が必要である。また、製品の多様化から、生産の優先順位を更に細かく管理することも要求される。

この機能は優先順位を UQTAT (Ultra QTAT), QTAT, 通常品の 3 段階で制御するとともに、通常品に関しては、各工程の出入口で仕掛け・出来高の状況をチェック、シミュレーションして平準化生産のための物流制御を行うものである。これにより、製品の安定したアウトプットが可能となり、特急品を短工期で流せるようになった。図 6 に例を示す。

#### (2) 開発・試作品管理機能

製品の多様化、製品サイクルの短期化に伴い、開発品と量産品の混流生産、新製品の短期開発・短期立ち上げが要求される。この機能は、開発・試作品に対して、途中工程でのフロー変更、ウェーハ単位での加工パラメータの指示、ロットの分割と再統合を自動指示・管理する機能である。これにより、開発管理作業の軽減、開発・試作期間の短縮が可能となった。

### 3.2.2 設備管理システム

高品質高歩留りを確保するには、各装置を安定稼働させることが重要である。装置稼働状況の把握、管理指標 (MTBF, MTTR 等) の把握はもちろん定期保全管理、予防保全管理、装置先行評価管理機能の充実を図った。

#### (1) 定期保全管理機能

定期保全の自動スケジューリングと指示を行い、指示どおりの定期保全が実施されなかった場合は警報を出す。また、指定された処理数や稼働時間で保全が必要な場合も保全要求の発報をするようにした。保全作業は、昼の時間帯に最少の人員で実施できるようスケジューリングし、夜間はできる限り無人運転ができるようにした。これにより、定期保全がより確実に実施できるようになった。

#### (2) 予防保全管理機能

装置を安定稼働させるには、装置の状態を常時チェックし、故障する前に予防保全を実施することが必要である。この機能は、装置からの Jam 報告など稼働状況を常にチェックし、異常の兆候が出た場合は、定期保全の時期前であっても、保全の指示を出せるようにしたものである。

#### (3) 装置先行評価管理機能

装置のメンテナンスや修理の後、装置が正常に作動するかを評価する(先行評価という)ことが必要である。この機能は、装置の性能や異物等の先行評価データの計上、解析及び規格判定を自動的に行えるようにしたものである。これにより、装置の状態に問題がないことを定量的に確認してから、実ロットの加工を開始することができるようになつた。

上記(1)～(3)のデータは、品質管理システムに送られて QC データとの相関分析にも使用している。

### 3.2.3 品質管理システム

製品の微細化に伴って、品質管理システムの重要性はますます大きくなっている。このシステムは、技術用コンピュータ群の採用により、統計的製品評価・解析・シミュレーション機能をより高機能化し、同時に情報のリアルタイム性を強化した。また QC データは、従来のロット単位よりウェーハ単位又はチップ単位と、より詳細な管理を可能とした。特に設備管理システムとのデータベースを共有化し、装置に関する各イベント(定期保全・故障・材料変更・スペック変更ほか)と QC データの相関関係を速やかにリアルタイムで検索できるようにした。図 7 に例を示す。

この品質管理システムにより、開発製品の早期立ち上げと量産製品の高歩留り安定生産に大きく寄与している。

### 3.3 加工装置の自動化

上位計算機で加工装置をオンライン制御するためには、通信 I/F (インターフェース) を標準化した上で、加工条件の指示、加工結果のデータ報告の機能が必要である。この根幹となる通信 I/F は、ハードウェア I/F と通信プロトコルは

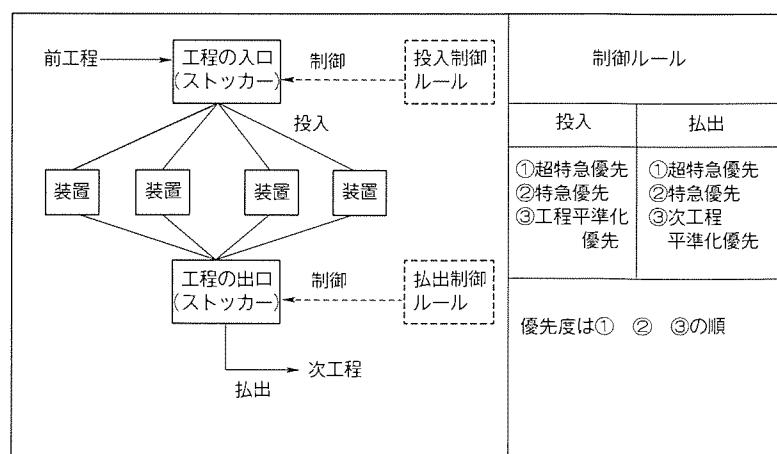


図 6 . 生産コントロールの例

SECS-I に準拠し、メッセージ内容に関しては独自の体系を構築し運用している。代表的な通信のコマンドシーケンスを図 8 に、加工条件の指示例を下記に示す。

#### \*加工条件指示 “SE” コマンド

SE	.....	制御コード	制御パラメータ1	制御パラメータ2	.....	制御パラメータn
----	-------	-------	----------	----------	-------	----------

製造フロー及び各工程ごとの加工装置とその加工条件は、製造基準情報としてデータベースに体系化して登録しており、

製品が加工装置に投入されると、製品の加工履歴を確認し、加工装置に対して、レシピ名・マスク名・温度・圧力等の加工条件を指示する。加工後は装置から実際の加工状態のデータが報告される。

#### 3.4 搬送の自動化【搬送システム】

搬送システムは、図 9 に示すようにライン内に配置された同種工程の加工装置群（以下“モジュール”という。）への製品搬送を行うモジュール内搬送システムと、各モジュールを渡って搬送するモジュール間搬送システムで構成される。それぞれ適用する搬送機器は大別すると

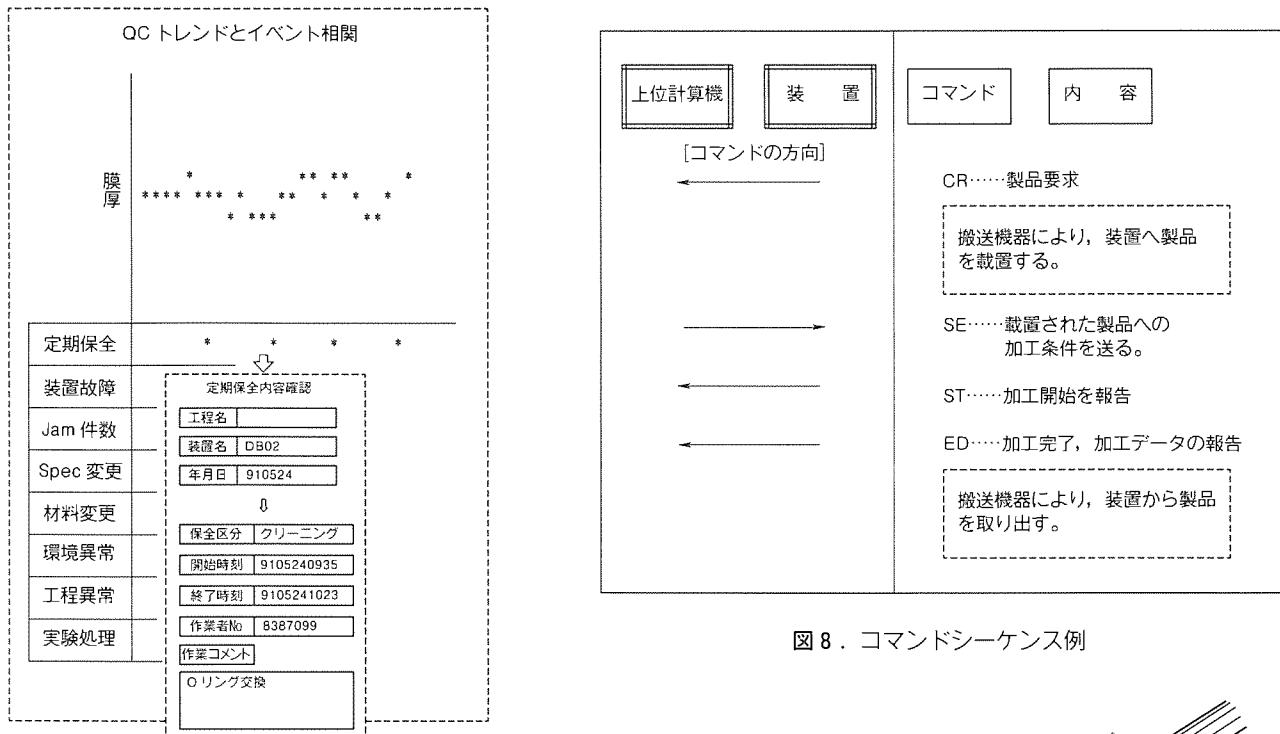


図 7. 品質管理システムの表示例

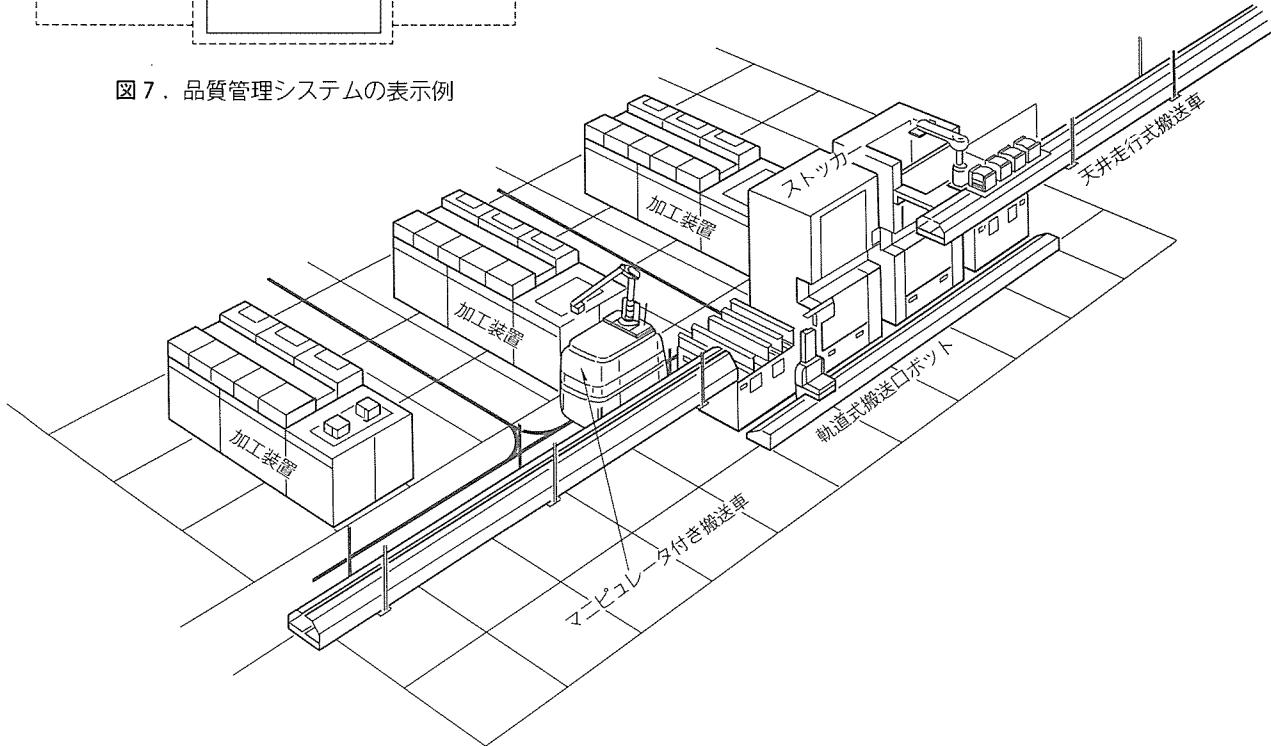


図 9. 搬送システム

- リニアモータを使用する天井走行式搬送車
- 無軌道式床上走行搬送車
- 軌道式搬送ロボット

の3機種が挙げられる。いずれも表1に示す搬送機器の2大機能である。“スピード”と“フレキシビリティ”にそれぞれ特徴があり、搬送用途に応じて使い分けや組合せを行い、装置稼働率を高めると同時に、きめ細かい生産コントロールに対応できるシステムとしている。

代表的な実施例を以下に示す。

#### (1) モジュール内搬送システム

モジュール内搬送システムは加工装置への製品搬送を行うため、加工装置の形態(枚葉処理又はバッチ処理、ローダ・アンローダへのカセット載置姿勢)に応じて搬送機器の選択をする必要がある。

例えば、バッチ処理のウェットエッティング装置・拡散炉のモジュールは、機種が少なく装置形態を標準化しやすいため自由度は低いが1～4ロット同時に搬送できるロボットを導入し、枚葉処理の写真製版・化学処理モジュール等は、機種・装置形態が多種多様なため自由度の高い1ロット搬送用ロボットを導入している。

特にレイアウト変更、工程変更により、搬送経路・搬送範囲が変わりやすいモジュールでは、6軸垂直多関節形のマニピュレータを搭載したマニピュレータ付き搬送車で対応している。

#### (2) モジュール間搬送システム

製品の大量搬送が主眼で、長距離搬送用に天井走行式搬送車、近距离搬送用に床上走行式搬送車、さらに上下の2フロアにまたがるクリーンルームを結ぶフロア間リフトにより“三次元的搬送”を実現した。製品は1～4ロットの単位で、いずれも搬送可能である。

天井走行式搬送車は、クリーンルーム全域にわたり搬送す

るため、巡回式の走行経路に複数台のカセットを載せるキャリアを導入するシステムとした。複数台のキャリアの搬送能力を最大限に發揮させるためには、各移載ステーションで、後続キャリアが追い越しできる分岐レールを設けることが望ましいが、ダウンフローの気流の乱れ、分岐機構からの発じん(塵)の問題から、分岐レール方式は採用せず、移載ステーションでの移載時間の短縮化と、キャリアのきめ細かな運行管理によって対応している。

#### 3.5 材料供給の自動化[資材搬送システム]

資材搬送システムは、ラインで使用される直材・間材類をラインの要求に応じて、一時保管している物流センターから外気にさらすことなく(塩対策を除く)工場内への搬入、及び製品・廃材等の搬出を自動的に行うものである。このシステムにより、間材・直材類の一元管理が図れ、ライン内の余剰の仕掛けをなくすことができる。また、予約機能を持たすことにより、夜間でもJUST INに材料供給ができる。

図10に示すように、資材搬送システムは物流センターの搬出入ユニットから各工場棟の搬出入ユニットまで屋外を搬送する屋外搬送システムと、工場棟の搬出入ユニットと工場内の各フロアの要所に設けられた移載ステーション間を自動エレベーターを経由して搬送する屋内搬送システムをリンクして運用している。

## 4. む す び

最先端半導体製品はまさに日進月歩で高機能化、多様化している。これに伴い生産ラインに対する要求もますます高度化している。こうした状況に対応して多品種かつ多量、少量いすれにも比較的容易に対応できると同時に、従来から情報処理機能を高度化したFAシステムを最新ラインに導入した。このシステムでは、搬送システムのフレキシビリティの向上はもとより、従来のコンピュータシステムにEWS群を加え

表1. 搬送機器の機能比較

機能	搬送機器	天井走行搬送車	床上走行搬送車	軌道ロボット
スピード	搬送速度	○	×	△
	搬送量	○	△	×
	搬送範囲	○	△	×
フレキ	搬送経路	×	○	×
シリテイ	カセットハンドリング性	×	△	○
	サービスポイント	×	△	○
	M.Mインターフェース	○	○	○
	移設の容易さ	×	○	×
	可搬質量	○	○	×
	搬送順序の変更	○	○	○
	装置との搬送インターフェース	×	×	○

注 大←機能→小  
○ △ ×

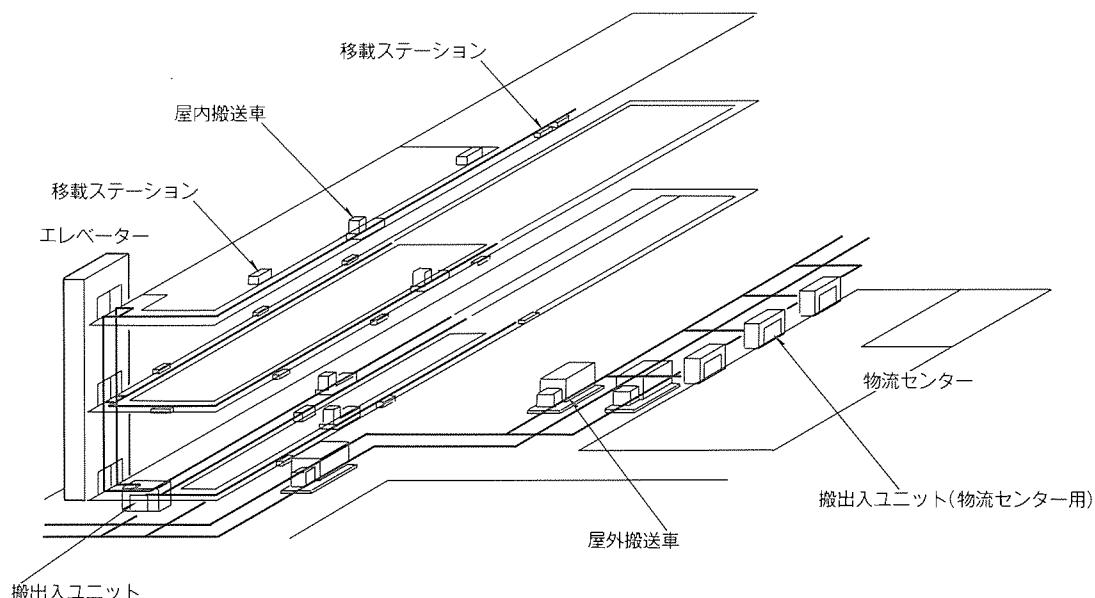


図10. 資材搬送システム

てネットワーク化し、工場の見える生産活動にかかる情報処理を一元化する CIM 構築に重点をおいた。

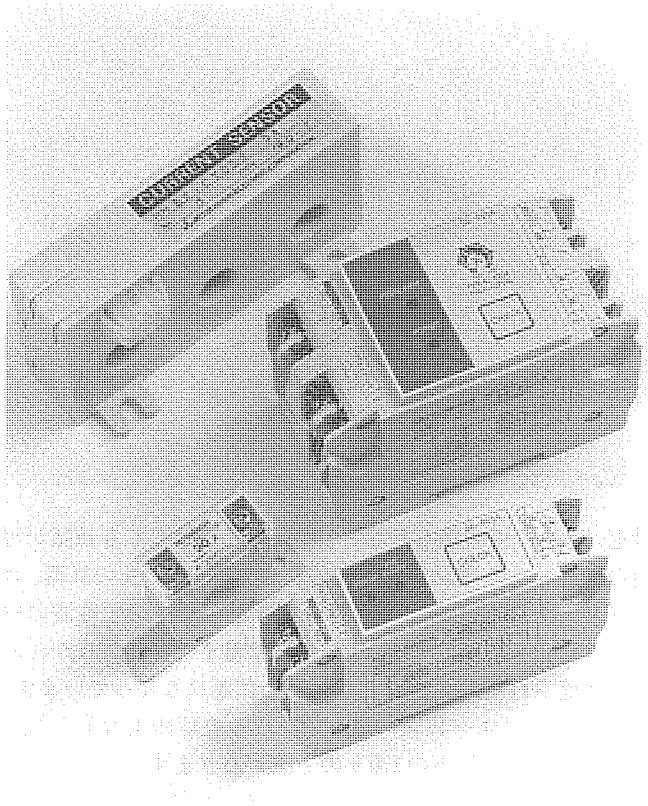
このシステムは稼働の緒についたところで、機能向上を継続中であるが最先端製品の早期立ち上がりと生産性向上に大きく寄与できるとともに、このシステムの一部は既存の少品種 FA 生産ラインの多品種化にも適用できるものと考えている。

#### 参考文献

- (1) 石橋一昭, 大谷雅樹, 吉田博之, 加藤雄一: 半導体の FA 技術, 三菱電機技報, 63, No. 11, 120~123 (1989)
- (2) 奥野治臣: 半導体工場における FA と物流システム革新, 日本能率協会, PRODUCTION MANAGEMENT, C-4-14 (1989)
- (3) 石橋一昭, 大谷雅樹, 吉田博之, 加藤雄一: 半導体工場にみる FA, 自動化技術, 22, No. 5, 18~23 (1990)

# プレアラームリレー スポットライト “BE-Pシリーズ”

オフィス内でのOA機器の増加、コンセント回路の増設等により負荷電流は当初の予想を越えて増加する傾向にあります。三菱電機ではこのたび、コンセント回路に最適な負荷電流監視ユニット、プレアラームリレーを発売致しました。プレアラームリレーは負荷電流の変動を検知し、ひいては突然の遮断器過負荷トリップ動作によるOA機器のデータ消失を未然に防止することができます。プレアラームリレーでは、専用の変流器を遮断器の負荷側に取り付けることにより、遮断器の負荷電流を監視しますので、過負荷により遮断器がトリップ動作する前に警報を発することができます。また、電流検出方式は実効値検出方式を採用しておりますので、OA・FA機器によって発生する高調波を含んだ歪み波形も確実に検出します。プレアラーム値の設定は、変流器の定格に対して50~100%(又は70, 80%)の範囲で設定でき、また、不要な動作を避けるため、この設定値以上の電流が40秒(又は20秒)継続したときに、初めて警報を発するよう構成されています。遮断器のトリップ動作事前警報のほか、変流器の定格とプレアラーム値を組み合わせることにより、より広範囲な負荷電流の監視を行うこともできます。



## 仕様

### プレアラームユニット

形 名	BE-P03A	BE-P03B	BE-P01A	BE-P01B
制 御 電 壓	AC100V, AC200V		AC24V	
定 格 消 費 電 力	2VA		1.2VA	
ピ ッ ク ア ッ プ (定格電流に対する%)	50~100%可調整		70, 80%タップ切替 (注1)	
動 作 時 間 (秒)	40		20	
出 力 接 点	自動リセット式	自己保持式	自動リセット式	自己保持式
	有接点出力 Ic AC250V 3A( $\cos\phi=1$ )		有接点出力 Ia AC250V 3A( $\cos\phi=1$ )	
	最小適用負荷 DC5V 10mA			
	チャタリング時間 10ms以下			
表 示	電源表示(赤色LED), 動作表示(黄色LED)			
操 作 ボ タ ン	チェック ボタン	リセット/ チェックボタン	チェック ボタン	リセット/ チェックボタン
用 途	3相回路のPAL検出		単相回路のPAL検出	
検 出 方 式	電子式実効値検出			

### 変流器

形 名	BE-CT1003	BE-CT053	BE-CT50I
極 数 (P)	3		1
定 格 (A) (注2)	50, 100	5	15, 20, 30, 50
最大使用電圧 (ACV)	660		250
専 用 リ ー ド 線	1m付き		—
用 途	BE-P03A・B用		BE-P01A・B用

注1 90%, 100%タップ切替も製作できます。詳細はご照会ください。

2 その他の定格電流については、ご照会ください。

## 特長

### ●実績のある実効検出

三菱プレアラーム遮断器で実績のある実効検出方式を採用しています。

### ●広範囲な電流監視

プレアラーム値の調整、及び変流器の定格を選定することにより広範囲な電流の監視ができます。

### ●出力接点仕様の充実

出力接点は過電流状態が無くなれば自動的にリセットする自動リセット式と、過電流状態が無くなっても出力を保持する自己保持式があります。

### ●分電盤に使いやすいJIS協約寸法モジュール

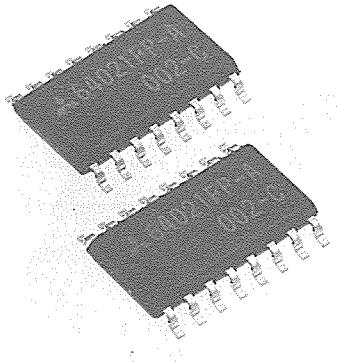
外形寸法がJIS協約形ですので、盤構造、取付方法の標準化が図れます。

### ●IEC35mmレール取付け対応

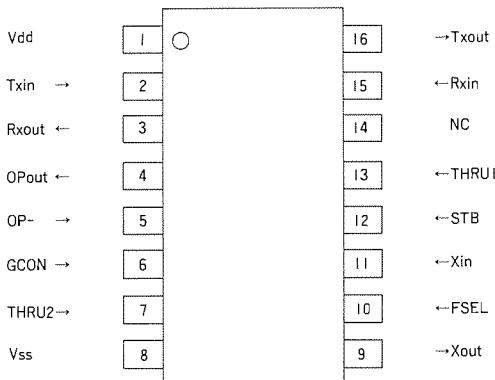
IECレールにワンタッチで取付け可能です。

スポットライ

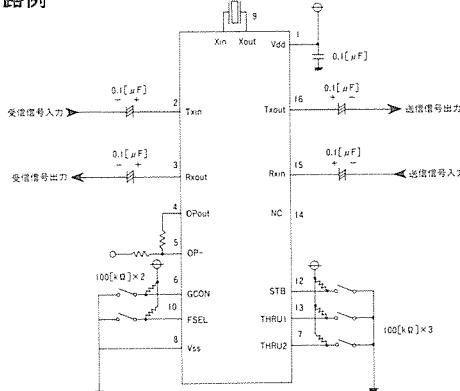
# コードレス電話用秘話IC M64021FP



ピン接続図



応用回路例



端子の機能説明

端子名	機能名称	端子No.	入出力	機能
Vdd	電源	1		+電源
Vss	GND	8		接地端子
NC	非接続端子	14		(注)本端子は外部で使用しないで下さい。
Xin	発振回路入力	11	入力	発振子接続端子 (外部クロック供給/Xtal発振が可能)
Xout	発振回路出力	9	出力	発振音信号出力端子 (内部にVrefにバイアス)
Txin	送信音声入力	2	入力	送信音声信号入力端子/ (内部にVrefにバイアス)
Txout	送信音声出力	16	出力	送信音声信号出力端子
Rxin	受信音声入力	15	入力	受信音声信号入力端子/ (内部にVrefにバイアス)
Rxout	受信音声出力	3	出力	受信音声信号出力端子
OPout	OPアンプ出力	4	出力	オプショナルOPアンプ出力端子
OP-	OPアンプ入力	5	入力	オプショナルOPアンプ-入力端子
GCON	ゲイン制御端子	6	入力	送受信信号レベル制御端子 GCON=L時 Tx=0dB Rx=0dB GCON=H時 Tx=-6dB Rx=+6dB
THRUI	バスモード/ 選択端子	13	入力	THRUI THR2 バスモード L L トランスペアレントスルーバス L H フィルタードスルーバス H L 秘話バス H H 秘話バス(同上モード)
THRU2	バスモード/ 選択端子	7	入力	
STB	スタンダードバイ/ 選択端子	12	入力	スタンダードバイモード選択 (STB=L時スタンダードバイモード)
FSEL	内部クロック/ 分周比選択端子	10	入力	3.58/3.69MHz使用時 FSEL=L 4.00/4.19MHz使用時 FSEL=H

最近、手軽に持ち運びができる、部屋のどこからでも通話が可能なコードレス電話が急速に普及しています。その反面、コードレスという性質から当然のことながら無線で電波のやりとりを行うことにより、第三者に故意または偶然にかかわらず盗聴されるおそれがあり、社会問題にもなっています。現行アナログコードレス電話における盗聴防止対策としては大きく分けて以下の3通りの方法があります。

- (1) 周波数を一定の時間ごとに切り替える方式
- (2) 送受する音声信号を加工する方式
- (3) 電波の強さを親機と子機の距離により変える方式

今回製品化したM64021FPは、コードレス電話機などの無線通信機器を対象とした盗聴防止用ICであり、上述した(2)の方式(音声スクランブル方式)を採用し、無線で送受する信号の波形を変えることにより、傍受しても正常な音声として聞こえないようにするものです。

## 特長

- M64020FPと上位互換
- 送受信回路を独立に内蔵
- 高品質な再生音質
- 低消費電力(各モードに対応したスタンダードバイ機能)
- 入出力高次フィルタ内蔵(入出力LPF:12次)
- 秘話時送受信レベル制御可能(隣接チャネル漏洩対策用)
- 源発振周波数として、3.58/3.69/4.00/4.19MHzを選択可能
- 秘話パス/トランスペアレントスルーパス/フィルタードスルーパスを内蔵
- オプショナルOPアンプ及び、発振回路(含C、R)を内蔵
- スイッチドキャパシタフィルタ内蔵による少ない外付部品
- 小形パッケージ(16ピンプラスチックモールド)採用

## 用途

- コードレス電話機
- その他無線通信機器



# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産専門部  
特許営業グループ Tel(03)3218-2137

## 半導体メモリ装置 (特許 第 1535377 号)

この発明は、アクセスタイムの向上及び消費電力の低減が可能な半導体メモリ装置に関するものである。

従来のスタティック RAM 等では、図 1 に示す如く、読出されるセルのアドレス情報が行デコーダ(4)で解読され、あるワード線(3)が活性化されることによって、そのワード線上のセルからメモリ情報を取り出す。しかし、この方法では、同一行上のすべてのメモリセルが活性化されるため、コラム数の多い大容量メモリを構成する場合には電流の流入量、つまり、消費電流が大きくなるという欠点があった。

この発明はかかる欠点を解決するためになされたもので、図 2 のようにマトリクス状態に配置されたメモリセルアレイ

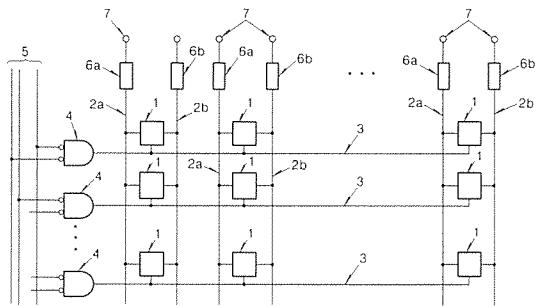


図 1

発明者 穴見健治・吉本雅彦・篠原尋史  
を列方向に分割して N 個のメモリセル群とし、行デコーダ(4)から出力される前置ワード線(15)とメモリ群選択線(14)との交点において論理積をとるアンドゲート(16)を接続し、その出力としてワード線(3)を配列する。したがって、例えば特定のアンドゲート(16a)を開ければ、メモリセル群(1a)内のワード線(3a)のみ活性化され、その線上しか電流は流れない。また前置ワード線(15)を低抵抗材料とすれば、ワード線は短いため多少抵抗が大きくても高速にメモリセルをアクセスすることができる。このようにこの発明によれば、メモリセルの行選択を階層的に行うため、高速でしかも低消費電力の大容量半導体メモリ装置を提供することができる。

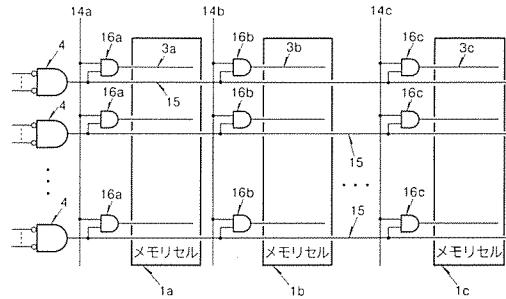


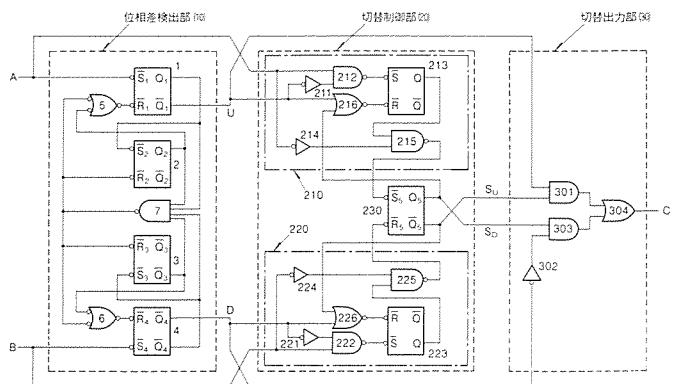
図 2

## 位相比較器 (特許 第 1045972 号)

この発明は、例えば PLL (フェーズロックループ) 技術を用いたモータ速度制御系で使われ、基準クロックへの引き込み特性を改善した位相比較器に関するものである。従来の位相比較器では、位相の比較範囲が  $2\pi$  を超えると誤って整数倍周波数にロックインしてしまうという欠点があった。

この発明は、このような欠点を解決すべく、次のように構成される。すなわち図において、基準周波数入力信号 A 及び被制御入力信号 B は位相差検出部(10)において比較され、A が進相のとき U が、B が進相のとき D が出力 (Low) される。切替制御部(20)では、A、B の位相入力が交互に切り替わるとき、又は、進相入力が遅相入力に切り替わるときは、S<sub>U</sub>、S<sub>D</sub> は従前の出力状態を保ち、その結果切替出力部(30)の出力信号 C も変化しない。一方、遅相の位相入力が進相の位相入力に対し、1 周期以上遅れるときは、A が進相のとき、S<sub>D</sub> = H、B が進相のとき、S<sub>U</sub> = H となる。このとき切替出力信号 C は遅相入力側の進相位相差信号 (U 又は D) を出力する。

発明者 堀場康孝、植田昌弘  
このような位相比較器を用いた PLL 制御系では、例えばモータが加速され過ぎて、その回転数が基準周波数を大幅に追い越した場合でも、速やかに引き込み状態に安定させることができる。また、この発明はデューティやパルス幅の影響を受けず、集積回路化が容易であり、通信制御等幅広い分野に適用可能である。



図



# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産専門部  
特許営業グループ Tel(03)3218-2137

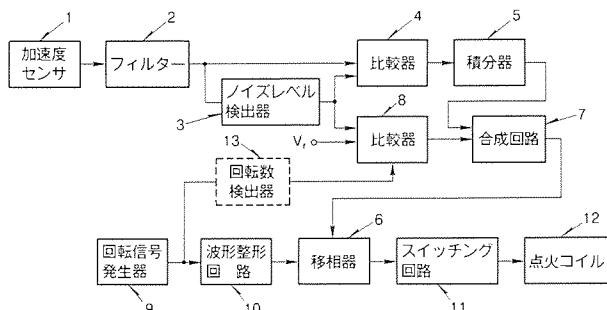
## 内燃機関の点火時期制御装置 (特許 第1506345号)

発明者 岩田俊雄

この発明は機関の加速度センサの出力からノッキング信号を検出し、そのノッキング信号の大きさに応じて点火時期を制御する点火時期制御装置において、ノッキング検出装置の故障時にも遅角動作による早期点火を防止し安全な機関運転を可能とすることを目的としたものである。

すなわち、加速度センサ(1)出力のノイズ信号レベルを検出するノイズレベル検出器(3)出力を比較器(8)で設定電圧( $V_r$ )と比較し、設定電圧( $V_r$ )より小さければ故障であると判断して移相器(6)により点火時期を遅角させ、ノッキングのない安全な機関運転を行う。また、一般に機関運転中に発生する機関振動は回転数に応じて大きさが変化するものであり、低速時においては、加速度センサ(1)出力のノイズ信号レベルが設定電圧( $V_r$ )より小さくなつて、ノッキング検出装置が正常に動作しているにもかかわらず故障と判断し、点

火時期を遅角させる可能性がある。このため、機関の回転数を回転数検出器(13)によって検出し、所定値以下の低速時には比較器(8)出力に基づく上記遅角動作を無効として基準点火時期信号による点火を行わせるようにしたので、点火時期の不必要的遅角を防止することができ、より適格な点火時期制御を行わせることができるとなる。



〈次号予定〉 三菱電機技報 Vol. 66 No. 3 生産技術の革新特集

### 特集論文

- 生産技術の神話
- 生産技術の展望
- 換気扇工場 CIM 化
- ノーヒューズ遮断器・多品種量産系 CIM ライン
- プログラマブル コントローラ工場の CIM 化
- 市場対応型生産システムの構築
- 流通センターにおける FA システム構築
- 検査・調整の自動化技術
- ファジー制御放電加工機

### ●ディスプレイモニタ品質管理ネットワークシステム

- 最近の新方式加工技術事例
- ビーム応用表層加工
- 普通論文**
- アイスクリーム製造用バッチブレンディング システム
- 新形気中遮断器 SuperAE
- アモルファス柱上変圧器
- 整備実習用トレーナーシステム
- タイ王国・バンコク首都警察局納め191番緊急通報受付指令通信システム
- MELCOM80 オフィスコンピュータ用“三菱人事情報システム”
- リレーショナル データベース プロセッサ GREO を用いた高速 SQL システム

〈訂正のお知らせ〉 次のとおり訂正するとともにお詫びいたします。

Vol. 65 No. 12 p. 2 誤「取締役」 → 正「代表取締役社長」  
Vol. 66 No. 1 p. 77 誤「"EDUET"<sup>(注1)</sup>」 → 正「"EDUET"」

### 三菱電機技報編集委員

委員長	山田 郁夫
委員	小澤 文明
◎	福岡 正安
◎	谷 豊文
◎	風呂 功
◎	大原 啓治
◎	松村 恒男
◎	名取 直幸
◎	吉岡 猛
◎	鳥取 浩
◎	岡田 久雄
幹事	長崎 忠一
2月号特集担当	戸橋 宏二

### 三菱電機技報 66巻2号

(無断転載を禁ず)

1992年2月22日 印刷

1992年2月25日 発行

編集兼発行人 長崎 忠一

印 刷 所 千葉県市川市塩浜三丁目12番地(〒272-01)

菱電印刷株式会社

発 行 所 東京都千代田区大手町二丁目6番地2号

日本ビル 6階(〒100)

三菱電機エンジニアリング株式会社内

「三菱電機技報社」Tel.(03)3218局2806

発 売 元 東京都千代田区神田錦町三丁目1番地(〒101)

株式会社 オーム社

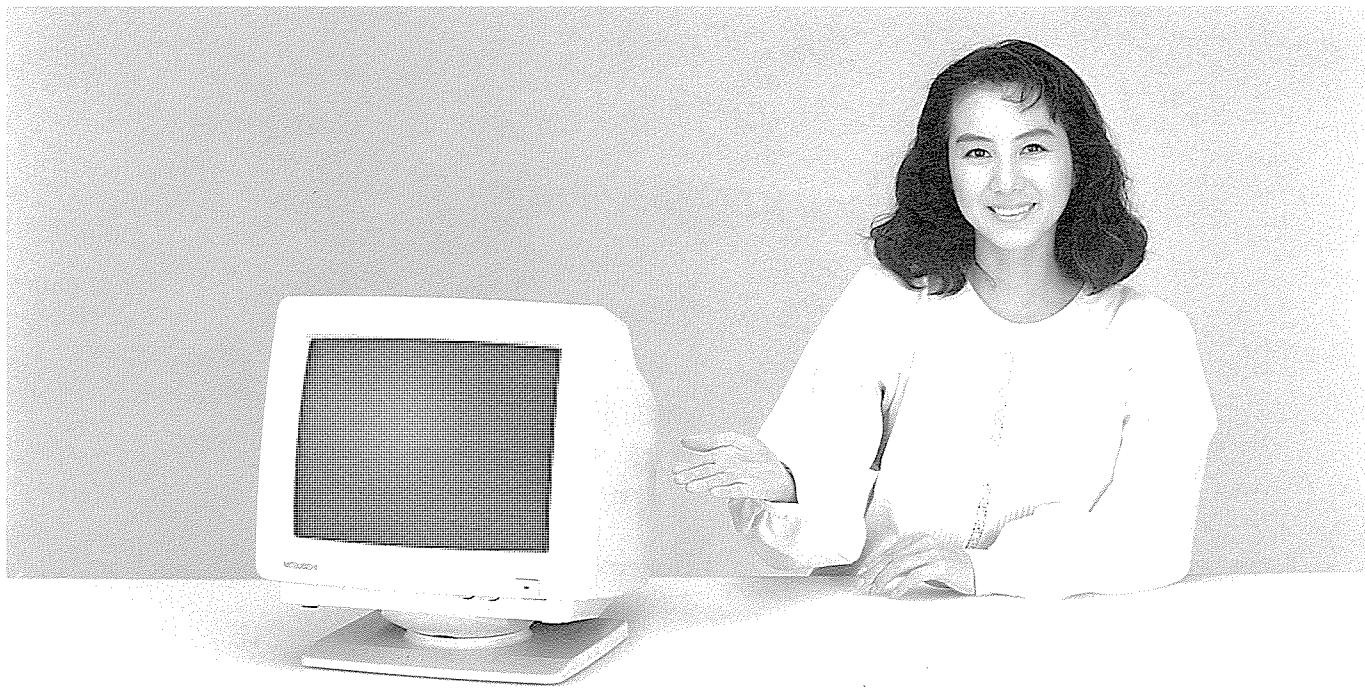
Tel.(03)3233局0641(代) 振替口座東京6-20018

定 價 1部 721円(本体700円) 送料別

年間予約は送料共9,373円(本体9,100円)

# スポットライ

## Windows 3.0対応 14" 高解像度モニタ XC-98V3



パソコンの新しい操作環境であるGUI(Graphical User Interface)を実現するWindows3.0がリリースされ、国内でも普及が始まりました。この本格的なWindows3.0時代をとらえて、640×480ドットの解像度にも対応できるデュアルスキャナモニタ“XC-98V3”を開発しました。

### 特長

#### ● 2種類のパソコンに対応するデュアルスキャナモニタ

NEC(日本電気株)製のPC-9801シリーズ(640×400ドット)に加えて、IBM社製のPS/55シリーズModel5510(640×480ドット)にも対応。信号ケーブルをつなぐだけで、モニタ内の周波数弁別回路により水平周波数の違いを判別して、自動的に最適な画面を表示します。

#### ● ドットピッチ0.28mmを採用

精細なマルチウインドウやカラフルなアイコンなど、Windows3.0で使用される多彩なグラフィック表示を高密度ドットピッチ0.28mmによって忠実に、また鮮やかに表示します。さらにビデオ回路を広帯域化することにより、ドットピッチ0.28mmに合った高精細な画像を映すことができます。

#### ● 有効表示画面を10%拡大

GUI環境を重視したWindows3.0をより見やすくするために、画面の有効表示面積を約10%拡大。14インチで15インチに匹敵する表示ゾーンを実現しました。

### ■ 本体仕様

形名	XC-98V3	
ブラウン管 螢光体	サイズ、角度、ドットピッチ B22(短残光)	14", 90, 0.28mm
不要電波ふく射防止規格	VCCI-II適合	
水平周波数	24.83kHz	31.5kHz
垂直周波数	56.4/55.4Hz	60Hz
表示サイズ	250×157mm	250×188mm
解像度	640×400ドット	640×480ドット
電源入力	100V AC 50/60Hz	
消費電力	70W(MAX)	
使用周囲温度	10~40°C	
使用周囲湿度	10%~90%RH(結露のないこと)	
寸法	幅354×高さ312×奥行390mm	
重量	12kg	

#### ● ノングレア処理の採用でCRTの反射を防止

ノングレア処理により、蛍光体などの反射が少なく、ティント管の採用によりコントラストが良く、見やすい画像が得られます。

#### ● 各国安全規格に準拠

アメリカUL規格、カナダCSA規格などの安全規格に準拠した設計により、高い安全性を信頼性と確保しています。

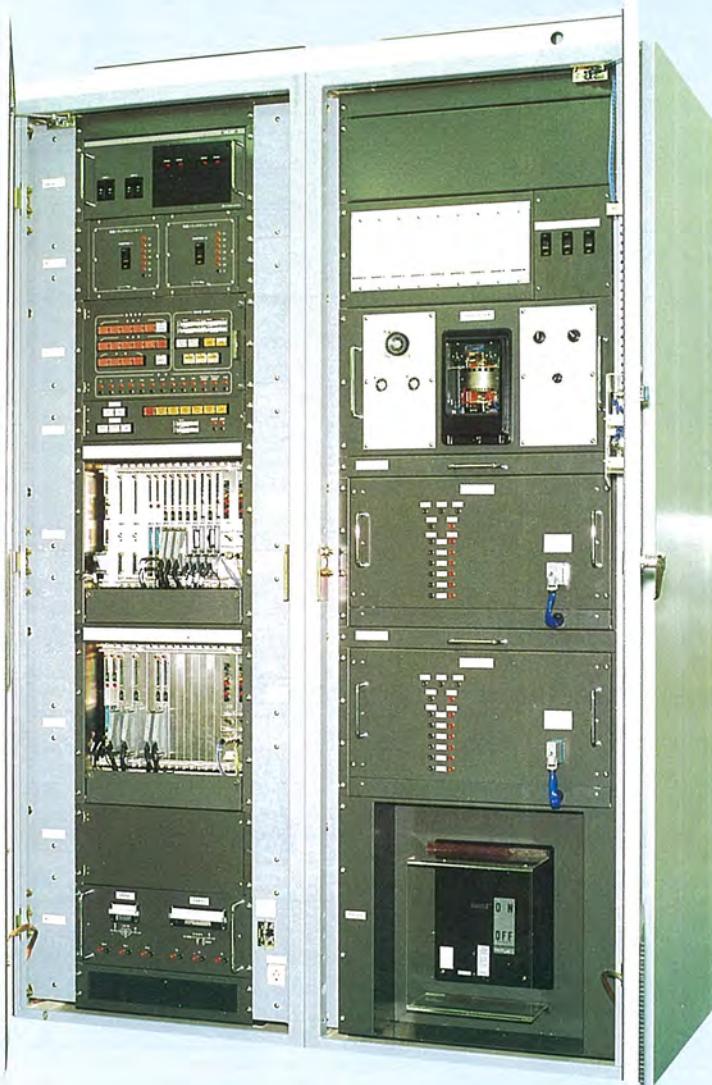
#### ● VCCI-II適合

国内の不要電波ふく射防止規格であるVCCIのII種に適合。周辺機器に悪影響を及ぼさない設計となっています。

以上の様に「人にやさしい」を考えた製品です。

注 IBMはInternational Business Machines Corporationの登録商標です。Windows3.0は米国マイクロソフト社の登録商標です。PS/55はIBM社の登録商標です。

# スポットライ デジタル式励磁制御装置



電力需要の伸びとともに電力の安定供給に対するニーズがますます高まる中、発電プラントにおける発電機のデジタル式自動電圧調整装置(D-AVR)を開発しました。現在十数プラントで順調に稼動中です。

## 特長

### ●高機能・高性能な制御の実現

主CPUに32ビット高速マイクロプロセッサを採用することにより高速演算処理を実現しました。また、制御定数の自己設計機能あるいは系統安定化機能等のインテリジェントな機能も装備しています。

### ●信頼性の向上

主制御部のすべてを二重化し自己診断結果により自動的に待機系に切り替わるシステムとしました。

### ●操作性・保守性の向上

電圧確立の自動化機能を備え、操作性を向上。また、自己診断機能と階層化された警報システム並びに事故記録機能により故障箇所の早期発見ができます。

### ●スペースファクターの向上

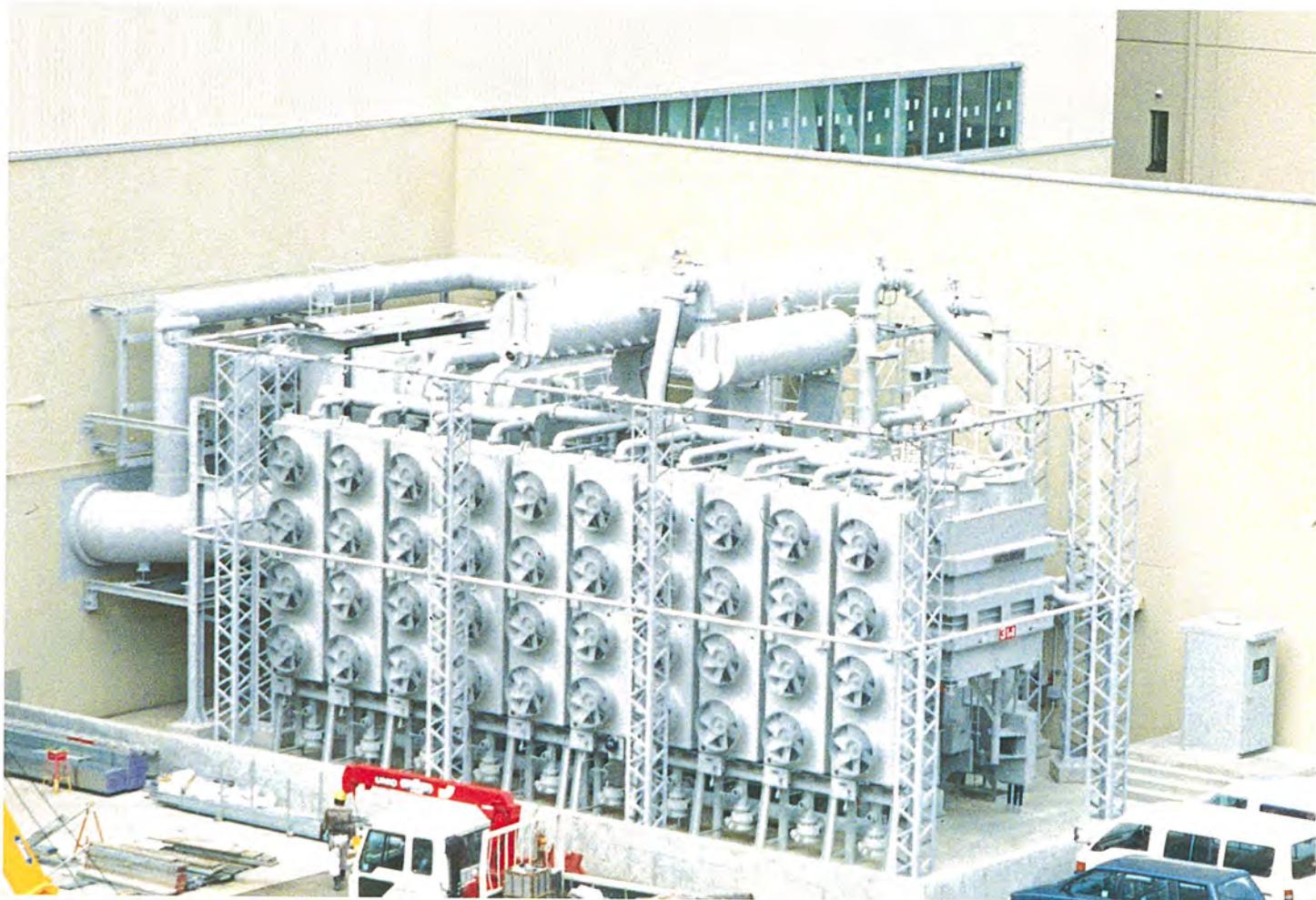
従来アナログAVRでは盤4面で構成されていたものを2面で構成可能(当社比)としました。

### ●総合的な経済性の向上

無効電力制御(AQR)等の機能を集約でき、また、定期点検の省力化が図れるため総合的に経済性が向上します。

# スポットライト

## 関西電力(株) 大飯発電所向け 515kV, 1,260MVA 3,4号主変圧器



このたび三菱電機では、関西電力(株)大飯発電所3, 4号機用として、国内最大容量の三相、1,260MVA、515/24kV主変圧器を完成し、現地へ納入いたしました。本変圧器は当社大容量・高電圧変圧器の標準である外鉄形フォームフィット構造を採用し、最新の設計及び工作技術により最高水準の低損失化を高信頼度のもとに実現しました。3号機は平成3年12月18日から営業運転に入っており、4号機も順調に建設が進んでいます。

### 仕様

形式：外鉄形送油風冷式 負荷時タップ切換器付き  
定格容量：1,260MVA  
定格電圧：1次 24kV 三角形 20号A  
2次 515kV 星形 500号L  
インピーダンス：14%

### 特長

- UHV機器開発に際して確立した理論解析及び絶縁技術等、各種の技術開発成果を活かし、高信頼化とともに低損失化を実現してプラントの高効率化に威力を発揮しています。
- 送油風冷式冷却器として、冷却ユニットの油側及び空気側効率を改善し、翼形断面ファンを取り付けた新形高効率冷却器を適用、補機損失の低減によりプラントのランニングコストの削減を図っています。
- 負荷時タップ切換器を本体直付けすることにより、別置式負荷時電圧調整器を省略するとともに、高圧端子引出部への500kV油中スペーサ(エレファント仕切板)の適用及び高効率冷却器の採用と合わせて、既設1, 2号機用主変圧器(三相、1,240MVA, 515/24kV)に比べて約50%の省スペース化を実現、プラント敷地の有効利用、基礎建設費の低減を図っています。