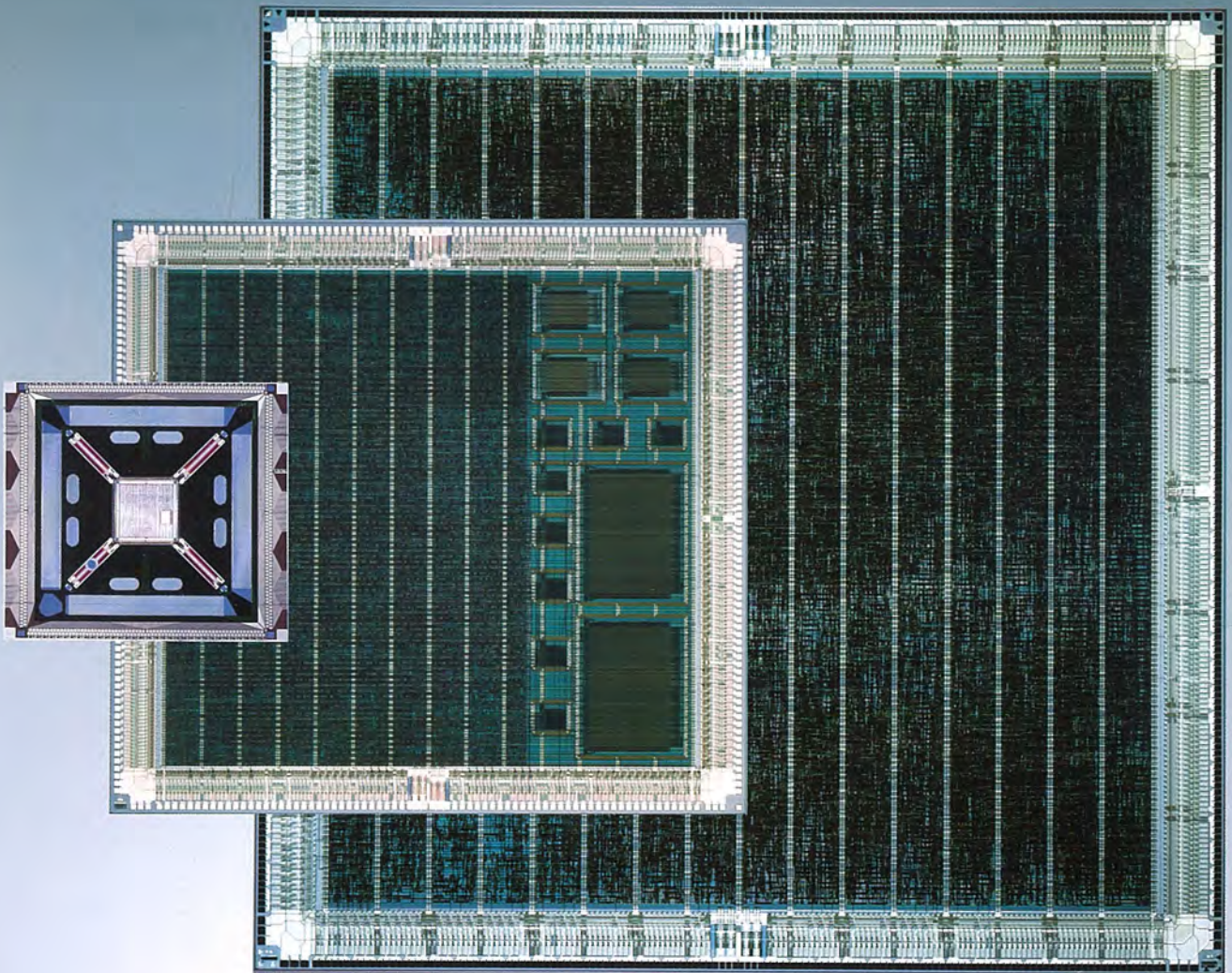


MITSUBISHI 三菱電機技報

MITSUBISHI DENKI GIHO Vol.65 No.2

2
1991

最近のASIC技術特集



最近の ASIC 技術特集

目次

特集論文

ASIC 特集に寄せて	1
岡 久雄	
システムの動向と ASIC の現状と展望	2
吉富正夫・松本平八・仁田重之・元吉啓登	
多層配線技術	9
中尾修治・大崎明彦・高田佳史・堤 聡明・松浦正純・石井敦司・小谷秀夫	
0.8 μ m CMOS ASIC プロセス	14
畑中正宏・大野多喜夫・山口澄夫・森本博明・松田修一	
セルベース設計用モジュール ジェネレータ	18
篠原尋史・津田和彦・松本憲昌・辻橋良樹・藤森久美子・味岡佳英・塚本美智子	
0.8 μ m CMOS ゲートアレー	24
岡辺雅臣・柿沼守男・国岡美千子・村井正弘・川端啓二	
1.0 μ m CMOS ゲートアレー M60060 シリーズ	29
鈴木正博・中村博隆・布上裕之・小野眞司・瀧口真美・福水利之	
32ビット CPU コアを内蔵した ASSP の開発手法	35
北上尚一・中尾裕一・大木正司・中村充善・鎌倉 寛・是松次郎	
ASIC 対応パッケージング技術の最新動向	39
吉田 稔・島本晴夫・上田哲也・中尾 伸	
デジタルオーディオの高音質化へのアプローチ	45
加藤久雄・水野幹滋・森岡幸一	
低消費電力・映像用 CMOS A/D コンバータ LSI	50
細谷史郎・三木隆博・前田 敦・矢澤信春	
ISDN 基本インタフェース用 LSI	54
中林竹雄・近藤晴房・蔵永 寛・長谷川浩一・山本誠二	
CB-1 設計システムを用いた	
8kbps 単位交換可能な大容量時分割スイッチ LSI	58
覚楚高音・鈴木孝昌・川畑英雄・岸田 悟・長谷川浩一	
FAX 用画像処理コントローラ M66332FP	62
滝 洋一郎・中林祥恵・広川祐之・瀬政孝義・永田良浩	
光ディスク用誤り訂正 LSI	68
森 信太郎・児玉幸夫・吉田英夫・井上 徹・清瀬泰広	

特許と新案

光波長分波装置、端末装置	75
リード・ソロモン符号の符号化方法	76

スポットライト

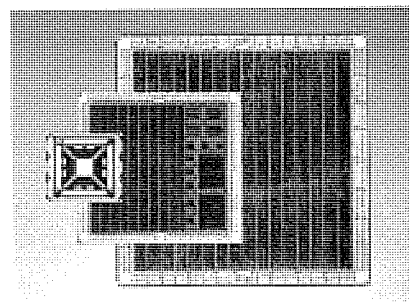
マルチスタンダード対応 PLL VIF/SIF IC “M52020SP”	74
TWIN-PLL 方式テレビ中間周波信号処理 IC “M52014SP”	(表 3)

表紙

0.8 μ m CMOS ゲートアレー

0.8 μ m CMOS アルミ 3 層配線技術を用いて開発した 400KG (写真：大) と 250KG (写真：中) のゲートアレーのチップ写真と 576 ピン TCP (Tape Carrier Package) に実装された 400KG ゲートアレー (写真：小) の写真。

チップサイズは、250KG が 13.08mm × 12.22mm, 400KG が 14.56mm × 14.46mm である。写真の 250KG には、モジュールジェネレータで生成されたシングルポート RAM とデュアルポート RAM が合わせて 14 ブロック搭載されている。写真の 400KG には、121KG の回路が集積され、1615 のフリップフロップを一括駆動するクロックドライバを採用している。



アブストラクト

システムの動向と ASIC の現状と展望

吉富正夫・松本平八・仁田重之・元吉啓登

三菱電機技報 Vol. 65・No. 2・P 2～8

電子システムの中において ASIC が果たしている役割について述べた。ASIC は、電子システムの発展とともに成長してきた。現在あらゆるシステムの中で、キーデバイスとして重要な役割を果たしている。システムにおける様々なニーズと半導体のシーズが、ASIC によって実を結んでいるためである。今後とも ASIC は、その技術革新により重要性をますます高め、システムオンチップを目指してシステムとともに表裏一体となって発展していくと思われる。

1.0 μ m CMOS ゲートアレー M60060 シリ ーズ

鈴木正博・中村博隆・布上裕之・小野真司・瀧口真美・福水利之
三菱電機技報 Vol. 65・No. 2・P 29～34

1.0 μ m CMOS ゲートアレー M60060 シリーズの特長及び技術について述べるとともに、CAD サポート体制について紹介する。

同シリーズは、1.0 μ m CMOS 2 層配線プロセス技術と最新のアセンブリ技術により、高速かつ低消費電力で更に多ピンプラスチック QFP パッケージが利用できる特長を備えている。

多層配線技術

中尾修治・大崎明彦・高田佳史・堤 聡明・松浦正純ほか

三菱電機技報 Vol. 65・No. 2・P 9～13

最先端 ASIC に不可欠であるサブミクロン多層アルミ配線技術について報告する。コンタクトにおける Si 析出を防止する電極形成技術、信頼性を向上させるための Al 配線材料技術、配線パターンの微細化に対応する反射防止膜技術について述べる。また、有機シランとオゾンを用いた常圧 CVD による平坦化特性に優れた新しい層間絶縁膜形成法について示す。さらに、接続孔の歩留り、信頼性を改善する CVD タングステン技術についても言及する。

32ビット CPU コアを内蔵した ASSP の開発手法

北上尚一・中尾裕一・大木正司・中村充善・鎌倉 寛・是松次郎
三菱電機技報 Vol. 65・No. 2・P 35～38

トロン仕様に準拠した32ビット マイクロプロセッサ M32/100 をコアとして、周辺機能を内蔵した ASSP (Application Specific Standard Products) を開発した。セルベース CAD に基づいた階層設計、専用の入出力信号記述の使用による論理シミュレーション時のマンマシン インタフェース改善、効率的な論理のモデル化等によって開発工数を大幅に削減し、かつ迅速な製品展開を可能にした。

0.8 μ m CMOS ASIC プロセス

畑中正宏・大野多喜夫・山口澄夫・森本博明・松田修一

三菱電機技報 Vol. 65・No. 2・P 14～17

0.8 μ m デザインルールによる CMOS ASIC 対応のデバイス構造、及びプロセス技術について紹介するとともに、ASIC の開発期間短縮に有効な EB 直接描画技術についても述べた。主なプロセス技術としては、N⁺ オーバラップ LDD 構造を採用することで、NMOS の高信頼化を実現したこと、配線の 3 層化に対応して、TEOS 系の低温平坦化絶縁膜により、微細な多層配線構造を可能としたことである。

ASIC 対応パッケージング技術の最新動向

吉田 稔・島本晴夫・上田哲也・中尾 伸

三菱電機技報 Vol. 65・No. 2・P 39～44

多様化しつつある ASIC (Application Specific Integrated Circuit) 対応パッケージの動向について、多ピン化の視点からとらえた。当社は、従来 QFP と同一外形で、約 1/2 の熱抵抗を持つヒートスプレッダー内蔵のプラスチックパワー QFP を開発した。さらにワイヤボンダ代替の TAB 技術を用い、低熱抵抗、低リードインダクタンス化を実現した、Al キャップ構造の超多ピンプラスチック TCP について紹介する。

セルベース設計用モジュール ジェネレータ

篠原尋史・津田和彦・松本憲昌・辻橋良樹・藤森久美子ほか

三菱電機技報 Vol. 65・No. 2・P 18～23

RAM・ROM・乗算器・PLA 4 種類のセルベース設計用モジュールジェネレータを、1.0 μ m ASIC 用 CMOS プロセスを用いて開発した。このモジュール ジェネレータは、セルの規模パラメータに加えて形状パラメータや機能オプション等の自由度の高い選択肢を提供するとともに、セルベース設計 CAD ツールに対応したデータをすべて自動生成する。生成されるモジュールセルは、回路・レイアウト共に最適設計されており、高集積度・高速性能を示す。

ディジタルオーディオの高音質化へのアプローチ

加藤久雄・水野幹滋・森岡幸一

三菱電機技報 Vol. 65・No. 2・P 45～49

ディジタルオーディオでは、符号が変化しない限り理論的に音質は変化しないとされてきた。ところが最近の研究で、ディジタル信号中の符号とは関係のないジッタや波形ひずみが、アナログ部に伝達され、音質を損ねていることが明らかになった。ディジタルオーディオの高音質化を図るためには、この問題を早急に解決しなければならない。当社では、ジッタや波形ひずみを吸収し、水晶精度のディジタル信号を送り出すジッタ吸収 IC M65811FP を開発した。

0.8 μ m CMOS ゲートアレー

岡辺雅臣・柿沼守男・国岡美千子・村井正弘・川端啓二

三菱電機技報 Vol. 65・No. 2・P 24～28

最先端の 0.8 μ m CMOS アルミ 3 層配線技術を用いて開発した 400KG ゲートアレーをはじめとする M6008X シリーズのデバイス技術及び EWS ベースの設計システム (GA-2) について述べる。TAB (Tape Automated Bonding) 方式によるパッケージ技術を採用し、最大 512 I/O を搭載する。モジュール ジェネレータ生成 RAM/ROM、スルーレート制御出力バッファ、一括駆動方式による低スキュークロック分配技術を新たに開発した。

低消費電力・映像用 CMOS A/D コンバータ LSI

細谷史郎・三木隆博・前田 敦・矢澤信春

三菱電機技報 Vol. 65・No. 2・P 50～53

セルベース設計システムのマクロセルをターゲットとして、8 ビット、20MS/s (Mega Sample/second) 直並列型 CMOS A/D コンバータを開発した。独自のユニファイドアーキテクチャを用いることにより、低消費電力化 (80mW)、小面積化 (パッドと出力バッファを除くセル領域の面積: 2.2mm²) を実現した。これらの特徴は、セルベース設計システムにおけるマクロセルとして有用である。

Abstracts

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 29~34 (1991)

The M60060 Series 1.0 μ m CMOS Gate Arrays

by Masahiro Suzuki, Hirotaka Nakamura, Hiroyuki Nunogami, Shinji Ono, Mami Takiguchi & Toshiyuki Fukumizu

The article reports on the features and technology of the M60060 Series 1.0 μ m CMOS gate arrays employing double-layer metal coupled with the latest in assembly technology. It also offers high speed and low power dissipation, allowing its use in high-pin-count plastic QFPs.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 2~8 (1991)

Trends in Systems and the Present and Future of ASICs

by Masao Yoshitomi, Heihachi Matsumoto, Shigeyuki Nita & Yoshinori Motoyoshi

The article describes the role played by ASICs (application-specific integrated circuits) in electronic systems. The development of ASIC technology has paralleled that of electronic systems as a whole, and ASICs now play a vital role as key parts in all types of systems. Various system needs combined with semiconductor-technology "seeds" have achieved these remarkable results. ASICs will become increasingly important in the future. ASIC technology will continue to evolve hand-in-glove with systems technology, eventually leading to true system-on-a-chip integration.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 35~38 (1991)

A Methodology for the Development of ASSPs Based on a 32-Bit CPU Core

by Naichi Kitakami, Yuichi Nakao, Masashi Oki, Mitsuyoshi Nakamura, Yutaka Kamakura & Jiro Korematsu

The 32-bit microprocessor core of this methodology is based on the TRON specification and offers abundant peripheral-function units. A cell-based CAD system was used to achieve a hierarchical design. A dedicated signal-description language for the peripheral-function units has simplified the man-machine interface for logic simulation, and a highly efficient modeling of logic circuits is used. The methodology greatly reduces the time, including turn-around time, and the number of steps required to develop new devices.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 9~13 (1991)

Multilevel Interconnection Technology

by Shuji Nakao, Akihiko Osaki, Yoshifumi Takata, Toshiaki Tsutsumi, Masazumi Matsuura, Atsushi Ishii & Hideo Kotani

The article covers submicron multilevel aluminum interconnection technology, which is of vital importance to ASIC fabrication. Pad-fabrication technology that prevents silicon precipitation at metal silicon-contacts and antireflective-film technology for fine metalization patterns are discussed. Also treated is a new chemical vapor deposition (CVD) technique for producing interlayer insulation films. The method uses organic silicon source and ozone to achieve excellent film flatness at atmospheric pressures. A final topic is a CVD tungsten process that improves the yield and reliability of via holes.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 39~44 (1991)

The Latest Trends in ASIC Packaging Technology

by Minoru Yoshida, Haruo Shimamoto, Tetsuya Ueda & Shin Nakao

Packages for ASICs are evolving toward larger numbers of pins. The Corporation has developed "heat-spreader" plastic quad flat packages for power devices having half the thermal resistance of previous products with the same package outlines. The Corporation has replaced wire bonding with TAB technology to realize low thermal resistance and lead inductance. The article introduces an extremely high-pin-count plastic tape carrier package (TCP) with an Al cap structure.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 14~17 (1991)

A 0.8 μ m CMOS ASIC Process

by Masahiro Hatanaka, Takio Ohno, Sumio Yamaguchi, Hiroaki Morimoto & Shu'ichi Matsuda

The article reports on device structures and process technology suitable for fabrication of CMOS ASICs with 0.8 μ m design rule, and covers a direct-writing electron-beam method that shortens the ASIC development cycle. A key process technology involves a lightly doped drain structure with gate-N⁺ overlapped structure that raises NMOS device reliability and allows the use of three-layer metalizations. Flat-insulation films using tetra ethyle ortho silicate (TEOS) are fabricated at low temperatures to permit the use of fine multilayer wiring configurations.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 45~49 (1991)

An Approach to High Tone Quality in Digital-Audio Products

by Hisao Kato, Kanji Mizuno & Koichi Morioka

Recent research has demonstrated that digital-audio signals are vulnerable to random fluctuations. These studies have shown that jitter and waveform distortion accompanying otherwise error-free digital signals can enter the analog circuitry of digital music systems causing a degradation of tone quality. The Corporation has developed the M65811FP IC that absorbs jitter and waveform distortion to regenerate crystal-clock-precision digital signals for analog conversion.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 18~23 (1991)

Module Generators for Cell-Based Designs

by Hirofumi Shinohara, Kazuhiko Tsuda, Noriaki Matsumoto, Yoshiki Tsujihashi, Kumiko Fujimori, Yoshihide Ajioka & Michiko Tsukamoto

The authors have developed cell-based ASIC module generators that design SRAM, ROM, multipliers, and PLA cells for fabrication by a 1.0 μ m CMOS process. In addition to cell-size parameters, the module generators allow the designer to specify shape parameters, function options, and other design parameters with a high-degree of freedom. The module generator can generate the full set of design data for CAD tools to be integrated into cell-based ASIC design systems. The module cells are optimized for both circuit function and layout facility, leading to high integration and high-speed operation.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 50~53 (1991)

A Low-Power CMOS A/D Converter for Video Applications

by Shiro Hosotani, Takahiro Miki, Atsushi Maeda & Nobuharu Yazawa

An 8-bit 20-megasample/s CMOS subranging A/D converter has been developed. Low power consumption (80mW) and small chip area (2.2 mm² active area) were realized by a newly developed "unified architecture." The A/D converter is also suitable for use in cell-based design systems.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 24~28 (1991)

A 0.8 μ m CMOS Gate Array

by Masatomi Okabe, Morio Kakinuma, Michiko Kunioka, Masahiro Murai & Keiji Kawabata

The article reports on device technology and the GA-2 workstation-based design system used for M6008X Series gate arrays. These gate arrays employ a state-of-the-art 0.8 μ m design-rule CMOS process with three-layer Al metalization to yield up to 400 kilogates per chip. TAB packaging provides these devices with up to 512 I/O pins. New technologies developed for the series include a module generator for RAMs and ROMs, output buffers with slew-rate control, and a ganged-driver configuration for low-skew clock distribution.

アブストラクト

ISDN 基本インタフェース用 LSI

中林竹雄・近藤晴房・蔵永 寛・長谷川浩一・山本誠二
三菱電機技報 Vol. 65・No. 2・P 54～57

ISDN 基本インタフェース用 LSI 2 品種 (M65750, M65751) を開発した。M65750 は ISDN ユーザー・網インタフェースのレイヤ 1 の全機能を実現し、M65751 はレイヤ 2 機能のうち HDLC フレーミング機能を実現する。M65750 及び M65751 は、ISDN システムにおいて、網側／端末側両方に適用可能である。M65750 と M65751 との間の接続は専用のインタフェースを用いており、これとマイクロプロセッサを用いてレイヤ 1～3 の機能が実現可能となる。

FAX 用画像処理コントローラ M66332FP

滝 洋一郎・中林祥恵・広川祐之・瀬政孝義・永田良浩
三菱電機技報 Vol. 65・No. 2・P 62～67

G3 ファクシミリの普及機用画像処理コントローラを開発した。基本機能は、イメージセンサで光電変換された画像信号の二値化である。原稿を再現性良く白黒画像に二値化するために、不均一補正、解像度補償、ディザ化、像域分離などの画像処理機能を持たせた。また、A/D コンバータ、補正メモリの内蔵は特徴の一つである。ここでは、FAX 用画像処理の現状とこのコントローラの仕様・構成・画質シミュレーション・画質評価について報告する。

CB-1 設計システムを用いた 8kbps 単位交換可能な大容量時分割スイッチ LSI

覚埜高音・鈴木孝昌・川畑英雄・岸田 悟・長谷川浩一
三菱電機技報 Vol. 65・No. 2・P 58～61

デジタル ネットワークを構成する PBX, TDM, TS 等の回線交換装置のキーコンポーネントである時分割スイッチ LSI を開発した。この LSI 1 個で最大 4k × 2k チャネル (64kbps/チャネル) の交換ができる。また、最近の音声圧縮技術の進展による 16kbps や 8kbps 等に圧縮された低速信号を効率良く交換するため、8kbps 単位の交換も可能である。さらに、複数のタイムスロットやビットを用いた高速チャネルの交換のため、TSSI を保証している。本稿では、この LSI について機能、特長及び設計手法を述べる。

光ディスク用誤り訂正 LSI

森 信太郎・児玉幸夫・吉田英夫・井上 徹・清瀬泰広
三菱電機技報 Vol. 65・No. 2・P 68～73

光ディスクは、高密度・大容量で更に可搬性のある記憶媒体として期待されている。しかし、光ディスク媒体のビット誤り率が高いため、強力な誤り訂正をかけないとコンピュータ補助記憶装置として使用することができない。我々は、1.0 μm CMOS セルベース設計手法を用い、光ディスク用誤り検出・誤り訂正 LSI の開発を行った。この LSI 化により、訂正能力最大時におけるリアルタイム訂正が可能となった。

Abstracts

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 62~67 (1991)

The M66332FP Facsimile-Image Data Processor

by Yoichiro Taki, Yoshio Nakabayashi, Masayuki Hirokawa, Takayoshi Semasa & Yoshihiro Nagata

An image-processing controller IC for mass-market facsimile machines has been developed. The IC processes image data read in by an image sensor and generates bi-level image data. The IC uses nonuniform compensation, modulation transfer function compensation, a dither method, split-region processing, and other techniques to optimize the reproduction of black-and-white originals. It also contains an A/D converter and a memory for compensation values. The article discusses current facsimile-image processing technology, and reports on the specifications and configuration of the new IC. It also reports on an image-quality simulation and processed-image evaluation results.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 54~57 (1991)

ISDN Basic Interface LSIs

by Takao Nakabayashi, Harafusa Kondo, Hiroshi Kuranaga, Koichi Hasegawa & Yamamoto Seiji

The Corporation has developed two LSIs that perform ISDN basic interface functions. M65750 implements all the Layer 1 functions at the ISDN user-network interface. M65751 implements the Layer 2 HDLC framing functions. Both devices can be used on either the network or terminal side. Layers 1, 2, and 3 functions can be implemented by configuring a special interface and a microprocessor to link together the two LSIs.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 68~73 (1991)

An Erasure and Error-Correction LSI for Optical-Disk Systems

by Shintaro Mori, Yukio Kodama, Hideo Yoshida, Toru Inoue & Yoshihiro Kiyose

Optical disks are a promising data-storage medium due to their high recording density, high capacity, and media portability. One drawback of the medium is a high bit-error rate. The use of powerful error-correction codes is therefore a prerequisite to employing optical disks for computer auxiliary storage. The authors have developed an optical-disk error-detection-and-correction LSI using a 1.0 μm -design-rule cell-based CMOS LSI design system. The integrated device makes it possible to maintain real-time error detection and correction even under heavy bursts of errors requiring maximum performance.

Mitsubishi Denki Giho: Vol. 65, No. 2, pp. 58~61 (1991)

A High-Capacity Time-Division Switch LSI Capable of Exchanging the 8kbps Channels Used in the CB-1 Design System

by Takane Kakuno, Takamasa Suzuki, Hideo Kawabata, Satoru Kishida & Koichi Hasegawa

The Corporation has developed a time-division switch LSI for use in PBXs, time-division multiplexers, tandem switches, and other digital network components. A single device can switch a maximum of $4 \times 2 \text{ K}$ channels each carrying 64kbps. The LSI can also efficiently route compressed narrow-bandwidth signals of 1, 6, 16, or $n \times 8 \text{ kbps}$. Guaranteed time-slot sequence integrity makes it possible to implement complicated time-slot and bit-based high-speed channel switching. The article reports on the LSI's functions, features, and design methodology.

ASIC 特集に寄せて

LSI が産業の米とよばれるようになって既にかかなりの年月がたったが、その言葉どおり、LSI はいまや社会のすみずみまで行き渡っている。またその間に、日本の半導体産業は世界トップの地位を占めるようになったが、これは主として、メモリを中心とした高集積化と高生産性に関する“HOW-TO”の技術によってなし遂げられたものである。一方、集積度の向上に伴って、1980年代の半ばから、チップの上にどのような機能を乗せるかという、いわゆる“WHAT”の問題が重要視されるようになってきた。すなわち、ASIC 時代の到来である。

ASIC (Application Specific IC) には、大別して、フルカスタム IC、セミカスタム IC、ASSP (Application Specific Standard Product) の三種類がある。このうちフルカスタム IC は、電卓用 IC などで馴みの深いものであるが、設計に時間と労力がかかり過ぎ、種類の拡大には自ずと限界がある。このような事情により、1980年代の前半から、より短期間に開発ができ、かつユーザーの技術者にも比較的容易に設計が可能なゲートアレー、ついでセルベース LSI によるセミカスタム IC のマーケットが次第に形成され、近年になっていよいよ本格的な立ち上がりをみせている。

セミカスタム IC のうち、ゲートアレーは、自動設計を旨とし、ユーザーの技術者にも設計可能であり、かつ、ターンアラウンドも速い。また、最近では、SOG (Sea of Gate) 方式が普及して面積効率が上がり、マクロセルもある程度取り込めるようになってきたので、マーケットの拡大が一層加速されている。一方、セルベースシステムは、ゲートアレーに較べて設計の自由度は大きい利点があるが、セルライブラリの整備にかかなりの時間がかかるため、ゲートアレーよりは高性能が必要なものへの展開が期待される。セミカスタム IC に共通した一つの問題は、ベンダー・

取締役副社長
技術本部長・開発本部長
工学博士 岡 久雄



ユーザー間の CAD システムのマッチングである。CAD システムの選択はベンダー・ユーザー間で異なることが多く、更には、一つのベンダーやユーザーの中でも何種類かの CAD システムが使われていることが珍しくない。この問題は、今後解決しなければならない重要な課題である。

ASSP は、文字通り応用に特化した標準品であり、ある程度のフレキシビリティを持たせるために、RAM/ROM を組み込んで、プログラムにより多少の機能選択ができるようにしてあるのが普通である。ASSP は、最先端に近いプロセスを使用し、かつ、半導体を熟知したベンダー (半導体メーカー) 側の設計者が設計するので、性能、生産性共に優れたものができる。

ところで、ASIC という言葉が普及して以来、ASIC であれば少量でも低価格で容易に入手できるという錯覚を抱くユーザーが少なくない。しかし、“同じ物をより多く作るほど安くなる”という半導体の原則は依然として生きている。したがって、全体システムをどのように分割し、それぞれの部分をいかなる手法で LSI 化するか、機能/コストをいかに最大化するかは、ユーザーにとって大変重要な判断となる。また性能に関しプロセスはやはり重要なファクタであり、そのための投資は設計に対するそれを遙かに上回る。設計、プロセス、CAD を総合的に有効に活用することがメーカーにとっての重要な判断である。

当社は、ASIC の分野特にセミカスタムの分野においては、従来、どちらかと言えば社内向けに重点を置いて技術の蓄積を進めてきたが、いよいよ本格的な外販の拡大にも乗り出す。本特集号は、当社の ASIC 技術と製品群の一部を紹介したものである。顧客の皆様方の暖かいご支援をお願いしたい。

システムの動向と ASIC の現状と展望

吉富正夫* 元吉啓登*
松本平八** 仁田重之*

1. ま え が き

1947年世界で初めてトランジスタが実用化されて以来、約45年になる。この間ゲルマニウムからシリコン、トランジスタからLSIへと発展してきた。半導体は、電子機器と一体となって成長してきたが、中でもメモリはコンピュータの進展に大きく寄与し、マイクロコンピュータ(マイコン)はパソコンや家庭機器に広く用いられてきた。さらに、ASIC(Application Specific IC)は電子機器の中に広く用いられており、システムの中のキーデバイスとしての重要性をますます強めている。

本稿では、システムの中におけるASICの役割と今後の展望について述べる。

2. 電子機器と半導体

半導体は、電子機器の発展とともに成長してきた。図1に日本における電子工業と半導体の生産推移を示す。図からも分かるように、半導体の成長率(17.3%/年)は電子工業の成長率(11.3%/年)よりも高い。特に、1980年代からの半導体の成長は目覚ましく、電子工業の中に占める比率も10%を超え、今後とも増加の傾向にある。

半導体の成長の要因は、下記の2点にあると思われる。

- (1) 半導体が使用される機器が年々広がってきたこと。
- (2) 半導体の投入係数(半導体使用金額/機器生産金額)が増加していること。

特に、1980年からの半導体の急速な伸びは、パソコンのような多量のメモリを使用するシステムの出現や、システム

のアナログからデジタルへの移行が急であることによると思われる。

図2に日本における半導体の生産推移を示す。この中で、ASICが含まれるリニア、バイポーラ計数回路及びMOS型論理素子の伸びが大きい。このことは電子システムの中でのASICが重要な役割を果たし、システムとともに成長していることを示している。

3. システムにおけるASICの役割

“ASIC”の名がデータクエスト社によって1987年に提唱されてから、広く用いられるようになってきた。しかしながら、その定義はEIAJ(日本電子機械工業会)のそれとも異なっており、世界で統一された定義にはなっていない。そのため、ここでは図3に示す定義を用いて、大きくはセミカスタム(ゲートアレー、セルベース)とカスタム及びASSPに分類することにする。

図4に種々のシステムの中におけるASICの機能の実現の歴史を示す。同図からオーディオ機器、テレビ、カメラ等民生機器は、日本の電子産業の牽引役であったが、その発展の背後にASICがシステムの中核として機能していることが理解できる。1970年代の主としてバイポーラ(リニア)ICのASICから1980年代は、MOS型ASICを用いたデジタルシステムに移行しているのが分かる。

一方、パソコンを始めとする産業用電子機器では、主としてデジタルシステムに対応したMOS型ASICが多く使われている。パソコン、電話、ファクシミリ、自動車等で普及が進み、家庭で用いられるようになり数が増えるに従って、

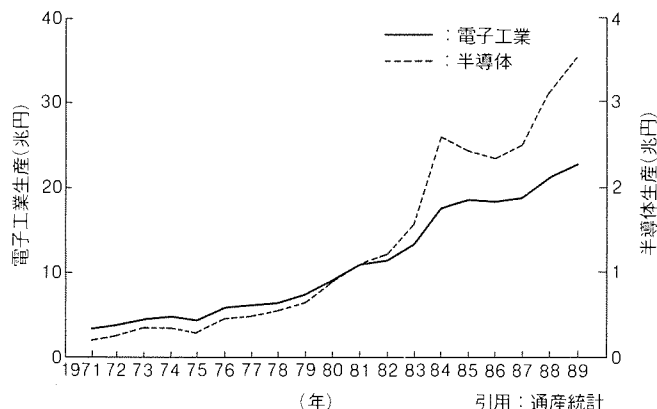


図1. 日本の電子工業と半導体

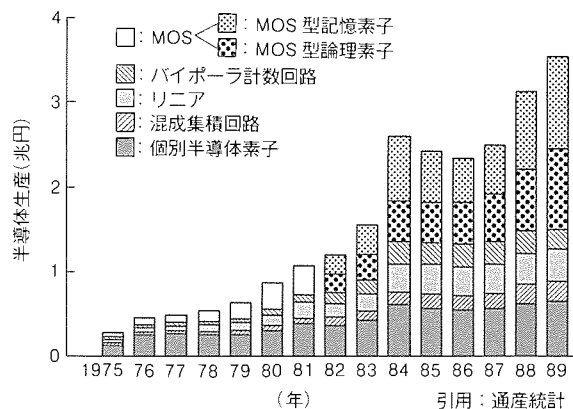


図2. 半導体の生産推移

ASIC はゲートアレーから用途を特化した ASSP へ移行し、コストダウンを図る動向にある。

いずれの場合も ASIC がシステムの中の重要なキーデバイスとして役割を果たしている。

図5にシステムのニーズと半導体のシーズとの関連を示す。多くの項目について、シーズとニーズの融合が行われ、ASIC として実現されている。

各分野でデジタル処理化が行われ、システムの高性能化、新機能の追加が図られているが、これは LSI 設計 CAD の発達により、LSI 設計が容易になってきたことと、微細化による大規模集積・低消費電力・高速化が実現できるようになったためである。

多様化・カスタム化・複合化のニーズに対しては、CMOS プロセスの標準化により、SRAM、マイコン、ASIC の複合化が容易になり、BiCMOS によるアナログ・デジタル混在 LSI が可能になってきた。

低価格化の要求に対しては、微細化技術を用いた1チップ化及びアナログ・デジタル混在 LSI による機能の最適化

により、対応できるようになってきた。

さらに、開発工期短縮については、LSI 設計 CAD の発達による設計期間、セミカスタム IC による試作工期の短縮が図れるようになってきた。

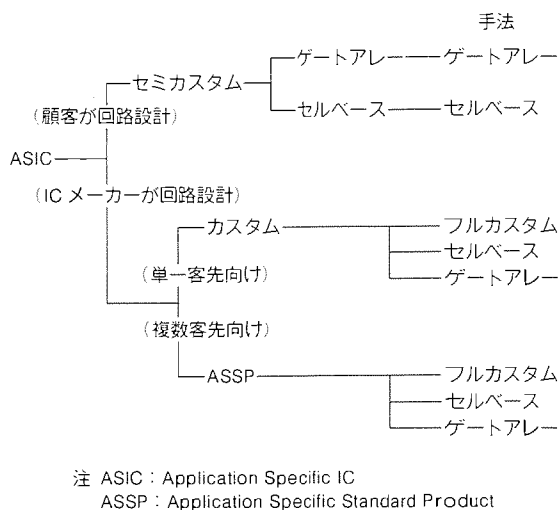


図3. ASICの定義

機器	年	1975	1980	1985	1990
オーディオ機器		▼▼カーステレオ/ラジカセ用アンプ ▼BCLラジオ周波数カウンタ	▼カセットデッキキーコントローラ ▼DDプレーヤー ▼グラフィックイコライザー	▼CD用DSP ▼音場制御DSP ▼DAT用DSP	▼衛星放送PCM
テレビ		▼信号系BIC ▼リモコン	▼シンセサイザ方式チューナー(VS/FS) ▼信号系4IC ▼音声多重	▼液晶テレビ ▼文字多重デコーダ ▼信号系1チップ	▼衛星放送PCM ▼クリアビジョンDSP ▼MUSEデコーダ
VTR		▼信号系LSI	▼リモコン音声多重電子チューナー	▼デジタルサーボ ▼ハイファイ ▼画質改善(HO)特殊再生	▼ディジタルピクチャインピクチャ ▼クロマノイズリダクション
VTRカメラ		▼VTR小型カメラ用カメラ信号処理IC	▼カメラ一体型専用IC	▼AF専用IC ▼オートホワイトバランスセンサ	▼カメラ部DSP ▼ビデオ部DSP
カメラ		▼1眼レフAE ▼モータドライバ	▼コンパクトカメラAF	▼AF用CCD ▼1眼レフAF ▼電子スチルカメラ信号処理	
パソコン		▼FDC	▼表示コントローラ(CGA) ▼ゲートアレー	▼表示コントローラ(EGA) ▼表示コントローラ(VGA)チップセット	▼表示コントローラ(XGA) ▼マルチメディア対応DSP
電話(自動車電話を含む)		▼ダイヤラ ▼トーンリング ▼クロスポイント	▼スピーチネットワーク ▼DTMFレシーバ	▼DRAM音声録音 ▼静止画電話PLL ▼コードレス電話	▼ディジタル電話用CODEC, TDMA, 変復調
ファクシミリ		▼CCDサーマルヘッドドライバ ▼モデム3チップ	▼帯域圧伸(ゲートアレー) ▼密着イメージセンサ	▼画像処理 ▼帯域圧伸(ASSP)	▼信号処理1チップ
自動車		▼エアフローセンサ受信部	▼点火制御 ▼エンジン制御バックアップ(ゲートアレー)	▼サスペンション制御DSP ▼GPSナビゲーションデコーダ	▼車載LAN ▼エンジン制御DSP
交換機		▼クロスポイントスイッチ	▼CODEC SLIC ▼時分割スイッチ	▼ISDNチップセット	▼ATM用LSI

注 ▼：バイポーラ(リニア) ASIC, ▽：MOS ASIC

図4. システムの中における ASIC の機能の実現

これらニーズとシーズは、すべて ASIC によって実現できる。そのため、ASIC は今後ともシステムのキーデバイスであるとともに、高い成長を続けるものと思われる。

電子機器の中で主要部分を占める機器は、コンピュータ、通信機及び AV 機器であり、これらはお互いに技術革新を行いながら成長を続けている。今後これら機器は領域を広げる動向にあり、さらにシステムの複合化のニーズも相まって、三つが融合したいわゆる“マルチメディア・ビジュアル・インフォメーション システム”へ発展するものと思われる(図6)。

これら発展の原動力になっているものは、下記の2点に集約される。

- (1) ISDN ネットワーク網によるデジタル情報量の拡大とデータ・音声・画像伝送方式の標準化

- (2) ASIC を中心とするデジタル信号処理半導体の技術革新と性能向上。

以下に、上記コンピュータ、通信機及び AV 機器について、システムの動向と ASIC の現状と展望について述べる。

4. 代表システムにおける ASIC の現状と展望

4.1 コンピュータ

1940 年代に発明されたコンピュータは、1950 年代のトランジスタの採用、1960 年代の IC の採用、そして 1970 年代の LSI の採用で飛躍的に価格・性能を改善することで、社会に深く浸透してきた。特に、1970 年代のマイクロプロセッサ (MPU) の発明によって用途が爆発的に拡大し、今日のコンピュータ時代の幕開きとなった。コンピュータは、もともと複雑な計算を高速に実行したいという願望から生まれた

ものであり、“より大量データのより高速処理”を至上命令として開発が進められてきた。

図7に、コンピュータの性能動向を示す。メインフレームやミニコンは、10年間で100倍弱の性能向上が達成されている。High End のパソコンや EWS (Engineering Work Station) では、さらに急速な性能向上が実現されており、特に EWS では RISC (Reduced Instruction Set Computer) プロセッサの採用や Multi-CPU の導入で、ほぼビル・ジョイの法則 (10年間で1,000倍) に従って急激な性能向上が図られている。EWS と汎用コンピュータ

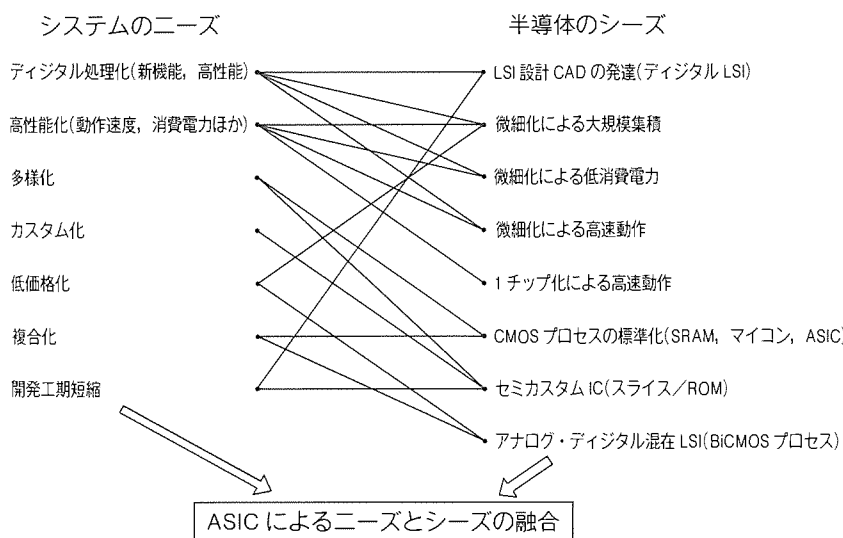


図5. システムのニーズと半導体のシーズ

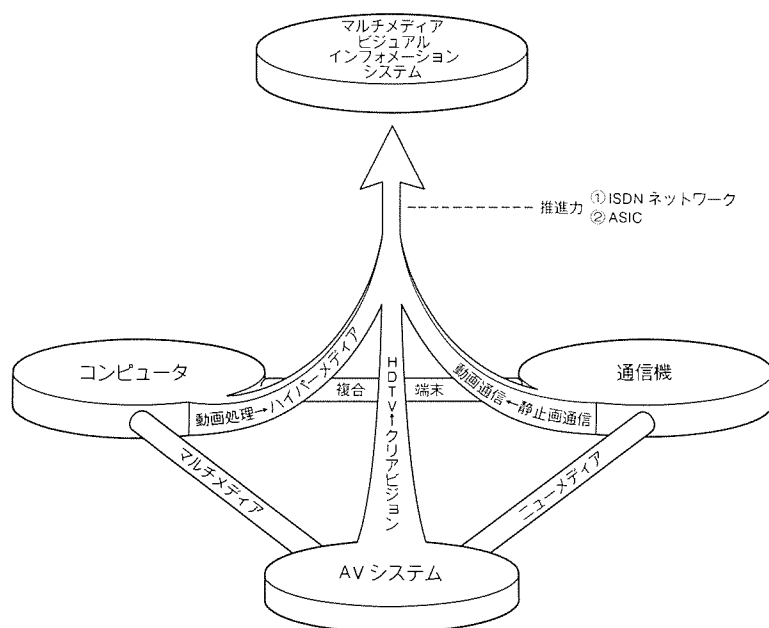


図6. システム進展と融合

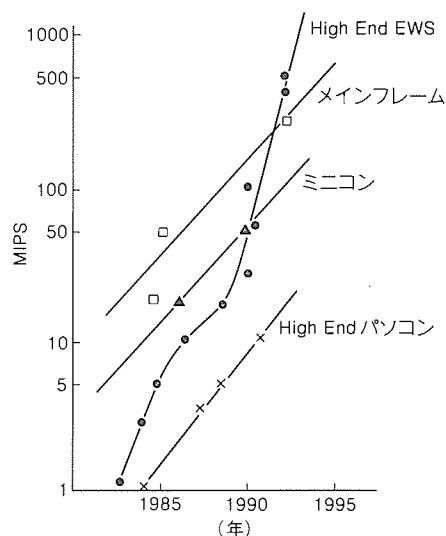


図7. コンピュータの性能動向

を単純に MIPS 値で比較するのはあまり意味がないかもしれないが、EWS はミニコンとは 1990 年に、メインフレームとは 1992 年に性能面でクロスすることになり、High End EWS は汎用コンピュータの一部市場をも侵食して大きく伸びていく可能性がある。また、今後大きく成長すると予測されているマルチメディアが、パソコンや EWS の市場を更に大きく拡大すると思われる。マルチメディアのプラットフォームとして、パソコンや EWS が使われるためである。この場合、高画質の動画を扱えることがかぎ(鍵)になると考えられ、超高速画像処理プロセッサの開発が進められている。これらコンピュータの高性能化・小型化・低価格化は、半導体の急速な微細化・高集積化によって達成されてきたとはいえ、特に 1970 年代の後半から普及し始めたゲートアレーの貢献が大きい。

表 1 に電算機分野での ASIC の概要をまとめる。汎用大型機(メインフレーム)やスーパーコンピュータの CPU や周辺ロジック部はゲートアレーで構成されている。現在は ECL 中心であるが、メインフレームでは消費電力への対策から徐々に BiCMOS の使用が増加していくと考えられる。

スーパーコンピュータでは、同じ消費電力の問題と更なる高速化をねらって GaAs の導入が始まっている。汎用中小型機の CPU は、現在、主にセミカスタム品(ゲートアレーやセルベース)で構成されているが、高性能化が著しい汎用 MPU (特に RISC チップ)を使い始める傾向にある。EWS の CPU は、汎用の CISC (Complex Instruction Set Computer) 型 MPU が中心であったが、現在 RISC チップに急速に移行している。それぞれの RISC チップ対応で周辺ロジック部のチップセット (ASSP) が精力的に開発されており、EWS の高性能化・小型化・低価格化に寄与している。EWS や汎用中小型機では、現在 1.0 μ m CMOS が主に使われており、0.8 μ m CMOS の導入が始まったところである。2~3 年後には RISC 対応で 100MHz の動作速度が必要で、BiCMOS が必ず(須)になると思われる。パソコンは、汎用の CISC 型 MPU の世界であり、今後も当然変わりそうにない。また、de-facto 標準機が世界市場の 6 割を占めており、ここをね

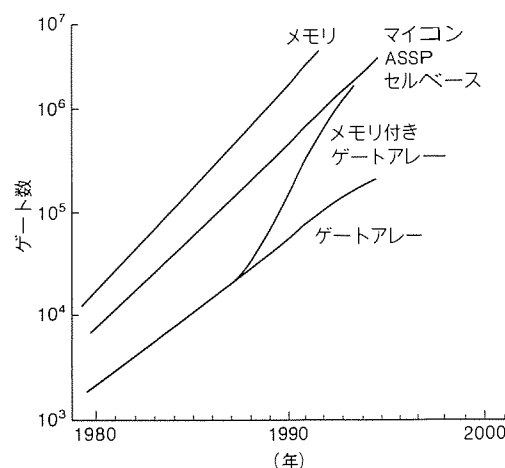


図 8. 大規模集積化の現状と今後の展望

らったチップセットが、10 億ドル/年という巨大市場を形成している。技術の高いパソコンメーカーは、差別化のため、CPU 周辺部や表示部でセミカスタムを使い続けるだろう。コスト重視のため、プロセスは CMOS 中心であり、今後も変わらない。

ゲートアレーはセルベースと比較し、開発期間が短かく開発コストも比較的安くできるが、チップサイズ・性能・設計に際してのフレキシビリティの点で劣る。しかし、全面敷き詰め型 (SOG: Sea of Gate) のゲートアレーの登場及び CAD の改善で、ゲートアレーは短納期の特徴を生かしつつセルベースのフレキシビリティを取り込みつつある。図 8 に、大規模集積化の現状と今後の展望を示す。ASSP やセルベースは、論理 LSI としては最高の集積度を実現しているが、全面敷き詰め型のゲートアレーはメモリ内蔵の形で徐々にセルベースとの差を縮めている。

このため、当初の予測“セルベースがゲートアレーを駆逐する。”に反し、現在ゲートアレーは ASIC 市場の 60% 以上を占めている。セルベースの将来の本命は、CPU や DSP をコアとしたものであろう。また、2000 年にはトランジスタ数で 10^8 の集積度に到達し、この時点で文字通りのシステムオンチップが実現するだろう。

表 1. コンピュータ分野での ASIC

	パソコン	EWS	汎用中小型機	汎用大型機	スーパーコンピュータ
デバイス	ASSP (チップセットが主) 中心であるが、システムの独自性を出す部分でゲートアレーセルベースが使われている。	ゲートアレーセルベースが中心。今後は、それぞれの MPU (特に RISC) 対応で ASSP が増加してくる。		ゲートアレーが中心。	
ウェーハプロセス	CMOS 中心	CMOS 中心であるが、高速化のため今後 BiCMOS が導入される。		ECL 中心であるが、低消費電力化のため BiCMOS が導入される。	ECL 中心であるが、低消費電力・高速化のため GaAs が導入される。
必要性能 (1990 年時点)	<ul style="list-style-type: none"> 10~33MHz 数十 K ゲート 	<ul style="list-style-type: none"> 現在 33~50MHz が主であるが、RISC 対応で 100MHz が必要となる。 数十~数百 K ゲート 		<ul style="list-style-type: none"> 250MHz 1,000K ゲート以上 	<ul style="list-style-type: none"> 300MHz 1,000K ゲート以上

4.2 通信機

4.2.1 通信市場の動向

情報化社会の進展に伴い、通信機の役割もますます重要になってきている。通信の基盤（インフラストラクチャ）である伝送・交換系では、幹線系の高速・大容量化とデジタル化が進み、光ファイバ伝送とデジタル交換機にとって替わった。幹線系の高速・大容量化も更に進むが、広帯域 ISDN では加入者端まで 150Mbps 以上の通信網が広がり、各種高度な通信サービスをだれでも受けることが可能になっていく。

端末においても、従来の電話機は多機能化が進み、移動可能なコードレス電話は国内においても自由化以降目を見張る需要の伸びを示している。また、新しいメディアとしての画像通信では、アナログ系での静止画テレビ電話、デジタル系でのテレビ電話・テレビ会議システムなどが登場している。一方、無線系では衛星通信や各種移動体通信が発展期を迎えている。自動車電話では、車載型から携帯電話に比重が移り始め、メーカーの小型・軽量化競争は激しさを増すばかりである。デジタル化の計画も目の前に迫っており、将来の需要増に対応するため、準マイクロ波帯の使用やマイクロセル化も検討されている。

図9に以上のような市場動向をまとめた。

4.2.2 通信用 ASIC の現状と展望

通信用 ASIC では、バイポーラ IC 主体から MOS IC の使用比率が上がってきている。また、超高速伝送や高周波化に伴い GaAs IC も使われ始めている。ASIC の最近の動向と展望を図9にまとめ、以下主要なものにつき記述する。

交換・伝送系では、幹線の高速・大容量化に並行して各社でゲートアレイ、セルベースを中心に先端プロセスによる ASIC が展開されている。光通信も採用され、光送受信器がシステムの中で重要な位置を占める。この機器用 IC は、LD（レーザダイオード）ドライバ、受光増幅 IC、タイミング抽出／識別再生用 IC、伝送路符号化用 IC でセットを構成する。新同期網には 620Mbps 速度対応まで実用化が進み、2.4Gbps 以上の開発が精力的に進められている。速度的に GaAs による IC 構成が多くなろう。

広帯域 ISDN の実現に向け、ネットワークの構成を統合化する ATM（非同期転送モード）交換の具体化が国内

でも進み出した。この用途にも各機能に応じた先端プロセスを使用して ASIC が開発されよう。

端末系では電話用として、図4にも示すようにダイアラ、トーンリング、スピーチネットワーク、DTMF（Dual Tone Multi Frequency）レシーバーなどの ASIC が製品化されてきた。コードレス電話の需要急増に対応して、低消費電流の PLL（Phase Locked Loop）も提供されるようになった。この IC は I²L プロセスを使用したものであるが、更なる電流低減のため、BiCMOS による開発に拍車がかかっている。戸外でも使用可能なデジタル方式の第二世代コードレス電話が計画されており、CODEC（Coder and Decoder）、TDM A（Time Division Multiple Access）、変復調等の IC が新たにキーパーツとなる。

ISDN 端末では、S/T バス・インタフェース IC、64 kbps CODEC、レートアダプタなどがキーパーツである。インタフェース IC は、通常レイヤ 1、2、又はレイヤ 1～3 までをサポートしており、これらの 1 チップ化が進みつつある。CODEC は、現在アナログ型が中心であるが、製造プロセスの発展を考慮すると微細パターンで有利になるディ

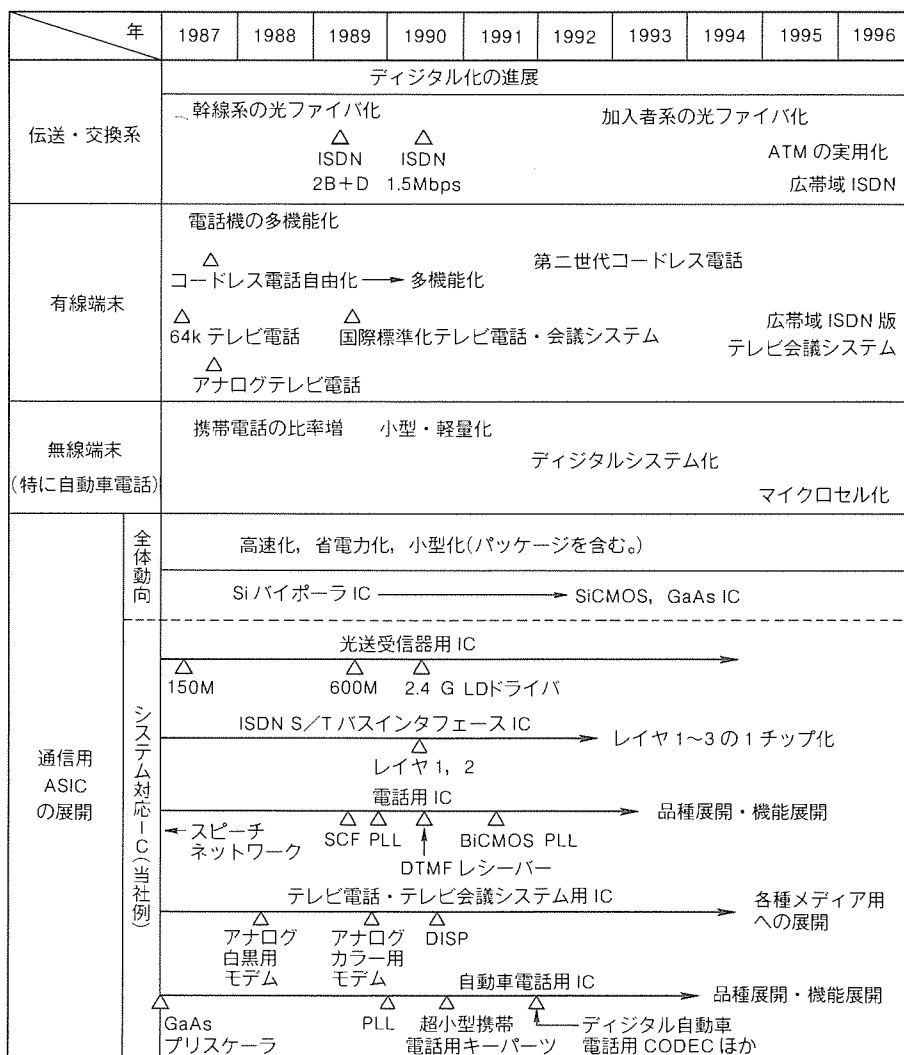


図9. 通信市場の動向と通信用 ASIC の展開

タル型へ移行していくものと予測される。

有線系の新しいメディアとして、テレビ電話・テレビ会議システムが実現している。アナログ回線を使用する静止画テレビ電話では、モデム IC、デジタル回線を使用する動画テレビ電話・テレビ会議システムでは画像処理用 IC 等が重要である。後者の IC として、DISP (Digital Image Signal Processor) のような画像圧縮に適した DSP (Digital Signal Processor) が製品化されている。この IC は $1.0\ \mu\text{m}$ CMOS で 538K トランジスタを集積し、命令サイクル 50ns という高速性が実現されている。DSP 方式では、各種のアルゴリズムに基づいた処理への応用が可能であるが、画像通信や画像蓄積メディアは、それぞれの応用に対して世界標準化が進みつつあり、今後は各標準化に準拠したハードウェア構成の IC も展開されよう。

無線端末も市場の伸長が続いている。ASIC にとっても小型化とデジタル化が主要テーマである。既にアナログ携帯電話では超小型の競争となっており、超小型・低消費電力を目指したバイポーラ (アナログ)、MOS 各種 ASIC が開発されつつある。デジタル自動車電話は、国内でも来年からサービスが開始される。変復調器、波形生成、音声 CODEC 等が新しく鍵となる IC である。例えば、CODEC では DSP をコアに A/D、D/A コンバータ、メモリを 1 チップに集積する動きもあり、この場合 100 万トランジスタ以上で構成される大規模な ASIC となる。小型化や低消費電力化を図るため GaAs IC で開発されるデバイスも出よう。

以上、通信用 ASIC の動向と展望を述べた。この分野に必要とされる ASIC は、伝送・交換系を中心として最先端プロセスを必須とするものから、端末系を中心にコスト重視のものまで幅が広い。しかしながら、デジタル化の進展とともに、端末系においても高速化や小型・低消費電力化のため GaAs

も含め先端プロセスが使われ始めており、この場合、同時に低コストを実現する手段を製品開発段階より、よく考察する必要がある。

4.3 AV 機器 (家庭用 VTR)

1974~75 年に現行のホーム用 VTR が開発され、その後各部品の改善、各技術開発によって今日のように変遷してきた。もちろん半導体もアナログ及びデジタルの小規模の汎用 IC の導入に始まり、さらに専用 IC、マイコンが大いにその進展に貢献したが、逆に VTR の発展が半導体事業を大きく拡大させることにもなった。

VTR の性能向上は、図 10 に示

すように当初はアナログ技術を主体にした ASIC (BIP 主体) によって進められたが、1985 年ごろから信号系では DSP (コントローラ) を核として図 11 に示すデジタル処理システム、制御系では本格的なマイコン導入によって推進された。

本稿では、ホーム用 VTR の信号系のデジタル化に伴う ASIC (CMOS 主体) の現状と展望について述べる。

第 1 ステップとして、VTR のデジタル化はデジタル特殊再生機能付き VTR から始まった。これは、従来のメカ制御によるスロー、スチル、スピードサーチ等の特殊再生に加えて、メモリを使用しないとできない PIP (Picture In Picture)、モザイク画、マルチ画、ソラリゼーション、ズームアップ等の特殊効果を実現したものである。システム構成は、図 11 のデジタル処理システムに準するが、A/D、D/A、色信号用のデコーダ、エンコーダ等専用アナログ IC、TV/VTR 用に最適で、シリアル信号で入出力される画像信号をリアルタイムに記録、再生できる 500K ビットのフィールドメモリ (FSAM) とそれを制御する中枢部のメモリコントローラ及びシステム制御、データ処理用の 8 ビットマイコンからなる。標準画質の 6 ビットフル フィーチャシステムと高画質、多機能の 8 ビットのシステムがある。現在このフィーチャは、今後需要が期待できるビデオ・カラープリンタに应用されている。

第 2 ステップとして、高画質化を実現するためにビデオ信号系のデジタル処理化が推進されている。この信号処理のために輝度信号 Y と色信号 C を分離するが、デジタル Y/C 分離システムとして、画面の水平、垂直方向 (二次元空間) に斜め解像度を向上させた二次元適応型と二次元空間に時間方向を加え、三次元空間で信号処理する三次元動き適応型がある。前者は、入力信号に対して、相関の強い画素間の

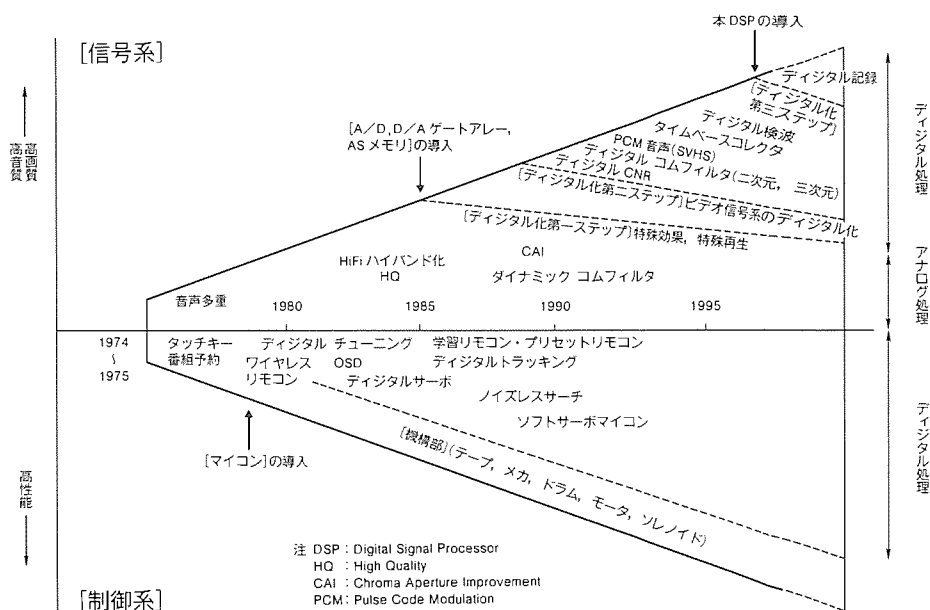


図 10. ホーム VTR のデジタル化による機能向上

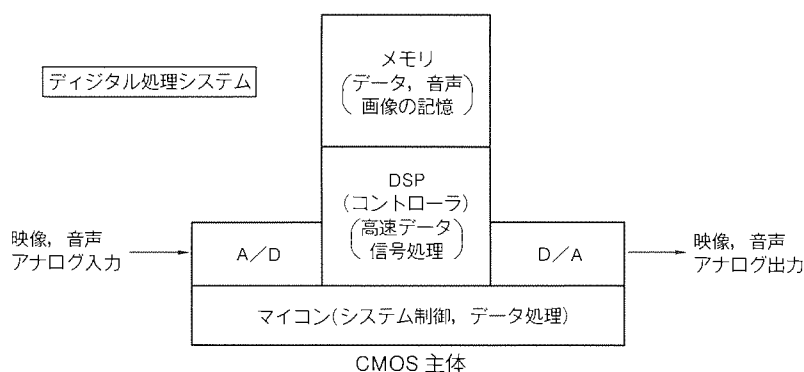


図11. AV機器のデジタル化への対応

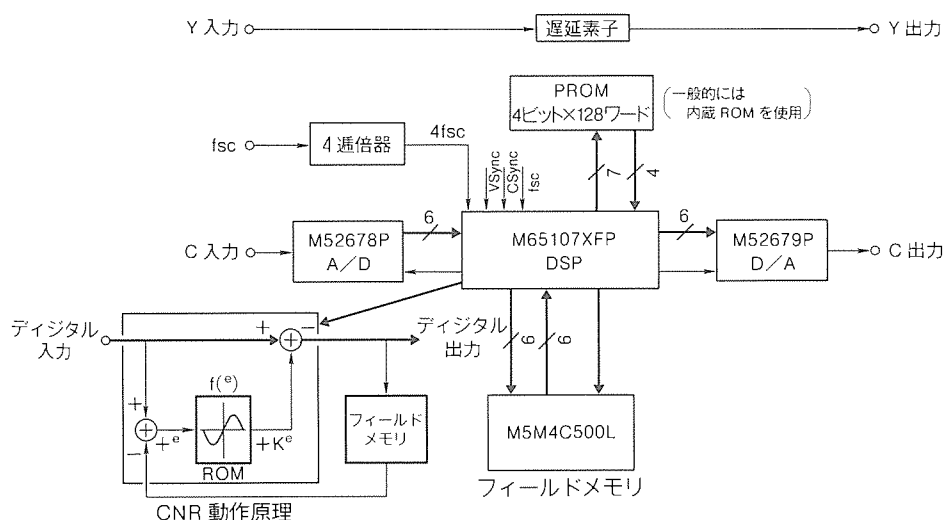


図12. 6ビット デジタル CNR システムのブロック図

演算によるフィルタリングでY/C分離を行っている。後者は、クリアビジョン (EDTV) 受像機に採用されているシステムで、高性能なY/C分離が実現できるものの高価であるために、VTR への導入は一部の高級機にとどまっている。

スーパー VHS ではY信号の改善はされたが、C信号は置き去りで、その対策としてデジタル CNR (Chroma Noise Reducer) システムで、ノイズがフィールド間の相関がないことを利用し、デジタル処理によるノイズの減少と動き適応による動画の残像の抑制を図り、改善している。このシステムには、図12に示すように500KのFSAM 1個で実現できるコストパフォーマンスの良い6ビットシステムと、高価ではあるがより高性能な8ビットシステムがある。なお、フレーム処理によって更に高画質にできる。次に、メモリの有効利用を図る親画面用 CNR と垂直補間を行い、高画質のPIP機能を同時に実現する複合システムもある。

一方、長時間高画質記録のニーズから3倍モードの高画質化が推進され、ヘッドの改善、デジタルトラッキングの調整分解能の向上及び再生されるビデオ信号の時間軸を補正するデジタルTBC (Time Base Corrector) システムを採用し、色のちらつきの減少や低ジッタ化を図っている。

カメラ一体型VTRでは、VHS-C、8mm共に小型、軽量

化に拍車がかかっているが、CCDの小型化もさることながら、今後の鍵はカメラ部及びビデオ部の信号処理のデジタル化にある。ビデオ信号のデジタル処理は、その必要性、価格余裕度からカメラ一体型VTRが据置VTRに比較して早そうである。

高音質化は、スーパーVHS (S-VHS) でテープへのデジタル記録が画像に先駆けて現実のものになるうとしている。これは従来のVHS、S-VHSに互換性を保ちながら、BS放送のPCM音声 (Bモード) やDATの標準モードに対応するものである。

第3ステップにおけるデジタル記録VTRは、画質、録画時間ともアナログ記録より有利と考えられているが、そのコンセプトは高画質、高音質、多機能及び小型化にある。その実現のために、高密度記録と画像データの圧縮技術がキーポイントとなる。しかしながら、相反する問題をかかえており、課題は多い。例えば、記録密度を上げるとビット誤

り率が高くなり、かつ画像圧縮は画質を劣化させるとともに圧縮率を上げるほど回路が大規模化及び消費電力が増大する等がある。これらデジタル処理部の小型、低消費電力化のために、半導体のシーズとしての微細化技術を更に促進させ、大規模集積化、高速動作を達成させる必要がある。この処理部は1チップ化を要し、デザインルールは0.8~0.5μmが必要となるであろう。

これまで述べてきた各システムのオンチップ化 (ASIC化) は、デザインルールの縮小化とともに進展するが、図11において、まずはDSPへのA/D、D/Aのアナログ回路 (CMOS化) の取り込み、次に中規模メモリ、さらにマイコンとの一体化も0.5μmルールでは現実となるであろう。

5. む す び

システムの動向とASICのかかわり合いについて、幾つかの局面から述べた。ASICがシステムの中でキーデバイスとして重要な役割を果たしてきた。今後とも自らの技術革新により、その重要性をますます高め、システムオンチップの時代を目指して、システムとともに表裏一体となって発展していくものと思われる。

多層配線技術

中尾修治* 堤 聡明* 小谷秀夫**
大崎明彦* 松浦正純*
高田佳史* 石井敦司*

1. ま え が き

LSI の高集積化は着実に進められ、それをけん(牽)引する微細化技術はハーフ～クォーターミクロンのレベルに達しつつある。高集積化と同時にデバイス的高速化、高機能化も進められ、これを実現する手段として多層 Al 配線の適用がほとんどすべてのデバイスで不可欠となっている。なかでも、ASIC (Application Specific IC) では配線の自由度がその機能を規定していると言って過言ではなく、多層配線の果たす役割は非常に大きい。

多層配線技術は、成膜・転写・加工等の基本要素技術の集大成であり、これらを有機的に総合化することによって成立している。ユニット技術として見れば、①配線、②層間絶縁膜、③スルーホールの各技術に分けることが可能で、それぞれに必要な特性を満たすとともに相互のマッチングを取ることが重要である。

本稿では、ASIC に必ず(須)であるサブミクロン多層配線技術について報告する。以下では、まずデザインルールを概観し、続いて Al 配線、層間絶縁膜、スルーホールの各技術について述べる。

2. デザインルール

表 1 に、1.0～0.6 μm ルールの多層配線のデザインルールを示す。第 1 層配線のピッチは、1.0, 0.8, 0.6 μm ルールに対し、それぞれ 3.0, 2.4, 1.8 μm であり、公称最小寸法(ルール)の 3 倍である。また、第 2 層、第 3 層配線のピッチは、それぞれ第 1 層の 4/3 倍、2 倍であり、第 1 スルーホールの径はほぼルールで示される寸法である。

3. Al 配線技術

3.1 コンタクト電極(バリアメタル)

Si を含む Al 合金配線におけるサブミクロン領域のコンタ

表 1. 多層配線のデザインルール

単位: μm

ル ー ル		1.0	0.8	0.6
配線ピッチ	第 1 層	3.0	2.4	1.8
	第 2 層	4.0	3.2	2.4
	第 3 層	—	4.8	3.6
スルーホール径	1-2層間	1.0	0.8×1.0	0.6
	2-3層間	—	1.0×1.6	1.0

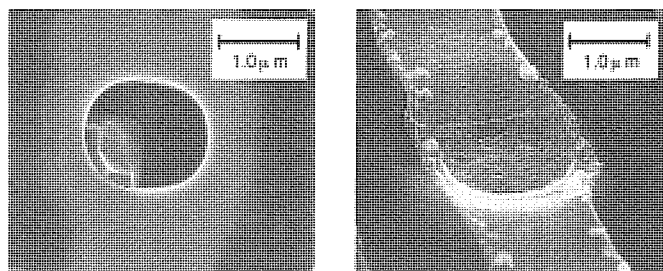
クトホールでの深刻な問題の一つに Si 析出がある⁽¹⁾。これは、ホール底部の Si 基板との界面に Al 合金中の Si が固相エピタキシャル機構により、成長することによっている⁽²⁾。この Si 析出はコンタクト抵抗の上昇を招き、著しい場合にはオープン不良となる。図 1 (a)は、AlSi 合金のコンタクトホールにおける Si 析出を示す SEM 写真である。ホール底のかかなりの部分が析出した Si によって覆われており、導通が困難な状態となっている。

この問題を解決するためには、Al 合金の下に高融点金属やそのシリサイド、窒化物を、Si の移動を阻止するバリアメタルとして形成することが有効である。なかでも、TiN/TiSi₂ の 2 層構造は安定性に優れ良好なコンタクト特性が得られる⁽³⁾。図 1 (b)は、TiN/TiSi₂ 電極を用いたコンタクトホールの SEM 写真である(図 1 (a)と同じように Al 合金形成、熱処理の後、AlSi を除去している)。図から TiN/TiSi₂ 電極を用いることにより、Si 析出が発生していないことが分かる。

3.2 Al 配 線

主配線体である Al 合金は、配線の信頼性の確保のために最も重要なものである。配線の信頼性不良の代表的なものの一つに、電流を担う電子によって Al 原子が移動すること起因するエレクトロマイグレーションがある。この不良は、従来はバイポーラデバイスにおいて問題化していたが、配線の微細化に伴い電流密度が増加し、MOS デバイスでも問題となってきている。

このエレクトロマイグレーションに対する耐量の向上には、Al に Cu⁽⁴⁾、Ti⁽⁵⁾などの金属を不純物として導入することが有効である。図 2 に AlSi (1%), AlSi (1%) Cu (0.5%) 及び AlCu (0.5%) 配線のエレクトロマイグレーション試験の結果を示す。Cu の添加により、抵抗上昇に至る



(a) AlSi のみ

(b) AlSi/TiN/TiSi₂

図 1. コンタクト部の SEM 写真 (AlSi 除去後)

時間すなわち寿命が長くなっており、高信頼化が可能であることが分かる。

また、配線の微細化に伴う新たな信頼性不良として、ストレスマイグレーションが問題となっている⁽⁶⁾。この不良は、配線に働く応力によると考えられており、電流を流さずに高温状態(約200℃)に保存するだけで発生する。このストレスマイグレーションに対しては、配線をカバーする絶縁膜の低応力化が有効であるが、先に述べたエレクトロマイグレーションと同様に、Al合金にCuを添加することでも大幅に改善されることが知られている⁽⁷⁾。

3.3 反射防止膜(ARC)

Al配線の形成はSiウェーハ上にトランジスタなどの素子や多結晶Si、高融点金属系材料などによる配線が形成された後に行われるため、層間絶縁膜の平坦化が行われているとはいえ、厳しい段差上で微細パターンを転写することが必要となる。これに加え、Al合金は反射率が高くハレーションにより、精密な転写が困難となる。また、スルーホール転写においても同様の現象により、精密なパターン形成が妨げられている。

このようなAl合金の高反射に起因する問題の解決法として、Al合金膜上に反射防止膜(ARC)を形成し、反射を低減する方法があげられる。このARC材料としては、高融点金属及びそのシリサイド、窒化物、アモルファスシリコン(a-Si)などがプロセスの整合性より有力な候補と考えられる。表2にAlSiCu膜上に各種の膜を形成したときのg線(436nm)及びi線(365nm)光の反射率を示す。AlSiCuのみの場合に比べ、ARCを形成することにより、反射率が低減されることが分かる。図3に特に反射率の低いTiNに関し、

表2. Al上に形成した薄膜の反射率

材 料 (膜厚 nm)	W (50)	TiN (50)	WSi (50)	a-Si (20)
g 線 (436nm)	55	5	57	10
i 線 (365nm)	54	5	60	21

注 蒸着 Al を100%とした。

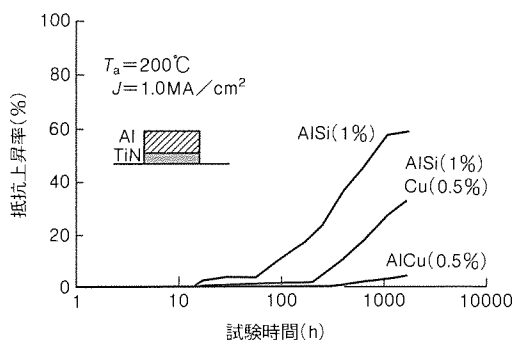


図2. Cu添加Al合金のエレクトロマイグレーション特性

その膜厚と反射率の関係を示す。反射率は膜厚に依存し約50nmで最小となり、TiNなどの透過性の膜では形成膜厚の制御が重要であることが分かる。

図4に、段差上に形成した本来一定の幅を持つべきAl配線のSEM写真を示す。(a)はARCなし、(b)はARCを用いたものである。ARCによって下地段差の影響の少ない、マスクに忠実なパターンの形成が可能となっている。

4. 層間絶縁膜技術

層間絶縁膜は、多層配線において文字どおり上下の配線層を電気的に絶縁するためのものである。このため、絶縁性に優れ、低欠陥密度、低比誘電率であり、配線体との整合性が良いことが必要である。さらに、層間絶縁膜には下層配線や接続孔により、形成された段差を平坦化するという重要な役割が課されている。すなわち、サブミクロンレベルの配線スペースや接続孔部にボイド(空洞)を形成することなしに絶縁膜を埋め込むとともに、その表面を平坦にすることが要求される。現在の層間絶縁膜技術における開発の大部分は、この平坦化法の開発にあるとすることができる。

表3に種々の平坦化法の方式・特長・問題点などを示す。これらの中でSOG(塗布ガラス)による方法は、装置、プロセスが簡便なため最も広く使われてきたものである。しかし、パターンの微細化に伴い、接続孔部などでのクラックやボイドの発生が問題となっている。

SOGに代わるものとして、有機シランを材料とするCVDによる酸化膜がその優れた平坦化特性により、注目されている⁽⁸⁾。なかでも、テトラエトキシシラン(TEOS)とオゾン(O₃)を用い常圧CVDにより形成した酸化膜(以下“AP-TEOS酸化膜”という。)は画期的な埋め込み、平坦化特性を持っている。以下に、このAP-TEOS酸化膜の形成及び層間絶縁膜への適用について述べる⁽⁹⁾。

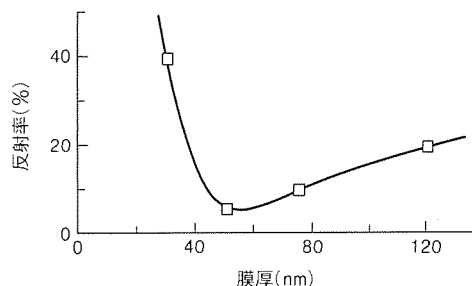
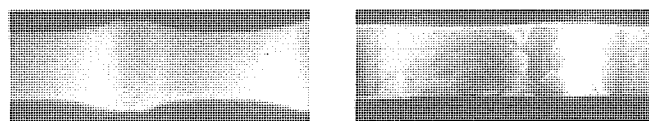





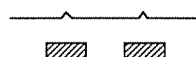


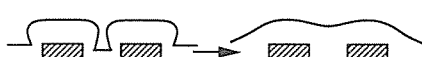

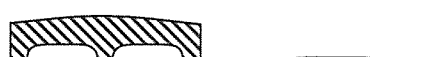
図3. TiNの反射率の膜厚依存性



(a) ARCなし (b) TiNをARCとして使用

図4. ARCによるAl配線パターン転写特性の改善

表 3. 絶縁膜の形成技術及び平坦化技術

	方 式		原 理	模 式 図	特 長	問 題 点
形成技術	有機シラン系 CVD	プラズマ CVD	表面反応が支配的なプロセス		膜質がよい コンフォーマル形状に近い	従来法からの改善が少ない
		減圧 CVD			コンフォーマル形状	膜質 クラック耐性
		常圧 CVD			狭い隙間を埋め込める フロー形状	膜質
	加工整形	バイアススパッタ		シンプル（膜形成と同時に平坦化できる）	平坦性のパターン依存性ダメージ	
		バイアス ECR CVD				
	塗 布	無機 SOG	液体のため凹部に厚くたまる。		工程が容易 処理能力が大きい	膜質 クラック耐性
有機 SOG		無機 SOG より厚く塗布できる			酸素プラズマ耐性	
有機樹脂				工程が容易 低誘電率	加工性 膜質	
リフロー	高温熱処理	熱処理によって軟化する。		工程が容易	高温熱処理が必要	
平坦化技術	エッチバック	(スパッタ)エッチ	(スパッタ)エッチによって角をとる。		工程が容易	従来法からの改善が少ない
		マスク材	マスク材（レジスト）を塗布し、平坦な表面をエッチングする。		汎用性	制御性

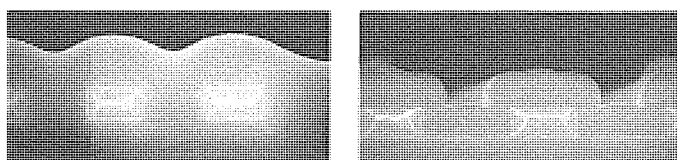
4.1 AP-TEOS 酸化膜の平坦化特性

図 5 (a)に段差上に AP-TEOS 酸化膜を形成したサンプルの断面 SEM 写真を示す。また、(b)は一般的な層間絶縁膜材料である、シラン (SiH_4) 及び亜酸化窒素 (N_2O) を材料とするプラズマ CVD 酸化膜のものである。AP-TEOS 酸化膜によって配線スペースが埋め込まれるとともに、あたかも高温熱処理により、リフローしたガラスのように滑らかな表面形状が実現されており、プラズマ CVD 酸化膜に比べて形状特性が飛躍的に優れていることが分かる。

図 6 は、形成条件による平坦性の変化を示す断面 SEM 写真であり、変化させたパラメータは形成温度及び O_3/TEOS 流量比である。形成温度について見ると、 300°C 、 450°C に比べ、 375°C で形成したものが優れており、形成温度には最適値があることが分かる。 O_3/TEOS 流量比に対しては、大きくなるほど表面がより滑らかになる。

4.2 AP-TEOS 酸化膜の層間絶縁膜への適用

図 7 に、AP-TEOS 酸化膜を用いた層間絶縁膜の形成フローを示す。Al 配線形成後、まずプラズマ CVD 酸化膜を薄く形成する。これは、TEOS を材料とする常圧 CVD の形



(a) AP-TEOS 酸化膜 (b) プラズマ CVD 酸化膜

図 5. 低温形成酸化膜のカバレッジ

成特性が表面状態に敏感なため⁽¹⁰⁾、均一な表面を作るためである。次に、AP-TEOS 酸化膜を厚く形成して下地段差部を埋め込み、平坦化した後、エッチバックによってさらに平坦性を向上する。続いて、絶縁性に優れるプラズマ CVD 酸化膜を形成し必要な膜厚とする。図 8 は、このフローで形成した層間絶縁膜の微細コンタクトホール部での形状を示す断面 SEM 写真である。ポイド、クラックの発生なくコンタクトホールが埋め込まれ、かつ平坦化されていることが分かる。

図 9 に、このプロセスによる層間絶縁膜の絶縁耐压の分布を示す。横軸は印加電圧、縦軸は累積不良率である。平均耐压は約 800V を示し、また分布もシャープで欠陥も少なく、

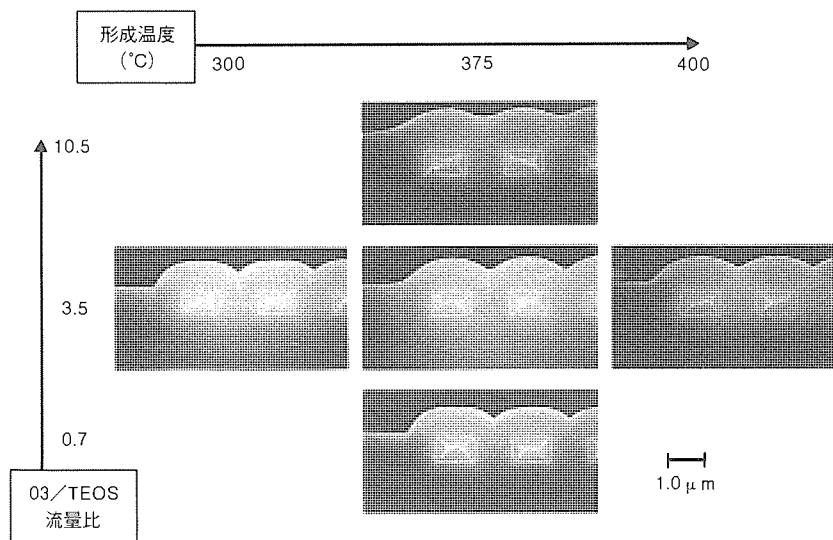


図 6 . AP-TEOS 酸化膜の形成条件による平坦性の变化

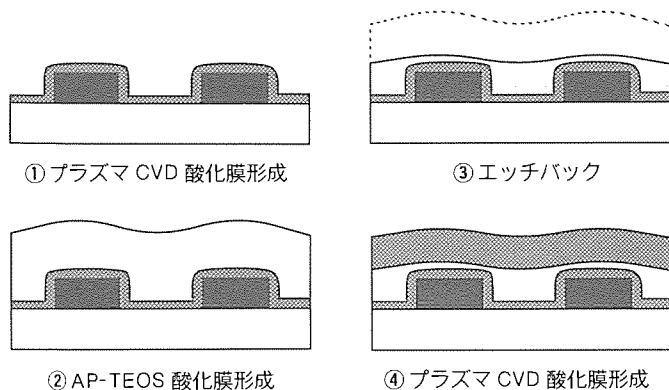


図 7 . 層間絶縁膜の形成フロー

優れた絶縁性を持っていることが分かる。

5. スルーホール技術

上層と下層の Al 配線をつなぐスルーホールも微細化とともに信頼性上の問題を生じる。この問題の多くはホール径の減少と、径が小さくなるのに比べ、層間絶縁膜厚が薄くならないことにより生じるアスペクト比の増大に起因している。例えば、上層の Al 配線をスパッタで形成するとホールの側壁での膜厚が小さくなり、エレクトロマイグレーション耐性の劣化を招く。また、ホール底部の下層 Al 表面をクリーニングするための逆スパッタエッチングにおいても、底部に到達する Ar イオンの減少によるエッチング速度の低下や、ホール側壁によってスパッタされた絶縁物がホール底部に再付着することによる不良などがある⁽¹¹⁾。図 10 に RIE のみにより、ほぼ垂直な側壁を持つように形成したホール底部での、Si のスパッタエッチレート径依存性を示す。径が、約 1.0 μm より小さくなるとエッチレートが減少することが分かる。

このようなアスペクト比の増加に起因する問題に対し、テーパエッチングによって実効的にアスペクト比を小さくす

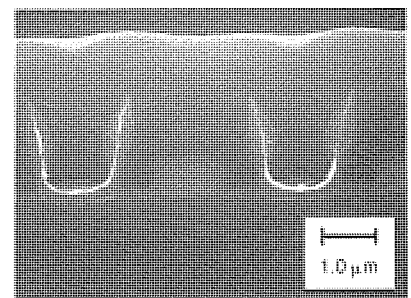


図 8 . AP-TEOS 酸化膜を用いた層間絶縁膜の微細コンタクトホール埋め込み特性

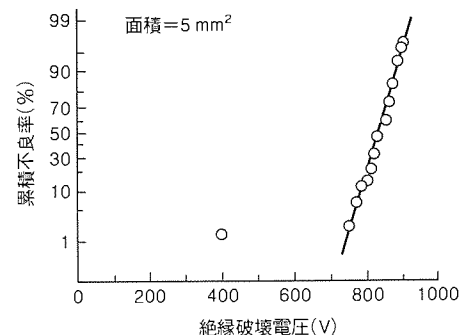


図 9 . 層間絶縁膜の絶縁耐圧分布

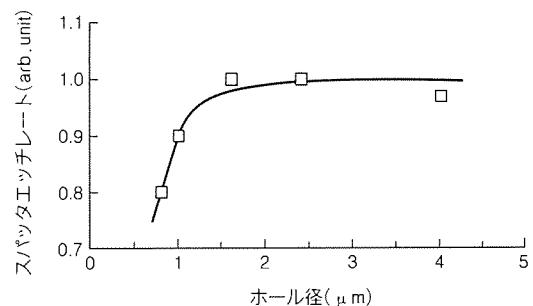
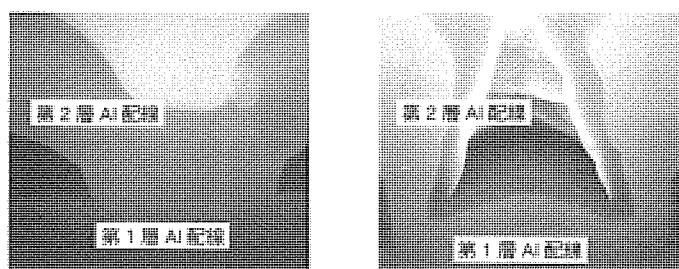


図 10 . ホール底部でのスパッタエッチレート

る方法をあげることができる。その一例として、ウェットエッチングと RIE の複合によるテーパエッチングで形成したスルーホールでの上層 Al のカバレッジを示す断面 SEM 写真を図 11(a) に示す。(b) に示した RIE のみによって形成したものに比べ、ホールの側壁に形成される Al の膜厚が厚くなっていることが分かる。

しかしながら、このテーパエッチングを用いると最も接近するホールが重ならないようにするために、配線のピッチを大きく形成したホール入口の径より小さくすることが困難であり、微細化の点からは十分な方法とは言えない。これを克服する方法として、埋め込み特性のよい CVD 法によりホールに金属を埋め込む技術が有望視されている⁽¹²⁾。図 12 に選択 CVD 法により、タングステンを微細ホールにのみ形成したサンプルの SEM 写真を示す。ホールがタングステンにより、埋め込まれていることが分かる。今後の微細化スルーホールに不可欠な技術であり、実用化が急がれている。



(a) テーパエッチ (b) ストレートエッチ(RIEのみ)

図 11. スルーホールでの上層 Al のカバレッジ

6. む す び

以上、最先端 ASIC に必須であるサブミクロン多層配線技術について述べた。微細化に伴う問題を克服して、高信頼、高歩留まりを確保することが必要であり、①微細転写・加工技術、②配線材料、構造技術、③平坦化技術、④ホールへの金属埋め込み技術、などを駆使することによってその実現が図られている。

先に述べたように、ASIC のみならずすべての LSI にとって多層配線が不可欠となってきており、多層配線技術は製品の歩留まり・性能・信頼性を支配するキーテクノロジーの位置を占めている。今後さらに、ハーフ〜クォーターミクロン多層配線の実用に向け、Cu 配線や有機樹脂による層間絶縁膜などの新技術の開発により、微細化と高信頼化という相反する課題を克服することが求められている。

参 考 文 献

- (1) Mori, M. : Resistance Increase in Small-Area Si-Doped Al-n-Si Contacts, IEEE Trans. Electron Devices, ED-30, p.81 (1983)
- (2) Majini, G., Ottaviani, G. : Large-Area Uniform Growth of <100> Si through Al Film by Solid Epitaxy, Appl. Phys. Lett., 31, p.125 (1977)
- (3) Okamoto, T., Shimizu, M., Oosaki, A., Mashiko, Y., Tsukamoto, K., Matsukawa, T., Nagao, S. : Simultaneous Formation of TiN and TiSi₂ by Lamp Annealing in NH₃ ambient and its Application to Diffusion Barriers, J. Appl. Phys., 62, p.4465 (1987)
- (4) Merchant, P., Cass, T. : Comparative Electromigration Test of Al-Cu Alloys, Rel. Phys. Symp., p.259 (1984)
- (5) Fisher, F., Neppl, F. : Sputtered Ti-Doped Al-Si for Enhanced Interconnect Reliability, Rel. Phys. Symp., p.

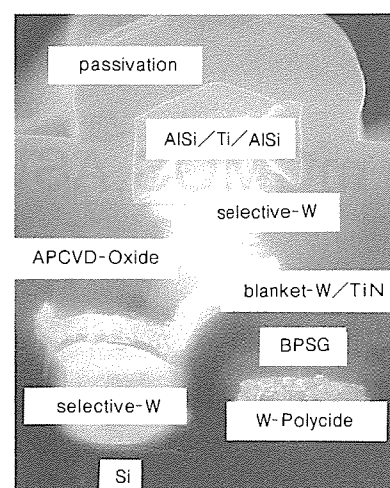


図 12. 選択 CVD タングステンによるホールの埋め込み

190 (1984)

- (6) Klema, J., Pyle, R., Domangve, E. : Reliability Implications of Nitrogen Contamination During Deposition of Sputtered Aluminum/Silicon Metal Films, Rel. Phys. Symp., p.1 (1984)
- (7) Mayumi, S., Umemoto, T., Shishino, M., Nanatue, H., Ueda, S., Inoue, M. : The Effect of Cu Addition on Stress Induced Open-circuit Failures, IEDM Tech. Dig., p.15 (1987)
- (8) Nishimoto, Y., Tokumasu, N., Fukuyama, T., Maeda, K. : Low Temperature Chemical Vapor Deposition of Dielectric Films Using Ozone and Organosilane, Ext. Abs. 19th SSDM, p.447 (1987)
- (9) Kotani, H., Matsuura, M., Fujii, A., Genjou, H., Nagao, S. : Low-Temperature APCVD Oxide Using TEOS-Ozone Chemistry for Multilevel Interconnection, IEDM Tech. Dig., p.669 (1989)
- (10) Matsuura, M., Kotani, H., Abe, H. : Substrate-Dependent Characteristics of APCVD Oxide Using TEOS and Ozone, Ext. Abs. 22nd SSDM, p.239 (1990)
- (11) Tomioka, H., Tanabe, S., Mizukami, K. : A New Reliability Problems Associated with Ar-Ion Sputter Cleaning of Interconnect Vias, Rel. Phys. Symp., p.53 (1989)
- (12) Kotani, H., Tsutsumi, T., Komori, J., Nagao, S. : A Highly Reliable Selective CVD-W Utilizing SiH₄ Reduction for VLSI Connects, IEDM Tech. Dig., p.217 (1987)

0.8 μm CMOS ASIC プロセス

畑中正宏* 森本博明***
大野多喜夫* 松田修一*
山口澄夫**

1. ま え が き

高度情報化社会の進展に伴って、電子機器の高性能化・システム化が進んでいるが、その中核をなし、原動力となっているのが、超 LSI 技術であることは周知の事実である。現在市販されている最先端の LSI は、4M DRAM で、そのデザインルールは 0.8 μm である。この DRAM に関しては、更に 0.5~0.6 μm ルールの 16M DRAM も鋭意開発中で、今世紀末には 0.1 μm ルールによる 1G ビットの容量を持つ DRAM の出現が予想されている。

一方、機器のシステム化のかなめともいえる ASIC (Application Specific IC) も、このような微細加工技術の進歩を取り入れ、また CAD 技術の発達もあり、大規模で高性能な製品が登場している。ASIC におけるデザインルールは、現在 1.0 μm のものが市販レベルでは最先端で、当社においても大規模なゲートアレー M60050 シリーズ⁽¹⁾や、TRON 仕様の 32 ビット マイクロプロセッサ⁽²⁾、画像/映像処理用シグナルプロセッサ⁽³⁾等の 1.0 μm ルールによる製品を開発してきた。

今回開発した 0.8 μm ルールによる CMOS ASIC プロセスは、上述した 1.0 μm プロセスをもとに、更に高性能・高集積化をねらいとしたもので、レイアウト上のデザインルールは原則として 1.0 μm ルールからの縮小を可能とし、微細化

に対応して縦方向のスケーリングも行っている。

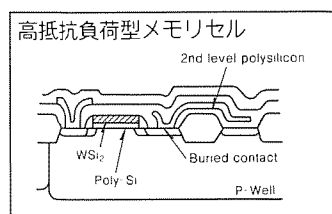
本稿では、このような 0.8 μm ルールによる CMOS ASIC プロセスの概要と、ASIC の開発期間短縮には最も有効な手法である電子ビーム (EB) によるウェーハ直接描画技術について紹介する。

2. デバイス構造及び構成

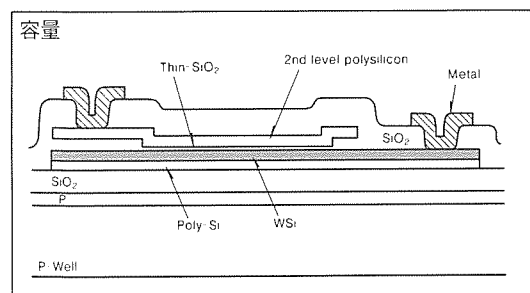
異なる機能を持つ様々な ASIC 群を効率良く開発し、しかも生産コストを最小限に抑えるためには、それらを実現するためのデバイス構造の統一化が欠かせない。このため、0.8 μm ASIC では図 1 に示すように、論理回路を構成するための CMOS デバイス構造を基本形とし、他の機能が必要な場合には、それに応じてモジュール化したデバイスをこの基本デバイスに付加することで、事実上多種類のデバイス構造が実現できる構成となっている。

2.1 基本 CMOS 構造

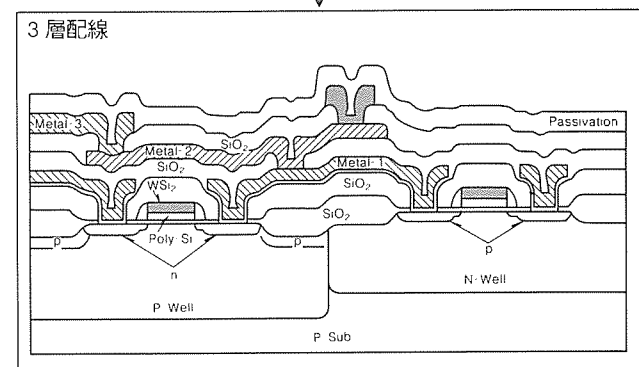
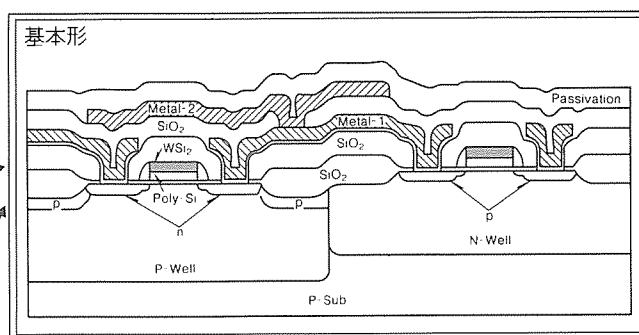
この基本形となる CMOS デバイスは、ASIC 上に構成される種々の論理回路を実現するためのもので、高性能な MOS トランジスタと 2 層構造を持つ信号配線からなっている。シリコン基板は P 型を原則とし、ウェルは P/N ツイ



・メモリ内蔵プロセッサ



・A/D コンバータ
・ニューロチップ



・大規模ゲートアレー

図 1 . 0.8 μm CMOS ASIC のデバイス構成

ンウェル構造である。このウェル内に形成される MOS トランジスタは、NMOS、PMOS 共にゲート長が $0.8\ \mu\text{m}$ で、ゲート電極には低抵抗化のために、 $\text{WSi}_2/\text{Poly-Si}$ のポリサイド構造を採用している。また、配線層下の層間絶縁膜は平坦化のため、 $1.0\ \mu\text{m}$ プロセスと同様、BPSG (Borophospho-Silicate-Glass) 膜を用いている。配線層に用いる材料は、2層共 AlSiCu 膜を用い、エレクトロマイグレーションによる信頼性劣化を防いだ。

2.2 モジュール化デバイス構造

上述した基本 CMOS デバイス構造に付加されるオプションとしてのデバイスには、主として次の3種類を用意した。すなわち、Poly-Si 層を1層追加して、ゲート電極である $\text{WSi}_2/\text{Poly-Si}$ との間に絶縁膜を形成することで、容量素子を形成するもの、あるいは、この2層目の Poly-Si 層を高抵抗層とした高抵抗負荷型メモリセルを形成するものである。また、配線層としても、もう1層合計3層構造まで構成できるようにした。これらのモジュール化されたデバイス構造をオプションとして付加する ASIC としては、容量素子を組み込んだ A/D コンバータやメモリ内蔵のプロセッサが実現できるほか、配線層を3層としたことで、特にゲートアレーにおけるゲート使用効率向上が達成される。

2.3 統一化の留意点

以上述べたデバイス構造の統一化の過程において留意すべきことは、設計パラメータの共通化である。付加するモジュールセル内でのプロセス条件やデバイス構造は、基本形となる CMOS 構造には影響を与えないように配慮しており、論理回路を構成している部分は、すべての $0.8\ \mu\text{m}$ ASIC に対してその性能を同一としている。こうすることで、回路シミュレーションのためのトランジスタパラメータや各種浮遊容量・寄生抵抗の値は、同じものが使用可能となる。この結果、カスタム、セミカスタムを問わず、各種機能ブロックの共有化も図られると同時に、生産面から見ても製造上のプ

ロセスパラメータがかなりの部分標準化された。

以上述べた CMOS デバイス構造の主なデバイスパラメータとレイアウト寸法を表1に示す。

3. プロセス技術

$0.8\ \mu\text{m}$ ASIC プロセス技術の中心は、ゲート長 $0.8\ \mu\text{m}$ の MOS トランジスタと3層配線構造まで可能な多層配線技術である。特に電源電圧が 5V であることに対応して、ホットエレクトロンによる特性劣化を防止するため、 N^- オーバラップ LDD 構造の NMOS トランジスタ⁽⁴⁾を採用した。この構造は、プロセス技術として、斜め回転イオン注入技術⁽⁵⁾を使って実現したもので、これによって MOS トランジスタの信頼性を確保している。図2には、斜め回転イオン注入を用いた N^- オーバラップ LDD 構造のプロセスフローを示す。また、PMOS トランジスタについても、LDD 構造を採用し、一方、チャンネル部の不純物分布を最適化することで十分な耐圧を確保しながら高い電流駆動能力を得ている。

ASIC プロセスとして、もう一つ重要な技術が多層配線技術である。 $0.8\ \mu\text{m}$ ASIC プロセスでは、3層配線まで可能とするために、特に層間絶縁膜の平坦化に注意を払った。この平坦化のために、従来の SiH_4 系の低温 CVD 酸化膜に代えて、TEOS 系の CVD 酸化膜を採用した。図3には、この TEOS 系の CVD 酸化膜を層間絶縁膜に用いた3層配線の断面図を示す。

4. 電子ビーム直接描画を用いた ASIC 製作

4.1 電子ビーム直接描画法の特長

現在、LSI の回路パターン形成には、フォトリソグラフィ技術によってマスクパターンを縮小転写するステップが広く用いられている。この方式では、現在 $0.5\ \mu\text{m}$ 程度のパターンまで形成が可能であり、また1時間に20枚以上のスループット（ウェーハ処理能力）を持っている。

これに対し、EB 直接描画（以下、“EB 直描”という。）では、ウェーハ上に直接回路パターンを描画する。したがって、マスクが不要であり、マスク製作工程（通常で数日、最短で

表1. $0.8\ \mu\text{m}$ プロセスの主なパラメータ

項 目	パラメータ
単位: μm	
(MOS トランジスタ)	
ゲート長 (NMOS/PMOS)	0.8
ゲート酸化膜厚 (nm)	18
(ウェル)	
ウェル深さ (Pウェル/Nウェル)	4.0/2.5
(層間絶縁膜)	
1層配線下部	0.7
1層-2層間	0.8
2層-3層間	0.8
(レイアウトルール)	
拡散配線 (N^+/P^+)	1.0/1.4
コンタクトホール	0.8×0.8
スルーホール (1層目-2層目)	0.8×1.0
第1層配線ピッチ	2.4
第2層	3.2
第3層	4.8

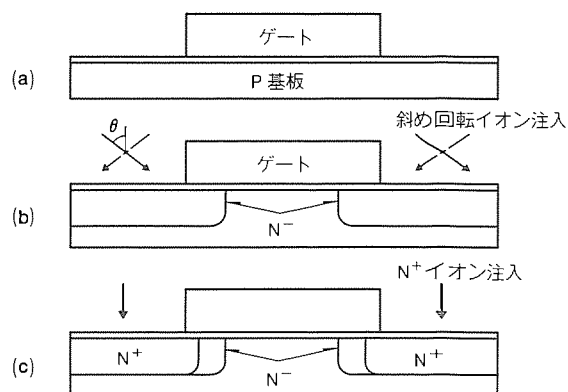


図2. N^- オーバラップ LDD 構造 MOS トランジスタのプロセスフロー

も1～2日)を省略できる。ステッパを用いた工程とEB直描を用いた工程の差を図4に示す。

EB直描を使用することによって、ターンアラウンド(製作開始から終了までの時間)を短縮することができる。しかし、EB直描は回路パターンを順次一つずつ描画していくために、スループットが低い(現在1時間に1枚前後)という短所がある。すなわち、EB直描を用いるとスループットは低い、生産量が少なればターンアラウンドが短いということになる。したがって、少量多品種を短納期で製作したり、サンプル品を少量製作して回路のデバッグを行うためには、非常に有効な方法である。

EB直描のもう一つの特長は、微細加工性である。ステッパでは、露光に使用する光の回折の影響のため現在0.5 μm 前後に解像度限界があるのに対し、EB直描では0.2 μm まで可能である。図5は、EB直描を用いて形成した0.2 μm 幅のパターン写真である。20kVの可変成型ビームを用いて3層レジストの上層パターンを形成している。レジストは、SAL-601ER7、膜厚は0.5 μm 、基板はSOG/ボトムレジスト/Si基板である。

4.2 近接効果補正

EB直描に特有な問題として、近接効果⁽⁶⁾がある。これは、電子ビームがレジスト中で散乱、あるいは基板からはね返っ

てくることによって描画した回路パターンが変形する現象である。近接効果のために、設計パターンに対して、例えば孤立したパターンは小さくなり、近接するパターン同士はくっ付き合うように変形する。したがって、微細パターンを形成するためには、この近接効果をパターンデータ上で補正する必要がある。補正の方法及び補正結果の例を以下に述べる。

まず、EB描画条件(加速電圧、レジスト膜厚、レジストの種類・感度など)に対するレジスト中への蓄積エネルギー分布(EID関数⁽⁶⁾)を求める。EID関数のパラメータを求めるために、モンテカルロシミュレータELIS⁽⁷⁾を使用する。次に、各回路パターンのエッジ部分における蓄積エネルギー量が、十分に大きいパターンの中心部分における蓄積エネルギー量の1/2になるように、回路パターンごとにビーム照射量を決定する。すなわち、EB描画を行うときに、描画する回路パターンごとの蓄積エネルギー量が等しくなるように、EB照射時間を各パターンごとに設定する。

図6(a)は補正前の描画パターンデータ、(b)は補正後のパターンデータの例である。図中の数字は、各パターンのビーム照射量(照射時間)に対応する。補正前は各パターンとも同一ビーム照射量であるが、補正後は孤立した場所では多く、大面積パターンの場所では少なく設定されているのが確認できる。このパターンデータを用いて形成したレジストパターンの写真を図6(c)、(d)に示す。補正前のデータ(a)を用いたものが(c)、補正後のデータ(b)を用いたものが(d)である。補正を行っていない場合、写真左側の孤立した配線の先端部が細くなっているが、補正後は場所によらず所望のパターン寸法が得られている。

近接効果補正による回路パターン寸法の改善を測定した結果を図7に示す。1 μm 厚のポジレジストを6 $\mu\text{C}/\text{cm}^2$ で描画したものである。近接効果補正なしでは、3 μm 以下のパターンでリニアリティが悪くなる(設計寸法と仕上り寸法に差が出てくる。)のに対し、近接効果補正を行ったものに対しては、サブミクロン領域まで良好なリニアリティを示している。近接効果補正を行うためには、長い計算時間を必要としていたが、描画パターンデータ、及びデータ処理の階層化などによって計算時間は飛躍的に短縮されている⁽⁸⁾。

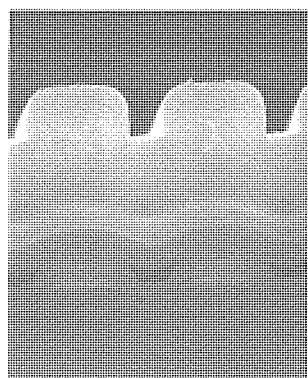


図3. 3層配線構造の断面SEM写真

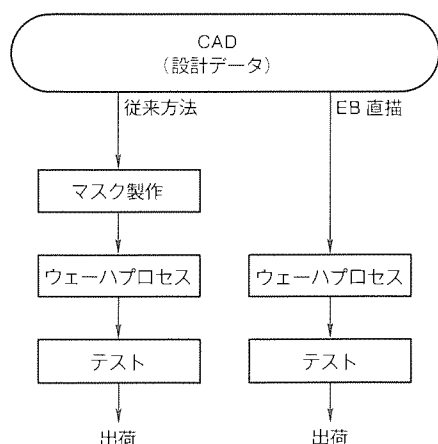
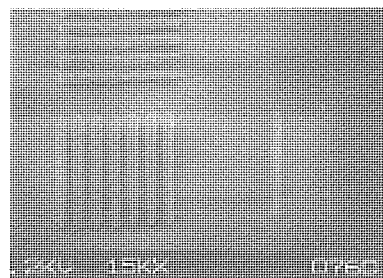
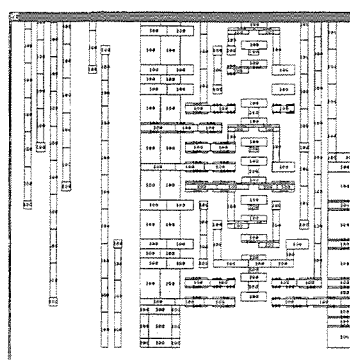


図4. ステッパを用いた通常のLSI製造工程とEB直描を用いた場合の工程の比較

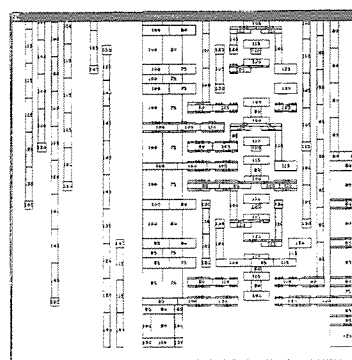


20kVの可変成型ビームを用いて3層レジストの上層パターンを形成。レジストはSAL-601ER7、膜厚は0.5 μm 、基本はSOG/ボトムレジスト/Si

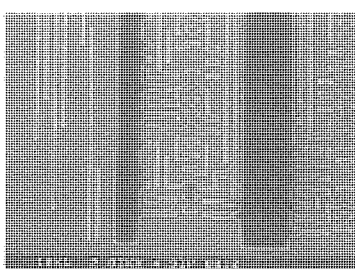
図5. EB直描を用いて形成した0.2 μm 幅のパターン



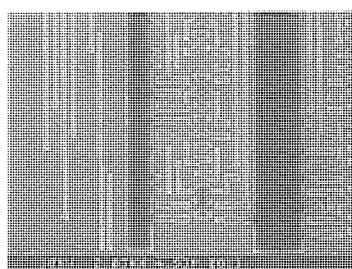
(a) 補正前の描画パターンデータ



(b) 補正後の描画パターンデータ。数字は各パターンのビーム照射量に対応する。



(c) 補正前の描画パターンデータを用いて形成したレジストパターン



(d) 補正後の描画パターンデータを用いて形成したレジストパターン

図 6. 近接効果補正の例

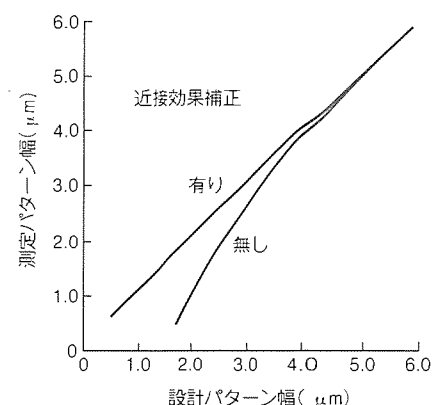


図 7. 近接効果を行った場合と行わなかった場合の回路パターン寸法の実測値比較

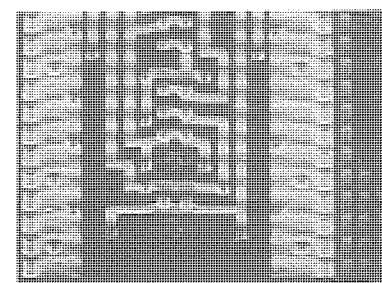


図 8. EB 直描を用いて製作した CMOS ゲートアレーのチップ拡大写真

4.3 電子ビーム直接描画による ASIC 製作例

EB 直描によって製作した CMOS ゲートアレーのチップ拡大写真を図 8 に示す。スライスの 4 工程に EB 直描を使用した。Al 1 と Al 2 工程にはネガレジスト、コンタクトとバイヤホール工程にはポジレジストを用いた。DC 特性、回路特性ともステッパによって製作した従来のものと同等である。

以上述べたように、EB 直描技術は少量多品種 ASIC の短期製作やサンプル品の短期納入に有効である。

5. む す び

以上、0.8 μm CMOS ASIC プロセスの概要と EB 直描技術について紹介した。ゲート長を、NMOS, PMOS 共 0.8 μm としながら、高い信頼性を確保するとともに、3 層配線構造実現のため、新しい平たん化層間絶縁膜を導入した。また、デバイス構造を統一化することで、多様な ASIC に対し、共通のデバイスパラメータが適用可能となっている。今回開発した 0.8 μm プロセスと EB 直描技術により、さらに高集積・高機能な ASIC の効率的な開発の土台になるものと確信している。

参 考 文 献

(1) 中村博隆, 後藤諭利, 布上裕之, 川端啓二, 西谷一治: 高速, 低消費電力の 1.0 μm CMOS ゲートアレー M600 50 シリーズ, 三菱電機技報, **63**, No.11, 954~956

(1989)

(2) 日向純一, 市山寿雄, 吉田豊彦, 富沢 治, 是松次郎: TRON 仕様 32 ビットマイクロプロセッサ M32/100, 三菱電機技報, **63**, No.11, 921~924 (1989)

(3) 寺根秀幸, 嶋田敏明, 中川伸一, 篠原尋史, 吉本雅彦, 畑中正宏: 24 ビット, 50 ns 画像/映像処理用シグナルプロセッサ (DISP), 三菱電機技報, **63**, No.11, 929~932 (1989)

(4) Inuishi, M., Mitsui, K., Komori, S., Shimizu, M., Oda, H., Mitsuhashi, J., and Tsukamoto, K.: Optimum Design of GATE/ N^+ Overlapped LDD Transistor, Digest of Technical Papers, Symposium on VLSI Technology, 33~34, IEEE Electron Devices Society (1989)

(5) 御城俊宏, 長友正男, 高橋武人, 大崎三郎: 斜め回転イオン注入技術, 三菱電機技報, **63**, No.11, 980~983 (1989)

(6) Parikh, M.: J. Vac. Sci. Technol. **15**, No. 3 931~933 (1978)

(7) 藤野 毅, 竹内 晋, 楠瀬治彦, 森泉幸一, 青山 哲, 渡壁弥一郎: 電子情報通信学会, SDM 89-73, 1~6 (1989)

(8) Moriizumi, K., Takeuchi, S., Fujino, T., Aoyama, S., Yoneda, M., Morimoto, H., and Watakabe, Y.: Digest of Papers, 3rd Microprocess Conference, 52~53, The Japan Society of Applied Physics (1990)

セルベース設計用 モジュール ジェネレータ

篠原尋史* 辻橋良樹* 塚本美智子**
津田和彦** 藤森久美子*
松本憲昌*** 味岡佳英**

1. ま え が き

セルベース LSI では、あらかじめ準備されたライブラリ中の各種セルを用いてチップを構成する。セルの種類に応じて最適に回路設計・レイアウト設計されたものを使用することができるため、セルベース設計方式は USIC (User Specific Integrated Circuits) の分野において、ゲートアレーでは困難な高性能・高機能な LSI あるいは量産によるコストダウンをねらった LSI に適した設計方式である。また、従来フルカスタム手法で設計されてきたプロセッサ LSI や専用 LSI の分野では、集積度の向上と品種の増大に伴う設計負荷の爆発的増大に対処すべく設計効率改善が急務となっている。そのため、共通のライブラリセルと専用セルを混在する方法で、セルベース設計方式が浸透しつつある。

以上のように、セルベース設計方式は、回路・機能ブロックが高度に集積されたシステム オン チップの時代における LSI の広い範囲をカバーする設計方式である。そのなかでライブラリセルは、セルベース LSI 及びセルベース設計システムを特徴付けるキーエレメントとして重要性が高まっている。とりわけ、RAM に代表される規則的内部構造を持ったモジュールセルは、下記の理由によって最も基本的かつ主要なものである。

- (1) 様々な用途の LSI に汎用的に用いられ、使用頻度が高い。
- (2) LSI の動作速度を律速するクリティカルパスの構成要素となる場合が多い。
- (3) 最適設計により、ゲートアレーや標準セルで組むよりも大幅な性能向上と面積削減が得られる。
- (4) タイル方式のモジュール生成手法⁽¹⁾ (4章(2)参照)を用いてモジュール ジェネレータとすることにより、指示パラメータに応じて最適設計に近いセルを自動的に生成することができる。

このような背景のもとに、RAM・ROM・乗算器・PLA の4種類のモジュールセルを各々生成する4種類のモジュール ジェネレータを開発した。本稿では、これらの概要について述べる。

2. 開発のねらい

今回開発したモジュール ジェネレータは、セルベース設計方式の適用範囲の広がりを考慮して、プロセッサ LSI や

専用 LSI を開発する LSI 設計者のみならず、USIC を自ら設計するシステム設計者の両者に使用されることを目的としている。このため、開発に当たって下記の点に留意した。

(1) 自由度の高い選択肢

LSI 設計におけるタイミングやレイアウトの制約に対して柔軟に対応できるよう、規模パラメータの範囲だけでなく、機能オプションや、形状ファクター(メモリの縦横比)をも選べるようにする。

(2) 高性能特性

最先端の高性能 LSI にも適用できるよう、汎用性を維持しつつ、速度・消費電力・面積のバランスのとれた高性能特性を追求する。このため、リーフセル(4章(2)参照)は主として人手でレイアウト設計する。

(3) ライブラリデータの完備

セル内部のレイアウトパターンや詳細な回路を知らなくてもモジュールセルを使って LSI を設計できるよう、シミュレーション モデル等のセルベース設計環境に必要なすべてのライブラリデータを自動生成する。

(4) 標準プロセス技術

広範囲の LSI に適用可能なよう、1.0 μm CMOS ASIC の標準プロセス技術を使用し、配線レイヤは基本の1層ポリシリコン、2層金属とする。

3. 設計技術とモジュール ジェネレータ仕様

この章では、4種類のモジュール ジェネレータ各々につき、設計技術及び機能の特徴並びにカスタマイズするための入力パラメータの種類とその範囲について述べる。

3.1 RAM ジェネレータ

図1にRAMのブロック図を示す。このRAMは同期型のスタティックRAMであり、直流の動作電流をなくして低消費電力化を図った。チップ内蔵RAMの場合、1ワードが数バイトの多ビット構成をとる場合が多いため、読出し回路では少ない電流でセンス感度を高める工夫が必要である。このため、NMOS クロスカップル型の差動センスアンプを採用し、トランジスタサイズを最適化して高速化を図った。標準の1層ポリシリコン CMOS プロセス技術を用いたため、メモリセルはフル CMOS 6 トランジスタ構成で、セル面積は $231 \mu\text{m}^2$ である。

汎用 SRAM と端子の種類は同様であるが、チップ内蔵用として使いやすいよう、次の特徴を持たせている。セルイ

ネーブル (チップイネーブル) 信号 CEC=0 のとき、アドレス変化による誤動作を防止するため、アドレスを CEC でラッチしている。また、読出しデータをプリチャージ時にラッチし、出力のトライステート制御を OEC により、他の制御信号 (CEC, WEC) とは独立に制御するようにしている。この結果、例えば、CEC=1 のプリチャージ時にも読出しデータを出力し、次段によるデータ取り込みのタイミングに余裕を与えることができる。

さらに、オプション指定により、書き込み制御信号 WEC を CEC によってラッチすることもできる。WEL=true を選択すると WEC はアドレスと同様に同期信号 CEC でラッチされ、そのサイクルが書き込みサイクルか読出しサイクルかが設定される。したがって、アドレスと同時に読出し/書き込みが決定するような場合に有効である。一方、WEL=false を選択すると、汎用 SRAM と同様 WEC=0 の期間に書き込み、WEC=1 の期間に読出しができるので、リード モディファイ ライトやライト モディファイ リードのような回路動作が可能となる。

表 1 に RAM ジェネレータの入力パラメータを、他のモジュール ジェネレータのものとともにまとめる。ビット数は 1~72 ビット、ワード数は 16 ワード~8K ワード、メモリ容量は 128 ビット~72K ビットまで自動生成できる。ワード数は、2 のべき乗以外も選択可能である。また、RAM の形状を指定するためのパラメータ CPB (Column Per Bit) を導入した。CPB は 1 ビット当たりのメモリセル配列の列数を意味し、4, 8, 16, 32 の中から選択できる。図 2 に示したとおり、CPB が大きいときはワード数の大きい RAM をカバーし、小さい場合は多ビット構成の RAM をカバーする。同一のビット数、ワード数で複数の CPB を取り得る場

合、RAM 形状は CPB が大きいと横長 (列数大)、CPB が小さいと縦長 (行数大) になる。図 3 に 16 ビット・128 ワード構成で、CPB が 4, 8, 16 のときの各々の生成 RAM レイアウトを示す。

ワード幅をサブワードに分割し、サブワードごとに読出し及び書き込み可否を制御するサブワード機能⁽²⁾をオプションとして準備している。各サブワードは、サブワードライト制御信号 SWC<n>と共通制御信号 CEC, WEC によって独立に書き込み可否が制御され、サブワード出力制御信号 OEC<n>により独立にトライステート出力が制御される。この機能を付加すると、DI バス幅と DO バス幅が異なる場合や、ビット/ワード構成がダイナミックに変化する応用への適用が容易になる。

表 1. モジュール ジェネレータ入力パラメータ

種 類	パラメータ	範 囲
R A M	ビット数 (BIT)	1~72
	ワード数 (WORD)	16~8K (BIT・WORD≤72K)
	形状ファクタ (CPB)	4, 8, 16, 32
	WEC ラッチ (WEL)	true, false
	サブワード (SW)	true, false
R O M	ビット数 (BIT)	2~64
	ワード数 (WORD)	64~32K (BIT・WORD≤512K)
	形状ファクタ (CPB)	8, 16, 32
	アドレスラッチ (ADL)	true, false
乗算器	乗数ビット数 (YNUM)	8~32
	被乗数ビット数 (XNUM)	8~32
	入力ラッチ (TI)	1, 0
	中間ラッチ (TC)	1, 0
	出力ラッチ (TO)	1, 0
P L A	入力数 (IN)	1~40
	出力数 (OUT)	1~82
	積項数 (PRO)	1~200

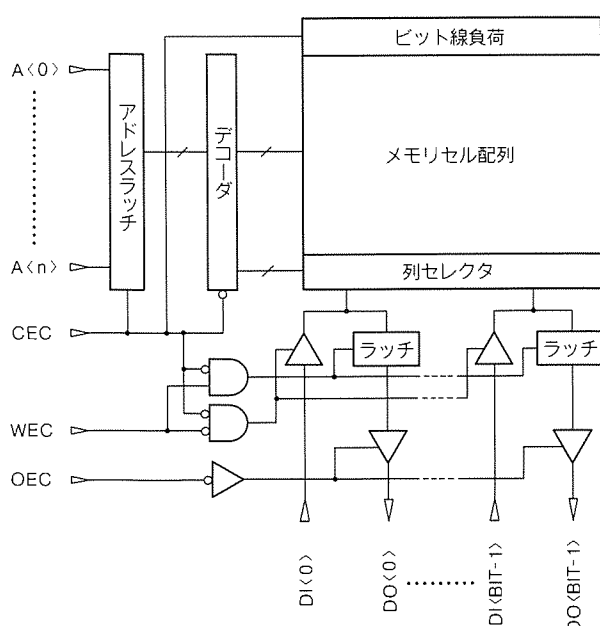


図 1. RAM ブロック図

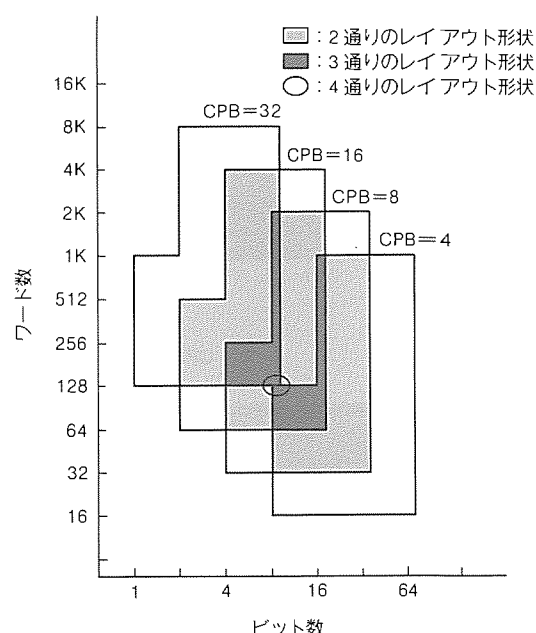


図 2. RAM の生成範囲

3.2 ROM ジェネレータ

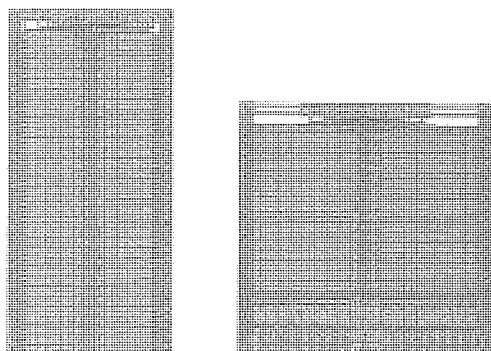
ユーザー指定のROMコードに応じて、マスクROMを自動生成する。ROMコードをプログラムするマスク工程として、拡散工程あるいはコンタクト工程のいずれかを選択できる。コンタクトプログラム方式のメモリセルは $18\mu\text{m}^2$ と、拡散プログラム方式の $27\mu\text{m}^2$ より1.5倍大きくなるが、ウェーブプロセスの後工程でプログラムできる利点がある。100Kビットを越える大容量ROMにおいても高速性を実現するため、ビット線振幅がわずかでビット線負荷容量依存性の小さい、電流センス型センスアンプを採用した。

表1に示したとおり、ビット数は2~64ビット、ワード数は64ワード~32Kワード、そしてメモリ容量は512ビット~512Kビットまで自動生成可能である。ワード数は、2のべき乗以外も選択可能である。RAMジェネレータと同様に、生成ROMの形状をパラメータCPB(8, 16, 32)の指定によって選択できる。

図4に論理ブロック図を示す。制御信号CECは、パワーダウンモードの設定を行う。CECにクロック信号を入力する同期動作とCECを0に保持してアドレスを変化させる非同期動作の両方が可能である。また、RAMと同様に、アドレスをCECでラッチすることもオプションとして提供している。出力制御信号OECは、CECとは独立にデータ出力のトリステート制御を行う。

3.3 乗算器ジェネレータ

デジタル信号処理LSIの主要な構成要素である並列乗算器を生成する。2の補数表現の乗数、被乗数を入力とし、1サイクルで積を出力することが可能である。



(a) CPB=4

(b) CPB=8

(c) CPB=16

図3. RAMのレイアウト生成例(16ビット, 128ワード)

図5に生成される乗算器の論理ブロック図を示す。このジェネレータでは、2次のブースアルゴリズムを採用して部分積の数を半減させ、生成された部分積の並列加算には、回路構成の規則性が高いキャリーセーブ法を用いた。キャリーセーブアダーのアレーを構成する1ビットの全加算器は、入力から和出力まで、及び入力からけた(桁)上げ出力までの速度が均等に速くなるよう最適化し、アレー1段当たりの速度を向上させた。さらに、アレー部の出力を最終的に足し合わせる桁上げ伝搬加算器にはキャリーセレクトアダー⁽³⁾を採用し、上位桁でサブブロックのビット幅を順次増やすことにより、クリティカルパスである桁上げ信号連鎖のゲート段数を減らした。以上の手法を用いることにより、高速乗算を実現している。

入力パラメータとしては、乗数ビット幅、被乗数ビット幅共に8~32の範囲で、互いに独立に選択可能である。オブ

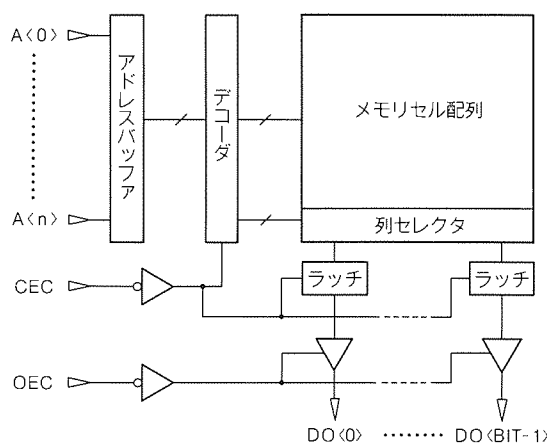


図4. ROMブロック図

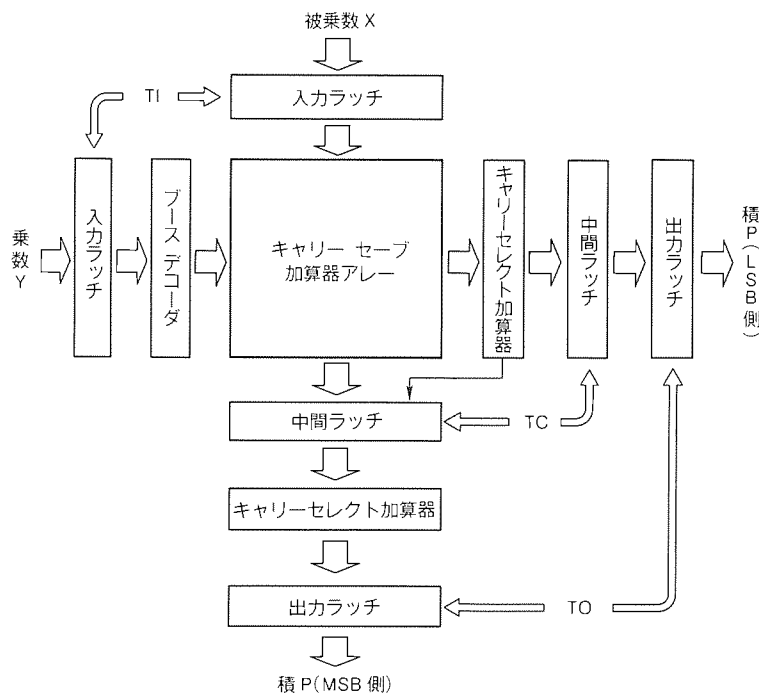


図5. 乗算器ブロック図

ションとして、入力データラッチ、中間データラッチ、出力データラッチの挿入の有無を各々選択できる。

3.4 PLA ジェネレータ

図6のブロック図に示すとおり、このPLAは1相クロックによる同期型であり、非同期型において必要なアクティブ時の直流電流を最小のクロック数で防止している。PLAのAND平面・OR平面の構成方法には、NAND・NAND型、NOR・NAND型等幾つかの方法があるが、高速化のため、NMOSトランジスタを並列に用いるNOR・NOR型を採用した。この場合、OR平面用の同期型NORは、積項値であるAND平面出力が確定した後にプリチャージ状態から評価状態に移行する必要がある。このPLAでは、規模に応じて遅延時間が変わる遅延回路を内蔵しており、OR平面用クロックの立ち上がりを外入から与えられるAND平面クロックより遅延させている。この結果、必要最小の遅延時間で確実な動作を果たしている。

データ出力段には、クロックと同相で制御されるデータラ

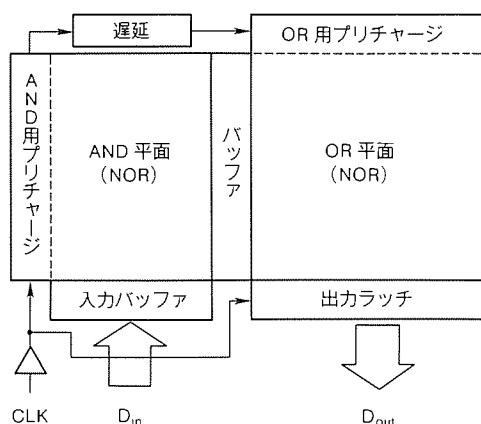


図6. PLA ブロック図

ッチを備えている。これにより、PLAがプリチャージ時においても出力データを保持することができ、これを用いてLSIを設計するうえでのタイミング制約が緩くなる。

PLAを生成する際にユーザーが指定するのはブール式である。表1に示す範囲の規模の組合せ論理回路であれば、任意のものを生成できる。ここで、積項数はPLAの性能・面積を左右する重要なパラメータであるが、入力ブール式では指示されない。このPLAジェネレータでは、入力ブール式をAND・ORの二段論理に展開する際に積項数を最小にする最適化処理を行う。

4. 設計データの自動生成

モジュールジェネレータを使用することの利点は、高集積・高性能なモジュールセルを短期間に得られることに加えて、それを回路やレイアウトに関する専門知識なしに利用できることである。

このモジュールジェネレータは、ユーザーであるLSI設計者の要求する設計環境に対応するため、種々のセルベース設計CADツールに対応したすべてのデータを自動生成する。図7にこのモジュールジェネレータの構成概念を示す。

ユーザーは、所望するモジュールの規模・機能仕様(ビット数・ワード数等のパラメータ値、ROMコード、PLAのブール式等)を入力するとともに、使用する設計ツールを選択する。一例として、RAMジェネレータのユーザーインタフェースを図8に示す。ユーザーは、伝票形式のパラメータ設定画面で生成パラメータを設定する。ジェネレータは、パラメータの組合せや許容範囲等の条件に対してパラメータ値をチェックした後、生成されるモジュールの諸特性値(セルサイズ、タイミング特性値等)を計算し表示する。ユー

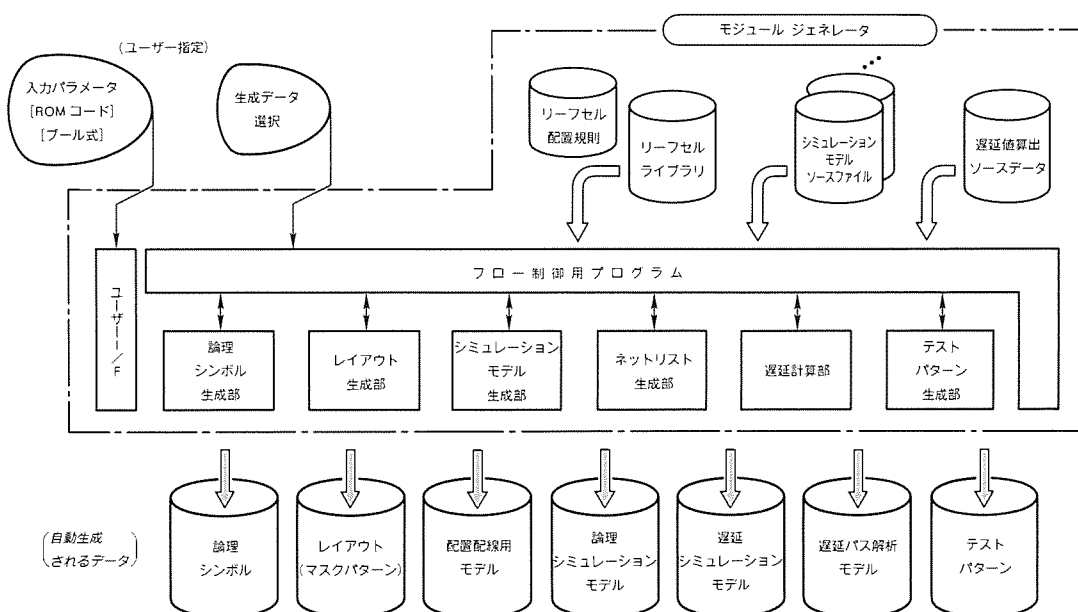


図7. モジュールジェネレータ構成

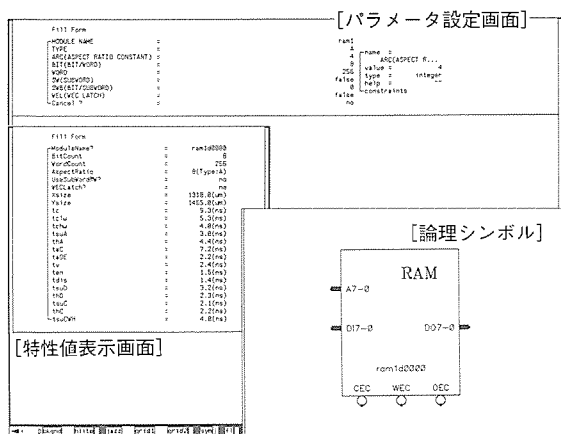


図8. モジュール ジェネレータのユーザー インタフェース (RAM ジェネレータの例)

ユーザーは、これらの特性値を確認後、生成すべきデータを選択し、処理を続行すれば、後述する各種データが生成される。

以下に各生成データの主な特徴について説明する。

(1) 論理シンボル

ユーザーは、この論理シンボルを使用して、モジュールセルを含んだ回路図を論理回路図入力編集ツールを用いて作成する。シミュレーションや自動配置配線等の設計ツールは、すべてこの回路図に対して実行することができるため、設計データの整合性が損なわれる心配はない。

(2) レイアウト (マスクパターン)

RAM・ROM・乗算器・PLA は、共に規則的な構造をとっているため、タイル方式のモジュール ジェネレーションにより、手設計と遜色のないレイアウトを自動生成することができる。

タイル方式では、既設計のリーフセルと呼ばれる基本セル (例えば、RAM のメモリセル) を隣接配置することによって全体レイアウトを生成する。リーフセルの配置規則は、モジュール ジェネレータ専用の手続き言語⁽⁴⁾を使用して、ビット数・ワード数等の規模パラメータや、オプションパラメータを引き数に記述されている。この方式は完全自動の配置配線に比べ、リーフセルとその配置を手で最適化することにより、高性能なセルが得られるだけでなく、すべての入力パラメータの組合せに対して動作・性能を見通すことができる利点がある。

(3) 自動配置配線用モデル

生成レイアウトのセル枠と端子情報から成るモデルである。

(4) 論理シミュレーションモデル

専用のモデル記述言語⁽⁵⁾で記述されたソースファイルから、入力パラメータに応じた機能記述を生成する⁽⁶⁾。

(5) 遅延シミュレーションモデル・遅延パス解析モデル

これらのモデルに用いる生成モジュールセル内部の速度性能は、回路シミュレーションと実測を基に規定した遅延値算出式 (5章参照) から求めている。仮想配線負荷を想定した場合と、配置配線後の実配線負荷の場合の双方に対応可能で

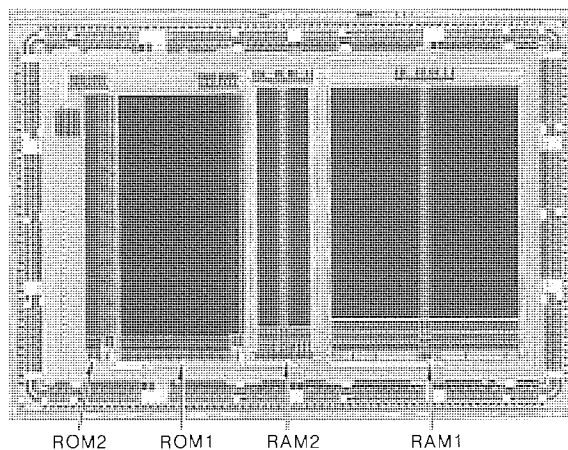


図9. テストチップ写真

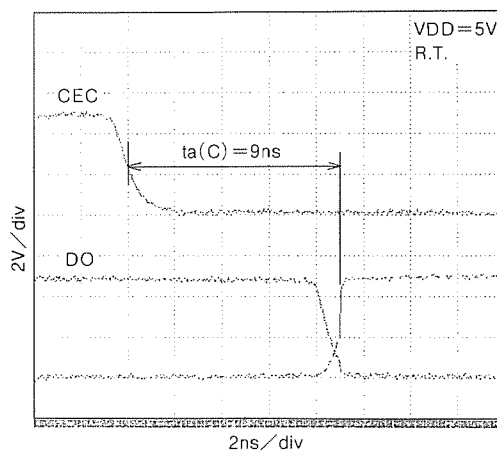


図10. テストRAM(15K ビット)の入出力波形

ある。なお、これらも専用のモデル記述言語を用いてソースファイルを記述している。

(6) テストパターン

RAM と ROM に対しては、アルゴリズムにテストパターンを生成し、乗算器と PLA に対しては、論理等価なゲートレベルのネットリストを生成する。ユーザーは、これらの生成データとテストパターン生成/編集プログラムでLSI のテストパターンを生成することができる。

なお、これらの各種設計ツール用データのほかにドキュメントデータとして、生成モジュールセルのサイズ、タイミング特性値、消費電力をレポートする。

5. 電気的特性

このモジュール ジェネレータで生成したモジュールセルの動作を確認し、特性を評価するため、テストチップを作成した。比較的大規模なRAM と ROM を搭載したテストチップの写真を図9に示す。同図のRAM1, RAM2, ROM1, ROM2の規模は、各々65K ビット、15K ビット、636K ビット、53K ビットである。図10はチップ内部にあるRAM2入出力端子を電子ビームテストを用いて測定した波形図であり、CE アクセス時間9nsを示している。

表 2. 生成モジュールセル特性値

種 類	規 模	セル面積 (mm ²)	遅延時間* (ns)	動作電流* (mA) @10 MHz
R A M	72ビット, 1K ワード (CPB=4)	25.9	$t_a(C) = 16.7$	35
	8ビット, 2K ワード (CPB=16)	7.6	$t_a(C) = 9.8$	8
R O M	64ビット, 8K ワード (field, CPB=8)	12.8	$t_a(C) = 16.9$	21
	16ビット, 8K ワード (contact, CPB=32)	5.9	$t_a(C) = 13.5$	10
乗算器	32ビット×32ビット	9.2	$t_{pd} = 33.7$	44
	24ビット×16ビット	4.2	$t_{pd} = 21.9$	18
P L A	IN 40, OUT 82 PRO 200	1.8	$t_{pd} = 17.3$	22
	IN 20, OUT 41 PRO 100	0.7	$t_{pd} = 11.6$	7

注 *標準値

モジュールセルの詳細なタイミング特性評価には LSI テスタを用いて測定する必要があるが、この場合、入出力バッファ遅延が含まれると正確な値が得られない。このテストチップでは、タイミング測定用テスト回路⁽⁷⁾を内蔵して測定精度をあげている。

モジュール ジェネレータで生成するモジュールセルの各種タイミング特性と電源電流特性の予想は、回路シミュレーションと上記テストチップの実測の両面から行った。回路シミュレーションでは、入力パラメータの変化に対して、網羅的にタイミングデータを収集してパラメータ依存式を導出した。テストチップの実測値にプロセスパラメータ依存性を考慮したうえで、導出式の正当性確認と微修正を行った。

生成モジュールセルの特性値の例を表 2 にまとめる。セルベース LSI の構成セルとして十分適用可能なセル面積と動作電流で、高速性能を達成している。

6. む す び

当社 ASIC 標準の 1.0 μ mCMOS プロセスを用いて、RAM・ROM・乗算器・PLA の 4 種類のモジュール ジェネレータを開発した。これらは、全種類既にセルベース LSI⁽⁸⁾⁽⁹⁾⁽¹⁰⁾に適用されており、大規模な RAM の使用例では合計 100K ビットを越えるもの⁽⁹⁾もある。いずれも最初のシリコンチップ (1st Silicon) で動作しており、LSI の実品種でモジュール ジェネレータの有効性を確認することができた。今後は、需要の大きいメモリにおいて、機能・性能に特徴あるものを加えるなど種類を充実させるとともに、より

微細なサブミクロンプロセスへと展開していく予定である。

今回のモジュール ジェネレータの開発に当たって、協力・支援いただいた三菱電機エンジニアリング(株)、三菱電機セミコンダクタソフトウェア(株)及び当社の関係各位に深く感謝する。

参 考 文 献

- (1) Preas, B., Lorenzetti, M.: Physical Design Automation of VLSI Systems, The Benjamin/Cummings Publishing Company, Inc., 317 ~ 321 (1988)
- (2) 藤森久美子, 篠原尋史, 加藤周一: サブワードライト機能付き RAM ジェネレータ, 1989 年電子情報通信学会春季全国大会, C-353
- (3) 辻橋良樹, 篠原尋史, 加藤周一: キャリー セレクトアダーを用いた乗算器ジェネレータ, 1989 年電子情報通信学会春季全国大会, C-287
- (4) 中尾博臣, 塚本美智子, 栗山 茂, 岡崎 芳: 規則構造モジュール用ジェネレータ開発システム, 1989 年電子情報通信学会春季全国大会, SA-9-4
- (5) 津田和彦, 中尾博臣, 田中 宏, 片井ちひろ, 塚本美智子, 岡崎 芳: モジュール ジェネレータのレイアウト及び回路モデル生成方法, 電子情報通信学会技術研究報告, VLT89-38
- (6) 松本憲昌, 篠原尋史, 加藤周一, 原 雅生: ROM モジュール ジェネレータの論理シミュレーション用機能モデル, 1990 年電子情報通信学会春季全国大会, C-630
- (7) 松本 尚, 辻橋良樹, 篠原尋史, 加藤周一: ライブラリセルの高精度速度評価, 1990 年電子情報通信学会春季全国大会, C-638
- (8) 中林竹雄, 近藤晴房, 蔵永 寛, 長谷川浩一, 山本誠二: ISDN 基本インタフェース用 LSI, 三菱電機技報, 65, No. 2, 186~189 (1991)
- (9) 覚埜高音, 鈴木孝昌, 川畑英雄, 岸田 悟, 長谷川浩一: CB-1 設計システムを用いた 8kbps 単位交換可能な大容量時分割スイッチ LSI, 三菱電機技報, 65, No. 2, 190~193 (1991)
- (10) 森 信太郎, 児玉幸夫, 吉田英夫, 井上 徹, 清瀬泰広: 光ディスク用誤り訂正 LSI, 三菱電機技報, 65, No. 2, 200~205 (1991)

0.8 μm CMOS ゲートアレー

岡辺雅臣* 村井正弘**
柿沼守男** 川端啓二***
国岡美千子**

1. ま え が き

最近のコンピュータを中心とする高度情報化社会の展開において、ASIC (Application Specific IC) はその原動力として急速な進歩を遂げている。システムの高性能化が要求されるにつれて、ASIC の高速化・大規模化・低消費電力化が加速されており、特に CMOS ゲートアレーは集積度、性能、価格などの要求をバランス良く満足し、今後も ASIC の中核をなすデバイスである。

当社では、市場からの更なる高ゲート化、高性能化の要請にこたえるべく、最先端の 0.8 μm CMOS アルミ 3 層配線技術を用いた Sea-of-Gates (SOG) 型 400KG ゲートアレーのデバイス開発と、それに対応する EWS ベースの統合化設計システムの開発を同時に進めてきた。400KG ゲートアレーの開発における課題は、システムの大規模化に伴って要求されるデバイス性能の実現と、設計検証システムの構築である。

本稿では、今回開発した 400KG ゲートアレーを始めとする 0.8 μm CMOS ゲートアレーの設計技術と設計システムについて述べるとともに、M6008X シリーズの特長について紹介する。

2. LSI 設計

2.1 ベーシックセル (BC) 設計

SOG は、ベーシックセル (BC) をアレー状に並べて内部セル領域を構成するので、BC の構成でチップの集積度、速度等の性能が左右される。BC 構造の特徴は、図 1 に示すように当社独自のゲートアイソレーション方式を採用しており、1BC は PMOS、NMOS トランジスタ 1 ペアで構成されている。このゲートアレーでは、敷き詰めゲート数 400KG の実現と 3 層配線による高集積化及び低消費電力化に重点をおき、以下の指針で設計した。

- (1) PMOS、NMOS トランジスタのサイズを同一とし、最も複雑なマクロセルでも BC セル列内で配線を完結できる最小のゲート幅に設定する。
- (2) 1BC 当たりの配線チャンネル数は、1AI が水平方向に 15 本、2AI は垂直方向に 1 本、3AI は配線ピッチを 1AI の 2 倍のピッチとし、水平方向に 10 本割り当てる構造とする。

ゲートアイソレーションによる上記(1)、(2)による効果と配線の微細化技術により、マクロセル及び RAM の密度で他社の 1.5 倍以上の高集積化を達成している。

2.2 マスタ設計

図 2 に 400KG マスタのフロアプランを示す。チップサイズは 14.56mm \times 14.46mm であり、BC 数は 1.25MBC、I/O 数は最大 512 である。I/O バッファ領域は 76.8 μm ピッチで設計し、スルーレート制御回路等の必要な機能はすべて盛り込まれている。I/O 領域で $I_{OL}=8\text{mA}$ までの出力バッファを構成でき、3I/O 領域を組み合わせると $I_{OL}=24\text{mA}$ まで実現できる。パッドピッチは、TAB による多ピン化と量産性のトレードオフにより、96 μm ピッチとした。クロック分配用のプリドライバセルとクロックドライバセルは、4 相クロック分の回路を周辺領域に I/O 領域とは分離して配置している。クロックドライバ及び出力バッファのスイッチングノイズによるチップの誤動作を防止するため、入力バッファ、出力バッファ、内部ゲート、クロックドライバ用の電源を各々分離して設けた。

3. 0.8 μm CMOS ゲートアレー M6008X シリーズの特長

3.1 モジュールジェネレータ生成セル

従来の VTM (Variable Track Master-slice) では、RAM/ROM はマクロファンクションとして提供したが、この SOG では新たに RAM/ROM 用モジュールジェネレータを開発し、生成されたセルをライブラリとして提供する。

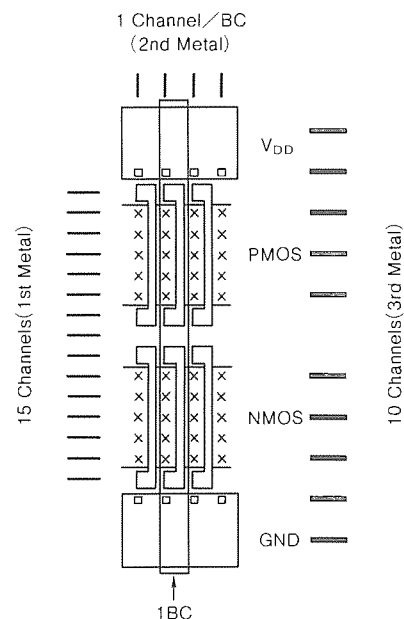


図 1. ベーシックセル(BC)構造

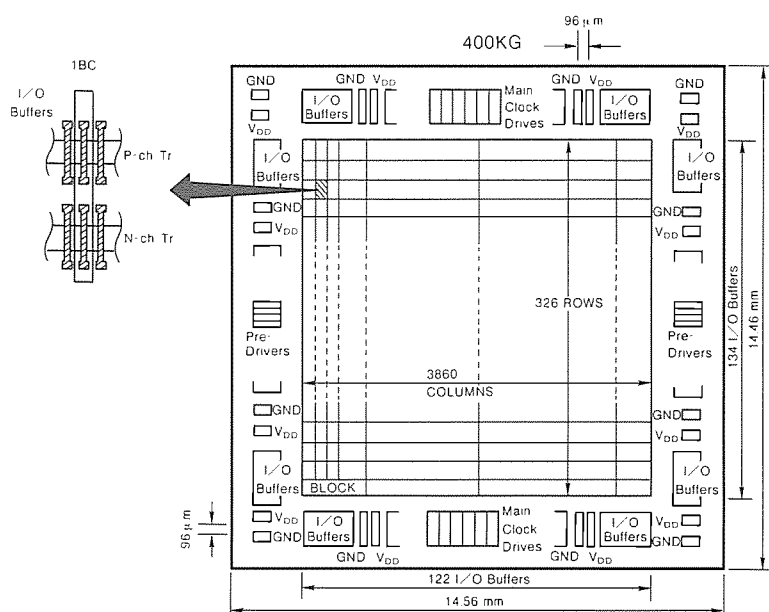


図2. 400KG マスターフロアプラン

RAM を例にとると、シングルポート RAM (1p-RAM) とデュアルポート RAM (2p-RAM) を生成する。ビット／ワード構成は、各々 1～72 ビット／32～8,192 ワードの範囲で可変とし、セルのアスペクト比も一部選択が可能である。1p-RAM は 655 種、2p-RAM は 495 種の構成が可能である。メモリ容量は、最大 9K ビット／ブロックであり、1 チップに 14 ブロックまで搭載でき最大 128K ビットまで集積できる。

3.2 スルーレート制御出力バッファ

多ピン化と高速化に伴う同時スイッチングノイズを低減するために、従来型の出力バッファに加えて、3 タイプのスルーレート制御バッファを新たに開発した。スライス工程の第 1 層目のアルミ配線を切り替えることにより、出力のスルーレートを制御する構成としており、ユーザーは実装系の LCR、同時スイッチング数に応じて出力バッファのタイプを選択できる。

3.3 低スキュークロック分配方式

回路の大規模化に伴って F/F 等の順序回路数は増加し、クロックの負荷となる順序回路数は 1,000 個から 2,000 個にも達する。また、システムの高速化のためにはクロックサイクルの短縮化が必要なため、1ns 以下の低スキューのクロック分配技術がゲートアレーにも要求されている。従来のクロックツリー構造では対応が困難なため、駆動力の大きいクロックドライバにより、一括駆動するクロック分配技術を開発した。プリドライバセルとクロックドライバセル及びその出力信号を、内部セル領域に供給するためのリング状の配線を一体化してクロックライブラリとして提供する。クロックライブラリから順序回路への接続はスキューを低減するために、レイアウトツールにより、2 層アルミと 1 層アルミのメッシュ状に自動配線される。4 相クロックまで使用でき、総駆動可能ファンアウトは 2,000 まで許容している。

4. 設計システム (GA-2) の概要

0.8 μ m CMOS ゲートアレーを開発するため、現状のセルベース方式 LSI 設計システム (CB-1) をベースに、0.8 μ m CMOS ゲートアレー設計システム (GA-2) を開発した。この設計システムの構成を図 3 に示す。現在、図 3 の斜線部を品種開発に適用中である。

この設計システムの構築のねらいは、次のとおりである。

(1) LSI の大規模化に対応して、設計の上流特に機能・論理設計部分の設計効率の向上を図る。このため、論理合成・変換の実用化、方式設計最適化のための機能シミュレータを実用化する。

(2) 高性能 VLSI を実現するため、主として下流設計の質の向上を図る。このため、クロックスキュー管理レイアウト、特定パス遅延解析のための

回路シミュレーション、消費電力見積り、スイッチングノイズ対策、パッケージ選択サポート等のツールを開発する。

(3) 共通の操作で異なる設計手法の LSI を設計できるようにするため、CB-1 と GA-2 のフレームワークを統一し、1 台の EWS 上で機能・論理設計からレイアウト・テストプログラムまで一貫した操作で設計可能な LSI 設計システムを開発し、ゲートアレーとセルベースの論理設計レベルのシステム統合を図る。

以下に主な構成内容を示す。

4.1 論理図入力

(1) スケマティック エディタ

論理図の入力・編集には、CADENCE 社のスケマティック エディタを使用する。

入力した論理図面は、単に各アプリケーションに対する接続情報を提供するためだけに使用するのではなく、ユーザーインタフェースとして使用できる。例えば、対話形式シミュレーションにおける信号値表示、ブレイクポイント指示を行ったり、ルールチェック プログラムやタイミングチェックプログラムの実行結果の対話的解析を行うインタフェースにも使用できる。これにより、従来長い階層名を入力したり、解釈したりしていた手間がなくなり、直感的に各ツールとインタフェースできる。

4.2 論理設計

設計した論理回路が、正しく動作することを確認するために、論理シミュレータを用いて検証する。このシステムでは、MOS トランジスタレベル、ゲートレベル及び回路の動作を専用の言語で記述する機能レベルの混合シミュレータとして emsl と VERILOG-XL を使用する。シミュレーション パターンの作成には、使用シミュレータによらない共通のシミュレーション パターン記述言語 (MTPL) を使用する。また、

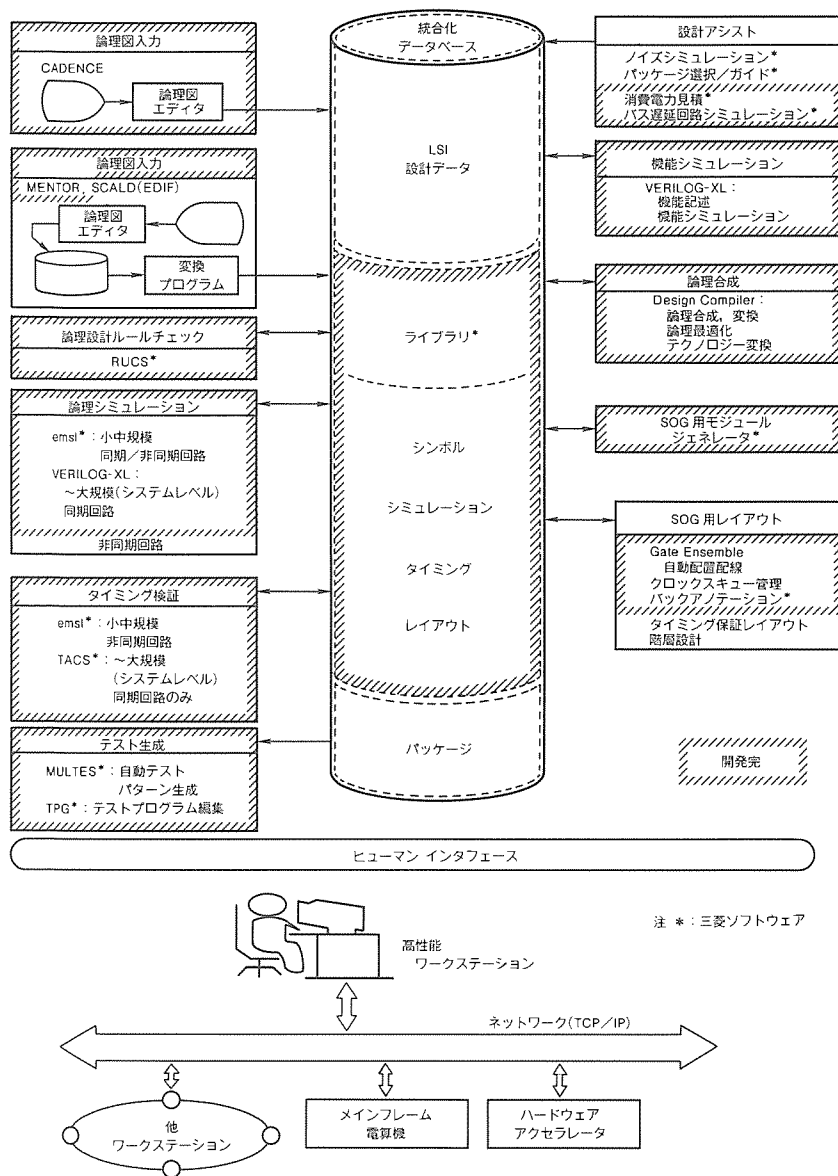


図 3. 0.8 μ m CMOS ゲートアレイ設計システム

シミュレーション結果と期待値の比較は、共通のイベントフォーマット (MEF) を介することにより、同一の比較ツールを使用する。

これらの共通化によって論理設計者は、複数のシミュレータを使っても一つのシミュレーション パターンをメンテナンスするだけでよく、また同一の操作法で作業できる。さらに、テストプログラム編集ツールが MEF をインタフェースとするのでシミュレーション パターンをテストのテストパターンにも使用できる。

同期式回路設計のタイミング検証は、信号経路トレース方式のタイミングチェック プログラムを使用する。この方式では、全経路の解析をシミュレーション パターンなしに高速に実行できる。一方、非同期式回路設計の場合には、ゲート遅延を考慮したシミュレータがタイミングエラーを検出する。考慮する遅延には、標準遅延、仮想配線容量に基づく遅延、実配線容量に基づく遅延が可能である。

さらに、従来の設計・開発手法を越える技術として、論理合成技術を導入した。具体的には、真理値表、ブール式、組合せ回路の図面 (ネットリスト)、及び VERILOG-XL のハードウェア記述言語 (HDL) を入力として、指定した設計制約 (面積、遅延、ドライブ能力など) を満足する回路を生成する機能を実現した。論理合成ツールとしては、SYNOPSIS 社の Design Compiler を使用する。

4.3 レイアウト設計

このシステムでは、0.8 μ m CMOS ゲートアレイのレイアウト仕様を実現するために、CADENCE 社の Gate Ensemble を使用する。実現する主なレイアウト仕様を次に示す。

(1) RAM/ROM の使用

当社製モジュール ジェネレータが生成する RAM/ROM を含んだゲートアレイを、Gate Ensemble はレイアウトする。Gate Ensemble は、チャンネルレスのレイアウトが可能であるため、RAM/ROM 内部に配線チャンネルを設定する必要がなく高密度な RAM/ROM を使用できる。また、RAM/ROM の配置位置に制約がないため、チップ全体としても高集積なレイアウトが可能である。

(2) 信号の 3 層配線

セルの信号端子間を接続する信号配線は、配線チャンネル内及びセル上を、1 層、2 層及び 3 層アルミを使用して自動配線する。

3 層アルミ配線は、1 層アルミ配線、2 層アルミ配線、及びマクロセル、RAM/ROM の上を通過できるため高集積なチップを実現する。

(3) クロックスキュー管理配線

クロックのスキュー値を保障するため、クロック信号は品種ごとに Gate Ensemble のコマンドで配線する。コマンドでは、配線の経路・幅・層を指定するので、品種ごとに最適なクロック配線を実現する。なお、配線コマンドはチップの集積度と RAM/ROM の位置を考慮して自動で生成できる。

4.4 テスト CAD

大規模論理回路のテストの困難さ及びテストデータ生成時間の飛躍的増大に対処するため、テスト容易化設計とテストデータ自動生成ツールは、ASIC 開発に必要不可欠になっている。以下にこのゲートアレイのテスト CAD の特長を示す。

(1) 内蔵 RAM/ROM

当社製モジュール ジェネレータは、RAM/ROM 単体の

テストデータを生成する。このテストCADは、設計者が指定したLSI外部からRAM/ROMへのアクセス経路に従って、RAM/ROM単体テストデータをLSI全体のテストデータへ自動変換できる。

また、あらかじめスキャンレジスタ等のテスト回路を内蔵したRAM/ROMを使用する場合には、RAM/ROMの面積は増加するが、アクセス経路の指定は不要になる。さらに、テスト回路のデータ圧縮機能を活用することにより、テストデータの短縮が可能になる。

(2) スキャン変換

100KGを超える規模の論理回路では、テストデータ自動生成のためのスキャン設計が必ず(須)である。スキャン設計とは、LSI内の記憶素子をスキャンレジスタに置換し、それらをシリアルパスで結合する手法である。このテストCADでは、スキャン設計されていない論理回路をスキャン設計回路に自動変換することが可能である。

(3) バウンダリスキャン方式のサポート

最近プリント回路基板のテスト容易化手法として、バウンダリスキャン方式が標準化されつつある。バウンダリスキャンとは、LSIの各I/O端子にシフトレジスタを割り付け、スキャンテストの原理によってLSI端子に対する信号値の設定、観測を可能とする設計手法である。この手法により、テストプローブを立てにくい高密度実装基板に対してもインサーキットテストが可能になる。

このシステムは、当面この手法の実現に不可欠なバウンダリスキャンレジスタをセルとして、またそれらを制御するコントローラをマクロファンクションとして提供する。今後、バウンダリスキャン設計ルールチェック、バウンダリスキャン自動変換等のツールを提供する予定である。

4.5 モジュール ジェネレータ

このゲートアレーでは、数百Kゲート規模の回路を1チップ上に実現できる。このような規模の回路にとって、大容量のRAM/ROMは必要不可欠である。このシステムのモジュールジェネレータにより、設計者は簡単なパラメータ(例えば、RAMの場合ビット長、ワード長等)を指定するだけでRAM/ROMを自動で生成可能である。

ジェネレータは、単にレイアウトデータや論理図入力用シンボルだけではなく、図4に示すように種々のツールが必要とするデータ(例えば、タイミング検証用データ、単体テストデータ等)も自動生成する。

5. LSI 試作結果

100KGを超える大規模回路をGA-2を用いて設計し、3層アルミ配線0.8 μ mCMOSプロセス技術によって試作した。図5は、250KGのチップ写真であり、チップサイズは13.08mm \times 12.22mmである。このLSIは64点の高速フーリエ変換を行う機能を持ち、1相エッジトリガによる同期式

設計で実現され、1812のF/Fをクロックドライバによって一括駆動している。回路規模は、42KGのロジックとモジュール生成された9ビット \times 32ワードの1p-RAMを8ブロック、16ビット \times 64ワードの2p-RAMを4ブロック、16ビット \times 512ワードの2p-RAMを2ブロック搭載している。内蔵の1p-RAMをEBテストによって評価した結果、アクセスタイム6nsが得られた。図6に400KGのチップ写真を示す。チップサイズは14.56mm \times 14.46mmである。

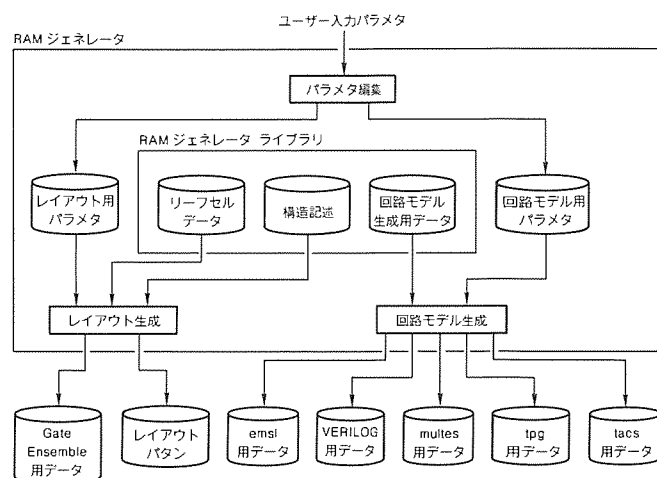


図4. RAM ジェネレータシステムの概要

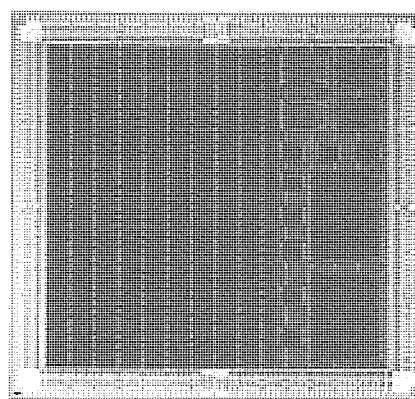


図5. 250KGチップ写真

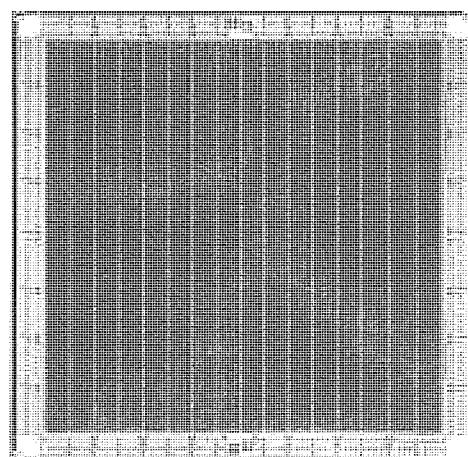


図6. 400KGチップ写真

表1. M6008X シリーズの仕様

品 種 名		M60084	M60085	M60086	M60087	M60089
総敷き詰めゲート数(K ゲート)		80	120	170	250	400
チップサイズ(mm)		—	—	—	13.08×12.22	14.56×14.46
最大 I/O 数		—	—	—	384	512
RAM 容量 (ビット)	シングルポート デュアルポート	256~9K				
遅延時間	内部ゲート	135 ps (2 NAND トリプル駆動 FO = 2) 255 ps (2 NAND トリプル駆動 FO = 2, 配線長 = 2 mm)				
	バッファ	TTL 入力バッファ 0.62 ns (FO = 2, 配線長 = 2 mm) 出力バッファ ($I_{OL} = 8 \text{ mA}$) 2.0 ns ($C_L = 50 \text{ pF}$)				
出力電流 (mA)		$I_{OL} = 1, 2, 4, 8, 16, 24$				
テクノロジー		0.8 μm CMOS 2層/3層 アルミ配線プロセス				

注 — : 開発中

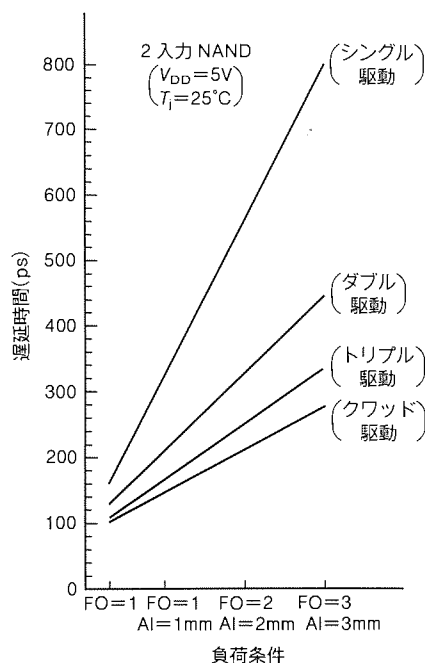


図7. 2入力 NAND 遅延時間負荷依存性

121KG を集積し、1 相エッジトリガによる同期式設計で実現され1615 の4b-F/F をクロックドライバにより、一括駆動している。

基本ゲートの速度については、図7にプロセスモナ用 TEG に収納した2入力 NAND リングオシレータの遅延時間負荷依存性の測定結果を示す。最適な設計ができるよう4種

類の駆動力から選択でき、標準的な負荷条件の FO=2, 配線長=2mm に対し 255ps (トリプル駆動), 215ps (クワッド駆動) と高速性能が得られクリティカルパスの高速化に有効である。

6. 製品概要

表1に M6008X シリーズのレパートリ及び製品仕様を示す。総敷き詰めゲート数世界最大級の 400KG を実現しており、以下 250KG, 170KG, 120KG, 80KG まで展開する。各マスタ及びセルライブラリは2層/3層アルミ配線プロセス共通の構造とし、集積度とコスト、製造期間のトレードオフにより2層プロセス、3層プロセスのいずれかを選択できる。

パッケージは、高集積化に伴う多ピン化の要求に対処するため、TAB 方式による TCP (Tape Carrier Package) を採用し、最大 512 I/O を実現している。

7. むすび

本稿では、高速・高集積化のための 0.8 μm 3層アルミ配線プロセス技術と多ピン化のための TAB 技術を採用した M6008X シリーズのデバイス技術と EWS ベースの設計システム (GA-2) の概要を述べた。また、100KG を超える大規模回路の試作例を紹介した。今後幅広い分野への応用に対処するため、大規模 RAM 等のライブラリ拡充による高機能化を図っていく予定である。

1.0 μm CMOS ゲートアレー M60060 シリーズ

鈴木正博* 小野眞司*
中村博隆* 瀧口真美*
布上裕之* 福水利之*

1. ま え が き

プロセス技術やCAD の目覚ましい進歩により、ASIC はますます高速かつ高集積になると同時に多機能化の道を行んでいる。ASIC のうちでも CMOS ゲートアレーは、高ゲート化・高性能化のテンポが早く、高性能化が進むにつれて従来問題とならなかった LSI の発するノイズや発熱等、システム設計時点から考慮しておくべき重要な問題が表面化してきた。

当社では、高速化、低消費電力化、さらにより一層の多ピンパッケージ化を実現するとともに、出力端子の同時スイッチングノイズ対策を講じた 1.0 μm CMOS ゲートアレー M60060 シリーズを開発した。本稿では、M60060 シリーズの特長及び技術について述べるとともに、CAD サポート体制について紹介する。

2. 1.0 μm CMOS ゲートアレー M60060 シリーズの特長

M60060 シリーズの主な特長を以下に示す(図1)。

2.1 高速性能と低消費電力の最適化の実現⁽¹⁾

高速性能を追求する余りトランジスタのサイズを大きくすると、消費電力が増大しゲート密度が低下する。逆にトランジスタのサイズを小さくすれば高密度で低消費電力になるが、速度が遅くなる。これは、LSI 全体にいたる傾向で、ゲートアレーもその例外ではない。従来のゲートアレーは、高速性能とゲート密度のバランスを考慮してトランジスタのサイズを決定していた。

このシリーズに従来の考え方を当てはめると、トランジスタサイズは $W=20\sim25\mu\text{m}$ となる。しかし、例えば同じマクロセル内で隣のトランジスタをドライブする場合、このサ

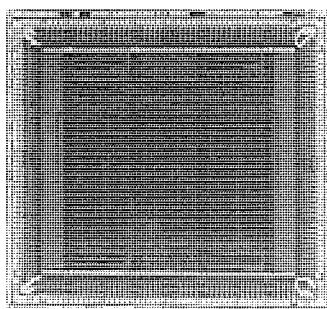


図1. 1.0 μm CMOS ゲートアレー M60066 チップ写真

イズでは大き過ぎ、図2に示す考え方を導入した。すなわち、基本となるトランジスタの大きさを従来の考え方によるサイズの約1/2にし、その上で基本トランジスタサイズの2倍、3倍、4倍のトランジスタサイズを持ったマクロセルを開発した。図3に2入力 NAND ゲートのマクロセルの例を示す。低消費電力セル・高速セル・高駆動能力セルと各種セルを開発したので、回路の中で特に高速性能が要求される部分には、高速セルを選択し、それ以外は低消費電力セルを選択することにより、高速性と低消費電力の最適化がきめ細かく図れるようになっている。表1に2入力 NAND ゲートにおける各種セルタイプのゲート速度、消費電力値を示す。

2.2 高密度マクロセルの開発

当社の CMOS ゲートアレーは、独自のゲートアイソレーション方式を基本セル構造に採用し、高密度セル化を図ってきた。M60060 シリーズにおいても、この方式を導入するとともに、マクロセル内の配線本数を極限まで減少させ、より一層の高密度化を図っている。図4にゲートアイソレーション方式と酸化膜分離方式における3入力 NAND ゲートのセル構造を示す。ゲートアイソレーション方式では、酸化膜分離方式に比べて、集積度が約20%、スピードで約10%の性能向上が得られる。また、一世代前の 1.3 μm CMOS ゲートアレーから採用したゲート全面敷き詰め構造を採用し、チャンネル方式ゲートアレーの約2倍のメモリを効率的に内蔵することができた。

2.3 ノイズ低減回路付き出力バッファの開発

プロセス技術の微細化によって LSI の高速化が進むなかで、従来は影響が少なかった出力端子の同時スイッチングノ

1. 基本マクロセルを縮小 → 高密度、低消費電力を実現
2. 高速マクロセルを用意 → 高速性の実現
3. 4種類のマクロセルを選択 → 高密度、低消費と高速の最適化設計

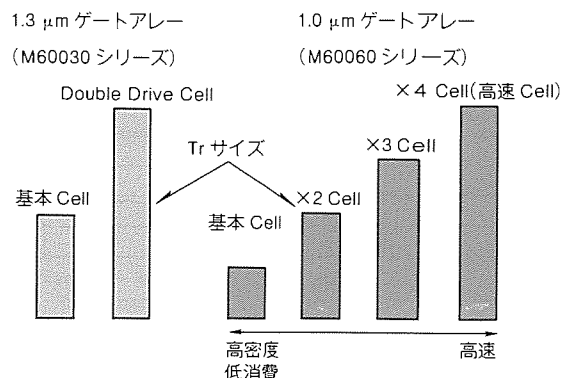


図2. 高密度・低消費電力と高速との最適化設計

イズに対する問題が表面化してきた。

出力端子がスイッチングすることにより、負荷容量を充放電するため、負荷と LSI 素子間に過渡電流が流れる。そして、この過渡電流に対する電流変化率 (di/dt) は、LSI の高速化に伴って大きくなる。そのため、特に複数の出力端子が同時に $H \rightarrow L$ に変化した場合、この電流変化率 (di/dt) によって LSI と基板間のインダクタンスに電圧が誘起され、LSI の接地電位が上がる。これがグラウンドバウンスであり、同時スイッチングノイズとも呼ばれる。このグラウンドバウンスは、図 5 に示すように入力レベルマージンの低下を引き起こし、最悪の場合システムの動作に悪影響を与える⁽²⁾。

M60060 シリーズでは、この同時スイッチングノイズを抑えるために、出力バッファ及び多方向バッファにノイズ低減回路付きバッファを用意した。図 6 にノイズ低減回路付き出力バッファとノイズ低減回路なし出力バッファのスイッチング応答波形例を示す。ノイズ低減回路なし出力バッファと比較して、ノイズ低減回路付き出力バッファの方が、グラウンドバウンスが約 $1/4$ に低減されていることが分かる。

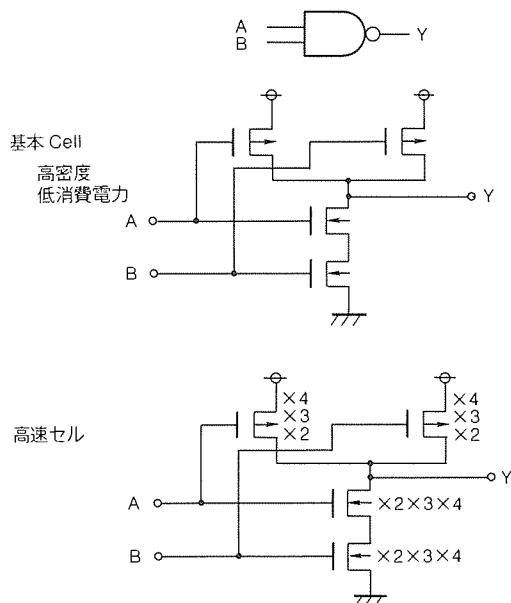
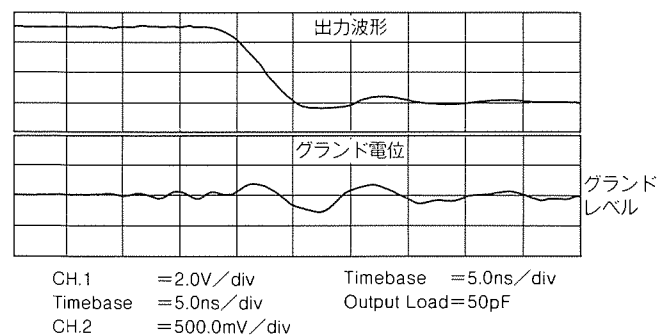


図 3. 2 入力 NAND ゲートにおけるマクロセル構成例



(a) ノイズ低減回路付き出力バッファ

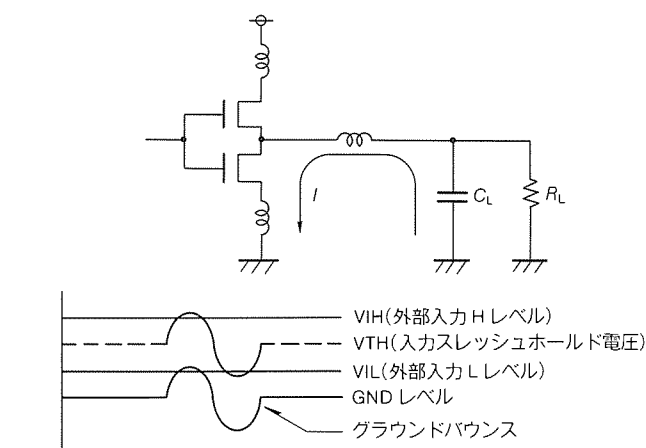
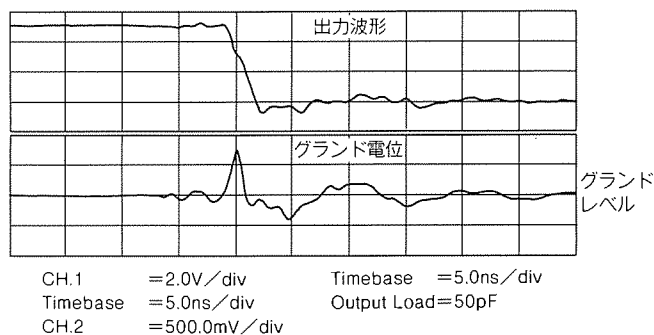


図 5. 出力端子のスイッチングによるグラウンドバウンス



(b) ノイズ低減回路なし出力バッファ

図 6. 出力バッファのスイッチング応答波形例

表 1. 2 入力 NAND ゲートにおけるゲート速度と消費電力

セルタイプ	低消費電力			
	高 速			
ゲート速度 (ps)	4	3	2	1
消費電力 ($\mu W/MHz/Gate$)	370	400	450	630
	12	9	7	5

注 FO (Fan Out の略) = 2, $A1 = 2 \text{ mm}$

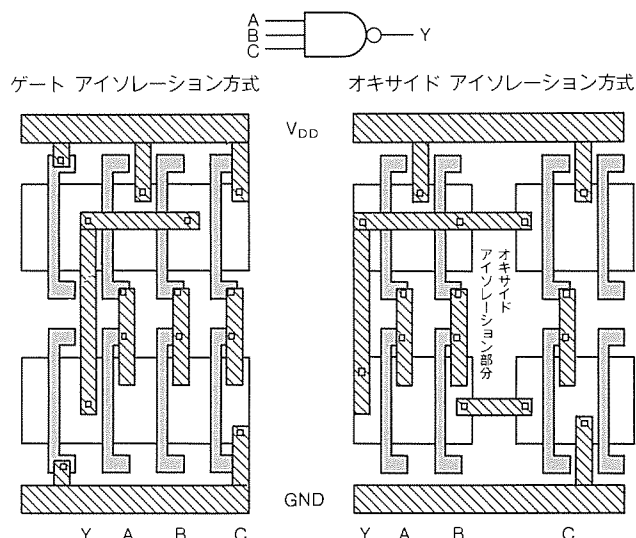


図 4. 3 入力 NAND ゲートにおけるセル構造

2.4 多ピンパッケージ対応マスタの開発

ゲートアレーの応用範囲は、データプロセッシング市場を始め、通信・工業用と拡大してきている。ゲート数についても、数千ゲートから数万ゲートが主流となっているが、機器の小型化を図るためできるだけパッケージ数を減らす必要があり、100ピンから208ピンの多ピンプラスチック QFP パッケージが主に採用されている。このため、ゲート数にかかわらず多ピンパッケージの使用可能なゲートアレーの重要性が増してきている。

このニーズにこたえるため、敷き詰めゲート数6~20KGで、かつ120~208ピンのプラスチック QFP パッケージが使用できるゲートアレーとして、M60060 シリーズを開発した。多ピンパッケージ対応マスタを開発するに当たっては、従来のアセンブリ技術では対応できないため、微細ワイヤボンディング技術の導入を行った。この技術によってパッドピッチを120 μm まで縮小するとともに、微細リードフレーム加工技術を導入することにより、敷き詰めゲート数8KGで160ピンQFPパッケージが使用可能となった。図7に、M60060シリーズのゲート数と使用可能最大I/O数の関係を示す。

3. ゲートアレー CAD システムの概要

ゲートアレー設計に使用されるCADシステムは、図8に示すように、①EWS (Engineering Work Station) デザインキット、②市販ツールデザインキット、③メインフレームCADシステムで構成されている。

EWS デザインキットは、論理図入力、論理シミュレーションを主として行う総合的な論理設計システムである。EWS の普及に伴い、ユーザーの場所で使用されることが増え、精度の高い論理検証が要求されるため、EWS デザインキットの重要性がますます高くなっている。

市販ツールデザインキットは、ハードウェアシミュレータ、論理合成、レイアウトツール等の個別的な設計ツールである。EWS にはない機能、専門的に優れた性能を持ち、EWS と併用して使われるケースが増えている。

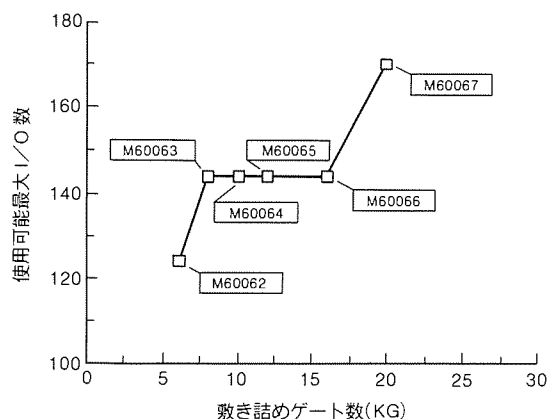


図7. M60060シリーズ使用可能最大I/O数

EWS デザインキットと市販ツールデザインキットは、ユーザーが所有している汎用的なCADツールに対して三菱ゲートアレー ライブラリとインタフェース ソフトウェアを提供する形式であり、ユーザーが自ら構築する設計システムに適応したサービスを提供するものである。

これに対して、メインフレームCADシステムは、当社が独自に開発したASICベンダオリエンテッドな専用CADシステムである。デバイスと整合した高精度なシミュレータ、プロセスのデザインルールに適合し、高集積化が可能なレイアウトツール、テストを考慮したTPG等のゲートアレーの製造と品質を保障するために必要なバックエンドデザイン環境を中心に構築されている。

QTATが要求される論理設計、論理検証のフロントエンドデザインをEWS、市販ツールで行った後、レイアウト、ポストレイアウトシミュレーション、TPG等のバックエンドデザインをメインフレームCADシステムで行う。また、更にユーザーの設計環境に配置配線後の遅延データをフィードバックして最終確認を行うのが主流になっている。

3.1 EWS デザインキット

現在、MENTOR社、HP社、VALID社、DAISY社のデザインキットの開発とサポートを行っている。

MENTOR デザインキットのシステムフローを図9に示す。デザインキットを用いることにより、回路図入力、デザインルールチェック、仮想遅延シミュレーション等の論理検証を行うことができる。論理検証後、メインフレームCADシステムと接続するために、ネットリストとテストパターンを生成する。

MENTOR デザインキットのシミュレーションライブラリは、PIN to PINの遅延モデルを使用し、メインフレームCADシステムと同一レベルの仮想遅延シミュレーションを実現している。また、当社のセルデータベースからMENTORのシミュレーションライブラリへ自動変換することに

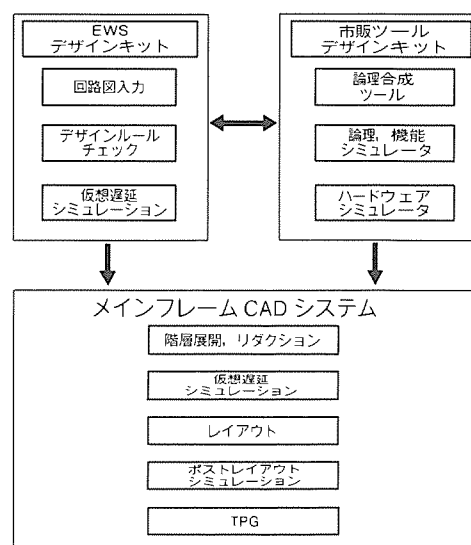


図8. ゲートアレーCADシステム

より、ミスなく迅速にライブラリを生成することが可能である。

MENTOR 社から発売予定の次期バージョン 8 に対して、ポストレイアウト シミュレーションがメインフレーム CAD システムと完全に同一結果となるように、遅延計算プログラムとシミュレーション ライブラリの開発に着手している。

他機種のデザインキットについても、MENTOR と同様にシミュレーションの高精度化と操作性の向上を図っていく。

3.2 市販ツールデザインキット

現在、IKOS 社のハードウェア シミュレータ、CADENCE 社の論理シミュレータ VERILOG^(注1)、SYNOPSIS 社の論理合成ツールをサポートしている。

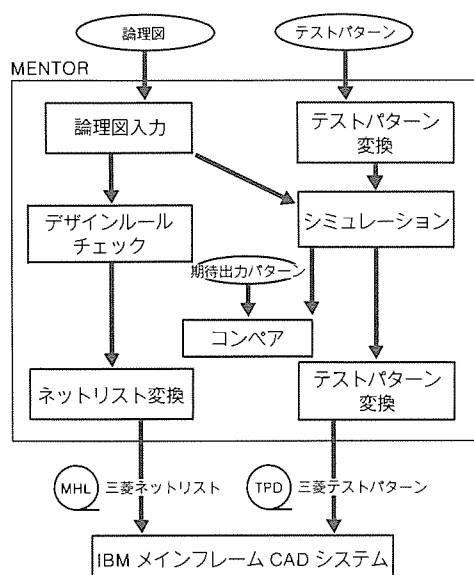


図 9. MENTOR デザインキットのシステムフロー

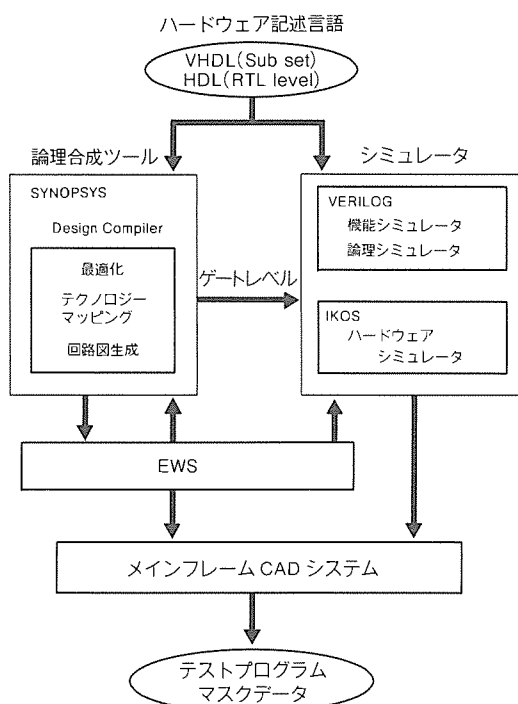


図 10. 市販ツールデザインキットのフロー

図 10 にそれらを用いた設計フローを示す。トップダウン設計を行うときは、ハードウェア記述言語である VHDL, HDL を用いて機能レベルの設計をし、機能レベルの検証を VERILOG で行う。そして、論理合成ツールにより、機能レベルからゲートレベルに変換し、ゲートレベルの最適化、三菱ゲートアレー ライブラリへのマッピングを行い、ネットリストを生成することができる。ゲートレベルの論理検証は、論理シミュレータ VERILOG かハードウェア シミュレータ IKOS^(注2)を用いる。ハードウェア シミュレータは、ソフトウェア シミュレータと比べて 10~100 倍程度高速であり、大規模回路の論理シミュレーション、故障シミュレーションに対して効果大きい。

今後、市販レイアウトツールをサポートすることにより、クロックスキュー管理、メガセルの配置、クリティカルパス配線等を行えるように開発中である。また、静的タイミング検証ツール、テスト自動生成ツールのサポートを検討予定である。

(注1) VERILOG は CADENCE 社の商標である。
(注2) IKOS は IKOS システムズ社の商標である。

3.3 メインフレーム CAD システム

メインフレーム CAD システムでは、ユーザーの論理設計情報のチェックに始まり、論理シミュレーション、レイアウト及びマスクデータ作成、テストプログラム生成に至るまでのすべての機能を持っているが、その中でも特に以下のような特長をもっている。

(1) セルリダクション

階層設計されたモジュール内に不要ゲートがあれば、これを自動的に削除する。また、ゲートの入力ピンに電源又はグラウンドが接続されているとそのゲートの論理を考えてゲート

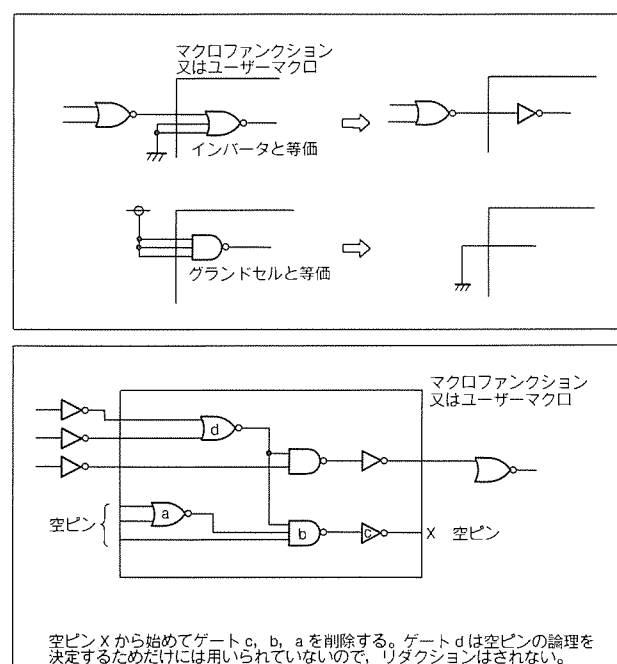


図 11. セルリダクション

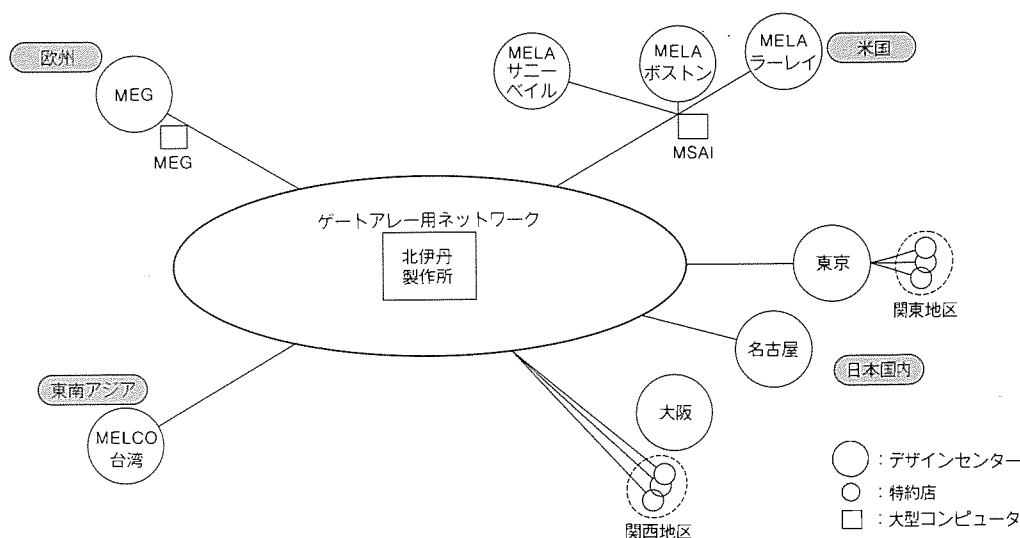


図12. ゲートアレー用ネットワーク

の簡単化を行う(図11を参照)。

(2) タイミング検証

シミュレーションだけでは十分に照査できないタイミングにかかわる検証をきめ細かく行う。主な検証項目としては、FF やループ回路のハザード、スパイク、レース、FF のセットアップ時間、ユーザーの使用環境とテストの環境に合わせて、温度、電圧条件や、基板及びテストのピン間スキュー値などを自由に設定して実行することが可能であり、ユーザーの希望する論理をより正確なものとすることができる。

4. ゲートアレー用ネットワークの概要

これまで述べてきた、1.0 μ m CMOS ゲートアレー M600 60 シリーズのワールドワイドにわたる設計・CAD サポートを支援するのが、ゲートアレー用ネットワークである。このネットワークは既に構築を完了し、運用を行っているが、この章で、このネットワークの構成と運用体制について触れることにする。

4.1 ネットワーク構成

図12にゲートアレー用ネットワークの全体構成を示す。トポロジーとしては、国内外デザインセンターと当社北伊丹製作所を結ぶスター状となっている。以下に、各デザインセンターの展開状況を示す。

(1) 国内

東京、大阪、名古屋の3大都市圏に設置。

(2) 米国

米国販売会社、三菱エレクトロニクスアメリカ社(略称MELA, カリフォルニア州) サニーバール, MELA ボストン(マサチューセッツ州), MELA ラーレイ(ノースカロライナ州)に設置。米国半導体工場、三菱電機セミコンダクタアメリカ社(MSAI, ノースカロライナ州)は、ゲートアレーマスタ開発を担当している。

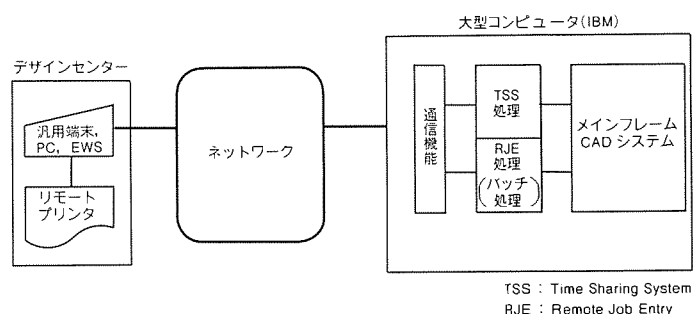


図13. ネットワークの利用形態

(3) 欧州

欧州販売会社、三菱エレクトリックヨーロッパ社(MEG, ドイツ、デュッセルドルフ市付近のラッテンゲン)に設置。

(4) 東南アジア

台湾販売会社、MELCO 台湾社(台北市)に設置。また、海外2箇所に大型コンピュータを設置しているが、ゲートアレーの品種開発用メインフレームCAD システムは、当社北伊丹製作所設置の大型コンピュータ上に集約している。

図13にネットワークの利用形態を示す。デザインセンターと、メインフレームCAD システムを搭載した大型コンピュータとのCAD データ伝送の動脈がネットワークである。デザインセンターの汎用端末, PC から大型コンピュータに接続し、TSS (Time Sharing System) を介して以下のような指示を行う。

- (a) メインフレームCAD システム上の各ツールの実行指定
- (b) 実行ジョブの状態表示と強制終了の指定
- (c) 実行結果の画面表示と出力指示及び削除
- (d) リモートプリンタへの出力指示

また、EWS やPC からはRJE (Remote Job Entry) により、以下のような処理を行う。

- (a) メインフレームとのファイル送受信

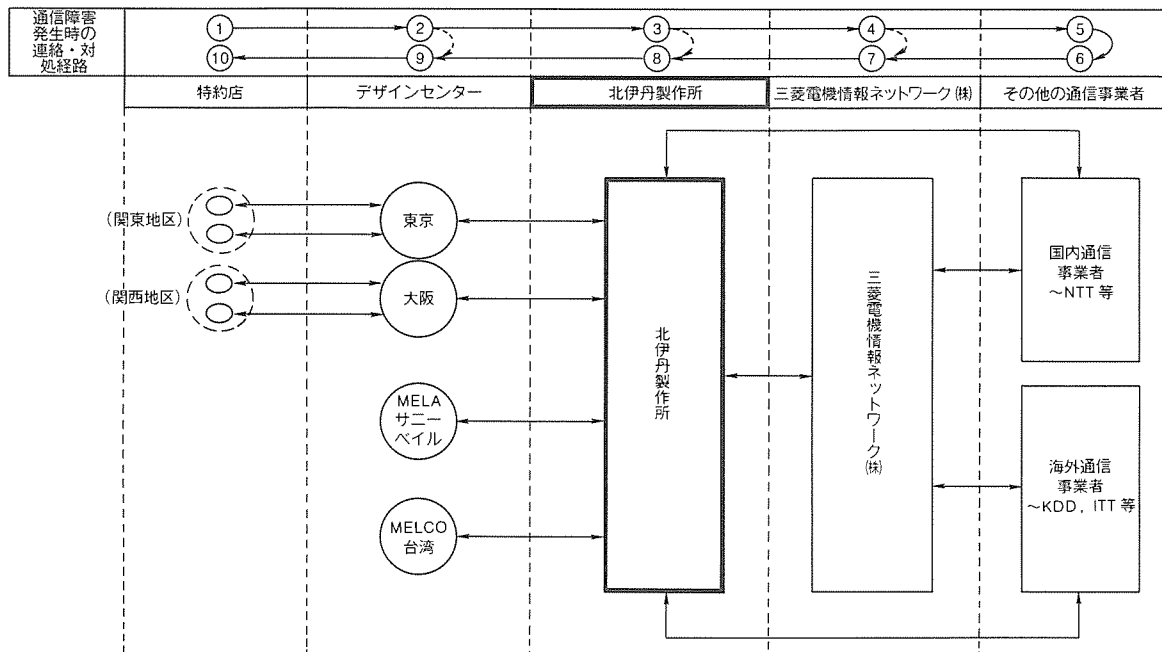


図 14. ネットワーク運用体制

(b) リモートプリンタへの出力

通信回線の主要部分に三菱電機 VAN“MIND” (Mitsubishi Electric Information Network by Digital Technology) を使用している。運営は、特別第 2 種電気通信事業者である三菱電機情報ネットワーク(株)が担当する。“MIND”は、ネットワークコントロールセンター NCC と、7 箇所の地域通信センター RCC (Regional Communication Center) を回線速度 1.5~6.0Mbps の高速デジタル回線で結んだ基幹通信系に、100 箇所以上のアクセスポイントを配置した全国的なネットワークである⁽³⁾。

4.2 ネットワーク運用体制

ネットワークを流れるデータ量としては、CMOS1.0 μ m ゲートアレー品種の場合、通常数キロバイトから数メガバイト/回、伝送頻度は十数回/日である。1 品種当たり全データ量は、30M バイト程度である。

ゲートアレー用ネットワークは、ユーザーの設計業務そのものと密接にかかわるため、稼働の安定性が特に重要である。また、海外との時差などにより、24 時間稼働が前提となる。そのため、“MIND”はもちろん、CAD システムのかなめである当社北伊丹製作所設置の大型コンピュータも 24 時間体制で運用に当たっている。また、“MIND”の基幹部はう(迂)回路による二重化、米国との国際回線は通信衛星によるバックアップを施し、ネットワークの安定性・信頼性を確保している。

万一、通信障害が発生した場合の対処手順を図 14 に示す。デザインセンターでのトラブル連絡は、北伊丹製作所を経由して三菱電機情報ネットワーク(株)ほか通信事業者へ伝えら

れる。番号順に連絡と対処が行われる。途中で解決した場合は、点線で示す経路で戻る。デザインセンターとの仲立ちと全体の調整は、北伊丹製作所の役割である。修復の連絡は、北伊丹製作所からデザインセンターに対して迅速になされる。

5. む す び

1.0 μ m CMOS 2 層配線プロセス技術と最新のアセンブリ技術により、高速かつ低消費電力で更に多ピンプラスチック QFP パッケージが利用できる特長を持つ CMOS ゲートアレー M60060 シリーズを開発した。同シリーズは、ブックサイズパソコンに代表される小型でありながら高性能を要求される用途のゲートアレーに最適な特長を備えている。

また、市販 EWS 用デザインキット及び大規模システムに対応可能な高速シミュレータ、論理合成ツール等の高精度ライブラリを同時に開発したので、確度高くゲートアレーの開発が可能である。

参 考 文 献

- (1) 川端啓二, 中村博隆, 布上裕之, 後藤諭利, 西谷一治: 高速, 低消費電力の 1.0 μ m CMOS ゲートアレー M60050 シリーズ, 三菱電機技報, 63, No. 11, 86~88 (1989)
- (2) 高速 CMOS 標準論理 IC のグラウンドバウンスを試験, 日経エレクトロニクス, No. 473, 225~236 (1989-5)
- (3) 長谷川修二, 北川健一, 宮内由美子, 清水道夫, 源馬良太: 三菱電機 VAN“MIND”の運用技術と今後の展開, 三菱電機技報, 64, No. 2, 142~145 (1990)

32ビット CPU コアを内蔵した ASSP の開発手法

北上尚一* 中村充善*
中尾裕一* 鎌倉 寛*
大木正司* 是松次郎**

1. ま え が き

トロン仕様⁽¹⁾に基づく32ビット マイクロプロセッサ M32/100⁽²⁾をコアとして割込みコントローラ, DMAC (Direct Memory Access Controller) 等の周辺機能を内蔵した ASSP (Application Specific Standard Products) を開発した。ゲート長 1 μ m 2層 Al 配線 CMOS 技術を用いてチップ寸法 12.78mm \times 14.68mm の中に42万トランジスタを集積した。

チップ設計には、製品展開のしやすさと高集積化の点で優れているセルベース CAD を採用した。自動配置配線を階層的に行うとともに、機能ブロックごとの論理設計・論理検証の実行とテスト用切替回路の使用とにより、機能ブロック単位の入替えに柔軟に対応できるようにした。また、専用の入出力信号記述を用いた論理シミュレーション時のマンマシンインタフェース改善と論理のモデル化を行うことにより、論理検証とテストベクタ生成の工数を削減した。

本稿では、大規模 ASSP へのセルベース CAD に基づいた開発手法の適用例と工夫した点について述べる。

2. チップ設計フロー

今回、セルベース CAD に基づいた設計の基本フローを以下のように設定し、下位の階層からボトムアップに行っていた。

- (1) スタンダードセルを単位とした論理図作成あるいは SPD (Simulation Primitive Discription: 当社開発のハードウェア記述言語⁽³⁾) を使用した機能記述ファイルの作成。
- (2) 論理シミュレーション
- (3) レイアウト自動生成～検証
- (4) 遅延付き論理シミュレーション

図1に当製品における実際の設計フローを示した。階層はスタンダードセル レベル, 機能ブロックレベル, チップレベルの3階層である。

今回の開発では、周辺機能ブロックの設計にスタンダードセル手法を用い、得られたレイアウトをマクロセルとしてジェネラル自動配置配線ツールにより、チップを構成する方法を採った。ただし、CPU コアの部分に関しては、既にでき上がっているレイアウトをそのままマクロセルとして使用した。

チップレベルの論理検証用の CPU コアについては、最低

必要となる CPU の動作を行う論理シミュレーション用基本素子 (プリミティブ) を作成する方針を選択した。今回の開発では SPD 言語を使用して、ハードウェア記述を行った。

チップ評価用のテストベクタの生成は、レイアウト生成とは別に各論理シミュレーション パターン出力からの変換によって生成した。

3. レイアウト生成

図2に M32/ASSP のチップ写真を示す。

レイアウトの生成は、

- ・スタンダードセル開発
- ・機能ブロックレベルのレイアウト
- ・チップレベルのレイアウト

の3段階に分けて行った。以下、各段階を追って説明する。

3.1 品種特有スタンダードセル

セルベース CAD システムの基本となるスタンダードセルは、既存の標準スタンダードセルのほかに、今回必要に応じて品種特有のスタンダードセルを開発して使用した。

機能ブロックの中でも DMAC ブロックは、内部で使用するクロック速度が速く動作速度に余裕が少なかったため、論理設計時に詳細な遅延の予知を必要とした。このため、クリティカルパスに存在するゲート群を適当な単位でスタンダードセル化することによって、論理設計の初期段階でゲート遅延量を極力抑えた形で確定させた。なお、スタンダードセルのレイアウト生成には、シンボリック レイアウトツールを使用した。

3.2 機能ブロックレベルのレイアウト

機能ブロックレベルのレイアウト生成は、スタンダードセルを対象とした自動配置配線ツールの適用を基本とした。

スタンダードセルで構成する機能ブロックの自動配置配線は、トップダウンに作成したフロアプランで規定している機能ブロック各々のアスペクト比 (縦横比) と、ピン配置及び論理設計時に判明しているクリティカルパスへの配線優先度指定をパラメータとして行った。

DMAC ブロックは回路規模が大きいため、更に複数のサブブロックで構成されている。このサブブロックの一部では、同期型ステートマシンの形成及び制御信号デコードに PLA (Programmable Logic Array) 自動生成ツールを適用した。このツールは、ブール式を入力としてレイアウトデータや論理シミュレーション用基本素子 (プリミティブ) 等を自動生

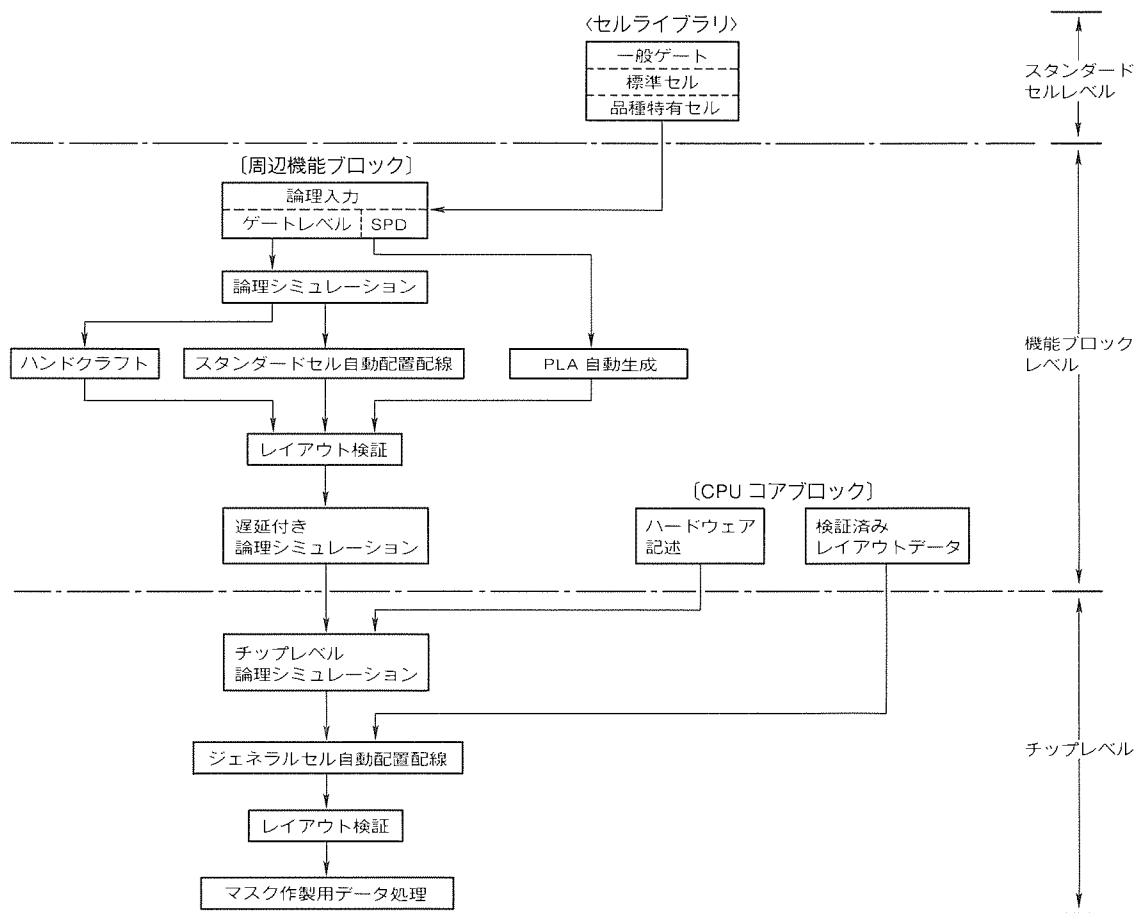


図1. チップ設計フロー

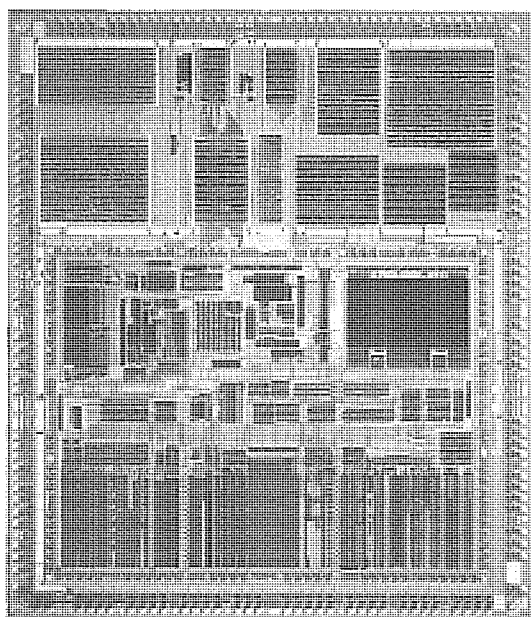


図2. M32/ASSP チップ写真

成するものである。生成されたPLAは、集積度と動作速度の点で妥当なものであった。

PLAの前段に使用する入力ラッチ及びDMAC専用のクロック生成部には、ハンドクラフト設計を適用した。この理由は、入力ラッチはレイアウト形状の制約が特殊なためであり、

クロック生成部はクロック自身の遅延とクロック間のスキューを小さくするためである。なお、ハンドクラフト設計により、レイアウトを生成した機能ブロックについては、その論理シミュレーション用基本素子(プリミティブ)としてレイアウトを持たない一般ゲートを使用した。

3.3 チップレベルのレイアウト

チップレベルのレイアウト生成は、機能ブロックレベルで生成したレイアウトをマクロセルとしてジェネラルセル自動配置配線ツールによって行った。

使用したジェネラルセル自動配置配線ツールは、インタラクティブな配線修正・再コンパクションが可能であるため、目標となるフロアプランに向かってレイアウトを構築していくことができる。なお、場合によっては配線用チャネル幅の見込み違いを回復するため、機能ブロックの階層に対してアスペクト比の変更等のフィードバックをかけた。

4. 論理検証

今回新たに設計した周辺機能は、もともと複数の個別機能に分かれており、機能をブロックに分割して並行に設計することが容易であった。論理設計は、七つの機能ブロックとパッド周辺の制御回路との八つに分割して並行に作業を進めた。

4.1 バス指向信号記述の利用

論理シミュレータの入力には、すべての入力信号値の記述が要求される。しかし、設計者が個々の信号線の変化を記述しては、ヒューマンエラーが避けられない。今回設計した機能ブロックは、バスに接続されるものがほとんどであるため、バスを介したリード動作・ライト動作が簡単に記述できればヒューマンエラーが減ることが期待できる。

これらを考慮して、論理シミュレータの入力ベクタ及び出力期待値は、自作のバスアクセス指向の入出力信号記述（以下、バス指向信号記述と記す。）を専用の変換プログラムによって変換し、生成することとした。バス指向信号記述は、バス動作を簡潔に表現するとともに、他の信号線の個々の動作を記述できるものにした。変換プログラムは、UNIX^(注1)のツールとC言語で書いたプログラムを組み合わせで作成した。図3に、論理シミュレーションのフローを、図4にバス指向信号記述の例を示した。

図4にはDMACの例を示したが、異なる機能ブロックに対しても、レジスタの名前と数本の専用入出力線の入替えがあるだけである。

バス指向信号記述を用いた結果、論理シミュレーション時のマンマシンインタフェースが改善され、単純な記述ミスを減らせただけでなく、入力ベクタ及び出力期待値作成の時

(注1) UNIXは米国AT & T社が開発し、ライセンスしている。

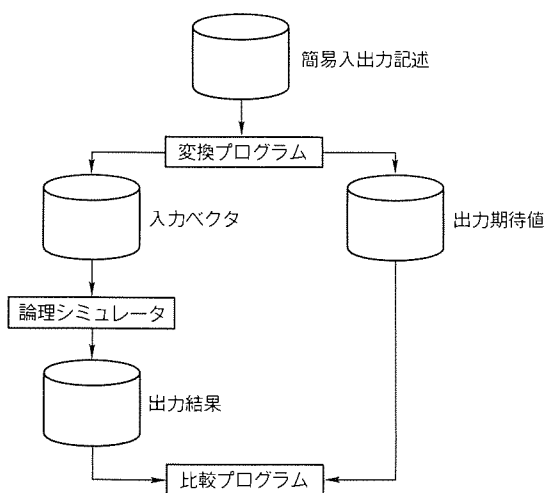


図3. 論理シミュレーションフロー

(時刻)	(信号記述)	(コメント)
#	im8ch	(パターン名)
0	init	(初期設定)
8	write bcr0 6080	(レジスタ書き込み)
...
50	req 0x0x xxxx	(転送要求信号)
53	bus xx0	(アービトレーション)
58	mread 111 12345678	(DMA 転送)
...
92	read bcr1 0FFFFFFF	(レジスタ読出し)
...

図4. バス指向信号記述の例

間を大幅に短縮し、さらに修正・デバッグが容易になった。

4.2 ハードウェア記述の利用

チップレベルにおける機能ブロック相互間の論理検証では、論理量が大きくなるため論理シミュレーション時間の増大が問題となる。今回の開発では、周辺機能ブロック内の論理検証は機能ブロックレベルで行ったため、チップレベルで検証する必要のあるのは、バスを介した機能ブロック間のレジスタの読み書きと、数本の専用信号線の動作だけに限定できた。

このように検証すべき項目を限定した上で、最も論理量の多いCPUコアについては、機能ブロック相互間の検証に必要な機能のみをハードウェア記述で表した(図5)。実現した機能は、転送命令、割り込みからの復帰命令を含む4命令と、リセット、外部割り込み、及びアービトレーション動作である。ハードウェア記述には、SPDを使用した。この記述は、元来ゲートレベルの動作を記述する比較的低い水準の言語であるが、記述する機能を限定したことにより、CPUコアの動作記述も可能であった。これらにより、論理シミュレーション時の論理量を減らし、効率の向上を図った。

5. テストベクタ生成

テスト容易化に関しては、新規設計の周辺機能ブロックと既存のCPUコアに対して異なる方法を採用した。

5.1 周辺機能ブロック

周辺機能ブロックは、論理検証用の論理シミュレーションを機能ブロックレベルの設計で行うが、テストベクタは当然チップレベルを対象としたものでなければならない。周辺機能ブロックの論理シミュレーションをテストベクタ生成に生かすために以下の方法を採用した。

機能ブロックのテストは、1ブロックずつ行うこととし、そのテストの際対象外のブロックは、停止状態に設定することにした。

機能ブロックに共通のバス信号線については、切替回路を追加してチップ外部から直接アクセスできるようにした。機

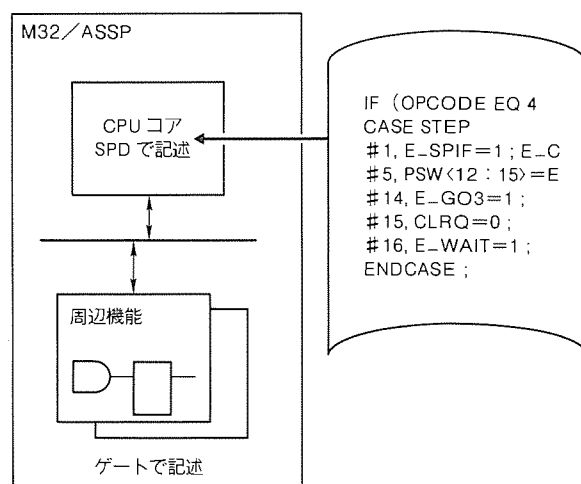


図5. CPUコアのハードウェア記述

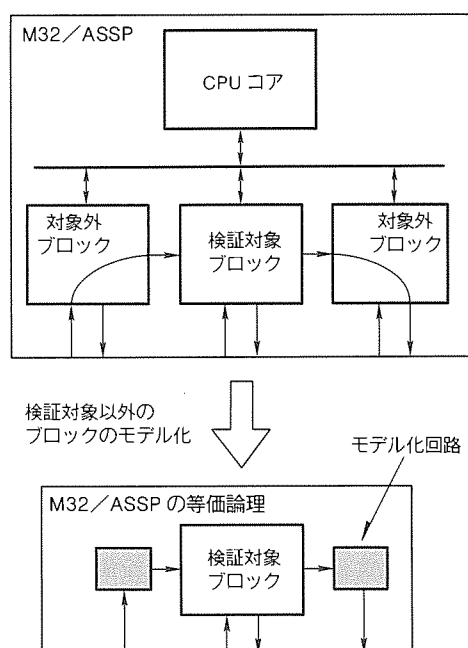


図6. 機能ブロック間の専用信号線の取扱い

能ブロック間の専用信号線については、検証対象外の機能ブロックを介した間接的な制御・観測が容易であったため、テスト回路は特に設けず、対象外のブロックを適当なモードに設定することにより、チップ外部からの観測を可能にした。これらの設定に必要な入力シーケンスと、このシーケンスによって固定化された対象外ブロックの動作を表現する簡単なモデル化回路は、チップレベル設計担当者がトップダウンに決めた。各機能ブロックの設計担当者は、与えられたモデル化回路を担当した回路に付加し、決められた初期設定シーケンスを機能ブロックごとの入力ベクタに付加して論理シミュ

レーションを行うことで、チップ全体に対するテストベクタを生成した(図6)。

5.2 CPU コア

CPU コアについては、コアにつながる信号を直接チップの外から制御観測するためのテスト用回路を設けた。通常モードでは、コアと周辺機能ブロック間の信号線の制御が簡単には行えないためである。テスト回路の追加の結果、既存のコアのテストベクタ資産をそのまま使用することができるようになった。

6. む す び

今回の開発を通じて、CPU をコアとして周辺機能を内蔵した大規模 ASSP を迅速に開発するための設計手法を確立することができた。CAD を用いた開発においては、ツールの選択とこれを効率的に使用するためのカスタマイズが極めて重要である。

参 考 文 献

- (1) Sakamura, K. : Architecture of the TRON VLSI CPU, IEEE Micro, 7, No. 2, 17~31 (1987)
- (2) 吉田豊彦, 齊藤祐一, 松尾雅仁, 清水 徹: TRON 仕様マイクロプロセッサ G_{MICRO}/100 のパイプライン処理構造, 電子情報通信学会技術研究報告, CPSY 87-48 ~57, 25~30 (1988)
- (3) 田中 宏, 安藤智子, 岡崎 芳, 佐藤興二: MOS スイッチレベルシミュレーションにおけるア트워크検証向き素子モデリング手法, 電子通信学会技術研究報告, CAS 85-163~179, 49~56 (1986)

ASIC 対応パッケージング技術の最新動向

吉田 稔* 中尾 伸**
島本晴夫*
上田哲也*

1. ま え が き

近年の半導体デバイスの進歩は目覚しく、ASIC LSI では、高速、高集積化とともに多機能化が進み、それに伴ってパッケージへの要求も多様化している。すなわち、多ピン化、低熱抵抗化、低リードインダクタンス化、小型・薄型化、低価格化等があげられる。

本稿では、パッケージ技術の動向について述べ、それに対応すべく当社が開発したプラスチックパワー QFP (Quad Flat Package) と、超多ピンプラスチック TCP (Tape Carrier Package) について紹介する。

2. パッケージ技術の動向

2.1 パッケージの動向

半導体デバイスの ASIC 化に伴い、パッケージも ASPAC (Application Specific Package) 化の傾向が強くなり、メモリデバイスについては、既に一つの品種に 5～6 種類ものパッケージを準備し、ユーザーのシステムに合ったパッケージを供給している。ASIC の代表であるゲートアレイにおいても、高集積化、ゲート数の増大による入出力の超多ピン化、低熱抵抗化が要求され、TCP の供給形態、実装、放熱手段等、ユーザーのシステム構成との関係が極めて強く、ASPAC 化が進んでいる。図 1 は、ユーザーとメーカーの関係を示したもので、当社はシステムの動向を常に予測しながら、それに必要なパッケージ技術の可能性を紹介し、ユーザーからの情報をもとにパッケージ開発を実施している。

ここでは、ASIC 対応パッケージとして特に要求の大きい、多ピン化技術について取り上げる。

2.2 パッケージの多ピン化技術

QFP 及びファインピッチ QFP では、現在 208 ピンまでが実用化され、256 ピンと 304 ピンが開発中である。狭パッドピッチ及び長ワイヤ可能なワイヤボンディング技術開発、高強度極薄フレーム材開発に伴うインナリード ファインピッチ加工技術開発、低粘度封止樹脂開発等により、大幅なパッ

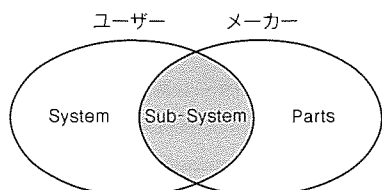


図 1. ユーザーとメーカーの関係

ッケージ構造の変更をすることなく、多ピンパッケージの開発が可能となった。しかし、IC チップのデザインルールの微細化に伴うチップサイズ縮小は、ワイヤボンディング可能なパッドピッチに制約され、機能上必要なチップサイズより大きなチップサイズとなる。また、リードフレームのインナリードのファインピッチ加工技術上の制約で、全入出力パッドをボンディング可能なように、インナリードをレイアウトすることができなくなる。

その様子を図 2 に示す。この解決策として、ワイヤボンディング方式の PGA (Pin Grid Array) パッケージが考えられるが、多層のセラミック又はガラスエポキシ基板を使用するため、高価格となっている。以上の問題を解決するには、TAB (Tape Automated Bonding) 技術しかない。従来、主に製造価格の点で一般のパッケージには普及せず、TAB 技術でしかできない分野、例えば薄型の要求される電卓、LCD (Liquid Crystal Display) 等には多量に使われている。ASIC 対応パッケージも、TAB 技術でしかできない領域まで進展してきている。

図 3 は、従来のワイヤボンディング方式を用いたパッケージから、TAB 方式を用いた TCP への推移を示す。図 4 は、

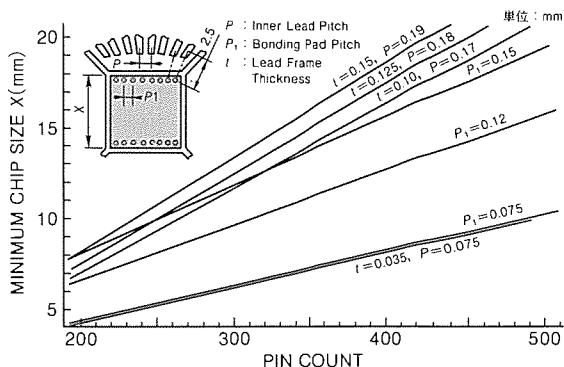


図 2. パッケージのピン数と最小チップサイズ

		Pin Counts				
		100	200	300	400	500
Wire Bond	QFP					
	CERAMIC-PGA					
	APGA(QFP ON PGA)					
TAB	SOP					
	QFP					
	APGA(QFP ON PGA)					

図 3. ボンディング方式とパッケージピン数

TCP の EIAJ (Electronic Industries Association of Japan) 規格を示す。パッケージの最大ピン数は、パッケージのボディーサイズ及びアウターリードピッチとテストパッドピッチで決まる。70mm 幅テープでリードピッチ 0.25mm の場合は、最大 544 ピンまで対応可能である。EIAJ 規格に対応した当社のパッケージのシリーズ化計画を表 1 に示す。表中、リードピッチ 0.25mm のシリーズがすべて TCP で、それ以外は従来のワイヤボンディング方式を用いたパッケージである。

3. プラスチックパワー QFP

ASIC の高速・高集積化及び多 I/O 化に伴い、プラスチ

ック QFP においても、従来の多ピン、小型化等、形状面での特徴に加え、低熱抵抗・低リードインダクタンス特性等、パッケージの機能面が重視されるようになった。当社においても幾つかの目標を掲げ、グルーピングを行い開発を行っている。その一つがこの章で述べるプラスチックパワー QFP であり、次の章で述べる超多ピンプラスチック TCP である。上記 2 パッケージは表 2 に示すように、全く異なるグループに属するパッケージであるが、技術的には種々重複する事項が多く、新しいパッケージ開発の流れになると考えている。以下、当社で開発中のプラスチックパワー QFP のうち、H/S (ヒートスプレッダー) を埋め込んだパワー QFP のパッケージ構造、アセンブリプロセス技術及びパッケージ諸特性

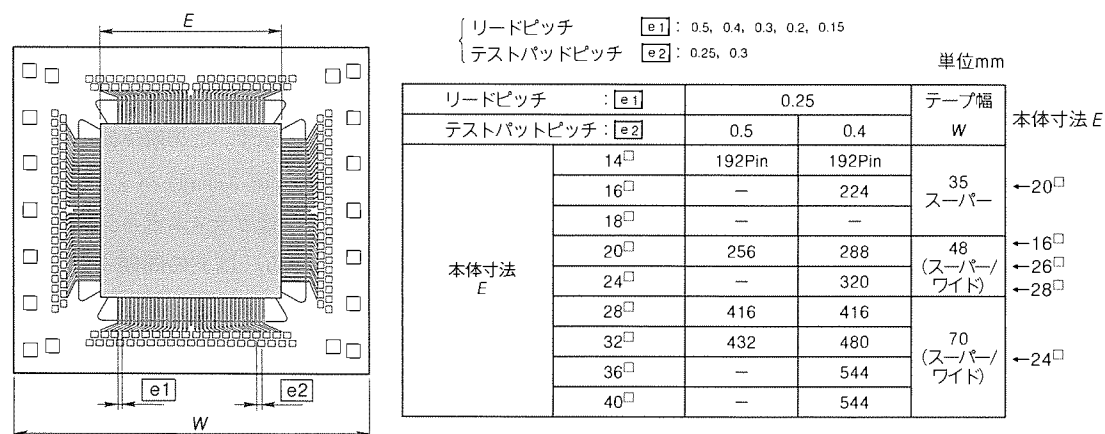


図 4. TCP EIAJ 規格

表 1. 当社の QFP, QFP(F), TCP シリーズ化計画

単位: mm

パッケージ	リード ピッチ	ピ ン 数													
		80	100	120	128	136	160	208	256	288	304	320	432	480	544
ワイヤボン ド	QFP	0.8	14×20		28□										
		0.65		14×20			28□	36□							
	QFP (ファインピッチ)	0.5		14□		14×20		28□	36□		40□				
TAB	TCP	0.25								20□		24□	32□	36□	40□

注 □ ……開発中

表 2. パワー QFP, TCP パッケージの特徴

パッケージ		パワー QFP	TCP
項目	許容消費電力	H/S (ヒートスプレッダー) により、裏面からの放熱面積を拡大させた。	チップ裏面にサブマウントを介して接着した金属キャップから大気へ放熱。
	目標値	無風 ……1.5W 強制空冷 (1.0 m/s) ……2.0W 放熱フィンなし, ΔT = 50℃	無風 ……3.0W 強制空冷 (3.0 m/s) ……8.0W 強制空冷 (10.0 m/s) ……10.0W 放熱フィン付き, ΔT = 50℃
リードインダクタンス	低減方策		金属キャップの表面にパターン形成し, V _{DD} , GND に接続しリード表面積を拡大させた。
	目標値		V _{DD} , GND ……10 nH 以下

について説明する。

3.1 パッケージ構造

パワー QFP を開発するに当たり、種々のパッケージ構造が検討された。この章で扱うパワー QFP は、そのうちの一つであり、半導体素子で発生する熱を、D/P (ダイスパッド) を通して H/S に伝え、H/S で放熱面積を広げることにより、効果的に放熱して熱抵抗を下げた、比較的消費電力用のパワー QFP である。許容消費電力は、無風状態で 1.5W、1.0m/s の強制空冷時で 2.0W 程度ではあるが、低価格で製造でき、容易に現状 QFP に替わり得ることを特長としている。

図 5 に、パワー QFP の断面構造を示す。リードフレームは、42 アロイ合金を使用している。H/S は銅合金を使用しており、24mm×24mm の H/S 本体には成形性及び放熱性を考慮して多数の穴が設けてあり、モールドプロセスにおける H/S の変位を防ぐ構造とした。図 6 は、160 ピンパワー QFP の外形図であり、従来 QFP と同等である。

3.2 アセンブリプロセス技術 (モールド技術)

このパワー QFP は、モールド時に H/S をリードフレームとともに金型にセットする工程以外は、従来の QFP と同じ工程で製造される。また、技術的にもモールド工程における H/S の変位を除けば、従来の QFP と同じ技術で対応できるため、モールド技術を中心に説明する。

このパッケージが設計どおりの機能を示すために、以下の項目に注意を払った。

3.2.1 成形安定性

このパッケージでは、D/P と H/S の間に介在する樹脂層の厚さが放熱特性を大きく左右する。図 7 にパワー QFP の D/P と H/S の間の樹脂厚さと熱抵抗値の関係を、風速

を種々変えた場合について、有限要素法を用いてシミュレーションした結果を示す。図のように、D/P と H/S の間の樹脂厚さは設計値±100 μm 程度に制御する必要がある。H/S の面積は、パッケージ面積の 74 % とかなり広いため、従来の樹脂をこのパッケージに適用すると、D/P と H/S 間の樹脂厚さの制御が困難であり、場合によっては H/S がパッケージ裏面に露出する。そこで、このパッケージに使用する樹脂として、パッケージの信頼性に影響を与える基本組成、物性は同等で粘度のみ、従来のものに比べて飛躍的に改善させた低粘度樹脂を適用した。その結果、D/P と H/S 間の樹脂の制御が容易となり、設計どおりの放熱特性が得られるようになった。

3.2.2 信頼性上の留意点

このパッケージの持つ耐熱性、高・低温安定性、耐熱ストレス性等は、IC の実使用環境下での長期安定性に大きく影響するため、封止樹脂、リードフレーム等材料の選定、設計、及びパッケージ構造の設計に際しては、細心の注意が払われねばならない。特に封止樹脂は、先に述べた諸特性の優劣を左右するため、慎重に評価する必要がある。このパッケージで用いた樹脂においても、TEG (Test Element Group) を用いた評価、数種の特長ある既存のパッケージによる評価、このパッケージを用いての評価等、数々の評価を行って適用に至っている。

このパッケージにおいて特に注意したパッケージ特性は、耐熱ストレス性である。耐熱ストレス性が悪い場合は、

- (1) 封止樹脂のクラックによるワイヤ断、パッケージ割れなどの機能故障。
 - (2) アルミニウム配線スライドによる機能故障。
 - (3) 電気特性の劣化による機能故障。
 - (4) IC チップ界面パッシベーション膜のクラック、接着界面破壊による耐湿性の劣化。
- などの通常のパッケージとしての問題点の外に、
- (5) D/P、H/S と封止樹脂界面はく(剥)離による放熱特性の低下。

という新たな問題も発生する。

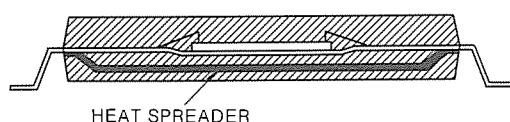


図 5. パワー QFP 断面構造

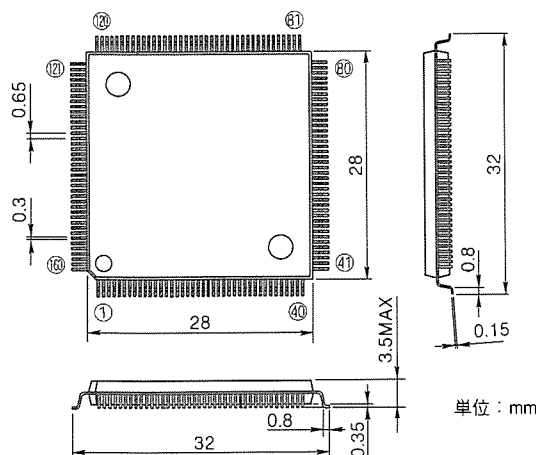


図 6. 160 ピンパワー QFP 外形

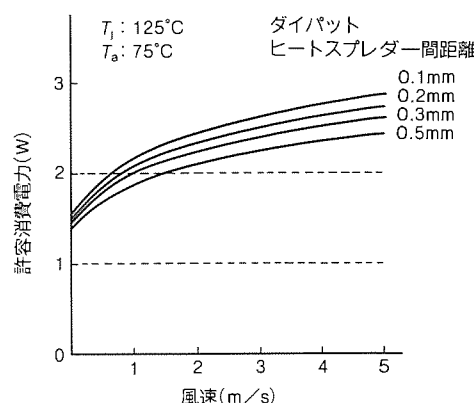


図 7. パワー QFP 熱抵抗シミュレーション結果

このパッケージでは、

- (1) 従来の樹脂で確立してきた、封止樹脂の低熱線膨脹係数、低応力、高ガラス転移温度、高強度等の樹脂物性を維持する。
 - (2) パッケージ構造において、応力の最も少ない構造を適用する。
 - (3) D/P 裏面デザイン、H/S デザイン等において、封止樹脂に対する密着性を検討し、ディンプル、スルーホール等の手法によって、D/P、H/S と封止樹脂の接着強度を向上させる。
- 等の手法を取り入れ、先に述べた問題点の発生を防いでいる。

4. 超多ピンプラスチック TCP

TAB 技術は、従来から LCD (Liquid Crystal Display) ドライバを中心に多用されてきたが、COB (Chip On Board) の一形態域を出なかったといえる。しかし、前述したように ASIC LSI チップ内へのシステムの組み込みや、多入出力化が、モノリシック IC 用の新パッケージとしての TAB 技術の展開を急激に促進するようになってきた。以下、当社で開発中の ASIC 用超多ピンプラスチック TCP のパッケージ構造、TAB プロセス技術及びパッケージ諸特性について説明する。

4.1 パッケージ構造

ASIC の 300 ピンを超える多入出力、及び高速動作 (クロック周波数 $\geq 30\text{MHz}$) に伴い、パッケージに要求される性能が高消費電力化 ($\geq 5\text{W}$) 及び低リードインダクタンス化の方向をたどっている。これらの要求を考慮して開発したパッケージの断面構造を図 8 に示す。LSI チップ上に形成されたバンパにインナリード接続し、放熱板となる Al キャップ上に Mo 板を介して、チップをダイボンドする。チップダイ

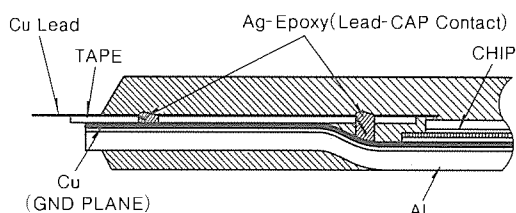


図 8. TCP 断面構造

ボンド部に相当する Al キャップ部を露出した状態で、全体をモールド樹脂で封止した。図 9、図 10 にパッケージ全体と外形を示す。この露出部に放熱フィンを取り付けることにより、高消費電力対策とした。また、Al キャップ内側には、 V_{DD} 、GND パターンを形成し、これをテープ上の該当部と接続することにより、 V_{DD} 、GND のリードインダクタンスを低減し、高速化対策とした。各構成材料の厚みは、NAS-TRAN によるシミュレーション結果をもとに、パッケージの変形が極小になるように設計した。また、パッケージ外形サイズは、EIAJ 外形に準拠した (図 4 参照)。

4.2 TAB プロセス技術

図 11 に TCP のアセンブリフローを示す。まず、チップのボンディングパッド上に Au バンプを形成する。このバンパとテープキャリア上のインナリードを一括して接合する

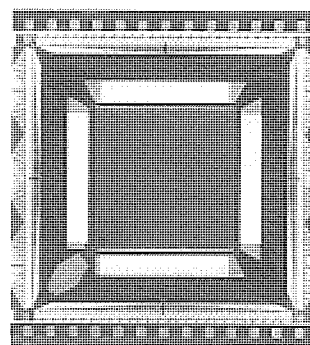


図 9. 432 ピン TCP モールド外形

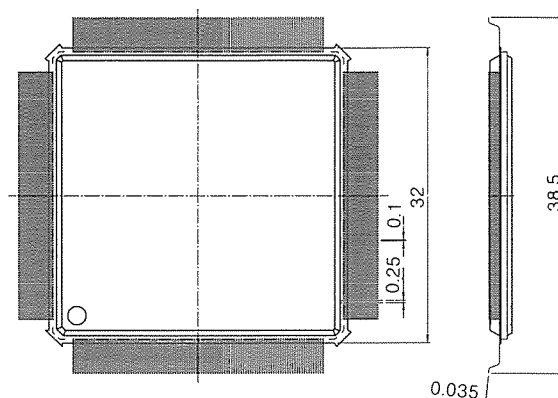


図 10. 432 ピン TCP パッケージ外形

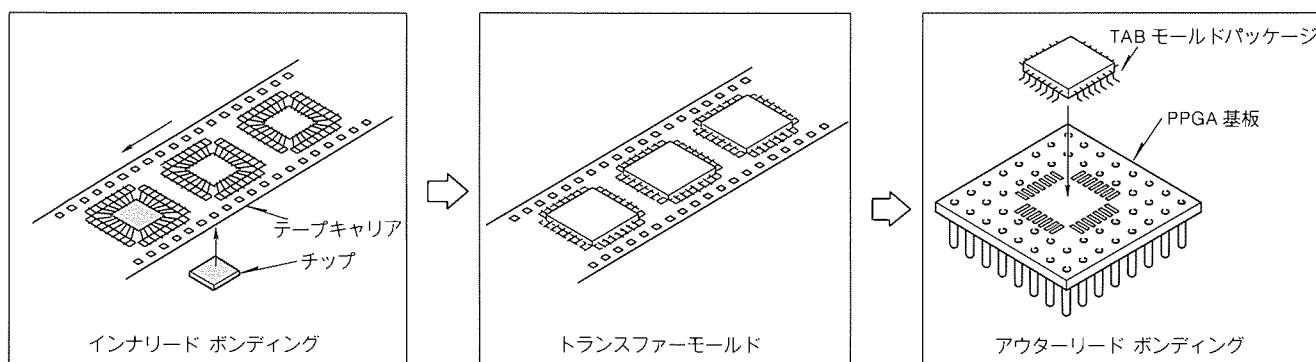


図 11. TCP 概略組立てフロー

(ILB)。次に、チップを Mo 板がサブマウントされた Al キャップ上にダイボンドする。全体をトランスファーマールド成形し、テスト及びバーインを実施する。テスト良品は、テープキャリアからアウターリードを打ち抜き、フォーミングして、基板上に実装 (OLB) される。以下、この主要工程につき、順を追って説明する。

4.2.1 バンプ形成技術

まず、チップの Al 電極上にバンプと呼ばれる Au の突起電極を形成する技術について述べる。図 12 にバンプ形成プロセスのフロー図を示す。ウェーハプロセスを完了したウェーハ全面に、バンプの下地金属層である CrCuAu をスパッタで形成する。この下地金属層は、バンプと Al 電極との密着性を保つことと、Au が Al 内に拡散して金属間化合物を形成するのを防ぐためのバリア層としての役割を果たしている。

次に写真製版技術及び電解めっき法を用いて選択的 Au を成長させる。最後にフォトレジストを除去し、バンプをマスクとして下地金属層をエッチングする。以上のバンププロセスの中で、電極ピッチの微細化に対応するために技術開発した点は、写真製版技術である。従来のバンプ形成には、通常ウェーハプロセスで用いられている厚み 1 μm 程度のフォトレジストを用いていた。その場合、めっきによって Au が等方向的に成長するため、図 12 に示すような、きのこ形状のバンプが形成される。バンプ高さは、25 μm 程度必要であり、きのこ形状バンプはフォトレジストの開口サイズより 50 μm 程度大きくなってしまいうため、微細バンプを形成することができない。そこで、厚膜レジストの写真製版技術を開発し、めっきにおける Au バンプの横方向の成長を抑えることによって、フォトレジストの開口と同サイズのバンプを形成することができた。その結果、図 13 に示すような 50 μm ピッチのストレートサイド形状バンプを実現することができた。

4.2.2 インナリード ボンディング (ILB) 技術

ILB 技術は、チップの電極に形成された Au バンプとテープキャリアのインナリードとを接合する技術である。インナリードは Cu 材から成り、表面に 0.5 μm 程度の Sn がめっきされている。ILB は、インナリードとバンプとを位置合わせした後、全電極を加熱したボンディングツールで一括加圧し、Au-Sn の合金を形成させることで達成される。ILB 技術も電極ピッチが微細化するにつれて、次第に困難になってくるが、装置のボンディング精度を向上させ、ボンディングツール表面の平坦化、温度分布のばらつき低減等を図り、図 14 に示すように 75 μm ピッチでの接合が可能となっている。

4.2.3 モールド工程

パワー QFP と同様の注意が必要だが、とりわけ、インナリードの微細化に伴う、リード強度の低下による断線等の発

生しないモールド条件及び封止樹脂の選定に留意した。また、テープ上に工夫を施すことにより、モールドバリの発生を極力抑えている。なお、トランスファーマールド成型を用いた封止は、当社の特色の一つである。

4.2.4 テスト・実装工程

TCP のテストは、パッケージキャリア、ソケットの EIAJ における標準化により、ユーザーでも可能となってきた。また、基板への実装方法としては、アウターリードピッチが 0.25mm とファインなこと、リード厚みが 35 μm で変形しやすいこと、パッケージ構造が複合体によって構成されていること等を考慮して、パッケージ全体は加熱せず、リードのみを局所加熱する方式を推奨している。また、ユーザーの要求に応じて、安価なプラスチック PGA 上に搭載 (三菱呼称 APGA, 図 15) して供給することも可能である。

4.3 諸 特 性

4.3.1 熱 特 性

モールド樹脂から露出した Al キャップ上に、高熱伝導シリコン樹脂によって放熱フィンを取り付け、各風速下で空冷し、熱抵抗を測定した結果を図 16 に示す。合わせて有限要素法でシミュレーションした結果も図示したが、ほぼ良い対応がとれている。 R_{ja} の値は、放熱フィン形状及び接着方式等の条件によって変動するが、今回の結果から風速 3m/

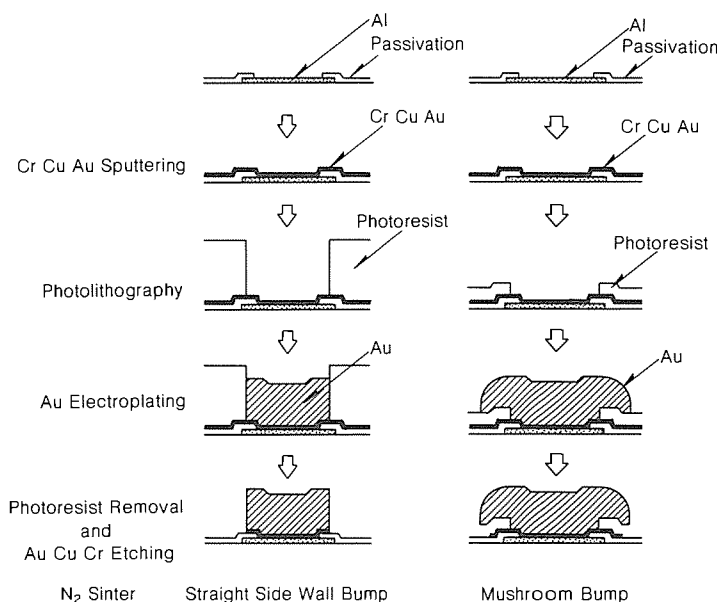


図 12. バンプ形成プロセスフロー

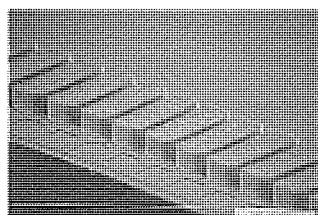


図 13. 50 μm ピッチ
ストレートサイド
形状バンプ

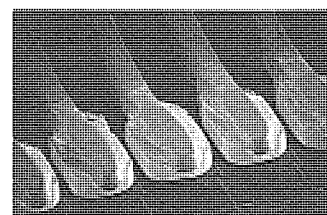


図 14. 75 μm ピッチ
インナリード
ボンディング部 SEM 観察例

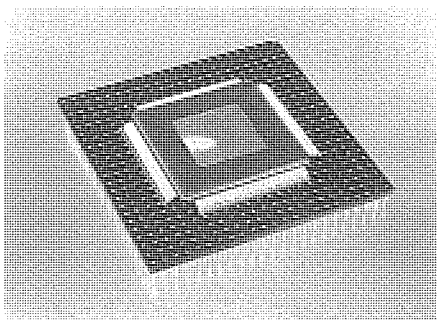


図 15. APGA (Adaptable PGA)

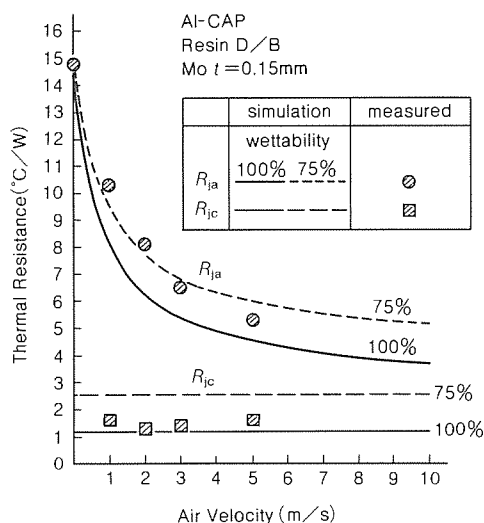


図 16. 熱抵抗測定結果

s 下で $R_{ja} = 6.4^{\circ}\text{C}/\text{W}$ が達成され、5W 以上の発熱に耐えられることが分かる。

4.3.2 電気特性

図 17 に、 V_{DD} 、GND のリードインダクタンスの値が、グラウンドバウンス電圧に与える影響について、SPICE でシミュレーションした結果を示す。グラウンドバウンス電圧により、次段の LSI を誤動作させないためには、 V_{DD} 、GND のリードインダクタンスを極力下げることが必要である。当社では、前述した対策により、 V_{DD} /GND のリードインダクタンスを 10nH 以下にすることが可能となったが、一層の低減を検討中である。

5. む す び

プラスチックパワー QFP は、ヒートスプレッダー内蔵により、比較的安く、従来 QFP と同一外形で約 1/2 の熱抵抗値を実現した。一方、超多ピンプラスチック TCP においては、Al キャップを露出させた構造及びこの露出部に放熱フィンを取り付けることにより、熱抵抗を大幅に低減させた。また、Al キャップ内側に V_{DD} 、GND パターン形成し、これをテープ上の該当部と接続し、 V_{DD} 、GND のリードインダクタンスを低減させた。

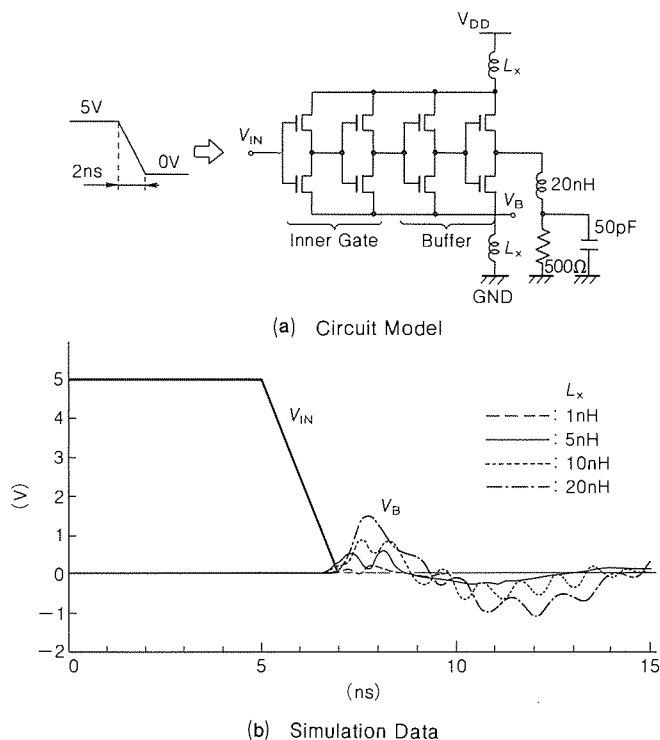


図 17. SPICE シミュレーション結果

今後の課題として、プラスチックパワー QFP では、半導体デバイス的高速化に向け、複合フレーム材料等による低リードインダクタンス化の検討をしていく。また、超多ピンプラスチック TCP は、前述のように、TCP の供給形態、すなわち TCP をキャリアに入れてテープ状態で出荷し、ユーザーで実装する方法、あるいはプラスチック PGA 又はユーザーのシステムボードに TCP を実装して納入する方法などいずれにしてもユーザーのシステム構成との関係が深く、ユーザーとの情報交換を密に行い対応していく。

一方、半導体デバイスのより一層の高速、高消費電力化に対応すべく、インピーダンスのマッチング、高放熱構造の検討を行い、今後ともユーザーに満足していただけるパッケージ開発をしていく所存である。

参 考 文 献

- (1) 立川 透，島本晴夫，中川 治，小原雅信：VLSI パッケージ技術，三菱電機技報，**62**，No. 8，685～688 (1988)
- (2) 中村博隆，布上裕之，西谷一治，後藤諭利，川端啓二：高速，低消費電力の 1.0 μm CMOS ゲートアレー M600 50 シリーズ，三菱電機技報，**63**，No.11，954～956 (1989)
- (3) 立川 透，吉田 稔：SMT 対応 LSI パッケージの標準化と最新動向，月刊 Semiconductor World，増刊号，**9**，No. 9 (1990)

デジタルオーディオの 高音質化へのアプローチ

加藤久雄*
水野幹滋*
森岡幸一**

1. ま え が き

CD, DAT, BS を始めとするオーディオ機器は、デジタル化によって音質を飛躍的に向上させた。DAT における著作権問題も一応の決着が着き、オーディオのデジタル化は確実に進んでいる。また、個々のデジタル音響機器の発展に伴い、従来アナログ信号で行われていた機器間の伝送も、デジタル信号で行うことが一般化している。デジタル信号による伝送は、アナログ信号で行う場合と比べてノイズの影響を受けにくく、符号が変化しない限り理論的に音質変化はないものと考えられていた。ところが実際には、使用する伝送媒体やデジタル音響機器により、音質が変化する現象が知られている。

例えば、デジタル音響機器間を結ぶ光ファイバーは、その種類や接続箇所の状態、更には振動を加えただけでも音質が変化する。このような理論と実際の違いは、最近の研究で、デジタル信号上に含まれる符号とは関係のない波形ひずみやジッタ（発振周期のゆらぎ）が、アナログ信号処理部に伝達され、音質を損ねていることが明らかになった。特に近年普及しつつある 1 ビット方式の A/D, D/A コンバータは、基準クロックに波形ひずみやジッタが含まれていると、理論どおりの変換性能を得られないことが知られている。デジタルオーディオの高音質化を図るためには、このような波形ひずみやジッタの問題を解決することが重要な課題である。

当社では、この課題を解決するため、2 段の PLL (Phase Locked Loop) を用いてデジタル信号中に含まれる波形ひずみやジッタを吸収し、次段のアナログ信号処理部にインタ

フェースするジッタ吸収 IC を開発した。本稿では、新開発したジッタ吸収 IC の動作、この IC を用いたデジタルオーディオ インタフェースの構成について説明する。

2. シングル PLL によるデジタルオーディオ インタフェース

図 1 は、日本電子機械工業会 (EIAJ) の CP-340 (デジタルオーディオ インタフェース) で標準化された、デジタルオーディオ機器間の伝送フォーマットである。オーディオデータは、パリティなどの冗長データとともに、図 2 で示すバイフェーズマーク変調が施され、同期信号を先頭に送信される。バイフェーズマーク変調された信号は、論理的最小反転間隔を T とすると、 T と 2 倍の T の反転間隔しか存在しなくなる。同期信号には、バイフェーズマーク変調から外れた 3 倍の T の反転間隔が含まれており、デジタルオーディオ インタフェース フォーマットの伝送信号は、合計 3 種類の反転間隔を持つことになる。受信側では、この反転間隔を検出し、PLL で受信信号に同期したクロックを作り出し、オーディオデータ及び冗長データの復調を行い、次段の D/A コンバータやデジタル信号処理部に送り出す。

バイフェーズマーク変調された信号から反転間隔を検出し、受信信号に同期したクロックを抽出するためには、応答性の高い PLL であることが要求される。ところが、伝送媒体や半導体素子を始めとする種々の条件により、受信部は絶えず

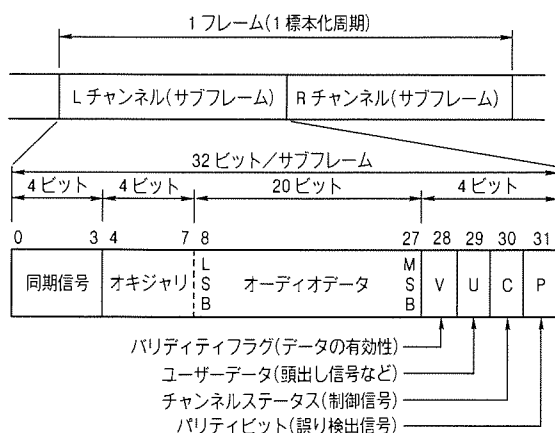


図 1. デジタルオーディオ インタフェース フォーマット

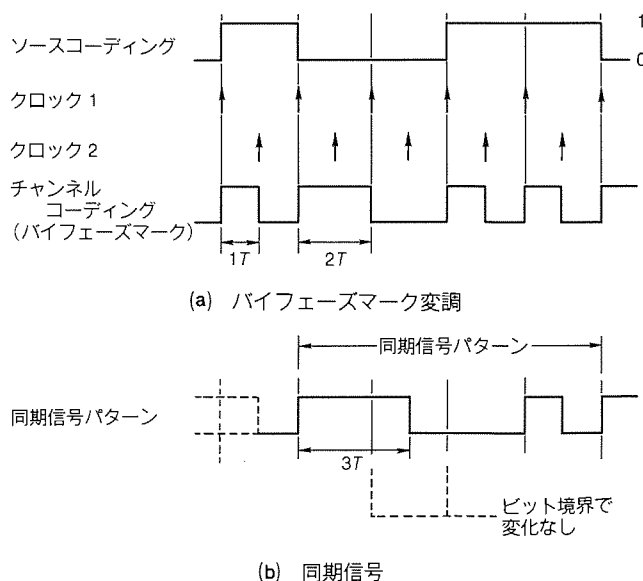


図 2. バイフェーズマーク変調と同期信号

負荷変動しており、受信信号の反転間隔は微妙に変化している。その微妙な反転間隔のゆらぎに PLL が追従し、抽出されたクロックにジッタが含まれてしまう。このジッタを含んだクロックやオーディオデータが、次段の 1 ビット D/A コンバータなどに伝達され、アナログ信号に変換されると、ノイズやひずみを発生する。

3. ダブル PLL によるデジタルオーディオ インタフェース

図 3 は、2 章で説明したシングル PLL によるデジタルオーディオ インタフェースの出力を、もう 1 段階別の PLL で同期をかけるダブル PLL によるデジタルオーディオ インタフェースの構成について示した図である。説明のため、受信信号を受けバイフェーズマーク復調し、次段の信号処理部に送り出すまでを、1st 系のデジタルオーディオ インタフェース、復調信号を受け、別の PLL で作ったクロックに同期をかけて出力するまでを、2nd 系のデジタルオーディオ インタフェースと呼ぶ。

2nd 系のデジタルオーディオ インタフェースでは、まず 1st 系のオーディオデータを 1st 系のクロックで 2nd 系内部のレジスタに書き込ませ、次いで 2nd 系の PLL で作ったクロックで読出しを行う。2nd 系では 1st 系のように、受信信号から反転間隔を検出し、クロック成分を抽出する必要があるため、2nd 系の PLL は応答性の低いものでよく、VCXO (Voltage Controlled X'tal Oscillator) のような水晶精度の発振源を使用することができる。そのため、2nd 系の PLL は 1st 系の信号に含まれるジッタ成分に追従せず、ジッタのない水晶精度のクロックとそれに同期したオーディオデータを得ることができる。

4. ジッタ吸収 IC (M65811FP) の概要

4.1 特 長

図 4 は、今回開発したジッタ吸収 IC (M65811FP) のブロック図である。M65811FP は、2nd 系デジタルオーディオ インタフェースの信号処理部を構成するのに十分な機能を内蔵している。

M65811FP の特長は次のとおりである。

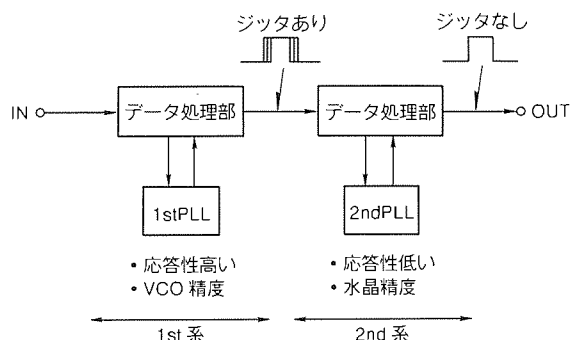


図 3. ダブル PLL によるデジタルオーディオ インタフェース

- (1) 2nd 系 PLL 用のカウンタと位相比較回路を内蔵し、外付けの VCXO により、ジッタ成分を含んだデジタルデータをリトリガして、入力データをジッタレス化する。
- (2) VCXO からの入力クロックは、 $384F_s$ (標準化周波数 F_s の 384 倍の周波数) と $256F_s$ が選択でき、内蔵カウンタで作った $128F_s$ 、ビットクロック (BCK) ($64F_s$ 又は $32F_s$)、ワードクロック (WDCK) ($2F_s$)、LR クロック (LRCK) (F_s) を出力する専用端子を備えている。
- (3) 1st 系で生成した $128F_s$ 、BCK ($64F_s$)、WDCK ($2F_s$)、LRCK (F_s) を入力する専用端子を備え、内蔵セクタによって、必要に応じて 1st 系のクロックを出力することができる。
- (4) オーディオデータのシフトクロックである BCK は、 $64F_s$ と $32F_s$ が選択でき、BCK に応じたオーディオデータを出力するので、数多くの DSP とインタフェースが可能。
- (5) 1st 系 PLL で生成したクロックと 2nd 系 PLL で生成したクロックの同期がミスマッチした場合、オーディオデータに自動ミュートがかかりノイズ発生を防止できる。さらに、自動ミュートと同じタイミングで、他のシステムをミュート制御する MUTEA 端子と強制ミュートする MUTED 端子を備え、システムに応じたミュート設計が可能。

2nd 系 PLL のロックが外れたときに信号を出す UNLOCK 端子と、2nd 系 PLL のロックが外れそうになると信号を出力する FICNT 端子を設け、アンロックになる前に位相比較出力のフィルター帯域を調整することにより、アンロックの発生確率を下げるることができる。

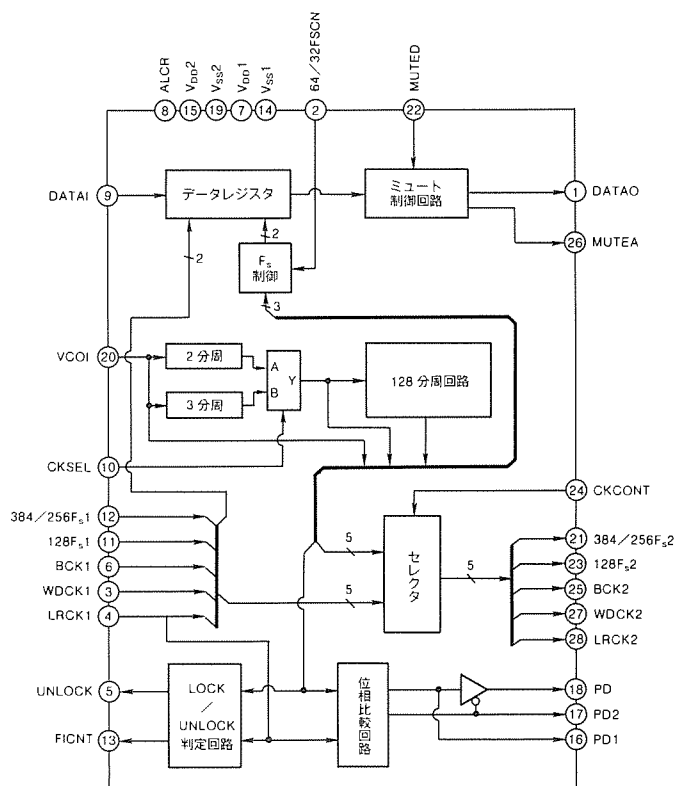


図 4. M65811FP のブロック図

4.2 回路構成と信号の流れ

VCXO のクロックは20 番端子から入力し、VCXO の発振周波数が $256F_s$ の場合は2 分周、 $384F_s$ の場合は3 分周され、 $128F_s$ が作られる。 $128F_s$ は、次段の128 分周回路で F_s まで分周され、必要クロックが作られる。オーディオデータは9 番端子から入力し、1st 系のクロックで一度内部のレジスタにラッチされた後、2nd 系の $32F_s$ 又は $64F_s$ で読み出され、ミュート制御回路を経て、1 番端子から出力する。オーディオデータをラッチするレジスタは、3ワード分の容量を持ち、1st 系と2nd 系のLRCK の位相が、 $\pm 180^\circ$ ずれても正常動作するように設計されており、 $\pm 180^\circ$ 以上の位相ずれが起こった場合、5 番端子からアンロック信号を出力する。

また、当社独自の方法により、2nd 系PLL がアンロックになる手前のポイントを見付け出し、13 番端子(FICNT) に信号を出力する。この信号を用いて、位相比較出力のフィルター帯域を広帯域に切り替え、PLL の引き込みロックレンジを広げることによって、アンロックの発生確率を下げる事ができる。さらに、2nd 系PLL がアンロックになると同時にミュート制御回路が動作し、オーディオデータにミュートがかかるとともに26 番端子から信号を出力する。26 番端子(MUTEA) は、2nd 系の信号で動作するDSP やD/A コンバータの出力をミュートするための制御信号で、アンロックによるノイズの発生を防止できる。位相比較回路は、1st 系と2nd 系のLRCK (F_s) を比較し、VCXO の制御信号を16 番、17 番、18 番端子に出力する。VCXO の制御信号の出力部は、アナログ部にインタフェースする箇所なので、パターン設計に気を配り、クロック系の電源、グランドと分離している。また、更にノイズの影響を減らすために、位相比較回路の出力を直接16 番、17 番端子に出し、VCXO の制

御信号の出力部を外付けできるようにしている。

4.3 入出力フォーマット

M65811FP は、1st 系のデジタルオーディオ インタフェースから、LRCK1 (F_s) とBCK1 ($64F_s$) とBCK1 に同期したオーディオデータを受け、内部のレジスタに取り込まれる。そのときのタイミングを図5 に示す。LRCK1 の後ろ詰め16 ビットにMSB (Most Significant Bit) ファーストで入ってきたオーディオデータが、BCK1 の立ち上がりで取り込まれる。

図6 は、M65811FP の出力フォーマットに関するタイムチャートである。 $64/32FSCN$ が“L”のとき、オーディオデータは、BCK2 ($64F_s$) の立ち下がりで、LRCK の後ろ詰め16 ビットにMSB ファーストで出力する。 $64/32FSCN$ が“H”のとき、オーディオデータは、BCK2 ($32F_s$) の立ち下がりで、ワードの全周期にMSB ファーストで出力する。また、これらの出力信号は、24 番端子(CKCONT) の極性により、1st 系の信号と2nd 系の信号を自由に切り替えることができる。

4.4 ミュート制御

デジタルオーディオは、アナログオーディオと異なり、離散的な信号を扱うため、PLL のロックが外れたときなど信号処理ができなくなった場合に、すき(凄)まじいノイズを発生する。デジタルオーディオの高音質化を図るには、細心のミュート設計を行わねばならない。

図7 と図8 は、M65811FP のミュート制御の動作を説明したタイムチャートである。図7 は強制ミュートを行う場合で、22 番端子(MUTED) の極性により、2nd 系のオーディオデータは、ワード単位でミュートがON/OFF する。このとき26 番端子(MUTEA) は、22 番端子(MUTED) に同期して立ち上がり、解除時はワード単位で動作する。

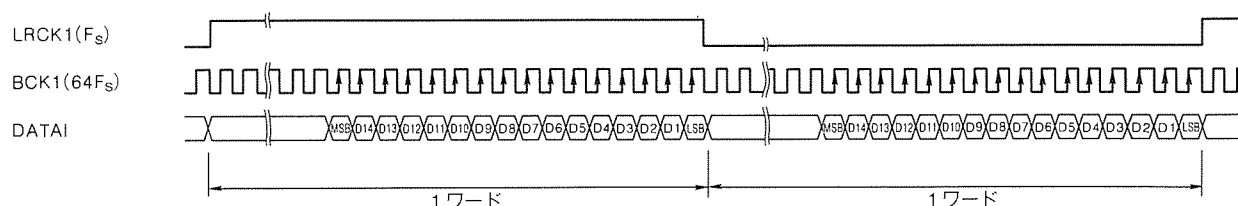


図5. 入力フォーマット

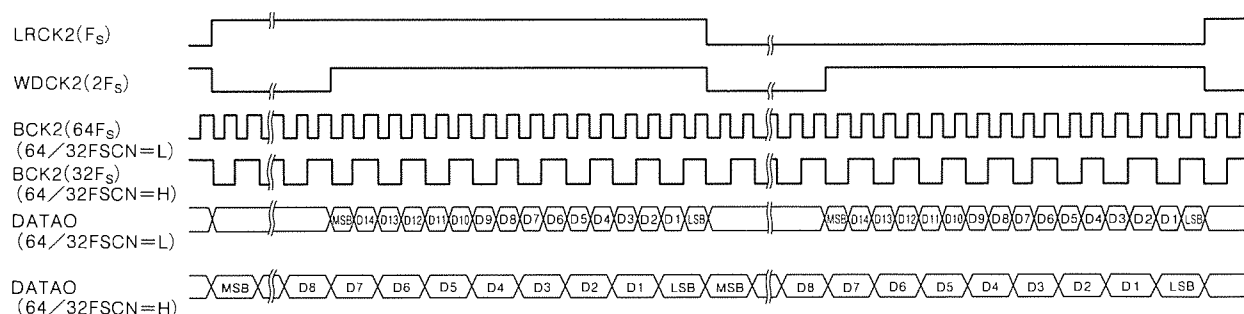


図6. 出力フォーマット

図8は、2nd系のPLLがアンロックになったときのミュート制御を行う場合で、アンロックになった次のワードからオーディオデータが自動ミュートされる。この場合のミュート解除は、22番端子(MUTED)を一度“H”にして再び“L”に立ち下げることによって行う。この場合の26番端子(MUTEA)の動作は、アンロックと同時に“H”になり、22番端子(MUTED)の立ち下がり次のワードで“L”に戻る。PLLアンロック時のミュート解除については、ユーザーが設計するシステム全体の仕様によって必要なミュート時間が異なるため、ミュート解除時間はユーザーまかせとした。このように、M65811FPのミュート制御は、22番端子(MUTED)で行うことができ、システムミュート信号の26番端子(MUTEA)と併せて、きめの細かいミュート設計ができる。

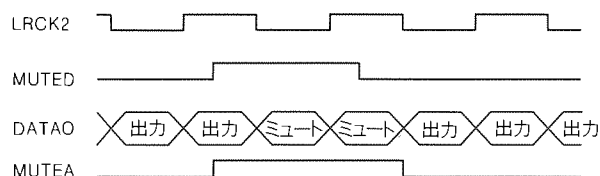


図7. 強制ミュートタイミング

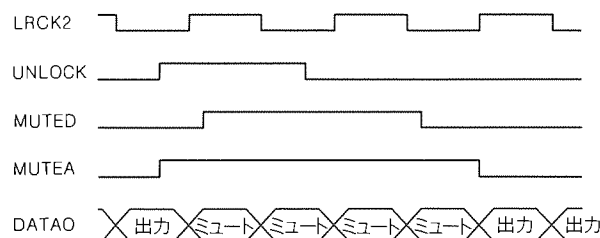


図8. PLL アンロック時のミュートタイミング

5. 応用例

図9は、M65811FPを用いて構成したダブルPLLによるデジタルオーディオインタフェースの一例である。1st系の信号処理部は、当社で開発したデジタルオーディオインタフェースレシーバー(M65810FP)を使用した。図10は、M65810FPのブロック図である。M65810FPは、新コピーガードシステム(SCMS)に対応できるCビットインタフェースや内蔵VCO(Voltage Controlled Oscillator)による外付け部品の削減など、1st系デジタルオーディオインタフェースを構成するのに最適な機能を持っている。また、M65811FPとのインタフェースを考慮して端子配列を最適化しており、組み合わせて使用すると便利である。2nd系のPLLは、外付けのローパスフィルタとVCXOで構成し、1st系の入力セクタ及びCビットの制御、2nd系のミュート制御などのシステム制御用にマイコンを使用している。

6. 効果

図11は、1st系のM65810FPで生成した信号波形と2nd系のM65811FPで生成した信号波形を比較したものである。1st系の信号に含まれているジッタが、2nd系の信号では全く見られず、M65811FPのジッタ吸収効果がよく分かる。

図12は、ジッタのある1st系の信号とジッタのない2nd系の信号で、同じ1ビット方式のD/Aコンバータを動作させた場合の性能比較を行ったものである。ジッタを含んだ

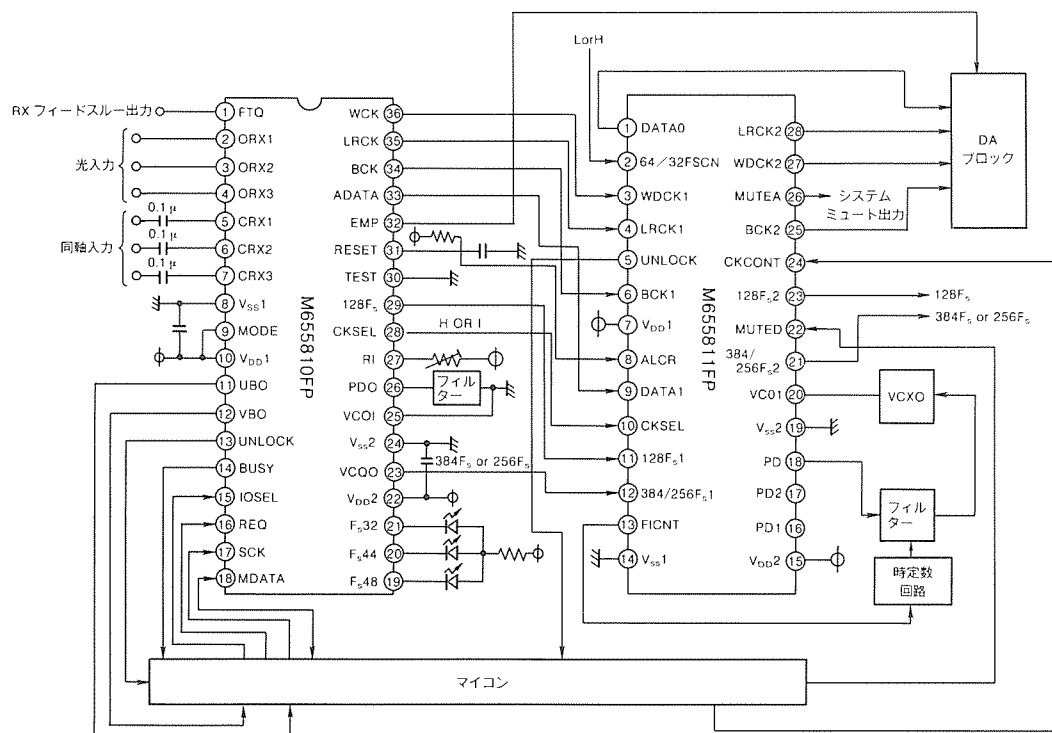
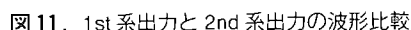


図9. M65811FPで構成したダブルPLLによるデジタルオーディオインタフェース

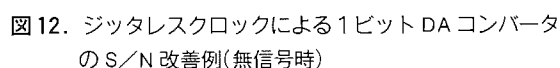


7. むすび

従来、クロックに含まれるジッタ成分を除去して音質改善を図るのに、多大な労力が必要であったが、M65811FPを使用すれば比較的容易に実現できるであろう。

デジタルオーディオ インタフェースにダブル PLL を用いる技術は、現在のところ超 HiFi 領域に属しており、搭載されるセットも高級機がほとんどである。この超 HiFi 技術を M65811FP に IC 化することによる低コスト、省部品化を行い、更には 1st 系の M65810FP とのワンチップ化を図ることにより、超 HiFi 技術を普及機帯にトップダウンして、真の 16 ビット デジタルオーディオの普及を所望する次第である。

なお、この IC は、近日中に発売される当社 AV 機器の最高級モデルであるホームシアタ用 AV プロセッサに搭載される予定である。



低消費電力・映像用 CMOS A/D コンバータ LSI

細谷史郎* 矢澤信春*
三木隆博*
前田 敦*

1. ま え が き

システム・オンチップ化が叫ばれる中、アナログ/デジタル混載 ASIC 実現に対する期待が大きくなっている⁽¹⁾。これら ASIC を短期間で開発する手段として、ゲートアレーやセルベース設計が注目されている。このうち、後者は A/D コンバータのような汎用性の高いアナログ回路をセルライブラリとして登録し、必要に応じてデジタル回路とオンチップ化する方法である。この方法では、あらかじめ人手で設計されたアナログ回路がそのままライブラリとして用いられるため、アナログ/デジタル混載ゲートアレーに比べて性能が保証されやすい。

このような背景のもと、ライブラリセルとして使用可能な映像信号処理用 8 ビット A/D コンバータの開発を行った。開発した A/D コンバータは直並列 A/D 変換方式を用い、これに独自のユニファイドアーキテクチャ⁽²⁾を適用することにより、低消費電力化 (80mW)、小面積化 (チップ面積: 4.3mm², パッドと出力バッファを除くセル領域の面積: 2.2mm²) したものである。プロセス技術は、1 μ m ルール、2 層ポリシリコン、2 層メタルの CMOS プロセスを用い、変換速度は 20MS/s (Mega Samples/second) である。

以下、まず直並列 A/D 変換方式、ユニファイドアーキテクチャについて説明を行い、その後、具体的なチップ構成及び性能評価結果について述べる。

2. 直並列 A/D 変換方式

映像機器に代表される高速信号処理の分野では、従来、並列型 A/D コンバータが主に用いられていた⁽³⁾。直並列型とは、この並列型 A/D 変換を 2 段階で行う方式である。両 A/D コンバータの構成と動作は、次のとおりである。

8 ビット並列型 A/D コンバータの構成を図 1 に示す。8 ビット並列型 A/D コンバータは、2⁸ すなわち 256 個の抵抗を直列接続して構成されるラダー抵抗、255 個の電圧比較器及びエンコーダから構成される。ラダー抵抗は、その両端に印加される基準電圧から 255 レベルの分圧電圧を発生し、これを参照電圧として電圧比較器に印加する。個々の電圧比較器では、これら参照電圧とアナログ信号電圧との大小が同時に比較され、その比較結果がエンコードされてデジタルコードとして出力される。このように並列型は、255 個の電圧比較器による 1 回の比較で A/D 変換を完了する最も高

速な A/D 変換方式である。しかしながら、他の方式に比べて必要となる電圧比較器の数も多く、消費電力やチップ面積が大きくなるという問題点がある。

図 2 に、従来の直並列型 A/D コンバータの構成を示す⁽⁴⁾。従来の 8 ビット直並列型 A/D コンバータは、参照電圧発生回路及び上位と下位の二つの 4 ビット並列型 A/D 変換回路から構成される。参照電圧発生回路は、ラダー抵抗とスイッチ回路から構成され、ラダー抵抗は 16 抵抗群とする 16 抵抗群の直列接続で構成される (したがって、総抵抗数は並列型と同様 256 である)。

直並列型 A/D コンバータは、2 段階で動作する。まず、第 1 段階において抵抗群相互の接続点で発生される参照電圧 (上位参照電圧) が上位 A/D 変換回路に入力され、上位 4 ビットの A/D 変換が行われる。上位 A/D 変換の結果、アナログ信号電圧がどの上位参照電圧より大きく、どの上位参照電圧より小さいかが検知される。第 2 段階ではこの結果に基づいて、前述の電圧範囲に対応する 1 抵抗群が選択される。そして、この抵抗群内の個々の抵抗で分圧された 15 レベルの参照電圧 (下

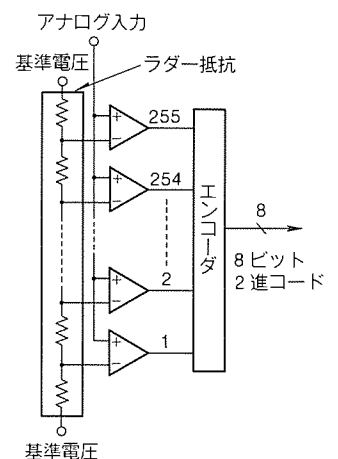


図 1. 8 ビット並列型 A/D コンバータの構成

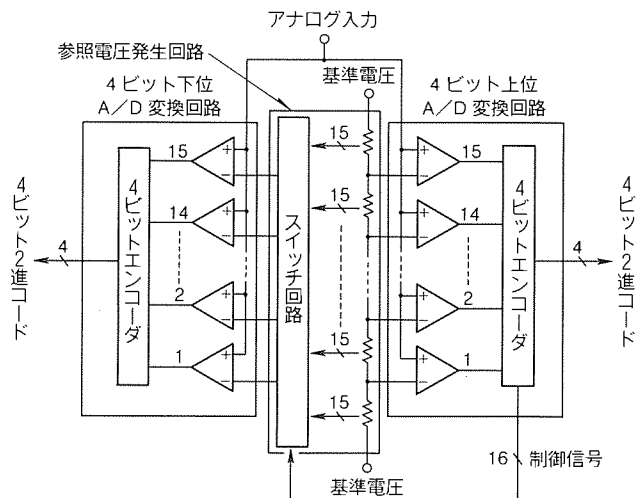


図 2. 従来の 8 ビット直並列型 A/D コンバータの構成

位参照電圧) が下位 A/D 変換回路に印加され、4 ビットの
下位 A/D 変換が行われる。

以上のように、直並列型 A/D コンバータは、並列型 A/D 変換を 2 段階で行うため、8 ビット A/D 変換に必要な電圧比較器数は $(2^4 - 1) \times 2$ すなわち 30 となる。これは、255 の電圧比較器を必要とする 8 ビット並列型 A/D コンバータの約 1/8 に相当し、これに伴って消費電力、チップ面積も大きく削減される。

3. ユニファイド アーキテクチャ

3.1 構成と動作

直並列型は、少ない回路量で高速な A/D 変換を行う優れた A/D 変換方式である。しかしながら、従来の直並列型 A/D コンバータでは、二つの A/D 変換回路の一方が動作している期間、他方は待機状態にあるという欠点があった。筆者らは上位と下位の二つの A/D 変換を同一の回路で行うことで回路量を更に削減する方法を考案し、これをユニファイド アーキテクチャと名付けた。その構成を図 3 に示す。

ユニファイド アーキテクチャを用いた A/D コンバータは、参照電圧発生回路及び一つの 4 ビット並列型 A/D 変換回路から構成される。動作は、基本的に従来の直並列型 A/D コンバータと同様であるが、上位及び下位の変換を同一の並列型 A/D 変換回路で行う点が異なる。すなわち、第 1 段階では従来と同様に上位参照電圧を用いて 4 ビットの A/D 変換が行われる。第 2 段階では、上位変換結果をもとに制御信号がスイッチ回路に inputs され、下位参照電圧が決定される。そして、これら下位参照電圧が再び同一の並列型 A/D 変換回路に inputs され、下位変換が行われる。

以上のように、この A/D コンバータでは同一の 4 ビット並列型 A/D 変換回路を 2 回用いて 8 ビットの A/D 変換が行われる。したがって、必要となる電圧比較器数が 15 となり、従来の直並列型 A/D コンバータと同等の速度を

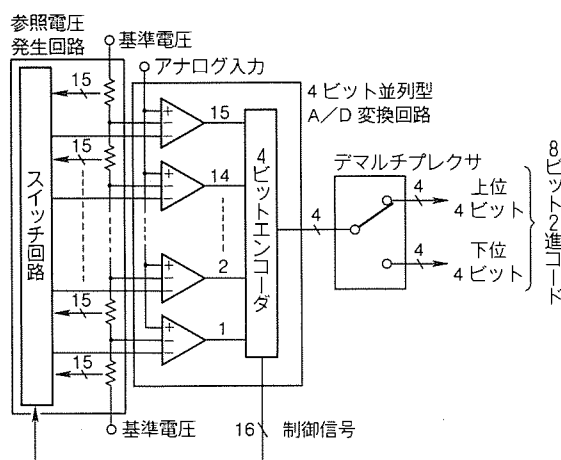


図 3. ユニファイド アーキテクチャを用いた直並列型 A/D コンバータの構成

維持しつつ電圧比較器数を 1/2 に削減できる。このような技術は、次節で述べる 3 入力チョッパ型電圧比較器を新しく導入することによって可能となった。

3.2 3 入力チョッパ型電圧比較器

3 入力チョッパ型電圧比較器の基本構成を図 4 に示す。この電圧比較器は、オートゼロ、上位比較、下位比較という 3 段階で動作する。

(1) オートゼロ

クロック $\phi 1$ が論理値“H”の期間、スイッチ S_f がオンする。これにより、CMOS インバータの入出力端間が短絡され、高利得のバイアス点 V_b に自己バイアスされる（この期間を“オートゼロ期間”と呼ぶ）。また、この期間において結合容量 C_c の入力側ノード 1 にはアナログ信号電圧 V_{in} が印加される。オートゼロ期間終了と同時に、スイッチ S_f がオフする。このとき、アナログ信号電圧 V_{in} のこの瞬間での値 V_a がサンプルされ、同スイッチが再びオンするまでハイインピーダンス ノード 2 に電荷としてホールドされる。この電荷量 Q は、 V_a と V_b を用いて次式で与えられる。

$$Q = C_c (V_b - V_a) \quad \dots\dots\dots (1)$$

(2) 上位比較

クロック $\phi 2$ が“H”の期間（この期間を“上位比較期間”と呼ぶ）、ノード 1 には上位参照電圧 V_{rc} が印加される。このときのノード 2 の電圧を V_x とすると同ノードに蓄えられる電荷 Q_x は式 (1) と同様次式で与えられる。

$$Q_x = C_c (V_x - V_{rc}) \quad \dots\dots\dots (2)$$

ところで、この期間においてスイッチ S_f はオフしたままなので、オートゼロ期間にノード 2 に蓄えられた電荷 Q はこの期間においても保存される。したがって $Q = Q_x$ から

$$V_x = V_b + (V_{rc} - V_a) \quad \dots\dots\dots (3)$$

が得られる。式 (3) は、オートゼロ期間から上位比較期間にかけてノード 1 で発生した電圧変化 $(V_{rc} - V_a)$ が V_b からの電圧変化としてそのままノード 2 に伝達されることを意味する。このような V_b からの電圧変化は、CMOS インバータによって反転増幅され、アナログ信号電圧 V_a と上位参照電圧 V_{rc} の大小比較結果が“H”又は“L”のデジタル信号として出力される。

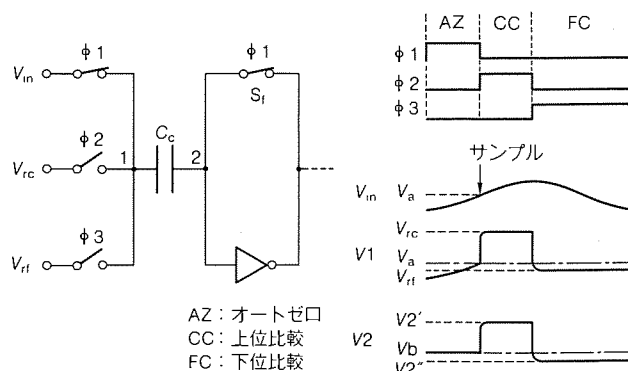


図 4. 3 入力チョッパ型電圧比較器の構成と動作

(3) 下位比較

クロック $\phi 3$ が“H”の期間(この期間を“下位比較期間”と呼ぶ。), ノード1には下位参照電圧 V_{rf} が印加される。このときのノード2の電圧を V_y とすると, 同ノードに蓄えられた電荷 Q_y は, 式(1)及び式(2)と同様次式で与えられる。

$$Q_y = C_c (V_y - V_{rf}) \dots\dots\dots (4)$$

この期間においても, スイッチ S_f は依然オフしたままなので, オートゼロ期間にノード2に蓄えられた電荷は, この期間においても保存される。したがって $Q = Q_y$ から

$$V_y = V_b + (V_{rf} - V_a) \dots\dots\dots (5)$$

が得られる。ここでも V_b からの電圧変化 ($V_{rf} - V_a$) が CMOS インバータによって反転増幅され, アナログ信号電圧 V_a と下位参照電圧 V_{rf} との比較結果が, “H”又は“L”のデジタル信号として出力される。

以上のように, チョッパ型電圧比較器のサンプル/ホールド機能を利用して, 上位及び下位の比較を同一の電圧比較器で実行することができる。このような電圧比較器は, 従来の2入力チョッパ型電圧比較器⁽⁵⁾にスイッチを一つ追加した簡単な構成で実現できる。

3.3 ユニファイド アーキテクチャの特長

前述のとおり, ユニファイド アーキテクチャの最大の特長は, 回路量の削減にある。これにより, A/D コンバータは低消費電力化, 小面積化, 低入力容量化される。

ユニファイド アーキテクチャを用いた A/D コンバータのもう一つの大きな特長として高精度化が挙げられる。このアーキテクチャでは, 上位/下位に物理的に一つの A/D 変換回路が用いているので, 両 A/D 変換の間で特性差が発生しにくい。例えば, ①プロセスのばらつきが原因で両 A/D 変換特性に差が発生すること, ②クロック信号の内部スキューによって上位/下位 A/D 変換回路で異なるアナログ信号電圧がサンプルされること, などに起因する精度の劣化はない。

4. チップ設計

4.1 回路設計

一般に直並列型 A/D コンバータは並列型に比べて, ①変換速度が約 1/2 になる⁽⁴⁾, ②上位ビットのコード変化点で直線性が劣化する⁽⁶⁾, という二つの問題がある。①はパイプライン処理による倍速化により, また②はデジタルエラー補正によって解決されることが多い^{(6)~(8)}。これらの対策は, この A/D コンバータでも同様に施されている。

開発した 8 ビット A/D コンバータの全体回路図を図 5 に示す。A/D1, A/D2 はユニファイド アーキテクチャを用いた 8 ビットの直並列型サブ A/D コンバータである。この二つがパイプライン動作して A/D コンバータを倍速化している。また, A/D1, A/D2 は, 各々 6 個のエラー

検出用電圧比較器を含む 21 個の電圧比較器で構成される。エラー補正回路は, エラー検出用電圧比較器の出力に応じて直線性の劣化を補正する⁽²⁾。

参照電圧発生回路は, 回路量削減のため A/D1, A/D2 で共有されている。マルチプレクサは, これら両回路からの制御信号を選択的に参照電圧発生回路へ入力するために設けられている。また, A/D1, A/D2 からは上位 4 ビット, 下位 4 ビットの A/D 変換結果が交互に出力される。マルチ/デマルチプレクサは, これらデータから上位データと下位データを分離し, 連続した 8 ビットのデータに拡張する役割を果たす。

4.2 レイアウト設計

図 6 に A/D コンバータのチップ写真を示す。この A/D コンバータは 1 μ m ルール, 2 層ポリシリコン, 2 層メタル配線構造の CMOS プロセスを用いて開発された。チップ面積は 4.3mm² (1.74mm×2.45mm), パッドと出力バッファを除いたセル領域の面積は 2.2mm² (1.2mm×1.8mm) である。

A/D コンバータは中央の電源/接地線を境にして, その左側に参照電圧発生回路, コンパレータといったアナログ回路が, また右側にはエンコーダやエラー補正回路, クロック信号発生回路などのデジタル回路が分離して配置されている。入出力端子は, アナログ信号又は参照電圧発生回路用の基準電圧印加端子が左辺に, デジタル出力端子が右辺に, また電源/接地用端子が上下に配置されている。したがって, この A/D コンバータをオンチップする場合は, ノイズに敏感なアナログ端子側(チップ左辺)を全体チップの一辺に配置し, 右側デジタル回路側にデジタル回路をオンチップするように配置すればよい。このように, この A/D コンバータはデジタル回路とのオンチップを考慮し, アナログ回路へのノイズの干渉を小さくするようにレイアウトされている。

5. 性能評価

図 7 に, 変換速度 20MS/s における正弦波再生波形を示

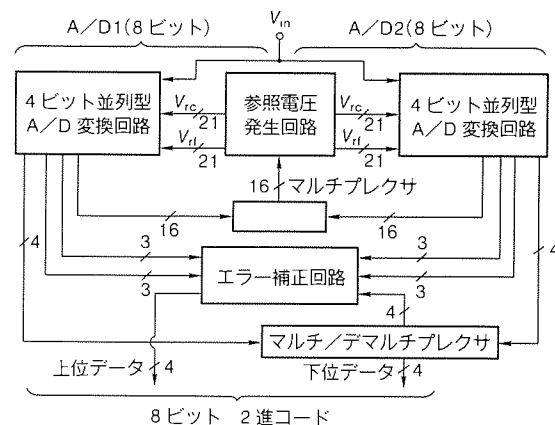


図 5 . 開発した A/D コンバータの全体構成

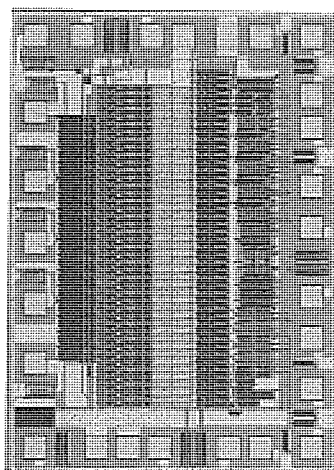
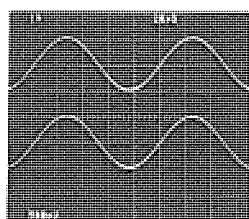
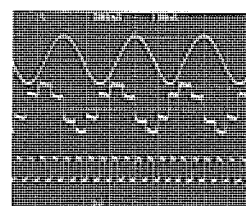


図6. チップ写真



(a)



(b)

図7. 正弦波再生波形(20MS/s)

す。同図(a)が入力周波数 10kHz, (b)が入力周波数 3.33MHz におけるものである。図 8 に変換速度 20MS

/s における積分直線性誤差を示す。この A/D コンバータの積分及び微分直線性誤差は、チップ間のばらつきも考慮に入れ、最大でも ± 1 LSB (Least Significant Bit) を越えることはない。

最後に表 1 に性能をまとめる。この A/D コンバータは、5V 単一電源で動作し、入力ダイナミックレンジは $2V_{pp}$ である。消費電力は、出力バッファも含めて 80mW である。マクロセルとして用いる場合は、出力バッファは不要となるか、又はかなり小さなサイズでよくなるので更に 10mW 以上の消費電力が削減される。また、上記消費電力にはラダー抵抗での消費分は含まれていない。ラダー抵抗の総抵抗値は約 500 Ω なので、フルスケール電圧 1V の場合 2mW がラダー抵抗で消費される。

6. む す び

セルベース設計システムにおけるマクロセルをターゲットとして、最大変換速度 20MS/s の映像信号処理用 8 ビット CMOS A/D コンバータを開発した。低消費電力化、小面積化のため、直並列 A/D 変換方式に独自のユニファイドアーキテクチャを適用した。これは、直並列 A/D 変換方式における上位及び下位の二つの A/D 変換を同一の並列型 A/D 変換回路で実行するアーキテクチャである。これにより、低消費電力 (80mW) でチップ面積の小さい (チップ面積: 4.3mm², パッドと出力バッファを除いたセル領域の面積: 2.2mm²) A/D コンバータが実現された。ユニファイドアーキテクチャは、3 入力チョッパ型電圧比較器を新しく導入することによって実現された。この A/D コンバータは、セルベース設計におけるマクロセルとして有用である。

参 考 文 献

- (1) 小島郁太郎, 松永憲男: アナログも ASIC の時代へ, 日経エレクトロニクス, No.484, 117~142 (1989)
- (2) Hosotani, S., Miki, T., Maeda, a., Yazawa, N.: An 8-bit

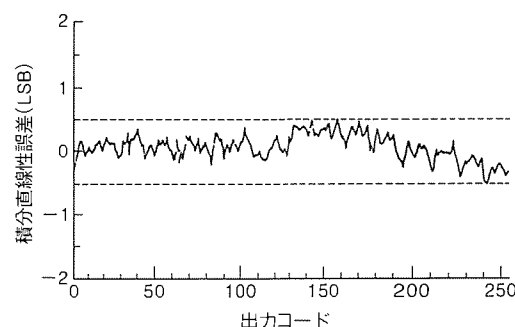


図8. 積分直線性誤差(20MS/s)

表1. 性能諸元

分解能	8ビット
変換速度	20MS/s
入力レンジ	2V _{pp}
電源電圧	5V 単一
消費電力	80mW
チップ面積	1.74mm×2.45mm
セル領域の面積	1.2mm×1.8mm
プロセス	1 μ m CMOS

20-MS/s CMOS A/D Converter with 50 mW Power Consumption, IEEE Journal of Solid-state Circuits, SC-25, No. 1, 167~171 (1990)

- (3) Kumamoto, T., Nakaya, M., Honda, H., Asai, S., Akasaka, Y., Horiba, Y.: An 8-bit High-Speed CMOS A/D Converter, IEEE Journal of Solid-state Circuits, SC-21, No. 6, 976~982 (1986)
- (4) Dingwall, A.G.F: An 8MHz 8b CMOS Subranging ADC, ISSCC Digest of Technical Papers, 72~73 (1985)
- (5) Dingwall, A.G.F: Monolithic Expandable 6Bit 20MHz CMOS/SOS A/D Converter, IEEE Journal of Solid-state Circuits, SC-14, No. 6, 926~931 (1979)
- (6) Matsuura, T., Tsukada, T., Ohba, S.: An 8b 20MHz CMOS Half-Flash A/D Converter, ISSCC Digest of Technical Papers, 220~221 (1988)
- (7) Tsuji, T., Saitoh, S., Morinaga, S., Iida, T.: A NEW-PIPELINED-SUBRANGING 8BIT 20MHZ CMOS AD CONVERTER, Symposium on VLSI Circuits Digest of Technical Papers, 127~128 (1988)
- (8) Fukushima, N., Yamada, T., Kumazawa, N., Hasegawa, Y., Soeda, M.: A CMOS 40MHz 105mW Two-Step ADC, ISSCC Digest of Technical Papers, 14~15 (1989)

ISDN 基本インタフェース用 LSI

中林竹雄* 長谷川浩一**
近藤晴房* 山本誠二**
蔵永 寛*

1. ま え が き

有線通信分野での通信サービスの高速化・多様化に対応して、CCITT (国際電信電話諮問委員会) を中心に ISDN (サービス総合デジタル網) 構築を目指した標準化活動が進められ、現在世界各国で実用化段階に入っている。我が国においても、昭和 63 年 4 月から日本電信電話(株)が INS ネット 64 の名称で基本インタフェースのサービスを開始している。

ISDN は、音声・画像・データ等、多種多様な通信サービスを統一されたインタフェースで提供するネットワークであり、今後広く普及していくと期待されている。

ISDN の端末機器の開発には、端末機器の各種アプリケーションに対応したデバイスと、端末機器を ISDN に接続するためのインタフェース用のデバイスとが必ず(須)となり、ISDN 用 LSI が開発・発表⁽¹⁾⁽²⁾⁽³⁾されている。当社でも、ISDN インタフェース用 LSI を ASSP の一つと位置付け、インタフェース機能の LSI 化を検討し、LSI 2 品種 (M65750, M65751) を開発した。本稿では、LSI の開発方針、機能及び評価結果について述べる。

2. LSI 化アプローチ

2.1 LSI 化検討

ISDN におけるユーザー・網インタフェースとして、基本インタフェース (2B+D B:64kbps, D:16kbps) と一次群インタフェース (23B+D B:64kbps, D:64kbps) の二つが CCITT によって勧告化されている⁽⁴⁾。これらは、国際標準化機構の OSI (Open Systems Interconnection) 7 レイヤモデルの下位 3 レイヤに相当し、CCITT 勧告によって図 1 のように規定されている。ユーザー・網インタフェースの機能の LSI 化の検討について、従来から検討が行われている⁽⁵⁾が、当社でも LSI の開発に際してこれらの機能を検討し、

(1) レイヤ 1 機能は処理の内容が一定であり、またリアルタ

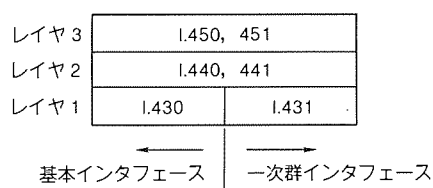


図 1. ISDN ユーザー・網インタフェース プロトコル

イム性が要求されるので、ハードウェアで実現するのに適している。

(2) レイヤ 2 機能のうち、HDLC フレーミング/デフレーミングは、レイヤ 1 機能と同様にハードウェアで実現するのに適しているが、シーケンス制御・フロー制御等はケースごとに複雑な制御が必要となるのでプログラム制御で行う必要がある。

(3) レイヤ 3 機能もケースごとに複雑な制御が必要となり、さらに上位レイヤ (レイヤ 4 以上) によって内容が異なる場合があるので、プログラム制御の必要がある。

という結論に達し、また適用箇所・適用方法を調査した結果、

(4) 端末側では、レイヤ 1～3 の全機能が必要となる。

(5) PBX 等でもレイヤ 1～3 の全機能が必要となるが、網側ではレイヤ 1 の機能だけが必要となる場合もある。

という結論を得た。

2.2 LSI 化方針

2.1 節の検討結果を基に、ISDN インタフェース機能の LSI 化について検討した結果、以下のようなアプローチをとることとした。

(1) 端末への適用を第 1 に考える。そのため、ターゲットを基本インタフェースに限定する。

(2) レイヤ 1 機能は、ドライバ/レシーバを含め、さらに端末側、網側ともに適用可能な形で 1 チップで実現する。

(3) レイヤ 2 機能は、HDLC フレーミング/デフレーミング機能と、マイクロプロセッサ (以下“μP”という。) とのインタフェース機能とを備えた形で LSI 化する。

(4) レイヤ 2 の機能のうちプログラム制御で行う部分とレイヤ 3 の全機能は、μP 上で動作するソフトウェアで実現する。

これらの方針を基に、レイヤ 1 の機能を実現する LSI (M65750) とレイヤ 2 の機能を実現する LSI (M65751) を開発した。

3. M65750

図 2 に M65750 の概略ブロック図を示す。M65750 は大別してデジタル部とアナログ部に分けられる。

3.1 デジタル機能

(1) PLL (Phase Locked Loop) 機能

網側の動作モードでの PLL は、網側のシステムクロックから伝送路に送信するタイミングを生成し、さらに伝送路から受信したデータから受信用タイミングを生成する。この

PLL は、勧告に定められたすべての宅内バス構成に適用可能なように構成した。

端末側の動作モードでの PLL は、伝送路から受信したデータから受信タイミング及び送信タイミングを含む全動作タイミングを生成する。

(2) 起動／停止，競合，優先制御

M65750 は、CCITT 勧告 I.430 に準拠した起動／停止等の状態遷移を行う。また、端末の競合を避けるための優先制御，競合制御も勧告に従って実行する。

3.2 アナログ機能

(1) バイアス発生部

バイアス発生部は、電源電圧・温度等に依存しないバンドギャップ・リファレンス基準電圧源を基に、レシーバで必要とされる各種バイアス電圧，ドライバの出力電圧を決定するリファレンス電圧等の発生を行う。また、外部高精度抵抗を用いて基準電圧から基準電流を得，これをもとにオペアンプのバイアス電流やドライバの出力電流の制限値の設定などを行っている。図 3 にバイアス発生部の核となるバンドギャップ・リファレンス基準電圧源の回路を示す。

(2) レシーバ

図 4 にレシーバの回路構成を示す。レシーバの入力端子は、パルストランスを介して宅内バスに接続される。この入力端子は、バイアス発生回路によって約 2V (V_{b1}) に設定されており，この値を中心にして正負に振れる入力信号はインストルメンテーション・アンプで受けられ，低域通過フィルタを通してピークホールド回路とコンパレータに送られる。ピークホールド回路は，ホールド値をもとにデータ判定のた

めのしきい値を発生する。無入力時に誤動作しないように，しきい値には V_{b1} に対する下限を設けている。

(3) ドライバ

図 5 にドライバの回路構成を示す。ドライバの機能はデジタル部からのデジタルデータを 3 値符号に変換し，宅内バスに送出することである。

ケルビン接続された M1～M4 のトランジスタをオン・オフすることでパルストランスに流れる電流の向きを変え，正又は負のパルスを出力する。出力電圧はオペアンプ 1 によって制御されており，50 Ω でライン側を終端したときに 750 mV のパルス振幅が得られるようになっている。また，オペアンプ 2 によって出力電流を決定する M5 のゲート電圧に制限を設け，過大な電流が流れることを防止している。

3.3 設計手法

M65750 の設計手法としては，機能的にアナログ／デジタル混載であること，さらにデジタル部とアナログ部との結合が密ではないこと，またファントム給電の端末への適用等を考慮し，以下のような手法を採用した。

(1) デジタル部

デジタル部の設計には，基本的にはスタンダードセル，モジュール ジェネレータ等を用い設計人工の削減を図った。ただし，規則性があり，かつ素子数も多いフレームバッファに関しては，マニュアルで設計し小面積化を図った。また，高速で動作する PLL 部に関しては，回路を最適化した後マニュアルでレイアウトを作成し，消費電力の低減を図った。

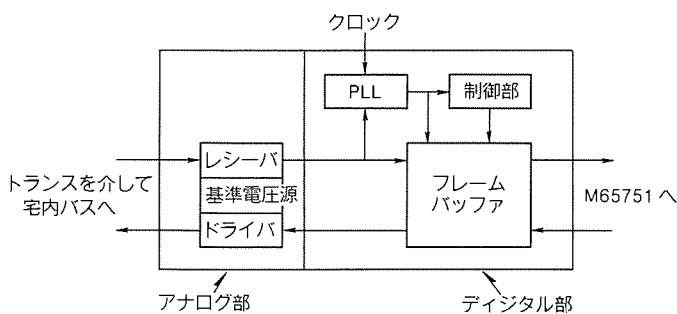


図 2 . M65750 ブロック図

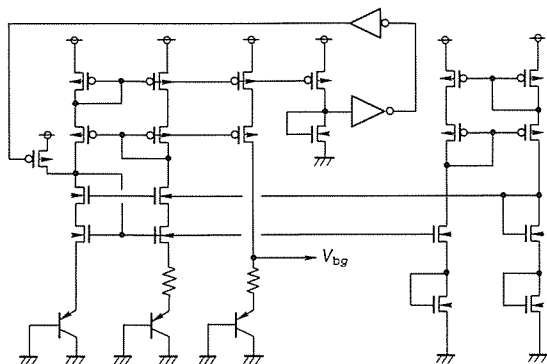


図 3 . 基準電圧源回路

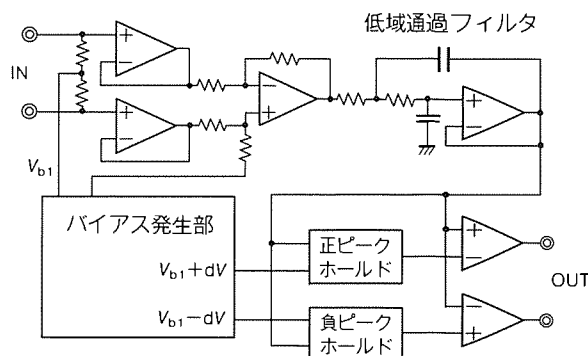


図 4 . レシーバ回路構成

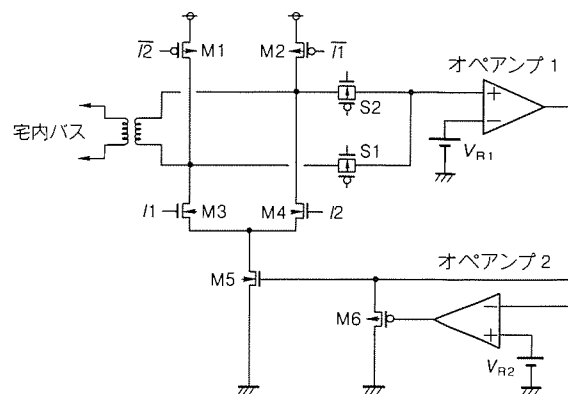


図 5 . ドライバ回路構成

さらに、クロックドライバ及びIOバッファは貫通電流が流れない回路構成とし、消費電力の低減を図るとともにアナログ部へのノイズの影響を抑えた。

(2) アナログ部

アナログ部は、種々のノイズ対策を施した上⁽⁶⁾で、すべてマニュアルでレイアウトを設計した。

(3) 全体

M65750の全体レイアウトは、アナログ部及びモジュールジェネレータで生成したセルをマクロとみなし、これにスタンダードセルを加えて自動配置配線を用いて作成した。チップ諸元を表1に、チップ写真を図6に各々示す。

4. M65751

4.1 機能概要

図7にM65751の概略ブロック図を示す。M65751はフルデジタルのLSIであり、機能的には下位レイヤインタフェース部、レイヤ2処理部、及びμPインタフェース部から構成される。

4.1.1 下位レイヤインタフェース部

M65751は下位レイヤとしてM65750を想定しており、専用のシリアルインタフェースを用いて下位レイヤを制御する。M65751自身又はμPにより、M65751内部の制御レジスタに書き込まれたM65750に対する命令(要求)は、パラレル/シリアル変換され、シリアルなデータとしてM65750に送られる。M65750からの応答(表示)は、シリアルなデータとしてM65751に送られ、シリアル/パラレル変換されて内部レジスタにストアされ、M65751又はμPによって処理される。このインタフェース方法により、端子

表1. M65750 チップ諸元

素子数(デジタル部) (アナログ部)	33 kTr 700素子(抵抗, 容量を含む)
チップサイズ	6.1 mm × 6.6 mm
プロセス	1 μm CMOS 2層ポリ 2層アルミ
パッケージ	56ピン QFP
電源電圧	5V 単一
消費電力	50 mW (マーク率 50 %時)

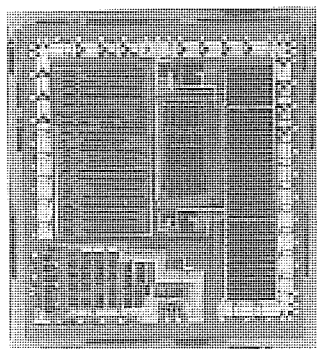


図6. M65750 チップ写真

数が少なくかつ網側/端末側の両方で使用可能な下位レイヤインタフェースがコンパクトに実現できる。

4.1.2 レイヤ2処理部

このブロックは、CCITT 勧告に定められたISDN ユーザー・網インタフェースの機能を実現する。

フレーム受信側では、レイヤ1から受け取ったHDLCフレームの受信処理を行うとともに、受信したデータをM65751内部の受信FIFO/RAMに書き込み、μPの処理(読出し)に備える。M65751は、受信FIFO/RAMを2面持っており、M65751が一方のFIFO/RAMに受信したデータを書き込んでいるときに、μPがもう一方のFIFO/RAMから以前に受信したデータを読み出す。受信FIFO/RAMは、後述のμPインタフェース部の特定の動作モードでは、μPからランダムアクセスの機能を持った通常のメモリとしてアクセスが可能である。この場合には受信したデータの任意のバイトへのアクセスが可能となり、μPのフレームデータ処理の自由度を上げることができる。

フレーム送信側では、μPによってM65751内部の送信FIFO/RAMに書き込まれたデータを読み出し、HDLCフレーム処理を行ってレイヤ1に送る。M65751は、送信FIFO/RAMを2面持っており、μPが一方のFIFO/RAMに送信すべきデータを書き込んでいるときに、M65751がもう一方のFIFO/RAMからデータを送信する。送信FIFOも受信FIFOと同様に、特定モードではランダムアクセスが可能であり、これによってμPはデータを自由に設定できることになる。

また、このブロックは宅内バス上のデータと非同期に発生するμPによるイベントと、宅内バスとの同期をとる機能を持っており、さらにバス上で衝突などが発生した場合には自動的に再送信する機能も持っている。これらの機能により、μPの送信/受信にかかわる負荷を低減できる。

4.1.3 μPインタフェース部

M65751は、レイヤ2機能のうちM65751で実行しない機能やレイヤ3機能の実行のために、μPインタフェースを備えている。各種のμPとインタフェースするために、外部のモードピンでインタフェースの形式の設定が可能である。また、低消費電力化を図るためにμPのシステムクロックを入力しておらず、インタフェースから入力されるチップセレクトや書き込み/読出し制御信号等を基準として、インタフェース動作のタイミングを生成している。

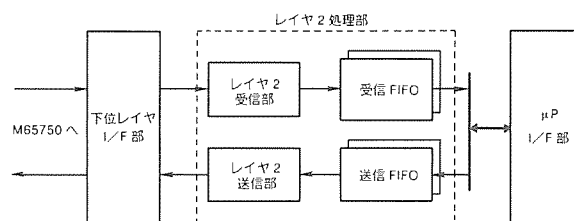


図7. M65751 ブロック図

表 2. M65751 チップ諸元

素子数(ロジック部) (RAM 部)	50 kTr 100kTr
チップサイズ	7.0 mm × 10.8 mm
プロセス	1 μ m CMOS 1 層ポリ 2 層アルミ
パッケージ	64 ピン QFP
電源電圧	5V 単一
消費電力	100 mW (typical)

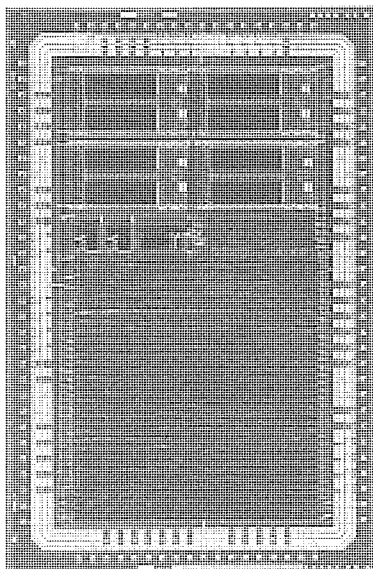


図 8. M65751 チップ写真

4.2 設計手法

M65751 の設計には、スタンダードセル、モジュールジェネレータ等を用いて設計人工の削減を図り、さらに全体レイアウトは、自動配置配線を用いて作成した。チップ諸元を表 2 に、チップ写真を図 8 に各々示す。

5. LSI 評価方法及び結果

M65750 と M65751 との通信機能を評価するために、M65750, M65751, μ P 等を搭載したボードを作製し、ネットワークシミュレータとの間で実際に通信動作を実行させ、動作を確認した。作製したボードの概略構成を図 9 に、評価システムの構成を図 10 に、宅内バス上の波形を図 11 に各々示す。

6. むすび

以上、M65750 及び M65751 について、その機能、設計手法、評価結果について述べた。なお、2 章で述べたソフトウェア及びソフトウェアの動作する環境(OS, ボード等)については、今回は割愛する。今後は、ISDN 端末などにおけるユーザー・網インタフェース処理部全体の小型化・低価格化・低消費電力化を目指して、プロトコル処理専用のプロセ

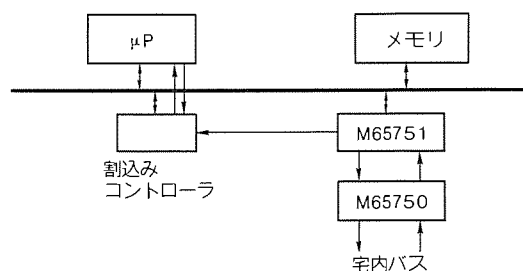


図 9. 評価ボード構成

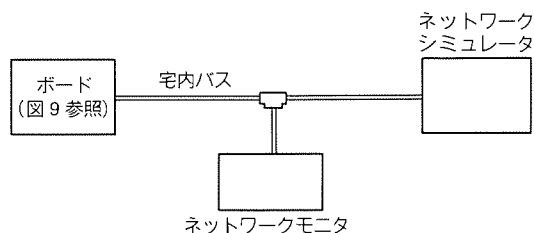


図 10. 評価システム構成

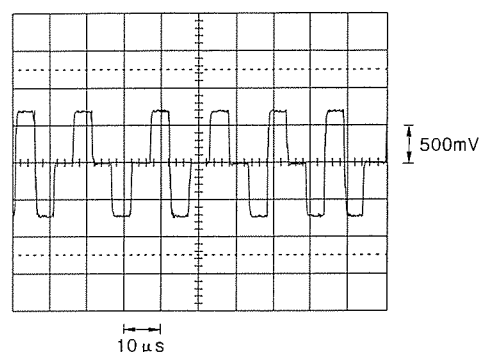


図 11. 宅内バス上の波形

ッサの開発及び情報チャネル処理用の LSI の開発を行う予定である。

参考文献

- (1) 神津雄平, 黒川秀文, 二宮優子, 平野進一, 岩崎 進, 久松秀則, 前田幸茂: LAPD プロトコル・コントローラ, 信学技報 ICD87-83 (1987)
- (2) 山本恭敬, 萩原史郎, 坪井 務, 風間 仁: ISDN 用 I-インタフェース LSI "HD81501", 日立評論, 70, No. 12, 65~70 (1988)
- (3) 岡野道商, 熊 勝彦, 三谷 了, 石井 純: ISDN 基本インタフェース LSI, 東芝レビュー, 44, No. 4, 333~336 (1989)
- (4) CCITT: I シリーズ勧告(1988 年版)
- (5) 中野慎夫, 永井直文, 宮岸 修, 山本 尚: 宅内機器の網インタフェースの設計, 通研実報, 36, No. 8, 1011~1019 (1987)
- (6) 近藤晴房, 中林竹雄, 蔵永 寛, 本田裕己, 中屋雅夫, 堀場康孝: ISDN S 点インタフェース LSI の開発, 信学技報 ICD89~109 (1989)

CB-1 設計システムを用いた 8kbps 単位交換可能な大容量時分割スイッチ LSI

覚楚高音* 岸田 悟**
鈴木孝昌* 長谷川浩一***
川畑英雄**

1. ま え が き

近年、社会における情報通信サービスは多様化し、その情報量も著しく増大している。これに対応して、昭和59年11月に高速デジタル伝送サービス、昭和63年4月にはISDNサービスが開始され、通信速度が飛躍的に向上するとともに、これらを利用した企業内ネットワークの構築が盛んに行われている。

このような新しい通信ネットワークにおいて、通信用デバイスへの要求は一段と高まり、回線交換の中核となる時分割スイッチに対しても大容量化、コンパクト化が要求されている。また、通信需要の増加により、通信のランニングコストの低減が重要視されてきており、音声の32kbps以下への圧縮技術の進展に伴い、回線の使用効率を高める低速度単位での交換機能も要求されてきている。

本稿では、これら要求を実現するため開発した時分割スイッチ LSI の概要と設計手法について述べる。

2. 時分割スイッチへの要求仕様

前述したように、今後のPBX、TDM等の交換装置や多重化装置としては、高速デジタル伝送サービスやISDNサービスの開始により、従来の64kbpsをベースとした交換からH0(384kbps)やH1(1.536Mbps)という高速データサービスに対する交換、さらにCCITT等の動向から、ベアラ速度50Mbps、150Mbpsを扱う大容量広帯域な多重化又は交換機能が必要となる。

また、回線コストの低減化のため、例えば、CCITT勧告I.460に準拠した 8×2^n ($n=0, 1, 2$) kbps 信号の64kbpsチャンネルへの時分割多重による低速信号の効率的多重、又は圧縮された8kbps、16kbps等サブレート音声信号の品質劣化を防止するデジタル1リンク化(つまり、いったん64kbpsのPCM信号に戻さずそのまゝのサブレートでスイッチングする。)を実現するためには、8kbpsサブレートスイッチング機能が必要となる。

以上の状況をふまえ、この時分割スイッチ LSI に盛り込む機能を以下に示すものとした。

- (1) 従来の64kbpsチャンネルだけでなく、H0、H1チャンネルの交換も対応できること。このため、タイムスロットの順序保証(TSSI)を確保する。
- (2) $8\text{kbps} \times N$ ($N=1 \sim 7$) のサブレートチャンネルの交換が

できること。

- (3) 150Mbps以上の交換容量を持てること。

- (4) 通話路メモリや制御メモリの自己監視ができること。

3. 時分割スイッチ LSI の概要

図1にこのLSIのブロック図を、表1に仕様を示し、概要を説明する。

3.1 通話路メモリ SPM と制御メモリ SCM の構成

通話路メモリ SPM (Speech Pass Memory) は、2面のRAMで構成するダブルバッファ構成であり、制御メモリ SCM (Speech pass Control Memory) は1面のRAMで構成している。SCMは、SPMの読出しアドレス情報を保持しているメモリであり、カウンタの出力をアドレスとしシーケンシャルにデータを読み出す。SCMの内容は、CPUインタフェースを通して適宜変更される。

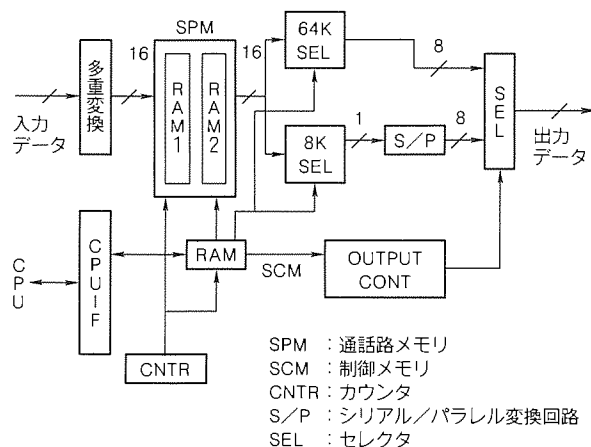


図1. 時分割スイッチ LSI ブロック図

表1. 時分割スイッチ LSI の仕様

項 目	内 容
R A M	S P M : 72 K ビット S C M : 36 K ビット
Logic	5 K ゲート
Interface	TTL
Power Supply	+5 V, GND
Power Consumption	約600 mW
Frequency	16.384 MHz
Chip Size	12.1 mm×7.9 mm
Package	124 PGA (37.6 mm×37.6 mm)

SPM の動作を図 2 に示す。SPM の RAM1 と RAM2 は、ライト時は、カウンタの出力をアドレスとしてシーケンシャルに入力データを書き込み、リード時は SCM の出力をアドレスとして、ランダムにデータを読み出す。SPM の RAM1 と RAM2 は、1 フレーム (125 μ s) ごとにリードとライトを交互に切り替えて、連続してデータを入出力できるようにしている。この方式の場合、1 フレームのデータすべてを書き終えてから、タイムスロット交換を行いデータを読み出しているため、先に入力したフレームのデータが、後に入力したフレームのデータに出力側で追い抜かれることなく、タイムスロットの順序保証 (TSSI) が確保できる。このため、複数のタイムスロットを使用する H0 (384kbps), H1 (1.536 Mbps) という高速データチャンネルに対する交換も可能となっている。

3.2 大容量スイッチング

256Mbps の入力データは多重変換で 16 ビット並列になり、SPM に書き込まれ、SCM の指示でタイムスロット入替えが行われ、16 ビット並列のまま SPM から出力される。この 16 ビット並列データは、通常の 64kbps 単位交換時には、64K SEL で SCM の指示により、16 ビット中の 8 ビットが選択されて出力データとなる。この場合、出力は 128Mbps になる。したがって、この LSI 1 個で、256Mbps 入力、128Mbps 出力の交換が可能である。これは 64kbps のチャンネル数に換算すると、4K チャンネル \times 2K チャンネルの交換に相当する。

3.3 サブレートスイッチング

8kbps 単位交換時は、SPM から出力された 16 ビット並列データ中の 1 ビットを、8K SEL で SCM の指示により選択し、さらに S/P で 8 ビット並列に変換して出力する。

この場合、1 フレーム (125 μ s) 中の任意の 1 ビットを交換でき、

$$1 \text{ ビット} / 125 \mu\text{s} = 8\text{kbps}$$

なので、8kbps 単位交換が可能となり、8kbps \times N (N=1

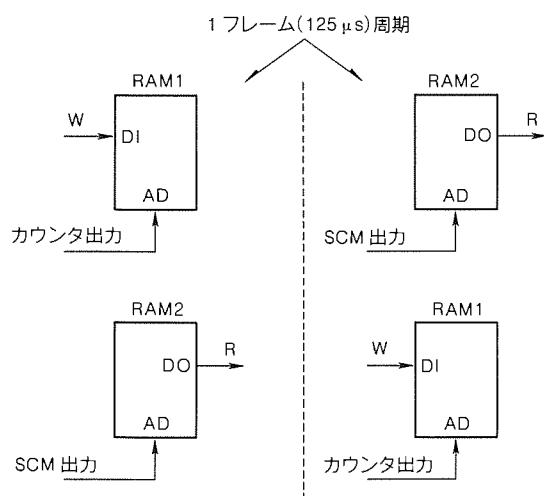


図 2. ダブルバッファ構成 SPM の動作

~7) のサブレートチャンネルの交換を実現できる。

このときの交換容量は、256Mbps 入力、16Mbps 出力であり、8kbps サブチャンネル数に換算すると、32K サブチャンネル \times 2K サブチャンネルに相当する。

3.4 付加機能

(1) 並列接続機能

64kbps 単位交換時は、この LSI 1 個で 4K チャンネル入力し、2K チャンネル出力することができるので、LSI を図 3 に示すように 2 個並列に組み合わせることにより、入力 4K チャンネル出力 4K チャンネルのスイッチを実現できる。8kbps 単位交換時は、この LSI 1 個で 32K サブチャンネル入力し、2K サブチャンネル出力することができるので、LSI を 16 個並列に組み合わせることによって入力 32K サブチャンネル、出力 32K サブチャンネルのスイッチを実現できる。

また、この LSI は 8kbps 単位交換と 64kbps 単位交換を、SCM の指示で混在させることも可能である。

(2) LSI セルフチェック機能

この LSI は、SPM と SCM の自己監視をパリティチェックにより行っている。パリティビットは SPM については外部入力、SCM については、内部生成としている。

4. 設計手法

この LSI の設計は、当社のセルベース方式 LSI 設計システム (CB-1 設計システム) を用いて行った。当セルベース方式 LSI 設計システムは、種々の設計ツールを 1 台の EWS 上で同一のマンマシン インタフェースで実行でき、またグラフィックメニューに従って設計を進めることにより、LSI 設計のエキスパートでなくとも LSI の設計を容易にするものである。

図 4 にこの LSI の設計に用いたセルベース方式 LSI 設計システム上の主な設計フローを示す。この LSI の RAM は、RAM ジェネレータを用いることにより、論理図シンボル、論理シミュレーション用機能記述モデル、タイミングモデル、テストパターン、レイアウトパターン等が自動生成される。

4.1 論理設計・検証

この LSI では、ノンオーバーラップ 2 相クロックを用いた同期設計を行っている。これにより、後述する静的タイミング検証ツールやテストパターン自動生成ツール等を有効に活用できる。また、論理検証用のシミュレーション パターン

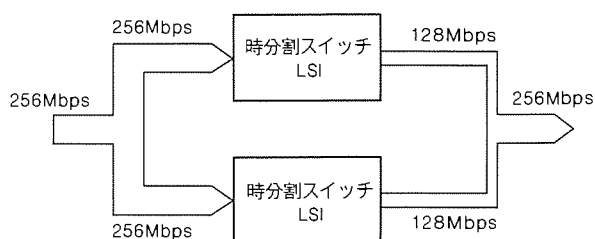


図 3. 並列接続による 4K \times 4K チャンネルスイッチ

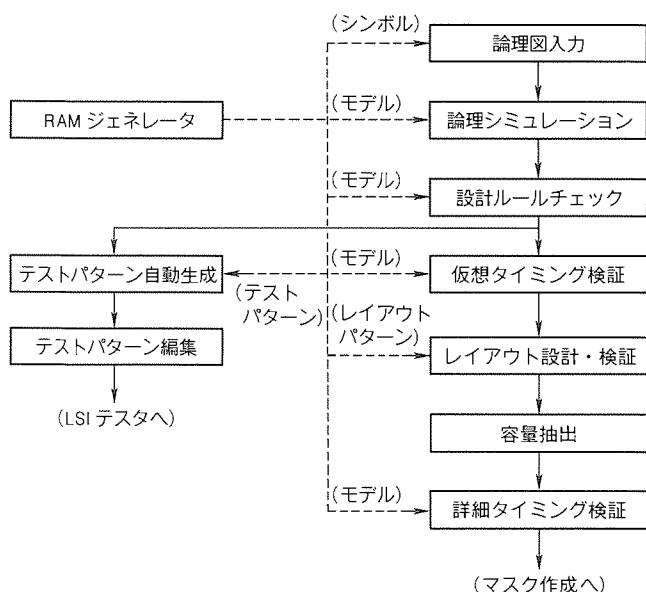


図4. セルベース方式LSI設計システムの主な設計フロー

は、シミュレータに依存しない当社の共通言語で記述され、複数のシミュレータを用いても実行の差異を意識する必要がない。このLSIでは、当社のスイッチレベルシミュレータMSL及び市販のVERILOGを使用している。

4.2 タイミング検証

ここでは、当社の静的なタイミング検証ツールTACSを用いた。これはラッチ等の記憶素子の間を結ぶ、すべての経路に対してトレース方式で遅延時間を計算し、接続される記憶素子に対するセットアップ時間やホールド時間及び指定された特定信号の安定時刻等が問題ないかをチェックするものである。シミュレーションパターンが不要なためにクリティカルパスの見落としは発生せず、かつ高速な検証が可能である。このLSIの規模程度では、数分程度で実行を完了する。また、このツールはレイアウト前では仮想配線容量を用い、レイアウト後では実配線容量を用いて実行できる。このLSI設計では両者で実行することにより、設計の後戻りの可能性をより少なくしている。

実配線容量を用いたときの幾つかの経路の遅延時間に対して、TACSによる計算値とSPICE回路シミュレーションによる計算値及び実測値との比較例を表2、表3に示す。各々の表内で温度条件及び電源電圧は合わせている。表3において、TACSによる計算値が実測値に比べて小さくなっているが、これは標準のウェーブプロセス条件におけるTACSの計算値を記載しているため、タイミング検証時には通常最悪条件のものが用いられる。表2、表3においてTACSによる計算値は、SPICEによる計算値及び実測値に対しておよそ±10%程度の誤差に収まっていることが分かる。

4.3 レイアウト設計

レイアウトしたLSIが、当社既存のパッケージフレーム群の中の適当な物を選択してアセンブリできるように、LSI

表2. LSI内部経路の遅延時間に対するTACSとSPICEの比較例

LSI内部経路	LSI内部経路遅延時間		
	TACS (ns)	SPICE (ns)	誤差* (%)
経路1	8.5	8.6	-1.1
経路2	9.7	9.0	+7.8
経路3	8.4	8.4	0.0
経路4	9.3	8.8	+5.7
経路5	19.1	20.9	-8.6

注 *SPICEに対するTACSの誤差

表3. LSI入出力経路の遅延時間に対するTACSと実測値の比較例

LSI入出力経路	LSI入出力経路遅延時間		
	TACS*1 (ns)	実測値 (ns)	誤差*2 (%)
経路A	11.9	13.2	-9.8
経路B	10.9	11.9	-8.4
経路C	11.0	12.2	-9.8
経路D	10.7	11.9	-10.1

注 *1 標準ウェーブプロセス条件の値（タイミング検証時には最悪条件を使用）

*2 実測値に対するTACSの誤差

のレイアウトにて対処している。そのレイアウトフローは、図5のように五つのステップからなる。

- (1) まずLSIの回路規模から、あるいは自動配置配線プログラムの試行的な実行結果からチップサイズを見積る。
- (2) 次にLSIのピン数とチップサイズに適合する、インナリードとダイパッドを持つパッケージフレームをパッケージフレーム群の中から選択する。
- (3) 選択したパッケージフレームのダイパッドの形状に合わせて、LSIのフロアプランを決定する。
- (4) 選択したパッケージフレームのインナリードと対向する位置にLSIのパッドを固定する。
- (5) パッドを固定した状態でLSI内部の自動配置配線を行ってレイアウトを完了する。

上記の手法で、レイアウト設計したこのLSIのチップ写真を図6に示す。

4.4 テストパターン自動生成

このLSIのテストパターンは、当社のテストパターン自動生成ツールMULTES/IS及びMULTES/CBにより、自動生成している。前者は、ランダムロジックに対して縮退故障を想定してテストパターンを自動生成するもので、LSI内にスキャンパスを形成しないラッチ等が存在しても自動生成可能である。このLSIは、そのような不完全スキャン設計に対してテストパターンの自動生成をしている。後者は、RAMジェネレータが発生したRAM単体のテストパターンを、LSI内の各RAMに対してアクセス可能なテストシーケ

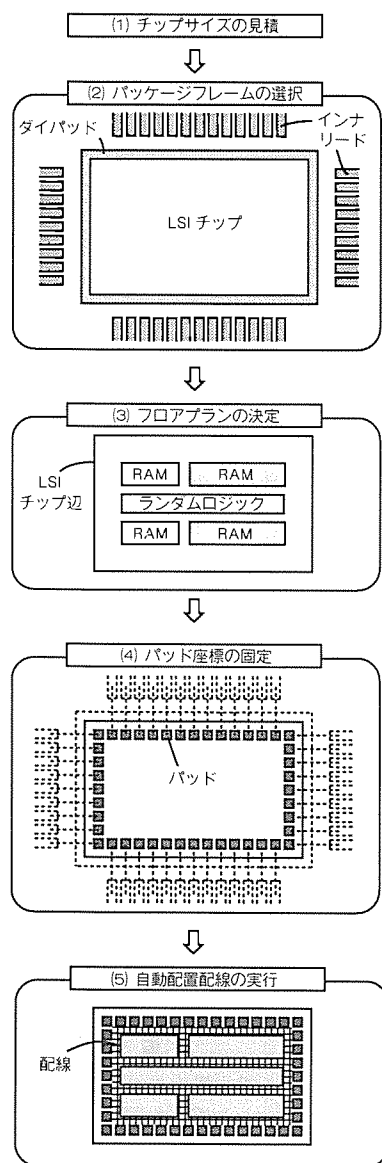


図5. レイアウト設計フロー

ンスに従い、LSI用のテストパターンに編集するものである。LSIの回路が、このツールの同期設計規則や各RAMがあるテストシーケンスでアクセスできるかのチェックは、論理設計時に設計ルールチェックプログラムが行う。

このLSIにおいて、MULTES/ISが発生したパターンは約2,000パターンで、当ツールが対象とする回路に対する故障検出率としては、約95%を得た。また、MULTES/CBでは、すべてのRAMに対しマーチパターン及びチェッカパターン等のテストが可能となった。

4.5 LSI設計のまとめ

以上のように、CB-1セルベース方式LSI設計システムを

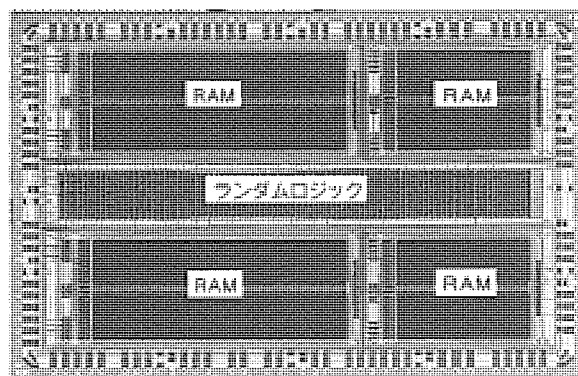


図6. チップ写真

用いることにより、高速高精度のタイミング検証ツール、効率的なレイアウトツール、高度なテストパターンの自動生成ツール等を統合された設計環境で用いることができ、効率的なLSI設計が可能となる。これにより、従来1年間程度要していたLSIの設計が、このLSIではおよそ6か月程度に短縮され、製造されたLSIに関しても要求される機能及び性能共に最初のシリコンチップですべてパスすること（First-Silicon-Pass）が実現できた。また、機能的に最初のシリコンチップですべてパスすることの確認も1～2日で完了でき、このLSI設計手法の有効性が確認できた。

5. むすび

以上、今回開発した8kbpsサブレートスイッチングができる4K×2Kチャンネル時分割スイッチの概要と設計手法について述べた。このLSIは、今後のPBXやTDM等の通信装置に必要とされる8kbps×Nのサブレートチャンネルから、H0、H1、H4等の高速チャンネルまでの交換に有効であり、また4K×4Kチャンネルという大容量の時間スイッチもこのLSIを2個用いるだけで実現でき、広範囲な装置に適用できるものと期待している。

参考文献

- (1) 鈴木孝昌，覚埜高音：“8Kb/s単位交換可能な大容量時分割スイッチLSIの検討”，1990年春季電子情報通信学会全国大会 B-446
- (2) 社団法人 電信電話技術委員会，ISDN ユーザ・網インタフェース，TTC 標準，第Ⅱ巻，第1分冊（1989）
- (3) 岡崎 芳，新保新太郎，数馬好和，荻原拓治，加藤周一：セルベース方式LSI設計システム，三菱電機技報，62，No. 8，675～680（1988）

FAX 画像処理 コントローラ M66332FP

滝 洋一郎* 瀬政孝義**
中林祥恵* 永田良浩***
広川祐之*

1. ま え が き

ファクシミリの普及は着実に進んでいる。中規模以上のほとんどのオフィスに設置され、ビジネス活動に不可欠な OA 機器として機能している。また、小規模事業所や個人店舗にも急速に普及し、パーソナルユースとしての地位を確保する勢いである。

今回、ASSP (Application Specific Standard Products) として G3 ファクシミリの普及機に最適な画像処理コントローラ M66332FP を開発した。本稿では、ファクシミリ画像処理コントローラの現状と M66332FP の仕様・構成・画質シミュレーション・画質評価について報告する。

2. ファクシミリ画像処理コントローラの現状

ファクシミリ画像処理コントローラの基本機能は、イメー

ジセンサで光電変換 (光信号を電気信号に変える。) された画像信号の二値化であり、画像処理回路と周辺回路とのインタフェース回路で構成されている。表 1 に G3 ファクシミリの画像処理機能を示す。

画像処理回路は、原稿を再現性良く白黒画像に二値化するためのものであるが、ファクシミリの製品コンセプトにより、画像処理機能を選択して適用している。まず、二値化には文字部の単純二値化と濃淡画像部の擬似中間調化がある。単純二値化には固定しきい値によるものと、背景レベル・文字レベルを逐次検出することにより、主走査方向、副走査方向にしきい値を浮動させるものがある。擬似中間調化には画面を $n \times n$ ドットのサブマトリクスの集合とみなし、サブマトリクス内の座標情報のみにより、しきい値を定める組織的ディザ法と参照画素の読取り濃度と表示濃度との誤差を注目画素との距離で重み付け平均した誤差を注目画素に加えて一定し

表 1. G3 ファクシミリの画像処理機能

画像処理機能		内 容	備 考
不均一補正	ブロック補正	照明光源の両端部の光源低下、レンズの周辺減光、イメージセンサの特性ばらつきによる光電変換信号の信号レベルの不均一性を補正する。	縮小型イメージセンサの光源やレンズの補正に最適
	全画素補正		イメージセンサの高精度な補正
解像度補償	一次元処理	レンズの解像度、イメージセンサの感度分布による光電変換信号の MTF*特性を補償する。 MTF と逆特性になる フィルタで実現している。	メモリが不要
	二次元処理		2 ライン分のメモリが必要
単純二値化 (文字部の 二値化)	固定しきい値	原稿に関係なく、固定したしきい値を適用する。	
	浮動しきい値	背景レベルと文字レベルを逐次検出し、原稿 (画像) に合ったしきい値を発生する。	
擬似 中間調化 (濃淡画像 の二値化)	組織的 ディザ法	画面を $n \times n$ 画素のサブマトリクスの集合とみなし、サブマトリクス内の座標情報のみでしきい値を発生する。	外付けメモリが不要
	誤差拡散法	参照画素の読取り濃度と表示濃度との誤差を注目画素との距離で重み付け平均した誤差を注目画素に加えて一定しきい値と比較する。	1 ライン分又は 2 ライン分のメモリが必要
像域分離	一次元処理	画像に適した二値化を行うために、画像を文字部と濃淡画像部に分離し、文字部には単純二値化を、濃淡画像部に擬似中間調化を適用する。	メモリが不要
	二次元処理		2 ライン分のメモリが必要 解像度補償用と兼用可能
画像縮小	選択法	縮小率に応じて、画素を単純に間引き縮小する。	
	論理演算法	縮小率に応じた演算を隣接画素間で行い、画素数を少なくすることで縮小する。	
γ 補 正		イメージセンサの γ 特性や目の感度を考慮した補正をする。	

注 * Modulation Transfer Function

きい値で二値化する誤差拡散法がある。

また、このような二値化も原稿を再現性良く白黒画像に変換するために、光電変換信号に不均一補正や解像度補償を行っている。不均一補正は、照明光源両端部の光源低下、レンズの周辺減光、イメージセンサの特性ばらつきによる光電変換信号の信号レベルの不均一性を補正するものであり、解像度補償はレンズの解像度、イメージセンサの感度分布による光電変換信号のMTF (Modulation Transfer Function) 特性を補償するもので、MTFと逆特性になるフィルタをかけて実現している。

周辺回路とのインタフェース回路は、ファクシミリシステムの主制御MPU (Micro Processor Unit)、帯域圧縮伸長コントローラ (CODEC)、画像処理メモリ、イメージセンサ、アナログ信号処理回路とのインタフェース回路である。特にイメージセンサとのインタフェースは、画像処理回路へも影響を及ぼしている。イメージセンサには縮小光学系のIC型イメージセンサ CCD (Charge Coupled Device) と読取り幅と同一寸法のセンサと光路長 20～50mm の等倍結像光学系 (ロッドレンズアレー) からなる密着型イメージセンサがある。縮小型イメージセンサを使ったファクシミリの場合、汚れない白基準があるので、原稿を読み取るたびに不均一補正をし、SRAM (Static Random Access Memory) へ補正データを書き込んでいる。しかし、密着型イメージセンサの場合、

原稿送りの白ローラが白基準となるため、不均一補正は白ローラが汚れていない製品出荷時にする必要があり、EPROM (Erasable Programmable Read Only Memory) へ補正データを書き込む方法が主流になっている。

3. M66332FP の仕様

3.1 G3 ファクシミリの普及機用画像処理コントローラ

G3 ファクシミリの普及機に必要な画像処理機能は単純二値化が主であり、濃淡画像の擬似中間調化は従である。M66332FP は、この製品コンセプトのもとに過剰な画像処理機能を除き、経済的なコストで1チップ化を実現した。その仕様を表2に、特徴を以下に示す。

3.2 画像処理機能

(1) 不均一補正

不均一補正は、8画素単位のプロック補正で白補正のみとし、補正範囲は50%とした。補正メモリは、MPU からリード/ライトできる304ワード×5ビットのSRAMを内蔵した。このSRAMは、MPUのバスライン上にあるバックアップメモリと通信できるので、密着型イメージセンサの補正もサポートできる。

(2) 解像度補償

解像度補償は、現ラインの3×1画素によるラプラシアンフィルタとし、メモリを使わない。この方式は、信号の高域

表2. M66332FPの画像処理機能

画像処理機能	仕 様	備 考
読取り幅	・ A4, B4, A3	
解 像 度	・ 8 画素/mm (主走査方向)	
読取りスピード	・ 標準 5 ms/ライン, 最高 2 ms/ライン	・ システムクロックで操作
不均一補正	・ 白補正のみ ・ 8 画素単位のプロック補正 ・ 補正範囲は50%	・ 補正メモリとして MPU からリード/ライトできる 304ワード×5ビットのSRAMを内蔵
解像度補償	・ 現ラインの3×1画素によるラプラシアンフィルタ回路	・ 補償用メモリが不要
単純二値化	・ 背景・文字レベル検出回路による浮動しきい値方式	
擬似中間調化	・ 組織的ディザ法 ・ 4×4マトリクスによる16階調	・ ディザ用メモリとして MPU からリード/ライトできる16ワード×4ビットのSRAMを内蔵
像域分離	・ 現ラインの5×1画素エリア内の輝度差で判定	・ 処理用のメモリが不要
画像縮小	・ 選択法 ・ 縮小率は A3→B4 を13/15, B4→A4 を9/11, A3→A4 を12/17に設定	
γ 補 正	・ 対数補正	・ A/Dコンバータの中間基準電位用端子に外部から電圧印加 (抵抗接続も可能)
イメージセンサの制御信号	・ 密着型イメージセンサ, 縮小型イメージセンサ用の制御信号を発生	
アナログ信号処理	・ クランプ回路, サンプル/ホールド回路, AGC 回路は外付けとして, その制御信号を発生	・ 5ビットのフラッシュ A/Dコンバータを内蔵

周波数成分を強調することによって解像度を保持し、ダイナミックレンジを見掛け上拡大する。G3 ファクシミリの中級機は、注目画素と左右（現ライン）の画素及び前後（前ライン、次ライン）の画素によるラプラシアンフィルタが一般的であるが、2ライン分のメモリを必要とする。普及機の擬似中間調化が組織的ディザ法による16階調であり、読取り時間が10ms/ラインであることを考慮すれば十分な仕様である。

(3) 単純二値化

背景レベル、文字レベル検出回路を採用した。読取り画信号から検出した背景レベル、文字レベルからしきい値を作成する。このしきい値の変化の速さは外部から設定可能であり、さらに原稿の濃さにより、しきい値を3段階に設定できる。この回路の採用により、原稿の背景が白でないものに対しても細線をくっきり再現できる。

(4) 擬似中間調化

濃淡画像の擬似中間調化に4×4マトリクスによる16階調の組織的ディザ法を採用した。ディザパターン用メモリは、MPU からリード/ライトできる16ワード×4ビットのSRAMを内蔵した。外付けメモリは不要である。誤差拡散法は回路規模が大きく、外付けのエラーバッファメモリが必要なこと、電送時間が組織的ディザ法に比べて2から数倍となることから、適用ファクシミリは中級機以上に限定される。

(5) 像域分離

像域分離は、現ラインのみによる5×1画素のエリアで判定する。判定方法は、主走査方向625μm内に輝度に大きな変化があるか否かを判定し、大きな変化があれば文字領域、変化がなければ濃淡画像領域と判定する。この方式により、画像に適した二値化が可能であり、文字と濃淡画像を含んだ画像を再現性良く白黒画像に二値化できる。また、このような画像を全画面擬似中間調化処理する場合に比べ、文字領域部分での電送時間が大幅に短縮できる。

(6) 画像縮小

画像縮小は間引き法を採用する。縮小率は、日本工業規格(JIS)の紙サイズにより、誤差は0.5%以内とした。また、濃淡画像の擬似中間調化は間引き後に行い、画質の低下を防止する。

(7) γ補正

現在市販されているイメージセンサのγ特性はほぼ1で、目の感度が対数関数に近似し、プリンタが濃度に近似して記録することからγ補正は対数補正とした。対数補正は、内蔵した5ビットフラッシュA/D(Analog/Digital)コンバータの中間基準電位用端子V_{ML1}, V_{ML2}, V_{ML3}に電圧を印加する方法で行う。対数補正により、黒画像中の白画像が強調される。

3.3 周辺回路とのインタフェース回路

(1) イメージセンサの制御信号発生

密着型イメージセンサと縮小型イメージセンサを駆動できる制御信号を発生する。密着型イメージセンサには光電変換素子として、フォトトランジスタ、アモルファスシリコン、カルコゲナイド半導体などがあるが、各センサを駆動できる制御信号は特長の一つである。また、縮小型イメージセンサの光電変換素子はCCDだが、製造メーカー、読取り幅で有効画素領域が異なるので、二値化対象領域を設定できる機能を持たせた。解像度の良いCCDに対しては高速処理が可能で、システムクロックの周波数を上げれば読取りスピード2ms/ラインも実現できる。

(2) アナログ信号処理回路の制御信号発生

外付けのアナログ信号処理回路を構成するクランプ回路、サンプルホールド回路、AGC(Auto Gain Control)回路に制御信号を発生する。また、フラッシュタイプのA/Dコンバータを内蔵しているので、密着型イメージセンサのアナログ信号処理回路は、AGC回路のみでも構成できる。

AGC回路へ出力する制御信号は、白基準原稿を読んだと

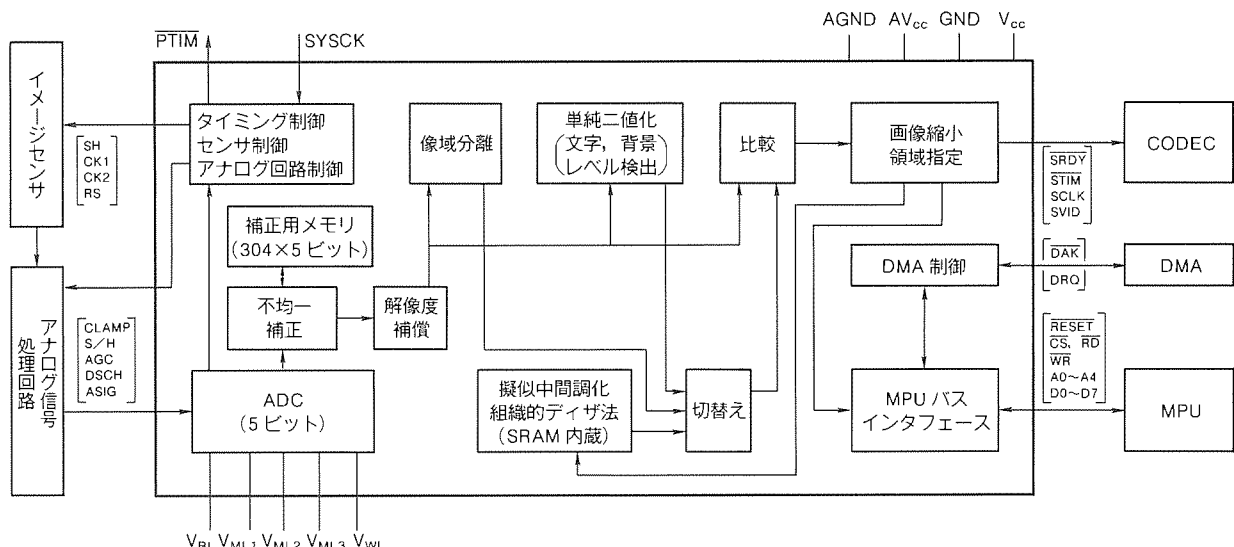


図1. M66332FPの構成(ブロック図)

きの画像信号 (アナログ信号のピーク値) を A/D コンバータの白基準電位に合わせる。したがって、アナログ信号は固定された白基準電位 V_{WL} と黒基準電位 V_{BL} 間で、効率の良い、精度の高いデジタル信号に変換される。また、イメージセンサの特性劣化、光源の経時変化にも対応できる。

4. M66332FP の構成

4.1 充実した画像処理機能

図1にM66332FPのブロック構成を示す。イメージセンサで光電変換した信号を外部アナログ信号処理回路で増幅、クランプ、サンプルホールド、AGC 処理したアナログ信号がM66332FPに入力される。入力された信号は、A/D コンバータで5ビットのデジタル信号に変換され、不均一補正回路と内蔵の補正メモリで信号に含まれるイメージセンサ、レンズ、光源のひずみを補正する。不均一補正範囲が50%なので、補正後の信号は4ビットになる。

次に、解像度補償回路でイメージセンサの感度分布と光電変換信号のMTF特性を補償する。この信号は、像域分離回

路で画像の文字領域と濃淡画像領域の判定に、背景レベル、文字レベル検出回路で単純二値化しきい値の発生に使われる。

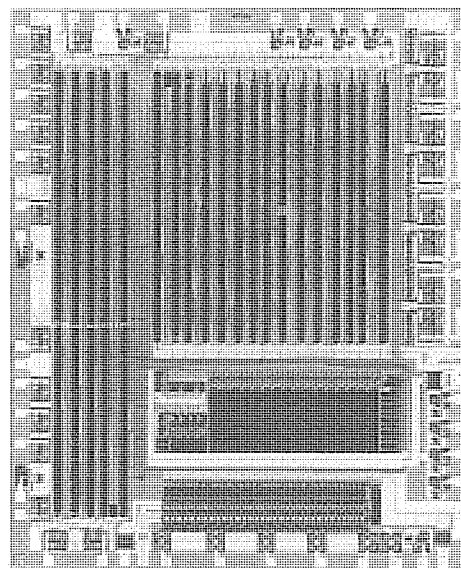


図2. M66332FPのチップ写真

表3. M66332FPの内部レジスタ一覧

レジスタ		アドレス				設定内容	MPUからのリード/ライト	
番号	種類	A3	A2	A1	A0		リード	ライト
0	コマンド	0	0	0	0	・動作モード (AGC, UNIF, SCAN) ・システムリセット	—	○
	パラメータ					・センサの種類とサイズ ・補正モード		
1	パラメータ	0	0	0	1	・スタンバイモード ・DMA モード ・原稿幅/指定幅/縮小	—	○
2	パラメータ	0	0	1	0	・1ライン周期パラメータ (下位8ビット)	—	○
3	パラメータ	0	0	1	1	・1ライン周期パラメータ (上位5ビット)	—	○
4	パラメータ	0	1	0	0	・センサのスタートパルス位置 (8ビット)	—	○
5	パラメータ	0	1	0	1	・二値化モード ・センサ/アナログ信号処理回路用信号 ・主走査方向の解像度補償係数	—	○
6	パラメータ	0	1	1	0	・像域分離の判定値 ＜差分 パラメータ(4ビット)＞	—	○
7	パラメータ	0	1	1	1	・像域分離の判定値 ＜最小 パラメータ(4ビット)＞	—	○
8	パラメータ	1	0	0	0	・像域分離の判定値 ＜最大 パラメータ(4ビット)＞	—	○
9	パラメータ	1	0	0	1	・背景・文字レベル検出回路のパラメータ ＜背景レベル・文字レベル検出スピードと しきい値用係数＞	—	○
10	パラメータ	1	0	1	0	・背景・文字レベル検出回路のパラメータ ＜文字レベルの上限値(4ビット)＞	—	○
11	パラメータ	1	0	1	1	・背景・文字レベル検出回路のパラメータ ＜背景レベルの下限値(4ビット)＞	—	○

一方、擬似中間調化回路では、濃淡画像領域用のディザしきい値を組織的ディザ法で発生する。次に、切替回路では像域分離回路から出力された判定信号で、文字領域には単純二値化しきい値を、濃淡画像領域にはディザしきい値を選択出力する。したがって、比較回路にきた信号は、切替回路で画像に最適なしきい値を選び、二値化される。画像縮小の場合は画質を考慮し、画素転送クロックを間引くことにより、間引き後の擬似中間調化を実現している。領域指定は二値化対象領域の指定であり、内部レジスタで設定する。また、二値化された信号は、CODEC ヘシリアル転送するモードと MPU バスへ 8 ビット単位で DMA (Direct Memory Access) 転送するモードを設定できる。

デザインルール及びプロセスは、一層ポリシリコン、二層アルミ配線からなる 1.3 μm CMOS プロセスを採用した。パッケージは、56 ピンの QFP (Quad Flat Package) である。内蔵素子数は、29,000 トランジスタである。M66332FP のチップ写真を図 2 に、ピン接続図を図 3 に示す。

4.2 MPU による制御機能

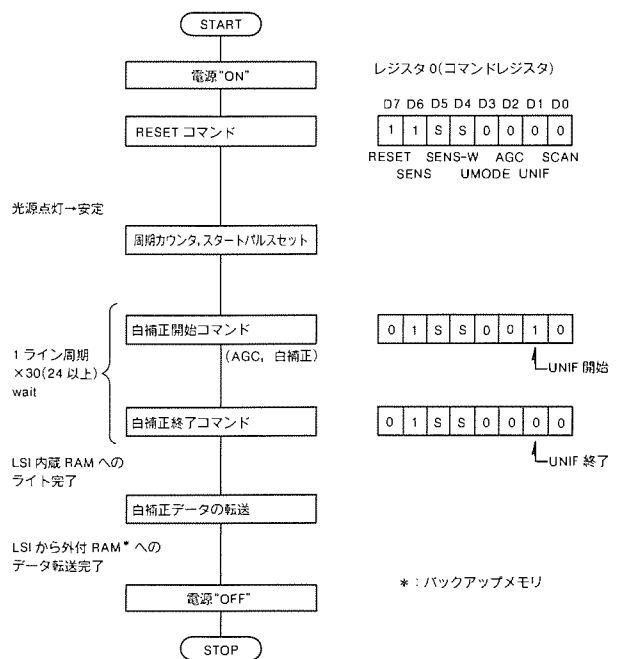
M66332FP の内部レジスタの機能を表 3 に示す。レジスタは 0 から 11 まであり、レジスタ 0 がコマンドレジスタ、他はパラメータレジスタである。コマンドには AGC 動作の“AGC”，不均一補正の“UNIF”，読取り動作の“SCAN”の 3 種類があり、内部レジスタのパラメータ設定値や外部信号によって動作する。“UNIF”は、AGC 動作と不均一補正で構成されており、内部シーケンスで不均一補正前に AGC 動作



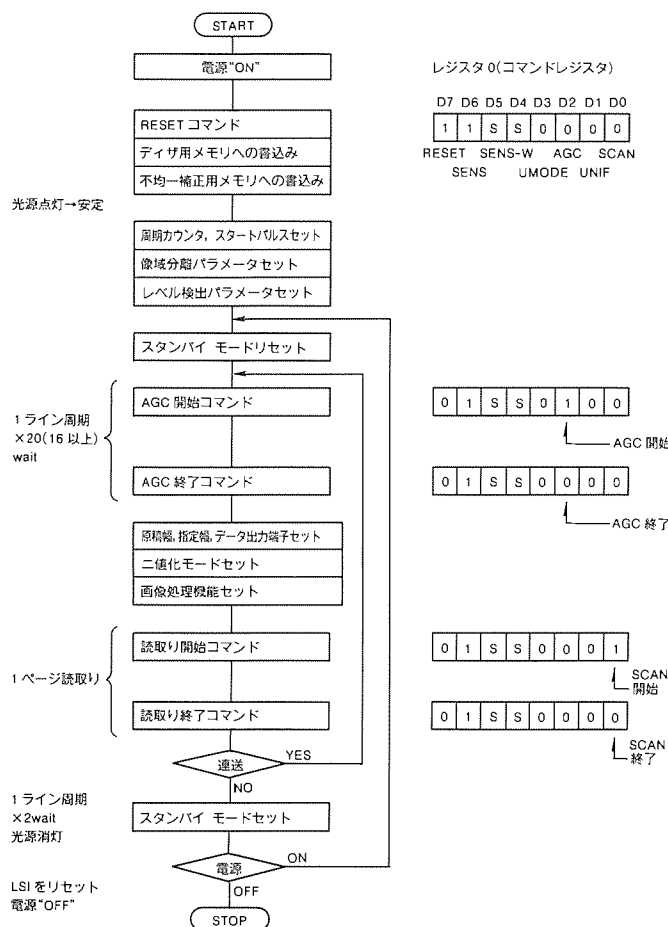
図 3. M66332FP のピン接続図

が実行される。

図 4 に密着型イメージセンサによる読取り例を示す。同図 (a) 白補正データの作成は“UNIF”コマンドで行い、補正完了



(a) 白補正データ作成とコマンド



(b) 読取り動作とコマンド

図 4. 密着型イメージセンサによる読取り例

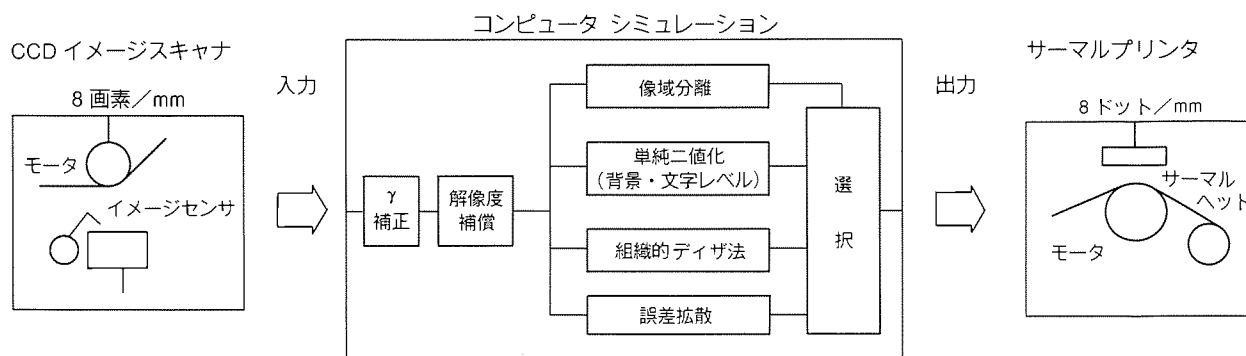


図5. 画質シミュレーションのシステム概要

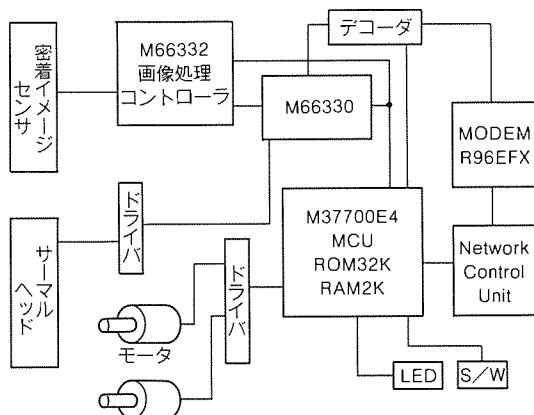


図6. 評価システムのハードウェア構成

後、内蔵 SRAM の白補正データを外部のバックアップメモリに転送する。同図(b)読取り動作は、電源投入後バックアップメモリから白補正データを内蔵 SRAM に書き込んだ後に、“AGC”コマンドを実行し、動作完了後“SCAN”コマンドで行う。

5. 画質シミュレーションと画質評価

5.1 M66332FP の画質シミュレーション

M66332FP のアルゴリズムを計算機でシミュレーションし、画質を検討した。シミュレーション システムの概要を図5に、環境及び評価内容を以下に示す。

使用計算機：EWS ME-1300

評価画像：画像電子学会ファクシミリ テストチャート No. 1

解像度：8画素/mm

評価内容：解像度補償、単純二値化、組織的ディザ法、誤差拡散、像域分離

このシステムで M66332FP の画質が予測でき、満足する結果を得た。また、このシステムは最適設計や設計期間の短縮にも有効である。

5.2 画質評価セットのハードウェア

M66332FP の画質評価を行うために、当社の 16 ビットマイコン M37700FP を主制御 MPU、帯域圧縮伸長コントローラ M66330FP を CODEC とする評価システムを作製した。図6にハードウェア構成を、以下に評価環境を示す。

MPU : M37700FP……16 ビット

CODEC : M66330FP

イメージセンサ : M8A216 密着型イメージセンサ

サーマルヘッド : N216-8E 8 ドット/mm

画素転送スピード：500kHz

M37700FP は A/D コンバータ、8本の 16 ビットタイマ、2本の UART などを内蔵しており、これらの機能を利用してステッピングモータ、サーマルヘッドなどのコントロールも同時に行った。このセットによる画質の評価結果は良好である。像域分離の文字領域と濃淡領域の境界の誤差も少ない。また、対数関数による γ 補正で黒画像中の白画素も強調されている。

6. む す び

M66332FP は、G3 ファクシミリの普及機用画像処理コントローラであり、5ビットフラッシュ A/D コンバータと不均一補正用の 304 ワード×5ビットの SRAM を内蔵したことを大きな特徴とする。また、解像度補償、像域分離を現ラインのみによる処理としたので、外付けの画像処理メモリが不要となった。ロジック回路に A/D コンバータ、メモリを内蔵することで心配となるノイズの対策も、電源ライン、GND ラインの分離をはじめとするパターンレイアウトで実施した。読取りスピードは、最高 2ms/ラインが可能である。

今回開発した画像処理コントローラは、市場が拡大する普及機ファクシミリの高性能化及びコストパフォーマンスの向上に貢献するものと確信する。

最後に開発に当たり、御指導及び御協力をいただいた関係各位に対し深謝する。

光ディスク用誤り訂正 LSI

森 信太郎* 井上 徹***
児玉幸夫* 清瀬泰広+
吉田英夫**

1. ま え が き

光ディスクは、高密度・大容量で更に可搬性のある記録媒体として注目されている。既に、130mm 追記型・書換型光ディスク装置は各社から製品化され、さらに90mm 書換型光ディスク装置は製品化目前にある。

光ディスク媒体のビット誤り率は、従来の磁気記憶装置（フロッピーディスク装置、ハードディスク装置）のビット誤り率が 10^{-9} であるのに比べて $10^{-4} \sim 10^{-6}$ と高く、光ディスク装置をコンピュータ補助記憶装置として使用するためには、ビット誤り率を 10^{-12} 以下にする必要がある⁽¹⁾。このため、光ディスク装置では、強力な誤り訂正符号（Error Correcting Code：ECC）による誤り率の改善を行っている。例えば、130mm 光ディスク連続サーボ系では、LDC（Long Distance Code）と呼ばれるガロア体GF（ 2^8 ）上⁽²⁾の最小距離17のリード・ソロモン（Reed-Solomon）符号を数段インタリーブしたものを、サンプルサーボ系では、積符号（Product Code）すなわちセクタ情報をく（矩）形に配置し、水平・垂直方向別々に符号化したものを採用している。一般に、LDCは積符号に比べて訂正能力に対する符号化効率はやいが、回路構成が複雑かつ大規模となり復号時間も長くなる。

誤り訂正用 LSI M64400FP では、LDC の符号化・復号

化アルゴリズムをマイクロプログラムと高速演算回路により、1符号語当たり8バイト誤りを含んだデータに対し、待ち時間なしの実時間（リアルタイム訂正）で実行可能である。

既に、開発済みである1.3 μ m CMOS プロセスを使用した誤り訂正符号化／復号化 LSI（M65102-001FP）⁽³⁾では外付けにバッファとプログラム ROM が必要であった。今回開発した LSI では、ランダムロジック部における素子数を極力削減し、1.0 μ m CMOS プロセスを使用することにより、外付けであったバッファとプログラム ROM をすべて内蔵し、1チップ化した。

2. 光ディスク装置

光ディスク装置（電気系）は図1に示すように、ドライブ系（ODD）とコントローラ系（ODC）の二つに分けることができる。ドライブ系は、主にメカ機構部分を制御するためのサーボ機能とヘッドアンプによって構成される。

コントローラ系は、ホストコンピュータとのインタフェースである SCSI（Small Computer System Interface）、データをディスクの記録に適したフォーマットに変換するための変復調回路、データの信頼性を上げるための誤り検出・訂正回路（Error Detection and Correction：EDAC）、全体を制御するコントローラ等によって構成されている。

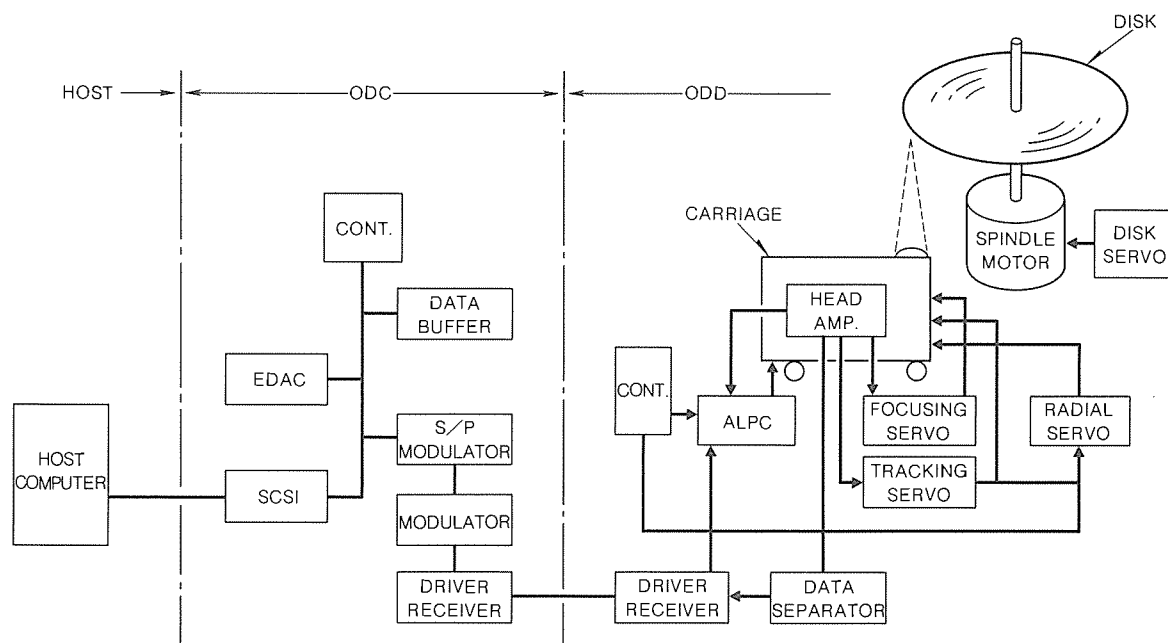


図1 光ディスク装置の構成

3. データフォーマットと復号アルゴリズム

M64400FP は、連続サーボ方式に準拠した誤り訂正符号 LDC によるデータの符号化・復号化を行う。以下では、90mm 光磁気ディスク (512 バイト/セクタ) のフォーマットを例に説明を行う。

3.1 誤り訂正符号概説

誤り訂正符号として、104 バイトの情報データに 16 バイトの検査バイトを付加した (120, 104, 17) リード・ソロモン符号を採用し、これを 1 符号とする。ここで、120 は符号長、104 は情報長、17 はハミング距離を意味し、1 符号中 8 バイト誤りまで訂正する能力を持っていることを示している。さらに、5 符号を 1 セクタとして定義し、1 セクタ単位でリード・ライト処理を行っている。データフォーマットを図 2 に示す。

符号化・復号化は 1 符号単位で行われるが、ディスクに対するリード・ライトは、図 2 中の記録方向 (Recording Direction) で行われる (インタリーブ方式)。これにより、ディスク上の傷、欠陥、ほこり等によって生ずる連続したデータの欠落 (バースト誤り) を各符号に分散させ、訂正能力の改善を図っている。また、誤訂正を防ぎデータの信頼性を向上させるための CRC (Cyclic Redundancy Check) 機能がある。これはハミング距離が、5 である検査バイトを付加して誤り検出のみを行う。さらに、データ間にはある一定のデータ数ごとに再同期信号 (Re-Synchronization : RS) が挿入されて

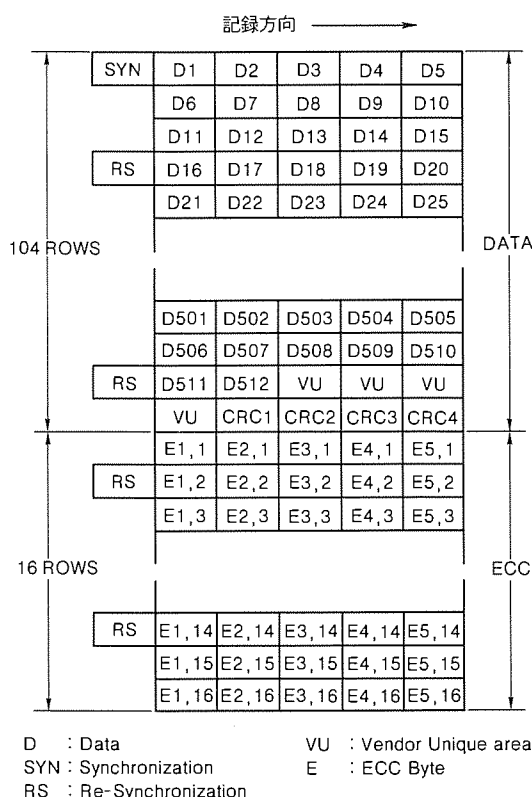


図 2. 90mm 光磁気ディスク (512 バイト/セクタ) フォーマット

おり、この再同期信号パターンが期待値と異なった場合、この再同期信号付近のデータは信頼性の低いものとして無視、これらの位置を消失情報とし訂正を行う消失 (イレージャ) 訂正⁽⁴⁾機能がある。これにより、長大なバースト誤りや経年変化による誤り率増加に対し、データの信頼性を向上させることができる。

3.2 ガロア体⁽²⁾

M64400FP で行われる演算は、すべてガロア体 (Galois field) 上で実行される。ガロア体とは、元の数が有限である抽象的な数の集合で、リード・ソロモン符号は、符号語がガロア体の元によって構成される符号である。符号パラメータは次のとおりである。

$$\text{原始多項式: } P(X) = X^8 + X^5 + X^3 + X^2 + 1 \dots\dots\dots (1)$$

$$\text{生成多項式: } G(X) = \prod_{i=120}^{135} (X - \alpha^i) [\text{LDC}] \dots\dots\dots (2)$$

$$g(X) = \prod_{i=136}^{139} (X - \alpha^i) [\text{CRC}] \dots\dots\dots (3)$$

ただし、 $\alpha^i = (\beta^{88})^i$ 、 β は原始多項式の元

3.3 LDC の復号アルゴリズム⁽¹⁾⁽³⁾

LDC の復号アルゴリズムは、次の 4 ステップで行われる。

(1) 受信語からシンδροームを求める。

シンδροーム S_j ($j=0 \sim 15$) は、誤りパターンのみによって決まる値であり、受信語ベクトルを、

$$Y(X) = r_0 + r_1 X + \dots + r_{n-1} X^{n-1} \dots\dots\dots (4)$$

とすると次式で求められる。

$$S_j = \sum r_i \alpha_i^{(n-1-i)(120+j)} \dots\dots\dots (5)$$

(n は符号長でディスクサイズ 90mm, 512 バイト/セクタのとき 120)

(2) 誤り位置・誤り数値多項式を求める。

シンδροーム多項式 $S(Z)$ を、

$$S(Z) = \sum S_j Z^j \dots\dots\dots (6)$$

誤り位置多項式を $\sigma e(Z)$ 、誤り数値多項式を $\eta e(Z)$ 、消失位置多項式を $\sigma \epsilon(Z)$ 、消失数値多項式を $\eta \epsilon(Z)$ とすると、

$$\sigma e(Z) = \prod_{i \in E_e} (Z - \alpha_i) \dots\dots\dots (7)$$

$$\eta e(Z) = \sum_{i \in E_e} e_i \alpha_i^{-119} \prod_{\substack{j \in E_e \\ i \neq j}} (Z - \alpha_j) \dots\dots\dots (8)$$

$$\sigma \epsilon(Z) = \prod_{i \in E_\epsilon} (Z - \alpha_i) \dots\dots\dots (9)$$

$$\eta \epsilon(Z) = \sum_{i \in E_\epsilon} \epsilon_i \alpha_i^{-119} \prod_{\substack{j \in E_\epsilon \\ i \neq j}} (Z - \alpha_j) \dots\dots\dots (10)$$

となる。

ここで E_e : 誤り位置の集合、 E_ϵ : 消失位置の集合

e_i : 位置 i の誤り数値、 ϵ_i : 位置 i の消失数値

誤り消失位置多項式 $\sigma(Z)$ 、誤り消失数値多項式 $\eta(Z)$ を次のように定義する。

$$\sigma(Z) = \sigma e(Z) \cdot \sigma \epsilon(Z) \dots\dots\dots (11)$$

$$\eta(Z) = \sigma e(Z) \cdot \eta \epsilon(Z) + \sigma \epsilon(Z) \cdot \eta e(Z) \dots\dots\dots (12)$$

消失位置多項式 $\sigma \in (Z)$ は、既知であるので次のような修正シンδροーム多項式 $S \in (Z)$ を得る (LDC の場合最小距離 $d=17$)。

$$S \in (Z) = \sigma \in (Z) \cdot S(Z) \bmod Z^{d-1} \dots (13)$$

式(13)を用いて次式のような修正基本方程式を得る。

$$\eta(Z) = \sigma e(Z) \cdot S \in (Z) \bmod Z^{d-1} \dots (14)$$

訂正可能な場合、誤り位置多項式 $\sigma e(Z)$ 、誤り消失数値多項式 $\eta(Z)$ の次数は次式となる。

$$\deg \sigma e(Z) \leq [(d-1-\epsilon)/2] \dots (15)$$

$$\deg \eta(Z) < [(d-1+\epsilon)/2] \dots (16)$$

ここで、 ϵ は消失個数、 $[\]$ はガウス記号である。

受信語に誤りが含まれているかどうかは、修正シンδροーム多項式 $S \in (Z)$ の次数で判断できる。

$$\deg S \in (Z) < \epsilon \dots (17)$$

(ϵ : 消失個数)

の場合誤り個数 e は 0 であり、 $S \in (Z)$ がそのまま誤り消失数値多項式になる。それ以外は、誤りが存在すると判断し、図 3 に示すユークリッド アルゴリズム⁽⁵⁾⁽⁶⁾を実行して、誤り多項式 $\sigma e(Z)$ と誤り消失数値多項式 $\eta(Z)$ を求める。

(3) 誤り位置多項式 $\sigma e(Z)$ からチェンサーチにより、誤り位置を求める。また、誤り消失多項式 $\sigma(Z)$ も求めることができる。

(4) 誤り数値を求め訂正を行う。

位置 i における誤り数値 e_i 及び消失数値 ϵ_i は、

$$e_i \text{ (又は } \epsilon_i) = \eta(\alpha_i) / (\sigma'(\alpha_i) \cdot \alpha_i^{136}) \dots (18)$$

$i \in Ee$ (又は $E\epsilon$)

によって得られる。ここで、 $\sigma'(Z)$ は、形式微分で Z の偶数次のみで構成される多項式である。また α_i はガロア体の元で、

$$\alpha_i = \alpha^{n-1-i} \dots (19)$$

である。

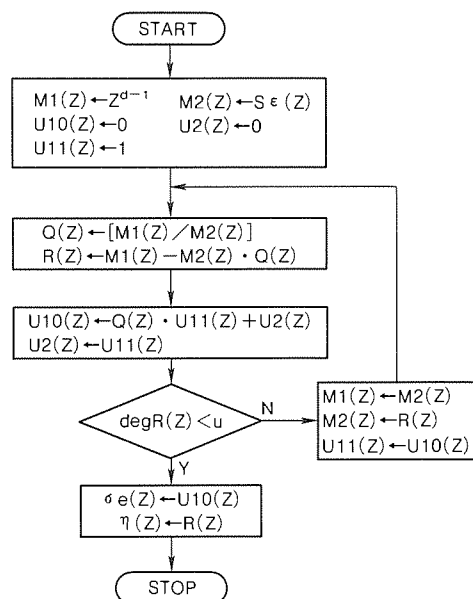


図 3. ユークリッド アルゴリズムのフローチャート

4. アルゴリズムのハード化

前章で示した復号アルゴリズムは、ソフトウェアで実現可能であるが、演算時間が長くリアルタイム訂正を行うことは不可能である。この LSI では、マイクロプログラム ROM を内蔵し、機能ブロックをすべてハード化し、さらにガロア体上での演算回路と LDC のシンδροーム演算回路・チェンサーチ回路・符号化回路・CRC 回路を独立にし、並列処理ができるようにしてある。

(1) 各ブロックと機能

M64400FP のシステムブロックを図 4 に、チップのブロックレイアウトを図 5 に、チップ写真を図 6 に、図 5 中のブ

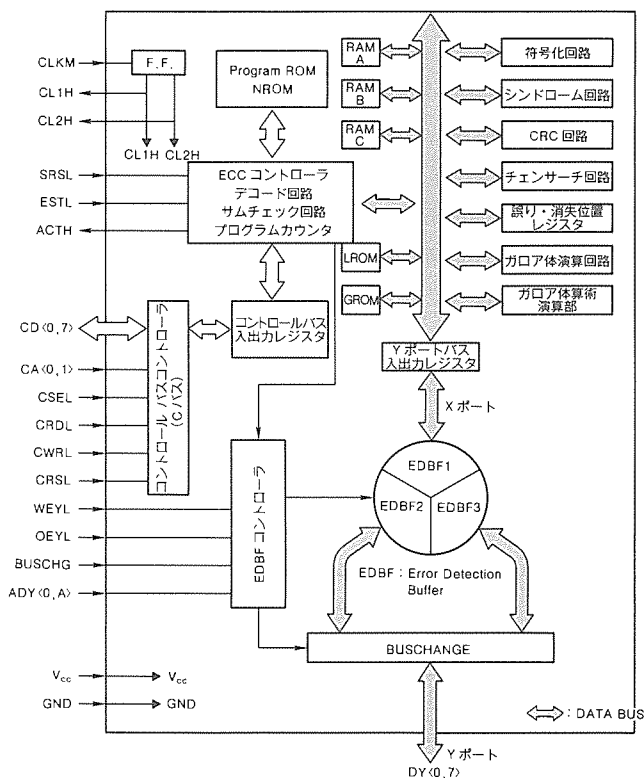


図 4. システムブロック図

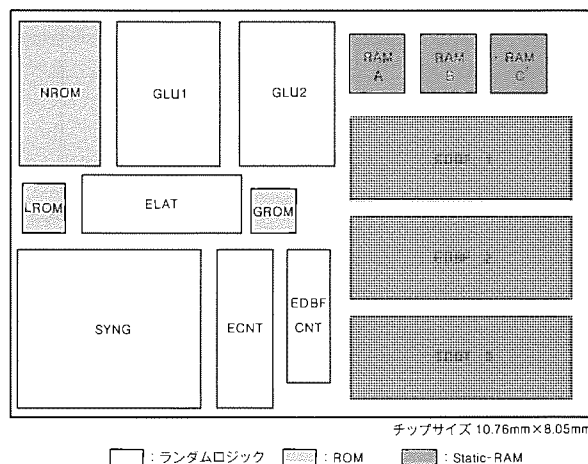


図 5. ブロックレイアウト

ロックに相当する構成，規模，機能を表1に示す。また，回路例として，図7に符号化回路を示す。

(2) 設計手法

LSI 設計は，1.0 μ m CMOS スタンダードセルを使用し，さらにROM，RAM は，当社 LSI 研究所開発のモジュールジェネレータ⁽⁷⁾を使用し，開発期間の短縮，開発人員の削減を行った。

動作確認は，ワークステーション上でのソフト シミュレーションによる誤訂正のチェック及びすべての誤り訂正シーケンスを実行した。また，チップレベルの回路動作検証は，マクロセルによる回路図入力後，ソフト シミュレーション データを用い，回路動作検証シミュレーションを行った。以上の結果，回路シミュレーション開始からレイアウト，詳細シミュレーション完了まで約10か月を要した。

5. M64400FP 製品仕様

M64400FP は，光ディスク装置の追記型と書換え型130mm ISO 規格連続サーボ (CCS) 方式，及び 90mm ANSI 規格連続サーボ (CCS：X3B11／89-120) 方式に従い，検査バイトの生成・誤り検出・訂正を行う。パッケージは，100 ピン QFP を使用し，高密度実装を可能とした。図8に外観を示す。

誤り訂正手法は，ガロア体上での演算，ユークリッド アルゴリズム，インタリーブ，イレージャー等，非常に複雑な

処理が多くシステム設計者にとって厄介なものとなっている。M64400FP では，誤り訂正機能部をブラックボックスとして取り扱うことができ，システム設計者は，Y ポートへのデータの書き込み，読出し，コントロール バスポートの制御のみを考慮すれば，M64400FP が自動的に検査バイトの発生，誤り検出，誤り訂正を行う。したがって，処理中にはコントロール バスポートの制御は必要なく，システムコントローラの負荷を軽減することができる。以下では，簡単に実行モードと EDBF (Error Detection Buffer) コントロール，処理速度について述べる。

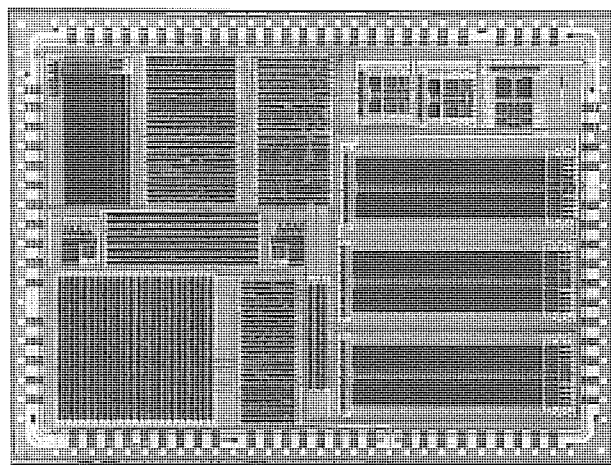


図6. M64400FP のチップ写真

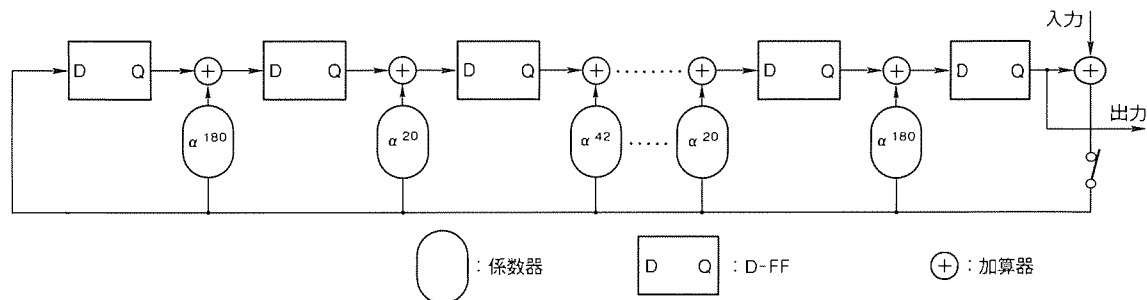


図7. 符号化回路例

表1. ブロックの構成と機能

ブロック名称	構造・構成	規 模	機 能
NROM	マスク ROM	64ビット×1,024ワード	マイクロプログラム用 ROM
LROM	〃	8ビット×128ワード	符合の位置に対応するガロア体の元を出力
GROM	〃	8ビット×256ワード	ガロア体上の逆元を出力
EDBF1~3	スタティック RAM	8ビット×1,248ワード	データ格納用 RAM インタフェースとして使用
RAM A,B	〃	8ビット×32ワード	ワーキング RAM ガロア体の多項式の各係数の値を記憶
RAM C	〃	8ビット×64ワード	〃
GLU1	ランダムロジック	3,550ゲート	算術演算部 サムチェック回路 計算回路 プログラムカウンタ
GLU2	〃	2,590ゲート	ガロア体演算部 RAM A~C のアドレス制御
ELAT	〃	2,080ゲート	誤り個数カウンタ 消失位置記憶レジスタ
ECNT	〃	2,120ゲート	マイクロプログラム デコード回路 Cバスインタフェース
SYNG	〃	5,950ゲート	並列処理演算部 シンドローム，符号化，チェンサーチ，CRC
EDBF CTN	〃	520ゲート	Xポート，Yポート制御回路 EDBF トグル回路

5.1 実行モード

M64400FP は、実行モードとして以下の4モードがある。

(1) WRITE (符号化)

EDBF に書き込まれた情報データに対し、CRC 計算後リード・ソロモン符号化を行い、発生した検査バイトは反転後EDBF のECC チェックバイトエリアに書き込む。

(2) READ1 (誤りのみの復号化)

(3) READ2 (誤り+消失情報による復号化)

(4) VERIFY

WRITE モード実行後ディスクに書き込まれたデータを読み出し、設定された誤り個数以下であるか否かチェックを行う。このモードでは訂正は行わない。

以上の4モード、ディスクサイズ、及びセクターサイズは、コントロールバス (C バス) ポート (表2) から設定を行う。また、シーケンスのスタート、リセットはC バスから制御できるが、専用端子 (ESTL 端子, SRSL 端子) も設けてある。

5.2 EDBF コントロール

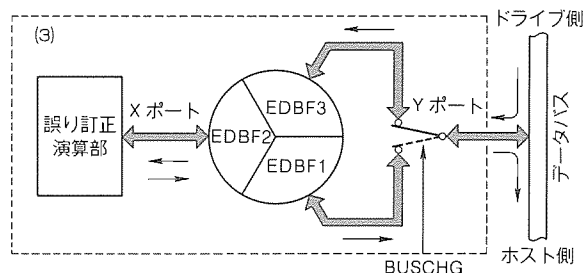
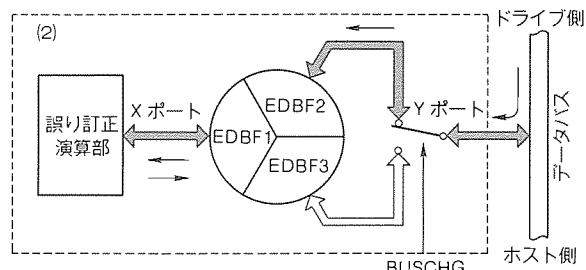
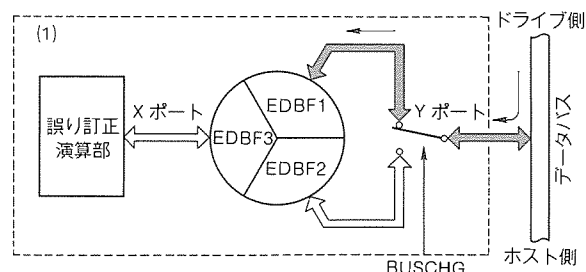
リアルタイム訂正を行うため、M64400FP はEDBF を3個内蔵し、これらを順次切替動作 (トグル動作) させることにより、高速処理を可能とした。

図9を使用し READ1 モードにおけるデータの流れを説明する。

- (1) ドライブ側からデータバスを介し、EDBF1 にデータを1セクタ書き込む。
- (2) EDBF をトグルさせEDBF1 をXポート、EDBF2 をYポートに接続する (Yポートに接続するEDBF2, 3は、BUSCHG 信号によって選択される)。Xポートに接続した

EDBF1 のデータは、復号アルゴリズムに従って演算回路で処理され、結果はEDBF1 にオーバーライトする。これと並行にYポートに接続したEDBF2 には、次のセクタのデータを書き込む。

- (3) EDBF をトグルし、EDBF2 をXポート、EDBF1, 3をYポートに接続させる。EDBF2 のデータは、復号アルゴリズムに従って演算回路で処理されるのに並行し、Yポートに接続されたEDBF3 には、次のセクタデータの書き込みと、既に処理済みのEDBF1 のデータのホストコンピュータ側への送り出し動作は、時分割で行われる。このトグル動作により、連続リードがリアルタイムで行われ高速処理が可能となる。



図中アドレス、コントロールバスは省略してある。

図9. EDBF データフロー

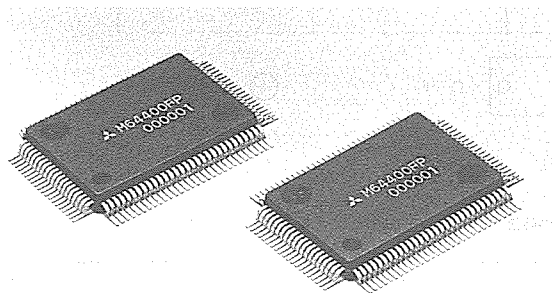


図8. M64400FP の外観

表2. コントロールバス [Cバス] ポート仕様

アドレス	R/W	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0	R	1セクタ当たりの誤り訂正個数							
1	R	自己診断結果							SUMH
2	R	リアルタイム スレシールド, ベリファイ スレシールド, DIAG 誤り期待個数読出し							
	W	リアルタイム スレシールド, ベリファイ スレシールド, DIAG 誤り期待個数書き込み							
3	R	UNCR	CRCL	MD1H	MD0H	SEC1H	SEC0H	DIAG	ACTH
	W	RESET	START	MD1H	MD0H	SEC1H	SEC0H	DIAG	TGLPUS

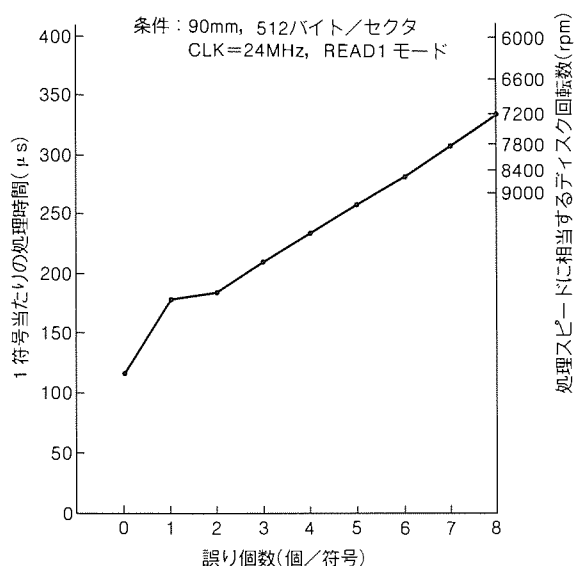


図 10. 1 符号当たりの誤り個数と処理スピード

る。

5.3 性能

5.1 節で述べた各実行モードは、すべて内蔵した 64 ビット水平マイクロプログラムによって制御される。リアルタイム訂正を可能とするため、各モードでの実行ステップ数を極力少なくし、プログラムのフェッチ、デコード、実行は内部クロックの 2 サイクルで完了する。したがって、処理時間はステップ数とクロックスピードに依存する。マスタクロック 24MHz におけるディスクサイズ 90mm, 512 バイト/セクタの 1 符号当たりの誤り個数と処理スピードの関係を示したものが図 10 である。1 符号当たり 8 誤り訂正を 330 μ s 程度で訂正することができる。これは、ディスク回転数が 7,000rpm にした場合でも、リアルタイム訂正が可能であることを示している。

以上のように M64400FP は、光ディスクシステムのデータ転送速度において、ネックになっている要因の一つである誤り訂正処理時間の大幅な改善を行い、さらに誤り訂正機能部を 1 チップ LSI にしたことによって、今後、光ディスク

コントローラに要求される高信頼性・高速処理・小型化・低コスト化に対しても十分対応できる製品である。

6. むすび

光ディスク装置は、磁気記録装置に代わる大容量記憶装置として期待されているが、アクセスタイム、転送速度、ディスクの互換性、オーバーライト、高価格という問題がある。これに対し、各メーカーは光ヘッドの改良、レーザの大出力化、フォーマットの標準化、新記録方式の検討、LSI 化等で改良を図っている。また、誤り訂正用の LSI に関しても更に高速処理を目指し、回路構成、アルゴリズムの改良を行っていく必要がある。

参考文献

- (1) 田中邦磨監修：光記録における信号処理技術，トリケップス (1989)
- (2) 宮川 洋，岩垂好裕，今井秀樹：符号理論，昭晃堂 (1973)
- (3) 吉田英夫，山岸篤弘，井上 徹，石田禎宣，田中邦磨：光ディスク用誤り訂正 LSI，信学論 (A)，J73-A, No. 2, 261~268 (1990)
- (4) 清瀬泰広，尾崎 稔，井上 徹，田中邦磨：光ディスクにおける消失訂正の一考察 1988 信学春季全大
- (5) Sugiyama, Y., Kasahara, M., Hirasawa, S., and Namekawa T.: A Method for Solving Key Equation for Decoding Goppa Codes, Inf. and Cont., 27, 87 ~ 95 (1975)
- (6) Yoshida, H., Inoue, T., Yamagishi, A., Nishijima, T. and Oda, Y.: A Decoder Design for Optical Disc Systems using Euclidean Algorithm, SITA '85, 50~53 (1985)
- (7) 篠原尋史，松本憲昌，辻橋良樹，藤森久美子，津田和彦，味岡佳英：セルベース設計用モジュールジェネレータ，三菱電機技報，65, No. 2, 150~155 (1991)

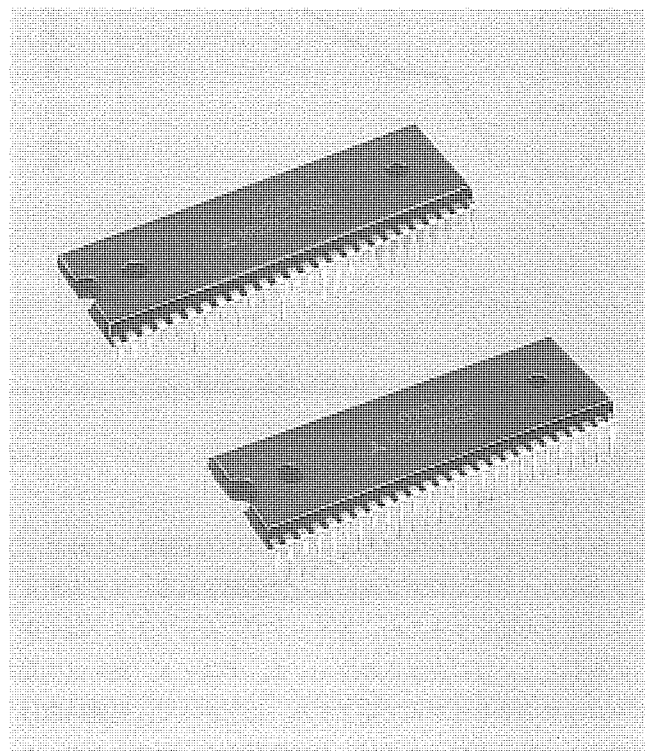
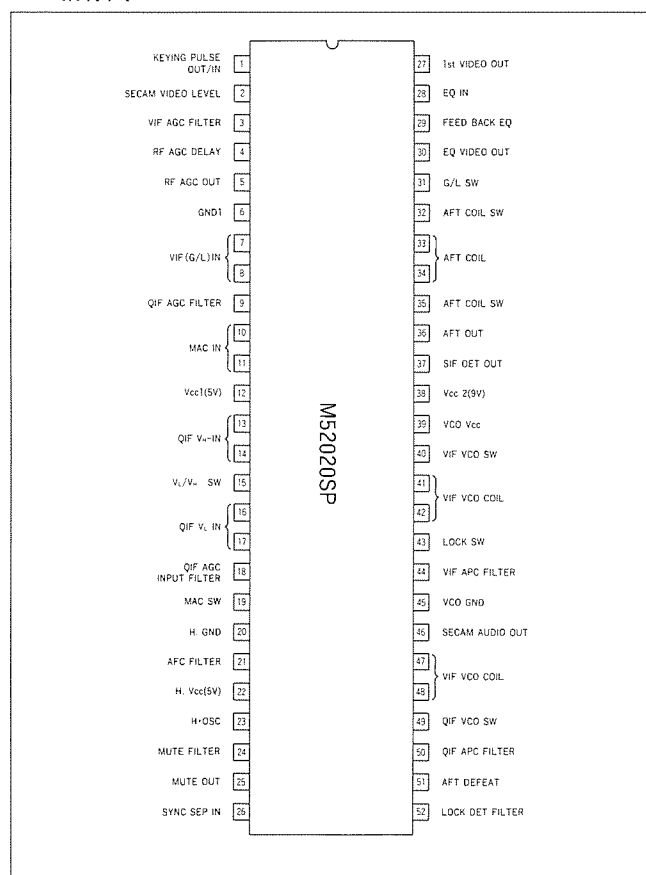
マルチスタンダード対応PLL スポットライト VIF/SIF IC “M52020SP”

このたび三菱電機では、映像、音声の両IF信号処理のために2個のPLLを備え、SECAM Lの映像、音声検波、PAL、B/Gの映像、インターキャリア検波機能を有し、更に、NICAM、D₂-MAC等にも対応可能なマルチスタンダードVIF/SIF IC “M52020SP”を開発、製品化しました。

特長

- VCO、AFTコイル周波数切替回路を内蔵していますので、少ない外付部品でSECAM LのVHFロー・チャンネルの対応が可能です。
- SECAM L音声検波は、映像同様PLLによる完全同期検波方式のため、直線性の良い音声が得られます。
- インターキャリア検波はPLLスプリット方式を採用。出力はAGC制御され、ダイナミックレンジも従来より広く設定していますのでNICAMにも対応可能です。
- MACスイッチの切替により、AGC時定数と入力端子が切替わり、D₂-MACにも使用可能です。
- VIF AGCにダイナミックAGCを採用。PAL、MAC時には高速AGCスピードが得られます。
- キーイングパルス発生回路を内蔵していますので、VTRのチューナーにも使用できます。

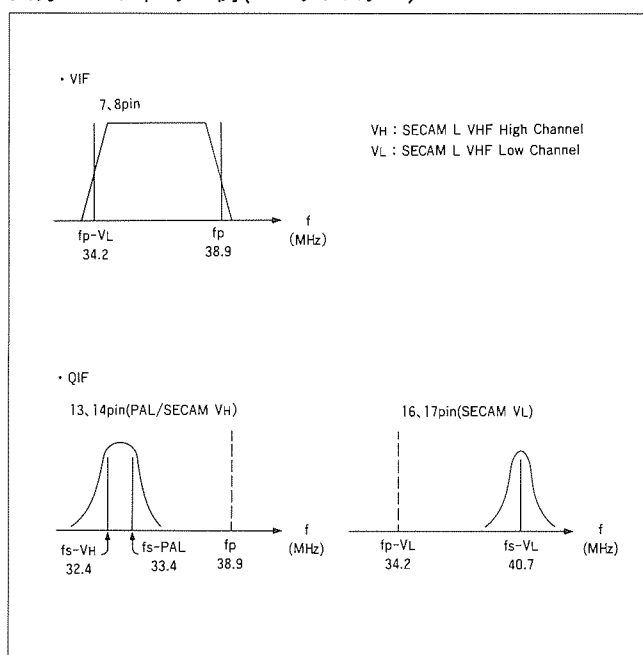
ピン結線図

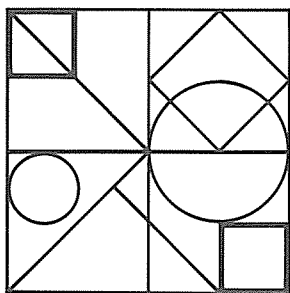


各モードにおけるAGC形式とEQAMP出力の関係

		VIF AGC形式 時定数	EQ AMP 極性	QIF AGC 形式
PAL B/G		ピークAGC 短い	同相	ピークAGC
SECAM L		キードAGC 短い	逆相	平均値QGC
D ₂ -MAC	負変調	ピークAGC 長い	同相	——
	正変調	ピークAGC 長い	逆相	——

入力SAWフィルター例(マルチシステム)





特許と新案 有償開放

有償開放についてのお問合せ先 三菱電機株式会社 知的財産渉外部 TEL (03) 3218-2136

光波長分波装置 (実用新案登録 第1756741号)

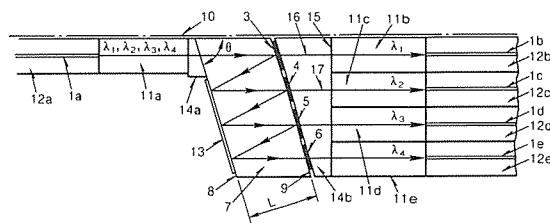
考案者 足立 明宏, 三宅 良雄, 竹居 敏夫

この考案は、1本の光伝送路を伝播してきた複数の異なる波長の光を、それぞれ独立に異なる伝送路に分離する機能を有する干渉フィルタを備えた光波長分波装置に関するものである。

すなわち、図において光ファイバ(1a)を伝播してきた波長 $\lambda_1 \sim \lambda_4$ の光は、レンズ(11a)により平行光束に変換されBPF(3)に入射する。ここで光ファイバ(1a)と(1b)の結合系は、光ファイバ(1a)(1b)を円筒キャピラリ(12a)(12b)の中心に装着し、キャピラリ(12a)(12b)、レンズ(11a)(11b)の外径をDで一致させ、これらを基準面(10)を基準側面とし整列させていることにより光軸が一致しているため、波長 λ_1 の光は光ファイバ(1b)に入射する。一方、BPF(3)で反射された波長 $\lambda_2, \lambda_3, \lambda_4$ の光は、ミラー(13)で反射されBPF(4)に入射する。ここでBPF(4)は波長 λ_2 の光だけを透過し、他の波長の光は反射し、透過した波長 λ_2 の光はレンズ(11c)により集光される。光路の間隔が屈折率分布形レンズ(11a)~(11e)及び円筒キャピラリ(12a)

~(12e)の外径Dに一致するように側面(8)(9)の間隔Lを決めると、波長 λ_2 の光路(17)と受け側の光ファイバ(1c)、レンズ(11c)の光軸は一致し、したがって波長 λ_2 の光は光ファイバ(1c)に結合される。以下同様にして順次波長 λ_3 の光は光ファイバ(1d)に、波長 λ_4 の光は光ファイバ(1e)に入射し、波長 $\lambda_1 \sim \lambda_4$ の光は分波される。

以上のように、この考案によれば、各構成部品を基準面を基準として整列するだけで光軸調整を終了することができ、組立て調整作業時間を大幅に短縮することができるほか、各構成部品を密に配置することができるため、小形になるという効果がある。



端末装置 (特許 第1433117号)

発明者 亀山 正俊

この発明は、データ通信網を介してデータまたは文書などの送受信情報(以下郵便と称する)を電子的に送信、受信するための端末装置に関するものである。

図において、キーボード(2)からの入力は、処理部(5)の処理によって表示部(1)に表示されるので、操作者は表示部(1)の画面を見ながら送信情報と通信制御情報(着信端末装置のダイヤル番号)を作成でき、作成された情報は記憶部(3)に格納される。この後キーボード(2)から送信命令信号を入力すると、処理部(5)はこの信号を処理して記憶部(3)に格納されている所定の通信制御情報と送信情報を取り出し、ダイヤル番号欄(7)に記入されているダイヤル番号を読み出し、通信制御部(4)に指示して、自動的にダイヤル番号に対応する端末装置を呼び出す。呼出端末装置からの応答信号が返されデータ通信網を介して発信端末装置(10)と着信端末装置の接続が完了すれば、宛先“札幌支店営業部長殿”を付加した送信情報

を着信端末装置に送信する。着信端末装置は発信端末装置と同様に構成されているので、受信情報を記憶部に記憶し、キーボードからの命令信号により記憶部の情報は表示部に表示される。次いで、端末装置(10)は次のダイヤル番号の端末装置を呼び出し、情報を送信する。

以上のように、この発明によれば、ダイヤリングが自動化され、送信情報の主要な部分が同一な郵便を複数の端末装置に送信する場合にも、順次自動的に接続されて送信され、かつ夫々の端末装置に対し各別の宛先を付加して送信することができるので、操作者の負担が著しく軽減される。

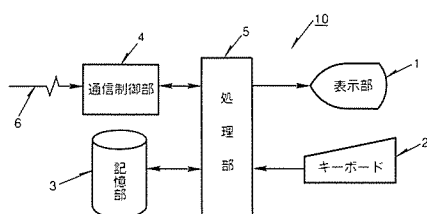


図1. (ブロック図)

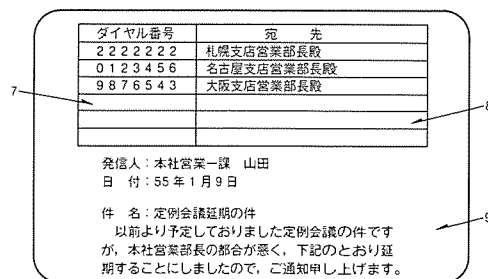


図2. (表示像図)

リード・ソロモン符号の符号化方法 (特許 第1468298号)

発明者 金井 毅雄

この発明は、データ伝送などにおけるリード・ソロモン符号の符号化方法に関するものである。

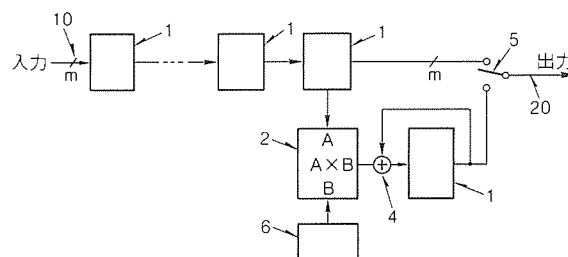
すなわち、図において、(1)は並列3ビットのシフトレジスタ、(2)はガロア体 $GF(2^m)$ での掛け算器、(4)は排他的論理和ゲート、(5)は情報部と検査部とのセクタ、(6)はバイナリカウンタである。入力端子(10)にはベクトル a_1, a_2, \dots の配列順序が予め $(a_3, a_1, a_6, a_2, a_5, a_4)$ の如く変更されたデータが入力される。上記データの入力すなわちシフトタイミングに関連したシステムロックによってバイナリカウンタ(6)の計数値は順次

$$\begin{pmatrix} 0 & 0 & 1 & 1 & 1 & 1 \\ 1 & 1 & 0 & 0 & 1 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix} \quad (\text{下が低位})$$

の如く変化し、掛け算器(2)による掛け算の結果式 $(a_3, a_1, a_6, a_2, a_5, a_4, c_7, c_8)$ で示すリード・ソロモン符号

が出力端子(20)から出力される。なお、このように符号化されたリード・ソロモン符号をバイナリカウンタ(6)を用いて復号化する場合は、単に符号化の逆変換となってその復号データは $a_3, a_1, a_6, a_2, a_5, a_4$ の順序で出力される。

以上のように、この発明によればガロア体 $GF(2^m)$ の要素 a^i をバイナリカウンタで構成でき、回路を簡単化することができる。



〈次号予定〉三菱電機技報 Vol. 65 No. 3 電力情報通信システム特集

特集論文

- 電力情報通信システム特集に寄せて
- 電力情報通信システムの歩みと最新の技術動向
- 情報制御・管理用コンピュータ
- お客様志向サービス支援システム
- 配電工事設計支援システム
- 電力系統運用業務支援システム
- 給電自動化システム
- 制御所自動化システム
- 配電総合自動化システム
- 火力設備運用管理システム
- 発電プラント管理用計算機システム

●LAN 技術を利用した広域伝送ネットワーク

●東京電力(株)向け衛星通信システム

普通論文

- オフコンによるソフトウェア利用技術の実践的学習支援システム
- オフィスコンピュータ《MAXY》との連携による
ユーザーフレンドリーな環境の提供
- 汎用機オペレーティングシステム GOS/VS の
機能拡張—高性能・大規模システム化への対応—
- 名前サービスを提供する電子メールシステム
- 24 ビット浮動小数点 DSP による高効率音声コーデック
- イオン注入帯電抑制技術

三菱電機技報編集委員

委員長	山田 郁夫
委員	名畑健之助
〃	福岡 正安
〃	宇佐美照夫
〃	風呂 功
〃	大原 啓治
〃	松村 恒男
〃	名取 直幸
〃	吉岡 猛
〃	鳥取 浩
〃	三田村和夫
幹事	長崎 忠一
2月号特集担当	阿部 東彦

三菱電機技報 65 巻 2 号

(無断転載を禁ず)

1991年2月22日 印刷

1991年2月25日 発行

編集兼発行人 長崎 忠一

印刷所 千葉県市川市塩浜三丁目12番地 (〒272-01)
菱電印刷株式会社

発行所 東京都千代田区大手町二丁目6番地2号
日本ビル 6階 (〒100)

三菱電機エンジニアリング株式会社内
「三菱電機技報社」Tel. (03) 3218局2806

発売元 東京都千代田区神田錦町三丁目1番地 (〒101)
株式会社 オーム社

Tel. (03) 3233局0641(代), 振替口座東京 6-20018

定価 1部 721円 (本体 700円) 送料別

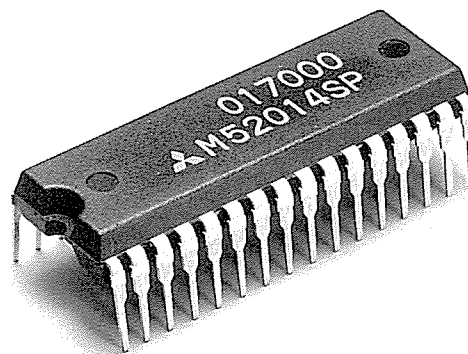
年間予約は送料共 9,373円 (本体 9,100円)

スポットライト TWIN-PLL方式 テレビ中間周波信号処理IC“M52014SP”

高画質・高音質対応のテレビ、VTRの中間周波信号処理部には、現在御好評をいただいておりますM51362/5/6SPシリーズによるPLL-SPLIT方式が標準的となっていますが、このたびさらに高画質・高音質を追及し、TWIN-PLL方式中間周波信号処理IC“M52014SP”を製品化しました。

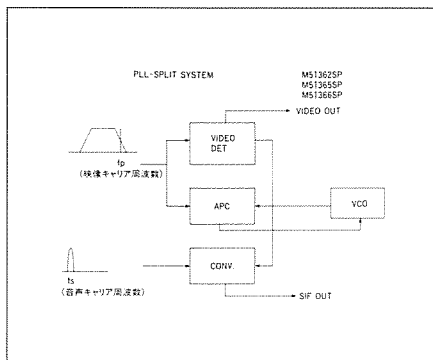
特長

- 新ウェハプロセスを採用し、IF-AMP、PLL検波、AGCを映像用と音声用に2系統備えています。
- SAWフィルタの音声側に双峰の帯域特性をもたせたものでPLL検波が可能のため、ナイキストスロープで発生する音声バズが削減(5~10dB)され、またAGCにより音声感度が向上します。
- 新回路技術を用いたTWIN-PLL方式であり、VCOコイルが1つだけで、従来と同じ周辺回路規模、調整点数で実現できます。
- Dynamic-AGC方式の映像、音声両チャンネル共への採用により、各々AGCフィルタ1端子だけで、従来比約2倍のAGCスピードが得られます。



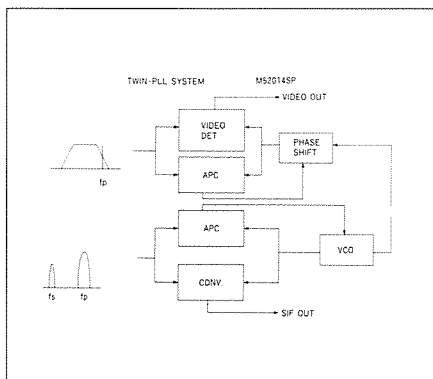
従来のPLL-SPLIT方式

SAWフィルタのナイキストスロープを通った映像キャリアにVCOがロックし、そのVCOで音声キャリアが周波数変換される。



TWIN-PLL方式

双峰特性のSAWフィルタを通った映像キャリアにVCOがロックし、そのVCOで音声キャリアが周波数変換される。



ブロック図および周辺回路図

