

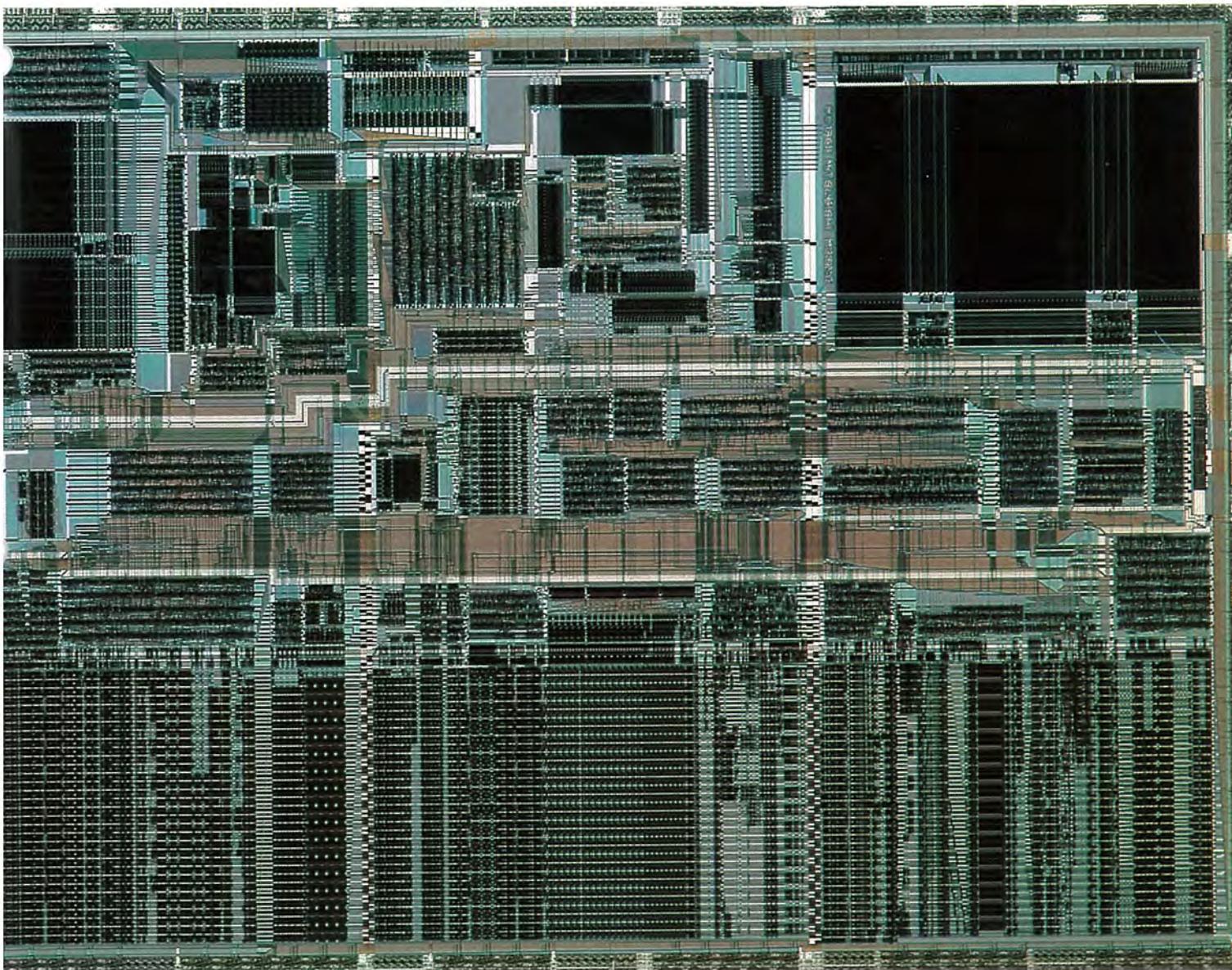
MITSUBISHI

三菱電機技報

MITSUBISHI DENKI GIHO Vol.63 No.11

11
1989

三菱半導体事業30周年記念特集号



三菱半導体事業30周年記念特集号

目 次

巻頭言	1	光通信用1.5μm帯MQW-DFBレーザ	93
志岐守哉		柿本昇一・吉田直人・榎原 靖・水口一男・須崎 渉	
カラーグラビア	2	超低雑音GaAsSAMFETの開発とMMICへの応用	97
三菱半導体事業30周年に寄せて	12	細木健治・綾木なぎさ・加藤隆幸・谷野憲之・高野博三	
坂村 健		インバータ用パワーICモジュール	100
佐藤真一・若宮 亘・重富 晃		中嶋利廣・ゴーラブ マジムダール・福永匡則・飯尾幸司・梶田武良・宮嶋辰夫	
特集論文		三次元形状シミュレータ	105
三菱電機半導体技術30年の歩み	14	藤永正人・小谷教彦	
小宮啓義		超微細加工プロセス技術	109
最先端DRAMプロセス技術	17	西岡久作・小川佐知子・藤原伸夫・河合 晃・魚谷重雄・永田一志	
佐藤真一・若宮 亘・重富 晃		斜め回転イオン注入技術	112
4Mビット ダイナミックRAM	23	御城俊宏・高橋武人・大崎三郎・長友正男	
宮本博司・長友正男・山田通裕・長山安治・水津克巳		アイススクラバ洗浄	116
高速1MビットCMOSスタティックRAM	27	大森寿朗・福本隼明・加藤忠雄・川口利明・多田益太	
菅野雅直・和田知久・杠 幸二郎・向井孝夫・河野芳雄		半導体のFA技術	120
5V単一電源で動作する高速1MビットEEPROM	31	石橋一昭・大谷雅樹・吉田博之・加藤雄一	
寺田 康・有馬秀明・小林和男・味香夏夫		特許と新案	
1MビットデュアルポートRAM	35	半導体メモリ装置、MOS型半導体不揮発性メモリ装置の製造方法	125
小川俊行・井上一成・浜野尚徳		半導体レーザ	126
ディジタルPPC用5KバイトFIFO/LIFOメモリIC	39	製品紹介	
前田安範・沖高毅則・池田敏男・宮田和明・服部正人・鎌倉 寛		三菱32ビットマイクロプロセッサ	124
4MビットP ² SRAMモジュールの開発と応用	45	三菱大容量メモリカード	(表3)
田原次夫・小杉龍一・谷口正治・辻 哲郎・戸田 均		表紙	
三菱大容量メモリカード	49	G _{MIC 80} チップ	
木村正俊・井内隆敏・前田 甫		TRON仕様に基づく32ビットマイクロプロセッサM32/100のチップ写真。	
TRON仕様32ビットマイクロプロセッサM32/100	53	このチップは11.47mm×8.89mmのサイズで、1μmルール2層メタルCMOSプロセス技術を用い、約33万トランジスタが集積されている。	
日向純一・吉田豊彦・是松次郎・市山寿雄・富沢 治		(本文53ページ参照)	
M32用μITRON仕様OS:MR3200と開発環境	57		
平野浩爾・坪田秀夫・清水 徹・齊藤和則・桶口敬三			
24ビット、50ns画像／映像処理用			
シグナルプロセッサ(DISPL)	61		
寺根幸季・中川伸一・吉本雅彦・鶴田敏明・篠原尋史・畠中正弘			
自動車用16ビットワンチップマイコン	66		
城田省三・村松菊男・田山俊明・宮田和明・安達忠吉・川崎忠義・井上 功			
DMAコントローラ内蔵			
高性能16ビットワンチップマイコン	71		
山崎貴志・新村健太郎・清水 康・中村充善・松永毅彦・山内直樹			
MUSE/NTSCコンバータ用LSI	77		
岡田圭介・中村雅彦・村上謙二・水谷芳樹・矢澤信春			
静止画テレビ電話用モデムLSI	82		
杉野博之・金子幸司・仁田重之・鈴木 武			
高速、低消費電力の1.0μmCMOSゲートアレー			
M60050シリーズ	86		
中村博隆・布上裕之・西谷一治・後藤諭利・川端啓二			
超低雑音HEMT	89		
林 一夫・園田琢二			

アブストラクト

<p>三菱電機半導体技術30年の歩み 小宮啓義 三菱電機技報 Vol.63・No.11・P14~16</p> <p>三菱電機の半導体事業は、1960年の半導体工場設立以来、幾多のう(紹)余曲折を経て今日の隆盛を見るに至った。その間の技術の流れと今後の方向を、IC/LSIやパワーモジュールなどのシリコンデバイス、光素子とマイクロ波素子を柱とする化合物半導体製品、ウェーハプロセス技術を中心とした製造技術に関して概観し、さらに本特集号に収録した論文の位置付けを紹介する。</p>	<p>IMビットデュアルポートRAM 小川俊行・井上一成・浜野尚徳 三菱電機技報 Vol.63・No.11・P35~38</p> <p>IMビットデュアルポートRAMを開発した。この製品は、従来の256KビットデュアルポートRAMの基本機能に加えて、フラッシュライト、ロックライト、スプリットSAMなどの拡張機能を搭載する。また、データレジスタ回路部を工夫し、低消費電力化と転送タイミングの緩和を実現した。ワード構成は、256Kワード×4ビットと128Kワード×8ビットの2品種を同時に開発し、それぞれ28ピンSOJ、ZIPと40ピンSOJパッケージに封入した。</p>
<p>最先端DRAMプロセス技術 佐藤真一・若宮 亘・重富 晃 三菱電機技報 Vol.63・No.11・P17~22</p> <p>0.5μmルールULSIを代表する16M DRAM及び次世代64M DRAMに向けたプロセス技術を開発している。メモリセルには当社独自の完全平担なスタックトキャバシタ構造を採用し、シンプルな構造と安定したプロセスによって大きな蓄積容量が得られた。マスク作成時の電子ブーム描画は、可変形型装置を使用し、特殊な階層構造をもつデータ処理システムを構築することで高スループット化を達成した。これら最先端プロセス技術の現状を紹介する。</p>	<p>ディジタルPPC用5KバイトFIFO/LIFOメモリIC 前田安範・沖高毅則・池田俊男・宮田和明・服部正人・鎌倉 寛 三菱電機技報 Vol.63・No.11・P39~44</p> <p>ディジタルPPC(Plain Paper Copier)の画像処理に最適な機能を持つ5KバイトFIFO(First In First Out)/LIFO(Last In First Out)メモリIC M66250P/FPを開発した。画像処理に適した5120ワード×8ビットのメモリ容量、書き込みと読み出しが非同期にできるFIFO/LIFO機能、任意のアドレスからデータを読み出せる先頭アドレス指定機能を内蔵し、さらに高速アクセスを実現した。ここでは、これらの機能概要、電気的特性などについて報告する。</p>
<p>4MビットダイナミックRAM 宮本博司・長友正男・山田通裕・長山安治・水津克巳 三菱電機技報 Vol.63・No.11・P23~26</p> <p>0.8μmツインウェルCMOSプロセス技術とスタックトキャバシタメモリセルを採用して4M DRAMを開発した。8ビット並列テストモードによりテスト時間が短縮できる。4M×1構成と1M×4構成をAIマスクで選択する。高速ページ、ニブル、スタティックコラムモード及びライトバーピット機能をワイヤボンディングで選択する。チップサイズは6.84mm×14.95mmで、350ミルSOJ及び400ミルZIPに収納する。</p>	<p>4MビットP²SRAMモジュールの開発と応用 田原次夫・小杉龍一・谷口正治・辻 哲郎・戸田 均 三菱電機技報 Vol.63・No.11・P45~48</p> <p>汎用8及び16ビットマイクロプロセッサに接続容易な4Mビット擬似SRAMモジュールを開発した。このためにDRAMコントローラをASSPとしてワンチップ化し、標準1M DRAM 4個と高密度実装した。このモジュールは、小形、リフレッシュ回路内蔵、耐ノイズ性の特長があり、電源は5V単一・TTLレベル入力・各種信号のタイミング自動処理など使い易い設計で、現時点で4M SRAMを用いたシステム設計が可能である。</p>
<p>高速1MビットCMOSスタティックRAM 菅野雅直・和田知久・杠 幸二郎・向井孝夫・河野芳雄 三菱電機技報 Vol.63・No.11・P27~30</p> <p>最大アクセスタイム35nsの高速1MビットCMOSスタティックRAMを開発した。設計面では、変形分割ワード線選択方式を用いてワード線での遅延時間を抑えていること、1M語×1ビット構成にテスト時間短縮のためのビット構成可変機能を備えていることが特長である。プロセス面では、多層配線技術などを駆使して、0.7μm設計ルールの3層ボリシリコン2層アルミ構造のデバイスを実現している。</p>	<p>三菱大容量メモリカード 木村正俊・井内隆敏・前田 甫 三菱電機技報 Vol.63・No.11・P49~52</p> <p>最先端の超小型・薄形パッケージ技術と高密度実装技術を結集し、大容量のメモリカードを開発、量産化した。メモリカードは、従来の低速外部記憶装置に比較して、アクセススピード・低消費電力・可搬性に優れる。電子機器の小型・薄形化・パーソナル指向と利用面でのソフト、アプリケーションソフトの充実等により、既に多岐にわたる機器に利用され、本格的実用期を迎えたといえる。</p>
<p>5V単一電源で動作する高速1MビットEEPROM 寺田 康・有馬秀明・小林和男・味香夏男 三菱電機技報 Vol.63・No.11・P31~34</p> <p>1μmツインウェルCMOS 3層ボリシリコン2層アルミプロセスを用いて5V単一電源で動作する1MビットEEPROMを試作した。チップサイズは11.83mm×7.73mm、セルサイズは3.8μm×8.0μmである。3層ボリシリコン型メモリセルと、非選択のメモリアレイでリファレンスレベルを生成する差動型センスアンプの開発により、120nsの高速アクセスを実現した。また、ECC回路を内蔵することにより高い信頼性を持っている。</p>	<p>TRON仕様32ビットマイクロプロセッサM32/100 日向純一・吉田豊彦・是松次郎・市山寿雄・富沢 治 三菱電機技報 Vol.63・No.11・P53~56</p> <p>機器組み込みコントローラや小型ワークステーションへの応用に適するTRON仕様32ビットマイクロプロセッサM32/100を開発した。1μmCMOS技術を用いて約33万トランジスタをコンパクトなチップサイズに集積し、ASIC展開のCPUコアとして利用可能である。5段のパイプライン、先行シャンパン処理機構を採用して高性能を実現した。また、リアルタイムOSを効率的に実行する高機能命令を持っている。</p>

Abstracts

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 35 ~ 38 (1989)

A 1M-Bit Dual-Port RAM

by Toshiyuki Ogawa, Kazunari Inoue & Hisanori Hamano

In addition to the functions of its 56K-bit predecessor, this new product offers flash write, block write, and split serial access memory functions. The data-register circuitry has been improved to realize lower power consumption and relaxed inversion timing. Two products are available with word configurations of 256K words × 4 bits and 128K words × 8 bits. Both are supplied in 23-pin SOJ, 23-pin ZIP, and 40-pin SOJ packages.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 14 ~ 16 (1989)

Mitsubishi Electric Semiconductor Technologies: The Last Thirty Years and the Current Status

by Hiroyoshi Komiya

Since the founding of its first semiconductor plant in 1960, Mitsubishi Electric has achieved many successes in this field. The article surveys technical trends and future directions of the Corporation's products including silicon devices such as ICs, LSIs, and power modules, and GaAs devices such as optoelectronic and microwave devices. The article also provides an orientation for the other articles of this special issue.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 39 ~ 44 (1989)

A 5KB FIFO/LIFO Memory IC for Digital PPCs

by Yasunori Maeda, Takenori Okitaka, Toshio Ikeda, Kazuaki Miyata, Masato Hattori & Yutaka Kamakura

The M66250P/FP FIFO/LIFO (first-in-first-out and last-in-first-out) memory IC is optimized for image processing by plain-paper copiers. The 5,120 word × 8 bit memory architecture implements FIFO and LIFO functions for asynchronous write and read, an address head specifier that allows readout from an arbitrary address, and high-speed access. The article introduces these functions and reports on the electrical characteristics of the product.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 17 ~ 22 (1989)

Advanced DRAM Process Technologies

by Shin'ichi Sato, Wataru Wakamiya & Akira Shigetomi

Mitsubishi Electric is developing process technology for ULSI devices such as 16M- and 64M-bit DRAMs employing a 0.5μm channel width. The memory cells will employ proprietary Mitsubishi technology—completely flat stacked-capacitor structures. This simple structure provides a high charge capacity and the DRAMs may be mass-produced with uniform results. The electron-beam writing during mask production employs a variable-shape system and a data-processing system with a special layered structure for high throughput. The article introduces these leading-edge technologies.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 45 ~ 48 (1989)

A 4M-Bit Pseudo-Pseudo SRAM Module

by Tsugio Tabaru, Ryuichi Kosugi, Masaharu Taniguchi, Tetsuro Tsuji & Hitoshi Toda

This module is easily linked to general-purpose 8- and 16-bit microprocessors. The DRAM controller is implemented as a single-chip application-specific standard product and is housed with four 1M-bit DRAMs to form a single high-density compact module. Designed for easy use, the module features a built-in refresh circuit, high noise resistance, a single 5V power supply, TTL-level inputs, and automatic signal-timing control. The module may be used in 4M-bit SRAM system applications.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 23 ~ 26 (1989)

A 4M-Bit Dynamic RAM

by Hiroshi Miyamoto, Masao Nagatomo, Michihiro Yamada, Yasuji Nagayama & Katsumi Suizu

The article reports on the development of a 4M-bit DRAM employing a 0.8μm twin-well CMOS process and a stacked-capacitor memory cell. A test mode with 8-bit parallel access is implemented to reduce testing time. The A1 mask selects either a 4M × 1 or 1M × 4-bit architecture. Fast-page mode, nibble mode, static-column mode, and write-per-bit functions are selected at wire bonding. The chip size is 6.84 × 14.95mm². The chip is housed in either a 350mil SOJ or 400mil ZIP.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 49 ~ 52 (1989)

MELCARDS: High-Density Transportable Memory-Card Subsystems

by Masatoshi Kimura, Takatoshi Iuchi & Hajime Maeda

MELCARDS employ the latest technologies for thin ultracompact packaging and high-density mounting. The high access speed, low power consumption, and portability of these cards make them a vast improvement over conventional auxiliary storage devices employing magnetic media. The cards help make electronic equipment smaller, thinner, and easier to carry. They function with a broad range of applicable software and are entering widespread use.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 27 ~ 30 (1989)

A Fast 1M-Bit CMOS Static RAM

by Masanao Eino, Tomohisa Wada, Kojiro Yuzuriha, Takao Mukai & Yoshio Kono

This SRAM offers a maximum access time of 35ns. It features a modified divided-word-line structure that reduces delay time, and a variable-bit organization that reduces the test time below the requirement for a 1M × 1-bit structure. Multilayer process technology is used to realize the three-layer polysilicon two-layer aluminum CMOS device with a 0.7μm channel width.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 53 ~ 56 (1989)

The MEL32/100: 32-Bit Microprocessors Based on the TRON Architecture

by Jun'ichi Hinata, Toyohiko Yoshida, Jiro Korematsu, Toshio Ichiyama & Osamu Tomisawa

Designed for applications in embedded-equipment controllers and compact workstations, these microprocessors integrate approximately 330,000 transistors on a compact chip in a 1μm CMOS process and are designed to be utilized as a CPU core for ASIC development. They realize high performance through use of a five-level pipeline. The microprocessors also feature a sophisticated instruction set designed to support real-time operating systems.

Mitsubishi Denki Gihō: Vol. 63, No. 10, pp. 31 ~ 34 (1989)

A 120ns 1M-Bit Full-Featured EEPROM

by Yasushi Terada, Hideaki Arima, Kazuo Kobayashi & Natsuo Ajika

A three-layer polysilicon two-layer aluminum CMOS twin-well process with a 1μm channel width was used to trial produce a 1M-bit EEPROM that operates from a single 5V power supply. The chip size is 11.83 × 7.73mm and the cell size 3.8 × 8.0μm. The three-layer polysilicon memory cell and a newly developed differential sense amplifier that generates a reference level at nonselected memory arrays realize a high-speed access of 120ns. An error checking and correction circuit has been integrated for improved reliability.

アブストラクト

M32用μITRON仕様OS：MR3200と開発環境

平野浩爾・坪田秀夫・清水 徹・斎藤和則・樋口敬三
三菱電機技報 Vol.63・No.11・P57～60

TRON仕様32ビットマイクロプロセッサM32シリーズ用リアルタイムOSとして、機器組み込み型制御をターゲットとするμITRON仕様に準拠した“MR3200”を開発した。

さらに、リアルタイムOS上のアプリケーションの開発において、“M32／100”を搭載したシステムをリアルタイムの環境の下でデバッグ可能なハードウェアエミュレータも同時に開発した。

24ビット、50ns画像／映像処理用シグナルプロセッサ (DISP)

寺根秀幸・中川伸一・吉本雅彦・嶋田敏明・篠原尋史・畠中正弘
三菱電機技報 Vol.63・No.11・P61～65

1 μm 2層AlCMOSプロセス技術を用いて538kTrを集積した24ビット固定小数点方式、最大命令サイクル時間50nsの画像／映像信号処理プロセッサDISPを開発した。信号処理機能の並列度を強化し、画像処理向きのデータ演算・制御部を内蔵することにより実時間処理性能を向上させた。また、大容量命令RAM、データRAM、各種制御機能をワンチップに集積した。DISPは、高精度、高速な画像／映像信号処理分野において幅広く利用できる。

自動車用16ビットワンチップマイコン

城田省三・村松菊男・田山俊明・宮田和明・安達忠吉ほか
三菱電機技報 Vol.63・No.11・P66～70

オリジナル16ビットマイコンシリーズ《MELPS7700》のファミリーとして自動車エンジン制御用マイコンM37790STJを既に開発・量産化しているが、これに続く第二弾として大容量メモリ内蔵型のワンチップマイコンM37791E4 TJを開発した。最先端の高信頼度プロセスを採用し、32KバイトワンタイムPROM、1.25KバイトRAM、16ビットタイマ、10ビットA/D変換器、UARTなどをワンチップに内蔵している。

DMAコントローラ内蔵高性能16ビットワンチップマイコン

山崎貴志・新村健太郎・清水 康・中村充善・松永毅彦・山内直樹
三菱電機技報 Vol.63・No.11・P71～76

OA・産業用機器制御に適した高速・高性能16ビットワンチップマイコン《MELPS7700》のファミリーの一員として、高速に大量のデータを転送するDMAコントローラや大容量のDRAMを直接制御できるDRAMコントローラなどの新しい機能を内蔵したM37720S1 FP/S1 AFP(高速版)を開発した。

本稿では、本製品について紹介するとともに、これらの新機能の概要、特徴などについて述べる。

MUSE／NTSCコンバータ用LSI

岡田圭介・中村雅彦・村上謙二・水谷芳樹・矢澤信春
三菱電機技報 Vol.63・No.11・P77～81

MUSE方式によるハイビジョン衛星放送は、方式が異なるため現行のNTSC方式受像機で受信することはできない。NTSC方式受像機で受信するには、MUSE信号をNTSC信号に変換することが必要である。この方式変換に必要な映像信号処理部のLSI化と方式変換器(MUSE／NTSCコンバータ)の開発を行った。

本稿では、開発した方式変換器のシステムとLSIの機能と構成について述べる。

静止画テレビ電話用モデムLSI

杉野博之・金子幸司・仁田重之・鈴木 武
三菱電機技報 Vol.63・No.11・P82～85

公衆アナログ電話回線を利用して白黒静止画テレビ電話が、1988年6月に国内標準化されて以来注目を浴びている。今後、より一層の需要拡大を促進するために、多機能化に加えて製品価格の低減化が強く要求されている。

本論文では、次期普及版の画像送受部用に開発した1チップモデムLSIを中心に、静止画テレビ電話のシステムについて説明する。

高速、低消費電力の1.0μmCMOSゲートアレーM60050シリーズ

中村博隆・布上裕之・西谷一治・後藤諭利・川端啓二
三菱電機技報 Vol.63・No.11・P86～88

三菱1.0μmゲートアレーM60050シリーズは、高速かつ低消費電力を特長としたゲートアレーである。1.0μmプロセス本来の高速性能を生かした上で、低消費電力を追求した。さらに、熱抵抗の小さいプラスチックパッケージを新規開発し、広い用途に対応できるようにしている。多機能のバッファは細かく出力電流や、スルーレートを設定でき、ノイズの問題に容易に対処できる。最先端技術を採用し、しかも使いやすさを追求した製品である。

超低雑音HEMT

林 一夫・園田琢二

三菱電機技報 Vol.63・No.11・P89～92

衛星放送をはじめとするマイクロ波通信システムのキーデバイスである超低雑音HEMTを開発・製品化した。当社独自の低温オーミックセンター技術、Ni/AI合金化ゲート、並びに全自動分子線エピタキシー装置の開発により、周波数12GHzで雑音指数 $NF \leq 1.0\text{dB}$ という従来のGaAs-FETでは達成し得ない優れた性能と、平均故障時間が 10^9 時間以上の高い信頼性を持つ超低雑音・高信頼度HEMTの量産化を実現した。

光通信用1.5μm帯MQW-DFBレーザ

柿本昇一・吉田直人・榊原 靖・水口一男・須崎 渉
三菱電機技報 Vol.63・No.11・P93～96

当社がこれまでに開発してきたInGaAsP-DFB-PPIBHレーザに、新たにBG型のレーザ共振器構造とMQW構造を採用することにより、10mA以下の低しきい値電流、45dB以上の高いサイドモード抑圧比、1.1MHzという狭スペクトル線幅及び2 Gbps変調時のチャーピング量として2.8 Åといい小さな値を得ることができた。このMQW-DFBレーザは、大容量・長距離光通信やコヒーレント光通信用の光源に適している。

超低雑音GaAsSAMFETの開発とMMICへの応用

細木健治・綾木なぎさ・加藤隆幸・谷野憲之・高野博三
三菱電機技報 Vol.63・No.11・P97～99

均一性・再現性に優れた多層ゲート電極を持つ当社独自の自己整合型GaAsFET—SAMFET (Self-Aligned Multi-layer gate FET) を開発し、12GHzにおける最小雑音指数が 1.0dB という従来のリセスゲート型MESFETでは得られない優れた性能を実現した。このトランジスタを4段低雑音MMIC増幅器に適用し、11.7～12.7GHzにおいて雑音指数 1.76dB 以下、利得 28dB 以上の世界最高性能を得た。

Abstracts

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 82 ~ 85 (1989)

A Modern LSI for Still-Frame Video Telephones

by Hiroyuki Sugino, Koji Kaneko, Shigeyuki Nita & Takeshi Suzuki

In June 1988, the Japanese government established domestic standards for telephones with still-frame monochrome video transmission capabilities that use conventional analog telephone lines. Sales of this equipment are expected to accelerate as additional functions become available and prices drop. The article introduces a newly developed monolithic system LSI and a new still-frame video telephone that uses it.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 57 ~ 60 (1989)

The MR3200 Operating System (Based on MICRO-ITRON Specifications for the M32 Series 32-Bit Microprocessors) and Its Development-Support Environment

by Koji Hirano, Hideo Tsubota, Toru Shimizu, Kazunori Saito & Keizo Higuchi

This operating system is based on the MICRO-ITRON specifications developed to support embedded-controller applications. A hardware emulator has also been developed to enable debugging of applications software in the operating system's real-time environment.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 86 ~ 88 (1989)

The M60050 Series High-Speed, Low-Power-Consumption, 1.0 μ m CMOS Gate Arrays

by Hirotaka Nakamura, Hiroyuki Nunogami, Kazuharu Nishitani, Tsugutoshi Goto & Keiji Kawabata

The high speed of these gate arrays is associated with the 1.0 μ m CMOS process; the reduced power consumption is also a new development. The devices also feature a newly developed plastic package with low thermal resistance, opening the door to a wide range of applications. The multifunction buffer allows fine control over output current and slew rate for an easy solution to noise problems. The product employs advanced technologies and is also easy to use.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 61 ~ 65 (1989)

A 24-Bit 50ns Digital-Image and Video-Signal Processor (DISP)

by Hideyuki Terane, Shin'ichi Nakagawa, Masahiko Yoshimoto, Toshiaki Shimada, Hirofumi Shinohara & Masahiro Hatanaka

This DISP, developed using 1.0 μ m double-metal CMOS technology, integrates 538,000 transistors. It features an enhanced parallel architecture and a video-oriented data-processing function to improve its real-time processing capability. Moreover, the processor integrates an instruction RAM, two dual-port data RAMs, and various control units so that external components are minimized. The DSIP is suitable for a wide range of high-precision, high-speed digital-image and video-signal processing.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 89 ~ 92 (1989)

A Super-Low-Noise HEMT

by Kazuo Hayashi & Takuji Sonoda

The Corporation has developed a mass-production version of a super-low-noise high-electron-mobility transistor (HEMT) for DBS systems and other microwave communications systems. The device is fabricated using proprietary technology for low-temperature ohmic sintering, NiAl alloy gates, and fully automated electron-beam epitaxy to achieve a noise figure of $\leq 1.0\text{dB}$ at 12GHz, a value impossible to attain by existing GaAsFET technology. The device also features high performance and a high-reliability design with a mean-time-to-failure of over 10^9 hours.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 66 ~ 70 (1989)

16-Bit One-Chip Microcomputers for Automotive Use

by Shozo Shirota, Kikuo Muramatsu, Toshiaki Tayama, Kazuaki Miyata & Tadayoshi Adachi

The M37791E4TJ Series monolithic microcomputers feature an enhanced on-chip memory capacity as a successor to the M37790STJ 16-bit microcomputers for engine-control applications. Both devices belong to the MELPS7700 family of control microcomputers. The new microcontrollers feature a 32KB one-time PROM, 1.25KB RAM, 16-bit timer, 10-bit A/D converter, and UART implemented on a single chip by an advanced high-reliability process.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 93 ~ 96 (1989)

A 1.5 μ m MQW-DFB Laser Diode for Optical Communications

by Shoichi Kakimoto, Naohito Yoshida, Yasushi Sakakibara, Kazuo Mizuguchi & Wataru Susaki

The Corporation has developed an InGaAsP distributed feedback laser diode with a P-substrate partially inverted buried heterostructure, buried grating, and multi-quantum-well structure. This construction yields a low threshold current of 10mA, a high side-mode suppression of over 45dB, a narrow spectral linewidth of 1.1MHz, and a small chopping level of 2.8 under 2Gbps modulation. The device is suitable as a light source for high-volume, long-haul communications and coherent communications systems.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 71 ~ 76 (1989)

A High-Performance 16-Bit Single-Chip Microcomputer with a Built-in DMA Controller

by Takashi Yamasaki, Kentaro Shimmura, Yasushi Shimizu, Mitsuyoshi Nakamura, Takehiko Matsunaga & Naoki Yamauchi

This high-speed microcomputer has an on-chip DMA controller for rapid transfer of large volumes of data and a controller capable of directly controlling high-capacity DRAM. It is available in standard (M37720S1FP) and high-speed (M37720S1AFP) versions and is a member of the MELPS7700 microcomputer family. The device is intended for control of office and industrial equipment. The article introduces the device and its new functions and features.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 97 ~ 99 (1989)

A Super-Low-Noise GaAs SAMFET and Its Application in MMICs

by Kenji Hosogi, Nagisa Ayaki, Takayuki Kato, Noriyuki Tanino & Hirozo Takano

Developed with a proprietary multilayer self-aligned gate structure, this SAMFET (self-aligned multilayered-gate FET) has a minimum noise figure of 1.0dB at 12GHz, a substantial improvement over the previous technology for recessed-gate MESFETs. The device is currently the world's highest-performance solid-state microwave detector with a noise index of 1.76dB and gain over 28dB across the 11.7~12.7GHz band. It is suited for applications in four-stage low-noise MMIC amplifiers.

Mitsubishi Denki Giho: Vol. 63, No. 11, pp. 77 ~ 81 (1989)

Application-Specific LSIs for Use in MUSE and MTSC Converters

by Keisuke Okada, Masahiko Nakamura, Kenji Murakami, Yoshiaki Mizutani & Nobuharu Yazawa

To handle signals from the multiple sub-Nyquist sampling encoding system (MUSE) used in satellite broadcasting of high-definition TV signals a converter is required. The Corporation has developed an image-signal processing LSI and system converter that implement this function. The article describes the conversion process and its ASIC implementation.

アブストラクト

インバータ用パワーICモジュール

中嶋利廣・ゴーラブ・マジュムダール・福永匡則・飯尾幸司・
梶田武良・宮嶋辰夫

三菱電機技報 Vol.63・No.11・P100～104

電流センス内蔵のIGBTと周辺回路を、一つのパッケージに集積した500V、10～20AのパワーICモジュールの開発・量産化に成功した。このパワーICモジュールは、コンバータ・インバータ・駆動回路・保護回路等の機能を集積化し、多機能で自己診断機能を持ち、マイコンからの入力信号を印加するだけでインバータとして動作する。このパワーICモジュールにより、システムの小型化、高性能化、高信頼度が実現できる。

三次元形状シミュレータ

藤永正人・小谷教彦

三菱電機技報 Vol.63・No.11・P105～108

ULSIに使われる素子が微細化されるにつれ、素子の角の部分の形状が素子特性に影響し、素子構造も複雑になってきた。このため、LSI素子形状を立体的に予測できる三次元形状シミュレータが要求されている。今回、拡散現象をヒントに全く新しいエッチングモデルを考案し、高速・高精度な三次元形状シミュレータを開発した。これを用いて、光リソグラフィのレジスト形状やWet/Dryエッチング形状をシミュレーションしたので、ここに報告する。

超微細加工プロセス技術

西岡久作・小川佐知子・藤原伸夫・河合 晃・魚谷重雄・永田一志
三菱電機技報 Vol.63・No.11・P109～111

超LSIの実現を可能とするハーフミクロン対応超微細加工プロセス技術を開発した。一つは、LENOS (Latitude Enhanced Novel Single Layer Lithography) 法であり、プリベーク後アルカリ処理することと露光後加熱処理することにより、単層レジストプロセスでありながら三層レジスト並みの性能が得られた。もう一つは、COLLIE (Cold and Low-energy Ion Etching) 法であり、多極カスペ複合磁場方式ECRプラズマエッチング技術である。

斜め回転イオン注入技術

御城俊宏・高橋武人・大崎三郎・長友正男

三菱電機技報 Vol.63・No.11・P112～115

デバイスの微細化と三次元化に対応する斜め回転イオン注入技術を開発した。本技術の基本的特性である注入量の面内均一性、補正について検討し、デバイスへの適用を図った。その結果、トレンチ側面に均一な拡散層の形成ができ、LDD構造MOSトランジスタの非対称電気特性の解消と信頼性の向上を達成した。さらに、斜め回転イオン注入技術は、ハーフミクロン デバイスに適用できる良好な特性と信頼性を持つ新構造トランジスタを実現可能にした。

アイススクラバ洗浄

大森寿朗・福本隼明・加藤忠雄・川口利明・多田益太

三菱電機技報 Vol.63・No.11・P116～119

超LSIの新洗浄法として、極めてクリーンでかつ微小な氷粒子を用いた洗浄装置を開発した。超純水から製造した粒径0.1～300μmの氷粒子を基板表面に噴射することにより汚染物を除去する。特に、サブミクロンレベルの微粒子やCVD膜の異常成長異物など基板表面に強固に付着した汚染物の除去に有効である。本洗浄法は、氷粒子の噴射条件及び硬度を調節することにより、ダメージを制御することが出来る。また、有機物の除去も可能である。

半導体のFA技術

石橋一昭・大谷雅樹・吉田博之・加藤雄一

三菱電機技報 Vol.63・No.11・P120～123

生産工場における自動化は、個別装置の自動化の段階から装置間の物流を含めた工場全体の自動化、いわゆるFA(ファクトリーオートメーション)化の段階へと、進展しつつある。当社半導体工場においても、ASIC(特定用途向けIC)を対象とした、短工期かつ多品種変量型生産ラインのFA化に積極的に取り組んできた。

本稿では、高知工場で実現したASICウェーハプロセスラインのFAシステム概要について述べる。

Abstracts

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 112~115 (1989)

Oblique-Rotating Ion-Implantation Technology

by Toshihiro Miki, Taketo Takahashi, Saburo Osaki & Masao Nagatomo

This technology is intended for fabricating fine, three-dimensional device features. The authors investigated oblique-rotating ion-implantation technology, and applied their findings to create uniformly diffused layers in trench walls. The process eliminates the asymmetrical electrical characteristics of lightly doped drain MOS transistors, and raises device reliability. Uniform characteristics and high reliability make the technology a promising candidate for production of half-micron-scale devices employing new transistor structures.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 100~104 (1989)

A Power IC Module for Inverter Systems

by Toshihiro Nakajima, Gourab Majumdar, Masanori Fukunaga, Koji Iio, Takeyoshi Kajita & Tatsuo Miyajima

This module is rated at 500V and 10~20A and includes an insulated-gate bipolar transistor with a current-sense amplifier and peripheral circuits. It has converter, inverter, driver, protection, and self-diagnostic functions. The module functions as an inverter with a single control input from a microprocessor. It facilitates equipment size reductions and boosts equipment performance and reliability.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 116~119 (1989)

An IC Substrate-Scrubbing System Using a Fine Jet of Ultrapure Ice Particles

by Toshiaki Omori, Takaaki Fukumoto, Tadao Kato, Toshiaki Kawaguchi & Masuo Tada

The authors have developed a VLSI cleaning system that employs ultrafine particles of ice made from deionized water as a cleaning agent. The system employs a jet of particles ranging in size from 0.1~30 μ m that effectively removes contamination from substrate surfaces, including submicron particles and strongly adhering spurious CVD deposits. The ice-particle velocity and particle hardness are controlled to limit damage to the substrate surface. Organic products are also removed.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 105~108 (1989)

A Three-Dimensional Topography Simulator

by Masato Fujinaga & Norihiko Kotani

Accurate 3D topography simulators are required to analyze the effects of edge topography on VLSI performance. The authors propose a new etching model based on a modified diffusion equation, and have implemented this model in a simulator. The paper reports on the concept of this model and its applications in photolithography and wet and dry etching processes.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 120~123 (1989)

Factory Automation for LSI Manufacturing

by Kazuaki Ishibashi, Masaki Otani, Hiroyuki Yoshida & Yuichi Kato

The Corporation has introduced factory automation (FA) technology in its ASIC production lines where varied-size batches of many different devices must be completed on tight schedules. The article describes an ASIC wafer-production line incorporating this factory automation technology at our Kochi Factory. FA technology unites the separate systems that comprise production processes and generally include workpiece transport.

Mitsubishi Denki Gihō: Vol. 63, No. 11, pp. 109~111 (1989)

Ultrafine Patterning and Etching Technology

by Kyusaku Nishioka, Sachiko Ogawa, Nobuo Fujiwara, Akira Kawai & Shigeo Uoya

The Corporation has developed process technology for half-micron VLSIs. The latitude-enhanced novel single-layer lithography process (LENOS) consists of an alkaline treatment after prebaking and heating after exposure that enables a single-layer resist process to equal the performance of a three-layer process. The cold and low-energy ion-etching process (COLLIE) is an ECR plasma-etching system employing a multicusp hybrid magnetic field.

卷頭言

取締役 社長

志岐 守哉



人は30歳を而立という。事業も30歳は而立て働き盛りのときである。而立は自立にも自律にも通ずるもので、親兄弟、恩師、お客さまに恩を返していかなければならない年頃である。

当社は、1959年8月1日、半導体の量産工場として北伊丹工場（現、北伊丹製作所）を創設し、半導体事業に本格的進出をした。以来、30年間、世界の半導体産業の発展と歩みを共にし、今日の隆盛を迎えることができた。

もちろん、これまでの道程は、必ずしも平坦ばかりではなかった。しかし、先人の血の滲むような努力と、三菱電機の総力を結集して、さまざまな苦難を克服してきたからこそ、現在にまで成長できたのであって、心から感謝の意を表さずにはいられない。

半導体事業を振り返ってみると、黎明期には、アメリカから基本技術を学び、1960年代になって日本政府の産業振興策により事業の礎を固めることができた。日本経済の高度成長期には、大電力シリコン整流素子、サイリスタ等が、電鉄、鉄鋼、化学等の基幹産業分野で精力的に使用され、近代化に大きく貢献した。

1970年代に入ると、半導体は一段と技術革新の速度を増し、メモリ、マイクロプロセッサの新製品を続々と世に送り出し、さらには先駆的化合物半導体製品も発表し、これが多様な社会的ニーズに対応し得る能力向上に貢献したのである。即ち、応用範囲も民生機器分野のみならず、コンピュータをはじめとし、宇宙、通信、情報処理、オフィスオートメーション、自動車等々、産業機器分野へと需要が拡大され、産業構造の変換に伴い、基幹産業へと変貌してきたのだ。

この間、三菱電機は自社技術開発の芽を育て、先端技術に対処する巨額の設備投資を計画的に行い、世界最新鋭工場や最先端研究所群を建設し、かつ優秀な人材を投入することで事業体质の強化を図ってきた。まさに「仕事が人を育て 人が仕事を拓く」で着実に力をつけてきた。

しかし、今日、欧米諸国との通商摩擦、知的財産権、NIESの台頭、生産基地のグローバル化等々の問題が山積しており、厳しい環境下に置かれている一方、我が国半導体産業は世界の指導的立場に置かれているため、国際協調の推進をはじめとし、各国から寄せられる期待に応えていかなければならない使命も担っている。

海外と国内、というとらえ方のみならず、海外と海外、国内と国内、あるいは社内外というように多面的なとらえかたをする中で、さまざまな問題を解決していく姿勢が求められているのである。つまり、四方八方お客さまなのだから、顧客優先の精神を貫き、技術力はもちろんのこと、あらゆる情報を取り込んだサービスを提供していく必要に迫られている。

社会は、テクノロジープッシュ型を望んでいる。半導体、デバイスは、さらに、今後、新しい先端技術を磨き、大いなる可能性を追究しながら、国際的にも、国内的にも、現在置かれている立場を十二分に認識し、責任ある事業を推進していかなければならないと考えている。それは而立の責務である。

三菱半導体事業30周年に寄せて

三菱半導体事業30周年記念特集号発刊にあたり、心からお慶び申し上げます。

今から30年ほど前、可能性は高くとも、海のものとも山のものともわからなかつた半導体にかなり早くから着手され、事業として持ち上げられたご努力はさぞ大変だったろうと思われます。

ところで現在の半導体界と30年前の半導体界の違いはどのようなところにあるのかというようなところを30周年の区切りに考えてみるのも一考かと思われ、現代半導体界の特徴を30年前の考えと対比させて考えてみたいと思います。

その一つにまず言えることは30年前の半導体界といわれるものは、きわめて科学色が強く、科学上の問題の解決に全力が注がれたのに対して、現代の半導体界の動きというのはもちろん科学技術的な考察も重要であります。それに加えて、マーケティング的な考察いわゆる事業面への考察がかなり重要視されているように思われてなりません。

たとえば、最近マイクロプロセッサ関係で話題となっているRISC(Reduced Instruction Set Computer)の動きなどは科学技術の成果というよりはマーケティング力や宣伝広報、マスコミ操作面での勝利というようにとれることもあります。RISCは発明者、事業者のパフォーマンスがきわめてうまく、その結果、持っている可能性以上に評価されているという見方もできます。しかし、私はこのようなことが全て悪いといっているわけではありません。現在の半導体が抱えている問題はきわめて多岐、複雑であり、RISCの問題一つをとっても半導体事業が単なる科学技術の研究開発だけでは成立しないということをきわめて象徴的に物語っているのであります。

二番目に私がいいたいことは、現在の半導体はアプリケーションの広範囲な広がりにより、半導体単体で物事を考えるのがきわめて苦しくなっているという点です。よくコンピュータのハードウェア、ソフトウェアの問題で、残る問題はソフトウェアだけというようにソフトウェアの問題がきわめて強く強調されることがあります。もちろんソフトウェア的思考ということは重要ではありますが、ソフトウェア思考というのはハードウェアがあってこそ行えるわけであります。決してソフトウェアだけが一人歩きするものではないということです。そこで、私はハードウェアもソフトウェアも重要であるということを再確認したいと思います。そしてこれをトータルアーキテクチャの時代というようになります。ですから、ソフトウェアが重要というあまり、ハードウェアを極端にシンプルにし、ソフトウェアだけでものごとを考えていくということもまた危険であります。

システムというのはハードウェアとソフトウェアのバランスが非常にうまくとれた時にはじめて成功したといえるわけであり、今後のシステム的思考からして半導体にもシステム的思考いわゆるトータルにものごとを考え、ハードウェアとソフトウェアのバランスをうまく決めていくということが重要になります。

その結果として、三番目にいえることは、これから半導体はその開発期間がより長期化するということです。プロセス技術の改良、集積度の増大、複雑化、ソフトウェア開発等々やらねばならぬことは多く、短期間で開発するのはきわめて困難になっています。そして最後に、半導体が人類並びに世界に与える影響が30年前に比べ格段に大きくなっていることを指摘したいと思います。このような時代においては半導体の開発にあたって、開発者が半導体の社会的影響の大きさを強く認識して開発にあたるべきであり、科学的、技術的な面だけにしか興味がないという姿勢はきわめて危険であります。半導体開発者に対し今ほど高い社会的モラルが要求されている時代はありません。

ところで私は1984年からトロンプロジェクトという90年代から21世紀にかけてひろく使われるであ



東京大学 理学部情報科学科 助教授

坂 村 健

ろう未来コンピュータシステムのための研究開発プロジェクトを推進しております。まさにこのプロジェクトでは将来の社会においてマイクロプロセッサをはじめとした半導体が非常に多く使われるようになり、その量は現在の1,000倍、1万倍、10万倍という規模でくる、このような都市を私は電腦都市というように象徴的に呼んでおりますが、そのような社会の基礎作りをする研究を中心としております。

このプロジェクトで最終的に目指しているのはマイクロコンピュータや半導体であふれた電腦都市であり、このようなシステムを超機能分散システム(HFDS:Highly Functional Distributed System)と呼んでおります。多くの機能システムがネットワークでつながれ相互に協調動作をする従来にはなかったタイプのシステムであります。そのために何をやり何をやってはいけないのかという哲学、理念を決め、それを技術開発項目にブレークダウンし、そして開発に着手するというきわめて用意周到、時間はかかりますがきわめて正当的な努力を日夜続けているわけです。

私どものプロジェクトではまず未来のコンピュータがどのようなものに使えるのかという応用分析を行い、その結果から基本的なコンピュータシステムの要素であるオペレーティングシステム並びにマイクロプロセッサへの要求を引きだし、それを実際に作りあげるというようなことを進めております。そして、このマイクロプロセッサに相当する部分でもトロン仕様チップというきわめて未来思考の強力なマイクロプロセッサの研究開発を行っております。三菱電機株式会社におかれましても私のトロンプロジェクトに全面的に賛同、参画をしてくださいり、特に半導体事業部におかれましてはトロン仕様チップGMICRO/100の研究開発製造を通して、プロジェクトに貢献していただいております。

このGMICRO/100はまさに未来のコンピュータシステムについての私の考えをダイレクトに表わした半導体であり、ソフトウェアとハードウェアのバランスのとれたトータルアーキテクチャのコアとして考えられています。ソフトウェアの生産性をあげるためにハードウェアだけを分離して考えるのではなく、オペレーティングシステムやコンパイラとハードウェアをトータルなシステムとして考え、最適化しているというようにユニークなフィーチャがあります。

ところで現在の国際的な関係における日本の位置付けを考えるにおいて今ほど日本の世界への貢献が望まれている時もありません。トロンプロジェクトでは国際協力ということを全面に打ち出し、日本のリスクにおいて将来の技術展開に重要な技術をいち早く先取り的に研究開発し、その成果を世界中にオープンするというオープンアーキテクチャ・ポリシィに基づき運営しておりますが、三菱電機株式会社におかれましてもその趣旨をご理解いただき、多大の協力をいただいております。

現在日本が世界に対して与える影響はきわめて大きくなってきております。そのような影響力の増大とともにいくつかの誤解も起っているようですが、世界に与えるスケールの大きさから考えていましたかたないことかもしれません。しかしながら、我々は努力を続ける必要があります。分かった目標に対して短期に勝負するというパターンではなく、目的は非常に明確であるが、その目的達成にあたってきわめて大きな困難が予想されるような長期レンジの努力が必要なものに対しても、自らのリスクで積極的に解決にあたっていく必要があります。三菱電機株式会社におかれましても90年代、21世紀の世界に向かい、このような現在の国際情勢並びに複雑度を増す半導体界において、世界に対しての貢献、ひいては人類の未来のためへの努力を今後とも続けられることを願い、簡単ですが、私のお祝いの言葉とさせていただきます。

三菱電機半導体技術30年の歩み

小宮啓義*

1. まえがき

1945年にショックレイ等により点接触型トランジスタが発明されてからはや40年以上が過ぎ、半導体は今やあらゆる分野に浸透して、産業の火と呼ばれるまでに発展した。

三菱電機の半導体は、1950年代前半に研究所においてゲルマニウムの材料研究を開始したことから端を発する。その後ゲルマニウムトランジスタ／ダイオード、シリコン電力用ダイオード等が試作・製造され、更にシリコンサイリスタ、シリコントランジスタへと発展していった。そしてこれらを量産するために1960年に半導体工場として北伊丹工場が完成し、半導体事業の本格的口火を切った。一方、1961年にシリコンチップ上にトランジスタ、抵抗、コンデンサ等を一体化した“モレクトロン”を完成した。この技術は、現在のプレーナ技術によるモノリシックICと異なってはいるが、一個のチップ上に異なる素子を集積し一つの回路を構成した点では本邦初のICということができる。ICはこの後バイポーラリニア、TTLと進み、1970年前後からはAIゲートP-MOSによる電卓用ICの生産が始まっている。

III-V族化合物半導体では1963年に国内で初めて液体窒素温度でのGaAsレーザの発振に成功、1970年代にはAlGaAs/GaAsダブルヘテロ接合による室温連続発振を実現して世界に大きなインパクトを与えた。一方マイクロ波素子は、1966年のガンドライオードの開発に始まって、1970年にかけてGaAsインパットダイオード、GaAsFETへと展開している。

以上のように始まった三菱電機の半導体は、その後幾多のう(紆余曲折を経ながら)発展し、現在のような多くの品種を擁するに至った。その様子を図1に示す。また、このような品種の発展は、その基礎となる多種類の製造技術、設計技術及び周辺技術の進歩に支えられている。本稿は、半導体事業30周年記念特集号を組むに当たり、各品種及び技術の変遷を概観したものである。

2. シリコンデバイス

2.1 メモリ

メモリは1972年のシリコンゲートP-MOSによる1KビットDRAMの開発に始まる。その後DRAMはN-MOSによる4Kビットから16Kビットへと進み、64Kビットにおいて大きくシェアを伸ばした。更に256KビットからCMOSによる1Mビットへと順調にシェアを拡大し1Mビットの量産化に成功し1Mビットでは世界第二位の地位を占めるに至った。現在は4Mビットの量産化に成功し16Mビットに開発の主体が移り更には64Mビットを目指した研究・開発が進んでいる。この辺の状況の一端を論文“最先端DRAMプロセス技術”及び“4MビットダイナミックRAM”でかいま見ることができる。

また、256KビットDRAMの時代からASIC化の動きが進み、その最初である256KビットデュアルポートRAMは1986年度のR&D

100賞を受賞している。論文“1MビットデュアルポートRAM”に述べた製品はその次世代であり、また、“ディジタルPPC用5KバイトFIFO/LIFOメモリIC”もASICメモリの一つである。

一方、SRAMは1970年代前半にN-MOSによる1Kビットを製品化したのが起点であり、64Kビットの時代にCMOSとなり、現在1Mビットの中速版及び高速版まで製品化が進んでいる。論文“高速1MビットCMOSスタティックRAM”はSRAMの最先端製品を紹介したものである。また、SRAMそのものではないが、4個の1MビットDRAMとワンチップ化したコントローラを高密度実装した4Mビット疑似SRAMが、論文“4MビットP²SRAMモジュールの開発と応用”に述べられている。

EPROMについては、1975年の2Kビットの開発に始まり、256KビットからCMOS版が加わり、現在2Mビットまで製品化されている。また、1980年代前半に64Kビットを製品化したEEPROMは現在1Mビットまで到達しているが、これを紹介したのが論文“5V単一電源で動作する高速1M EEPROM”である。さらに、今後は、フラッシュEEPROMの開発にも注力する計画である。

メモリは今後とも、高集積化と高速化が進むであろう。また、ASSP(Application Specified Standard Product)としてのASICメモリの種類も増加すると考えられ、これらがメモリの今後の指向である。

2.2 マイコン

当社のマイコンは、当初インテル系8ビットMPUで出発したが、1978年に最初のオリジナル4ビットMCU M58840を完成させてから次第に中心をオリジナルMCUに置くようになった。1982年に開発したオリジナル8ビットMCU M50740では、微細化されたCMOSプロセスを採用し、これをコアに専用MCU MELPS740シリーズを発展させ、CMOS4ビットMCUシリーズと合わせて、民生、OA分野を中心に大きく成長し、この製品分野においてトップグループの座を得るに至っている。

さらに、現在は、斬新なアーキテクチャと1.3μmCMOSプロセスを用いた高機能の16ビットMCU MELPS7700シリーズの展開を推進中である。このシリーズは、高速化、内蔵メモリの大容量化、種々の周辺機能の搭載等により広く産業分野へ対応でき、OA、自動車、FA等の分野を中心に展開してきている。今回収録した“自動車用16ビットワンチップマイコン”“DMAコントローラ内蔵・高性能16ビットワンチップマイコン”の2編の論文は、それらを紹介したものである。

一方、TRON仕様に基づく汎用32ビットMPUに関しては、複数同業者との開発協業の中で、3種類のMPUと周辺LSI群を開発中である。当社で開発したM32/100は、最先端CMOSプロセス技術と多段パイプライン制御等の高度な計算機技術を駆使した7MIPSの性能を有する製品であり、これからは産業用分野に最適である。高度な開発環境やリアルタイムOSも開発した。“TRON仕様32ビットマイクロプロセッサM32/100”“M32用μITRON仕様OS：MR3200と開

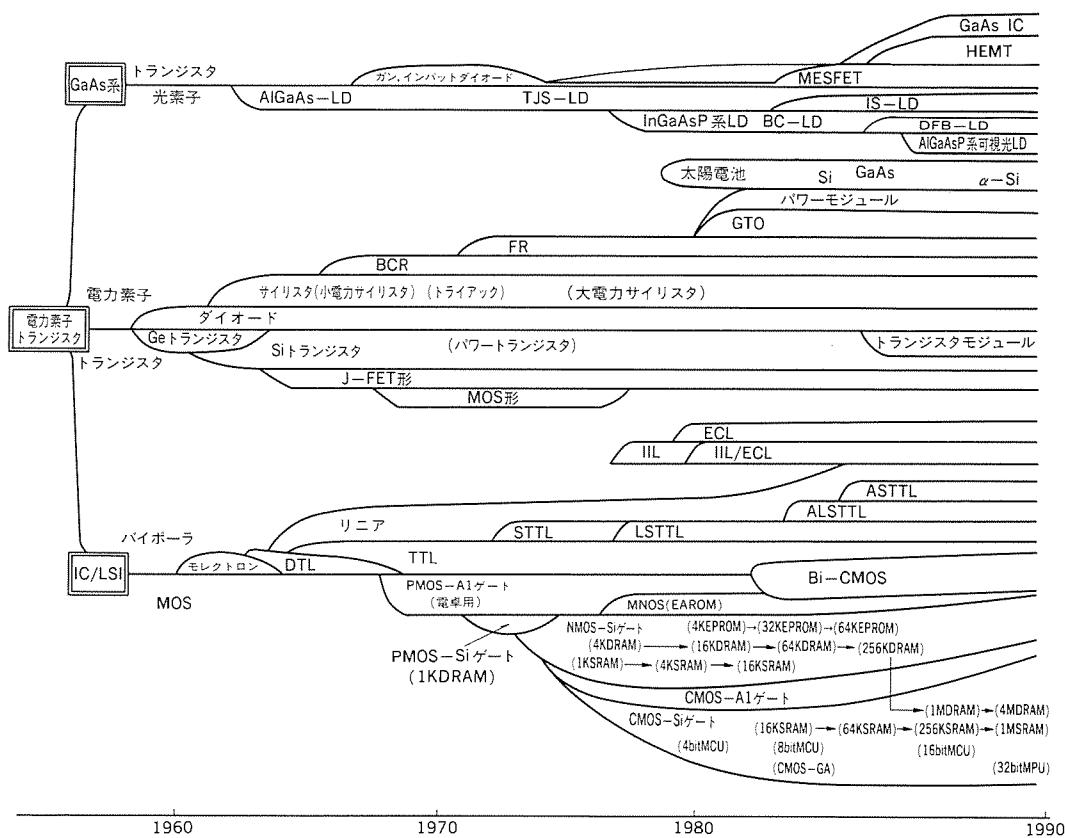


図1. 当社の半導体デバイス及び製造技術の変遷

発環境”の2編の論文は、これらの一端を紹介したものである。

今後マイコンは、MPU、MCU共に、微細化技術の進展による高速化と高集積化をベースにして、一層の高性能・高機能化製品群を実現し、かかる後、MPUについては、複数のオンチップ・マルチプロセッサによる並列処理や64ビットアーキテクチャへと進展していくであろう。今後の展開でもう一つ重要なのは、多様化への対応である。16ビットMCU MELPS7700シリーズはもともとこれを意図して作られたものであるが、TRON仕様32ビットMPUにおいてもM32ファミリーを標準アーキテクチャとし、各種応用分野に特化した周辺機能のオンチップ化等、さまざまな展開が期待できる。

2.3 ASIC

当社のゲートアレーは、当初社内向けとして開発に着手し、1977年に144ゲートECLゲートアレーと920ゲートN-MOSゲートアレー及びその設計用CADシステムを開発したのに始まる。MOSゲートアレーは後にCMOS構造に切り替え、1982年に当社独自のゲートアイソレーション方式で、2.6kゲートを開発、その後外販を開始するとともに高集積化、ROM/RAM内蔵、ゲート敷きつめ方式などの開発を経て現在、0.8μmCMOS技術による400kゲートCMOSゲートアレーの開発を進めている。論文“高速、低消費電力の1.0μmCMOSゲートアレーM60050シリーズ”は、顧客要求にこたえるべく低消費電力化を最重視した15Kゲート／25Kゲート／35KゲートのCMOSゲートアレーシリーズを紹介している。

また、セルベース方式については、1.3μm及び1.0μmCMOSセルベース方式用統合CADシステムの開発を完了し、鋭意セルライブラリの充実に努めるとともに、各種ロジックLSIの設計に活用して開発期間の短縮と設計の質の向上を実現している。次に述べるASSPのうちの二品種もこのセルベースシステムを用いて設計したもので

ある。

ASSPは専用標準LSIとも呼ばれ、特定用途向けの複数ユーザーを対象とした製品として位置付けられる。この種LSIの価値の指標は性能(機能)/コストであるが、ASSPではこれをセミカスタムLSIより高くすることができます。これは、ASSPがメーカー主導の設計であることから、最先端プロセスの使用と同時に最先端CADツールによる自動化設計とベテラン設計者による人手設計とを組み合わせた最適化設計が可能のことによる。また、複数ユーザーの使用に供することによる量産効果も、コストダウンに寄与する。

本特集号では、ASSPの画像及び映像処理分野での開発事例の中から、画像処理に対してアーキテクチャの最適化を図った“24ビット、50ns画像／映像処理用シグナルプロセッサ(DISPP)”，LSIパーティショニングによる性能の最適化を図った“MUSE／NTSCコンバータ用LSI”及びアナログ／ディジタル混在による高集積化を図った“静止画テレビ電話機用モジュールLSI”的3件の論文を掲載した。

2.4 カード

ICを搭載したカードにはマイコンカードとメモリカードの二種類があるが、当社は両カードとも半導体の先端応用製品として位置付け1984年から積極的な開発を進めてきた。このうち各種メモリICを複数個搭載するメモリカードは1985年の発表を皮切りに、1987年には世界最大容量カードとして512KバイトSRAMカードを、続いて1988年には、これまた世界最大容量の2MバイトOTPカードを完成させている。

これら当社大容量メモリカードは、①最先端メモリICの搭載、②カード専用の周辺ICの開発と導入、③カード用に開発した超薄形プラスチックモールドパッケージの全面採用、の三点を統合した最先端半導体応用製品であり、論文“三菱大容量メモリカード”はその一端を紹介したものである。

2.5 パワーモジュール

パワーデバイスは、高耐圧化、大容量化、高速化の歴史をたどってきたが、一方で複数のパワーデバイスあるいはパワーデバイスとコントロールチップを一体化してアセンブルするモジュール化の動きも盛んである。当社では、1978年のダイオード及びサイリスタモジュールを開発・製品化して以来、各種のパワーデバイスを組み合わせた新製品を開発し、電力変換装置の小型・軽量化に著しく貢献してきた。これらのパワーデバイスは、高耐圧・大容量及び高周波

化とともに、現在、高集積化、高機能化の方向に進んでおり、これに対応して、当社は、1989年にパワーICモジュールを発表した。論文“インバータ用パワーICモジュール”は、これを紹介したものである。

3. 化合物半導体製品

3.1 光 素 子

半導体レーザについては、初期の研究・開発の後、1982年以降事業化に注力し、世界に先駆けて $0.78\mu\text{m}$ CD用レーザの量産化に成功、CD生産の急激な立ち上りに貢献してきた。最近では、論文“光通信用 $1.5\mu\text{m}$ 帯MQW-DFBレーザ”で紹介している量子井戸活性層と埋め込み型の新しい回折共振器を持つ素子の開発に見られるような低しきい値、高出力、狭スペクトルなどの特徴を持つ高性能光通信用 $1.3/1.55\mu\text{m}$ レーザをはじめ、光ディスク用高出力レーザ、可視光レーザ、加入者系通信用の直線性の優れた低雑音レーザ等の開発に注力するとともに、将来のコヒーレント通信用波長チューナブルレーザ、OEIC等の開発も進めている。

3.2 マイクロ波素子

マイクロ波素子の開発方向は、いまでもなく低雑音化、高速化、低消費電力化、高出力化である。III-V族半導体を用いたマイクロ波素子のうち、個別素子の中心は、従来、MESFETであったが、1980年代に入って、より低雑音、高速が期待できるHEMTを実用化し、今日に至っている。論文“超低雑音HEMT”はその最先端デバイスの紹介である。

一方、マイクロ波素子においても集積化(MMIC)は必ず(須)の流れであり、当社においては1980年代後半から実用化を始めている。その中で、低雑音化を中心にして紹介したのが、論文“超低雑音GaAs SAMFETの開発とMMICへの応用”である。このほか、Source Island Via-hole FETを用いた高出力増幅器、デジタルICでは1989年度のR&D100賞を受賞したプリスケーラ等がある。

4. 製 造 技 術

4.1 シミュレーション技術

シミュレーション技術は、CAD技術の一環であるが、当社でも、論理シミュレーションからプロセスシミュレーションに至る一連の各種シミュレータを開発、実用化し、LSIの設計・開発の大幅な期間短縮及び効率化を実現している。これらのシミュレータのうち、トランジスタの構造と外部電圧を与えて、その電気特性を計算するデバイスシミュレータとプロセス条件を設定して加工後の形状や不純物分布を求めるプロセスシミュレータが、近年のデバイス構造の微細化と複雑化に伴って急速に重要度を増している。

デバイスシミュレーションやプロセスシミュレーションにおいて重要なのは、物理的、化学的現像をいかにモデル化するかということであり、その良し悪しによって、実用的な計算時間内に必要な精度のシミュレーションができるかどうかが決まると言つてもよい。論文“三次元形状シミュレータ”は、そのようなモデル化の一例として、従来のストリングモデルとは全く異なった、拡散現像をヒントにした新しいエッティングモデルを考案採用した形状シミュレータについて述べたものである。このモデルにより、三次元化が困難であった形状シミュレーションを一挙に三次元化することが可能となつた。

4.2 ウェーハプロセス技術

ウェーハプロセス技術の中の最も基本的なものの一つは写真製版技術である。初期には、コンタクト又はプロキシミティ露光が用いられたが、1970年代後半から反射投影露光技術を導入し、64K DRAMの量産に用いた。さらに1980年代前半の256K DRAMの量産からはg線ウェーハステッパーを用い、その後レンズの改良が行われ、現在 $0.8\mu\text{m}$ パターンを用いた4M DRAMの量産に至っている。更に今後のパターン微細化のためにi線ステッパー及びエキシマステッパーを導入しつつあり、その先の技術としてX線露光や電子線直接描画の研究を行つていている。

一方、微細加工技術のもう一つの要素であるエッティング技術については、1971年のプラズマアッキング技術のIC製造プロセスへの導入成功に始まり、 Si_3N_4 膜及びポリSi膜のプラズマエッティング技術の導入と、世界の先陣をきつてエッティングのドライ化を進めてきた。その後、平行平板型プラズマエッティング、RIE、と進み、さらに、磁場強化型RIE、ECRプラズマエッティング等と高精度エッティングのための工夫がなされている。論文“超微細加工プロセス技術”は、これららの技術の研究・開発の一端を紹介したものである。

当社のイオン注入技術は、1970年前後に研究・開発を開始し、1975年前後から量産に導入、N-MOS及びCMOSの本格的量産を可能にした。その後、不純物濃度及び深さの制御性の良さにより広い範囲で使用してきている。最近では、高集積化に伴つてイオン注入の方向性が問題になってきており、トレンチ技術に関してこの方向性の問題を解決し、また、トランジスタの微細化のために方向性を利用すべく開発したのが、論文“斜め回転イオン注入技術”である。

半導体ウェーハの洗浄は、有機溶剤や酸等の薬液と純水を用いて行われるが、表面に付着した微粒子やCVD異常成長粒子等の除去には、通常ブラシスクラバが用いられている。しかし、パターンが小さくなり、問題となる異物の粒径が小さくなつくると、ブラシスクラバはその有効性が問題になるとともに損傷の原因にもなる。これを解決する目的で開発したのが、論文“アイスクラバ洗浄”で紹介した氷の微粒子を吹き付けて洗浄するユニークな技術であり、今後、半導体ウェーハの洗浄だけでなく、多方面への応用が期待されている。

4.3 FA技術

半導体の製造工程は、1960年代後半から、急速に個々の製造装置についての自動化が進み、また、これに並行して、各種の生産管理情報を電算機で処理する生産管理情報システムの構築も進んできた。

これらを背景として、当社ではLSI工場全体の一貫自動化技術の開発を進め1984年に西条工場のLSI全自動化一貫生産ラインを完成了。このラインは世界最初のFA化LSI工場として高く評価され、その高生産性及び製品の高品質とあいまつて多くの重要顧客からお褒めの言葉を頂くとともに、1987年度には大河内賞を授与された。

この経験をベースに、以後に建設された当社の製造ラインは、すべてFA化を基本としており、西条工場第二棟、高知工場第一、第二ラインと進むに従つて、FA化技術も高効率化、Flexible化の方向で急速に進歩を続けている。論文“半導体のFA技術”は、これらの状況を紹介したものである。

5. む す び

本稿は、今回の特集号に採録した論文に関連した品種及び技術についてその概要を述べたため、すべての品種を網羅していないが、三菱電機の半導体技術の流れを理解する上で参考となれば幸である。

最先端DRAMプロセス技術

佐藤真一*
若宮 亘**
重富 晃**

1. まえがき

0.5μmルールULSIを代表する16M DRAMは、いよいよ本格的な製品開発の段階を迎え、キャパシタ、素子分離、配線などメモリセルを中心としたプロセス技術開発が鋭意展開中である。さらには、クオータミクロンプロセス要素技術への取組も活発に行われており、64M DRAMをにらんだメモリセル構造も提案され始めている。一方、素子の高集積化に伴いフォトマスク作成技術も一段と高性能化が進んでおり、特に電子ビーム描画用データの増大に対応した短時間で精度の良いレティカル作成技術は、ULSI技術のかなめ(要)となってきている。

本稿では、16M及び64M DRAMに向けて開発中のメモリセル構造及びそのプロセス技術と最新のマスク作成技術についてその一端を紹介する。

2. DRAMプロセス技術の動向

図1にDRAMの微細化トレンドを示す。DRAMの中心を占めるメモリセル1ビットの基本構成は、16K以降シンプルな1素子型セル（1トランジスタ+1キャパシタセルとも呼ばれる）を踏襲しており、比例縮小則に従った微細化へのたゆまぬ努力の結果、ほぼ一定の比率(30~40%)で縮小されてきた。その結果、今日みられるDRAMの高密度・高集積化を達成している。この微細化トレンドは、種々の技術動向から当分続くと予想され、16Mのメモリセル面積は約4μm²、64Mでは実に1.5μm²という微小な値が想定される。その結果、ソフトエラーやホットエレクトロン効果あるいはエレクトロマイグレーションといった信頼性上の課題に加えて物理的限界そのものにかかる問題の出現が予想され、デバイス構造やプロセス技術、材料面での新規なアイデアとそれに基づくアプローチが強く求められる。特にメモリセルの核を成すキャパシタは、α線の影響や電源等からの雑音に対して回路動作を保証するために、30フェムトファラッド(fF)以上の十分な蓄積容量の確保が必要であり、4M DRAM以降その三次元構造化が不可欠になるなどDRAM開発の要となっている。

現在、三次元キャパシタは、スタック型及びトレンチ型の2派に分かれて各社実用化が進んでいるが、微小なセル面積に大きな蓄積容量を確保するためにはスタックはより高く、トレンチはより深くといったキャパシタ電極の側面利用効果を一段と突き詰める必要がある。各社16M DRAMでは、4Mで実用化されたスタックトキャパシタ構造⁽¹⁾を踏襲しており、蓄積容量を増大させるため種々の改良を加えてきた。以下、新規なスタックトキャパシタ構造をめぐる16M及び64M DRAMプロセス技術の現状を紹介する。

3. 16M及び64M DRAMプロセス技術

3.1 16M DRAMメモリセル技術

約4μm²という微小なセル面積の中にスタックトキャパシタセル

を実現するに当たり、更に次のような改良点を加えた⁽²⁾。

- (1) 分離方法として従来のLOCOS系分離に代わり、フィールドシールド分離を採用して分離領域を縮小するとともに狭チャネル効果を抑えた。
- (2) アスペクト比の高いコンタクトホールに対して、安定した電気的接続をとるため、選択CVDタンクステンによる穴埋め技術を導入した。
- (3) キャパシタ構造として各社独自のT字型スタックトキャパシタを採用し、微小セル面積においても十分なキャパシタ容量を確保するとともに、断差部での電極パターンの加工という従来の問題点を解消することを可能とした。以下これらの3点について順次詳述する。

3.1.1 素子分離技術

素子分離領域の縮小化という問題を解消するためにトレンチ分離を始め幾つかの提案がなされてきたが、プロセスの複雑さ、信頼性上の問題からLOCOS法にとって代わるまでには至らず、プロセスの改良によってバーズピークの伸びを抑えた改良LOCOS法がDRAMの素子分離としてこれまで使用してきた。しかしながら、チャネル幅がサブミクロンレベルの16M DRAMでは、バーズピークもさることながら狭チャネルに対する対策がより重要となり、チャネルカットのために高濃度の不純物層を直下にかかるLOCOS法では狭チャネル効果の問題が顕在化していく。

今回16M DRAMに適用したフィールドシールド分離は、基本的にトランジスタ分離の一環で、LOCOS法のような高濃度層を必要とせず、図2に示すようにチャネル幅0.6μmまで狭チャネル効果を抑

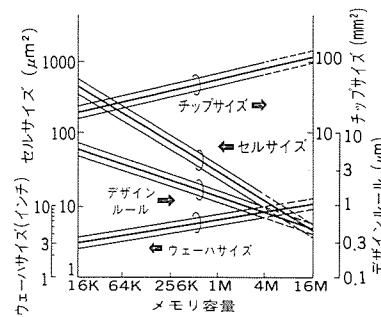


図1. DRAMの微細化トレンド

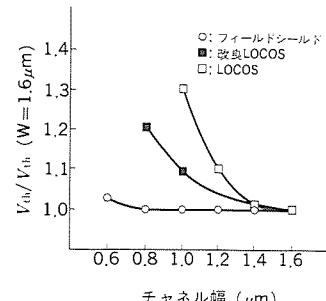


図2. 狹チャネル効果

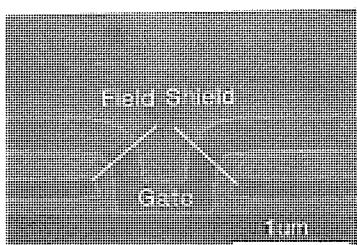


図3. フィールドシールド分離トランジスタの断面

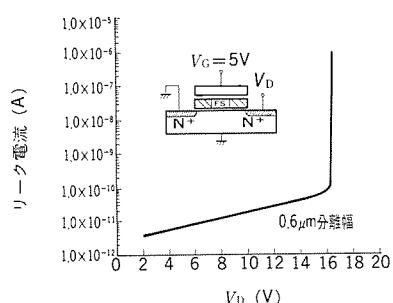


図4. フィールドシールド寄生トランジスタのリーク電流

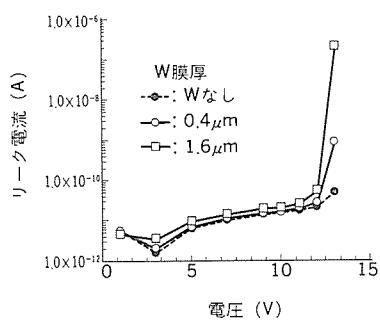
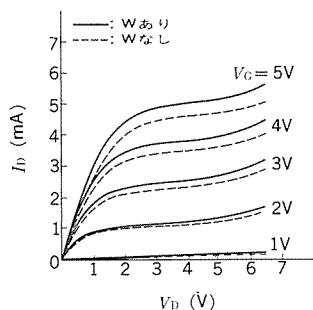
図5. n⁺-p接合のリーク電流

図6. タングステン ソース／ドレイントランジスタのI-V特性

制することができる。構造的には図3に示すように、ゲート酸化膜とゲート電極及びこれらを被覆している絶縁層から成り、通常のサイドウォール付きトランジスタと同じ形状を持ち、プロセス的にも従来技術がそのまま利用できる。また、LOCOS法のように厚い酸化膜のストレスに起因した結晶欠陥の発生がないため、リフレッシュ特性の向上等が期待できる。フィールドシールド分離のゲート電極を保護するサイドウォールの直下にはn⁺層がなく、オフセットゲート構造になっており、フィールドシールド寄生トランジスタのV_{th}を高める効果がある。また、図4に示すように寄生トランジスタのソース／ドレイン間リーク電流もドレイン電圧16Vまで低く抑えられており、分離領域を0.6μmまで縮小することができた。

3.1.2 高アスペクト比コンタクトホール形成技術

スタックトキャパシタは、素子分離領域及びワード線の段差を利用

してキャパシタ面積を増大させようとするものであるから、特にキャパシタ領域形成後のデバイス表面の凹凸は必然的に激しくなる。このような凹凸の上にピット線あるいはアルミ配線を精度良く形成するためには、これらの配線の下を極力平坦にしておく必要がある。そうすると、今度は特に凹部に形成すべきコンタクトの層間絶縁膜が厚くなり、アスペクト比（層間絶縁膜厚／コンタクト径）が大きくなってしまう、上部配線材料が被覆できずコンタクトがとれないという問題が生じる。

この問題を解決するための有効な方法の一つとして、コンタクトホールを導電材料で埋め込んでしまう穴埋め技術がある。この方法によればアスペクト比の大きなコンタクトでも確実に電気的接続がとれ、かつコンタクト上部が平坦にできるという特徴がある。コンタクトを埋める導電材料は幾つかあるが、16M DRAMでは選択CVDタングステン膜による穴埋め技術を導入した。この構造をとることにより、同時にトランジスタのソース／ドレイン領域にもタングステン膜が張り付けられることになり、トランジスタ特性の向上も期待できる。

選択CVDタングステンの形成方法としては、当社独自のWF₆のSiH₄による還元法を用い、タングステン膜下の接合リーク電流を低減させた。図5はn⁺-p接合上に0.4μmと1.6μm厚のタングステンを形成した時の接合リーク電流を示したもので、いずれの膜厚でもリファレンスとして示した従来のアルミコンタクトと同程度の低い値を示している。この選択CVDタングステン膜を、直接ソース／ドレイン領域に成長させたLDDトランジスタのI-V特性を図6に示す。このトランジスタはnMOSトランジスタで、ゲート長は0.5μm、チャネル幅は10μm、またタングステン膜とゲート電極とは0.15μmのサイドウォールで分離されている。この場合のタングステン膜厚は0.15μmである。図には比較のためタングステン膜のない同一サイズのLDDトランジスタのI-V特性も示してある。図から明らかのように、ソース／ドレイン領域に直接タングステン膜を張り付けることによって電流駆動能力が上がる。

上記の例はタングステン膜が比較的薄い場合であるが、図7にはトランジスタのソース／ドレイン領域により厚くタングステン膜を成長させた場合の断面SEM写真を示す。この時のタングステン膜厚は、約0.4μmである。写真から分かるように、タングステン膜を厚く成長させた場合でも横方向への浸食(Encroachment)や虫食い(Wormhole)などの現象は見られず、かつ平坦な構造が得られている。

3.1.3 キャパシタ構造

下地の段差を利用してキャパシタ面積を拡大させているスタックトキャパシタでは、その段差ゆえに電極パターンの形成に負担がかかる。特に下部電極のストレージノードは、その側壁部分もキャパシタとして利用できるため膜厚を厚くする傾向にあり、加工上最大の難関の一つである。そのため16M DRAMでは図8に示すように、ストレージノードの下に比較的厚い層間絶縁膜を堆積して更にその表面を平坦にし、開口部を形成してトレーニチ状のストレージノード(T字型スタックトキャパシタ)とした。このように、平坦な層間絶縁膜を形成することにより、ストレージノードの加工を含めそれ以後の各パターン形成が非常に容易となつた。

また、層間絶縁膜の膜厚を厚くすることによって容易にキャパシタ面積を増大させることができ、例えば誘電膜として酸化膜換算で6 nmの窒化膜／酸化膜の複合膜を使った場合、35fFの容量を確保す

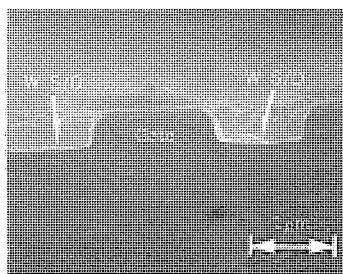


図7. タンクステン ソース／ドレイン トランジスタの断面

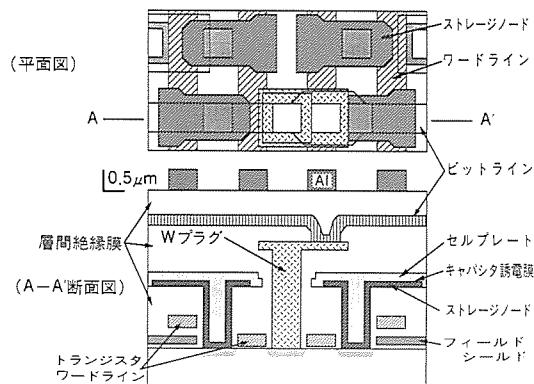


図8. T字型スタックトキャパシタセルの概念図

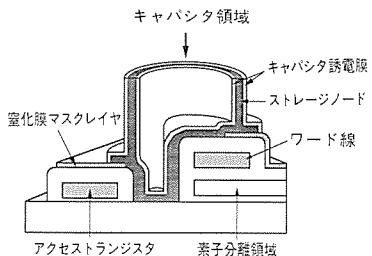


図9. 円筒型スタックトキャパシタセルの概念図

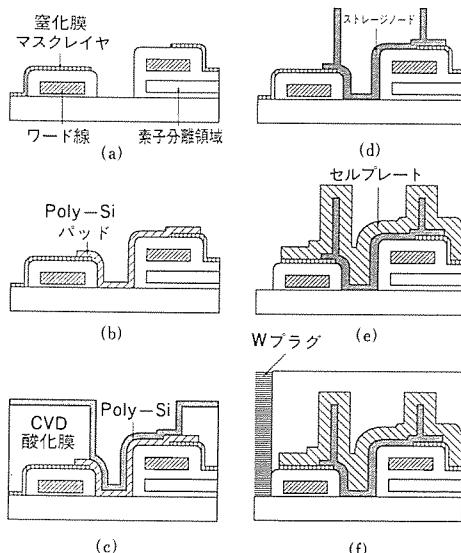


図10. 円筒型スタックトキャパシタセルの製造フロー概略

することができる。このような構造をとった場合、メモリセル内ではビット線コンタクトのアスペクト比が非常に大きくなるが、それに対しては前述の選択CVDタンクステンで埋め込むことにより、ビット線との電気的接続を容易にとることができる。

以上のように、フィールドシールド分離によって分離領域を縮小

することができ、T字型スタックトキャパシタと選択CVDタンクステンによるコンタクト穴埋め技術を組み合わせることにより、微小なメモリセルでも十分なキャパシタ容量を確保することが可能となつた。

3.2 64M DRAMメモリセル技術

3.2.1 メモリセル構造と特徴

上記のT字型スタックトキャパシタセルを更に微小なメモリセルに適用する場合、一般的にトレンチ型のキャパシタ構造が持つ本質的な問題、すなわちトレンチ開口部の縮小に伴う側壁面積の減少という問題に直面する。本来のトレンチセルの場合には、トレンチ深さを深くしてキャパシタ面積の減少を防ぐこともできるが、T字型キャパシタセルの場合ストレージノードを無制限に上方に伸ばすことはできない。

この問題を解決するために、T字型スタックトキャパシタの発展型として、図9に示すようなキャパシタ構造を開発した⁽³⁾。構造的には、T字型スタックトキャパシタの外側の層間絶縁膜が除去された形になっており、円筒型ストレージノードの内壁部、外壁部、及び底面部のすべてがキャパシタ領域として利用できる。したがって、ストレージノードの高さが同じならば、T字型スタックトキャパシタセルの2倍以上のキャパシタ面積が得られる。また、ストレージノードの表面がすべて露出しているため、ストレージノードへの不純物導入が、例えばトレンチ型キャパシタセルの場合に比べて非常に容易である。

3.2.2 プロセス技術

この円筒型キャパシタセルを実現するためのプロセスについて、図10の製造フローに基づいて概説する。

- (1) 素子分離領域及びアクセストランジスタ／ワード線形成後（これらの側壁は自己整合的にサイドウォールで保護されている），シリコン窒化膜を堆積し、通常のリソグラフィ法でストレージノードのコンタクト部分の窒化膜を除去する。この窒化膜は、後で層間絶縁膜の酸化膜をウェット法で除去するときの下層レイヤ（素子分離領域、ワード線）に対するマスクとなる。
- (2) 今開口したストレージノードのコンタクト部分を被覆し、窒化膜マスクレイヤに一部オーバラップするように多結晶シリコンのパッドレイヤを形成する。続いてイオン注入法で、Asをパッドレイヤに導入する。この多結晶シリコンのパッドレイヤは、後で形成するストレージノードの一部（底面部）となる。
- (3) 次に全面に厚い層間絶縁膜（酸化膜）を堆積し、その表面を平坦化する。この時点で層間絶縁膜を完全に平坦にしておくことが、この製造フローの一つのポイントである。平坦化するためには幾つかの方法があるが、従来のBPSG、リフロー法でも容易に平坦な構造が得られる。この層間絶縁膜の膜厚によってもキャパシタ容量を調整（拡大）することができる。
- (4) ストレージノードを形成する部分にコンタクトホールを開口し、続いて多結晶シリコンを堆積する。次に、RIE等の異方性エッティングによって多結晶シリコンの全面エッティングを行う。その結果、平坦な層間絶縁膜上の多結晶シリコン及びコンタクトホール底部の平坦部の多結晶シリコンが除去され、コンタクトホール側壁部の多結晶シリコンは残る。コンタクトホールの底部には以前に形成した多結晶シリコンのパッドレイヤが残っており、側壁部の多結晶シリコンと合わせてストレージノードを形成する。
- (5) 層間絶縁膜の酸化膜をウェットエッティングによって除去するこ

とにより円筒型のストレージノードが形成される。酸化膜をウエットエッチングの間、素子分離領域、ワード線は以前に形成した窒化膜マスクレイヤ及び多結晶シリコンのパッドレイヤによって保護されている。図11はこの段階でのメモリセル部のSEM写真である。この場合の円筒型ストレージノードは、外径 $1.5\mu\text{m}$ 、高さ約 $1.5\mu\text{m}$ である。

(6) ストレージノードにイオン注入法によりAsを導入する。続くキャパシタ誘電膜（窒化膜／酸化膜の複合膜）及びセルプレートの形成は、従来のスタックトキャパシタセルの場合と同様である。高アスペクト比のビット線コントラクトに対しては、T字型スタックトキャパシタセルの場合と同様、選択CVD法によってタンクステンプラグを形成する。

以上のように、円筒型キャパシタの製造フローは基本的にT字型スタックトキャパシタの場合と変わらず、窒化膜マスクレイヤを形成する工程が一回増えるだけである。この製造フローでは、キャパシタ誘電膜がその上部に形成されるストレージノードの一部が直接RIEの照射を受けるが、図12及び図13に示すように円筒型キャパシタ上の誘電膜の特性は、初期耐圧の点でも従来のスタックトキャパシタの場合と有意差なく、TDDBから予測される寿命も実使用上十分である。また、ストレージノードパターンが全面エッチングによって形成できるため、加工に対する負荷が大幅に軽減される。

3.2.3 今後の展望

図14は種々のメモリセル面積に対して、T字型スタックトキャパシタ及び円筒型スタックトキャパシタ容量を、ストレージノードの高さをパラメータとして見積もったものである。約 $4\mu\text{m}^2$ のメモリセルは16M DRAM、 $1.5\mu\text{m}^2$ は64M DRAMで予想されるメモリセル面積である。図から分かるようにT字型スタックトキャパシタセルの場合、 $1.5\mu\text{m}^2$ というメモリセルの中で十分な容量を得ようとすると $3\mu\text{m}$ 近いストレージノード高さが必要となる。それに対して、円筒型スタックトキャパシタセルでは、その半分以下のストレージノード高さで十分な容量を得ることができる。もちろん、64M DRAMでは、メモリセル構造以外にもブレークスルーしなければならない技術課題は数多くあり、またキャパシタ構造にしても誘電膜の開発次第によつては別の展開も考えられるが、この円筒型スタックトキャパシタセルは、従来技術の延長での一つの可能性を示すものである。

4. 16M DRAMマスク技術

LSI製造技術の中心的役割を担っているのは、光転写技術である。4M DRAMの量産が、G線5:1ウェーハステップを使用して始まった。また、16M DRAMの開発も、G線あるいはI線5:1ウェーハステップを使用して活発に行われている。さらに、クオータミクロンリソグラフィをねらったエキシマレーザ技術の開発も盛んである。64M DRAM以降の、いわゆるULSIの製造にどのようなリソグラフィ技術が適用されるのかは、いまだに不透明なところであるが、いずれの技術を使おうとも、フォトマスクが必要なことは言うまでもない。したがって、高品質フォトマスクを短期間で製造することが、デバイスの開発、製造に非常に大きな意味を持ってくる。

本章では、16M DRAM用マスク作成に必須な、可変形電子ビーム描画装置とそのデータ作成方法について述べる。

4.1 フォトマスク描画時間

従来、フォトマスクの描画には、ラスタスキャン型電子ビーム描

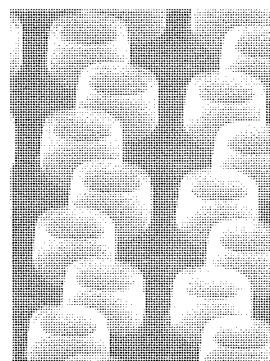


図11. 円筒型スタックトキャパシタセル

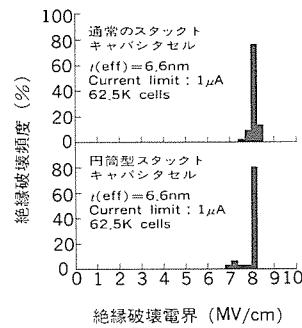


図12. 絶縁破壊電界強度分布

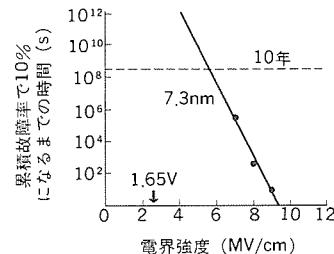


図13. 円筒型スタックトキャパシタセルの誘電膜寿命

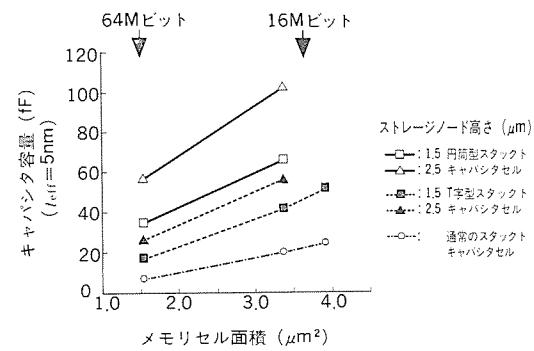


図14. メモリセル面積と容量の関係

画装置が使用してきた。16M DRAMの5倍レティクル(LSIパターンを5倍に拡大したフォトマスク)上の最小パターン寸法は、高々 $2.5\mu\text{m}$ 程度であり、これぐらいのパターンは、ラスタスキャン型装置を使っても簡単に形成可能である。しかしながら、このタイプの装置では、16M DRAM用レティクルの描画時間が膨大になり実用的でなくなるという問題が発生する。

一般に、ラスタスキャン型装置でレティクルを描画する場合、アドレスユニットとして $0.5\mu\text{m}$ が用いられる。ところが16M DRAMのように、パターン寸法を非常に厳しく管理しなければならないレティクルを描画するには、 $0.25\mu\text{m}$ アドレスユニットを用いる必要

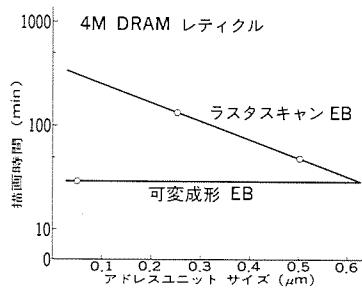


図15. アドレスユニットに対する4 M DRAM用レティクルの描画時間

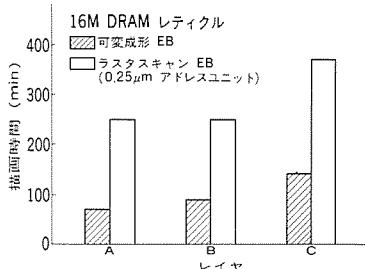


図16. 可変成形とラスタスキャン型電子ビーム描画装置による16M DRAM用レティクルの描画時間

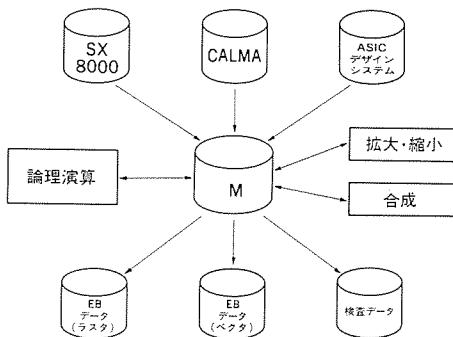


図17. データ作成システムの構成

がある。この場合、一枚のレティクルの描画時間は、アドレスユニットの2乗に反比例するため、計算上4倍に膨れ上がる。図15に、アドレスユニットに対するレティクルの描画時間を示す。一例として、4 M DRAMの1レイヤを実験に用いた。ラスタスキャン型装置を用いた場合、描画時間は、0.5μmアドレスユニットの場合50分であったのが、0.25μmアドレスユニットの場合は、140分に增加了。16M DRAMの場合は、更に図形数が増加することを考えると、ラスタスキャン型装置を使ってレティクルを描画することは、スループットの点で大きな問題になることは明らかである。このスループットの問題を解決するために、可変成形電子ビーム描画装置JBX-6 A III⁽⁴⁾を用いた。このタイプの装置は、アドレスユニットにかかわらず、描画時間が一定であるという特徴を持っている。実際、図15に示すようにアドレスユニットが0.05μmと非常に小さいにもかかわらず、4 M DRAM用レティクルの描画時間はわずか30分であった。

次に、実際に16M DRAM用レティクルを描画した。図16は、JBX-6 A IIIとラスタスキャン型装置を用いた場合の16M DRAMの典型的な3レイヤのレティクルの描画時間を示している。1レイヤ当たりの平均の描画時間は、ラスタスキャン型装置の場合は290分で、可変成形型装置の場合は100分であった。このように可変成形型装置を用いることにより、描画時間を約1/3に短縮することが可能になっ

た。

4.2 描画用データ作成

可変成形電子ビーム描画装置は、ラスタスキャン型装置と比べて高速描画が可能であるが、一つだけデメリットがある。それは、描画用データを作成する際に、ラスタスキャン型装置では必要としない図形間の重複除去処理や白黒反転処理といった複雑なデータ処理を必要とするため、データ作成のスループットが非常に低いという点である。この問題を解決するために、新しく可変成形電子ビーム描画装置用のデータ作成システムを開発した。

図17に、当所におけるデータ作成システムの構成を示す⁽⁵⁾。このシステムは図に示すように、Mフォーマットと呼ばれる共通の中間ファイルを中心として構成されている。まず各々のCADデータは、Mフォーマットに変換され、次いでこのMフォーマットに対して、論理演算やサイジング、データマージングといった様々な処理が施される。その後、Mフォーマットは希望の電子ビーム描画用データや欠陥検査用データに変換される。このデータ作成システムは、次のようなメリットを持っている。新しく別のタイプのCAD装置や電子ビーム描画装置、欠陥検査装置が導入されても、それらのデータフォーマットとMフォーマットとの間の変換ソフトウェアを開発するだけで、それらの装置用のデータ作成が可能となる。

このMフォーマットの構造を、図18に示す。Mフォーマットは、基本図形と図形のアレイ配置からできている。上述したように、可変成形型装置の電子ビーム描画用データを作成するには、重複除去処理や白黒反転処理を施さなければならない。これらの処理には、図形間の相対位置関係を考慮する必要がある。よって、Mフォーマットにこれらの処理を施す場合には、図形のアレイ配置はまず展開され、その後すべての展開された図形に対して処理が施される。この場合、変換時間は非常に長くなり、また、変換後のデータ量も膨大なものとなる。この問題を解決するために、一層の階層構造をもつたMEXフォーマットと呼ばれる中間ファイルを導入した。このフォーマットの構造を図19に示す。この図でユニットとは、一般にCADで用いられるセルに相当し、図形の集合体を意味するが、セルとは違いそれ自身の大きさを持っている。このユニットが、エリアユニット リファレンスと呼ばれる特殊な参照法によって配置されている。すなわち、あるユニットは、他の図形が全く存在しない領域（エリア）に隙間なく配置されている。このユニットが配置されている領域内の図形に対する上述の処理は、一つのユニット内の図形に対してのみ行えばよい。よって、この方法を使えば、DRAMのように、同一のユニットが大量に配置されているデータに対しては非常に有効で、データ作成時間並びに処理後のデータ容量を大幅に減少させることができる。

図20に、この新しく開発されたデータ作成システムにおけるデータのフローを示す。Mフォーマットは、まずM-to-MEXコンバータによって、MEXフォーマットに変換される。このMEXフォーマットに対して、階層構造を利用することにより重複除去や白黒反転の処理が行われる。最後に、MEXフォーマットは、可変成形電子ビーム描画用フォーマットに変換される。

4.3 データ作成時間及びデータ量

図21に、CADデータから最終的な可変成形電子ビーム描画用データまでの変換時間を示す。6 MIPSのスーパミニコンピュータを使用した。描画時間を調べた時に使用したものと同じ16M DRAMの典型的な3レイヤのデータを作成した。各々のレイヤで、左側はノ

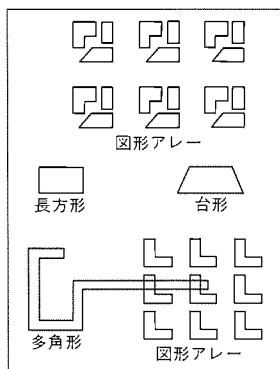


図18. Mフォーマットの構造

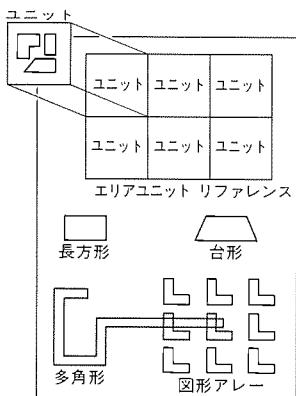


図19. MEXフォーマットの構造

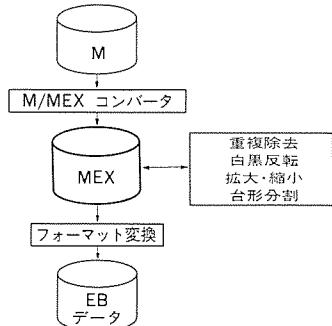


図20. 可変成形電子ビーム描画用データの変換フロー

一マルトーン、すなわち重複除去処理のみに対するデータ作成時間と示し、右側はリバーストーン、すなわち重複除去処理と白黒反転処理に対するデータ作成時間を示す。ハッチングを施した棒グラフは、階層構造すなわちMEXフォーマットを利用した場合のデータ作成時間を示し、ハッチングを施していない棒グラフは、従来の階層構造を持たないMフォーマットを利用した場合のデータ作成時間を示す。MEXフォーマットの階層構造を利用することにより、データ作成時間は大幅に短縮されたことが分かる。データ作成時間は、1レイヤ当たり65.7分で、従来法の10%程度であった。

図22に、最終的に作られた可変成形電子ビーム描画用データのデータ量を示す。データ量は、データ作成時間と同様にMEXフォーマットを利用することにより大幅に減少している。1レイヤ当たりのデータ量は、39.4メガバイトで、レイヤBのリバーストーンを除いては従来法の10%程度であった。レイヤBは、重複除去処理と白黒反転処理を施すと、大量の图形が結合して一つの非常に大きな图形を形成するため、従来法でもデータ量が少ないという非常に特殊なケースであった。

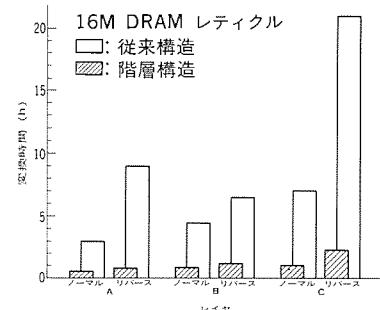


図21. 可変成形電子ビーム描画用データの変換時間

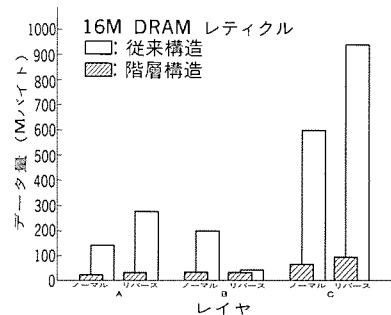


図22. 可変成形電子ビーム描画用データのデータ量

以上の結果より、新しく開発したデータ作成システムは、16M DRAMの電子ビーム描画用データ作成に非常に効果的であることが分かる。

以上述べてきたことをまとめると、可変成形電子ビーム描画装置JBX-6 A IIIを用いて、高スループットで、16M DRAM用5倍レティクルを作成することが可能になった。描画用データは、特殊な階層構造を利用したデータ作成用システムを構築して作成した。データ作成時間とデータ量は、1レイヤ当たりそれぞれ66分及び39メガバイトであった。レティクルの描画時間は、1レイヤ当たり100分であった。このレティクル作成技術は、64M DRAMに代表される、いわゆるULSI用フォトマスクの作成にも適用されるであろう。

5. むすび

以上、当社16M及び64M DRAMに向けたメモリセル構造及びマスク技術の成果を軸に、最先端DRAMプロセス技術の現状を紹介した。比例縮小則を指導原理に素子の微細化によって実現してきたLSIの高集積化は、極限に向けたプロセス技術の一層の努力と異分野との融合など新しいコンセプトに基づいた展開とによって、今後も止まることなく拡大し、高性能・低価格化への市場要求を満たしつつ21世紀高度情報化社会に貢献していくであろう。

参考文献

- (1) 宮本ほか：三菱電機技報, 63, No.11, p.23 (1989)
- (2) W. Wakamiya, et al. : International Electron Device Meeting Tech. Dig., p.246 (1988)
- (3) W. Wakamiya, et al. : Symposium on VLSI Technology Dig., p.69 (1989)
- (4) M. H. Shearer, et al. : Improvements in the JBX-6AIII series of shaped beam lithography tools, Proc. SPIE, 923, p.290 (1988)
- (5) T. Kato, et al. : Technologies for electron beam direct writing, Microelectronic Engineering 1, p.69 (1983)

4 Mビット ダイナミックRAM

宮本博司* 長山安治***
長友正男** 水津克巳***
山田通裕**

1. まえがき

ダイナミックRAM(DRAM)は大容量化と高性能化を同時に達成することにより、大型コンピュータから通信機器、OA機器まで幅広く使用されている。DRAMの開発の流れの中で、高速化・低消費電力化の要請にこたえて1MビットでCMOSタイプのDRAMが本格的に登場し、CMOSの特長を生かして、高速動作モードなどの機能の拡張を行った。当社では市場からの更なる大容量化・高性能化の要請にこたえるべく4M DRAMの開発を進めてきた。4M DRAMの開発における課題の一つはメモリセルの三次元化である。当社は、ISSCC87(1987 IEEE International Solid-State Circuits Conference)において、FASIC(Folded bit-line Adaptive Side-wall Isolated Capacitor)セルと名付けた三次元セルを採用した4M DRAMを発表した⁽¹⁾。しかし、今回量産的見地からJEDEC(Joint Electron Device Engineering Council)で標準化された350ミル幅のSOJ(Small Outline Package with J-lead)に適合した4M DRAMをスタックト(Stacked, 積み上げ)型セルを採用して開発した。

本稿では、今回開発した4M DRAMの特長及び技術について述べるとともに、その電気的特性を紹介する。

2. 4M DRAMの設計

2.1 4M DRAMの特長

4M DRAMは1M DRAMまでのDRAMの開発の延長線上にあるとはいえる⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾⁽⁶⁾⁽⁷⁾、1M DRAMと比較しても種々の新しい技術を採用した。4M DRAMと1M DRAMの主な相違点は、表1に示すように、DRAMの心臓部とも言うべきメモリセルをプレーナ型からスタックト型に変更した点、テストモードをスーパーV_{cc}印加方式からJEDECで標準化されたタイミングでセット及びリセットを行う方式に変更した点、パッケージの幅が300ミルから350ミルに変更になった点が挙げられる。これら、プロセス技術、回路技術、テスト技術、アセンブリ技術、更には、信頼性技術を駆使して開発した4M DRAMの特長は次のとおりである。

- (1) 高速アクセス時間($t_{RAC}=80\text{ns}$)：16MHzの高速32ビットマイクロプロセッサにキャッシュメモリなしで対応できる。
- (2) 低消費電力：動作時の電源電流が $I_c=190\text{ns}$ で約60mA(実力値)である。
- (3) $\times 1$ 構成品と $\times 4$ 構成品をAlマスクで切り替えていたため生産性に優れている。
- (4) 高速アクセス機能：高速ページ($\times 1, \times 4$)、ニブル($\times 1$)、スタティックコラム($\times 1, \times 4$)モードの高速アクセス機能と、ライトペーブット機能($\times 4$)を備え、これらの機能をすべてアセンブリ工程のワイヤボンディングで切り替えていたため、顧客の品種要望に柔軟に対応できる。
- (5) スタックトキャパシタセル及び0.8μmCMOSプロセス技術の

採用により十分なメモリセル容量を確保し、高い信頼性を実現している。

(6) テストの容易性：JEDECで標準化された8ビット同時にテストできるテストモードを備えることにより、テスト時間を短縮できる。

(7) パッケージ展開：350ミル幅のSOJと400ミル高のZIP(Zig-zag In-line Package)に収納可能であるとともに、各パッケージに最適なパッド配置をアセンブリ工程のワイヤリングで切り替えていたため、顧客の品種要望に迅速に対応できる。

2.2 チップ構成

4M DRAMのチップ写真を図1に、ブロック図を図2に示す。構成は4M×1と1M×4をAlマスクにより切り替えていた。チップサイズは6.84mm×14.95mm(=102.3mm²)、メモリセルサイズは2.4μm×5.2μm(=12.5μm²)である。図に示すように、メモリセルアレーは8個の512Kビットのブロックに分割されており、各512Kビットのブロックは、センスアンプ及びコラムデコーダによって更に2個の256Kビットのサブブロックに分割されている。256Kビットのサブブロックは256ロウ×1024コラムから成っており、1本の

表1. 1M DRAMと4M DRAMの相違点

	1M DRAM	4M DRAM
メモリ キャパシタ	プレーナ型	スタックト型
テストモード	4ビット並列 スーパーV _{cc} 印加方式	8ビット並列 タイミング方式 (JEDEC標準)
SOJ パッケージ	300ミル幅	350ミル幅

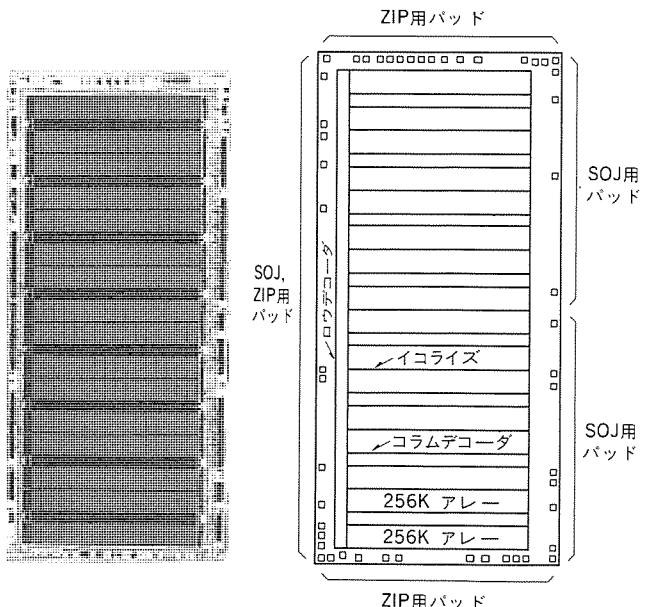


図1. 4M DRAMのチップ

図2. 4M DRAMのブロック図

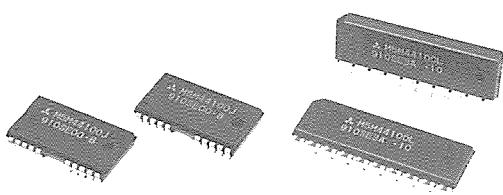


図3. 4 M DRAMのパッケージ

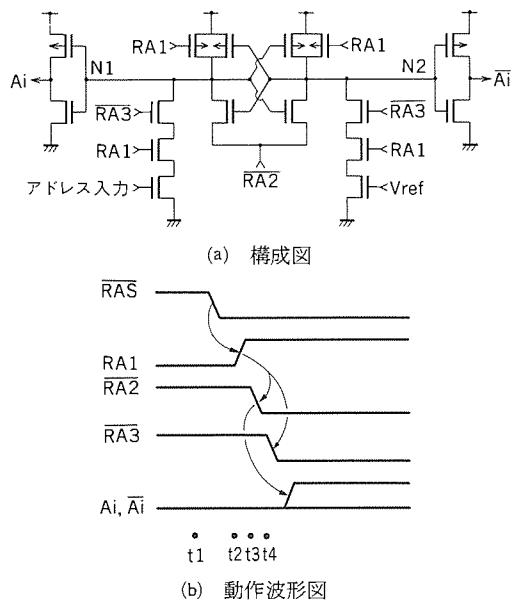


図4. アドレスバッファ

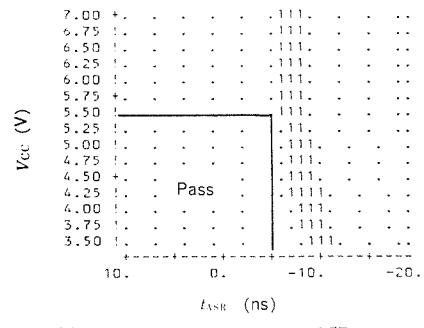
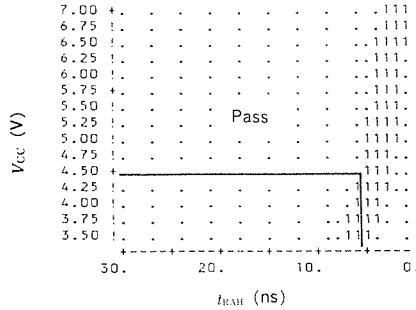
(a) ロウアドレスホールド時間t_{ASR}(b) ロウアドレスセットアップ時間t_{RAH}

図5. シュムープロット

ビット線に128個のメモリセルが接続されている。ロウデコーダはコラムデータと直交する形でメモリセルアレーの端に設けられている。ビット線はタンクスチタンによるポリサイド（ポリシリコンとタンクスチタンシリサイドの二重層）構造であり、ワード線はポリシリコンにより形成されている。各RASサイクルにおいて8個の512Kブロックのうち2個のみを動作させることにより、電源電流を低減させて

いる。冗長回路としては、1 M DRAMで実績のあるレーザプログラム方式を採用した。8 ロウ及び8 コラム分のスペアメモリセルを設けて、歩留りの向上を図っている。

ボンディングパッドはメモリセルアレーを囲むようにチップの4辺に沿って配置されている。ボンディングパッドのうち一方の長辺に沿う位置に配置されたものは、SOJ及びZIPのどちらのパッケージに収納する場合にも使用される。これに対し、チップのもう一方の長辺に沿って配置されたパッドはSOJに収納する場合にのみ使用し、短辺に沿う位置に配置されたパッドはZIPに収納する場合にのみ使用することにより、各パッケージに対してパッド配置を最適にしている。パッケージによって切り替えるパッドについては、同一信号の2個のパッドを設け、これらのうち一方のパッドからの信号のみを内部回路へ伝達する。パッケージに対応したパッドの切替えは、1個の選択パッドへのワイヤボンディングによって行う。図3にSOJ及びZIPのパッケージ写真を示す。

2.3 アドレスバッファ

アクセス時間の高速化はDRAMを開発する際の主要な目標の一つである。RASアクセス時間の高速化を妨げる原因の一つに、ロウアドレスホールド時間t_{RAH}がある。すなわち、メモリに外部からロウアドレスを印加する際、RASを“L”レベルにした後t_{RAH}の期間はロウアドレスを保持する必要がある。実際にどのくらいの時間ロウアドレスを保持する必要があるかは、ロウアドレスバッファの構成に依存している。t_{RAH}の実力値が短いことは、アドレスバッファの回路が早く動作することを意味し、その結果RASアクセス時間が短縮される。

図4(a), (b)は各々、4 M DRAMに採用したアドレスバッファの構成図と動作波形図である。バッファ回路は1個のCMOSラッチ回路と二つの入力回路で構成されており、各入力回路は直列接続された3個のnチャネルトランジスタから成る。バッファの動作は次のとおりである。

t₁：プリチャージ状態であり、信号RA1は“L”レベル、信号RA3は“H”レベルになっている。

t₂：RAS信号が“L”になることにより信号RA1が“H”レベルになり、外部アドレス信号がバッファ内に伝達される。

t₃：信号RA2が“L”レベルになりCMOSラッチ回路が活性化されて、外部アドレス信号のレベルを判定する。

t₄：信号RA3が“L”レベルになり、外部アドレス信号の受付を止める。

一連の動作のなかで、入力回路が外部アドレス信号を受け付け始める信号RA1の立ち上がりエッジと、外部アドレス信号の受付を止める信号RA3の立ち下がりエッジとによって、入力回路はワンショット動作を行う。この実効的なワンショットパルスは二つの別々の信号によって形成されるため、単独の信号で形成した場合に比べて、パルス幅が狭い場合でも十分に高いレベルのワンショットパルスを得ることができる。したがって、外部アドレスが入力回路からラッチ回路に高速に伝達され、ロウアドレスホールド時間を短くできる。

上記アドレスバッファを備えた4 M DRAMのロウアドレスセットアップ時間t_{ASR}とロウアドレスホールド時間t_{RAH}の室温におけるシュムープロットを図5(a)及び(b)に示す。t_{ASR}はV_{CC}=5.5Vで-5 nsであり、t_{RAH}はV_{CC}=4.5Vで6 nsである。|t_{ASR}|とt_{RAH}の差はわずか1 nsであり、アドレスバッファが高速に動作していることが分かる。

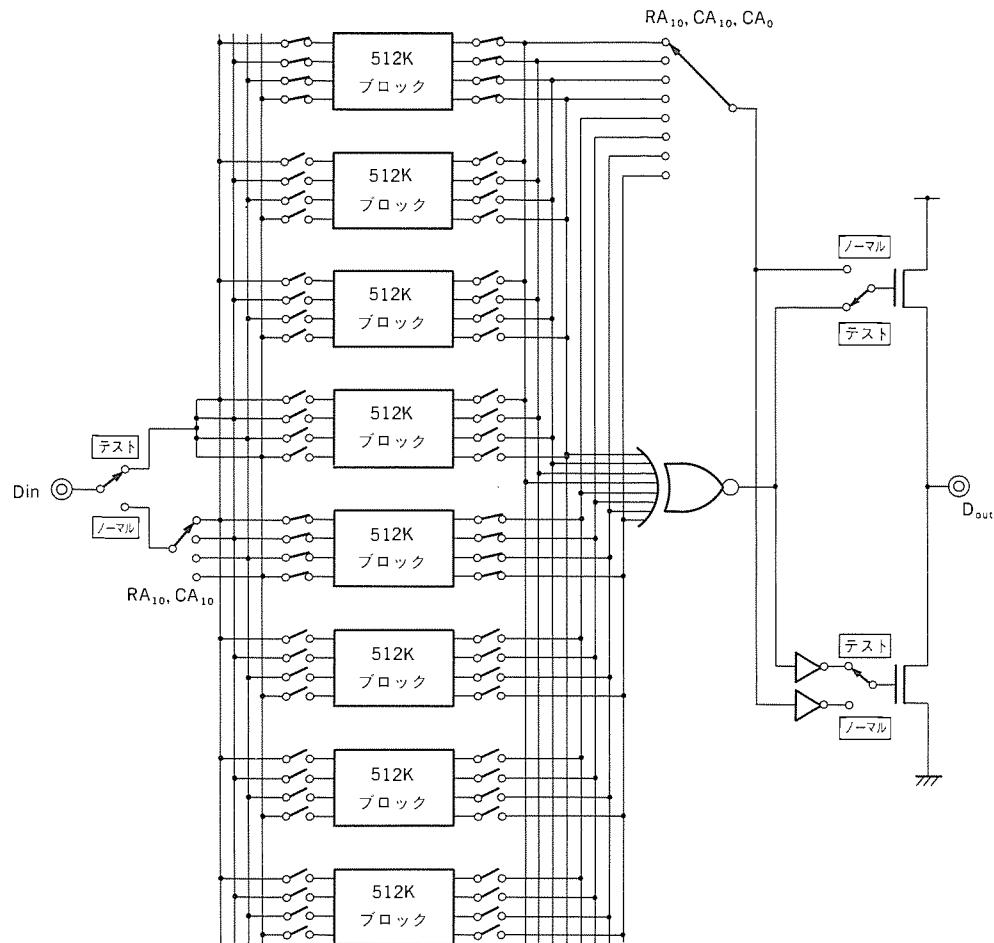


図6. 4 M DRAMのデータ入出力系の構成

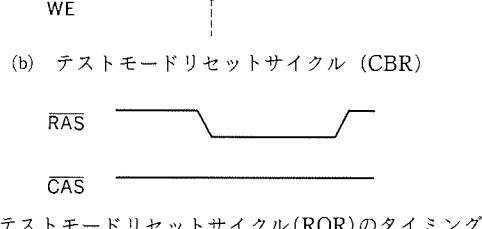
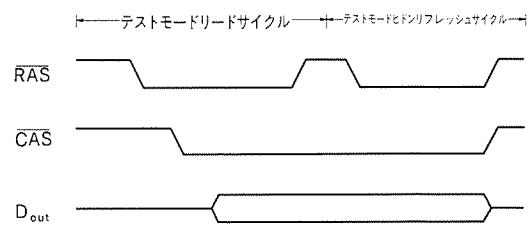
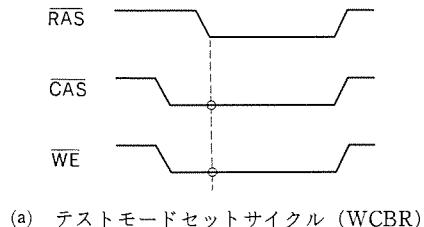


図7. テストモードセットサイクル

る。

2.4 テストモード

DRAMのテスト時間はビット数の増大に伴い指数関数的に増加する。テスト時間を短縮してテストコストを低減するためには、複数ビット同時にテストできるテストモードの採用が有効である。4 M DRAMでは8ビット同時にテストでき、タイミングでセット及

びリセットを行うテストモードを採用了。×1ビット構成品のノーマルモード及びテストモードにおけるデータ入出力系の構成を図6に示す。テストモード期間中は三つのアドレス、すなわち、ロウアドレスの最上位ビットRA₁₀とコラムアドレスの最上位ビットCA₁₀、更に、コラムアドレスの最下位ビットCA₀が不要になる。テストモードライトサイクルには、同一データが8ビット同時に書き込まれる。テストモードリードサイクルには8ビットのデータが同時に読み出され、読み出しデータのEXNOR (Exclusive NOR) データがD_{out}端子に出力される。8ビットの読み出しデータがすべて同じ ("H"又は "L") のときD_{out}に "1" が出力され、1ビットでもデータが異なるときはD_{out}に "0" が出力される。

テストモードのセット及びリセットのタイミングは、図7に示すように信号のタイミングの組合せによって行う。ノーマルモードからテストモードへの切替えは図7(a)に示すWE&CASビフォアRAS (WCBR) サイクルで行う。一方、テストモードからノーマルモードへの切替えには図7(b)及び(c)に示すように、テストモード中にCASビフォアRAS (CBR) サイクル又はRASオンリーリフレッシュ

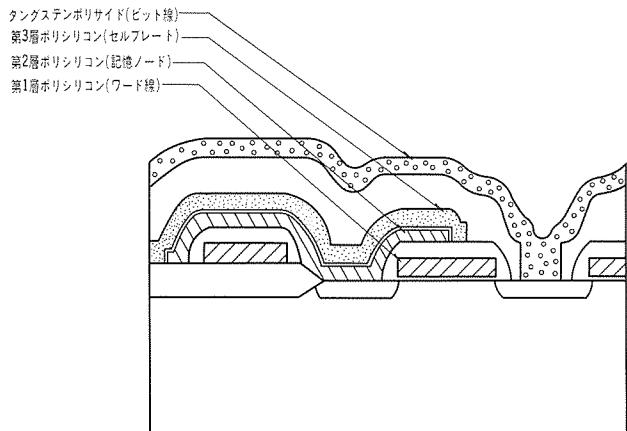
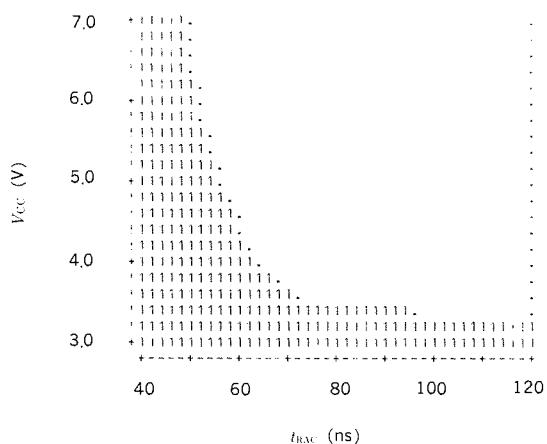


図9. メモリセルの断面図

図10. RASアクセス時間(t_{RAC})の電源電圧(V_{cc})依存性(周囲温度25°C)

(ROR)サイクルを行う。テストモード中にリフレッシュを行う場合にはWCBRサイクルを再度行うほか、図8に示すようにヒドリフリッシュも可能である。テストモードの使用によって4M DRAMを512K DRAMのようにテストすることができ、テスト時間はN系パターンで1/8に短縮できる。

3. プロセス技術とメモリセル構造

4M DRAMではメモリセル面積が小さくなり、1M DRAMで採用したプレーナ型キャパシタでは十分なメモリセル容量が確保できないため、三次元構造のメモリセルが必要となる。種々の三次元構造のメモリセルについて検討した結果としてスタックト型メモリセルを採用した。メモリセルの断面図を図9に示す。2層目と3層目のポリシリコンの間の100Å(酸化膜換算)の絶縁膜によってメモリセルキャパシタを形成している。スタックト型メモリセルの特長は、メモリセル容量部分の接合面積が小さいため、ポーズリフレッシュ特性が良好であり、アルファ線ソフトエラーに対しても強いことである。リフレッシュ特性、ソフトエラー率ともに1M DRAMと同等以上の性能を持っている。

プロセスは、0.8μmツインウェルCMOSプロセスを採用した。配

表2. 4M DRAMの性能一覧

構成	4M語×1ビット、1M語×4ビット (Alマスク切替え)
チップサイズ	6.84×14.95mm ²
セルサイズ	2.4×5.2μm ²
プロセス技術	0.8μm ツインウェルCMOS 3層ポリシリコン、1層ポリサイド、1層Al
メモリキャパシタ	スタックト型
RASアクセス時間	58ns
動作時平均電源電流	60mA (サイクル時間=190ns)
待機時電源電流	0.2mA (CMOS入力レベル)
動作モード	$V_{cc}=5V$ 高速ページ、スタティックコラム (×1, ボンディング切替え) 高速ページ、スタティックコラム、ライトバーピット (×4, ボンディング切替え)
テストモード	8ビット並列タイミング方式 (JEDEC標準)
冗長回路	8コウ 8コラム (レーザプログラム)
パッケージ	350ミルSOJ 400ミルZIP

線層は3層ポリシリコン、1層ポリサイド、1層Alである。

4. 電気的特性

図10は周囲温度25°CにおけるRASアクセス時間(t_{RAC})の電源電圧(V_{cc})依存性を示すシュムープロット図で、負荷条件は100pFを付加した等価的な2TTL負荷である。 $V_{cc}=5V$ において $t_{RAC}=58ns$ の高速動作を達成している。また、 $V_{cc}=5V$ 、サイクル時間190nsにおける動作平均電源電流は60mA、待機時の電源電流はCMOS入力レベルで0.2mAである。表2に4M DRAMの性能一覧を示す。

5. むすび

0.8μmツインウェルCMOSプロセスを駆使して4M DRAMを開発した。メモリセルにスタックトキャパシタを採用してソフトエラーに対して強いメモリセルを実現した。8ビット並列テストモードを備えることによりテスト時間の短縮を可能にした。4M×1構成と1M×4構成をAl工程のマスクで切り替えるとともに、×1構成品では高速ページ、ニブル及びスタティックコラムモードをボンディングで切り替え、×4構成品では高速ページ、スタティックコラムモード及びライトバーピット機能をボンディングで切り替えてるので生産性に優れている。×1構成品、×4構成品ともに350ミル幅SOJ及び400ミル高ZIPに収納する。今回開発した4M DRAMは、1M DRAMの次世代のメモリとして市場の要求に十分にこたえ得ると確信している。

参考文献

- (1) K. Mashiko, et al.: A 90ns 4M DRAM in a 300mil DIP, ISSCC Dig. Tech. Papers, p.12 (1987-2)
- (2) 谷口ほか: 三菱電機技報, 55, No.5, p.368 (昭56)
- (3) 山田ほか: 三菱電機技報, 58, No.8, p.535 (昭59)
- (4) 熊野谷ほか: 三菱電機技報, 59, No.9, p.676 (昭60)
- (5) 藤島ほか: 三菱電機技報, 60, No.3, p.205 (昭61)
- (6) 山田ほか: 三菱電機技報, 61, No.7, p.581 (昭62)
- (7) 山田ほか: 三菱電機技報, 62, No.8, p.653 (昭63)

高速 1 MビットCMOSスタティックRAM

菅野雅直* 向井孝夫**
和田知久** 河野芳雄**
杠 幸二郎**

1. まえがき

電子機器・コンピュータによる高度情報化社会において、超LSIはその原動力として急速な進歩を遂げている。そのうえ、システムが高性能化されるにつれ、超LSIは高速化・大容量化・低消費電力化が要求されている。

MOSスタティックRAM (SRAM) は、動作タイミングが簡単で使いやすく、さらに高速なアクセス時間が得られるといった利点があり、OA機器・ICカード・LSIテストなど広範囲の製品に利用されている。また、最近、高速かつ大容量のSRAMは、コンピュータの性能を上げるためにスーパーコンピュータ・超大型コンピュータのメインメモリへと新しいニーズが広がりつつある。

以上のような市場動向の中で、当社では高抵抗負荷型メモリセルを用いた最大アクセスタイム35nsの高速 1 Mビット CMOS SRAM⁽¹⁾を開発した。本稿では、このRAMの開発方針、設計、製造プロセス技術及び電気的特性について紹介する。

2. 開発の基本方針

RAMの大容量化は、プロセスの微細技術によって達成が可能である。しかしながら、RAMの大容量化に伴い、

- (1) RAMをテストする時間が長くなる。
 - (2) 寄生容量・抵抗が増大してアクセス時間が大きくなる。
 - (3) RAM自体のスイッチングノイズにより、動作マージンの低下をもたらす。
- といった問題が生じる。高速・大容量SRAM実現のために、以上の問題点を十分に考慮し、回路・パターンレイアウト・プロセス技術の面での開発方針を以下のように設定した。

(1) ビット構成

(a) 1 M語×1ビット構成 (M5M51001)

外部から電気的信号を与えることで、内部回路が256K語×4ビット構成に切り替わるテスト時間短縮モード付き。

(b) 256K語×4ビット構成 (M5M51004)

(a), (b)をアルミ配線マスクの差し替えのみで作り分ける(アルミマスクスライス)。

(2) パッケージ対応

●28ピン 400ミル幅 プラスチックDIP

●28ピン 400ミル幅 プラスチックSOJ

●32ピン 8mm×20mm プラスチックTSOP

上記3種類をアルミマスクスライスで作り分ける。ピン配置を図1に示す。

(3) 高速アクセス時間

最大アクセス時間を35ns/45nsとし、1 Mビットで初の35ns品を実現する。

(4) 低消費電力

内部同期回路、及び変形分割ワード線選択方式を用いることによ

り、過渡電流を極力抑えて、最小サイクルでの最大平均電流、及びピーク電流を軽減する。また、待機時には、内部回路の貫通電流経路を遮断することにより、高速品でありながら待機時消費電流を小さく抑える。

(5) プロセス

最先端のフォトリソグラフィ技術・イオン注入技術・多層配線技術などのプロセスを駆使して、0.7μm設計ルールの3層ポリシリコン2層アルミ構造のデバイスを実現する。

3. 設計技術

3.1 チップ構成

M5M51001/4のブロック構成を図2に示す。これは、×1構成・×4構成の両方に共通である。M5M51001 (1M語×1ビット) では×1/×4コントローラにより、ビット構成が1M語×1ビットから256K語×4ビットに切替えが可能である。

任意のメモリセルを選択するために、アドレス入力は四つのグループ(X, Y, Z, W)に分かれており、X, Y, Zはそれぞれ行選択・列選択・ブロック選択に使用し、WはM5M51001に追加されるアドレス入力信号である。

メモリセルアレーは、全体で512行×2048列から構成され、これをワード線方向に32のブロックに分割して、1ブロックは、512行×64列と1本の予備列から成っている。したがって、1本のワード線長は65列分と短く、かつその材料として低抵抗のタンゲステンポリサイドを用いているので、ワード線での遅延が0.5nsに抑えられ高速化に寄与している。各ブロックは、さらに512行×16列から成る四つのサブブロックに分割されており、それぞれにセンスアンプを配置

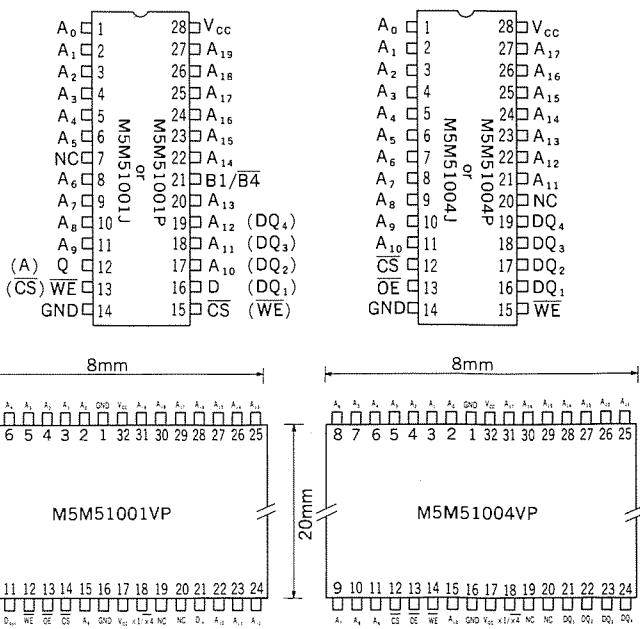


図1. ピン配置

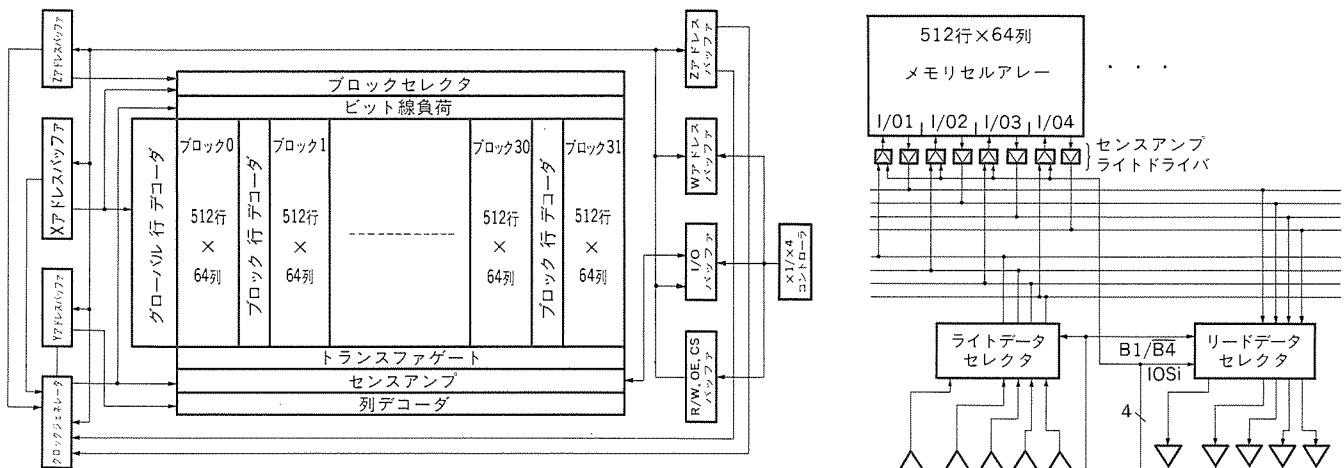


図2. ブロック構成

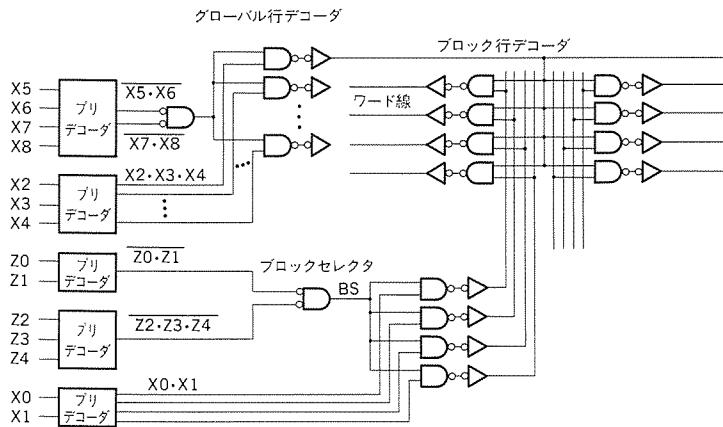


図3. ワード線選択回路

して256K語×4ビットに対応させている。

3.2 変形分割ワード線選択方式

高速1MビットSRAMでは、当社独自のワード線選択方式を用いている。図3にワード線選択回路を示す。これは、1本の行を1本の行選択線で選択する従来の方式を改良し、複数の行の組を選択する行グループ選択を用いた分割ワード線構成である。

X0～X8及びZ0～Z4は、それぞれ行選択・ブロック選択のアドレス入力信号である。Xアドレスの上位X2～X8は、グローバル行デコーダでプリデコードされ、行グループ選択線を活性化する。ここで行グループは4行から成っており、グループ内の1本の行は、ブロック行デコーダ内でXアドレスの下位X0・X1のプリデコード信号によって選択される。したがって、選択される列の数は、1／(ブロック数)であるため、カラム電流は1／32となり大幅に低減できる。また、行グループ選択線を第2層アルミで形成することにより、高速化も同時に達成している。

3.3 ビット構成可変機能

通常RAMのテスト方法は、DC的なパラメータテストとAC的な動作機能テストから成っている。比較的テスト時間の短いNパターン(Nはメモリ容量)と呼ばれるテストパターンを用いると、ACテスト時間はメモリ容量に比例して増大する。

したがって、1MビットSRAMでは、単純に256KSRAMの4倍近いテスト時間を必要とするため、今回テスト時間を低減する目的でビット構成可変機能を1M語×1ビット(M5M51001)に適用した。M5M51001は、1M語×1ビットと256K語×4ビット構成が可能

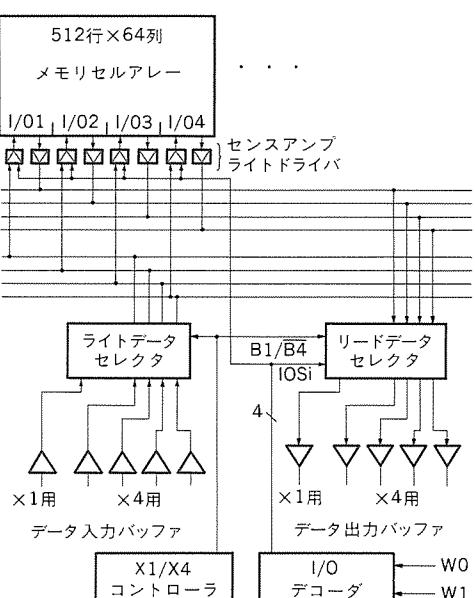


図4. ビット構成可変方式ブロック図

表1. プロセスパラメータ

項目	高速256K SRAM M5M51257/5258	高速1M SRAM M5M51001/51004
プロセス方式	2層ボリSi1層 AI MoSixボリサイド	3層ボリSi2層 AI WSixボリサイド
ゲート電極	MoSixボリサイド	WSixボリサイド
トランジスタ構造	LDD構造	修正LDD構造
素子分離法	LOCOS	修正LOCOS
ゲート長 (NMOS) (μm)	1.1	0.8
ゲート長 (PMOS) (μm)	1.6	1.0
ゲート酸化膜厚 (nm)	22	18
n+拡散層 (線幅/間隔) (μm)	1.3/1.2	0.9/0.8
ポリシリコン (線幅/間隔) (μm)	1.0/1.0	1.0/0.7
第一アルミニ配線 (線幅/間隔) (μm)	1.8/1.6	1.4/1.0
第二アルミニ配線 (線幅/間隔) (μm)	—	2.6/1.4
コンタクト (μm)	1.2×1.3	0.8×0.8
スルーホール	—	1.0×1.0

で、その切替えは×1／×4コントローラによって制御されている。図4にビット構成可変方式のブロック図を示す。一つのメモリセルブロックは、4本のリードデータバスに接続されている。1M語×1ビット構成の場合、4本のデータバス信号のうち、リードデータバス切替回路によって1本選択され、その信号が出力バッファに転送される。また、256K語×4ビット構成の場合は、4本のデータバス信号がそのまま四つの出力バッファに転送される。このため、テスト時のアクセス経路と通常のアクセス経路が同じで、1M語×1ビット構成時のアクセス時間を保ったままテスト時間が低減される。

3.4 動作マージンの拡大

高速RAMにおいては、駆動能力の大きなトランジスタ、特に出力トランジスタが動作するときに発生する電源線・接地線のノイズが動作マージンの低下をもたらす。

このRAMにおいては、上記のノイズ対策として出力トランジスタをNch-Nchトランジスタで構成し、出力の小振幅化を図っている。また、内部回路でノイズを吸収するような遅延回路を設けたり、あるいは電源線・接地線の配線などの工夫によって、内部回路の電位安定化がなされることにより、動作マージンの拡大が可能となっている。

4. 製造プロセス

このRAMの製造プロセスは、N基板ツインウェルCMOS、3層ポリシリコン（ポリサイドを含む。）、2層アルミプロセスから成り、中速1MSRAMのプロセス⁽²⁾にアルミ多層配線技術を付加したフローとなっている。

大容量高速SRAMにおいては、パッケージサイズからの制約によるメモリセルの縮小化と、高速性を追求するためにトランジスタの高性能化や寄生容量の低減及び配線の低抵抗化を図らなければならない。

4.1 メモリセル形成技術

表1に、1.0μm設計ルールの高速256KビットSRAM⁽³⁾との主要なプロセスパラメータの比較を示す。メモリセルの形成法、レイアウトはほぼ中速1MビットSRAMを踏襲している。すなわち、第1ポリシリコン（WSixポリサイド）はゲート電極及びワード線に、第2ポリシリコンは電源線とクロスカップル線に、第3ポリシリコンは高抵抗に、第1アルミはビット線に、N⁺拡散層はトランジスタのソース・ドレイン、接地線及びクロスカップル線に用いている。第2アルミは、セルアレー中ではブロック行デコーダに用いているため、ビット線と垂直方向に4セルごとに1本配置されている。図5はブロック行デコーダ及びメモリセル近傍における第2アルミ配線形成後の顕微鏡写真を示す。

0.7μm設計ルールのメモリセルを量産レベルで安定して形成するためには、新規なプロセス技術が必要である。フォトリソグラフィ技術においては、高感度レジスト、高NAステッパーの採用により全層シングルレジスト化を達成した。さらに、反射強度が強いアルミ工程においては、反射を抑制して下地の影響によるハレーションを防いでいる。また、メモリセルの素子分離には修正LOCOS法を採用し、バーズピークを片側0.15μm以下に抑制している。

高速SRAMでは、待機時消費電流の規格値は緩くなっているのが一般的であるが、バッテリバックアップも可能とするため、高抵抗には専用の薄膜ポリシリコンを採用することにより、中速1MビットSRAMと同レベルの低い待機時消費電流を達成している。

4.2 高速化技術

アクセス時間と最も密接な関係にあるのは、トランジスタ性能である。高速SRAM用トランジスタに求められている特性は、単に電流増幅率が高いのみならず、ホットキャリア効果を防止するために、LDD構造の採用によりドレイン近傍の電界を緩和することが一般的に行われている。しかしながら、通常のLDD構造ではN⁻層の不純物濃度が低いためにソース抵抗が高く、電流増幅率が低下するという問題がある。このため、修正LDD構造を採用することにより、電流増幅率を犠牲とすることなく信頼性の高いトランジスタ形成が可能となっている。

高速化手法としてトランジスタの高性能化以外に、アルミ多層配線技術が挙げられる。アルミは、抵抗が低いため配線材料としては最も使い易い材料であるが、融点が低く高温プロセスが使えない、エレクトロマイグレーション、ヒロック、スライドが発生しやすい等かかえている問題点も多い。高速大容量SRAMでは流れる電流が大きく、かつ自らのICが発生するノイズにより誤動作の危険がある。このため、周辺回路においては、できるだけアルミ配線幅を広くすることが望ましい。しかしながら、パッケージ幅の制約条件によりチップサイズの拡大が困難なため、1層アルミプロセス方式で

はアルミ配線幅は制限されることが多い。2層アルミ方式では、電源線に幅広い第2アルミ配線を採用することにより、ノイズ対策が容易となっている。メモリセルアレー中では、第2アルミ配線は行グループ選択線に用いられているために、配線ピッチは23.5μmと非常に緩くなっている。当社では、完全CMOS型メモリセルの16KSRAM⁽⁴⁾においてアルミ多層配線を採用し、第2アルミ配線をビット線に用いていた。高抵抗負荷型メモリセルにおいては、ビット線を第2アルミ配線にすることにより接地線を低抵抗な第1アルミ配線にすることが可能となり、メモリセルの安定化動作が期待される。しかしながら、第2アルミ配線のピッチが約3μmと厳しくなるために、アルミの層間膜を十分に平たん化する技術が必要となり、また歩留りの点で懸念されるためビット線としては用いていない。

前述のように、アルミ多層配線技術の信頼性保証は重要なテーマである。エレクトロマイグレーション対策として、第1及び第2アルミ配線材料にはAlSiCuを採用している。また、スルーホール内のアルミのカバレッジを改善するために、スルーホールをテーパーエッチしている。また、コンタクト内に形成されるシリコン析出の防止及び接合部への銅汚染を防ぐために、TiNのバリアメタルを採用している。

ブロック行デコーダに第2アルミ配線を採用することにより、高速にワード線を立ち上げることが可能となり、またビット線容量を低減できるため高速動作が可能となっている。

5. 電気特性

高速1MビットSRAMのチップ写真を図6に示す。チップサイズは6.10mm×15.84mmで、28ピン400ミル幅のプラスチックSOJ、DIP及び8mm×20mmのTSOPに収納可能である。図7は、電源電圧V_{cc}=5.0V、室温時での出力波形写真で、アドレスアクセス時間t_a(A)=14nsを示している。高温時のアクセス時間特性を図8に示し、T_a=80°C、V_{cc}=4.5Vの最悪条件でT_a(A)=24nsと高速性を保っていることが分かる。動作時における電源電流I_{cc1}のサイクル時間依存性を図9に示す。最小サイクル時間35nsのとき、I_{cc1}は116mAとなって

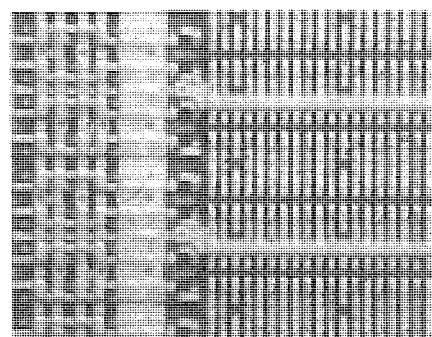


図5. 第2アルミ配線形成後のブロック行デコーダ及びメモリセル近傍の写真

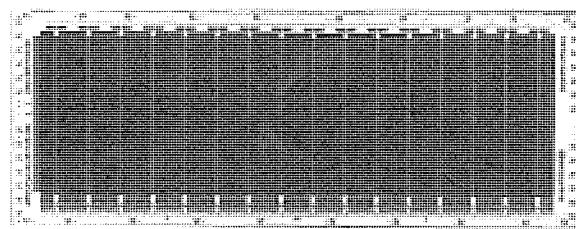


図6. チップ写真

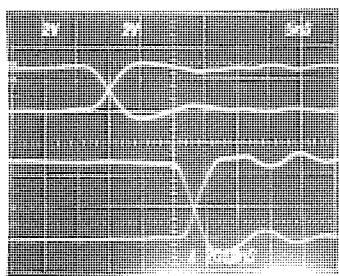


図 7. 出力波形写真

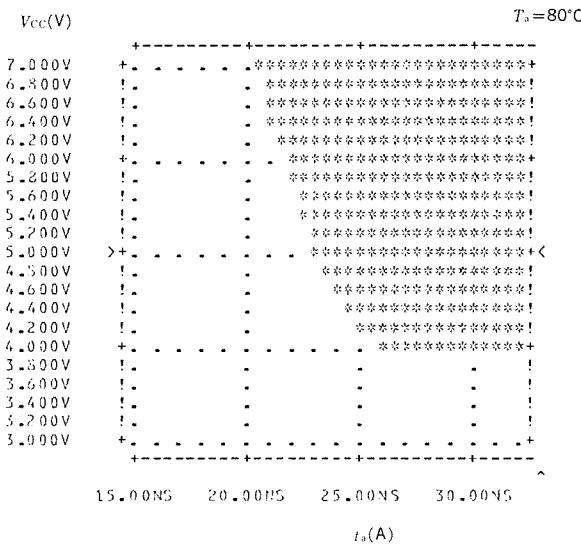


図 8. アクセス時間特性のシムプロット

いる。待機時には周辺回路での直流電流をすべて遮断するので、待機時消費電流 I_{cc2} はメモリセルの高抵抗ポリシリコン負荷に流れる電流のみで決まる。したがって、 $T_a=70^\circ\text{C}$ での待機時最大 $100\mu\text{A}$ 以下と小さい。高速 1 M ピット SRAM の性能一覧を表 2 にまとめる。

6. むすび

このRAMの特長をまとめると次のとおりである。

- (1) 0.7μm設計ルールの3層ポリシリコン2層アルミ構造を、最先端のプロセス技術を駆使し、高抵抗負荷型NMOSメモリセルを用いた最大アクセス時間35nsの高速 1 M ピット CMOS SRAM を実現している。
- (2) 複数の行の組を選択する行グループ選択を用いた変形分割ワード線方式を導入することにより、チップサイズを増大させることなしにワード線での遅延時間を0.5nsに抑え、かつピット線容量を15%

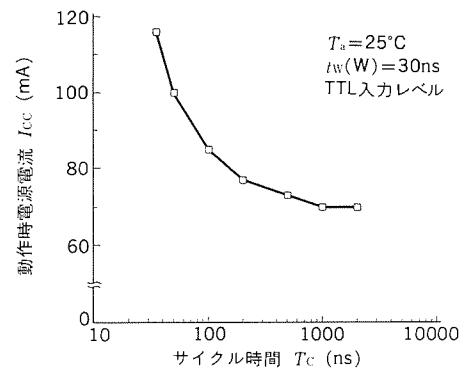


図 9. 電源電流特性

表 2. 高速 1 M ピット SRAM の性能一覧

構成	IM語×1ピット (M5M51001) 256K語×4ピット (M5M51004)
プロセス	3層ポリシリコン 2層アルミ ツインウェルCMOS 高抵抗負荷型NMOS
メモリセル	5.875×8.5 (49.9μm ²)
メモリセルサイズ (μm)	6.10×15.84 (96.6mm ²)
チップサイズ (mm)	5V単一 TTL
使用電源	35/45 (最大)
入出力レベル	35/45 (最大)
アドレスアクセス時間 (ns)	35/45 (最小)
チップセレクト アクセス時間(ns)	35/45 (最大)
サイクル時間(ns)	120 (最大)
電源電流動作時 (mA)	10 (最大)
待機時 (mA)	

程度低減している。

(3) ピット構成可変機能を 1 M 語 × 1 ピット構成に適用したことにより、通常のアクセス経路でテスト時間を N パターン (N はメモリ容量) で $1/4$ に短縮している。

今後も高速 1 M ピット SRAM で培った技術を土台にして、高速化・大容量化を進める予定である。

参考文献

- (1) Y. Kohno : IEEE Journal of Solid-State Circuits, 23, No. 5, p.1060 (1988)
- (2) 広瀬ほか : 三菱電機技報, 62, No. 6, p.81 (1988)
- (3) 一瀬ほか : 三菱電機技報, 61, No. 4, p.73 (1987)
- (4) 有田ほか : 三菱電機技報, 57, No. 2, p.58 (1983)

5 V単一電源で動作する高速 1 Mビット EEPROM

寺田 康* 味香夏夫*
有馬秀明**
小林和男**

1. まえがき

EEPROM(Electrically Erasable and Programmable Read Only Memory)は、電気的に書換え可能な不揮発性メモリであり 5 V 単一電源で動作するという優れた特徴を持つため幅広い応用が期待されているが、これまで集積度がDRAMやSRAMに比べて低く、高集積化が望まれていた。今回、 $1 \mu\text{m}$ CMOSプロセスを用いて 1 Mビット EEPROMを試作したので、その技術内容について報告する。

2. 開発のねらい

1 Mビット EEPROMの開発に当たって目標としたのは、

- (1) チップサイズの縮小による低コスト化。
- (2) 高速アクセス時間
- (3) ECC (Error Checking and Correcting) 回路内蔵による高信頼性の確保。

であった。ECCを内蔵した場合チップサイズを決定する要因は、メモリセルのサイズ及びエラー訂正に要する検査ビット数となる。

フローティングゲート型メモリセルでは、薄い酸化膜(トンネル酸化膜と呼ばれる)中の電子のトンネル現象を利用して消去・書き込みを行うが、データ保持特性を保証するためには酸化膜厚をあまり薄くできない。すなわちスケーリングができない。また、容量結合を利用してフローティングゲートの電位を変化させトンネル酸化膜に高電界を印加するために、メモリトランジスタの各ノード間の容量結合比を64K, 256Kと同程度に保たなければならない。このような制限の下でセルサイズの縮小を行わなければならない。さらに、セルサイズを縮小するとメモリセルを流れる電流(セルカレント)が減少する。図1にテストデバイスで測定したセルカレントとセルサイズの関係を示す。高速アクセスのためには高感度のセンスアンプの開発が必ず(須)となる。

このため、

- (1) 3層ポリシリコン型メモリセル
- (2) 非選択メモリアレーを利用した新しい差動型センス手法
- (3) 2バイト(16ビット)で5ビットのパリティビットを生成するECC回路

の開発を行った。以下、これらについて説明する。

3. SSTRメモリセル⁽¹⁾

図2に、SSTR(Stacked floating gate with Self-aligned Tunnel Region)と名付けられたメモリセルの断面図を示す。セルサイズは $3.8 \mu\text{m} \times 8.0 \mu\text{m}$ である。第1層目のポリシリコンで選択トランジスタ(ワード線に接続されている)と下層のコントロールゲートが形成されている。第2層目でフローティングゲートが、第3層目で上層のコントロールゲートが形成されている。下層と上層のコントロールゲートは電気的に接続されている。トンネル酸化膜の膜厚は90Åであり、64K EEPROM(トンネル酸化膜厚100Å)からほとん

ど変化していない。

消去はコントロールゲートに高圧パルスを印加しドレインを接地することにより行われる。トンネル酸化膜に高電界が印加され電子がフローティングゲートに注入されることによりメモリトランジスタ(図2中の(A)の部分)のしきい値が高くなる。書き込みは、ドレン並びに選択トランジスタに高圧パルスを印加し、コントロールゲートを接地することにより行われる。フローティングゲートに注入された電子が引き抜かれメモリトランジスタのしきい値が低くなる。読み出しはコントロールゲートに読み出し電圧(2~3V)を印加したときにメモリトランジスタがオンするかどうか、すなわち選択されたメモリセルを介して電流が流れるか否かを検出することにより行われる。メモリセルの書き込み・消去特性を図3に示す。セルカレントはドレン電位1V、コントロールゲート電位2Vの条件下測定されている。16V、4msの高圧パルスにより十分な深さに書き込み・消去が行われていることが分かる。これは、従来1層であったコントロールゲートを2層のポリシリコンでフローティングゲートをサンドイッチするよう形成したのでセルサイズが小さいにもかかわらず高い容量結合比が得られ、16Vという低い電圧でもトンネル酸化膜に大きな電界を印加することができるところによる。また、高圧パルスの立ち上がり時定数は400μsに設定されている。これはトンネル酸化膜に過大な電界が印加されるのを防ぐためである。

4. 回路技術

今回、1 Mビット EEPROMの開発に当たって工夫を行った回路のうちセンスアンプ及びEEPROM特有の回路であるコラムラッチについて説明する^{(2)~(4)}。コラムラッチはビット線ごとに設けられたラッチのことであり実効的な書き込み時間の短縮のための回路であ

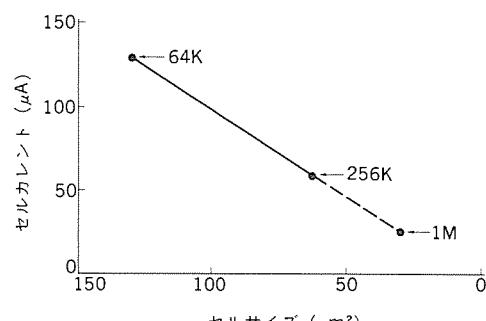


図1. セルカレントとセルサイズの関係

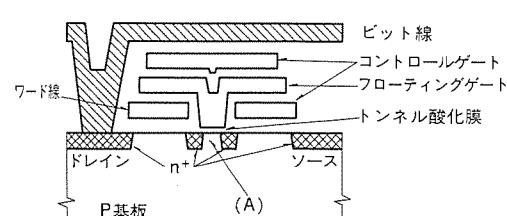


図2. SSTRメモリセルの断面図

る。

4.1 ダミーセルを要しない差動型センスアンプ

EPROMやEEPROMではメモリセルに電流が流れるか否かを検出して書き込まれたデータが“1”であるか“0”であるかを判定する電流センス型センスアンプが用いられている。セルカレントがセルサイズとともに減少するのでセンスアンプの高感度化が必要となるが、これはアクセス時間の遅延を引き起こす。高速化のためにはダミーセルを用いて差動増幅をすることが有効でありEPROMでは一般に用いられているが、EEPROMではダミーセルを用いることは困難である。これは、EEPROMでは紫外線を照射することによりチップ全体の一括消去を行うためメモリセルの特性とダミーセルの特性を同じにすることが可能であるが、EEPROMではバイト単位で書き換えるためメモリセルの特性にばらつきが生じることと、書き込み・消去された状態はいずれもフローティングゲートが電気的に中性な状態ではないことによる。

そこで、ダミーセルを要しない差動型センスアンプの開発を行った。図4にセンスアンプの回路図を示す。センスアンプは電流センス回路・差動増幅器・ラッチから構成されている。メモリアレーを2分割し、各々に電流センス回路を設け、非選択側のメモリアレーを利用してリファレンスレベルを設定し、差動型センスを行おうとするものである。各電流センス回路の出力・ノードA・ノードBが差

動増幅器に入力されている。

読み出しサイクルは、ATD (Address Transition Detection) パルスにより開始される。まず、信号RSTが“H”となりすべてのビット線並びに差動増幅器の二つのノードが接地されセンス回路のリセットが行われる。左側のメモリアレーのメモリセルが選択されたとすると信号X9が“L”となり、PチャネルトランジスタT1がオンし、X9が“H”となることによりT2はオフする。これにより、選択側の電流センス回路の負荷トランジスタのサイズは非選択側の2倍になる。コラム選択線は、入力されたアドレス信号に応じて左右のメモリアレーでそれぞれ1本が“H”になり1本のビット線が電流センス回路に接続される。ワード線は左側のアレーでは入力されたアドレスに応じて1本が“H”となり、他のワード線と右側のアレーのすべてのワード線は“L”に保たれる。すなわち、右側のアレーでは疑似的に“1”読み出しの状態となる。RSTが“L”になるとともにビット線を充電するための電流が負荷トランジスタを介して流れ、負荷トランジスタの電位低下によってノードA、Bの電位はいったん“L”になる。その後、非選択側の右側の電流センス回路ではノードBは負荷トランジスタによって“H”に充電され始める。左側では、メモリセルのフローティングゲートから電子が除去された状態（“0”が書き込まれた状態）であるとメモリトランジスタが導通し、ノードAの電位は“L”的ままである。フローティングゲートに電子が注入されており非導通状態（“1”）であると、ノードAも“H”に充電され始めるが、T1がオンし負荷トランジスタの数が右側の倍になっているのでノードBの電位より高くなる。

すなわち、ノードBの電位は、“1”読み出し時、“0”読み出し時のノードAの電位の中間値をとる。その後、信号S0が“L”となり、差動増幅器により電位差が増幅され読み出しが行われる。図5に電流センス回路の出力のシミュレーション結果を示す。シミュレーションはセルカレントを $25\mu A$ 、ビット線容量を 3 pF として実行した。図から、電流センスの開始後、20nsでノードAとノードBの電

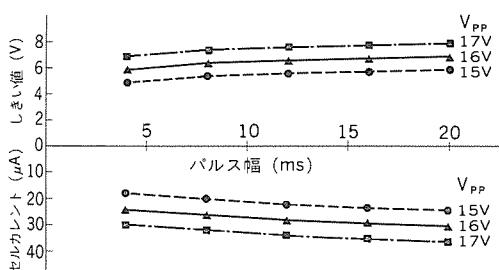


図3. SSTRメモリセルの書き込み消去特性

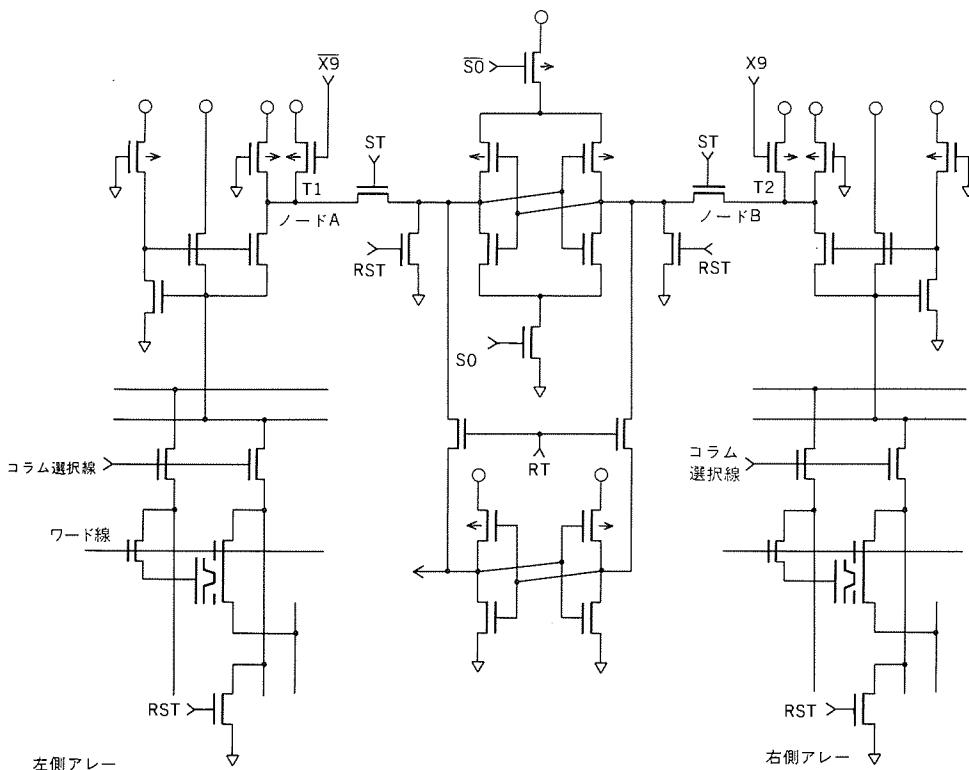


図4. センスアンプの回路図

位差が100mV以上あり安定な読み出しが可能であることが分かる。実際のデバイスでは、更に安定な読み出しを行うためにこの値を50nsに設定してある。

4.2 コラムラッチ

EEPROMは消去・書き込みに必要な高電圧パルスをチップ上に設けられた昇圧回路により発生するために5V単一電源で動作する。しかしながら書き込みのサイクル時間は10ms程度であり、EPROM(10~100μs)と比べると非常に長い。そこで、実効的な書き込み時間の短縮のためにページ書き込みモードが設けられている。これは、入力データを、ビット線に設けられたラッチに一時蓄えておき、1回の書き込みサイクルで同一ワード線上のメモリセルに一括書き込みを行うものである。このラッチをコラムラッチと呼んでいる。ビット線には更にビット線を昇圧するための高圧スイッチが設けられている。図6に回路図を示す。1バイトのメモリセルのコントロールゲートは共通に接続されておりワード線がゲートとなっている選択トランジスタを介してビット線と平行に走るコントロールゲート線に接続されている。このコントロールゲート線にも同様に高圧スイッチとラッチが設けられている。コントロールゲート線のラッチはそのバイトが消去されるか否かを制御する。 V_{pp} は高圧パルスを示しており、 ϕ_E , ϕ_P は発振器の出力であり各々消去時、書き込み時に活性化される。64KビットEEPROMでは、メモリセルのソースは各々のソース線に接続されていたが、1MビットEEPROMではア

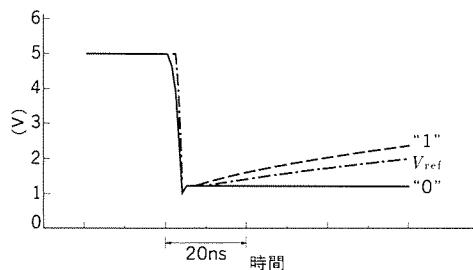


図5. センスアンプのシミュレーション結果

ルミ配線のピッチの緩和のために1バイトのメモリセルのソースが共通に接続されており1本のソース線を共有している。そのため、コラムラッチには各種の工夫がなされている。一つはビット線とラッチとの間に設けられたトランスマッゲートであり、消去時にはオフシラッチの状態を保つ。また、トランジスタT3, T4は消去が終

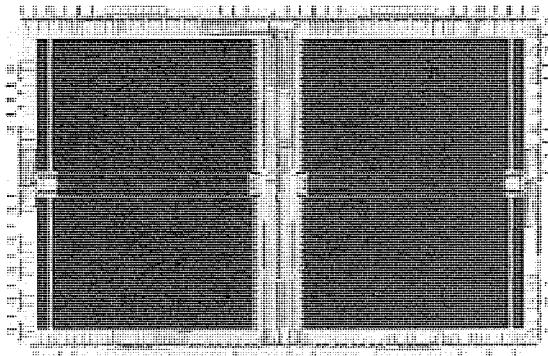


図7. チップ写真

表1. プロセスパラメータ

テクノロジー	1μm リソグラフィ 3-Poly, 2-Al ツインウェル CMOS
セル	選択トランジスタ : $T_{ox} = 350 \text{ Å}$, $L = 1.7 \mu\text{m}$ トンネル酸化膜 = 90Å 層間絶縁膜 = 300Å
周辺回路	$T_{ox} = 200 \text{ Å}$ $L_{eff} = 0.8 \mu\text{m}$ (Nチャネル) $1.2 \mu\text{m}$ (Pチャネル) $X_{jn} = 0.25 \mu\text{m}$ $X_{jp} = 0.35 \mu\text{m}$

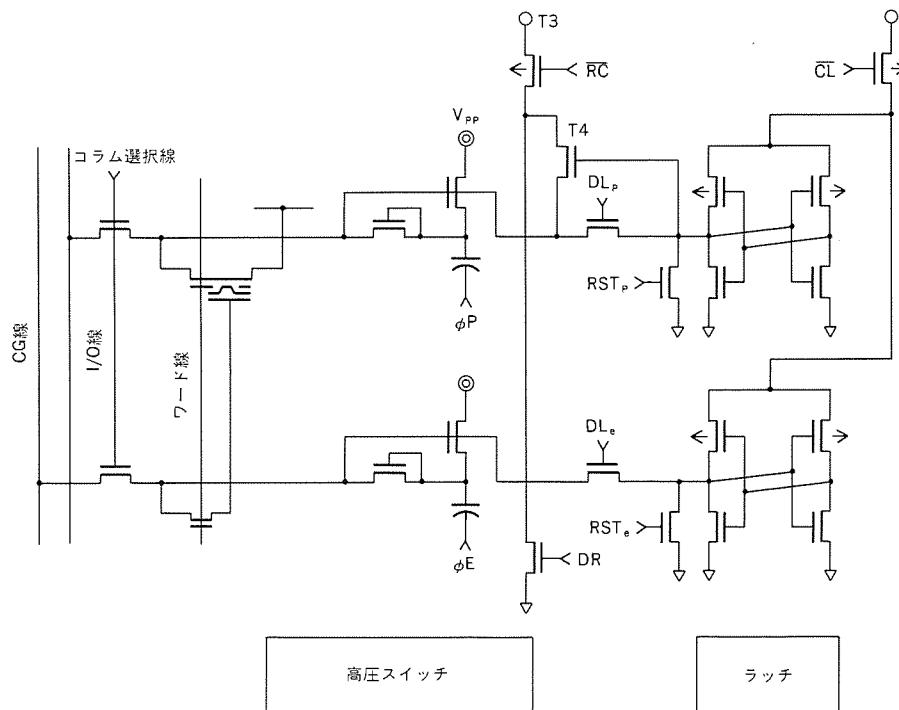


図6. コラムラッチの回路図

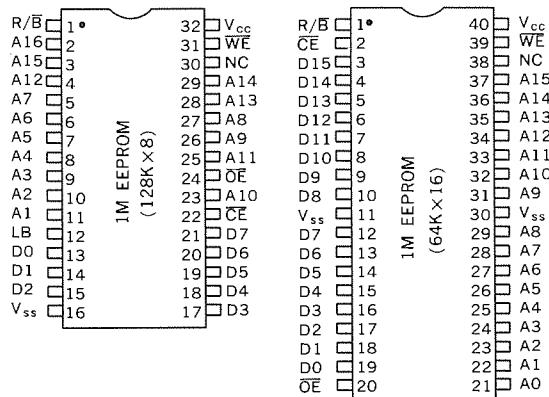


図 8. ピン配置

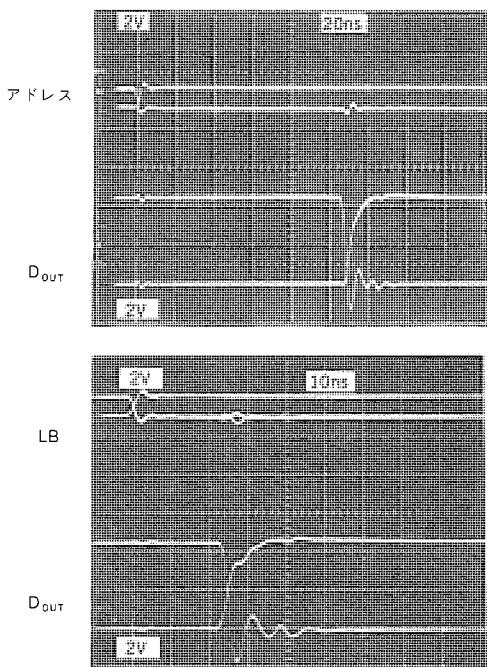


図 9. 出力波形

表 2. 特性一覧

語構成	128K語×8ビット 64K語×16ビット
メモリセルサイズ	3.8μm×8μm
チップサイズ	11.83mm×7.73mm
アドレスアクセス時間	110ns
CEアクセス時間	120ns
消費電力 動作時	330mW
待機時	0.5mW
パッケージ	32pin DIP, 44pin PLCC (×8) 40pin DIP, 44pin PLCC (×16)

了し書き込みに入ったときに、ラッチの状態が“H”ならばビット線を充電しトランスマニアゲートがオンしたときに消去時に放電されたビット線によりラッチが反転するのを防いでいる。

5. 試作結果

図 7 に試作した 1M ビット EEPROM のチップ写真を示す。デザ

インルールは 1 μm であり、3 層ポリシリコン 2 層アルミ配線のツインウェル CMOS プロセスが用いられている。1 層目のアルミ配線はビット線に、2 層目のアルミ配線はワード線遅延の低減のために用いられている。表 1 にプロセスパラメータを示す。チップサイズは 11.83mm × 7.73mm、セルサイズは 3.8 μm × 8.0 μm である。セルアレーは左右のブロックに分割されており、中央帯にセンスアンプが設けられている。消去・書き込みのための高圧パルスを発生するチャージポンプは 4 組設けられている。ECCとして、チップサイズの縮小のために 16 のデータビットと五つのパリティビットからなる 1 ビット誤り訂正符号（ハミングコード）が用いられている。そのため、メモリアレーの構成は 64K 語 × 16 ビットになっている。語構成は、128K バイト × 8 ビット / 64K 語 × 16 ビットをスルーホールマスクで切り替えることができる。128K バイト × 8 ビット構成を選択した場合には、書き込み時には 2 バイトをシリアル入力する必要がある。この時、最下位アドレスを切り替えて 2 バイト入力するのでこのアドレスピンを LB (Lowest address input) ピンと名付けている。ピン配置を図 8 に示す。読み出しに関してはなにも制限がない。

図 9 に出力波形を示す。上の写真はアドレスアクセスを示し下の写真は LB アクセスを示す。2 バイトのデータが同時にセンスされ誤り訂正された後ラッチされているので LB を切り替えることにより高速の 2 バイトシリアル読み出しが可能である。アドレスアクセス時間は 110ns、LB アクセス時間は 20ns と高速である。表 2 にデバイス特性を示す。電源電流は、動作時 60mA、スタンバイ時 100 μA 以下である。

6. むすび

1 μm ツインウェル CMOS 3 層ポリシリコン 2 層アルミプロセスを用いて 5 V 単一電源で動作する 1 M ビット EEPROM を試作した。チップサイズは 11.83mm × 7.73mm、セルサイズは 3.8 μm × 8.0 μm である。小さなセルサイズで大きなセルカレントの流せる SSTR メモリセルと、非選択のメモリアレーを利用して疑似的に “1” 読み出し状態をつくり、これをリファレンスレベルとして利用する差動型センスアンプの開発により、120ns の高速アクセスを実現した。語構成は、128K バイト × 8 ビット / 64K 語 × 16 ビットをスルーホールマスクで切り替えることができる。256 語 (×8 構成) / 128 語 (×16 構成) のページモード書き込みにより、チップ全体を約 4 秒で書き込むことができる。また、ECC 回路を内蔵することにより高い信頼性を持っている。

参考文献

- (1) H. Arima, et al.: A Novel process technology and cell structure for mega bit EEPROM, IEDM Tech. Dig., p.420 (1988-12)
- (2) Y. Terada, et al.: 120ns 128K×8b / 64K×16b CMOS EEPROMs, ISSCC Dig. Tech. Papers, p.136 (1989-2)
- (3) 林越ほか：大容量 EEPROM のための高速センス手法、1989年電子情報通信学会春季全国大会、C-368
- (4) 林越ほか：5 V 単一電源を用いた 120ns 1 Mb CMOS EEPROM、電子情報通信学会技術研究報告、SDM89-17, 89 (1989-6)

1 Mビット デュアルポートRAM

小川俊行*
井上一成*
浜野尚徳*

1. まえがき

近年の画像表示分野は、パーソナルコンピュータのカラー表示、ワークステーションのマルチウインドウ、CAD装置において三次元表示や画面サイズの拡大、解像度の向上へ技術が進み、スーパコンピュータを用いた数値計算結果の表現方法としてのコンピュータグラフィックスなども脚光を浴びている。これらの実現方法として、ダイナミックRAM(以下、DRAMと称す。)と画像処理専用プロセッサによる表示や、より高速表示のために256KデュアルポートRAM(一般に256KVRAMと称す。)が使用されてきた。ワークステーションでは、1台当たり256KデュアルポートRAMの使用が100個を超え、1Mビット製品への移行が始まっている。表示画面の拡大や解像度の向上は、表示速度を上げることが必ず(須)となり、単位時間当たりの処理ビット数の低下や不要メモリ領域の増大を抑えながらシステムを構成する必要がある。

図1は、各ワード構成のデュアルポートRAMが適用される応用分野を示したものである。今回開発した256K×4デュアルポートRAMは、中級機から高級機をカバーし、128K×8ビット構成ではワード構成の点でワープロ・パソコンの表示分野に、また×8構成はスピードの点で超高級機に応用分野を持っている。本稿では、1M世代に入ったデュアルポートRAMの基本構成と拡張機能について述べ、この製品の回路・プロセス・特性について紹介する。

2. 製品の概要

2.1 概略

図2に、デュアルポートRAMを用いた表示システムと内部ブロックを示す。基本動作として、データ入出力の同時動作による高速なデータ書き込みとCRT表示がある。さらに、処理能力を上げるために、以下のようなアプローチをした。

(1) データ書き込みの高速化

(a) アクセス時間、サイクル時間の高速化

① RASアクセス時間 $T_{RAC} = 80\text{ns}$

② ファーストページモードの採用 $T_{CP} = 50\text{ns}$

(b) 一括書き込みによる高速処理

③ 512×4ビットの一括書き込み(フラッシュライト)

④ 4×4ビットの一括書き込み(ブロックライト)

(c) 多ビットの構成による高速処理

⑤ ×4, ×8ビット構成

(2) シリアル(CRT表示)出力の高速化

(a) サイクル時間の高速化 $T_{SCC} = 30\text{ns}$

(b) 多ビット構成による高速処理 $\times 4, \times 8$ ビット

(3) タイミングの緩和

(a) スプリット転送機能によるリアルタイム転送の代用

(b) 転送タイミングの制約緩和

2.2 製品の諸元

図3にこの製品のピン配置図を示す。拡張機能を搭載しているため、特殊機能入力ピン(DSF)と特殊機能出力ピン(QSF)を新たに付加している。RASクロック及びCASクロックの立ち上がりエッジで各クロック信号のH/Lをラッチし、それぞれの機能モードを決める。各機能の真理値表を表1にまとめた。当社の256KデュアルポートRAMから新たに追加された機能は、ブロックライト、フラッシュライト、ロードカラーレジスタ、スプリット転送、ラスタ演算セット／実行サイクルである。また、ライト転送サイクルではマスク機能を追加した。

2.3 主要機能

(1) ライトペービット(書き込みマスク)

256KデュアルポートRAMで標準機能となっており、今後は標準DRAMでも採用される機能である。書き込みのとき、入力ピンごとにマスク(書き込み禁止)をかけることにより、バンド($\times 4, \times 8$)方向にパラレル／シリアル変換をするとき、境界部のデータ処理に有効である。また、パーティビットとして、特定の入力ピンを使用することもできる。

(2) フラッシュライト機能(図4)

画像データを高速に消去するために付加された機能であり、選択されたすべての列を1サイクル時間に書き換えることができる。このとき、選択されたワード列に対しマスク機能を備えており、任意のプレーンを選択して消去することができる。

(3) ブロックライト機能(図5)

フラッシュライト同様、画像データを高速に消去するために付加

画面サイズ	応用分野	表示レート	パラレル/シリアル変換
640×400	ワードプロセッサ パーソナルコンピュータ	60ns	↑ 4/1
768×512	デスクトップ パブリッシング	35ns	↓ 8/1
1280×1024	ワークステーション メディカルエレクトロニクス	10ns	↑ 16/1
2048×2048	CAD アニメーション	5ns	↓
256K 64K×4	↔		
1M 128K×8	↔		
2M 256K×8	↔		
4M 512K×8	↔		
4M 256K×16	↔		
			メモリサイズと ワード構成

図1. デュアルポートRAMの応用分野

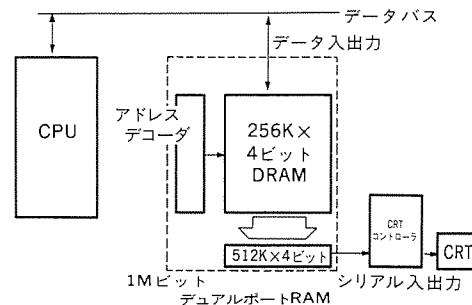


図2. 表示システムと内部ブロック図

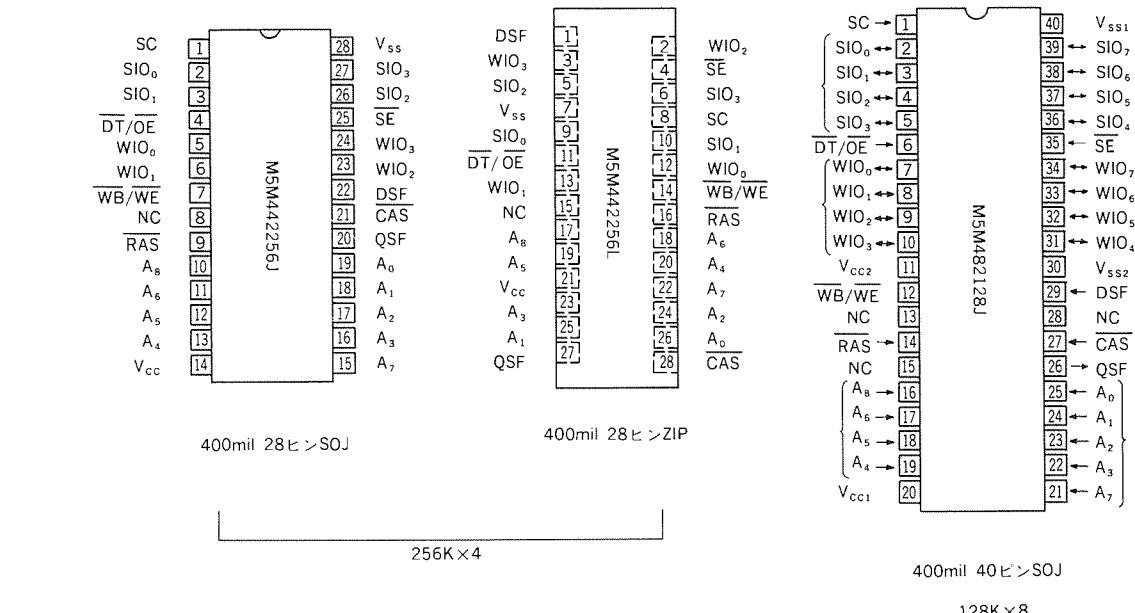


図3. ピン配置図

表1. 各機能の真理値表

RAS				
CAS	0/1			
DT/OE	X	0/1	X	X
WB/WE	X	0/1	X	X
DSF	X	0/1	X	0/1
RASの立ち下がり		CAS		機能
CAS	DT/OE	WB/WE	DSF	
0	X	1	X	X CASビフォアRASリフレッシュ
0	1	0	X	X 演算コマンド設定サイクル(x8のみ)
1	0	0	0	X ライト転送
1	0	0	1	X スプリットライト転送
1	0	1	0	X リード転送
1	0	1	1	X スプリットリード転送
1	1	0	0	0 ライトバーピット
1	1	0	0	1 マスク付きブロックライト
1	1	0	1	X フラッシュライト
1	1	1	0	0 リードライト
1	1	1	0	1 ブロックライト
1	1	1	1	X ロードカラーレジスタ

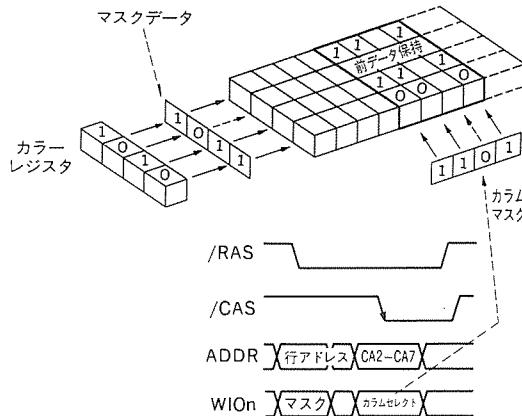


図5. ブロックライト

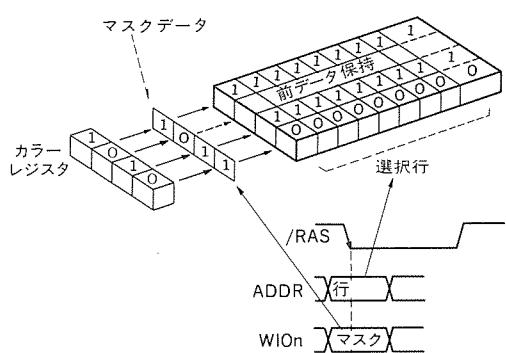


図4. フラッシュライト

された機能であるが、フラッシュライトの欠点である列方向の選択性を改善しウンドウクリアを可能にした。すなわち、選択された行のうち、連続した4列をブロック選択し、1サイクル時間に書き換えることができる。このとき、フラッシュライト同様、選択されたワード列に対しマスク機能を備えており、任意のプレーンを選択することができる。

(4) ラスター演算機能

メモリに記憶されたデータに、他のデータを演算(AND, OR,

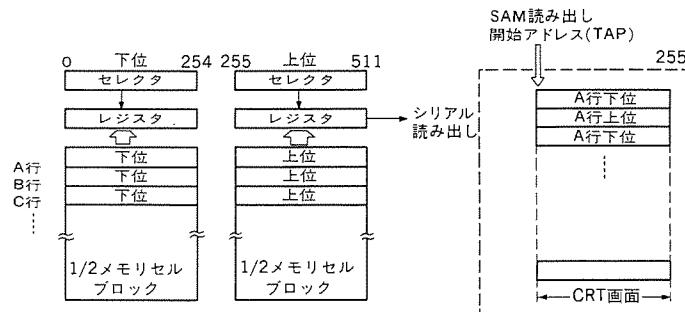
EOR等)処理し重ね書きを1サイクルで実行することができるため、従来、リードモディファイライトサイクルで実行されていた画像データの演算を高速に行うことができる。

(5) スプリットSAM(図6)

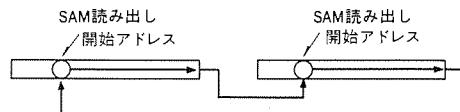
256KデュアルポートDRAMでは不十分であった連続的な画像データを入出力する場合の制御性を改善し、タイミング制限を大幅に緩和するため、SAM(シリアルアクセスメモリ)を2ブロックに分割し、分割転送を可能にした。また、各ブロックの読み出し開始アドレスを任意に設定できるため、小型システムにおいても、メモリプレーンの構成が容易となった。

(6) 転送タイミングの制限緩和(図7)

従来の転送(RAM→SAM)は、外部DT/OE信号の立ち上がりエッジで実行される。転送は、メモリセルデータの読み出し完了後からビット線プリチャージの開始までの期間に行われる。また、SAMの読み出し開始アドレスを設定するため、内部アドレス信号が有効な期間中に、DT/OE信号をリセットし転送する必要がある。従って、DT/OEのタイミングを制約として、RAS信号の立ち上がりから読み出し完了までの時間(T_{RDH})以後、RAS信号の立ち上がりで決まるビット線プリチャージ以前で、CAS信号による内部アドレスリセット以前に転送を実行する必要がある。



(a) スプリットSAMによる画面分担



(b) スプリットSAM動作でのセレクタポイント

図6. スプリットSAM

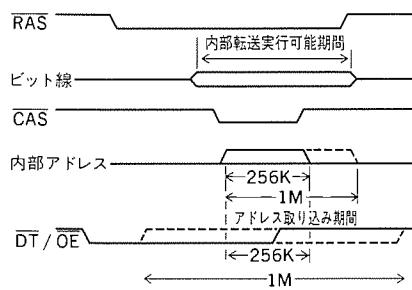


図7. 転送タイミング制限

表2. 回路設計・パターン設計の要点

- | | |
|------------------------------|---|
| 1. 同一チップをSOJ, ZIPパッケージに封入する。 | → パッドレイアウト, 周辺回路レイアウト |
| 2. 256K×4, 128K×8の同時開発 | → アルミマスクによるマスクスライス |
| 3. データレジスタのコンパクト化と分割動作の実現 | → 転送データ線の1本化
データレジスタ回路 |
| 4. シリアルデータレジスタの冗長回路 | → 内部カウンタヒステティックデコーダによる読み出し
カラムデューディングと書き込み |
| 5. 拡張機能の搭載 | → 制御回路 |
| 6. 高速シリアルサイクル | → 2サイクルに1回の読み出し |

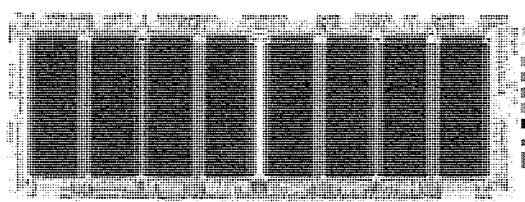


図8. チップ写真

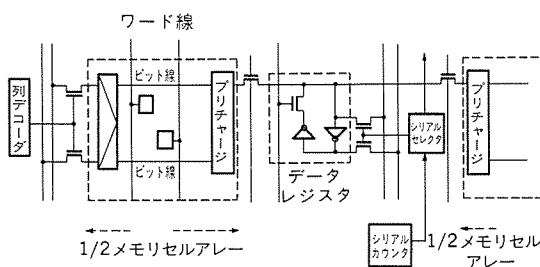


図9. データレジスタとセレクタ

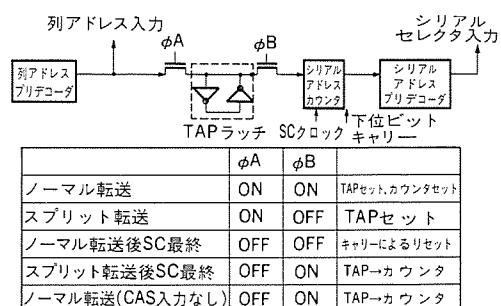


図10. カウンタ部の動作

以上のような制約はリアルタイム転送では必要であるが、転送サイクル中にシリアルクロック(SC)入力のない場合やスプリット転送を用いた場合、不要となるべきである。当社の1MデュアルポートRAMでは、内部信号を使い転送可能期間を制御し、転送中の内部CAS信号を外部RAS信号によってのみリセットすることにより、CAS信号の制限をなくした。また、外部CAS入力がHレベル保持するとき、前サイクルでのSAM読み出し開始アドレスを保持するようにした。スプリット転送を採用するときや、転送サイクル中にSCクロック入力のないときは、DT/OE信号のタイミング制約が大幅に緩和された。

3. 回路技術

(1) 回路設計・パターン設計の要点

表2に、今回の設計の要点と実現方法との関連を示す。チップ写真を図8に示す。チップサイズは、5.08mm×13.54mmである。

(2) データレジスタとセレクタ (図9)

1MデュアルポートRAMでは、1/2分割動作をさせることにより、標準1M DRAMと同様に低い消費電流、ピーク電流特性が得られた。メモリセルの分割動作は、行アドレス最上位(A_8)により2分割した。分割された左右のメモリマットから中心にあるデータレジスタにビット線1本で配線し、双方向転送の安定化のためクロックゲートを附加した。シリアルセレクタは、転送線を1本にすることでレイアウトが可能になった。また、マスクライト転送やマスクフラッシュライトにおいてマスクされたメモリマットの読み出し動作が非マスクマットの動作の影響を受けないよう、センスアンプのN-ch電源ラインを分割した。これらの工夫により、安定した動作が実現できた。

(3) シリアルアクセスメモリ(SAM)

シリアルアクセスメモリの読み出しでは、冗長回路の付加とスプリットリードを考慮し、RAM側と同様なデコーダによる読み出し方式を採用した。読み出しアドレスは、内部カウンタにより生成し、カウンタ前段にTAPレジスタを配慮した。図10にカウンタ部の動作説明を示す。シリアル部のデータ読み出しの高速化のため、2ビットごとの読み出し方式とすることで内部回路の動作周波数を半分にした。

(4) フラッシュライト

1行分の512ビットに同一データの書き込みをするため、ビット線の読み出しセンス動作前にカラーデータの書き込みを開始する。書き込みデータの增幅はセンスアンプが行い、またカラムの読み出し動作がないので動作電流はほとんど増加しない。

(5) ブロックライト

列デコーダ1個が4ビットを選択し、それぞれのデータ線対に選

表3. プロセス・パラメータ諸元

セルサイズ	$27.0\mu\text{m}^2$
デザインルール	$1.0\mu\text{m}$
ウェーハプロセス	ツインウェルCMOS
アルミレイヤ	1層
ポリシリコンレイヤ	3層
セルプレート	第1ポリ
ワード線	第2ポリ+アルミ
ビット線	第3ポリ
ゲート酸化膜(メモリセル)	$\text{SiO}_2, 80\text{\AA}$
ゲート長(n-MOS)	$1.1\mu\text{m}$, LDD
ゲート長(p-MOS)	$1.5\mu\text{m}$
チップコート	ポリイミド
チップサイズ	$5.08\text{mm} \times 13.54\text{mm}$
冗長構成	4行, 2列

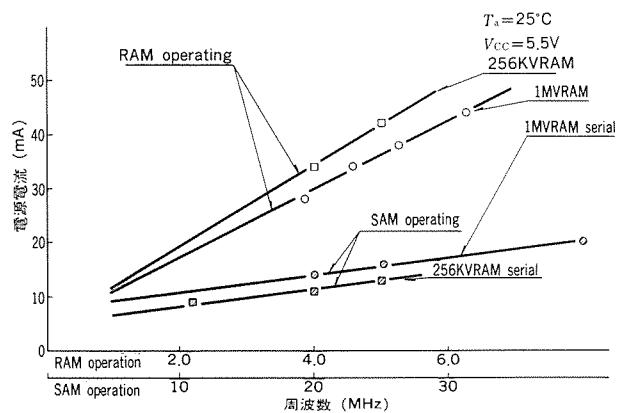


図11. 電源電流と周波数特性

押スイッチを付加し書き込みマスクをする。書き込みドライバは、通常の4倍のビット線に書き込みをすることになるが、この場合でも動作電流の増加はほとんどない。

4. プロセス技術

当社で現在量産中の1M DRAMと同一のプロセス技術を用いた。主なパラメータを表3に示す。

5. 電気的特性

図11は、RAM部及びSAM部の電源電流とサイクル周波数特性である。図12は動作電流波形。図13、図14は、スプリット転送によるシリアルリード波形とQSF出力波形を示している。

6. むすび

表示用メモリの容量の増大に対しては、表示ビットレート、画面

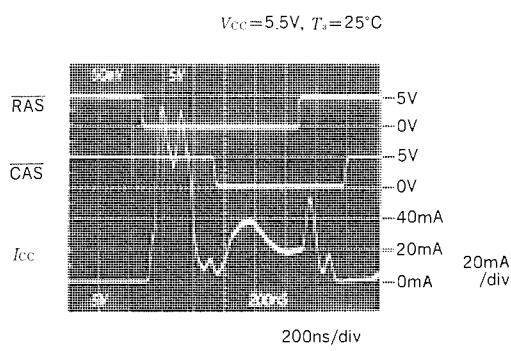


図12. 動作電流波形

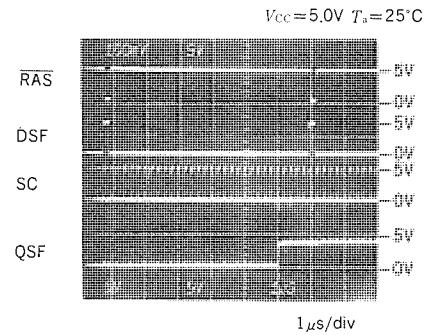


図13. スプリット転送によるシリアルリード

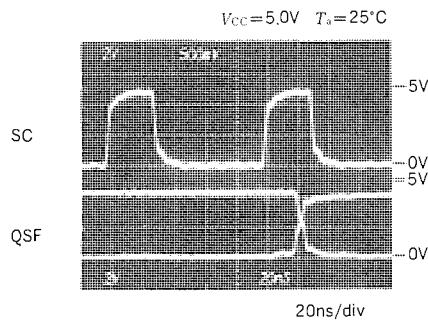


図14. SCクロックとQSF出力波形
サイズの最適化を常に考慮する必要がある。次世代の表示用メモリは、必ずしも4Mサイズへ移行するとは限らず、2M, 2.5Mサイズの提案もなされている。今後の方向として、①一括書き込みビット数の拡大 (8×8ビットのブックライト等) 又はフラッシュライトでの書き込みビット制限等による高速処理、②パイプライン処理によるより高速なページモード、シリアルアクセスモード、③出力バンド幅の拡大によるデータ処理高速化、があげられるが、このとき、チップ設計上、電源電流の抑制、出力ノイズの折制、コストパフォーマンスの向上が課題となり、配線アルミ層の2層化が必須となると考えられる。今後は、より一層システムとチップ設計の連携が重要となるが、それだけに標準化の努力が重要である。

ディジタルPPC用5Kバイト FIFO/LIFOメモリIC

前田安範* 宮田和明*
沖高毅則* 服部正人**
池田敏男* 鎌倉寛*

1. まえがき

半導体メモリは、今やあらゆる電子機器に用いられるようになつた。汎用の半導体メモリは、大容量化・高速化のための技術革新を日夜進めており、16MビットDRAMの試作が行われるまでになっている。一方、汎用の半導体メモリは、あらゆる応用に対し、必ずしも最適というわけではない。例えば、画像処理においては、画像処理に適したライン対応の情報を記憶するメモリが必要となる。

当社では、応用分野ごとに適した多くの標準製品(ASSP: Application Specific Standard Products)を既に開発しており、PPC(Plain Paper Copier), プリンタ、ディジタルTV等に活用されている。

今回、ASSPとしてディジタルPPCに最適な機能を内蔵したラインメモリ M66250P/FPを開発した。本稿では、このラインメモリの設計、製造技術及び電気的特性を紹介する。

2. ディジタルPPCの動向

2.1 ディジタルPPCの市場分析

PPC市場は現在アナログPPCが主流であるが、高画質化、カラー化及び多彩な編集などを要求される分野では、ディジタル化の方向で進展している。

アナログPPCの市場規模は、昭和63年度で5,500億円であった。また、アナログPPCは、貿易摩擦や円高等の影響により欧米への海外生産シフトが進んでいる。その割合は、平成2年度には約30%に達すると予測される。PPCの世界市場における日本メーカーのシェアは85%を占め、高度な電子技術や量産技術を背景に極めて強い競争力をを持っている。

ディジタルPPC(カラーを含む)は、平成2年度1,000億円の市場規模が予測されている。OA機器全般のネットワーク化やカラー化の時流に乗って、日本メーカー各社からディジタルPPCの新製品発表が相づぎ、ディジタル化は、各メーカーにとって開発の最重要テーマとなっている。平成4年度にはディジタルPPC(カラーを含む)のオフィスにおける導入が本格化し、急速に市場が拡大し、国内出荷台数比率がPPC市場全体の15%以上になると予測されている。

2.2 ディジタルPPCの技術動向

表1にアナログPPCとディジタルPPCの比較を示す。従来のアナログPPCの思想は、複写速度、丁合い機能及び自動原稿送り機能等にみられる高速・大量にコピーを作るという処理速度の向上にある。しかし現在のOA化の進展においては、高画質、カラー及び編集機能等の高品質なコピーの要求が強く、必然的にディジタルPPCが望まれている。

ディジタルPPCの基本技術は画像情報の制御である。入力情報及び出力情報は、原稿の再現性が要求され情報の階調制御や色合成の精度が必要となる。画像情報の制御においては、画像処理に適した

表1. アナログPPCとディジタルPPCの比較

	ディジタルPPC	アナログPPC
複写速度	中速(白黒 30枚/分) 低速(カラー 5枚/分)	高速(最大80枚/分)
解像度	高(12~16ドット/mm)	低(8ドット/mm)
縮小/拡大機能	縦横独立倍率(50~400%)	縦横同一倍率(70~140%)
その他機能	編集機能(トリミング、マスキング、合成、移動等) カラー編集機能(色付け、色合成等)	丁合い機能 自動原稿送り機能

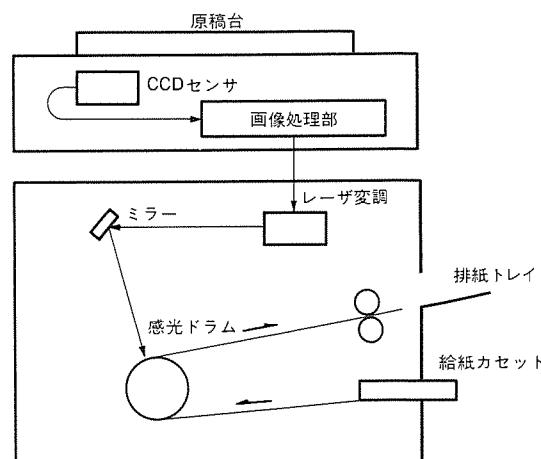


図1. ディジタルPPC構成例

メモリが不可欠となる。ディジタルPPCでは、1ラインごとの情報入力及び出力、かつ、ライン単位での編集(トリミング、マスキング及び移動等)が行われる。

以上のライン単位での複雑な画像制御に適した万能ラインメモリが、今回紹介するFIFO(First-In First-out)機能、LIFO(Last-In First-Out)機能及び先頭アドレス指定機能を持った画像用メモリである。

3. 開発のねらい

図1にディジタルPPCの構成例を示す。ディジタルPPCは、原稿をCCD(Charge Coupled Device)を使った縮小型あるいは密着型のイメージセンサで、光からアナログ電気信号に変換し、ディジタル変換したあと、画像データ処理部に入力する。画像データ処理部では、メモリを使用して階調、輪郭補正、色合成など、高画質化のための処理や、データの拡大や縮小、さらに必要部分のデータ取出し等の処理が行われる。処理されたディジタル電気信号は一例としてレーザ変調され光に変えられ、現像・定着されて出力される。

以上の処理を行うには、次のような機能を持つメモリが必要となる。

- (1) 高画質を実現するに十分なメモリ容量
- (2) 複写速度向上のための高速処理

- (3) 実像、鏡像形成及び両面複写が容易に実現できる機能
(4) トリミング（必要部分のデータ取出し（削除））が容易に実現できる機能
(5) 拡大・縮小が容易に実現できる機能

M66250P/FPは、上記に示すようなディジタルPPCにおける画像信号の処理を容易に行うための性能を追求し、開発に当たり以下の目標を設定した。

(1) 5,120ワード×8ビット構成

5,120ワードは、1mm当たりのドット数が16 (16dot/mm) の場合、A3用紙短辺の1ライン分データに相当する。

(2) 高速サイクル、アクセス時間

最小サイクル時間を50ns、最大アクセス時間を40nsとし、高速の画像信号処理を実現する。

(3) FIFO機能/LIFO機能内蔵

LIFO機能により鏡像データ作成や裏面への複写を容易に実現する。さらに、従来2個のラインメモリの切替で実現していたLIFO機能を1個のラインメモリで実現する。

(4) 先頭アドレス指定機能内蔵

読み出し時、任意のアドレスからの開始を可能として、必要部分だ

けの画像信号の出力を実現する。

- (5) 書き込み、読み出しの完全独立、非同期動作を可能とし、拡大コピー、縮小コピーを容易に実現する。

4. M66250の構成

図2にM66250のピン接続図を示す。M/A(LAE), SA(SRES)の端子は複数の機能を持っている。また、図3にブロック図を示す。メモリアレーは、160行×32列で構成されたブロックからなり、各列は8ビット構成である。ブロック図から明らかなように、書き込み系の端子(D_{0~7}, WCK, WE, WRES)及び論理ブロック（入力バッファ、書き込み行ポインタ、書き込み列ポインタ）と読み出し系の端子(Q_{0~7}, RCK, RE, RRES)及び論理ブロック（出力バッファ、読み出し行ポインタ、読み出し列ポインタ）は完全に独立しており、書き込み、読み出しの非同期動作が可能である。また、コントロール系の端子(CE, SA, ACK, M/A)及び論理ブロック（コントロール回路）は、書き込み系、読み出し系とは完全に独立しており、書き込み、読み出し動作に何ら影響を与えることなくFIFO, LIFO, 先頭アドレス指定の機能設定が可能である。

5. 基本機能及び動作タイミング

5.1 基本機能

M66250, FIFO, LIFO, 読み出し時の先頭アドレス指定の基本機能を持つ。機能設定方法を表2に示す。

この基本機能の設定は表(a)の基本機能設定で行う。設定は、データの書き込み、読み出しとは非同期に行なうことができる。ここで、設定した機能が有効となるのは、機能設定後の最初の書き込み、読み出しおりリセット後であり、書き込み側、読み出し側で独立している。また、0から5,119までの先頭アドレスを設定するには13ビットのデータを必要とするが、このアドレスはシリアルに入力できる。表(a)の基本機能設定のほか、(b), (c)に示す機能設定方法がある。(b)のシステムリセット機能は、リセット時にFIFO及び先頭アドレス指定無効を設定する機能である。システムリセットを行なうと(a)及び(c)の設定は無視される。(c)の先頭アドレス指定有効無効選択機能は、読み

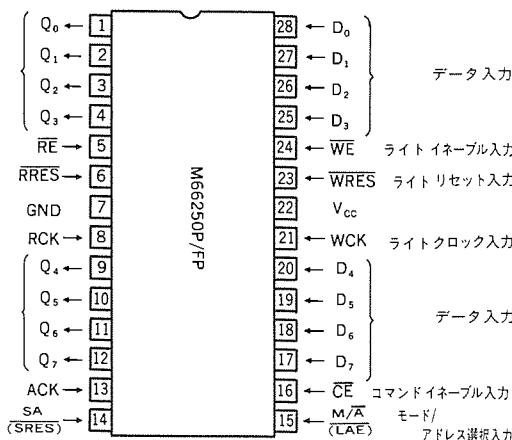


図2. ピン接続図

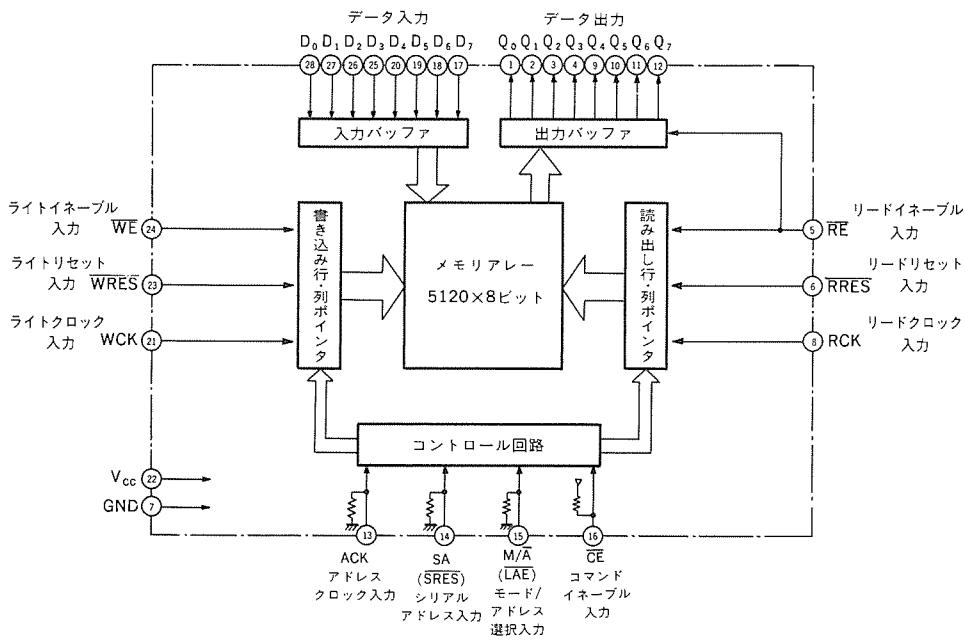


図3. ブロック図

出しリセット時に先頭アドレス指定の有効、無効を選択する機能である。(a)で先頭アドレスが指定されている場合でも、先頭アドレス指定無効とすれば先頭アドレス指定は無視され、読み出しアドレスはリセットされる。

次に、M66250のFIFO、LIFO機能について説明する。図4に FIFO、LIFO時のアドレスの動きを示す。

FIFOは、書き込んだデータを書き込んだ順番に読み出す機能である。書き込みアドレスは、書き込みリセットにより0番地に設定され、書き込みクロックに同期してインクリメントしていく。読み出しアドレスは、読み出しリセットにより先頭アドレス指定が有効で

表2. 機能設定表

(a) 基本機能設定

CE	M/A (LAE)	ACK	SA (SRES)	機能
L	H	↑	H	FIFO
L	H	↑	L	LIFO
L	L	↑	X	先頭アドレス指定 (13ビット)

X:0又は1のいずれか

(b) システムリセット設定

CE	SRES (SA)	RRES	RCK	機能
H	L	L	↑	FIFO 先頭アドレス指定無効、読み出しアドレスリセット

CE	SRES (SA)	WRES	WCK	機能
H	L	L	↑	FIFO 書き込み、アドレスリセット

(c) 先頭アドレス指定有効無効設定

CE	SA (SRES)	LAE (M/A)	RRES	RCK	機能
H	H	L	L	↑	先頭アドレス指定有効
H	H	H	L	↑	先頭アドレス指定無効

ある場合は任意の設定値m番地 ($m = 0 \sim 5,119$) に、先頭アドレス指定が無効である場合は0番地に設定され、読み出しクロックに同期してインクリメントしていく。

LIFOは、書き込んだデータを書き込んだ順番とは逆に読み出す機能である。従来LIFO動作においては、書き込みが完了するまで読み出しができない、また、逆に、読み出しが完了するまで書き込みができるない、という制約があった。したがって、連続書き込み、読み出しのLIFO動作を行うために、図5に示すように2個のメモリを用い、それぞれの書き込み、読み出しを切り替えていた。つまり、Aが書き込み時はBが読み出し、Aが読み出し時はBが書き込みとしていた。

これに対しM66250、連続書き込み、読み出しのLIFO動作を1個で行うことを可能とした。LIFO動作時は、書き込みリセット及び読み出しリセットごとにアドレスのインクリメントとデクリメントが切り替わる。図4の先頭アドレス指定無効時のLIFO動作について説明する。第1フェーズで0番地から5,119番地までインクリメントされ書き込まれたデータは、第2フェーズで5,119番地から0番地までデクリメントされ読み出される。一方、第2フェーズでは5,119番地から0番地までデクリメントされ書き込みが行われる。この第2フェーズで書き込みアドレスが読み出しアドレスを追い越すことがなければ、第1フェーズで書き込まれたデータを読み出しながら新データの書き込みができる。上記動作により、M66250一つで連続書き込み、読み出しのLIFO動作が可能となる。書き込みアドレスは、書き込みリセットによりそれまでインクリメントしていた場合、5,119番地にセットされデクリメントに切り替わり、それまでデクリメントしていた場合、0番地にリセットされインクリメントに切り替わ

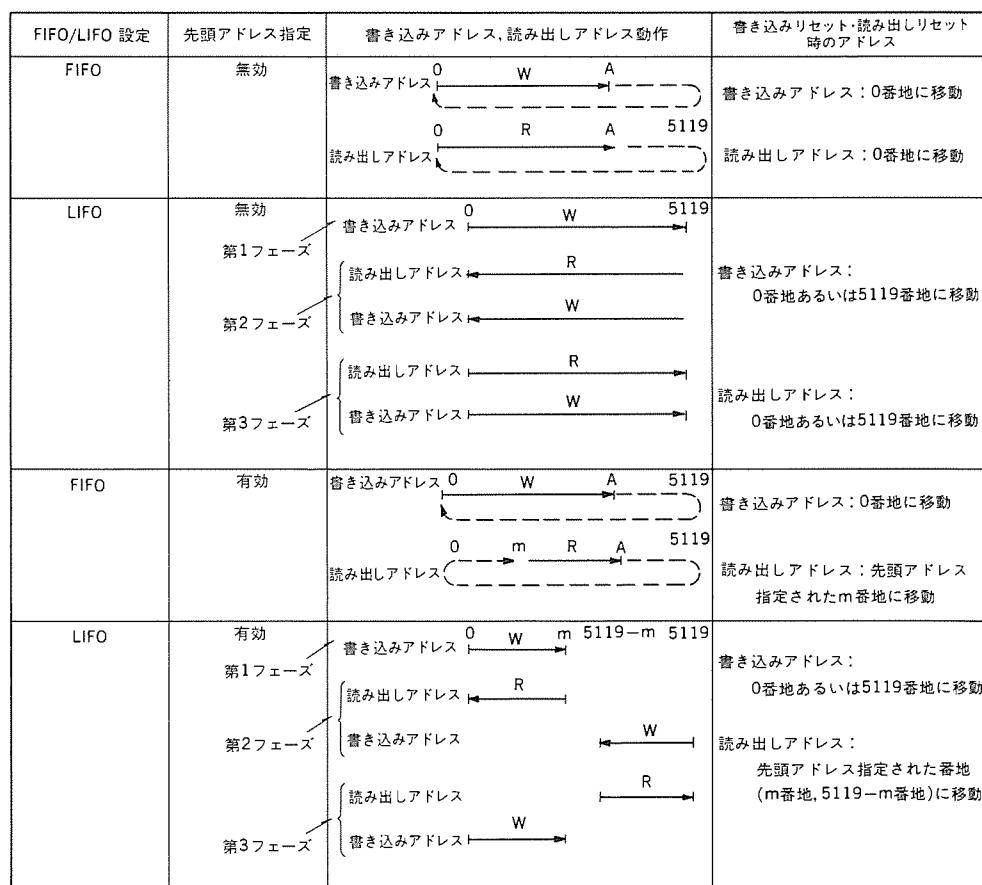


図4. FIFO, LIFOのアドレスの動き

る。読み出しアドレスは、読み出しリセットによりそれまでインクリメントしていた場合5,119番地にセットされデクリメントに切り替わり、それまでデクリメントしていた場合0番地にリセットされインクリメントに切り替わる。

5.2 動作タイミング

書き込み、読み出しの基本動作タイミングを図6に示す。書き込みクロック(WCK)、読み出しクロック(RCK)の1周期が、書き込み、読み出しのサイクルとなる。各サイクルの書き込みは、サイクルの終わりのWCKの立ち上がりエッジで行われる。このエッジに対しデータが取り込まれる。各サイクルの読みだしは、サイクル

の初めのRCKの立ち上がりエッジで行われる。このエッジに同期してデータが出力される。

以上のように、書き込み、読み出しのエッジがサイクル内で異なるので、書き込み、読み出しのサイクル及びアドレスが一致している場合でも、既に書き込まれた前ラインのデータの読み出し、新たなラインのデータの書き込みが可能である。

6. 設計技術

6.1 メモリ回路

M66250の基本メモリセルは、ダイナミック型3トランジスタ1キャパシタ構成とした。この構成により、メモリセルは独立した入力及び出力ポートを持ち、書き込み、読み出しの非同期動作が可能となる。

デジタルPPCにおいて、ラインメモリの保持時間は数msあればよい。したがって、メモリはスタティック型である必要がなく、ダイナミック型を用いた。ダイナミック型メモリは、スタティック型メモリよりセル面積を小さくできるからである。M66250は、キャパシタの容量値が当社1M DRAMとほぼ同等であり、ラインメモリに必要な保持時間を十分確保できる。図7にメモリ及び周辺回路を示す。書き込みワード線は、各ワード(8ビット)単位に構成されている。この構成により、選択されたワードのみが書き込み可能で、非選択ワードへの誤った書き込みを禁止している。

6.2 プロセス技術

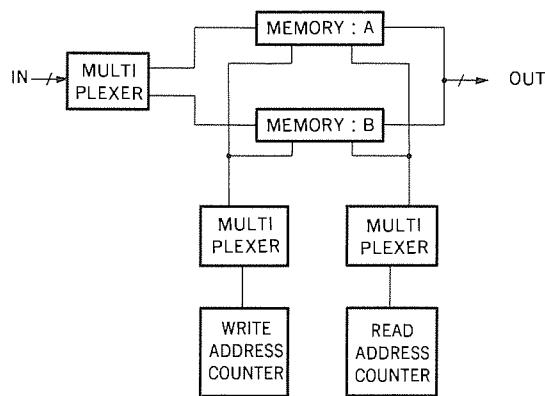


図5. 従来のLIFOの構成例

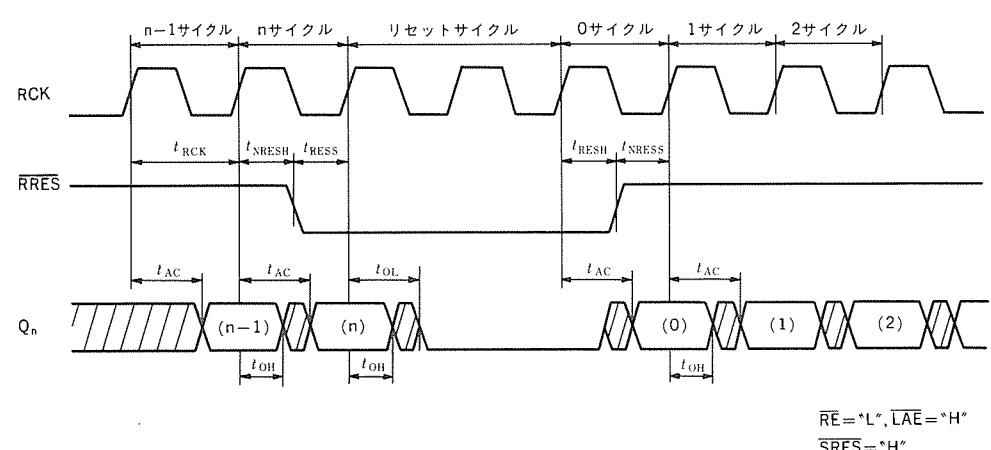
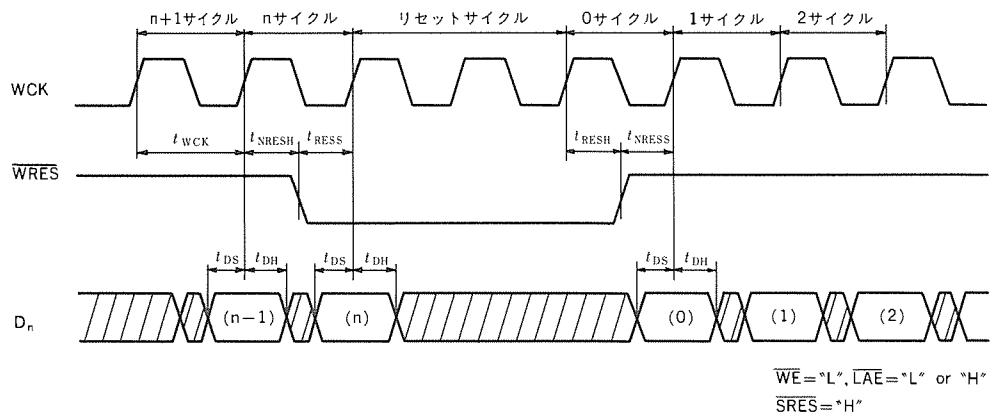


図6. 書き込み、読み出し基本動作タイミング

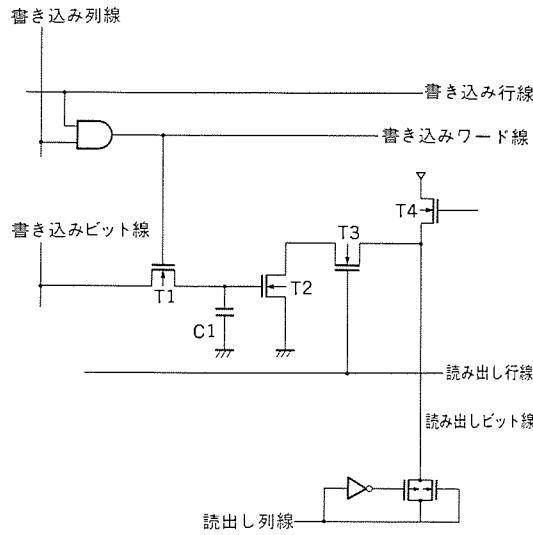


図7. メモリ及び周辺回路

表3. ウェーハプロセス パラメータ

項目	66250
プロセス	一層ポリシリコン, 二層アルミ
ウェル	P,N両ウェル
ゲート長 Pch/Nch	1.5μm/1.3μm
ゲート酸化膜厚	250Å
拡散(線幅/間隔)	2.5μm/2.0μm
ポリシリコン線幅/間隔	2.0μm/2.0μm
コンタクト, スルーホール寸法	1.4μm×1.4μm
1アルミ(線幅/間隔)	2.0μm/2.0μm(ピッチ4.0μ)
2アルミ(線幅/間隔)	3.0μm/3.0μm(ピッチ6.0μ)

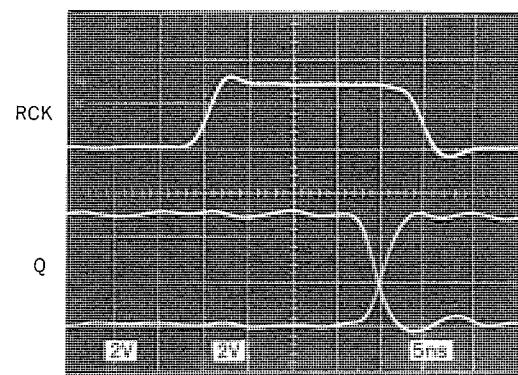


図9. 出力波形

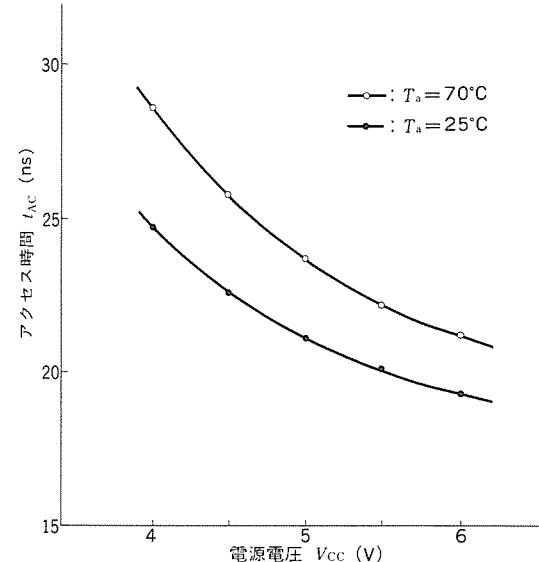


図10. アクセス時間の電源電圧依存性

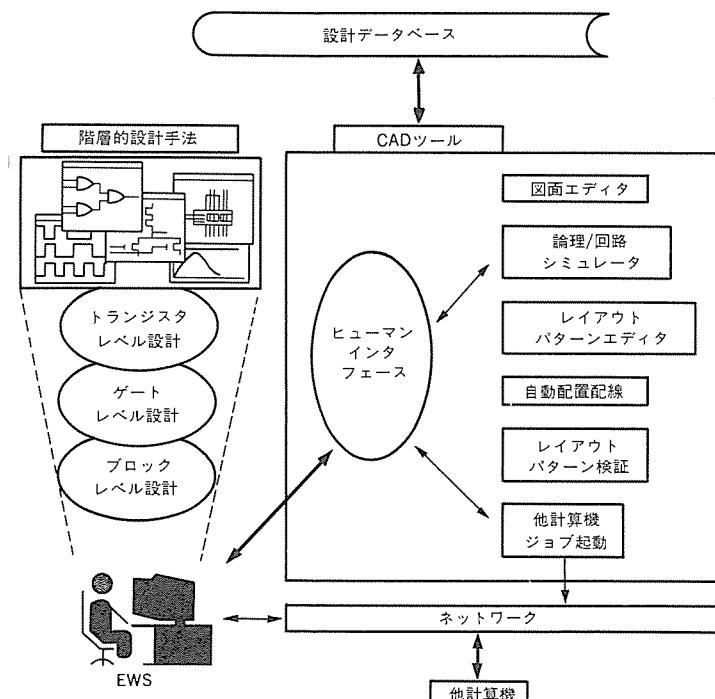


図8. セルベースCADシステム概略図

M66250は、1層ポリシリコン、2層アルミからなるCMOS構造で構成されている。表3にM66250の主要なウェーハプロセスパラメ

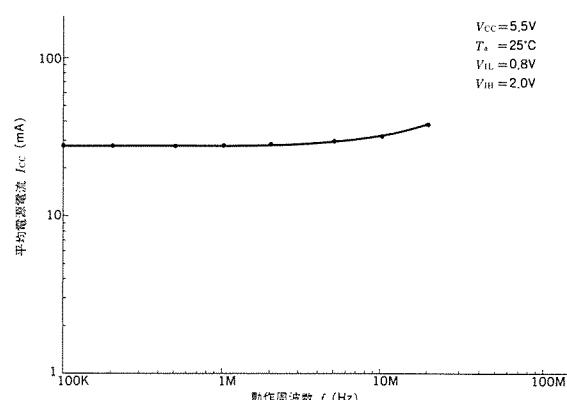


図11. 電源電流特性

ータを示す。

プロセスの特長としては、pチャネルトランジスタ及びnチャネルトランジスタの微細化に対応してn及びpウェル構造、ホットエレクトロン対策としてnチャネルトランジスタにLDD (Lightly Doped Drain)構造を採用している。その他の技術として、主要工程に縮小投影露光、異方性エッティング、低温平坦化技術を採用している。

6.3 設計手法

M66250は、セルベースCAD技術を基本に設計を行った。図8にセルベースCADシステムの概略図を示す。M66250の設計においては、以下のセルベースCADシステムの特長を有効に利用した。

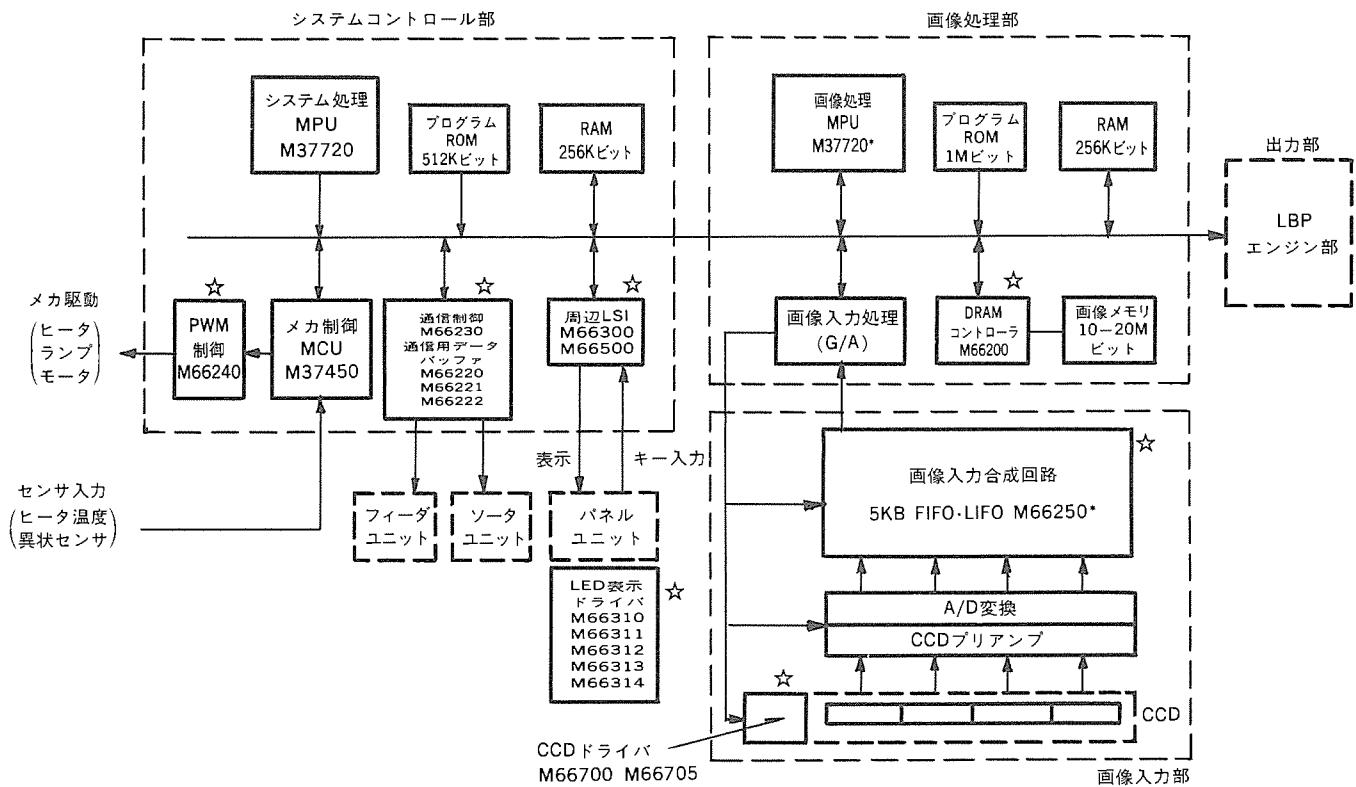


図12. ディジタルPPCのシステム構成例

- (1) 1台のワークステーション上で、論理設計、回路設計、パターン設計のすべてのCADツールが使用可能な統合CADシステムである。このシステムの活用により、従来の手法に比べて約30%の設計工期短縮が実現できた。
- (2) スタンドアロン形式による設計者との対話性を重視した使用と、ネットワークを利用したバッチ処理による大規模なデータの処理が可能である。これにより、論理シミュレーションのターンアラウンドタイムの短縮ができた。
- (3) 個々のCADツールは、同一のデータベースを使用している。また、そのデータベースは、素子(トランジスタ)レベルでのデータ保持が基本となっている。これにより、素子レベルで抽出されたパラメータを用いてのシミュレーションが可能となり、シミュレーション精度の飛躍的向上が実現できた。

7. 電気的特性

図9は、温度 $T_a=25^{\circ}\text{C}$ 、電源電圧 $V_{cc}=5\text{ V}$ 、サイクルタイム=50nsの条件での出力波形であり、アクセス時間 $t_{ac}=21\text{ ns}$ を示している。

図10は、温度 $T_a=25^{\circ}\text{C}$ 及び 70°C 、サイクルタイム=50nsの条件でのアクセス時間 t_{ac} の電源電圧依存性を示している。 $T_a=70^{\circ}\text{C}$ 、 $V_{cc}=4.5\text{ V}$ の最悪条件でもアクセス時間 $t_{ac}=26\text{ ns}$ の高速性能を得ている。

図11は、温度 $T_a=25^{\circ}\text{C}$ 、電源電圧 $V_{cc}=5\text{ V}$ の条件でのサイクルタ

イムと電源電流 I_{cc} の関係である。

8. 応用

デジタルPPCの技術の一つに高画質化がある。高画質化の処理の一例として二次元画像フィルタを挙げることができる。M66250は、この二次元画像フィルタを容易に構成できる。

一方、当社では、M66250のほか多数のASSPの開発を行っており、図12の星印部に示すように、デジタルPPCにも多数使用されている。ASSPの活用により、更にデジタルPPCの高機能化が期待できる。

9. むすび

5,120ワード×8ビット構成の高速FIFO/LIFOメモリ M66250を開発した。設計ルール1.3μmの微細化シリコンゲートCMOSプロセスにより、大容量化と高速化を実現した。今後も高い成長率が予想される電子機器、その中でも特にデジタルPPCを始めとするOA機器における画像処理の高画質化・高速化の要求に、M66250はこたえられるものと確信する。

今後の技術革新とともに、更に高機能・高速化の要求が高まるものと思われる。M66250で培った技術を核として、製品展開を図ってゆく。

4MビットP²SRAMモジュールの開発と応用

田原次夫* 辻 哲郎*
小杉龍一* 戸田 均*
谷口正治*

1. まえがき

メモリLSIは、大規模化している半導体技術の進歩により大容量・高性能化が進み、またその収納パッケージの小型化も進んでいる。一方でメモリLSIの市場が拡大し、特定用途向けのメモリLSI(ASメモリ: Application Specificメモリ)の要求が拡大している。

ところが1チップASメモリの開発は、プロセス技術が先行する標準メモリによって確立しているとはいえ、市場調査、仕様のすり合わせ、設計、評価を経て量産化を確立するには時間がかかり、機を逸する危険性があるとともに、莫大な開発費用のために生産数によつてはコスト高になる場合がある。

本稿では、ASメモリを効率よく開発することを狙いにし、メモリの特定機能をASSP(Application Specific Standard Product)として製品開発を行い、高密度実装技術を駆使して、ASSPと標準メモリの小型パッケージを組み合わせたP²SRAM^(注1)モジュールの製品と応用例を紹介する。

(注1) Pseudo-Pseudo SRAM(擬似-擬似SRAM)の意味で、1チップの擬似SRAM(PSRAM)と区別するためP²(2乗)SRAMと称した。

2. 製品の特徴

(1) 4M SRAMとの互換性

標準の1M DRAM 4個とASSP(コントロール部)1個の組み合わせで、4MビットSRAMとの互換性(本4MビットP²SRAMモジュールから4MビットSRAMへの互換性)をコストパフォーマンスよく実現している。現時点で4MビットSRAMのシステム設計を可能にするため、メモリの世代交替をスムーズにできる。

(2) 実装密度の向上

図1の例は、1M擬似SRAMと4M P²SRAMモジュールMH51208PNAの実装面積比を示したものである。DIPの1M擬似SRAMを使用し4Mを達成するには、耐ノイズ用に設けたセラミックチップコンデンサを含めると外枠のような面積が必要となる。これに対して、4M P²SRAMモジュールは、およそ1/4の斜線部の面積で実装できることになる。

(3) ユーザーのシステム設計が容易

従来の擬似SRAMは、外部にリフレッシュ制御回路が必要な場合があるが、本製品は汎用プロセッサのコントロール端子を持っているため、外部リフレッシュ制御回路が不要となり汎用マイクロプロセッサとの接続が極めて容易にできるとともに、トータルの実装密度が更に向かうことができる。

(4) 高信頼性でトータルの品質保証

メモリLSI、ASSPのチップとパッケージの性能を熟知した表面実装プロセスで製造されており、トータルの品質が保証された高信頼性の製品である。

3. 構成

4MビットP²SRAMモジュール(型名MH51208PNA)は、524,288ワード×8ビット構成で、外形は600mil、40pin(100milピッチ)のDIPで図2にピン配置を示すように、一部分(5～36pin)に疑似SRAMとのピン互換性を持たせている。

本製品は、図3に示すように、DRAMコントローラM66200FP及び二つのアドレスマルチプレクサM66202FP又はM66213FPといったCMOS周辺デバイスと、四つのDRAM M5M44256AJ、さらに各デバイスのノイズ対策としてV_{cc}-GND間に設けた小型のセラミックチップコンデンサを6層のプリント配線基板の両側に高密度表面実装により一体化したものである。図3から分かるように、データI/O(DQpin)は内部配線で二つのDRAMの出力にまたがって接続されているが、DRAMコントローラから発生される2本のRAS(Row Address Strobe)信号を使用してパンク切り替え(DRAMのチップセレクト)を行っているため、ユーザーサイドからは512K×8ビットのメモリ構成となっている。

4. 機能

本製品は、メモリ部がDRAMで、モジュール外部からのリフレッシュ制御を不要とするために、内部で自動的にリフレッシュ動作を実行してデータを保持している。CLK端子から、ある周波数のクロックパルスを入力すると、DRAMコントローラがこれをカウントしてリフレッシュのための割り込みをかけるものである。CLK端子から入力されるクロックパルスは、アクセス時にDRAMコントローラから発生されるDRAM駆動信号のトリガとしての働きも兼ねている。

さらに、DRAMを使用しているので、DRAMに供給されるアドレスはマルチプレクスされなければならないが、外部からは使いやすいようにシングルアドレス入力とする。そのため本製品はマルチプレクサを搭載し、モジュール内部でアドレスマルチプレクスを

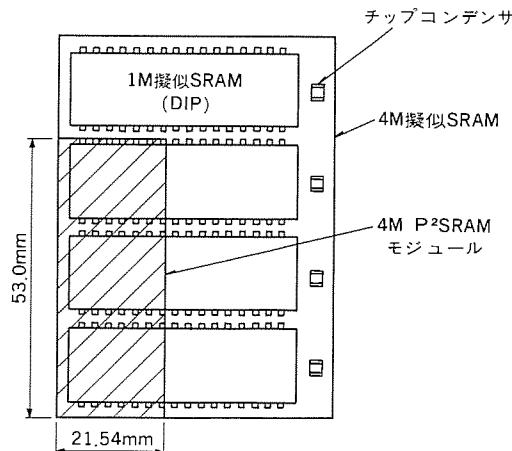
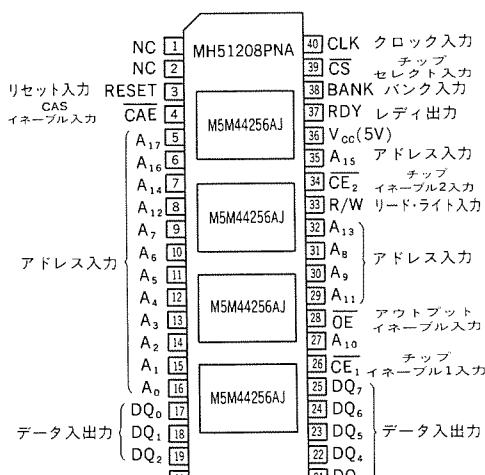
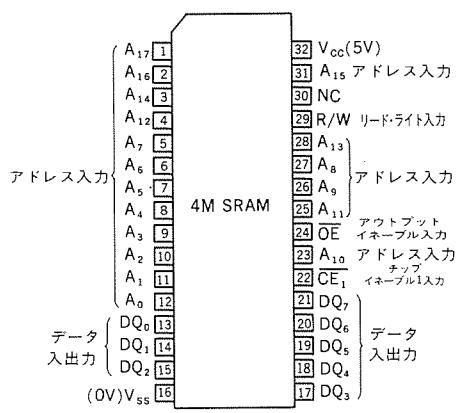


図1. 1M擬似SRAMと4M P²SRAMモジュールの実装面積比

ピン接続図(上面図)

(a) 4 MビットP²SRAMモジュール

(b) 4 MビットSRAM

図2. ピン配置図

ブロック図

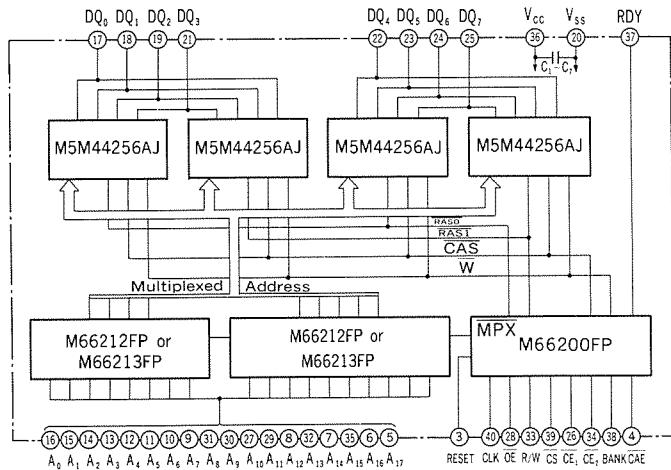


図3. MH51208PNA内部ブロック図

行っている。

以上の2機能により、本製品は、疑似SRAMに近い応用が可能となっている。さらに、+5V単一電源、TTL入力レベルなど実使用にあたり有利な特長も備えている。

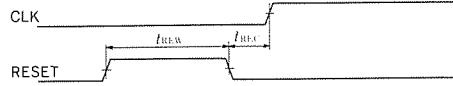
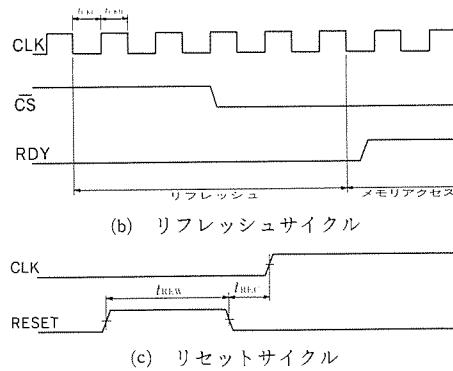
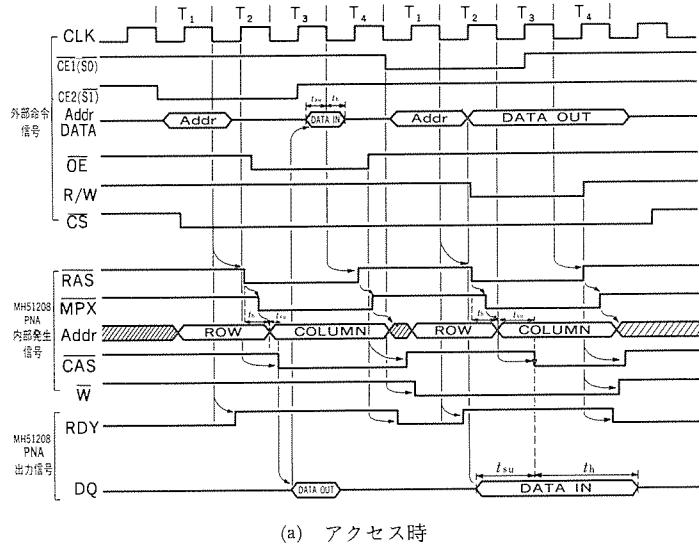


図4. システムタイミング図

5. 性能

MH51208PNAは、M5L8088/M5L8086などの8~10MHz(1クロック幅100~125ns)8ビット、16ビットCPUを対象としたP²SRAMモジュールである。

CPUと組み合わせたシステムにおけるタイミング図を図4(a)(b)(c)に示す。タイミングスペックは、システム内のクロックジェネレータから入力されるクロックパルスを基準として、DRAMコントローラ、マルチプレクサなどの周辺デバイスとDRAMとの間のタイミング条件によって決定される。アクセス時にウェート状態が入らない限り、4クロックで1ステート(1バイトの書き込み又は読み出し)が実行される。

次にアクセス時、リフレッシュ時の内部動作タイミングを説明する。図4(a)の上部は、CPUなど外部から供給される信号である。ただし、アドレス、データは、さらにおののラッチされ分割して供給される。下部は、本製品内部で発生される信号および出力信号である。

リードサイクルにおいては、CS(Chip Select信号)、CE2(Chip Enable 2信号)がともに“L”であれば、CLK(クロック)端子から入力T1の最後の立ち下がりがトリガとなってDRAMコントローラからRAS信号が内部発生され、さらにクロックT2の立ち上がりでCAS(Column Address Strobe)が内部で発生される。

アドレス信号は、DRAMからみてマルチプレクサ後、RAS、CASの各信号に対し、一定のセットアップタイム、ホールドタイムが必要であるが、マルチプレクサのタイミングはマルチプレクサの伝搬

遅延時間分も含めて、DRAMコントローラが内部制御を行っている。すなわち、DRAMコントローラは、クロックT1最後の立ち下がりをトリガとしてMPX(マルチプレクス)信号をマルチプレクサに供給し、マルチプレクサはこれを受けて、RASに対するロウアドレスのホールドタイム、CASに対するカラムアドレスのセットアップを満足するように入力されたシングルアドレスをDRAM駆動用マルチプレクストアドレスへと変換する。

これらが、駆動信号としてDRAMに供給されると、MH51208PNA-10(RASアクセス100nsのDRAM(M5M44256AJ-10)搭載)の場合、1クロック幅90~150ns(クロック周波数6.67~11.1MHz)、クロック“L”幅40~75nsであればクロックT1の立ち下がりから最大136nsでデータが出力され、CPUはデータバスを通じてクロックT3の最後の立ち下がりでデータを取り込む。

OE(Output Enable)信号は、その立ち上がりでライトサイクルのエンドを内部に伝達する。RDY(Ready)信号は、通常CPUに接続して使用し、アクセス時には“H”となって、メモリがアクセス状態であることをCPUへ伝達する役割をもっている。また、タイミング図には記載されていないが、BANK(バンク)信号は一種のアドレス信号としてバンクの選択を行い、CAE(CASイネーブル)信号は“L”で内部発生のCAS信号が有効となる機能をもっている。

ライトサイクルにおいては、CS信号、CE1(Chip Enable 1)信号がともに“L”であれば、クロックT1の最後の立ち下がりがトリガとなってDRAMコントローラからRAS信号が発生され、クロックT2の最後の立ち下がりでCAS信号が発生される。DRAMをライトモードとするW(Write enable)信号はCE1の立ち下がりがトリガとなって内部発生され、アドレス信号はリードサイクル時と同様にマルチプレクサがシングルアドレスをマルチプレクストアドレスへと変換し、これらが駆動信号としてDRAMに供給される。DRAMはCASの立ち下がりで入力データを取り込むので、本製品ではT2の最後の立ち下がりに対し、データのセットアップタイム、ホールドタイムを規定している。

他の信号は、リードサイクル時と同様の動作をしているが、ライトサイクルの場合、OE信号に代わってR/W(Read/Write)信号がその立ち上がりでサイクルのエンドを内部に伝達している。

リフレッシュサイクルにおいては、DRAMコントローラによりクロック数がカウントされ、117クロック目から5クロック間、リフレッシュ(CASビフォアRASリフレッシュ)が実行される。この間、RDY信号は“L”となって、メモリがリフレッシュ状態であることをCPUに伝達する。また、リセットサイクルは、DRAMコントローラ内のクロックカウンタのオフセットをとるためのサイクルで、RESET(リセット)端子“H”入力によりリセットが行われる。

6. 応用回路例

図5に示したのは、M5L8086CPUに応用したときの応用回路図で、16ビットデータバス対応としてMH51208PNAを2個使用した例である。クロックジェネレータM5L8284からのクロック及びリセット信号を本製品に接続すると同時に、クロック信号はCPU及びシステムコントローラM5L8288にも接続され、システム全体の同期がとられている。ここでは、アドレスデータコモンバスであるため、それぞれにアドレスラッ奇、データバッファを設けており、CPU-メモリ間のアドレス、データのやりとりのタイミングはシステムコントローラがCPUからのステータス信号によりアドレスラッ奇、デ

ータバッファを制御し達成されている。デコーダはアドレス信号を読みとり、アクセス要求のメモリ空間を選択する働きをもつ。なお、アドレス信号のうち1本はバンク切り替え信号として用いられている。CPUからの命令信号であるステータス信号は直接MH51208PNAに接続され、リード、ライトサイクルのスタートを定義し、さらにシステムコントローラを介した後の信号が各サイクルのエンド命令として取り込まれている。

ところで図5の応用例では、2個のMH51208PNAの各8ビットデータI/Oを、それぞれ16ビットデータバスの上位、下位データと位置付けて使用している。CPU側からみれば、A0(アドレス0)とBHE(Bus High Enable)信号を用いることによって、バイトライト/リードが可能となるわけである。このとき、2個のMH51208PNAのCLK、RESET信号をおののおの同一箇所から取り込めば、二つのモジュール間の同期はとれているので、CPUに返すRDY信号は片方でよい。

図6に8ビットM5L8088CPUへの応用回路例、図7に他の16ビットCPUへの応用例を示す。

7. DRAMコントローラとは

近年、システムの複雑化あるいは応用範囲の拡大に伴い、使用されるメモリ空間は増大する傾向にあり、メモリの価格や基板における

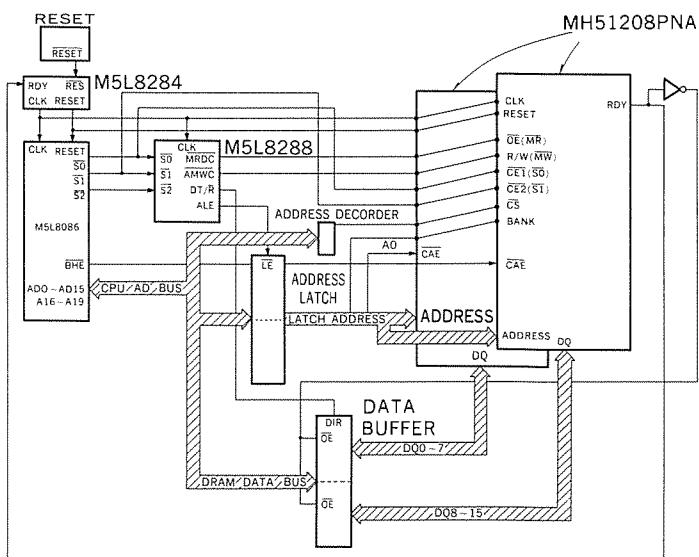


図5. M5L8086CPUへの応用例

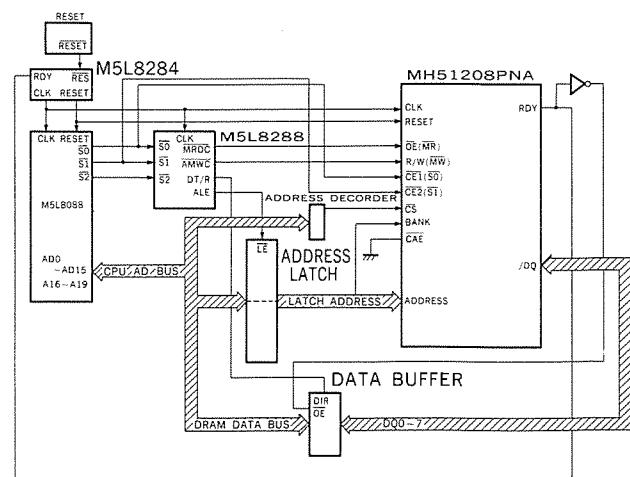


図6. M5L8088CPUへの応用例

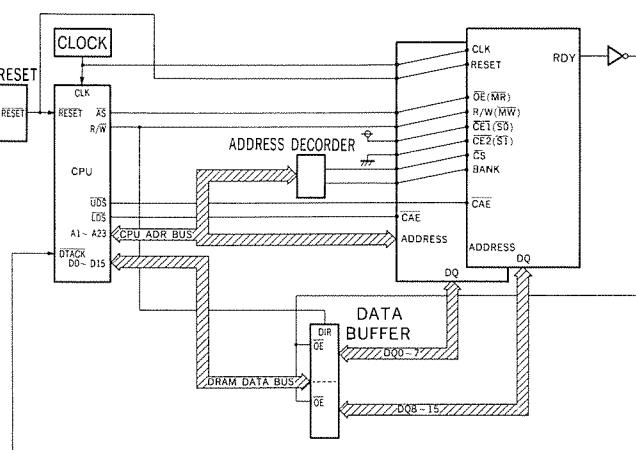


図 7. 16ビットCPU応用例

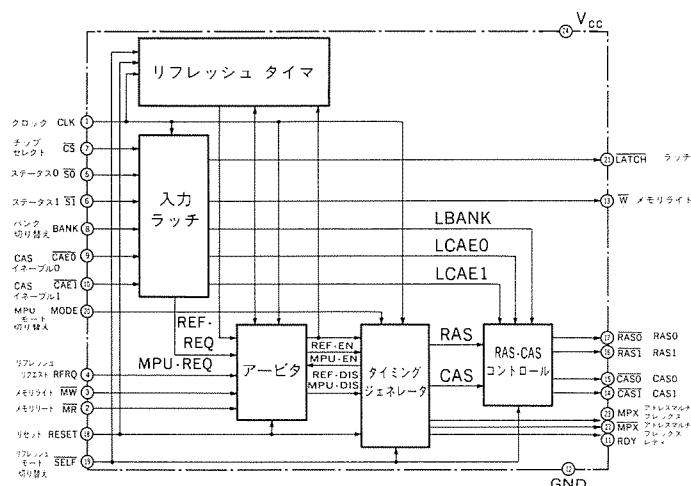


図 8. M66200のブロック図

るメモリの占有面積は重要な項目となっている。このような背景のもと、DRAMは集積度が高い・価格が安いという利点により、メモリ空間が大きなシステムに広く使用されている。ただし、DRAMはその使用に当って、下記の制御を行う必要がある。

- (1) DRAMは、高集積化のためにメモリセルをトランジスタ1個とコンデンサ1個という単純な構成を探っている。したがって、DRAMの使用には、データを保持し続けるために、定期的に電荷をコンデンサに再蓄積するリフレッシュ動作が必要となり、リフレッシュの時期を管理しなければならない。

(2) DRAMは、メモリ容量の増大に伴って増えるアドレス入力を、アドレスの多重化方式をとってピン数を半分にしている。そのためDRAMを使う場合は、アドレス入力をロウアドレスとカラムアドレスに分割する必要があり、さらにストローブ信号としてRAS, CAS信号を各アドレスに対しタイミングを守って与えてやる必要がある。

(3) リード／ライト要求とリフレッシュ要求が同時にDRAMに来た場合、どちらを優先させるかの調停（アビトレーション）機能もDRAMを使用する際に必要となる。このようにDRAMは高集積で安価というメリットの反面、SRAMに比べると非常に使いづらいメモリである。

この煩雑な制御を行うのがDRAMコントローラであり、MPU (Micro Processor Unit) とDRAMのインターフェースの役目を果たすものである。

当社のDRAMコントローラM66200P/FPシリーズは、上記のDRAMコントローラに必要な機能を実現するとともに、更にさまざまな特長を持っている。その主な特長を次に示す

- (1) 現在最もよく使用されている各種のMPUとDRAMのサポートが可能。
- (2) 広いメモリ空間をサポート可能 (Max 4 Mバイト)
- (3) 2バンク対応、バイト切替え可能
- (4) CMOS構造で高ドライブ能力、低スイッチングノイズ、EMI (Electro Magnetic Interference : 電磁波妨害) の低減品

8. む す び

以上述べたように、各機能を分散した製品開発により、市場の要求を満足した製品開発の効率化の追求が可能になった。今後、4 M DRAMの標準メモリを搭載した16MビットP²SRAMモジュールへ展開していく、メモリモジュールの製品化により次世代メモリの先取り使用することが可能になり、メモリLSIの安定的供給及び入手をよりスムーズにしていくことができる。

また、今後の方向としてはメモリLSIのチップサイズに合わせた最小限の超小型で超薄形のVSOPパッケージやTAB (Tape Automated Bonding) を搭載した超高密度実装を駆使したユニークなメモリモジュールの出現が予想される。

当社においても、超高密度実装技術を駆使した各種のユニークなメモリモジュールを目指しており、市場の広範囲な要求を満たしていくためには、メモリモジュールの標準化の推進が重要となると考えられる。

木村正俊*
井内隆敏*
前田甫*

三菱大容量メモリカード

1. まえがき

当時のメモリカードは、アクセス速度が速い、取扱いが容易、アクチュエータ系が不要等の特長から、比較的、利用目的が明確で、利用上の制限が少ない、ワープロ、プリンタ等の文書保存記録、フォントメモリ等に使用された。メモリ容量は、8K~32Kバイトと小容量であるが、このことによってアクチュエータとそのドライブ系が省略できたこと、多種の印字フォントを簡単に選択でき、印字面での付加価値を高めることができた。しかしながら、メモリ容量が小さいことで、アプリケーションが限定された。

1987年5月に当社が世界で初めて、512KバイトのSRAM、OTP(One Time Programmable)カードを開発・量産化したこと、従来の低速外部記憶装置の代替機能として、また小型・薄形化、多機能化機器の外部記憶装置として、アプリケーションの外部記憶装置の選択肢を拡大する契機となり、市場に与えたインパクトは大きい。ここでは、メモリカードの特長、ハードウェア構成の説明、アプリケーション例の紹介と今後のメモリカードの技術動向について述べる。

2. 記憶媒体としての特長

最先端の半導体デバイスを搭載するメモリカードは、アクセス速度の観点からとらえると、従来の低速外部記憶装置に比較して、格段に優れている。図1に示すように、従来のフロッピーディスクやハードディスク装置のアクセス速度は早くても、ミリ秒オーダーであるが、メモリカードはマイクロ秒以下と約4けた速い。従来、半導体デバイスと磁気・光記憶媒体の間で、いわゆるアクセスギャップが存在していた。このギャップは、大容量メモリカードの出現によって解消された。すなわち、記憶媒体におけるアクセスギャップを埋め、記憶媒体としての階層化を実現したといえる。また、メモリカードは図2に示すように、外形が54mm×86mm×2~4mmと名刺サイズで、取扱い、可搬性に優れるとともに特別なドライブ回路は不用で、機器のシステムバスに直結できる。しかも、従来の低速外部記憶装置におけるメカ機構がないため、摩耗することなく、騒音も発生しない。さらに、落下、衝撃に対しても強く、半永久的に使用可能な記憶媒体といえる。このように種々の特長を持っているが、基本的特性としてまとめると、

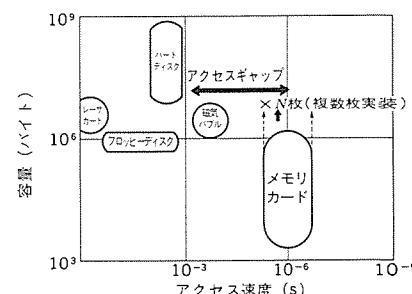
- (1) 高速アクセス・低消費電力
- (2) 容易に着脱可能な携帯形記憶媒体

といえる。本来、記憶媒体であるから、その性能の根底にあるのはデータの保持信頼性にあることは言うまでもない。のために、部品、半導体デバイス、中間製品(モジュール)、最終製品の各レベルにおいて、的確な評価システムが必要である。以下、当時のHR(High Reliability)シリーズメモリカードを紹介する。

3. HRシリーズメモリカード

HRシリーズメモリカードの設計基本コンセプトは、最先端の半導体メモリ、周辺ICまたはASIC (Application Specific IC) 等をVSOP (Very Small Outline Package) に収容したものを使用することである。このVSOPは、当社独自の高度なパッケージ技術を駆使し、世界に先駆けて、開発・量産化したものである。厚みは1mmと非常に薄く、従来のSOP (Small Outline Package) に比較して、面積、厚みとも約半分であるが、SOPと同等の信頼性を保証している。したがって、部分単体レベルで十分なテスト、バーインが実施されたものを実装することができるので、従来のCOB (Chip On Board) 法、TAB (Tape Automated Bonding) 法に比べ、信頼性、製造歩留りを大幅に改善できる。

また、図3に示すように、部品の両面実装が可能となり、高品質



従来の記憶媒体とメモリカードとのアクセスギャップ

特性	媒体	メモリカード	光カード	FD	HD	OD
速度	◎				○	
消費電力	◎					
容量					◎	◎
可搬性	○	◎	○			
取扱利便性	◎					

注 ◎：他の記憶媒体と比較して差別化可能な特性
○：他の記憶媒体と比較して有効的な特性
利便性：取扱容易、専用R/W不要、アクチュエータ不要等の利便性
消費電力：R/W周辺を含めた消費電力比較

図1. 各記憶媒体の特性比較



図2. メモリカードの外観

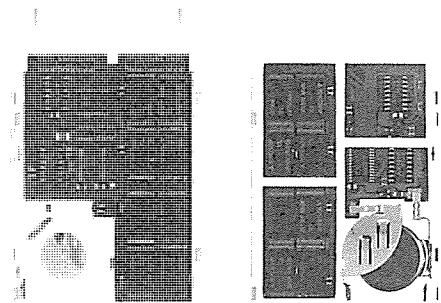


図3. メモリカードの内部モジュール

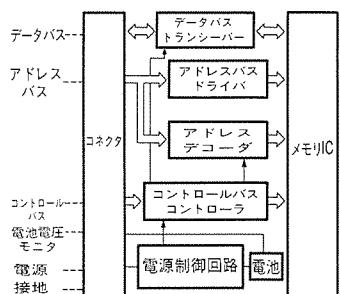


図4. SRAMカードの基本回路構成

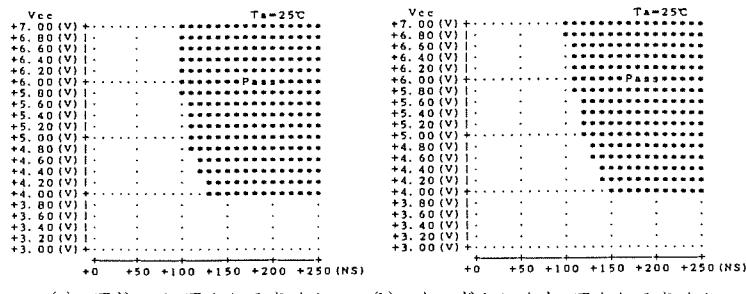


図5. アドレス及びカードセレクト アクセスタイム

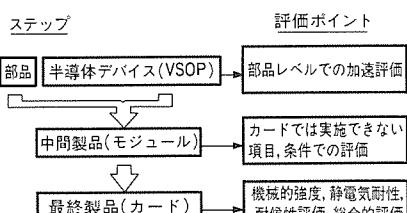


図6. 信頼性評価システム

表1. カード、モジュールの信頼性評価結果

項目			条件	結果
曲げ	5kg	三点曲げ 100回	$n=5 \ r=0$	
ねじり	5kg	対辺ねじり 100回	$n=5 \ r=0$	
落下	75cm	3回	$n=5 \ r=0$	
静電気耐性	電極放電法 パッケージ 帶電	100pF 1.5kΩ	各ビン-GND パッケージ裏 パッケージ電極	$\pm 3kV \ n=5 \ r=0$ $\pm 15kV \ n=5 \ r=0$ (保持) $\pm 25kV \ n=5 \ r=0$ (破壊)
高温バイアス	85°C 5V	1,000時間		$n=22 \ r=0$
低温保存	-40°C	1,000時間		$n=5 \ r=0$
耐湿性	85°C 85%RH	1,000時間		$n=11 \ r=0$
温度サイクル	-40~+125°C	10サイクル		$n=22 \ r=0$
振動	1.5mm(P-P)	10~55Hz 2時間	X Y Z	$n=5 \ r=0$

注 256Kバイト RAMカードのデータ、他のメモリカードについても同様に実施し、問題がないことを確認した。

(2) モジュール信頼性試験結果

項目	条件	結果
高温バイアス	125°C 7V	1,000時間
高温保存	125°C	1,000時間
温度サイクル	-40~+125°C	100サイクル
耐湿性	85°C 85%RH	1,000時間
低温保存	-40°C	1,000時間

注 256Kバイト RAMカード用モジュールのデータ、他のモジュールについても同様に実施し、問題がないことを確認した。

の大容量メモリカードが製造できる。同図にはメモリICを16個、周辺ICを7個とほかに、抵抗・コンデンサのチップ部品を実装している。このように、高品質・高信頼性のメモリカードを実現するには、半導体デバイスのVSOP化と高度な実装技術が必要である。

他の設計基本コンセプトとしては、

- (1) 静電気耐圧を高めるため、メモリICの入出力端子に高耐圧（対静電気耐力）な周辺ICでバッファすること。
- (2) 利便性を考慮し、標準コネクタ1個で、メモリICの種類、データビット（8ビット長、16ビット長）、また容量の異なるカードをいつでも、どのシステムにも任意に交換できるようにすること。等を考慮した。

3.1 基本回路構成

SRAMカードの基本回路構成を図4に示す。メモリICの全入出力端子は、周辺ICでバッファされている。これは、一つは静電気、電磁界等外因ノイズから、メモリICの記憶データを保護するためである。もう一つは、高品質でばらつきの少ない電気的特性を得るためにある。すなわち、メモリICを多数個実装すると、その入出力容量は150pF近い値となり、急しゅんな立ち上がり、立ち下がり特性を得るために大電流でドライブする必要がある。このシリーズでは、このため、大電流でドライブできる周辺ICを採用し、良好な電気的特性を得ることができた。図5に例として、アドレス及びカードセレクトタイムのシムプロット図を示す。図から、大容量メモリカードにおいても、メモリICの単品に近い特性が得られていることが分かる。また、電源制御回路と電池をカード内に内蔵することによって、カードへの供給電圧がなくなても、メモリの記憶データは保護されるようにしている。この電池の電圧は、電池電圧モニタ信号から、機器で常時監視できるようにしている。

3.2 信頼性評価システム

このシリーズでは、メモリカードの評価をアセンブリレベルごとに行う方法を採用した。カードの完成品のみの評価だけでは的確な評価ができないこと、また評価内容に抜けが生じると考えられるためである。すなわち、メモリカードの評価システムを図6に示すように、部品・半導体デバイス（VSOP）、中間製品（モジュール）、最終製品（カード）の3レベルに分け、各レベルにおいて、評価目的・項目・条件を十分に検討したうえ信頼性試験を実施した。信頼性の条件は、レベルが高い（部品・半導体デバイス側）ほど、より厳しくなる。VSOPは、パッケージの厚みが非常に薄いため、①パッケージのクラック、②耐湿性寿命を重視して評価した。結果としては、SOPなどの信頼性（日本科学技術連盟 1988年5月31日～6月2日第18回信頼性・保全性シンポジウムに掲載）が保証できた。表1に同論文に掲載された、メモリカード、モジュールの信頼性結果を示す。この評価システムで、効率的かつ適確な信頼性評価ができた。今後は、より市場での取り扱い、環境を模擬した評価項目、条件を設定し、信頼性の向上に努める。

3.3 インタフェース技術

メモリカードの信頼性は既に述べたように、単品として、とらえると信頼度の高い媒体といえる。しかし、装置から容易に挿抜が可能な媒体であるから、挿抜に伴う電気的・機械的仕様の不整合は絶対に避ける必要がある。すなわち、カードアクセス中における挿抜や機構部へのカードの斜め挿抜は避けなければならない。そのための機器とカード間のインターフェース技術も非常に重要である。図7に、よりカードの信頼性、利便性向上のために必要なインターフェー

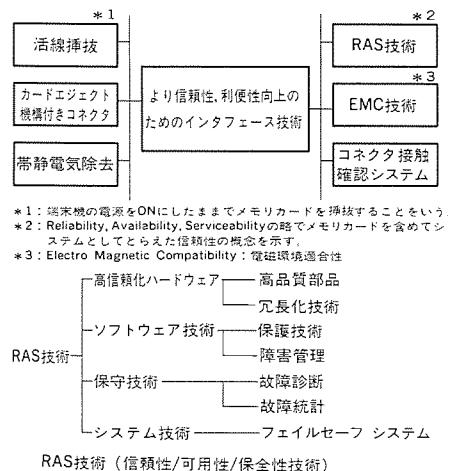


図7. 信頼性、利便性向上のためのインターフェース技術

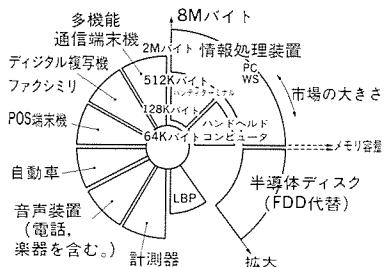


図8. カードの容量と応用分野

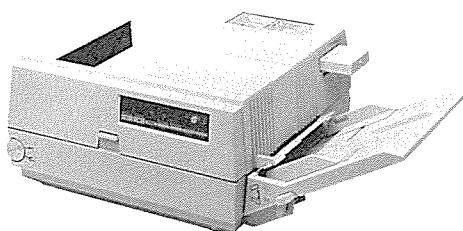


図9. LBP (レーザビームプリンタ) の導入例

ス技術を紹介する。カードの挿抜に伴う機械的諸条件（カードのガイドレール機構、斜め挿抜対策等）を満足するために、カードエJECT機構付きコネクタを使用する。また、このことにより操作性も向上する。このエJECT機構付きコネクタは、ほかにカードの帯電荷を逃がす構造や接地電極を他の電極より長くしているため、帯電荷の放電現象、活線（ただし、カードイネーブル端子は、アクセス禁止状態とする。）における挿抜においても、メモリの記憶保持信頼性を大幅に高めることができる。

コネクタの接触確認システムとは、メモリカードをアクセスする前に、まずメモリ内部の既知データを読み出し、カードコネクタの接触の正当性を確認するシステムである。

RAS (Reliability, Availability, Serviceability: 信頼性、可用性、保全性技術) 技術は、単にメモリカードの信頼性でとらえるのではなく、システム全体として、信頼性・可用性・保全性の向上策を行う技術である。例えば、一般的に半導体メモリを使用するメモリカードの信頼性は極めて高い。また、伝送距離も非常に短いため、通常の使用では誤り制御を付加しなくとも信頼性は十分に高くできる。

しかし、設置環境の悪い所で使用したり、大規模なメモリ容量を取り扱う装置ではシステムの信頼性を高めるためにパリティチェックやCRC (Cyclic Redundancy Check) 等の誤り制御は必要である。

4. アプリケーションの例

当初はアクチュエータ不用、取扱い容易等、比較的導入動機が明確な、ワープロやプリンタ等に導入された。大容量メモリカードが手軽に手に入るようになったこと、利用面でのソフト充実やアプリケーションソフト等の充実により、図8に示すように、POS端末機やハンディターミナル、ハンドヘルドコンピュータ等小規模情報処理装置へと応用展開が拡大した。

4.1 導入動機

導入動機には種々理由があるが、①高速アクセス・低消費電力化、②容易に着脱可能な携帯形記憶媒体の基本特性を生かしたことに帰結する。各装置の導入動機としては、①部品的機能部（メモリ部）のカード化、②従来の低速外部記憶装置の高速化・小型化、③ファームウェア部分のカード化、④情報、データのパソコン指向に対応、⑤小型・薄形化の外部記憶装置、⑥多機能・複合化のキーパーツ等があげられる。いずれの場合も、記憶データ・情報に附加価値を高め、トータルコストパフォーマンスを高めることが肝要である。

4.2 LBP (レーザビームプリンタ) の導入例

メモリカード化は、普及機から高性能機までが最も進んでいる。多種の印字フォントを簡単に選択利用できること、ホスト機種の切替えが容易であること、何通りもの出力フォーマット、用紙サイズの設定ができるなど操作性が大幅に向上升する。主な記憶内容は、

- (1) 標準フォント、カスタマフォント
- (2) パソコン対応制御ソフト
- (3) フォーマットメモリ

等である。MASKROM、OTPカードが主体で、主な性能は、

- (1) メモリ容量 : 128K~4Mバイト
- (2) アクセスタイム : 200ns
- (3) データバス : 16ビット

今後は、高細密化、絵柄、図形等マルチフォント化に進み、より大容量、高速化が要求される。また、ユーザー側で任意の一時記憶フォント、制御プログラムを記憶させるために、SRAMが混在したカードも導入されるであろう。図9にその導入例を示す。

4.3 POS端末機、POS用ハンディターミナル

SA (Store Automation) 分野では、最新の顧客情報、商品情報をいかにキャッチし、スピーディにそのデータを有効に活用するかが非常に重要である。この分野は、従来の低速外部記憶装置(FD装置)に代わって、全面的に大容量メモリカード置き換えが進んでいる。

置き換えのメリットは、

- (1) 機器の大幅な小型・軽量化
- (2) データ・情報処理の高速化、通信処理の高速化
- (3) 機器の低消費電力化

等である。SRAMカードが主に使用され、その性能は、

- (1) メモリ容量 : 128K~640Kバイト
- (2) アクセスタイム : 250ns
- (3) データバス : 8ビット又は16ビット

今後は、きめ細かい顧客対応や多種・少量システムにROMを内蔵した異種メモリ混合カードも導入されるだろう。図10は、1枚の大



図10. ハンディターミナルの導入例



図11. 多機能端末機の導入例

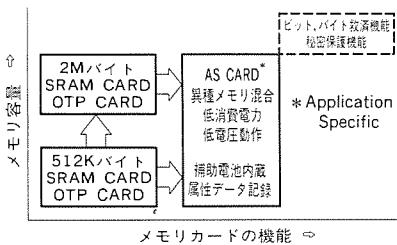
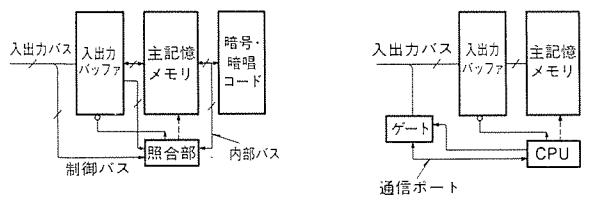


図12. メモリカードの技術動向



(a) 暗号・暗唱コード方式による
秘密保護方式 (b) CPUによる秘密保護方式

図13. 秘密保護方式

容量メモリカードを内蔵したもので、機器の小型化、薄形化及び低消費電力化を達成し、操作性・利便性を大幅に向上している。

4.4 半導体ディスク装置ほか

汎用のオペレーションシステム下で動作する高速外部記憶装置である。従来の低速外部記憶装置にそのまま置き換え、又は並列動作が可能である。大容量のSRAMが使用される。主な性能は、

- (1) 標準インターフェース：SCSI (Small Computer System Interface)
- (2) 高速転送 : 1 Mバイト／秒

等である。今後、ディスクキャッシュとして、特定のセグメント市場を確保するとみられる。他のアプリケーション例として、前に述べたように汎用のオペレーションシステムで動作する多機能端末機の導入例を図11に紹介する。従来の低速外部記憶装置に代わって、大容量のメモリカードを複数枚実装したもので、装置の大幅な小型・軽量化と低消費電力化を達成し、ワープロ機能、FAX機能、通信機能等複合の機能を持っている。カードには、オペレーションソフトウェア、アプリケーションプログラムや画像・音声を含む全データ・情報が格納される。したがって、高速画像処理、高速データ

処理と高速通信処理が可能である。今後とも、メモリカードを情報伝達媒体として使用することで、各種メディアや機器相互を結合させたものが多く出現するだろう。

5. メモリカードの技術動向

半導体ICは、ますます大容量化、高速化及び高機能と低消費電力化に進む。他方、電子機器は、軽・薄・短・小化とデジタル化、多機能化を目指す。したがって、データの取り扱うメモリ空間は膨大なものとなる。さらに、情報・データのパーソナル指向を背景に、各種メディア（ここでは、数値、文字、グラフィックス、音声、動画等）を互いに関連付け、同期を取りながら扱うマルチメディア技術が進展している。このメディアを有機的に結びつける媒体として、メモリカードが注目される。以下、技術動向を図12に示す。

5.1 大容量化

32ビットMPU対応のOS(Operation System)は、膨大なメモリ空間をサポートする。メモリカードは、携帯形記憶媒体ゆえ、処理するメモリ空間は1枚のカード内に格納したい。多様なアプリケーションソフト、膨大な記憶データを格納するために、より大容量化と高速化が必要である。以下、メモリ容量とアクセスタイムの技術動向を示す。

(1) SRAMカード

- メモリ容量 : 1 M～2 Mバイト
- アクセスタイム : 125～150ns

(2) OTPROMカード

- メモリ容量 : 4 Mバイト
- アクセスタイム : 125～150ns

(3) MASKROMカード

- メモリ容量 : 4 M～8 Mバイト
- アクセスタイム : 125～150ns

5.2 高機能化（秘密保護機能ほか）

記憶データの偽造、改ざんを防止するために、カードに秘密保護機能を持たせる。従来のバスとは互換性を持ち、かつ高速性を損なわない。図13に秘密保護方式の例を示す。一つは暗号・暗唱コードROMと照合部を内蔵し、内部データに細工を行い、秘密保護機能を持たせることができる。もう一つは、CPUを内蔵し、バスを介して、通信制御することで秘密保護機能を持たせたものである。また、図12に示したように、より低消費電力化、低電圧動作や異種メモリの混合化に進展する。これは、メモリカードは専用ツール化することで、最適なシステムが達成できるからである。

6. むすび

当面、メモリカードはクローズな機器でアプリケーションが拡大し、機器のポータブル化、パーソナル化の流れに最適な外部記憶媒体として多用される。今後は、メモリカードが大容量化、高機能化と変遷しつつも、カードを核にシステム結合された機器が顕在化すると予想される。付属品から自立商品として、カード利用のすそ(裾)野がより拡大し、大きな市場を形成する。今後とも、当社は付加価値の高い、利便性に優れたメモリカードを提供していく所存である。

TRON仕様32ビット マイクロプロセッサ M32／100

日向純一* 市山寿雄**
吉田豊彦* 富沢 治***
是松次郎*

1. まえがき

近年、産業機器等の組み込み制御の高速化、多様化やワクステーションによる高度情報処理のニーズに伴って、高性能・高機能な32ビットマイクロプロセッサに対する需要が高まってきている。このような産業機器等への組み込み制御や小型ワクステーションへの応用に適し、今後のASIC(Application Specific IC)展開におけるCPUコアにも適用が可能なTRON*仕様に基づく32ビットマイクロプロセッサM32／100を開発した。

TRON仕様のチップアーキテクチャは、1990年代のVLSI技術を前提として設計され、TRON仕様の各種OS(Operating System)を高速に実行できるように最適化されている⁽¹⁾⁽²⁾。また、高級言語のコンパイラに向いた対称性のよい命令アーキテクチャであり、実行頻度の高い命令にはコードサイズが小さく、高速実行を可能とする短縮型の命令も備わっている。TRONプロジェクトに参画している複数の半導体メーカーが、このTRON仕様に基づくマイクロプロセッサをそれぞれ開発している。当社では、G_{MICRO}**マイクロプロセッサM32ファミリーとしてTRON仕様32ビットマイクロプロセッサ、周辺LSI、開発支援ツールなどを他社と協同で分担開発している。開発支援ツールの一端は別稿で紹介する。本稿では、このたび当社が開発したM32／100の特長、ハードウェア、性能について述べる。

*TRON(The Realtime Operating System Nucleus)は、東京大学の坂村健博士が提唱するコンピュータアーキテクチャである。

**G_{MICRO}は㈱日立製作所、富士通㈱、三菱電機㈱の3社協業により開発している32ビットマイクロプロセッサのファミリーネームである。

2. M32ファミリー

M32ファミリーでは、対象とする応用分野ごとに機能強化が図られたマイクロプロセッサが開発され、製品化が進められている。M32／100をCPUコアとしたASIC開発や、より高性能なマイクロプロセッサの開発も進行している。図1にM32ファミリーのマイクロプロセッサ群を示す。それぞれに特長のあるマイクロプロセッサはあるが、M32ファミリーでのマイクロプロセッサ相互間で豊富な周辺LSIやコンパイラを共用でき、ソフトウェアの互換性がある。また、応用システム開発では、相互に利用できる開発支援環境が準備されている。

3. M32／100の特長

M32／100は、高速なリアルタイム処理が要求される機器組み込みコントローラや小型ワクステーションへの適用を狙って開発した。M32／100の主な諸元を表1に示す。基本的な命令は、2クロックで処理される。動作周波数は最高25MHzであり、25MHz動作時に平均で7MIPS、ピーク性能は12.5MIPSに達する。M32／100は、多くの高機能命令を含む92種の命令と豊富なアドレッシングモードをサポートしている。表2にM32／100がサポートしている命令の種類と命

令数を示す。以下でM32／100の特長を紹介する。

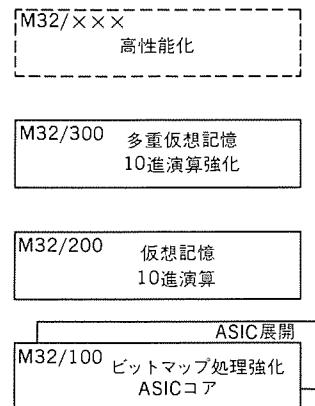


図1. M32ファミリーのマイクロプロセッサ

表1. M32／100の諸元

クロック周波数	20MHz/25MHz
性 能	細大 12.5MIPS (25MHz時) 平均 7MIPS (25MHz時)
基本命令数	92種類
アドレッシングモード	一般形14種、短縮形10種
データ形式	整数、ビット、ビットフィールド、ストリング、キュー
メモリ保護	2レベル、4リング
アドレス空間	4Gバイト
汎用レジスタ	32ビット×16本
割り込みレベル	7レベル
アドレス/データバス	各32ビット独立
最小バスサイクル	2クロック
基本命令クロック数	2クロック
バイブライアン段数	5段
パッファメモリ	
命令キュー	16バイト
ブランチパッファ	4バイト×64エントリ
ストアパッファ	4バイト
分岐予測テーブル	1ビット×256エントリ
トランジスタ数	約33万個
プロセス技術	1μmCMOS、2層メタル
チップ寸法	11.47×8.89 (mm)
パッケージ	135PGA 160QFP (開発中)
消費電力	1.5W (25MHz時)

表2. M32／100の命令数

命 令 分 類	命 令 数
転送命令	8
比較命令	3
算術演算命令	15
論理演算命令	4
シフト命令	7
ビット操作命令	5
固定長ビットフィールド操作命令	6
任意長ビットフィールド操作命令	4
ストリング命令	4
キュー操作命令	3
ジャンプ命令	12
マルチプロセッサ命令	3
制御空間・物理空間制御命令	8
OS関連命令	9
MMU関連命令	1
合 計	92

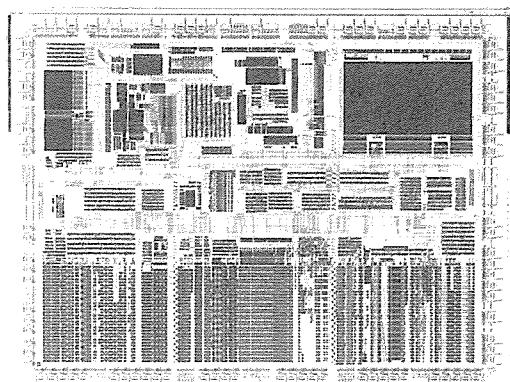


図2. M32/100のチップ写真

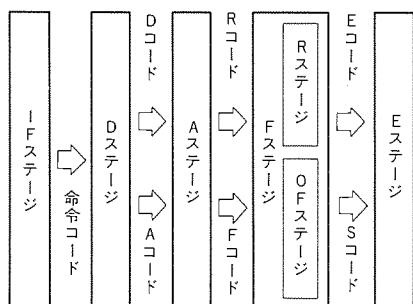


図3. M32/100のパイプライン構成

(1) ASIC展開のCPUコア

開発当初から、ASIC展開におけるCPUコアとしての利用を想定してコンパクトな仕様とした。組み込み制御の応用分野においては、メモリ管理ユニット(MMU)やコプロセッサインターフェースは必ずしも不可欠ではないため外した。その結果、コストパフォーマンスの高い実記憶システム向けのプロセッサとなっている。

図2は、M32/100のチップ写真である。先進の1μmルール2層メタルCMOSプロセス技術を用いて約33万トランジスタを11.47mm×8.89mmのチップサイズに集積した。設計では手描きレイアウトを主体とし、一部には自動レイアウトを併用した。消費電力は1.5W以下に抑えられており、ASIC展開やプラスチックパッケージ化にも対応できる設計になっている。

(2) 強力なビットマップ処理

M32/100では、ワークステーションでのビットマップディスプレイ操作の応用に向くビットマップ処理命令を強化した。任意長のビット列を操作する命令では、データの処理方向を指定するオプションとして順方向(/F)と逆方向(/B)の方向を装備した⁽³⁾。また、命令の処理では、ビット列のシフトや演算、連結などの内部処理とビット列のメモリアクセスを並列に実行して高速処理を実現した⁽⁴⁾。

例えば任意長のビット列のブール演算を行うBVMAP命令は、32ビット単位で繰り返し処理を行う。1回の繰り返し処理は、ソースのビット列の読み出し、ディスティネーションのビット列の読み出し及び演算結果のディスティネーションへの書き込みと、3回のメモリアクセスを伴う。これらのメモリアクセスの間に内部処理を行い、32ビットの処理時間はメモリアクセスに要する時間そのものとなり、6クロックである。その結果、このBVMAP命令をM32/100は、メモリノーウエートの25MHz動作時に最大133Mbpsで実行できる。また、ビット列を転送するBVCPY命令は、最大200Mbpsで処理できる。高速なウィンドウ操作に威力を發揮し、グラフィック専用のプ

ロセッサを用いなくても高速なビットマップ処理が行えるシステムを構築できる。

(3) 高速リアルタイム処理を実現する高機能命令

TRON仕様の命令セットは、機器組み込みのリアルタイムOSに向いた高機能命令をもっている。具体的には、キュー操作命令(QSCH,QINS,QDEL命令)やコンテキストスイッチ命令(LDCTX,STCTX命令)であり、M32/100はリアルタイムOSを効率良く実行できるこれらの高機能命令をサポートしている。機器組み込み制御では、割り込みに対して高速なリアルタイム応答が要求される。キュー操作命令を用いれば高速なタスクのディスパッチが可能である。M32/100が備える一群の高機能命令によって高速なリアルタイム処理に容易に対応できる。

(4) 充実したデバックサポート機能

効率の良いソフトウェア開発を支援するために、強力なデバック機能を内蔵している。プログラムのトレース用に命令のステップ実行など3種類のトレースモードを備え、ブレークポイントは命令ブレーク用に二つ、オペランドブレーク用に二つの合計四つを指定できる。これらのデバックサポート機能は専用のデバッカツール(エミュレータ)を用いなくても利用でき、使いやすいデバッカ環境を提供している。

4. ハードウェア

M32/100では、高速処理を実現するためにパイプライン機構を採用している。また、パイプラインの乱れを低減するために新規な先行ジャンプ処理機構を取り入れ、性能の向上を図った。

4.1 パイプライン処理機構

M32/100では、5段のパイプライン構造を採用した。図3にM32/100のパイプライン構成を示す。パイプラインは、命令フェッチ(1Fステージ)、命令デコード(Dステージ)、オペランドアドレス計算(Aステージ)、オペランドフェッチ(Fステージ)、実行(Eステージ)の5段のステージで構成されている。各パイプラインステージは2クロックで動作する。

1Fステージでは、メモリやプランチバッファからフェッチした命令を命令キューに書き込む。次のDステージでは、命令キューからの出力である命令コードをデコードする。デコードは、オペコードとアドレッシングモードの両方が同時に行われる。Aステージでは、オペコードの詳細デコードとオペランドアドレス計算の二つの処理が並行して行われる。Fステージでも二つの処理が並行して実行される。マイクロ命令の読み出し(Rステージ)とメモリからのオペランドフェッチ(OFステージ)である。Eステージでは、マイクロ命令に従ってオペランドの演算と結果の書き込みを行い、メモリへの書き込みの場合にはストアバッファに書き込む。外部メモリへの書き込みは、次命令の実行と並行して行われる。このため、メモリをオペランドとする命令でも2クロックで処理できる。

パイプラインの制御は、ステップコードと呼ぶ内部制御コードの転送で行われる。命令は2バイト単位でデコードされ、デコード段階でステップコードに分解される。各命令のステップコードは、一つ又は複数からなる。各パイプラインステージでは、前のステージからのステップコードを受け取り、それを処理し、新たにステップコードを生成して次ステージへ転送する。つまり、各ステージ間でのステップコード転送でパイプライン制御が行われている。

TRON仕様の命令セットは、2バイト単位で可変長となってい

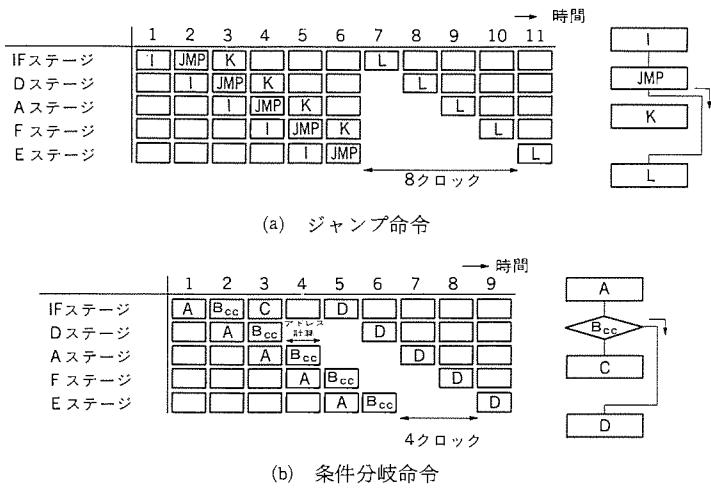


図4. ジャンプ命令のパイプライン動作

表3. 先行ジャンプ処理の命令

命令	機能	先行ジャンプ処理
BAR 無条件分岐	必ず分岐	プリ プランチ
BSR サブルーチンへの分岐		
ACB 加算, 比較, 条件分岐	常に分岐すると予測	
SCB 減算, 比較, 条件分岐		
Bcc 条件分岐	過去1回の分岐履歴で予測 (動的分岐予測テーブル)	プリ リターン
RTS サブルーチンリターン	必ずジャンプ	
EXITD レジスタ復帰, スタックフレーム解放 サブルーチンリターン		

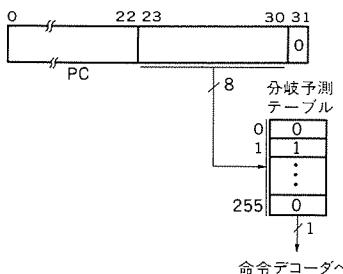


図5. 分岐予測テーブル

る。また、命令で指定するオペランドの処理情報が隣接フィールドに割り付けられているため、処理単位であるステップコードに分解しやすいフォーマットになっている。M32/100では、これらのTRON仕様命令セットの特長を生かしたハードウェア構成とし、少ないハードウェアで効果的なパイプライン処理を実現した。

4.2 先行ジャンプ処理機構

パイプライン構造をもつプロセッサでは、パイプライン処理が円滑に行われている場合には高い性能を発揮できる。しかし、ジャンプ命令がパイプラインの最終ステージで実行されると、パイプライン中に詰められた後続の命令は無効となるため、パイプライン中の命令をページする必要がある。その結果、ジャンプ命令の実行などによってパイプラインの流れが乱れて性能低下が生じる。ジャンプ命令の実行頻度は20%程度と高い。そこで、M32/100では、ジャンプ命令の実行によるパイプラインの乱れを削減するために、先行ジャンプ処理機構を導入した。命令デコードのDステージでジャンプ命令の処理を行い高速化を図った。

図4は、ジャンプ命令実行時のパイプライン動作を示している。同図(a)は、実行ステージでジャンプ処理するJMP命令の場合、(b)はデコードステージで先行ジャンプ処理するBcc命令の場合である。JMP命令は、次命令の実行までに8クロックを要するが、先行ジャ

ンプ処理するBcc命令は4クロックの空振りで済む。同図(b)は、内蔵するブランチバッファがヒットしなかった場合であり、ブランチバッファがヒットすれば3クロックの空振りで分岐先の命令が実行できる。ブランチバッファは、4バイト×64エントリ構成の特殊な命令キャッシュである。ジャンプ命令の実行により、命令キューが空になったときなどに選択的に命令を登録する。モード選択により一般的な命令キャッシュとしても利用できる。

M32/100では、先行ジャンプ処理を行う命令を出現頻度の高い7種類のジャンプ命令とした。表3に先行ジャンプ処理する命令を示す。ジャンプ命令は、無条件にジャンプするものと条件によってジャンプするものがある。さらに、ジャンプ先が一定で静的なものとサブルーチンリターンのようにジャンプ先が動的に変化するものに区分できる。M32/100では、PC (Program Counter) 相対のジャンプ命令に対してはプリプランチと呼ぶ先行ジャンプ処理を、必ずジャンプしてジャンプ先が動的に変化するサブルーチンリターンの命令にはプリリターンと呼ぶ先行ジャンプ処理を行う。

5種類のジャンプ命令に対して、プリプランチを適用した。無条件分岐のBRA命令、BSR命令は必ず分岐するため、Dステージで分岐するものとして処理する。ACB命令、SCB命令は、条件分岐の命令であるがループ制御を目的とした命令のために分岐する確率は非常に高い。そこで、常に分岐すると予測してDステージでプリプランチを行う。分岐しなかった場合は、Eステージで次命令に再ジャンプして正しいシーケンスに戻す。条件分岐で多用されるBcc命令には、動的分岐予測機構を採用した。Bcc命令は、分岐するか否かは動的に変化し、個々のBcc命令の履歴に従う確率が高い。そこで、過去1回の分岐履歴に基づいて分岐予測する方法をとった。動的分岐予測テーブルは、命令アドレスの下位9ビットによるダイレクトマッピング方式とした。TRON仕様では、命令は2バイト単位で偶数アドレスに置かれる。そのため、最下位のアドレスビットは無視でき、予測テーブルは図5に示す8ビットのアドレスに対応した256エントリ×1ビットで済む。ハードウェア増加のペナルティが少ない割には性能向上に効果がある。

プリリターンはRTS命令、EXITD命令に対して行う。サブルーチンコールのときに戻り先のPC値をスタックにプッシュするが、このPC値のコピーを保持するPCスタックをチップ内蔵してプリリターンを実現した。サブルーチンリターンのときに、PCスタックをポップしてジャンプ先のアドレスを得る。内蔵PCスタックは、ラップアラウンド構造で8段の深さである。サブルーチンのネストが崩された場合や8レベル以上のネストになった場合にもメモリからの実際の戻り先を使用するため、プログラムどおりの動作は保証されている。

5. 性能評価

性能評価には、ドライストーン (Dhrystone) のベンチマークプログラムを使用した⁽⁵⁾。このベンチマークプログラムは、システムでのプログラム実行を想定して実際のプログラムと同様な各種の処理を行い、整数演算処理の性能を測定するものである。整数演算の性能を比較評価できるため最近よく利用されている。今回の評価に用いたプログラムは、C言語版の1.1版である。評価は、測定作業の容易性により機能シミュレータで行った。ブランチバッファを命令キャッシュのモードで動作させ、メモリのウェート数を変えた3種類の場合でドライストーン値を求めた。外部キャッシュなしの場合で

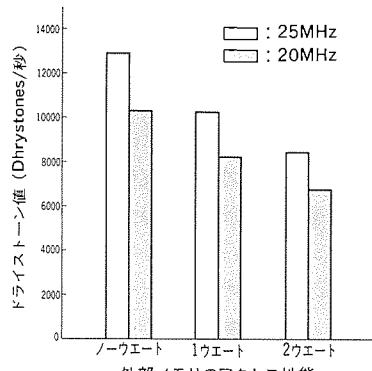
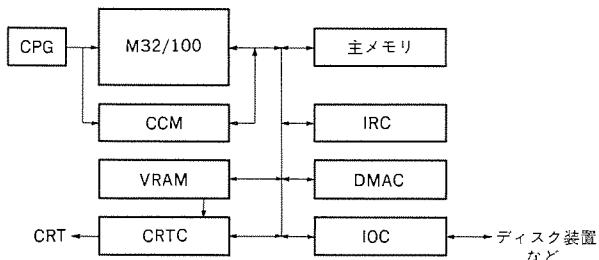


図 6. ドライストーン性能



CPG : Clock Pulse Generator
 CCM : Cache Control and Memory
 IRC : Interrupt Request Controller
 DMAC : Direct Memory Access Controller
 VRAM : Video Random Access Memory
 CRTC : CRT Controller
 IOC : I/O Controller

図 7. 応用システム例

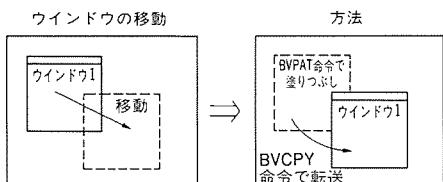


図 8. ビットマップ処理の例

測定した結果を図 6 に示す。ノーウェイトのメモリ動作で、動作周波数25MHzにおけるドライストーンの値は、約1.3万回／秒である。25MHz動作のM32／100を搭載したボードによる評価でも同様の性能が得られている。

M32/100のバスサイクルは、最小2クロックである。したがって、同図における25MHz時でのノーウェイトのメモリ動作は、80nsのバスサイクルとなる。1ウェイトは3クロック、2ウェイトは4クロックで、それぞれ120ns、160nsに相当する。1ウェイトを挿入して外部キャッシュのない安価なメモリシステムの場合でも、ドライストーン値は1万個／秒以上が得られる。

このベンチマークプログラムは、C言語で記述されている。よって、得られたドライストーン値は、Cコンパイラの性能にも依存している。開発中のコンパイラを使用したため、必ずしも最適化されたコードにはなっていない。コンパイラの改良によってベンチマークの値は、更に高くなる見込みである。その他のベンチマークプログラムでも性能評価を進めており、M32／100のハードウェア性能を最も効率良く引き出すコンパイラの提供に役立てていく所存である。

6. 応用システム

M32／100を使用したシステムの構成例を図 7 に示す。ここで、

CCM (Cache Control and Memory) は、アドレス用のタグメモリ、データメモリと制御論理回路を含むキャッシングメモリで、M32／100の主メモリ参照時間の短縮を目的としている。CPG (Clock Pulse Generator) は、50MHzの水晶発振器を接続することでM32／100のクロック、バスロック及びリセット信号を発生する。I/O (入出力) 装置と主メモリとのデータ転送を受け持つDMAは、M32／100を介すことなくデータの転送が可能なためメモリバスでの転送効率を向上することができる。

M32／100の特長であるビットマップ演算命令を使用することで、図 7 に示すシステムのように特にグラフィック専用のプロセッサを用いることなく、高速なビットマップ処理を行うことが可能となる。代表的なビットマップ演算命令である任意長ビットフィールド命令を使用した場合のビットマップディスプレイ上の動作例を図 8 に示す。ビットマップディスプレイでは、画面上のイメージの転送や重ね合わせの処理 (bitblt:bit block transfer) を行う。図 8 は、VRAM (Video RAM) を写像したディスプレイ画面を表している。図の左のようにウインドウを移動させる場合、ウインドウ図形の転送にはBVCOPY命令を使用し、元のウインドウ図形部を背景パターンで塗りつぶすには、パターンを繰り返して転送するBVPAT命令を用いる。

7. む す び

M32／100の特長、ハードウェア、性能評価及び応用システムについて述べた。半導体素子の高集積化技術の進歩に伴い、LSIに集積する素子数は増大の一途をたどっている。システムオンチップ時代の本格的な到来を先取りして、M32／100は開発された。CPUコアに適したコンパクト設計により、将来のASIC展開が約束されたマイクロプロセッサである。トータル アーキテクチャのTRON仕様に基づく高機能なM32／100は、機器組み込み制御や小型ワークステーションへの応用をターゲットにしている。先行ジャンプ処理などの先進の技術を駆使して高性能を実現した。

このプロセッサ開発に際して有益な御助言、御討議をいただいた東京大学 坂村助教授に厚くお礼を申し上げる。

参 考 文 献

- (1) K. Sakamura : Architecture of the TRON VLSI CPU, IEEE Micro, 7, No. 2, p.17 (1987)
- (2) K. Sakamura : TRON VLSI CPU : Concepts and Architecture, TRON Project 1987, Springer-Verlag, p.199 (1987)
- (3) 富沢ほか : VLSIマイクロプロセッサ, 三菱電機技報, 62, No. 8, p.13 (1988)
- (4) 岩田ほか : TRON仕様32ビットマイクロプロセッサ G_{MICRO} / 100(1)マイクロプログラムによる高機能命令の実現とその評価, 情報処理学会第38回全国大会論文集, p.1518 (1989-3)
- (5) R.P. Weicker : Dhystone : A Synthetic System Programming Benchmark, Communications of the ACM, 27, No.10, p.1013 (1984)

M32用μITRON仕様OS:MR3200と開発環境

平野浩爾* 斎藤和則***
坪田秀夫* 樋口敬三+
清水 徹**

1. まえがき

LSI技術の進歩はマイクロプロセッサの性能の飛躍的向上をもたらし、現在はミニコンに相当する機能と処理速度を1チップに集積するまで発展してきている。このような技術革新を背景に、マイクロプロセッサを用いたアプリケーションシステムもますます複雑化し、その開発期間の増大が問題となっている。そのため、高性能なマイクロプロセッサや周辺チップを活用し、かつ開発効率を向上させるためのツールがますます重要となってきた。

当社は、東京大学坂村 健助教授が提唱するTRON (The Real-time Operating system Nucleus) プロジェクトに参画し、TRON仕様に準拠したG_{MICRO}32ビットマイクロプロセッサ(MPU)M32シリーズを対象としてμITRON仕様に準拠したリアルタイムオペレーティングシステム:MR3200を開発した。このオペレーティングシステム(以下OSと呼ぶ。)は、M32シリーズの性能と機能を生かした機器組み込み制御用のリアルタイムOSであり、タスクの数や優先度の数に依存しない一定の応答速度などの特長を持ち、サーボ系やセンサ系の制御に要求される10μ秒以下の割り込み禁止期間で18μ秒のタスク切り替え時間を実現している。さらに、このOSは、既に製品化されている8/16ビットマイクロコントローラ用OS:MR7700(当社MELPS7700シリーズ用、μITRON仕様準拠)とC言語レベルで完全に互換性を持っている。MR3200とMR7700の組み合わせにより、8ビットから32ビットまでのリアルタイムOSをμITRON仕様で統一できた。

また、我々はリアルタイムOSを用いたアプリケーションシステムの開発支援を目的としてハードウェアエミュレータ(以下エミュレータと呼ぶ。)を開発した。M32シリーズは、パイプライン処理やキャッシュ機構を持つMPUであり、MPUの内部動作と外部バスの信号やデータの対応がとれないため、リアルタイムなデバッグが困難である。このエミュレータは、M32/100が内蔵するデバッグ機能を用いて、内部動作に同期したリアルタイムなデバッグを可能とした。

本稿では、MR3200の設計方針とその機能、評価結果について述べる。さらに、MR3200のリアルタイムアプリケーションシステムの開発時に必要とされるエミュレータの機能と構成についても述べる。

2. μITRON仕様

TRONプロジェクトでは、リアルタイムOSの仕様としてITRON仕様とμITRON仕様が策定されている。ITRON仕様は、オブジェクトの動的生成機能や多様な例外管理などが豊富な機能を備え、機器組み込み型のシステムからディスクベースシステムまで幅広く対応している。これに対し、μITRON仕様は、図1に示すようにITRON仕様のサブセットであり、ROMベースの機器組み込み型システムを対象としたコンパクトで高速なリアルタイムOSの仕様である。μITRON仕様ではシステムコールがレベル1からレベル5に分類されており、MPUの機能やアプリケーションに合わせてOSの

構成を変えることができる。我々は、特に機器組み込み型制御分野への応用を目的としてM32シリーズ用にμITRON仕様のレベル3に準拠したリアルタイムOSを開発した。

3. MR3200の開発

3.1 MR3200の仕様

μITRON仕様に準拠するMR3200の機能について述べる。

(1) MR3200の構成と機能

MR3200の機能構成を図2に示す。システムモジュールは、五つのタスク状態(RUN, READY, WAIT, SUSPEND, DORMANT)を操作するタスク管理・タスク付属同期・割り込み管理・メモリプール管理・時間管理・バージョン管理と同期通信用のイベントフラグ・セマフォ・メールボックスの各機能から構成される。イベントフラグは多様な用途に対応するために32ビットの仕様を採用している。ユーティリティモジュールとしては、端末からの入出力を行うためのI/Oドライバが標準で装備されている。MR3200が動作するためのハードウェア環境としては、M32シリーズのMPUと周辺機器からの処理要求を受け付ける割り込みコントローラ、及びシステムの基準時刻を生成するタイマが必要である。

(2) タスクのデバッグ機能

タスクの状態表示やシステムコール発行などの機能を備えたシステムタスクを用意した。これは、複数のタスクからなるアプリケーションの開発におけるタスクを対象としたデバッグの支援を目的としている。

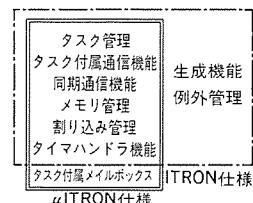


図1. ITRON仕様の機能構成

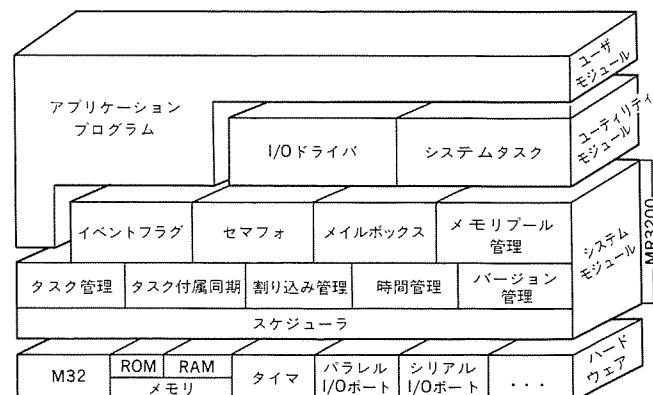


図2. MR3200の機能構成

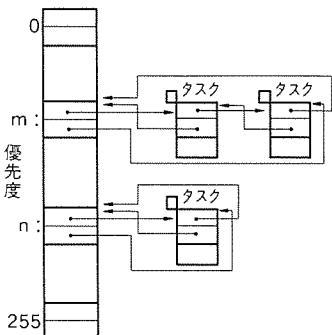
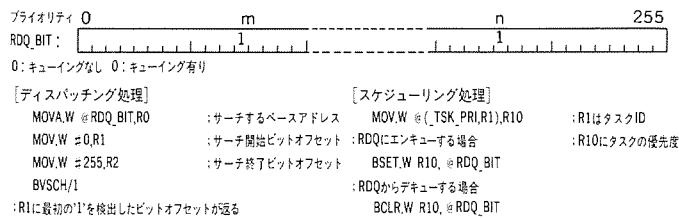


図3. レディキューの構成

図4. レディキュー管理用ビットフィールドテーブル
(プライオリティは0~255)

(3) システムコールの実現形態

MR3200のシステムコールは、サブルーチンとして実現されています。これは、M32シリーズのMPUが5~6段のパイプライン処理を行っており、ソフトウェア割り込みを用いる従来の方式ではソフトウェア割り込み命令の実現ごとにパイプラインがキャンセルされてオーバヘッドが大きくなること、及び機器組み込みの用途ではメモリ保護の必要性が少ないことによる。

3.2 MR3200の特長

MR3200の開発において特に留意した点について述べる。

(1) 高速で一定の応答性

リアルタイムシステムでは、外部からの処理要求に対して高速な応答が要求される。さらに、アプリケーション開発者が応答時間を予測できるために、一定の応答速度が要求される。具体的には、①OS内部の割り込み禁止期間の短縮、②タスクの数や最大優先度数によらない一定時間の割り込み禁止期間を実現しなければならない。特に②に関しては、レディキューの状態がタスクの数や優先度に依存して逐次変化するため、一般に処理時間を一定値にすることが困難である。MR3200では、M32シリーズの特長である任意長ビットフィールド命令とビット操作命令を用いることにより1命令でタスクスケジューリングやディスパッチング処理を実行でき、処理時間を一定にすることが可能となった。

レディキューは、図3に示すような優先度ベースの双方向キューで構成される。MR3200では、図4に示す256ビットのビットフィールドで各優先度を持つタスクの有無を管理した。例えば、実行可能で最高優先度を持つタスクを検索してコンテキストをスイッチするディスパッチング処理では、任意のビットフィールドの中から値“1”的ビットを検出してその位置を求めるBVSCH命令を用いて最高の優先度を検出し、そのレディキューからタスクを取り出す。これにより、比較命令と分岐命令を繰り返す場合に比べて変化の少ない一定の処理時間を実現することができた。BVSCH命令がビットを検索する時間は、32ビットの境界を越えるごとに約0.2μ秒ずつ計算され、第0ビットから第255ビットまで検索した場合に1.7μ秒か

表1. MR3200の性能仕様

項目	仕様
ターゲットプロセッサ	M32シリーズ
最大タスク数	65,535個
優先度数	1~255
システムコール数	53個
OSコード サイズ	約2.1Kバイト ^{*1} ~約11.6Kバイト
OS核データサイズ	181バイト ^{*2} ~
OS核記述言語	アセンブリ言語
タスク	約18μ秒 ~ 26μ秒
切替え時間	(タスク起動) (イベントフラグセット)
最大割り込み	約9μ秒 ~ 15μ秒
禁止時間	(タスク起動) (優先度変更)

注 *1 slp_tsk(), iuwup_tsk(), ret_int(), sta_tsk()

*2 タスク (ID=1, 優先度=1) を一つ含む。

かる。検索時間を1.7μ秒以下にしたことにより、各システムコールの最大割り込み禁止期間に全く影響を与えることなく、外部からの処理要求に対する応答性を保証することができる。また、アプリケーションシステムで使用する優先度はシステム設計時に定義されるため、優先度の使用範囲に応じたタスク切替え時間の予測が可能である。

システムコールの処理においては、タスクの状態遷移に応じてタスクをレディキューに挿入、削除するスケジューリング処理が行われる。MR3200では、キュー状態の変化に伴う優先度ビットのセット／クリアにビット操作命令 (BSET, BCLR) を用いた。これらの命令を使えば、任意のビットをオン、オフすることができるので優先度の数に依存すことなく、一定時間でレディキューの状態を操作することができる。

(2) コンパクトなメモリサイズ

機器組み込みの制御分野では、OSの使用するメモリサイズをできる限り小さくすることが要求される。また、特にコードサイズの最適化は、実行速度の向上の点でも重要である。

32ビットMPUではオペランドにメモリ間接や相対アドレッシングを用いるとアドレス指定に32ビットを必要とするのが一般的であり、コードのサイズが必然的に大きくなる。また、大容量のメモリを必要とするため、メモリのウエート制御により処理時間も低下する。そこで、MR3200ではOSのローカル変数をすべてレジスタ上に置いてコードサイズの短縮とメモリアクセスの削減を行うことにより、メモリの節約と処理の高速化を図った。

(3) MR7700との互換性

MR3200は、当社16ビットマイクロコントローラMELPS7700を対象に既に製品化されているリアルタイムOS:MR7700と高級言語(C言語)で互換性を持たせ、アプリケーションプログラムのM32シリーズへの移行が容易に行われるよう配慮した。

3.3 MR3200の性能評価

MR3200の基本的な性能を表1に示す。MR3200は、M32シリーズのすべてのMPUで動作させることができる。今回、M32/100(20MHz, ノーエート)で性能評価を行った結果、待ち状態のタスクを起動させるwup_tsk()システムコールで約18μ秒、その間の割り込み禁止期間が約9μ秒であった。また、最も長い割り込み禁止期間はタスク優先度を変更するchg-pric()システムコールによりもので、最大約15μ秒であった。

MR3200はライブラリ方式を採用しているのでアプリケーションプログラムで使用しているシステムコールだけがリンクされる。OSのコードサイズは、すべてのシステムコールを使用する場合で約11.6Kバイト、また、マルチタスク、リアルタイムシステムを構築す

表2. 当社のμITRON仕様OSの性能比較

タスク切替え処理	単位: μ秒	
	MR3200 20MHz, No-Wait	MR7700 16MHz, No-Wait
タスク起床 (割り込み禁止期間)	18 (9)	29 (20)
イベントフラグ	26	38
セマフォ	21	30
メイルボックス	21	35

表3. RAM容量

データ領域	RAM容量
システム	72+8×優先度数+割り込みスタック
タスク	29/タスク+72(スタック)+α ¹
イベントフラグ	13/フラグ
セマフォ	10/セマフォ
メイルボックス	20/メイルボックス+バッファサイズ
メモリプール	14/メモリプール+プールサイズ

注¹ アプリケーションスタックサイズ

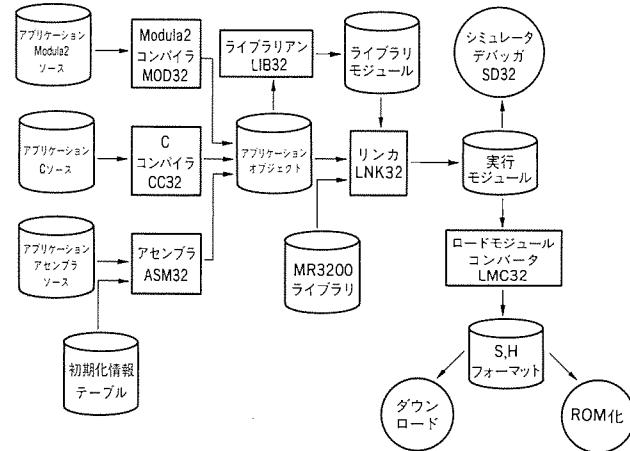


図5. MR3200のアプリケーション開発フロー

るために最低必要なシステムコール4個を使用する場合で約2.1Kバイトである。

表2に当社のμITRON仕様OSであるMR3200とMR7700の性能比較を示す。MPUの仕様や動作周波数などは異なるが、MR3200のタスク切替え時間はMR7700の約1.5倍の性能を持っていることが分かる。表3はシステムが使用するRAMの容量である。各タスクごとにシステムが必要とするスタックサイズは、プログラムの開始情報と15個のレジスタをセーブするために使用する72バイトだけである。

4. アプリケーションシステムの開発

4.1 ソフトウェア開発環境

MR3200を用いたソフトウェアの開発フローを図5に示す。MR3200を用いたソフトウェアの開発手順は、アプリケーションプログラムの作成とOSのシステム生成からなる。アプリケーションプログラムは、C言語、Modula-2言語、アセンブリ言語で開発され、コンパイラ又はアセンブリによりオブジェクトモジュールに変換される。OSはライブラリとして提供されるので、アプリケーションプログラムとリンクすることによって同時にOSのシステム生成も行われる。リンクの結果、得られた実行モジュールをクロスソフトウェアのシミュレータデバッグや評価ボードを用いてデバッグする。さらに、機器組み込みのようにハードウェアに密着したデバッグが必要な応用分野では、エミュレータを用いてリアルタイムな動作に応じたデ

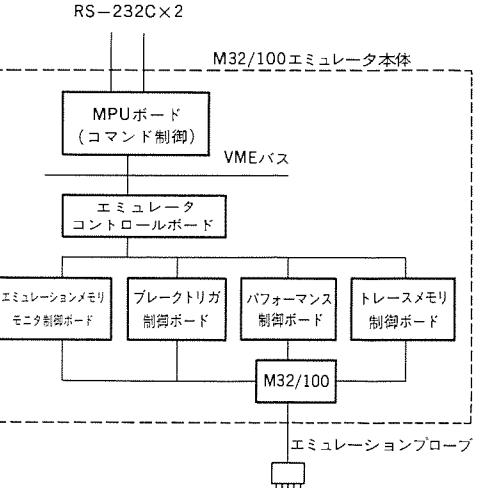


図6. M32/100エミュレータシステム構成

表4. M32/100エミュレータコマンド機能

目的	機能
ターゲットプログラム実行制御	メモリ操作 レジスタ操作 ロード、セーブ プログラム実行
ブレーク	MPU内部レジスタブレーク バスデータブレーク(命令アドレス、オペランドアドレス、バスデータ／OR指定、AND指定、順次指定、範囲指定、バスカウント指定) プロテクションブレーク 外部強制ブレーク ソフトウェアブレーク(最大64点)
ターゲットプログラム実行解析	トランザクション トランザクションモード トランザクションモード
ハードウェア資源エミュレート	メモリ代行 マッピング
ソフトウェア性能評価	時間計測 C _a カバレッジ パフォーマンス測定

バグを行うことができる。

4.2 リアルタイムデバッグ

機器組み込み制御システムを開発する場合、アプリケーションシステムのリアルタイム性、処理スピードにこだわられるデバッグ環境が要求される。しかし、M32シリーズのMPUはパイプライン処理、分岐予測機構、高機能命令などの複雑な処理を行なうため、外部バスサイクルの監視機能だけではリアルタイムなデバッグは困難であり、内部処理を監視できる機能が不可欠である。

このため、M32シリーズでは内部処理を監視できるデバッグ機能をチップ内部に持たせており、その機能を利用することによりリアルタイムなデバッグ環境が実現可能である。

M32/100が内蔵するデバッグ機能を以下に示す。

(1) プログラム実行制御機能

ステップ実行機能(1命令実行ごとにトラップを発生する)、逐次ステップ実行機能(パイプライン機能を止めて1命令ごとに順次実行する)及び分岐命令の実行によるブレーク機能。

(2) ブレーク機能

アドレスレジスタ2個で指定した命令の実行や、オペランドアドレスレジスタ2個で指定したオペランドのアクセスにより、プログラムの実行を止める機能。

(3) エミュレータ専用のデバッグ機能

MPUの内部状態(パイプラインの状態など)を示す信号を外部に

通知する機能。

4.3 エミュレータの構成と機能

M32/100エミュレータの構成を図6に示す。エミュレータは、エミュレーションプロープによってターゲットシステムと接続され、リアルタイムなデバッグ機能が備わったM32/100として動作する。エミュレータの機能を表4に示す。

このエミュレータは、M32/100のデバッグ用機能を用いて以下のようなリアルタイムデバッグ機能を実現している。

(1) 命令シーケンスの解析機能

分岐命令（ブランチ、ジャンプ、トラップ、リターンなど）の実行によってトラップを発生させ、プログラムの命令シーケンスを再構成する。分岐予測を行うMPUでは、実際には分岐しないシーケンスに対しても外部バスサイクルが起動される。したがって、命令シーケンスに対応するバスサイクルは複雑になり、解析も複雑になるため、この機能を用いることにより、分岐命令に対する実際の実行処理を明確に把握できる。

(2) MPU内部の命令実行ステップに同期したブレーク機能

ブレークリジスタを使用して、MPUの内部動作に同期したブレークを実現する。さらに、ループ処理、実行回数、実行順序などを監視するためのバスカウント機能も実現した。従来は、外部バスデータを頼りに割り込みやジャミング（MPUがフェッチしようとしている命令の代わりにトラップ命令などを強制的にバスに挿入する方法）によってMPUブレークが行われていたが、パイプライン処理を行うMPUでは取り込まれた命令が実際に実行されるとは限らないため、割り込みやジャミングによる方法では正確なバスカウント機能を実現することが困難であった。

(3) リアルタイムトレース機能

MPUの分岐予測機構の動作状態を解析することが可能なトレースを実現する。これにより、外部バスサイクルのリアルタイムな実行履歴やMPUの実行状態を完全に把握できる。

(4) ソフトウェア解析のためのトレース機能

MPUをパイプライン処理なしで動作させる。これによって、実際に実行される命令だけのトレースやカバレッジ測定に用いることができる。

このエミュレータは、MPUに内蔵されたデバッグ機能を利用するすことによって、MPUの内部動作に同期したデバッグ機能を実現している。今後、MPUが高速化されるとともに、MPU内部に取り込まなければならないエミュレータ機能はますます増加すると考えられる。この理由は、高速なMPUではパイプライン処理の途中における実行状態（実行した命令のアドレス、パイプラインの各ステージでの状態）を監視する機能以上に、外部バスサイクルの短縮によりリ

アルタイムな応答を持った外部デバッグ機能の実現がいよいよ困難となっていくためである。

このエミュレータでは、条件発生に伴い、MPU外部バスにウエトサイクルを挿入することによって外部での処理時間を稼いでいるが、リアルタイムシステムのデバッグ環境としてはまだ不十分と考えられる。現在のLSIの集積技術からみれば、従来、エミュレータで実現されていた機能をMPUに内蔵することは可能であろう。しかし、より本質的にはエミュレータ機能に密接したMPUアーキテクチャの開発が重要である。

5. む す び

今回、我々はTRON仕様に準拠した32ビットマイクロプロセッサM32シリーズ上に、μITRON仕様に準拠したリアルタイムOS：MR3200を開発した。その結果、タスク数や優先度に依存することなくタスク切替え時間が18μ秒、その時の割り込み禁止期間が9μ秒という非常に高速で応答性の優れた性能を得た。これはM32シリーズの性能とコンパクトなMR3200の融合によるものであり、リアルタイムOSの応用分野拡大が可能となった。また、M32/100が内蔵するデバッグ機能を用いたリアルタイムデバッグ用のエミュレータを開発した。

今後、M32マイクロプロセッサは、32ビットの応用分野全般に対してシリーズ展開されるであろう。したがって、それに応対したりアルタイムOSのシリーズ化も求められ、μITRON仕様では対処できない動的なシステム運用、メモリ保護、ファイルシステムが要求される分野をターゲットとするITRON仕様OSの開発も行われる予定である。

最後に、MR3200の開発に関して御指導頂いた東京大学坂村助教授並びにTRONプロジェクトの関係者各位に深く感謝の意を表す。

参 考 文 献

- (1) 坂村健：リアルタイムオペレーティングシステム—ITRON，日本ロボット学会誌，3，No.5（1985）
- (2) 坂村健：Micro-ITRONの設計方針，トロン協会トロン技術研究会，1，No.1，p.1（1988-6）
- (3) 坂村健ほか：リアルタイムOS，Micro-ITRONを1チップマイコンの内蔵ROMに搭載，日経エレクトロニクス，1988年8月22日号，p.193
- (4) 坪田ほか：μITRON仕様に準拠したG_{MICRO}シリーズ用リアルタイムOS：MR3200の開発，情報処理学会，マイクロコンピュータとワールドステーション研究会資料（1989-6）

24ビット、50ns画像／映像処理用シグナルプロセッサ (DISP)

寺根秀幸* 嶋田敏明**
中川伸一* 篠原尋史*
吉本雅彦* 畑中正弘*

1. まえがき

画像通信からFA、グラフィックスに至るまで画像／映像信号処理は、高度情報化社会にとって必ず(須)の基幹技術となっている。ISDN網におけるニューメディアとして急速にニーズの高まりつつある各種の画像通信システムでは、動き補償、直交変換、ベクトル量子化等の画像帯域圧縮技術、符号化技術が処理の中心技術であり、また、FA応用では画像認識、パターン計測が、グラフィックスでは画像合成、アフィン変換等が主要な処理である。これらの画像／映像信号処理システムは、高速なデータレートを持つ映像信号を実時間処理可能であること、幅広く市場に受け入れられるため低コストであること、さらに各種処理アルゴリズムに対して柔軟に対応できることが要求される。これらに対する解として、デジタルシグナルプロセッサ (DSP) アプローチが考えられ、高速かつ膨大な二次元の画像データの信号処理に特化された画像専用DSPの開発が進められてきている。

図1に、これまでに開発してきたDSPの素子数の年次推移を示す。画像専用DSPは、汎用DSPと同様には4年で3倍の割合で集積度が増大するとともに、命令サイクル時間の高速化などの高性能化が図られてきたが、演算精度、実時間処理性能及び低コストシステム化の点で十分ではなかった。

今回開発した画像／映像信号処理プロセッサ (Digital Image/Video Signal Processor : DISP)^{(1)~(3)}は、最先端の汎用32ビットDSPとほぼ同程度の、また画像専用DSPとしては最大級の538K個のトランジスタを集積することによって高機能化を実現したものである。すなわち、各機能ブロックでの並列処理を徹底するとともに、画像／映像向き専用回路を付加することによって画像データ処理のスループットを向上させたものである。また、1μmの微細プロセス技術を用いることにより、画像処理演算精度を確保する24ビット語長において最大命令サイクル時間50nsの高速性能を達成し、20 MIPSの処理性能を実現した。

さらに、大容量命令RAMとプログラムシーケンサを内蔵することにより、各種画像処理に対する汎用性を向上させるとともに、大容量データRAM、各種コントロール機能の集積により周辺部品点数を削減した。

2. 並列アーキテクチャ

DISPは、画像符号化語長、32ビット浮動小数点データとの親和性を踏まえて24ビット長の固定小数点アーキテクチャを採用した。内部は、データRAM、命令RAM、データ演算部、DMAコントローラ等の多くのハードウェアリソースで構成され、複合演算命令を含むすべての命令を50nsで実行する。さらに、高速スループットを達成させるために、各機能ブロックの並列度を増強したアーキテクチャとなっている。図2にDISPの全体構成を、表1にハードウェア仕様と諸元を示す。以下に、並列アーキテクチャの主な特徴について述べる。

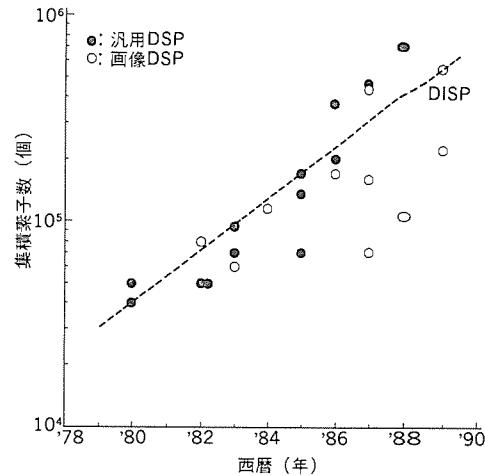


図1. DSPの集積素子数の年次推移

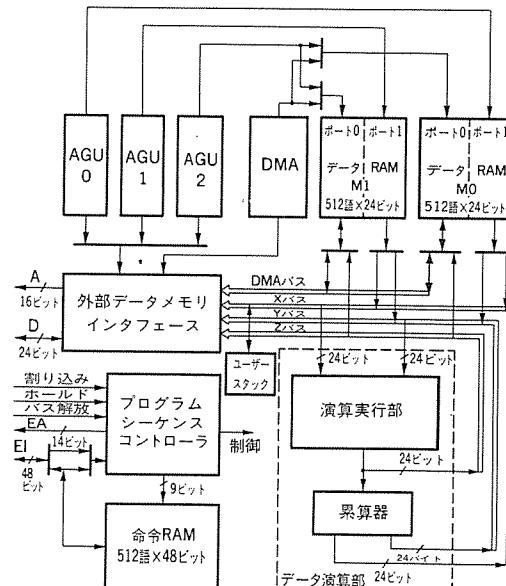


図2. DISPの全体構成

2.1 並列バス構成

DISPでは、プログラムバス、3種類の演算用データバス (X, Y, Z) 及びDMAバスから構成される並列バスアーキテクチャを用いた。プログラムバスを介して、48ビットの命令コードが内部命令RAM又は外部のプログラムメモリから読み出され、内部にフェッチされる。3種類の演算用データバスに関して、X, Yバスがソースデータの転送用、Zバスがデスティネーションデータの転送用で、それぞれデータ演算部とメモリ、レジスタとの間で並行してデータを転送する。DMAバスは、内部データメモリと外部データメモリインターフェースを接続し、内部データメモリと外部データメモリとの間で高速なDMA転送を可能にする。これらのバスは、すべて並列動作が可能であり、命令フェッチ、ソースオペランド転送、デステ

表1. DISPのハードウェア仕様と諸元

■プログラムRAM	512ワード×48ビット
■2ポートデータRAM	512ワード×24ビット×2
■演算部	
・ALU	24ビット
・乗算器	24ビット×24ビット→47ビット
・シフタ	24ビット, 47ビット
・ワーキングレジスタ	24ビット×8
■アドレッシングユニット	24ビット×3
■外部メモリ空間	
・プログラム	16Kワード×48ビット
・データ	64Mワード×24ビット
■パラレルI/O	24ビットデータI/O
■マシンサイクル	50ns(4.5V, 75°C)
■電源電圧	5V
■プロセス	1μm2層AlCMOS
■トランジスタ数	538Kトランジスタ
■チップサイズ	13.80mm×15.49mm
■パッケージ	177pinPGA

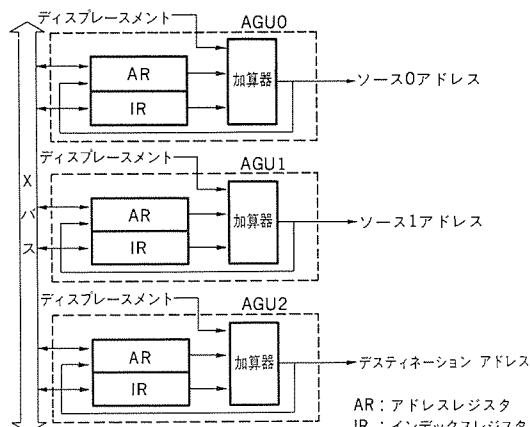


図3. AGU部の構成

イネーションオペランド転送、DMA転送が並列に実行できる。

2.2 アドレス生成部

アドレス生成部の構成を図3に示す。アドレス生成部は、ソース0アドレス生成部(AGU0), ソース1アドレス生成部(AGU1), デスティネーションアドレス生成部(AGU2)の三つのアドレス生成ユニットから構成され、内部又は外部のデータメモリに対するアドレスを各々、ソース0データ、ソース1データ、デスティネーションデータに対して独立に生成する。

各AGUは、4個のアドレスレジスタ(24ビット)と4個のインデックスレジスタ(12ビット)を持ち、独立した4種類のアドレスを扱うことができる。データのアドレッシングには、絶対アドレッシングとアドレスレジスタによるレジスタ直接アドレッシングがあり、レジスタ直接ではインデックスレジスタとディスプレースメントのいずれか又は両方によって更新することができる。この更新は、データ演算部での演算処理と並行して実行され、画像データに対して効率的な二次元アドレスが生成される。さらに、FFTを高速に実行するためのビットリバースアドレッシング機能も持たせた。

2.3 2ポートデータRAMとDMA

DISPには大容量のデータをハンドリングするため、2面の2ポートデータRAM、M0及びM1(512ワード×24ビット×2)とDMA機能を内蔵した。M0, M1のポート0は、ソースオペランドの読

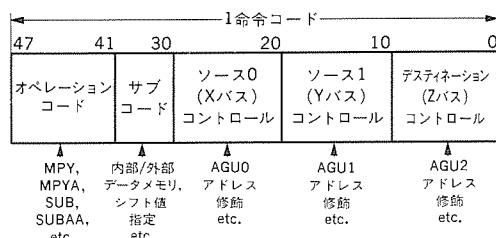


図4. DISPの命令フォーマット

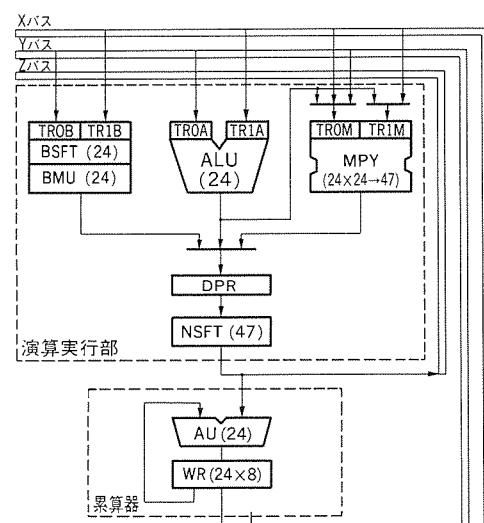


図5. データ演算部の構成

出し専用ポートとして、ポート1はデスティネーションオペランドの書き込みポート及びDMA転送データの読み出し/書き込みポートとして使用される。この構成により、データ演算部で現在の画像データを処理すると同時に、DMA機能を用いて処理の終了した画像データを外部データメモリに書き込むか、あるいは処理すべき画像データを外部データメモリから読み出すことができる。DMAコントローラは、内部の2ポートデータRAMに対しては連続したアドレスポインタを、外部データメモリに対しては二次元アドレッシングが可能なアドレス生成器を持ち、XバスからDMA制御レジスタに起動コマンドをセットすることにより動作する。

2.4 命令フォーマット

DISPは、ビデオコーデック用の複合演算命令を含めて101の命令セットを持つ。図4に代表的な命令フォーマットを示す。上述の並列アーキテクチャを有効に機能させるために、命令コードは48ビットで単サイクルの水平型マイクロコードを採用した。

3. 画像処理向き専用回路設計

3.1 画像処理向きデータ演算部

DISPのデータ演算部は、24ビット固定小数点データの信号処理演算を基本として、パイプライン処理により1マシンサイクルに1回様々な演算を実行する。図5に示すように、DISPのデータ演算部は、24ビットALU、24ビット×24ビット乗算器(MPY)、ビット操作器(BMU)とプライオリティエンコーダを含むパラレルシフタ(BSFT)、47/24ビット正規化シフタ(NSFT)及び累算器により構成される。ALU、MPY、BSFTは、データバスに並列に接続され、それらの後段にNSFT、累算器が直列に接続される。これにより、画像処理でよく用いられる積和(乗算→正規化シフト→累算)等の

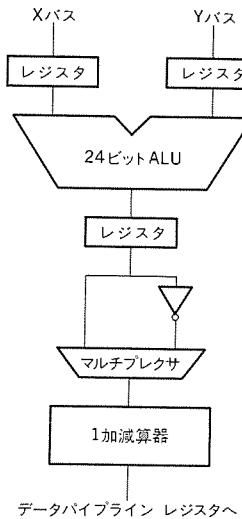


図 6. ALU部の構成

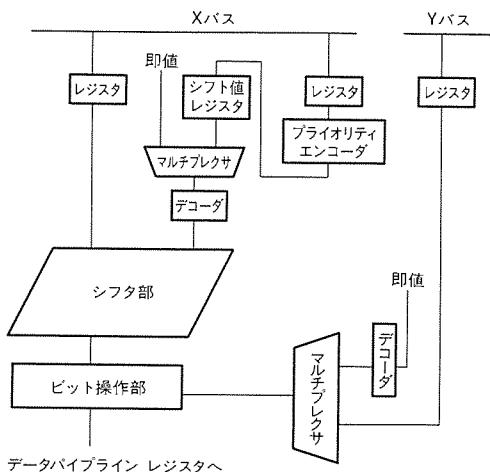


図 7. BSFT部の構成

複合演算を 1 命令で実行できる。また、ALUからMPYへのローカルバスを設けることにより、ひずみ測度を求めるための距離関数の一つである差分 2 乗和（減算→乗算→正規化シフト→累積）の演算も等価的に 1 命令で実行可能である。各演算ユニットの演算サイクル時間は 50ns であり、パイプライン処理によって画像処理に必要な単一演算、複合演算など、最大四重の演算を等価的に 1 マシンサイクルで処理できる。以下にデータ演算部の特徴について述べる。

3.1.1 ALU (算術論理演算器)

ALU部の構成を図 6 に示す。中間ラッチ前の 24 ビット ALU では、AND, OR, EOR 等の論理演算、ADD, SUB 等の算術演算を実行できる。加減算を高速に行うために、キャリ伝搬部に 4 ビットごとの CLA 回路を設けた。中間ラッチ後の部分では、中間ラッチ前のデータをスルーさせることにより、主に、符号乗算、符号反転、絶対値の演算を実行できる。1 加減算器の部分にも高速化のために、4 ビットごとの疑似 CLA 回路を設けた。ALU 部の特徴の一つに、差分絶対値命令を 1 マシンサイクルで実行できことがある。これは、中間ラッチ前で X バス入力データと Y バス入力データの差 ($X - Y$) をとり、中間ラッチ後にその絶対値 ($|X - Y|$) をとることによって実現可能とした。また、24 ビットデータの符号なし加減算も実行可能としたため、倍精度の演算を複数の命令で実現できる柔軟性をも備える。

3.1.2 BSFT (パレルシフタ&ビット操作器)

BSFT 部の構成を図 7 に示す。BSFT 部では、24 ビットデータを 0 ~ 23 ビットの範囲で算術右／左シフト、論理右／左シフト、右／左ローテートを行う。シフタアレーは、チップ上の占有面積を小さくするために、N チャネルトランジスタのみのトランスマッピングゲートで構成した。また、画像処理に必要となるビットごとの演算処理を高速に実行するために、24 ビットデータの任意ビットのセット、リセット、テストを行うビット操作器をシフタアレーの後段に配置した。これにより、ローテート結果をマスクするローテート & マスク機能も実現できる。さらに、入力データの MSB 側から連続した 0 又は 1 の数をカウントするプライオリティ エンコーダを内蔵し、その演算結果を BSFT 部のシフト値データとして使用することも可能としたため、固定小数点演算に必須のデータの正規化を効率良く実行できる。

3.1.3 MPY (乗算器)

MPY 部は、24 ビット × 24 ビットの固定小数点データの乗算を行い、47 ビットのデータを出力する。MPY 部では、X バス入力データと Y バス入力データの乗算 ($X * Y$)、X バス入力データの 2 乗 (X^2)、ALU 部出力データの 2 乗を実行する。

MPY は、24 ビット固定小数点乗算を高速に実行するため、2 次のブースのアルゴリズムを適用し、部分積の加算にはキャリーセーブ法、最終段の部分積の加算にはキャリー セレクトアダマーを用いた。

MPY 部からの 47 ビット出力データは、NSFT 部によって累算器の入力データ形式である 24 ビットにビット数が調整される。

3.1.4 ACC (累算器)

ACC 部は、24 ビット累算用加算器(AU)，8 個の 24 ビット ワーキングレジスタ (WR) で構成される。AU は、NSFT 部から出力されたデータに対して、WR との間で累算を行い、演算結果を再び WR へ入力する。また、NSFT 部から出力されたデータを、WR に書き込む場合は、AU の一方の入力に 0 を与えることによって実現できる。AU は、通常のマンチェスター型全加算器を使用し、高速化のために 4 ビットごとの CLA 回路を設けた。また、AU では画像予測符号化におけるデータの演算誤差を小さくするために、データの丸め処理を実行可能とした。これは、BSFT 又は NSFT において、右シフト演算を実行した際に出力されるキャリービットを AU の LSB に加算することによって、演算シーケンス内で実現できる。

以上の構成によりデータ演算部では、 $|X - Y|$, $(X - Y)^2$, $(aX + b)$, $(X^2 + b)$ 等の複合演算命令、 ΣX , $\Sigma |X|$ 等の累算命令、それらを組み合わせた、 ΣaX , ΣX^2 , $\Sigma |X - Y|$, $\Sigma X * Y$, $\Sigma (X - Y)^2$ 等の命令を等価的に 1 マシンサイクルで実行可能とした。

3.2 条件テスト&シフト機能

条件テスト&シフト機能は、比較系の命令に対して ALU 部から出力されるフラグと、命令コード中の条件テストコードで指示されるテスト条件との一致を判断して得られる 1 ビットの条件テスト結果フラグを、条件テストシフトレジスタ (1 ビット × 24 レベル) にセットする機能である。したがって、複雑な条件分岐を行う際に、いったんすべての条件比較結果をこのシフトレジスタにセットして、全条件の比較結果フラグのパターンから分岐を行うことにより、高速な多分岐動作を実行可能とした。また、特定の比較命令によって、2 個のソースオペランドの大小比較を行い、比較結果を毎回シフトすることにより条件比較結果の履歴を保持することも可能とした。

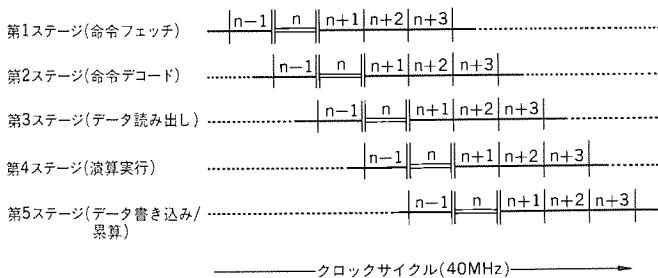


図8. DISPのパイプライン シーケンス

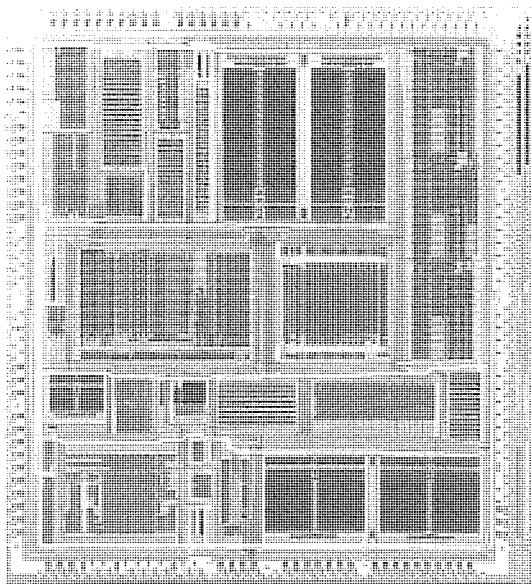


図9. DISPのチップ写真

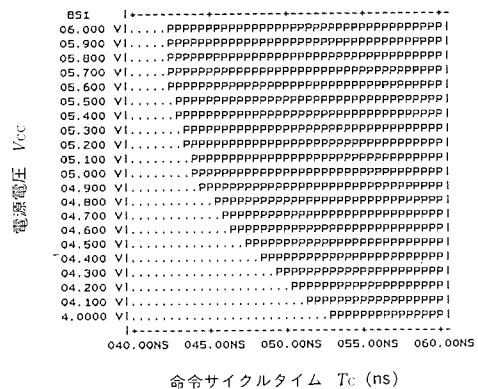


図10. 電源電圧に対する命令サイクル時間の評価結果

例えば、ビデオコーデックや画像処理によく用いられる二進木探索の際には、各探索ステップでノードのパスを順次記憶することで、探索パス全体を表すインデックスコードを効率良く生成することができる。

4. 高速化設計

4.1 パイプライン制御

DISPのパイプラインシーケンスを図8に示す。DISPは、50nsを1マシンサイクルとし、命令フェッチ、命令デコード、データ読み出し、演算実行、データ書き込み／累算の5段のパイプライン処理により命令コードに従った動作を実行する。

4.2 クロック設計

表2. DISPにおける低ビットレート符号化処理のベンチマーク結果*

■標準アプリケーション

- 512ポイント複素FFT 0.91ms
- トランスポータル フィルタ 50ns/tap
- エッジ強調 7.4ms
(3×3ラブリッシュン, 128×128×pixels)

■64Kビット ビデオコーデック

- 動き補償 345μs/MB
(3 step search)
- ブロック識別 24μs/MB
- ベクトル量化化 530μs/MB
(8進木探索)
- 可変長コーディング 65μs/MB

注 * : DISP1個による処理

MB : Macro Block

(輝度信号 : 16ビット×16ビット

色信号 : 8ビット×8ビット)

速度性能の向上に大きく影響するクロックのスキューを低減するために、3階層の階層化クロック設計を導入した。クロックジェネレータは、4相クロック発生器とチップの上下辺の中央に配置された2個の中間バッファで構成される。2個の中間バッファからのクロック幹線は、各ブロックに配置された分散バッファに入力とともにチップ中央部で短絡することにより、クロック幹線上のスキューを低減した。分散バッファのドライブ能力は、各ブロック内における負荷容量に応じて決定した。これらにより、チップ内部でのクロックスキューを±1nsに抑えることができた。

4.3 外部データメモリ インタフェース

外部データメモリ インタフェースは、24ビットのワード構成でDISPの外部に16Mワードのアドレス空間を設定する。外部アドレスバス端子は16ビット幅であり、16Mワード全体を利用する場合は24アドレス中の上位8ビットと下位16ビットが選択されて出力され、全体を利用しない場合は最後に出力された上位8ビットのアドレスで限定された64Kワード直接アクセス空間となり、下位16ビットのみが出力される。したがって、アドレス空間が64Kワードなら、1マシンサイクル(50ns)で転送が可能であり、それ以上は2マシンサイクルかけて上位アドレス8ビットと下位アドレス16ビットに分けて転送が可能なようにした。

5. LSI製造プロセス

使用したウェーハプロセスは、1.0μmルール、一層ゲート、二層メタル配線構造のCMOS技術である。デザインルール上の特徴は、MOSトランジスタのゲート長が、NMOS, PMOS共に $L=1.0\mu m$ であり、ほかにもコンタクト及びピアホールが、1.0μm径である。また、ASICに重要な配線部のデザインルールは、一層アルミ、二層アルミ配線のピッチを各々3.0μmと4.0μmに設定した。デバイス構造の特長は以下の3点である。

(1) 素子分離法の改良 (改良LOCOS法)

LOCOS法とは、シリコン窒化膜を耐酸化マスクとして、基板シリコンを選択酸化する方法であるが、この場合バーズピークの発生は不可避で、実効的な活性化領域は減少するという問題が起こる。今回用いた1.0μmプロセスでは、この耐酸化マスクとなるシリコン窒

表3. DISPの応用システム例

応用分野	アプリケーション	DISPでの処理内容
産業用画像処理	ME画像処理システム FA画像処理システム	CT用画像処理(コンボリューション, FFT) パターン計測, 認識, 各種フィルタ
ISDN	画像通信システム(TV会議, TV電話)	動画像/静止画像の高能率符号化 伝送路符号化
OA, CAD	EWS用グラフィックエンジン レーザプリンタ用エンジン 画像電子ファイルシステム	アフィン変換(拡大, 縮小, 回転), 画像合成 プリントフォント合成 画像データ圧縮(高能率符号化)
その他	デジタル画像処理システム マシンビジョンシステム	各種フィルタ, 画像合成, 生成等 特徴抽出, 画像認識, 理解

化膜等の膜厚を最適化することにより、バースピークの長さを約1/2~1/3に低減させることができた。

(2) PMOSのパンチスルー抑制

PMOSのゲート長も1.0μmとしたことで、パンチスルーによる耐圧劣化が問題となるが、V_{TH}制御のためのチャネルドープ条件を最適化することで、基板部分の不純物濃度を高めることなく、パンチスルーを抑制でき、高性能なPMOSを実現した。

(3) アルミ配線の信頼性確保

微細化に伴いMOSトランジスタの高性能化が進む一方、構造上の薄膜化は必須の項目である。そこで、アルミ配線の信頼性(主としてエレクトロマイグレーションによる断線対策)を確保するため、配線材料を従来のAlSiから、Cuを添加したAlSiCuに変更し、併せてより一層の平たん化を行うことで対処した。

DISPのチップ写真を図9に示す。13.8mm×15.49mmのチップ上に538Kトランジスタが集積されている。

6. 評価結果と応用

図10にLSIテストでのDISPの速度評価結果を示す。縦軸は、電源電圧、横軸はサイクルタイムT_cである。使用したテストパターンは、画像圧縮応用のベクトル量子化アルゴリズムのサンプルコーディングであり、測定時の周囲温度は75°Cである。電源電圧5Vの場合、T_c=44nsで動作することを確認した。

表2にDISPのベンチマーク結果を示す。一般的な応用として、512ポイントの複素FFTを0.91ms、トランスパーサルフィルタリングを50ns/tap、128×128画素の輪郭強調を7.4msで実行する。さらに、64Kbpsのビデオコーデックにおける動き補償は345μs/MB、ブロック識別は24μs/MB、ベクトル量子化は530μs/MBで処理でき、処理性能は市販の汎用DSPに比較して約10倍向上した。

表3にDISPの応用システムを示す。DISPは動き補償、予測符号化、ベクトル量子化(VQ)、離散コサイン変換符号化(DCT)等の処理を必要とする画像通信システムはじめとして、グラフィックス等の分野にも対応できる。

7. むすび

画像/映像信号処理に適した24ビット固定小数点方式、最大命令サイクル時間50nsの信号処理プロセッサDISPを開発した。以下に特徴的な項目についてまとめる。

- (1) ポートデータRAM(512ワード×24ビット×2), 命令RAM(512ワード×48ビット), プログラムシーケンサ等多くの機能を1チップに集積し、各種画像処理アルゴリズムに対する柔軟性を拡大するとともに、周辺部品点数を削減できた。
- (2) 並列バス構成、内蔵DMAコントローラ等徹底した並列アーキテクチャを用いたことにより、データハンドリング能力を飛躍的に向上させた。
- (3) 複合演算を1マシンサイクルで、実行可能な画像処理向きのデータ演算部を内蔵することにより、画像処理特有の信号処理の高速化を図ることができた。
- (4) 5段パイプライン処理と階層化クロック設計により、50ns以下の命令サイクル時間を実現でき、上記(2), (3)のアーキテクチャ上の特徴と合わせて高速スループットを達成した。

DISPの試作・評価により高速動作を確認し、高性能な画像/映像信号処理システムが実現できる見通しを得た。今後、幅広い分野での応用が期待できる。

参考文献

- (1) S. Nakagawa, et al.: A 50ns Video Signal Processor, ISSCC '89 Digest of Technical Papers, p.168 (1989-2)
- (2) T. Murakami, et al.: A DSP Architecture for 64kbps Motion Video Codec, Proc. ISCAS'88, p.227 (1988-6)
- (3) T. Murakami, et al.: A 24-bit DSP for Motion Video Codec and Software Development Support System, Proc. ICASSP '89, p.1929 (1989-4)

自動車用16ビットワンチップマイコン

城田省三* 宮田和明* 井上 功*
 村松菊男* 安達忠吉*
 田山俊明* 川崎忠義**

1. まえがき

自動車の性能向上、操作性向上あるいは安全性向上などを目的として、近年マイコンの採用をはじめとしたエレクトロニクス化が急速に進んでいる。例えばエンジン制御、トランスミッション制御、ブレーキ制御、ステアリング制御、サスペンション制御などあらゆるところにマイコンが使用されており、その役割はますます大きくなっている。これらの各種制御のなかでも、最もリアルタイム性を要求されるのがエンジン制御であり、“μs”単位の入出力信号を高速に制御する必要がある。

このようなシステム要求にこたえるため、我々は高速リアルタイム制御用マイコンM37790STJを既に開発・量産化している。このマイコンは、《MELPS 7700》シリーズの16ビットCPUをコアとし、16ビットタイマを中心とする強力なパルス出力制御／計測機能、10ビットA/D変換器、UARTなどをワンチップに集積している。

このM37790STJに続く第二段として、メモリ内蔵型のワンチップマイコンM37791E4TJを開発した。強力な16ビットタイマ、10ビットA/D変換器、UARTなどに加え32KバイトのワンタイムPROM及び1.25KバイトのRAMをワンチップに集積しており、高いシステムパフォーマンスを実現可能なリアルタイム制御用マイコンである。

2. 開発のポイント

自動車エンジン制御用マイコンとして要求される機能、品質を達成するため、M37791E4TJの開発においては特に以下の点に重点を置いて開発を行った。

(1) 高速な中央演算処理装置

三菱オリジナル16ビットマイコン《MELPS 7700》のCPUコアを採用し、高速な演算を可能とした。最短命令実行時間は500ns(発振周波数 8 MHz時)である。

(2) 強力なタイマシステム

複雑なパルス列を高速に入出力するため、16ビットタイマよりも多くのタイマシステムを搭載している。このタイマシステムは、アプリケーションソフトウェアの負荷を大幅に減らせるように考慮されており、既量産中のM37790STJのタイマシステムのサブセット構成となっている。

(3) 高精度A/D変換

各種アナログ信号を高精度に処理するため、10ビットA/D変換器(8チャネル入力)を内蔵している。

(4) 耐環境性

車載用マイコンとして要求される耐サージ性、耐ラッチアップ性などを向上させるため、ピン周辺部を中心としてパターンレイアウト上の配慮を行っている。

(5) 大容量内蔵メモリ

エンジン制御の高度化、統合化に伴い、より大容量メモリが必要となってきている。このような要求にこたえるため、最先端のウェ

ーハプロセスを採用することにより、ROM32Kバイト、RAM1.25Kバイトというワンチップマイコンとしては最大規模のメモリを内蔵した。特にROMとしては、ユーザーでの書き込みが可能なワンタイムPROMを搭載し、短納期生産、少量多品種生産というユーザーニーズにこたえられるようにしている。

(6) 高品質の作り込み

各機能ブロックごとに論理、パターンレイアウトの独立性を高めることにより、高品質の作り込みを行っている。論理のモジュール化によりテスト時の各モジュールの可制御性／可観測性を高め、テストベクタの質的向上を図っている。また、パターンレイアウトの独立性を高めることにより、モジュール相互の干渉を極力抑えるようしている。

3. M37791E4TJの性能概要

M37791E4TJの性能概要を表1に、ブロック図、メモリマップをそれぞれ図1、図2に示す。以下に各機能モジュールの概要説明を行う。

3.1 CPU

《MELPS 7700》のCPUは完全な16ビット構成となっており、16ビットデータの一括処理が可能である。また、プロセッサステータスレジスタ中のフラグm, xを変えることにより、演算データ長を8ビット／16ビットに切り替えることができるため、効率の良いデータ処理が可能となる。外部バスとの接続についても8ビット／16ビット切替え可能であり、システム構成に応じた使い分けが可能である。このバス幅の切り替えはBYTE端子によって行う。メモリ空間は16Mバイトあり、16ビットのプログラムカウンタと8ビットのプログラムバンクレジスタによりリニアにアクセス可能である。16Mバイトの空間は各々64Kバイトのバンクに分けて管理しており、PROM, RAM, タイマ, I/Oなどはバンク0に配置されている。

メモリアクセスを効率よく行うため、バスインターフェースユニット(BIU)を内蔵している。BIUは命令を先取りするための命令キュー、バッファ3バイトと、CPUがメモリをリード／ライトする場合に使用するデータバッファ2バイトよりなる。メモリのアクセスはCPUの動作速度の1/2の速度で行われるが、この間のタイミング調整をBIUが行う。

基本命令数は103、アドレッシングモードは28モードある。割り込みはベクトル方式で、20要因ある。このうちマスクアブル要因については7レベルの優先順位設定ができる、強力な割り込み処理が可能である。

3.2 周辺機能

M37791E4TJに搭載されているタイマシステムのブロック図を図3に示す。各タイマの機能からタイマA, タイマB, タイマC, タイマDの四つのグループに分けることができる。

(1) リアルタイム出力タイマ——タイマA——

8ビットプリスケーラ2本、16ビットリードレジスタ付きタイ

マ6本、及びこれらのタイマにより駆動される4ビットシリアルパルス出力6相により構成される。このパルス出力は、CPUの介在なしに出力を制御できるので、燃料噴射タイミング、噴射量などをリアルタイムに制御することが可能である。

(2) カスケードタイマータイマB—

内部、又は外部のクロック選択が可能な8ビットプリスケーラ1本、16ビットリロードレジスタ付きタイマ4本、及び4ビットシリアルパルス出力4相により構成される。2つのタイマはカスケード機能を持ち、更にタイマの起動を外部イベントにより制御すること

ができる。このタイマはエンジンの回転に同期した外部信号によって起動し、点火遅延時間、点火パルス幅などを制御する。

(3) 入力信号計測タイマータイマC—

内部、及び外部のクロック選択が可能な8ビットプリスケーラ2本、16ビットカウンタ2本、及び16ビット計測レジスタ2本から構成される。カウント値の捕捉は外部イベントによる場合とソフトウェアによる場合との切替えが可能である。このタイマは、速度検出、回転数検出、気筒判別などに使用される。

(4) フリーランタイマータイマD—

表1. M37791E4TJの性能概要

項目		性 能
基本命令数		103
命令実行時間		500ns (最短命令、クロック周波数8MHz時)
メモリ容量		PROM (ワンタイム) 32Kバイト RAM 1280バイト
入出力ポート		P0~P2, P4~P7 8ビット×7 P3 3ビット×1 P8 8ビット×1
アナログ入力ポート		リアルタイム出力タイマ 16ビット×6 カスケードタイマ 16ビット×4 入力信号計測タイマ 16ビット×2 フリーランタイマ 16ビット×1
PWM		8ビット×2
A/D変換器		10ビット×1 (8チャネル)
シリアルI/O		(UART、又はクロック同期形)×2
監視タイマ		12ビット×1
割り込み		29要因 マスクアブル要因は各要因ごとにレベル0~7までの割り込み 優先レベルが設定可能
クロック発生回路		内蔵 (セラミック共振子、又は水晶共振子外付け)
電源電圧		5V ±10%
消費電力		50mW
動作周囲温度		M37791E4J -20~75°C M37791E4TJ -40~85°C
メモリ拡張		可能 (最大16Mバイト)
素子構造		CMOS高性能シリコンゲート
パッケージ		84ピン PLCC

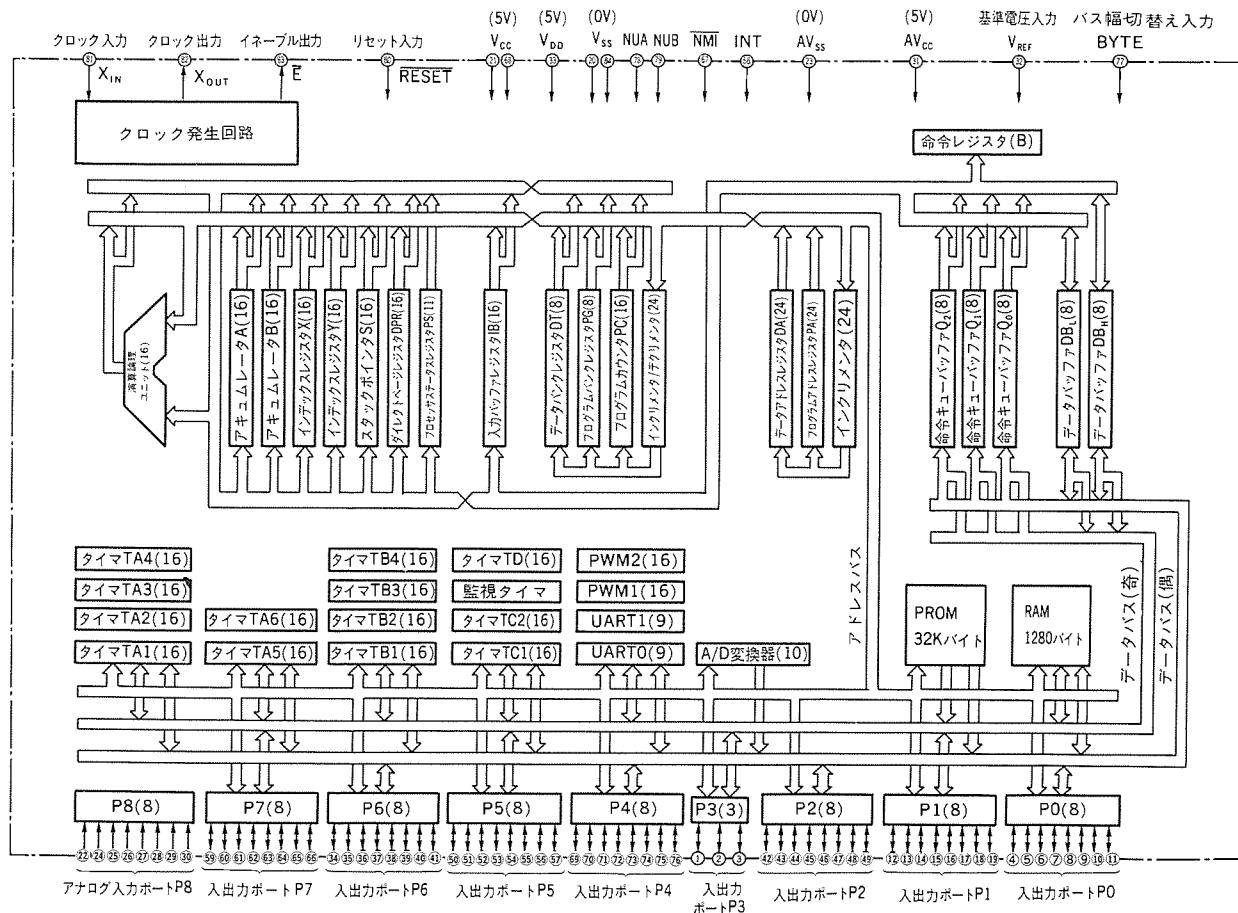


図1. ブロック図

プロセッサ/コントローラ

16ビットダウンカウンタ及び16ビットリロードレジスタからなる単機能タイマであり、タイマアンダーフローにより割り込み要求を発生する。

シリアルI/Oは2本あり、それぞれ非同期型(UART)，クロック同期型の選択が可能である。非同期型のデータフォーマットは7ビット，8ビット，9ビットの3とおりある。1ストップビット／2

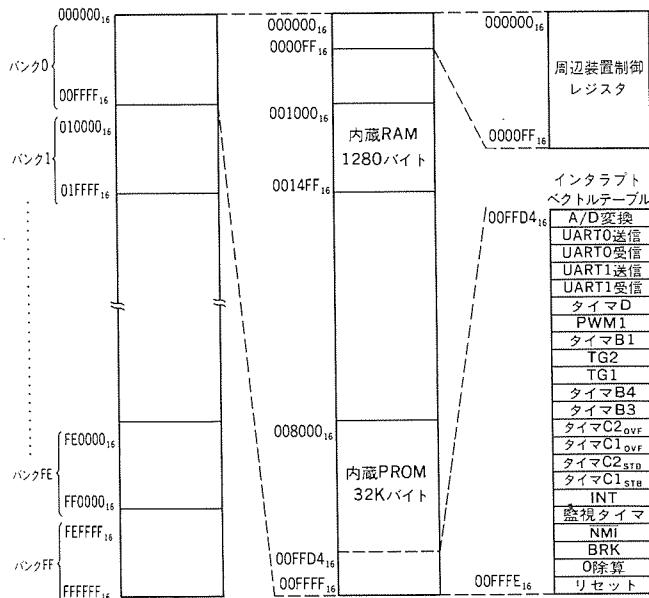


図2. メモリ配置図

ストップビットの選択，パリティビットの有無の選択，奇数パリティ／偶数パリティの選択が可能である。なお，送信，受信ともバッ

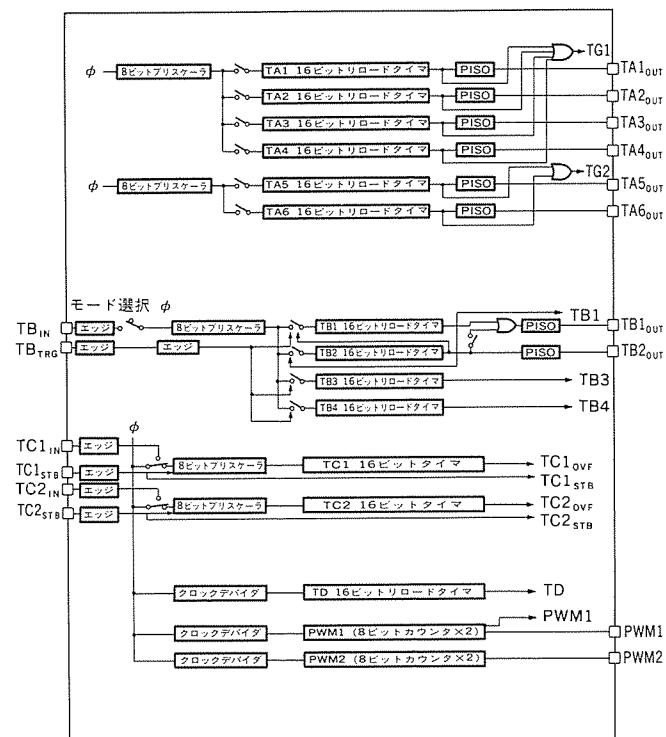
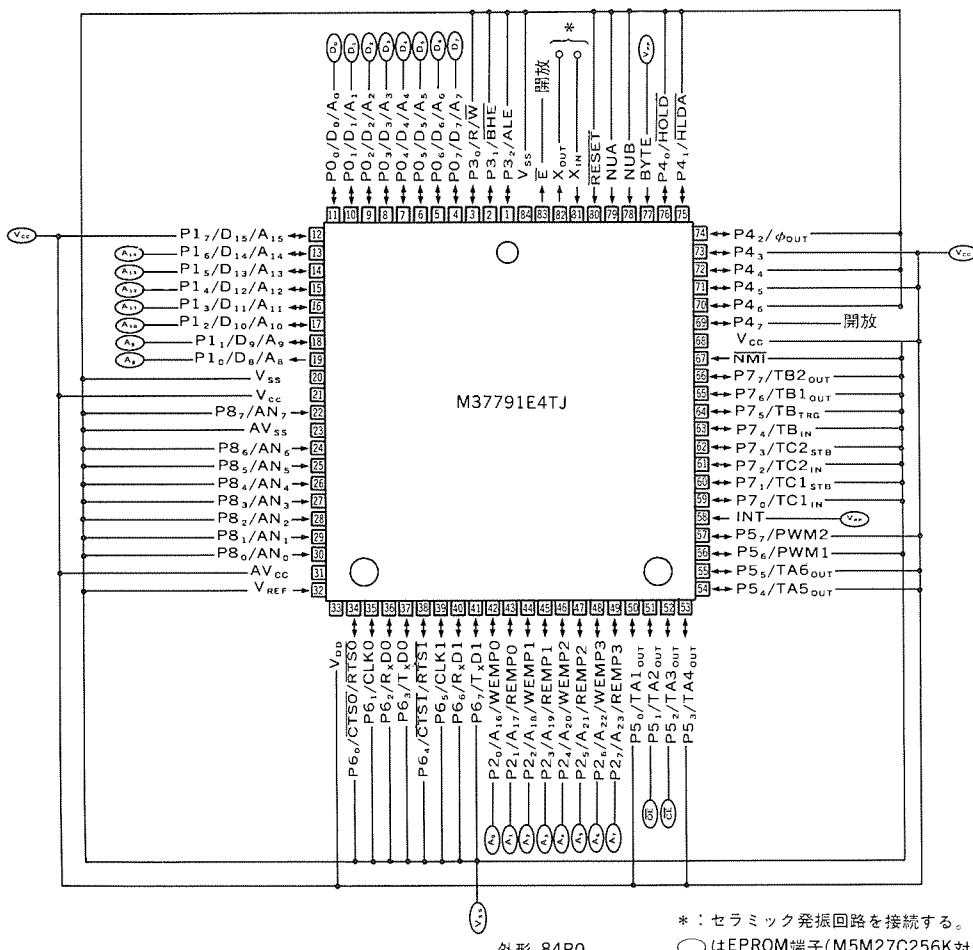


図3. タイマ系ブロック図



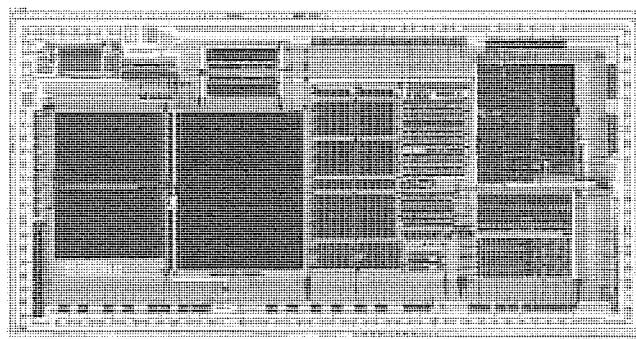


図 5 . M37791E4TJのチップ写真

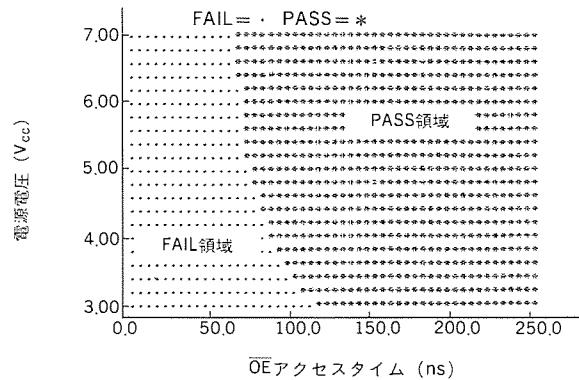
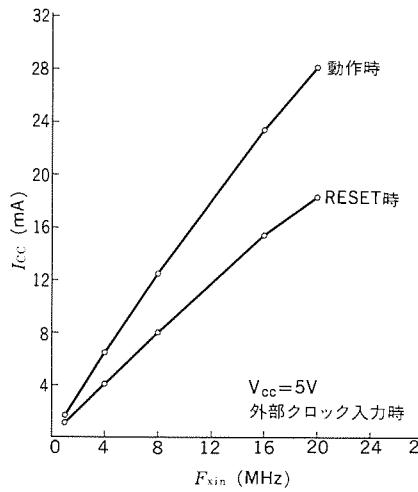


図 6 . 内蔵PROMのアクセスタイム

図 7 . F_{xin} - I_{cc} 特性図 8 . A/D変換特性 ($V_{REF} = 5.12V$)

ファレジスタを持っているので送信、受信を独立に行うことができる。

A/D変換器は10ビット逐次近似方式で、入力は8チャネルある。変換を終了すると割り込み要求を発生する。高精度化を達成するために内部の動作タイミングを工夫しており、デジタル部の発生する過渡電流雑音を極力低減している。

3.3 EPROMモード

M37791E4TJは、マイコンとしての通常の動作モード（シングルチップモード、メモリ拡張モード、マイクロプロセッサモード）以外に内蔵PROMへ書き込み、読み出しを行うためのEPROMモードを持っている。市販のEPROMライタが使用可能なように、EPROMモードでは外部端子は汎用のEPROM (M5M27C256K) と同一機能になるようにしている。図4にEPROMモード時の端子結線図を示す。

RESET端子を“L”にすることによりEPROMモードになる。EPROMモードでは、ポートP1, P2がアドレスの入力端子となり、ポートP0がデータの入出力端子になる。ポートP5₂, P5₁がそれぞれCE, OE端子となり、INT端子及びBYTE端子がV_{PP}端子になる。84ピンPLCCパッケージから28ピンDIPへ変換アダプタを準備しており、変換アダプタ上に図4のような接続がされているので、実際に内蔵PROMのリード／ライトを行う場合には、この変換アダプタをEPROMライタに差し込むだけよい。

なお、PROM書き込み後、マイコンとして動作させる場合は、PROMは内蔵メモリとして扱われる所以、偶数番地をアクセスした場合は2バイト同時にアクセスされる。

3.4 プロセス技術

M37791E4TJは、ウェーハプロセスとして $1.3\mu m$ ルールの高信頼度CMOSプロセスを採用している。EPROM部以外はCMOSで構成し、EPROM部は2層ゲート構造のNチャネルFAMOSで構成している。車載用マイコンとして要求される長期信頼性、対環境性向上させるため、ウェーハプロセス中でも高信頼度の作り込みを行い信頼性を高めている。

M37791E4TJのチップ写真を図5に示す。14.70mm×7.49mmのチップサイズに約50万個のトランジスタを集積している。レイアウト方法はビルディングブロック方式であり、各機能ブロック間の配線はジェネラルセルルータにより行い、開発期間の短縮を図っている。チップ周辺部のレイアウトについては、特にデザインルール面での配慮を行い、対サージ性、対ラッチアップ性を向上させている。

4. 電気的特性

M37791E4TJは、動作モードの一つとしてEPROMモードを持っている。EPROMモードにおいては外部からみた場合汎用のEPROMと等価になる。図6にEPROMモードにおけるOEアクセスタイムのshmoo-plotを示す。電源電圧が5VのときOEアクセスタイムは約75nsである。CEアクセスタイムもほぼ同等な値であり、非常に高速なアクセスタイムを持っている。マイコンとして最速(8MHz)で動作させた場合でも、十分に余裕のあるアクセスタイムである。その他の特性に関しては、汎用のEPROMとほぼ同等な特性を持っており、EPROMライタでの読み出し／書き込みに関しては全く問題なく行えるようになっている。

図7にマイコンとして動作させた場合の発振周波数対動作電源電流特性を示す。回路上の低消費電力化の工夫により、8MHz動作時の電源電流は約12mAと小さく抑えている。

図8に内蔵されている10ビットA/D変換器の変換特性の一部を示す。回路上の工夫、及びパターンレイアウト上の工夫により高精度化を達成している。

5. エンジン制御への応用

M37791E4TJを6気筒ターボチャージャ付きエンジンの制御に適

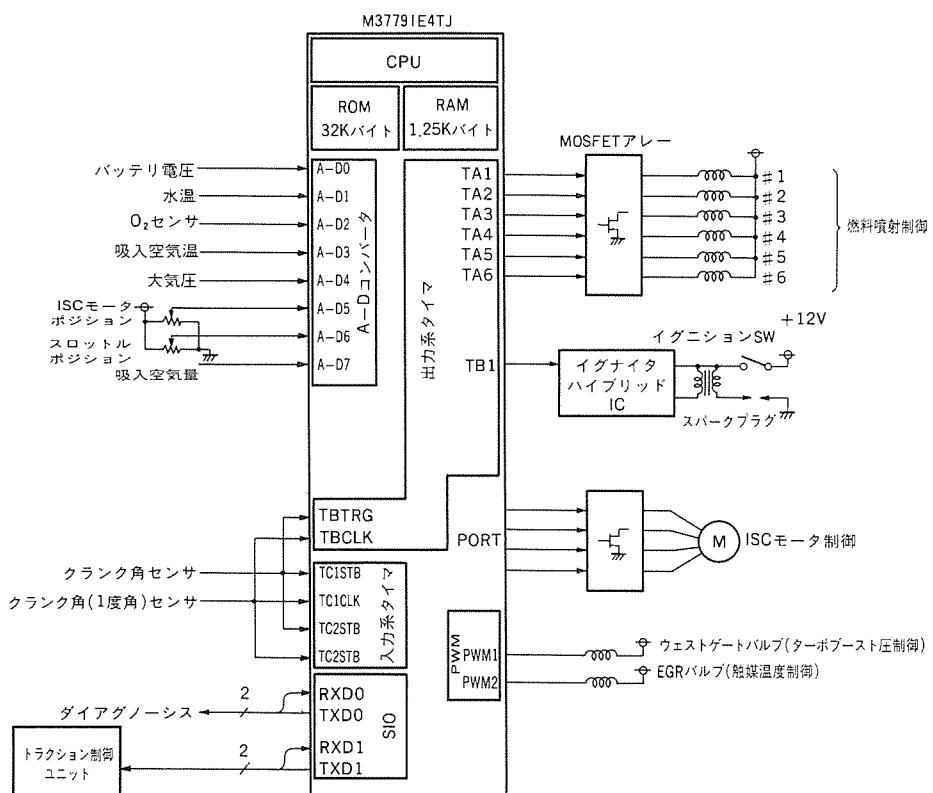


図9. 6気筒ターボチャージャ付きエンジンへの適用例

用した例を図9に示す。

エンジンは、“燃焼”という一種の化学反応を利用して運転者の望むトルクを得るものである。そのためエンジン制御用マイクロコンピュータは、吸入空気量や大気圧、冷却水温、バッテリ電圧、エンジン回転周期、位相などに応じて最も排ガスに含まれる有害物質の量が少なく、かつ燃焼効率の良い燃料の量と点火タイミングを求めるながら、スロットル(アクセル)の状態をモニタすることで得た運転者の意志をより早くエンジン出力に反映できるよう補正を加えて、実際に噴射する燃料の量と点火タイミングを決定している。

この例では、エンジンを制御する上で必要なアナログパラメータは、A/Dコンバータでディジタル値に変換している。特に、吸入空気量やスロットル開度の計測精度は、制御精度に大きな影響を及ぼすため、10ビット精度の分解能が必ずしも必要となっている。

また、エンジン制御に必要なディジタルパラメータ(エンジン回転周期、気筒判別信号)は、計測型のタイマTCを用いて自動的に周期、パルス幅を計測し、ソフトウェア負担を軽減している。

上記の方法で計測の完了したパラメータを用いて、ROM内に置かれている燃料噴射制御用及び点火制御用マップを参照し、それぞれ燃料噴射タイミングと点火制御タイミングを決定している。

さらに、燃料噴射出力時間を生成する出力制御型タイマTA及び点火コイルの通電時間と点火タイミングを生成する出力制御型タイマTBに、上記の制御マップにより求めた値を設定することで、各々のタイマは必要時期まで待った後、所用時間のパルスをμsの精度で自律的に出力し、燃料噴射と点火タイミング制御が遂行される。

このほか、M37791E4TJが持つ2チャネルのPWM機能のうち、1チャネルは排ガス中のNO_xを低減するための触媒の温度コントロール用電磁バルブ(EGRバルブ)の制御のために用いられ、残り1チャネルはターボブースト压制用電磁バルブに用いられている。これらの電磁バルブにおいては、機械的共振及び流体力学的応答遅れを考慮しその周期及び分解能が決定されるが、M37791E4TJのPWM機能はこれに幅広くこたえている。

エンジン制御の最近の動向として、自己診断機能(ダイアグノース)の強化と、他制御ユニット(トランスマッシャンユニットあるいはトラクション制御ユニット等)との通信機能の強化が挙げられるが、本例においても診断信号出力用及び他制御ユニットとの通信用に2チャネルのシリアルI/Oが用いられている。

このようにM37791E4TJは、4から6気筒クラスの高出力エンジン制御に最適の機能を持っている。

6. む す び

最先端の高信頼度CMOSプロセスを使用して、ROM容量32Kバイト、RAM容量1.25Kバイトを内蔵したリアルタイム制御用16ビットワンチップマイコンを開発した。強力なパルス出力制御/計測機能、高精度A/D変換器を持つM37791E4TJは、自動車エンジン制御のみならず高度なリアルタイム制御を要求される産業機器制御に最適なマイコンである。

今後ともこの開発で培った技術をもとにして、より高機能、高品質なワンチップマイコンシリーズを開発していく予定である。

DMAコントローラ内蔵高性能 16ビット ワンチップマイコン

山崎貴志* 中村充善*
新村健太郎** 松永毅彦*
清水 康* 山内直樹*

1. まえがき

複写機、プリンタ、タイプライタ、ファックスなどのOA機器、あるいはロボット、シーケンサ、計測器の制御などOA／産業用機器制御用マイコンとして、高速・高性能16ビットマイコン《MELPS7700》を開発し、量産している。このシリーズは、最先端CMOSプロセスの採用や、バスインターフェースユニットの採用などにより、最短命令実行時間0.25μs（発振周波数16MHz動作時）、16Mバイトの大メモリ空間、タイマ、シリアルI/Oなど数々の高機能周辺装置を内蔵しているなど、優れた特徴を持っている。

OA機器分野、特に、複写機やファックスなどにおいては、更に高速に大量のデータを扱えるマイコンが要望されている。これらのニーズにこたえるため、《MELPS7700》ファミリーの一員として、CPUを使わずに直接メモリ間でデータの転送を行うDMA（ダイレクトメモリアクセス）コントローラとダイナミックRAMを直接制御する機能を持つDRAM（ダイナミックランダムアクセスメモリ）コントローラを内蔵したM37720S1FP/S1AFPを開発したので、その製品概要、新機能の特徴などについて紹介する。

2. 開発の背景

16ビットマイコン《MELPS7700》は、高速（最短命令実行時間0.25μs）、16Mバイトの大メモリ空間、高機能な周辺装置の内蔵などの特徴を持ち、OA機器制御、産業機器制御に最適なマイコンとして開発された。このシリーズには、マスクROM 16Kバイト、RAM 512バイトを内蔵するM37700M2-×××FPとその高速版、マスクROM 32Kバイト、RAM 2Kバイトを内蔵するM37700M4-×××FPとその高速版、さらにマスクROMの代わりに客先で自由に書き込みや消去ができるEPROMを内蔵した品種や、一度だけ書き込みができるワンタイムPROM内蔵版など、既に多くの品種を開発している。

近年、OA機器の分野では、複写機やファックスなどディジタル化が急速に進んできた。これらの機器では、ディジタル化されたデータを大量に扱い、しかも高速に処理する能力が必要になってくる。それを実現するために、CPUを使わずにメモリーメモリ間で、高速に直接データのやり取りをする転送機能が必要になってきた。

また、DRAMを直接接続できることもこの分野での有効な機能であるといえる。

今回、これらの要望にこたえて、《MELPS7700》ファミリーの一員として、DMAコントローラ、DRAMコントローラを内蔵した高機能16ビットマイコンM37720S1FP/S1AFP（以下、M37720S1とする。）を開発した。

3. M37720S1の概要

M37720S1の性能概要を表1に、ブロック図を図1に、チップ写真を図2に、ピン配置図を図3に示す。

表1. M37720S1FP/S1AFPの概要

項目	性能
基本命令数	103
最短命令実行時間	250ns (クロック入力16MHz時) 500ns (クロック入力8MHz時)
メモリ容量	RAM 512バイト ROM外付け
入出力ポート	CMOS出力形式 53ビット (8ビット×6+5ビット×1)
タイマ	高機能タイマ 16ビット×5+16ビット×3
シリアルI/O	(非同期型又はクロック同期型) ×2
A-D変換器	8ビット×1 (8チャンネル)
監視タイマ	12ビット×1
割り込み	外部割り込み3、内部割り込み20 割り込み優先レベル7
DMAコントローラ	4チャネル
DRAMコントローラ	8ビット×1リフレッシュカウンタ内蔵 CASビフォアRASリフレッシュ方式
リアルタイムパルス出力	4ビット×2チャネル
クロック発生回路	内蔵(セラミック共振子又は水晶発振子外付け)
電源電圧	5V
入出力特性	入出力耐圧5V 出力電流5mA
メモリ領域	16Mバイト
動作周囲温度	-10～+70°C
素子構造	CMOSシリコンゲート
パッケージ	100ピン プラスチックモールド フラットパッケージ

3.1 C P U

《MELPS7700》シリーズのCPUは16ビット構成で、演算も16ビット単位で行うことができ、必要に応じて処理ビット数を8ビットにも切り替えることができる。また、外部バスとの接続は、BYTE端子によって8ビットから16ビットのバス幅に切り替えることができる。メモリ空間は16Mバイトの大メモリ空間を持っている。《MELPS7700》では、メモリアクセスの効率化のため、バスインターフェースユニットを内蔵している。バスインターフェースユニットは、命令を先取りする3バイトの命令キューバッファと、データを一時的に格納する2バイトのデータバッファを持っている。このユニットにより、CPUはメモリをアクセスするとき、バスインターフェースユニットとのやり取りだけを行うだけで済み、メモリアクセスによって生じるCPUの速度の低下を少なくできる。

割り込みは、これまでの割り込み要因に加えて、DMAコントローラからの割り込み要因四つを含む内部20要因、外部3要因、計23要因を持つ。

3.2 周辺機能

M37720S1は、《MELPS7700》シリーズに共通の16ビットタイマを計8本持っており、機能によってタイマAとタイマBに分かれる。タ

プロセッサ/コントローラ

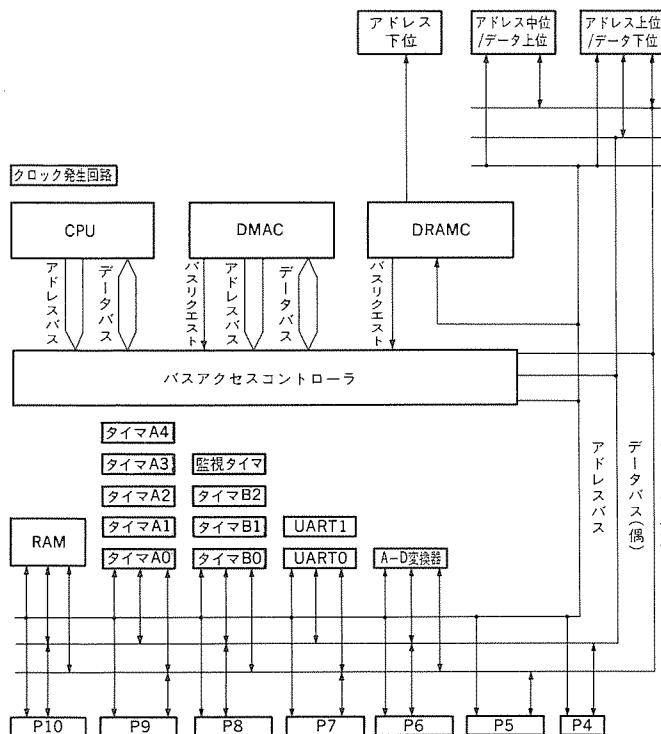


図1. M37720S1ブロック図

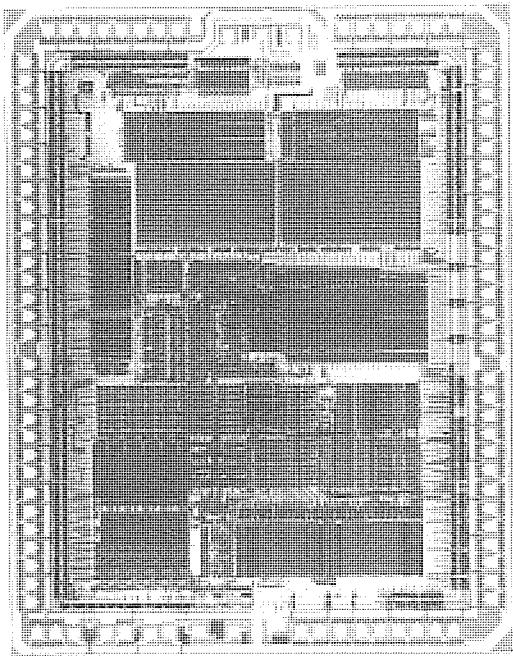


図2. M37720S1チップ写真

イマAは、タイマ、イベントカウンタ、ワンショットパルス出力、PWM(パルス幅変調)出力の4種類の機能を持ち、タイマBは、タイマ、イベントカウンタ、パルス周期／幅測定の3種類の機能を持っている。ただし、タイマA0、A1、B2は、制御用の端子を持つタイマ機能としてのみ動作する。

シリアルI/Oは2本内蔵しており、非同期型(UART)、クロック同期型のどちらかを選択できる。

A-D変換器は、8ビットの逐次比較方式で入力は8チャネルあ

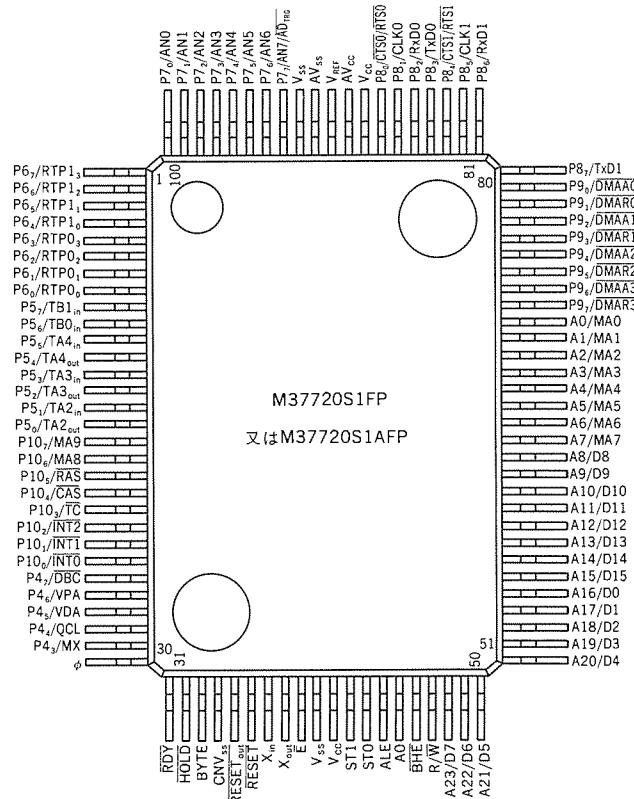
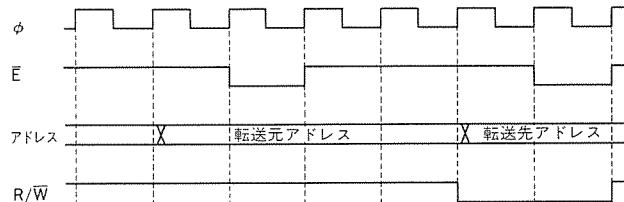
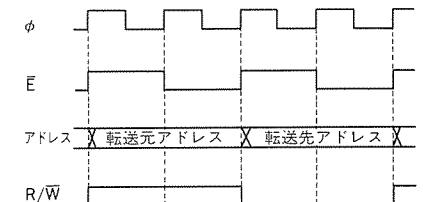


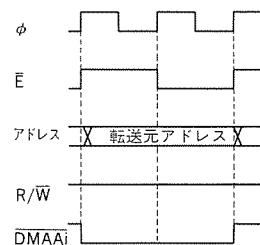
図3. M37720S1FP/S1AFPピン配置図



(a) MVN命令による転送



(b) DMAによる転送(2バスサイクル転送)



(c) DMAによる転送(1バスサイクル転送)

図4. 転送サイクル比較

り、単発、繰り返し、単掃引、繰り返し掃引の4種類のモードを持っている。単掃引と繰り返し掃引の場合は掃引するチャネル数を2, 4, 6, 8チャネルの中から選択できる。

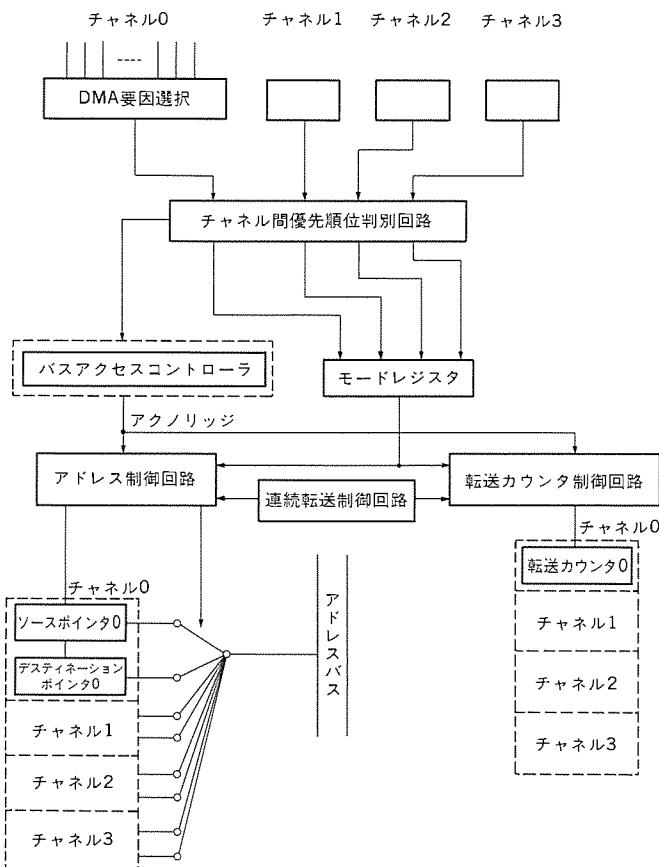


図 5. DMA コントローラ ブロック図

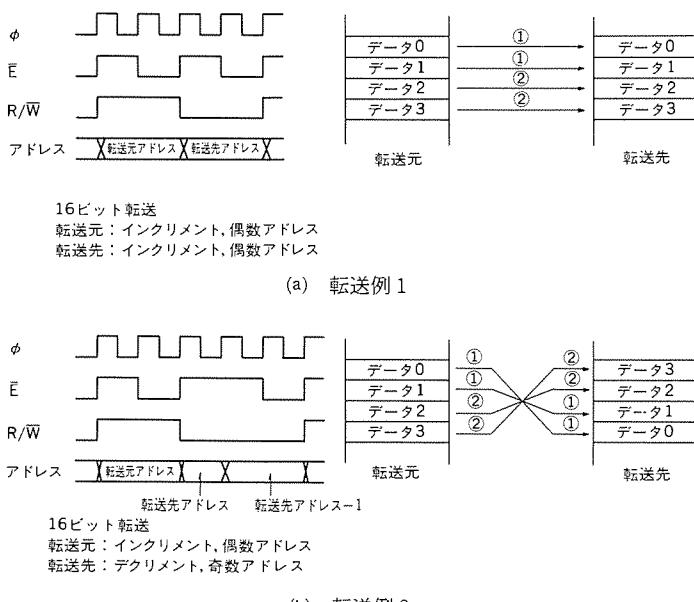


図 6. DMA 転送例

4. DMA コントローラ

4.1 DMA コントローラ 概要

ある番地のデータを他の番地へ転送する場合、転送元のデータをCPUで読み出し、次にそのデータを転送先の番地にCPUで書き込むという2段階の動作で実行していた。しかし、これでは大量のデータを転送しようとする場合に、1データごとにこの読み出し・書き込み動作を繰り返すため多くの時間を要する上、プログラムで工夫

して効率的に転送を行うなどソフトウェアに対する負担も軽くはなかった。《MELPS7700》シリーズでは、ブロック転送命令として MVP, MVNを持っており、このような大量のデータを転送する動作を1命令で実行できる。しかし、この命令を使っても図4の(a)に示すように、2バイトの転送に最低でも動作クロックの7サイクル分(16MHz時、875ns)を必要とする。

DMAコントローラ(以下、DMACと称す。)とは、メモリからメモリへ、メモリからI/Oへ、あるいはI/Oからメモリへのデータ転送をCPUを使うことなく、高速に行なうことを目的としたデータ転送制御装置である。図5にM37720S1のDMACのブロック図を、図6にDMA転送例を、図4の(b)と(c)にDMA転送における1回の転送サイクルの例を示す。図4において(b)の例は、データの読み出しのバスサイクルとデータの書き込みのバスサイクルの二つで行われ、2バスサイクル転送という。(c)の例は、データの読み出しのバスサイクルだけを行う1バスサイクル転送の例である。この場合、書き込み先は、DMAAIという応答信号によりチップ選択され、データバス上に読み出されたデータを受け取る。M37720S1では、2バスサイクル転送と1バスサイクル転送を各チャネルごとに選択できるようにした。

図4の例からも分かるように、2バイトの転送に(a)のブロック転送命令では最低でも動作クロックの7サイクル分を必要とするが、(b)の2バスサイクル転送では4サイクル分で済み、更に(c)の1バスサイクル転送では2サイクル分しか必要としない。このように、DMACを使うとこれまでに比べ非常に高速にデータを転送することができる。

M37720S1は内部に、CPUとDMACという共通のアドレスバス、データバスを使用するユニットを二つ持っている。また、DRAMのリフレッシュというデータ再生のバスサイクルが入るときは、両ユニットの動作を停止するなどの制御が必要である。M37720S1は、これらの制御を行なうために、バスアクセスコントローラという制御装置を内蔵した。CPUとDMACは、図1のように対等の位置関係にあり、それぞれバスアクセスコントローラによってアドレスバス、データバスに接続されている。リセット解除後は、これらのバスは、CPUに接続されており、DMACは停止状態になっている。DMA転送要求が入ることによってCPUは停止し、DMACが起動し、バスをDMACに接続する。転送の終了などによってDMA転送要求が無くなると、再びDMACは停止し、CPUが再び起動し、バスをCPUに接続する。また、DRAMコントローラからのデータの再生の要求があれば、CPUとDMACを共に停止し、リフレッシュサイクルを挿入するという動作を行う。このように、バスアクセスコントローラは、DMACやDRAMコントローラやCPUなどのバスアクセスを統括する役目を持っている。

M37720S1に内蔵したDMACの概要を表2に示す。DMAのチャネルは4チャネルあり、転送速度は、2バスサイクル転送の場合、最高4Mバイト/s、1バスサイクル転送になると最高8Mバイト/sでの高速転送が可能である(16MHz動作時)。

M37720S1は、チップ内部にタイマやA-D変換器などの周辺機能を内蔵している。DMACは、これらの周辺機能からのDMA要求信号を受け付けることができる。DMA要求要因として、タイマA0、タイマA1、タイマA2、タイマA3、タイマA4、タイマB0、タイマB1、タイマB2、A-D変換器、シリアルI/O0の送受信、シリアルI/O1の送受信の計13つおりがある。また、各チャネルごとに

プロセッサ/コントローラ

表 2. DMAコントローラの概要

項目	性 能
チャネル数	4チャネル
転送単位	16ビット／8ビット
最高転送速度	8Mバイト／s (1バスサイクル転送時) 4Mバイト／s (2バスサイクル転送時)
転送方式	1バスサイクル転送 (メモリ \longleftrightarrow I/O) 2バスサイクル転送 (メモリ \longleftrightarrow メモリ)
転送モード	パースト／サイクルスチール
最大転送バイト数	16Mバイト
ソースポインタ	24ビット
デスティネーションポインタ	24ビット
転送カウンタ	24ビット
転送方向	各チャネル、ソース、デスティネーションごとに ・インクリメント ・固定 ・デクリメント の中より選択
転送要求	内部要因13,外部要因1,ソフトウェアトリガ1
連続転送	リピート、アレーチェーン、リンクアレーチェーンの3種類を用意
優先順位	固定型、回転型の2種類

持つDMA要求入力端子(DMAR1)からの入力によるDMA要求も選択可能である。このようにDMA要求の選択の幅を広くとっており、四つのチャネルに独立にDMA要求要因を設定できるため、同じDMA要求要因で複数のチャネルに同時に要求を立てることも可能である。

DMAチャネル間の優先順位は固定型と回転型の2種類から選択することができるようとした。固定型は、優先順位を固定にしたもので、チャネル0を最も優先し、チャネル1、チャネル2、チャネル3の順位で優先順位を定めている。DMA転送のチャネル同志の優先順位を予め決めておく必要がある場合に有効である。回転型優先順位は転送を行っていたチャネルの転送が終了した時点で、そのチャネルの優先順位が最も低くなるように優先順位を回転させる。図7(a)に示すようにリセット解除後は、固定型優先順位と同じ優先順位になるようにしている。チャネル0の転送が終了すると、図7(b)のように優先順位を回転させ、チャネル1を最優先として、転送が終了したチャネル0を最下位にする。次にチャネル2の転送が終了すると、図7(c)のように再度優先順位を回転させ、チャネル3を最優先とし、転送が終了したチャネル2を最下位にする。このようにチャネルの転送が終了するごとに優先順位を回転させることにより、すべてのチャネルが平等の優先順位を持ち、1つのチャネルばかりに集中するという心配がなくなる。

M37720S1のDMACは、転送元の番地を指し示すソースポインタと呼ぶ指標レジスタと、転送先の番地を指し示すデスティネーションポインタと呼ぶ指標レジスタと、これから転送しようとするバイト数を示す転送カウンタをそれぞれ各チャネルごとに持っている。これらはすべて24ビットで構成されている。

連続転送は、3種類のモードを持っており、用途により各チャネルごとに設定可能とした。

リピート転送モードは、転送カウンタの値が0になると、ソースポインタ、デスティネーションポインタに最初設定した値で再度同じ転送を繰り返すモードである。

基本的には転送に必要なデータは、転送元の先頭番地、転送先の先頭番地、転送バイト数の三つである。

アレーチェーン転送モードは、これらの転送に必要なパラメータ

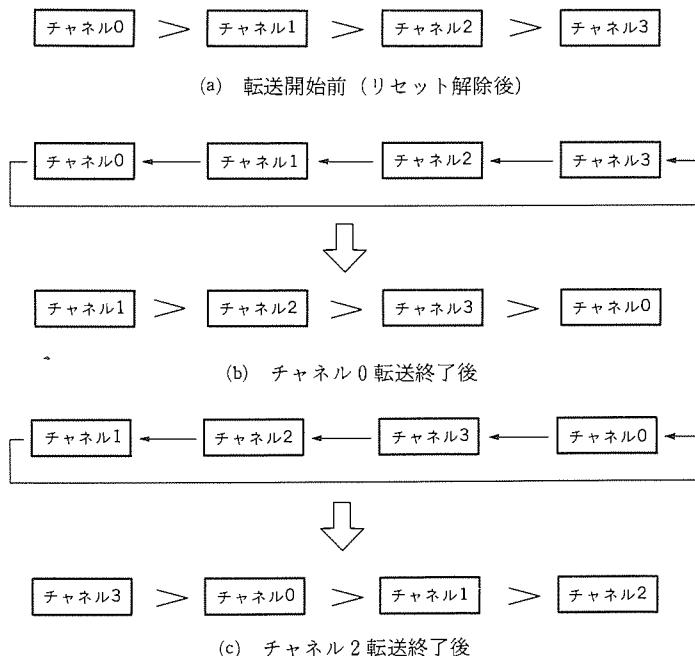
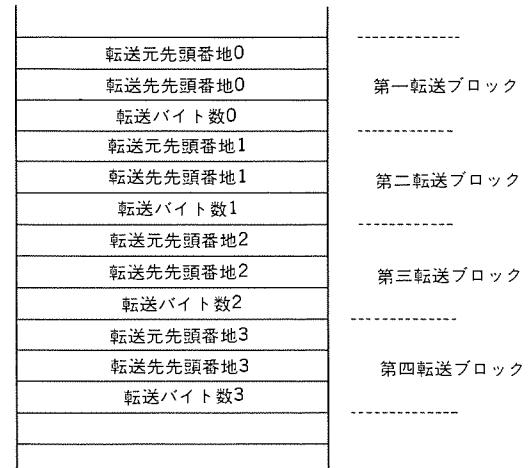
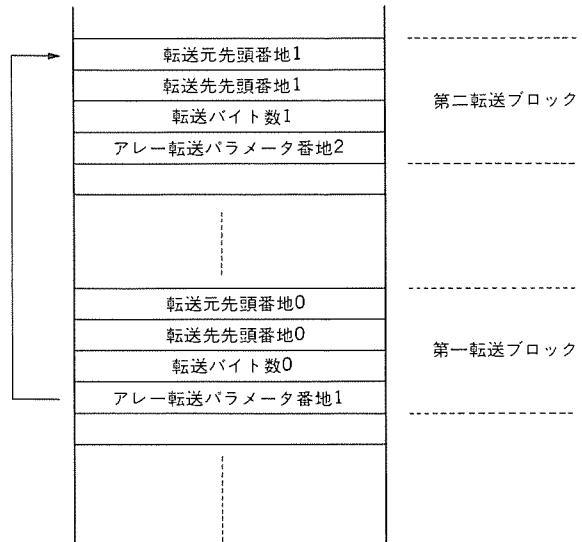


図 7. 回転型優先順位



(a) アレーチェーン転送時



(b) リンクアレーチェーン転送時

図 8. アレー転送パラメータメモリ

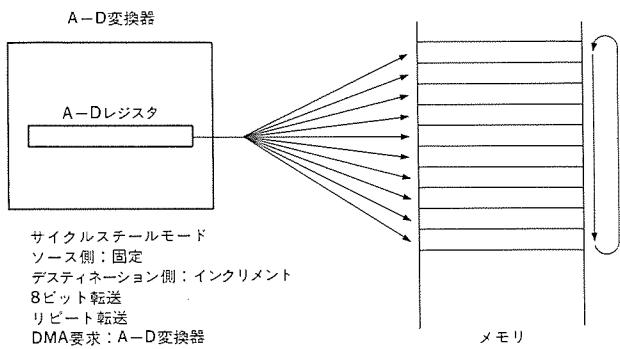


図9. A-D変換器との応用例

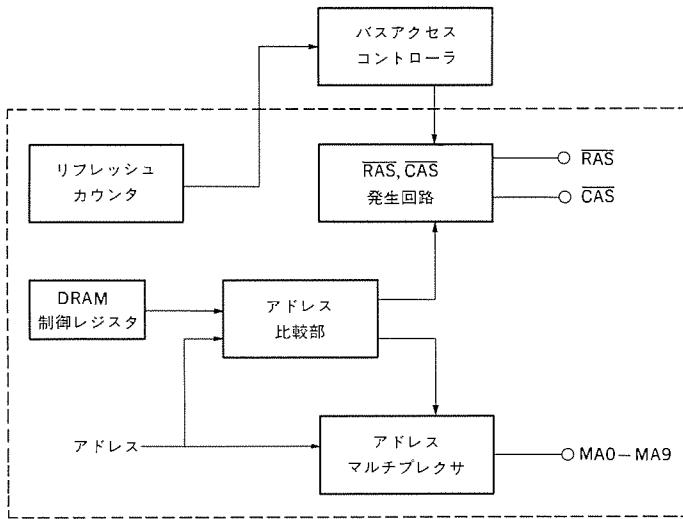


図10. DRAMコントローラブロック図

を図8の(a)のように予め順にメモリに書いておき（このメモリをアレー転送パラメータメモリと呼ぶ。），そのパラメータをソースポインタやデスティネーションポインタ，転送カウンタへ読み出し，その読み出したパラメータを基にDMA転送を行うという連続転送モードである。アーチェーン転送では，転送要求を受け付けると，まず第1回目の転送パラメータをアレー転送パラメータメモリから順次読み出し，その設定条件で，第1回目のDMA転送を開始する。転送カウンタの内容が0になり，第1回目のDMA転送が終了すると，再び第2回目の転送元のアレー転送パラメータを転送パラメータメモリから読み出し，その設定条件で第2回目のDMA転送を開始する。このようにして，複数のDMA転送を連続的に，しかも1チャネルのみで実行することができる。

リンクアーチェーン転送モードは，基本的にはアーチェーン転送モードと同じだが，アレー転送パラメータメモリを分散して配置することができるモードである。したがって，図8の(b)のように，アレー転送パラメータメモリには，転送元の先頭番地，転送先の先頭番地，転送バイト数のほか，次のアレー転送パラメータメモリの先頭番地を入れておく必要がある。しかし，転送パラメータをメモリの空き番地を利用して入れておくことができるため，メモリ空間の有効活用に役立つ。このように，アーチェーン，リンクアーチェーン転送では，一たん転送パラメータの設定を行えば，その一つのチャネルだけで，複数の異なる設定のDMA転送を連続的に実行することができる。

DMA転送の方法として，一たんDMA要求を受け付けると，転送を終了するまでバスをCPUへ返還しないバースト転送と，DMA要

求信号が入ると1転送単位（1バイトまたは2バイト）だけ転送した後，バスをCPUに返還するサイクルスチール転送がある。

M37720S1のDMACは，この両方の転送方法を備えており，転送モードとして，ユーザーが自由に選択できるようにしたため，用途に応じた幅広い活用が考えられる。

4.2 DMACの応用

このように，M37720S1のDMACは数多くの機能やモードを持っている。そこで，外部に接続するメモリやI/O間でのデータ転送のみでなく，《MELPS7700》シリーズが内蔵している周辺機能と組み合わせることによって様々な応用が可能である。

A-D交換を行うと，A-D変換器のA-Dレジスタにはアナログ入力をA-D変換した値が入る。図9のようにA-D変換器からのDMA要求を選択し，サイクルスチールモードでA-Dレジスタの値を順に内部RAMへ転送することによって，CPUとは無関係に，A-D変換値を複数回RAMに蓄えておくことができる。さらに，リピート転送モードを使用すれば，A-D変換が終了するごとにRAMを新しいデータに書き換え，しかも，それらの動作を繰り返すため常に最新のA-D変換データをRAMに記憶しておくことができる。

このように，DMACの内蔵によって，周辺機能の使いみちも更に広がる。

5. DRAMコントローラ

DRAMは，コンデンサに電荷を蓄えることによってデータを記憶する。そのため，一定期間ごとに，データを再生する必要がある。また，アクセスの方法もSRAMやROMなどと異なり，複雑な制御が必要となる。まず第一に，アドレス入力ピンが多重化されているため，アドレスを時分割する必要があるということ。第二に，時分割されたアドレスをラッチするためのタイミング信号であるRAS(ロー アドレス ストローブ)とCAS(カラム アドレス ストローブ)を発生することである。

M37720S1は，チップ内部にこれらの制御を行うDRAMコントローラを内蔵している。DRAMコントローラのブロック図を図10に示す。

DRAMコントローラは，大きく分けて次の四つのブロックから成り立っている。

- (1) リフレッシュカウンタ
- (2) アドレス比較部
- (3) RAS, CAS発生部
- (4) アドレスマルチプレクサ

5.1 リフレッシュカウンタ

DRAMは，前述のように一定期間ごとにデータを再生する必要がある。リフレッシュカウンタは，8ビットのタイマで構成されています。入力クロックは，発振クロックの2分周したものを使っているので，データの再生をする間隔を細かく設定することができる。

5.2 アドレス比較部

M37720S1のDRAMコントローラは，アドレス比較部を内蔵し，そのアドレスがDRAM領域であるかどうかを自動的に判断できるようにしている。DRAM領域は，プログラムにより，後ろ詰めで1Mバイトから15Mバイトまで1Mバイト単位で自由に選択できるようにした。アドレス比較部は，その時のアドレスと設定されたDRAM領域とを常に比較し，もしアクセスしようとするアドレスがこの領域内にあれば，RAS, CAS発生部とアドレスマルチプレクサへ制御

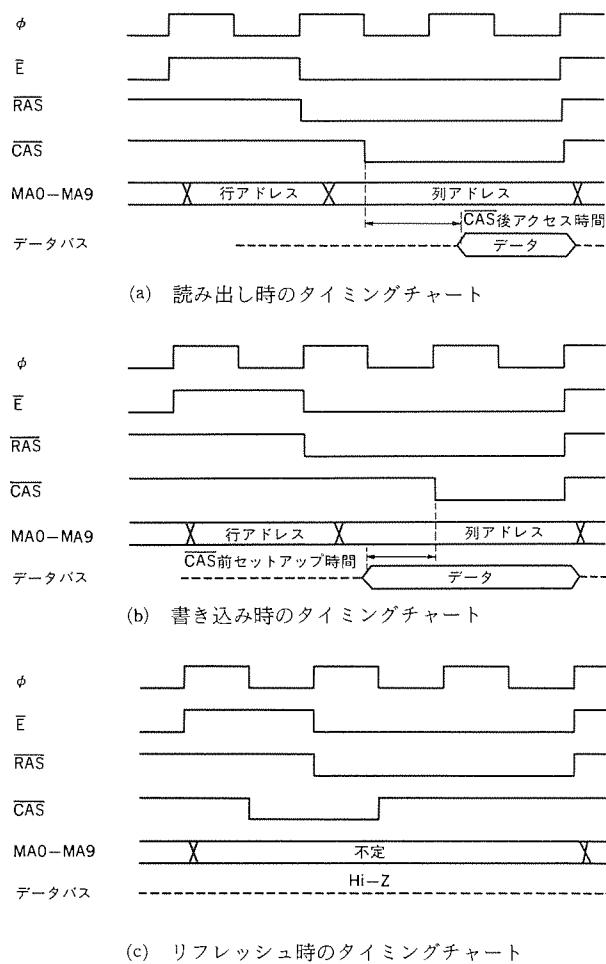


図11. DRAMコントローラタイミング

表3. DRAMアクセス時の時分割

	通常バス	AD0	AD1	AD2	AD3	AD4	AD5	AD6	AD7	P10 ₁	P10 ₂
	DRAMアクセス	MA0	MA1	MA2	MA3	MA4	MA5	MA6	MA7	MA8	MA9
外部 8ビット	行アドレス	AD0	AD1	AD2	AD3	AD4	AD5	AD6	AD7	AD16	AD18
	列アドレス	AD8	AD9	AD10	AD11	AD12	AD13	AD14	AD15	AD17	AD19
外部 16ビット	行アドレス	AD16	AD1	AD2	AD3	AD4	AD5	AD6	AD7	AD18	AD20
	列アドレス	AD8	AD9	AD10	AD11	AD12	AD13	AD14	AD15	AD17	AD19

信号を送り、RAS, CASの信号を発生するとともに、アドレスを時分割して出力する。

5.3 RAS, CAS発生部

RAS, CAS信号は、それぞれ行アドレス、列アドレスをラッチする信号である。RAS, CAS信号の発生タイミングを図11に示す。読み出し時にはデータのアクセス時間を取るためにCASの立ち下がりを早くし、書き込み時には、データのセットアップ時間を得るために、立ち下がりを遅くしている。

リフレッシュは、CASビフォアRASリフレッシュ方式を採用している。CASビフォアRASリフレッシュとは、CASの立ち下がりをRASより早くすることによって再生を行う方法で、リフレッシュカウンタからの要求を受けて、RAS, CAS発生回路で、図11の(c)のようなタイミングを発生する。

5.4 アドレスマルチプレクサ

DRAMコントローラは、その時のアドレスがDRAM領域内にあれば、アドレスの下位8ビットの出力端子A0/MA0～A7/MA7とDRAMコントローラ用端子P107/MA9, P106/MA8に時分割されたアドレスを出力する。時分割の仕方は、外部のバスの接続によって8ビットバスの場合と16ビットバスの場合とで異なる。M37720S1FP/S1AFPのマルチプレクスの仕方を表3に示す。8ビットの場合は、AD0からAD19まで、16ビットの場合はAD1からAD20までを時分割して出力する。DRAMのサイズにかかわらずDRAMコントローラが使用できるように、例えば、256KビットのDRAMの場合は、MA0からMA8までを使用するため、外部8ビットバスではMA8にAD16とAD17を配置し、外部16ビットバスでは、AD17とAD18を配置した。一方、1MビットのDRAMの場合は、MA0からMA9までを使用するため、外部8ビットバスではMA9にAD18とAD19を配置し、外部16ビットバスでは、AD19とAD20を配置している。

6. むすび

このように、今回開発したM37720S1FP/S1AFPは、《MELPS7700》シリーズの高速性、多機能性に加え、大容量メモリを処理するのに適したDMAコントローラ、DRAMコントローラを内蔵したので、産業用機器制御、特に大容量メモリを扱うOA機器分野に最適のマイコンであるといえる。例えば、複写機、プリンタ、ファックス、ワープロをはじめ、HDDやFDDへの応用も考えられる。しかも、従来複数のチップを使って構成していたシステムを、DMAコントローラや、DRAMコントローラの内蔵により、ワンチップで構成することも考えられ、機器のコスト低減、高密度実装が可能になる。

今後、《MELPS7700》シリーズは、メモリ容量の変更や、他の周辺機能の取り込みなどで機種を拡充するとともに、更に高速化を進めしていく予定である。

MUSE/NTSCコンバータ用LSI

岡田圭介* 水谷芳樹***
中村雅彦** 矢澤信春*
村上謙二**

1. まえがき

MUSE (MUltiple sub-Nyquist Sampling Encoding) 方式⁽¹⁾によるハイビジョンの実験放送が本年6月から毎日実施されており、ハイビジョン放送の実用化への動きが加速されている。ハイビジョン放送を現行のNTSC (National Television System Committee) 受像機で受信するには、MUSE方式からNTSC方式への信号の変換が必要となる⁽²⁾。この方式変換器であるMUSE/NTSCコンバータは、大容量のRAM、複数のROMとラインメモリを含む総計100万以上のトランジスタを用いて構成される。システムの小型化と低価格化を実現するにはLSI化が必須であり、ハイビジョン実験放送の開始に合わせた早期開発が望まれていた。

このような背景のもとで、MUSE/NTSCコンバータの主要機能である映像信号処理部の方式変換用専用LSI5チップと、これらのLSIを搭載したMUSE/NTSCコンバータを開発した。

本稿では、開発したコンバータの変換処理の概要及び5種類のチップのLSIの機能と構成について述べる。

2. MUSE/NTSCコンバータの変換処理

ハイビジョン放送を全国ネットで行うには、衛星放送が有利と考えられている。ハイビジョンの情報量は、現行NTSC方式の5倍以上あり、放送衛星の1チャンネルを用いて伝送するためには帯域の圧縮が必要となる。MUSE方式は、この要求にこたえるものとして開発された帯域圧縮方式で、図1に示される信号伝送形式をとる。

帯域圧縮されたMUSE信号をハイビジョン受像機で受信する際には、専用のMUSEデコーダが必要となる。このMUSEデコーダは画像の静止部分に対してはフィールド間及びフレーム間の内挿により、また動き部分に対してはフィールド内内挿により画像の再構成を行うことで高精細な画像を得ている。これに対し、開発したMUSE/NTSCコンバータでは、回路規模及びコストの面を考慮して、フィールド内内挿のみによる画像の再構成を行った。

MUSE方式とNTSC方式では走査線数とアスペクト比が異なっており、MUSE方式からNTSC方式への変換にはこの2項目の変換処理が必要である。走査線数の変換とはMUSE方式の1,125本の走査線数をNTSC方式の525本の走査線数に減らすことで、ディジタルフィルタによる内挿演算と間引きの処理で実現した。アスペクト比の変換は、MUSE方式のアスペクト比が16:9であり、NTSC方式のアスペクト比が4:3であるため必要となる。アスペクト比の変換に対し、ハイビジョン画像の全画像を変換してNTSC受像機の上下に映像のない部分を付加して横長で表示するワイドモードと、ハイビジョン画像の両端の画像を切り捨て中央部の画像のみを変換してNTSC受像機に表示するズームアップモードの2種類の変換モードを考えた。この2種類の変換モード（ワイドモードとズームアップモード）におけるアスペクト比の変換と走査線数の変換処理の概要を述べる⁽³⁾。

2.1 ズームアップモード

MUSE信号をNTSC信号に変換する映像信号処理部の構成を図2に示す。図中のハッチで示した部分はワイドモード処理に必要な部分で、これについては次節で述べる。

ズームアップモードにおける変換処理は、以下のように行った。MUSE信号を量子化レベル8ビット、標本化周波数16.2MHzによってデジタル化する。この結果図1に示すように、MUSE信号からは1水平走査期間（以下、1ラインという。）に480サンプル（Y: 374, C: 94, HD: 11, BLANK: 1）そして1フレームに走査線1,125本分の情報が得られる。このうち、1ライン当たり320サンプ

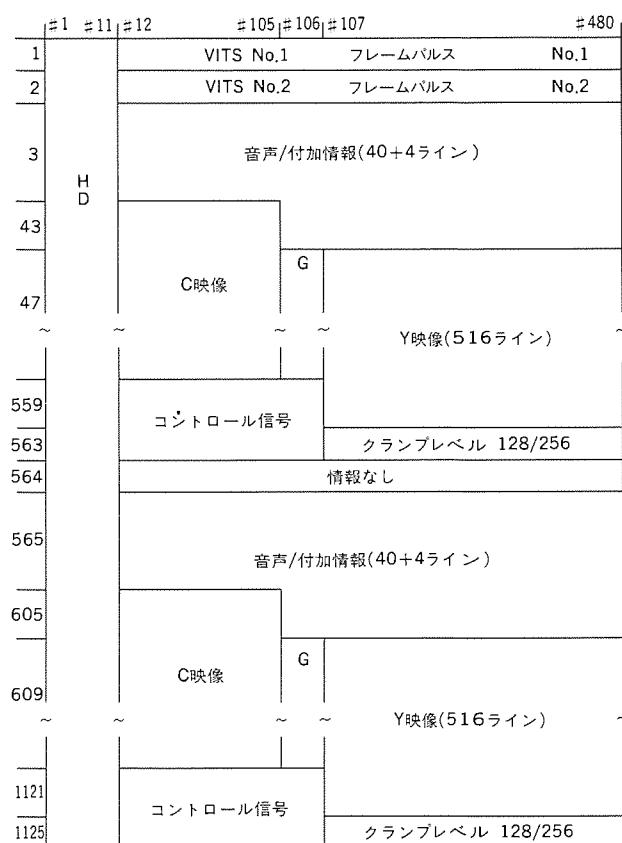


図1. MUSE信号の伝送形式

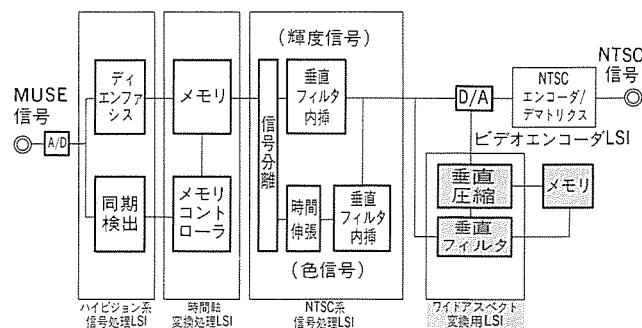


図2. MUSE/NTSCコンバータ映像処理システム

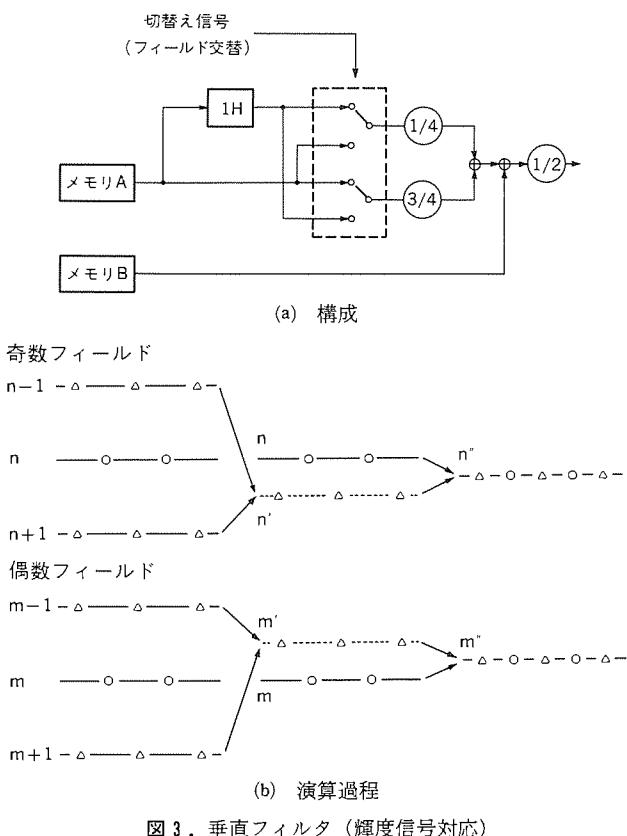


図3. 垂直フィルタ（輝度信号対応）

ル (Y: 256, C: 64) と 1 フレーム当たり走査線 1,050 本分の情報をメモリに書き込む^④。

書き込みクロック周波数は 16.2MHz である。メモリに記憶された情報は、書き込みクロックと非同期のクロックで読み出される。読み出しクロック周波数として、NTSC 信号の水平走査周波数である 15.75 kHz を基準とした $320 \times 15.75\text{kHz} = 5.04\text{MHz}$ を選択することにより、メモリに書き込まれた MUSE 信号 1 ラインの画像情報を NTSC 信号 1 ラインの画像情報に時間軸変換する。

時間軸変換された 1,050 本の走査線の画像情報をから NTSC 方式のフレーム当たりの走査線数である 525 本の画像情報を生成する演算を、垂直フィルタで行う。輝度信号に対する垂直フィルタは、2 本の走査線の情報を 1 本の走査線の情報を生成することで、走査線数の半減を行う。図 3 に垂直フィルタの構成と演算の過程を示した。このフィルタの係数値である 1/4 と 3/4 は、フィールドごとに交互に切り替える。これはフィルタで処理された信号が、インタレースの関係を保つようになるためである。また、図 3 の演算過程で示すように、垂直フィルタでは内挿処理も同時に実行し、この結果、帯域圧縮された信号が伸長される。

一方、色信号は二つの色差信号 (R-Y 信号と B-Y 信号) として時間圧縮され、輝度信号のプランニング期間に色差線順次で多重される。これらの色信号に対して輝度信号から分離されたあとで同時に処理を施し、輝度信号と同様の内挿演算 (タップ数と係数は異なる) を行う。

これらの信号処理により、フレーム当たり 525 本の走査線を持った輝度信号と二つの色差信号が得られる。輝度信号の帯域は約 5 MHz で、色信号の帯域は約 1.2MHz である (現行 NTSC 方式における輝度信号と色信号の帯域は各々約 4.2MHz と約 1.5MHz である)。

2.2 ウィドモード

ハイビジョン画像の全画像を変換する ウィドモード は、前節のズ

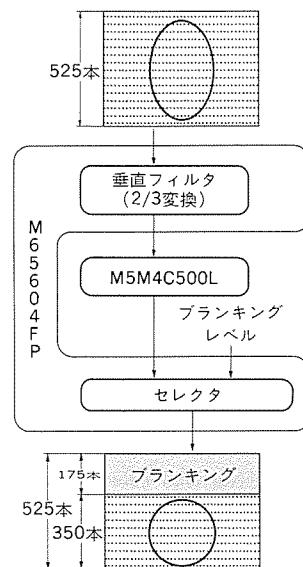


図4. 垂直圧縮の処理過程

ームアップモードの変換処理を少し変更するとともに、新たに垂直フィルタを追加することで実現した。

ワイドモードでは、MUSE 信号の 1 ラインのすべての画像情報を 468 サンプルがメモリに 16.2MHz のクロックで書き込まれる。メモリに記憶された情報は、書き込みクロックと非同期の読み出しクロックで読み出されるが、読み出しクロック周波数をズームアップモード時に使用した 5.04MHz ではなく $468 \times 15.75\text{kHz} = 7.37\text{MHz}$ とした。この時間軸変換処理は 16:9 のアスペクト比をもつハイビジョン画像を 12:9 (4:3) のアスペクト比をもつ NTSC 方式の画像として水平方向に押し込む処理となるため、得られる画像は縦長となる。この縦長画像を更に垂直方向に圧縮して 16:9 のアスペクト比の画像に復元するために、走査線数を減らす垂直フィルタが新たに必要となる。

この垂直フィルタは、525 本の信号に対し 3 本の走査線から 2 本の走査線を生成する演算をフィールド内処理で行うことによって実現した。輝度信号用垂直フィルタは、タップ数の異なる 2 種類のフィルタから成り、フィールドごとに交互に使用する構成とした。これは変換された信号がインタレースの関係を保つようになると同時にフィールドごとの周波数特性を合わせることが目的である。

フィールドメモリを FIFO (First In First Out) 動作させることによって、走査線が 2/3 に間引かれた画像データを垂直方向に圧縮する。さらに、間引かれた 1/3 相当の走査線をプランニング部分として付加することによって、アスペクト比の復元を実現した。この処理過程を図 4 に示す。

また色信号用垂直フィルタは、輝度信号の場合のように 2 種類のフィルタをフィールドごとに切り替える方式とはせずに、1 種類のフィルタのみで構成した。輝度信号の帯域は約 7MHz で、色信号の帯域は約 1.7MHz であり、ズームアップモードと比較して広帯域になる。

3. LSI 仕様

映像信号処理部を LSI 化するに際し、次に示す点を考慮してチップ分割を行った。走査線数とアスペクト比の変換を行う基本機能部分は、専用標準 LSI としてとらえセルベース手法を用い開発した。また、この基本機能部分は 2 種類のクロック周波数で動作することと

メモリ容量が大きいことから、安定動作保証と面積そしてテストの容易性を考慮して3種類のディジタルLSIに機能を分割した⁽⁵⁾。

2章で述べたワイドモードの処理過程については、他の処理も考えられ、現在のところ専用標準LSI化には時期尚早であり、ワイドモード処理にのみ必要な垂直フィルタは独立したLSIとしてゲートアレーを用いて開発した。また、ビデオエンコーディングは汎用性を考慮してNTSC系のあらゆる現行テレビに接続可能な出力を持たせ、アナログLSIとしてチップ開発を行った。本章では、開発したLSIの機能や構成について述べる。

3.1 映像系ディジタル信号処理部

今回、LSI化を図ったMUSE/NTSCコンバータの映像系ディジタル信号処理部は図2に示されるとおり、①ハイビジョン系の速度で信号処理を行うハイビジョン系信号処理LSI(M65601FP)、②NTSC系の速度で信号処理を行うNTSC系信号処理LSI(M65602FP)、③ハイビジョン系とNTSC系のデータレートを変換する時間軸変換処理LSI(M65603FP)、④ワイドモード信号出力に変換するワイドアスペクト変換用LSI(M65604FP)の4品種のLSIで構成される。

図2において、受信されたMUSE信号はA/D変換された後にハイビジョン系信号処理用M65601FPに入力される。そしてMUSE信号から映像データを取り出し、時間軸変換処理用M65603FPに出力するとともに、他のLSIへの制御信号も同時に生成する。この制御信号によって、所望のデータだけを時間軸変換処理用M65603FPのメモリに書き込むことにより、4:3へのアスペクト比の変更とズームアップとワイドの二つのモードの切り替えが行われるようにした。

データレート変換は、書き込んだ映像データをNTSC系の速度で読み出すことで実現した。NTSC系信号処理用M65602FPは、走査線数の変換及びフィールド内内挿と色信号の時間伸長を行う。次項以降でそれらのLSIの各々について個々の機能や構成について述べる。

3.1.1 ハイビジョン系信号処理LSI(M65601FP)

M65601FPの主な機能は、映像データのディエンファシス変換、MUSE信号の入力レベル変動に対してA/D変換器を安定に動作させるALC(Auto Level Control)、フレームパルスの検出と位相誤差検出である。加えて他のLSIへの制御信号もROMにより生成する。表1(A)はM65601FPの主な構成要素をまとめたものである。表に示されるように4種類のワード長からなる五つのROMが内蔵されているが、これらはすべてROMジェネレータを用いて自動生成したものである。

他のランダムロジック部については動作速度と回路規模を考慮して、マニュアルレイアウト、シンボリックレイアウト及び標準セルを用いた自動レイアウトの中から各部に最適と考えられる設計手法を選択した。チップレベルにおける各機能ブロック間の配線は、自動配置配線により行った。図5にチップ写真及び主な機能ブロック名を示す。

3.1.2 NTSC系信号処理LSI(M65602FP)

M65602FPの主な機能は走査線数の変換であり、1,050本から525本の走査線数にする。時間軸変換処理用M65603FPからの映像データについて輝度信号の内挿処理と色信号(色差信号)の時間伸長と内挿を行う。表1(B)は、M65602FPの主な構成要素をまとめたものである。表に示されるように3種類のワード長からなる八つのラインメモリと2種類のワード長からなる二つのROMを内蔵している。ROMはジェネレータを用いて作成し、ラインメモリについては既開

表1. セルベース手法を用いた3種類のLSIの構成要素

(a) ハイビジョン系信号処理LSI(M65601FP)

機能ブロック名	主構成要素名	設計手法	サイズ
ディエンファシス変換	ROM	ジェネレータ	1024語×8ビット 512語×8ビット
	全加算器	シンボリック	9ビット
ALC	ROM	ジェネレータ	128語×8ビット
	U/Dカウンタ	シンボリック	12ビット
フレームパルス検出	シフトレジスタ	マニュアル	480段×1ビット
位相誤差検出	全加算器	シンボリック	8ビット
制御信号生成	ROM	ジェネレータ	512語×8ビット 2048語×8ビット
	カウンタ	シンボリック	12ビット

(b) NTSC系信号処理LSI(M65602FP)

機能ブロック名	主構成要素名	設計手法	サイズ
色信号内挿・伸長	ラインメモリ	マクロセル	240語×8ビット 120語×8ビット
	全加算器	シンボリック	8ビット
輝度信号内挿	ラインメモリ	マクロセル	480語×8ビット
	全加算器	シンボリック	8ビット
制御信号生成	ROM	ジェネレータ	512語×8ビット 2048語×8ビット
	カウンタ	シンボリック	12ビット

(c) 時間軸変換処理LSI(M65603FP)

機能ブロック名	主構成要素名	設計手法	サイズ
データレート変換	RAM	ジェネレータ	4096語×8ビット
1ライン遅延	ラインメモリ	マクロセル	480語×8ビット
制御信号生成	カウンタ	シンボリック	12ビット

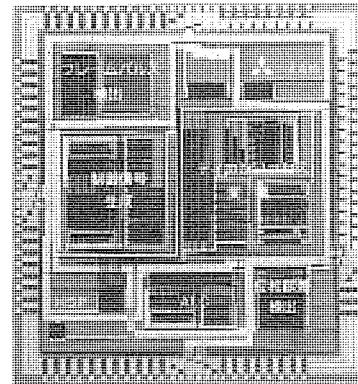


図5. M65601FPチップ写真

発済のマクロセルのワード長を人手で変更した。なお、このラインメモリマクロセルは、ワード長を簡単に変更できる構成となっている。

ランダムロジック部は、ハイビジョン系信号処理用M65601FPと同様にマニュアルレイアウト、シンボリックレイアウト及び標準セルの自動レイアウトの中から各部に適した方法を選択した。チップレベルにおける各機能ブロック間の配線は自動配置配線を用いて行った。

図6にチップ写真及び主な機能ブロック名を示す。

3.1.3 時間軸変換処理LSI(M65603FP)

M65603FPの主な機能は、ハイビジョン系からNTSC系へのデー

タレート変換とアスペクト比の変換である。データレートの変換はメモリの書き込みと読み出しを同期のクロックで行い、アスペクト比の変換はハイビジョン系信号処理用M65601FPからの制御信号により所望の映像データだけをメモリに書き込むことで行った。

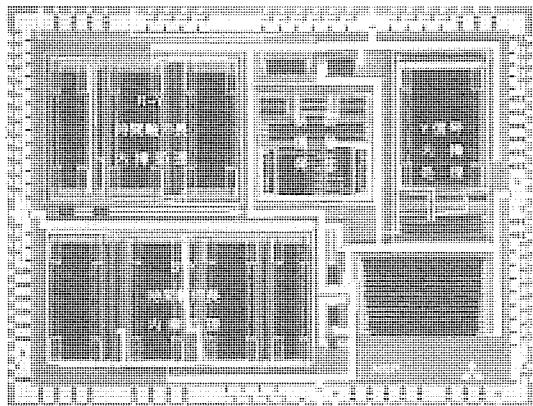


図6. M65602FPチップ写真

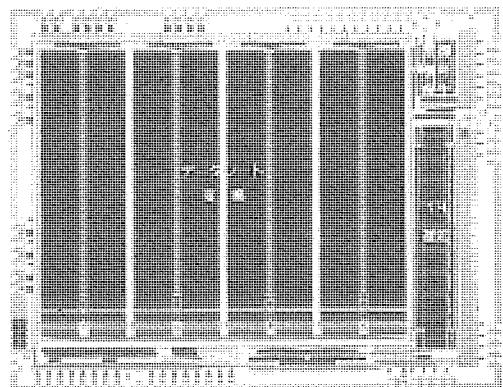


図7. M65603FPチップ写真

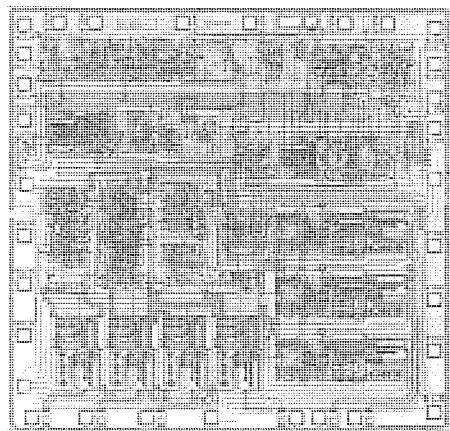


図8. M51295SPチップ写真

表1(C)に示すようにM65603FPの主な構成要素は、128KビットのRAM、ラインメモリとアドレスカウンタである。RAMはジェネレータを用いて自動生成した。ラインメモリは、NTSC系信号処理用M65602FPと同様にマクロセルのワード長を変更して用いた。内蔵されたRAMは128Kビットと大容量であるため、一つのRAMとして自動生成した場合にはビット線やワード線長の増大による遅延が問題となる。このため、1,024W×32ビットのRAMを四つ用いる構成とした。他のランダムロジック部は標準セル及びシンボリックレイアウトにより作成した。

クロック発生回路はデータレート変換を行うため、ハイビジョン系の16.2MHzとNTSC系の10.08MHz(ワイドモード時には14.742MHz)の2系統を内蔵した。チップレベルにおける各機能ブロック間の配線は、大容量メモリ内蔵によるチップサイズの増大と2系統のクロック間の相互干渉がないように考慮し、マニュアルでレイアウトを行った。

図7にチップ写真及び主な機能ブロック名を示す。

3.1.4 ワイドアスペクト変換用LSI (M65604FP)

M65604FPの主な機能は、垂直フィルタ処理とプランギング挿入とワイドモード/ズームアップモードの切替え処理及び輝度信号の水平と垂直の輪郭補償処理である。NTSC系信号処理用M65602FPから出力される色差信号は、輝度信号に比べて情報量が1/4であるため、R-Y信号とB-Y信号の時間多重を行った後、さらに色差信号の上位ビットと下位ビットの時間多重を行った。その結果、図4に示す外付けのフィールドメモリ(M5M4C500L)において、1/4に時間圧縮されていた色差信号の情報と輝度信号の情報を同じクロック周波数によって処理することを可能とした。

また、ワイドモード時の画面上下にプランギングを挿入する機能に加え、画面上下のプランギングに任意の色を付加する機能を内蔵した。

3.2 ビデオエンコーダ用LSI (M51295SP)

M51295SPの主な機能は、輝度信号とR-Y/B-Yの色差信号及び同期信号からコンポジットビデオ信号とY/Cセパレート信号に変換するエンコード機能とRGB信号に変換する逆マトリクス機能である。

エンコード時における色副搬送波は4倍の発生器を内蔵し、その出力を4分周することで精度良く生成されるようにした。コンポジットビデオとY/Cセパレート及びRGBの各出力は、75Ωの負荷インピーダンスを直接駆動できるドライバ回路を内蔵しており(電圧レベルは1V_{P-P})、後段に接続されるNTSC方式のテレビをドライバ回路なしに接続できる。電源電圧は5V単一として、デジタルLSIの電源電圧と同一とした。

図8にチップ写真を示し、表2に本章で述べた5種類のLSIの諸元と設計手法をまとめた。

表2. LSI諸元

	M65601FP	M65602FP	M65603FP	M65604FP	M51295SP
最高動作周波数	16.200MHz	14.742MHz	16.200MHz	14.742MHz	14.318MHz
素子数	64,000Tr	128,000Tr	825,500Tr	9,500ゲート	800素子
チップサイズ	8.26×7.72mm ²	11.27×8.78mm ²	11.04×8.76mm ²	9.58×7.99mm ²	3.80×3.70mm ²
パッケージ	100ピンフラット	100ピンフラット	80ピンフラット	160ピンフラット	32ピンDIP
使用プロセス	1.0μCMOSロジック	1.0μCMOSロジック	1.0μCMOSロジック	1.3μCMOSロジック	3.0μバイポーラ
設計手法	セルベース	セルベース	セルベース	ゲートアレー	マニュアル

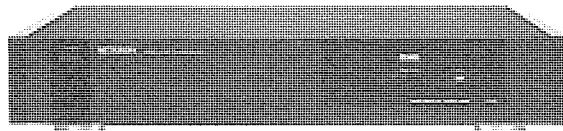


図9. MUSE/NTSCコンバータ外観図

表3. MUSE/NTSCコンバータの仕様

操作モード		映像表示モード切換	ワイドモード (16:9) ズームアップモード (4:3)
入力	MUSE信号	BSチューナ出力信号	0.4V _{p-p} /75Ω
出力	NTSC映像信号	TVのビデオ入力端子に接続	1.0V _{p-p} /75Ω
	Y/Cセパレート映像信号	TVのS映像入力端子に接続	Y: 1.0V _{p-p} /75Ω C: 0.3V _{p-p} /75Ω
RGB映像信号	TVのEIAJ 21ピン端子に接続	0.7V _{p-p} /75Ω	
	音声信号	TVの音声入力端子 (R,L) に接続	240m Vrms (不均衡)
RF	ディジタル音声	ディジタルアンプに接続	0.5V _{p-p} /75Ω
	RF	TVのアンテナ端子に接続	13ch
AFC制御信号	BSチューナのAFC端子に接続	0.5V _{p-p} /75Ω	
	消費電力	32W (AC100V, 50/60Hz)	
外形寸法	幅455×高さ85×奥行352 (mm)		
	重量	7kg	

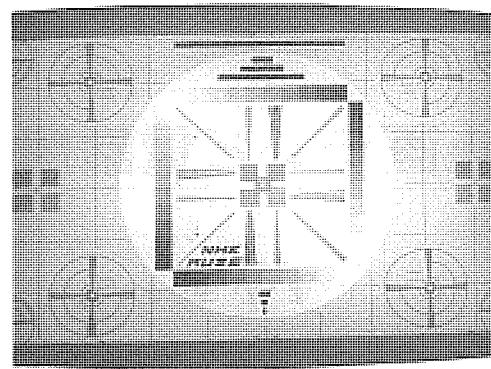
4. MUSE/NTSCコンバータの仕様

前章で述べた5種類のチップのLSIを搭載したMUSE/NTSCコンバータを開発した(図9)。このMUSE/NTSCコンバータの仕様を表3に示すが、主な特長は、ハイビジョンの全画像を変換し現行テレビで表示できるワイドモードとハイビジョンの中央部の画像だけを変換し現行テレビに表示できるズームアップモードの二つの変換モードを持つこと、及び市販されているNTSC方式のあらゆるテレビに接続できる信号出力を備えていることである。

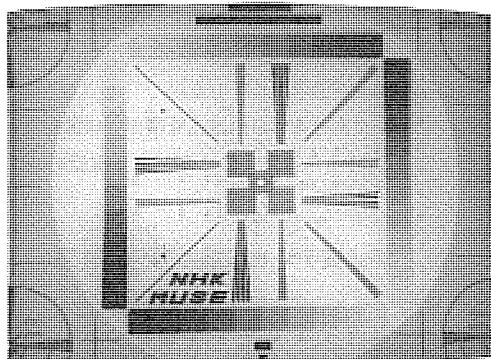
MUSE/NTSCコンバータから得られる画像の品質は、MUSEデコーダで処理したハイビジョン受像機の画質と比べ劣るもの、NTSC放送における現行NTSC受像機の画質との差がないことを実験で確認した。図10にワイドモードとズームアップモードによる処理結果を示した。

5. むすび

MUSE方式で送られてきたハイビジョン画像をNTSC方式に変換する方式変換器の変換処理の概要、及び専用LSIの構成方法と機能について述べた。今回開発したセットはアダプタ型のものであるが、BSチューナやTV受像機及びVTRに内蔵する方式への展開も容易に行える。今後更にシステムの小型化と低価格化を図り、また高



(a) ワイドモード



(b) ズームアップモード

図10. MUSE/NTSCコンバータによる処理画像

画質な画像を得るために信号処理方法の改良や各種フィルタの性能向上を進めていかなければならないと考えている。

末尾ではあるが、これらのシステムの開発に際し、多大なご指導をいただいた日本放送協会の関係各位に対し深い謝意を表す。

参考文献

- (1) 二宮ほか：MUSE方式の開発，NHK技術研究，39，No.2，p.18 (1987)
- (2) 和泉ほか：MUSE方式受信用標準方式アダプタ，テレビジョン学会技術報告，TEBS99-5，p.21 (1984)
- (3) Y. Mizutani, et al. : MUSE/NTSC CONVERTER Digest of Technical Paper, ICCE'89, WAM1.6, p.12 (1989)
- (4) 和泉ほか：MUSE-525本コンバータ，電子情報通信学会昭和63年度春季全国大会，D-169 (1988)
- (5) 木村ほか：MUSE/NTSCコンバータ用LSIの開発，電子情報通信学会技術研究報告，89，No.92，CAS89-17 (1989)

静止画テレビ電話用モデムLSI

杉野博之* 鈴木 武*
金子幸司**
仁田重之*

1. まえがき

公衆アナログ電話回線を使用する静止画テレビ電話は、電信電話技術委員会(以下TTCと略す。)でアナログ電話帯域静止画映像方式の国内標準規格(以下TTC規格と略す。)が1988年6月に制定されて以来、当社を筆頭に各社から製品が発売され話題を集めている。また、製品の特長、TTC規格の内容、通信方式を中心とした技術課題等を紹介する各種論文が発表されている。

今回の報告では、次期普及版の画像送受信部用に開発した1チップモデムLSI M65712Pを中心に、静止画テレビ電話のシステムについて説明する。

2. 静止画テレビ電話の開発の背景

現在の静止画テレビ電話のTTC規格の基となったのは、当社の米国における販売会社“MITSUBISHI ELECTRIC SALES INC.(MESA)”のR&D部門であるLUMA TELECOM社が開発した方式である。

テレビ電話については、古くから様々な形態のものが考えられてきたが、そのほとんどが特別な回線を必要とすることや、装置が高価なことから、広く普及するには至っていなかった。今後、デジタル回線が普及していくれば、高機能なテレビ電話機が出てくるであろうが、一般家庭への普及をみるには時間がかかるであろう。

そこで、発想を少し変え、既に広く普及している公衆アナログ電話回線を使い、簡易な装置で安価に画像を伝送することができないか、ということで考えられたのが静止画テレビ電話である。

LUMA社が開発した1号機(LU-1000)は多機能電話機一体型で、ビジネスユースとして普及していった。しかし、一般家庭への普及の面ではやや無理があるため、電話機分離型の低価格機種(LU-500)の開発が行われ発売された。このとき、小型化と低価格化のために、回路のほとんどの部分がLSI化されている。日本国内で当社がTTC準拠品として最初に発売したLU-510Jは、これを国内仕様にしたものであり、その後、機能の追加、デザインの変更等をしたLU-600J、LU-610Jを発売している。静止画テレビ電話機の製品化動向を図1にまとめる。

3. 製品の主な仕様とシステム構成

静止画テレビ電話の主な仕様とシステム構成について、LU-600Jを例に説明する。

3.1 主な仕様

静止画テレビ電話LU-600Jの主な仕様を表1に示す。

3.2 システム構成

LU-600Jは、図2に示すシステムブロック図で構成されている。

(1) 回線インターフェース部

画像信号と音声通話との切替制御、カセットレコーダー等の信号の入出力制御を行う。画像の送受信時には音声通話は不能になる。

送受信用のトランス、リレー、オペアンプ等の部品で構成されている。

(2) 画像送受信部

TTC規格に基づく画像情報の変調・復調を行う。復調方式としては、音声帯域での伝送効率が優れており、しかもそのモードを安価に構成できる振幅位相変調方式を採用している。送信時は中央制御部からのデジタルデータを変調し、回線インターフェース部に与え、受信時は回線インターフェースからの信号を復調し、中央制御部にデジタルデータを与える。この画像送受信部は、二つの専用LSI(M65710P, M65711P)と汎用のA/D変換器で構成されている。変調部のLSI(M65710P)はアナログ主体の回路で、復調タイミング部のLSI(M65711P)は主にデジタルPLL回路である。

TTC規格で規定されている静止画信号のインターフェース条件と使用周波数を表2に示す。また、画素の輝度が16階調の場合を例にとり、振幅位相変調時の輝度信号とキャリア波形との関係を図3に示す。画素の“黒”は、第1位相(キャリアとの位相差0度)最大

時期		'86	'87	'88	'89	'90 ~
製品化動向	米国 現状	LU-1000 ('86/7)	LU-500 ('87/10)			
	国内		LU-1000 輸入販売 ('87/6)	LU-510J ('88/6)	LU-600J ('88/7)	LU-610J ('89/6)
	今後					○カラー高精細版製品化 ○同上高速伝送版製品化 (高速伝送TTC標準化後) ○同上業務用製品化
TTC規格				白黒規格統一 ('88/6)	カラー規格、高精細 ('89/6)	規格統一('89/6)

図1. 製品化動向

表1. 主な仕様

LU-600J	
● 電話部	電話回線(DP,PBのいずれも可), PBXの内線(2線)
使用回線	
● 画像伝送部	
通信速度	8,740bps相当
変調方式	振幅位相変調
送画時間	約1秒/標準モード 約6.5秒/高速モード
画像メモリ	4画面(相手) 2画面(自分)
● ビデオモジュール部	
C R T	4.5インチ白黒CRT
カメラ	1/6インチ白黒CCDカメラ
画素数	100×160
アスペクト比	3(縦):4(横)
階調	白黒32階調
表示サイズ	幅86mm×高さ67mm
● その他	
電源	AC100V(付属ACアダプタ使用)
外形寸法・重量	幅170mm×奥行220mm×高さ170mm・1.8kg
定格消費電力	約15W

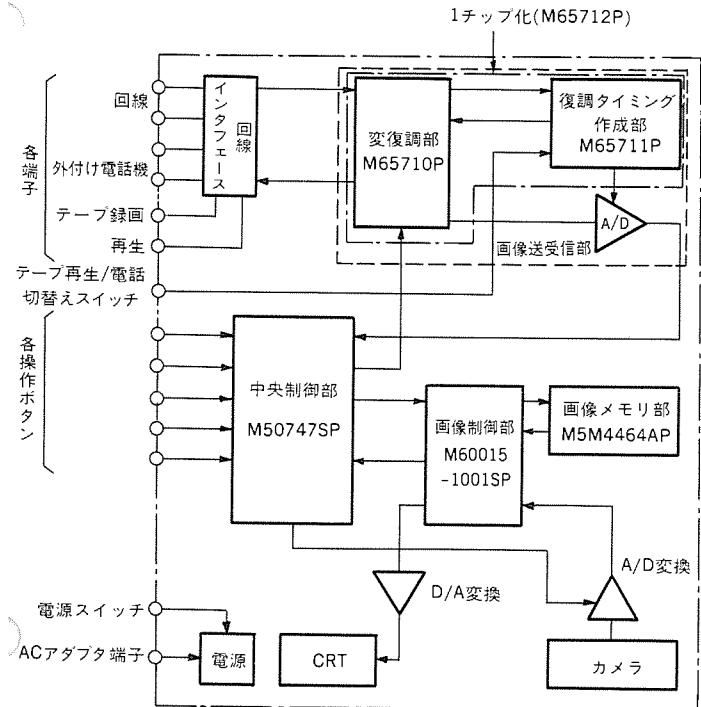


図2. システムブロック図

表2. インタフェース条件と使用周波数

項目	内 容
インターフェース条件	信号出力レベル 平均送出レベル -15dBm以下 最大送出レベル 0dBmを超えないこと。
	動作可能入力レベル -40~0dBm
	回線信号の極性 極性反転しても動作すること。
使用周波数	キャリア周波数 f_c 1,748Hz ●回線の周波数特性が良い。 ● $f_{sc}/2^{11}$
	デュアルトーンの周波数 2,006Hz 1,633Hz

振幅のキャリア 1サイクルで変調される。画素の“白”は、第2位相（キャリアとの位相差 180度）最大振幅のキャリア 1サイクルで変調される。画素の中間階調は、最大振幅を 8等分にして割り当てる。これに第2位相を組み合わせるので、16階調に対応する変調が実現できる。

(3) 中央制御部

システム全体の制御を行っている。送受信する画像情報は、すべてこの中央制御部を経由して処理される。LU-600Jでは、当社製 8ビット ワンチップマイコン(M50747SP)を使用している。

(4) 画像制御部

中央制御部からの指令によって、画像メモリ部への書き込み、読み出し、カメラからの映像入力、CRTの出力等を行っている。このブロックの回路は、当社製専用LSI (M60015-1001SP)を使用している。

(5) 画像メモリ部

送受信する画像情報は、すべてここに記憶される。当社製 64K×4ビット DRAM (M5M4464AP) 3個を使用している。

(6) CRT

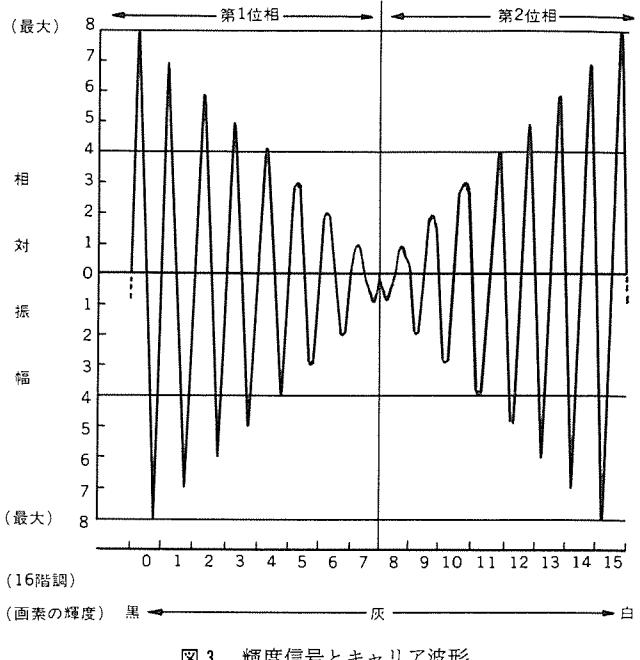


図3. 明度信号とキャリア波形

4.5インチ白黒CRTを使用している。画像制御部から出力された信号は、アナログ信号に変換されてCRTに表示される。

(7) カメラ

1/6インチ相当のCCDを使用している。カメラから出力された信号は、デジタル信号に変換されて画像制御部に与えられる。

(8) 電源部

ACアダプタからのDC電源(18V)を、各ブロックで必要な電源に変換して出力している。各ブロックに対する電源には、常時通電している部分(メモリ内容の保護のため)と、電源スイッチによってON/OFFする部分がある。

4. 1チップモデムLSI M65712P

LU-600Jでは、2個の専用LSIとA/D変換器で画像送受信部を構成している。この専用LSIは2個で1セットとなって機能するものであるが、主に製造上の都合から二つに分けられている。図2で変復調部に当たるLSIは、各種フィルタ、D/A変換器等の機能を持ち、これらを主にアナログ回路で構成している。復調タイミング作成部に当たるLSIは、PLL回路、信号検出回路等を、ディジタル回路で構成している。この二つの専用LSIを統合し、1チップ化することが製品のコストダウンにつながり、静止画テレビ電話の普及を促進できるものと考え、今回1チップモデムLSIを開発した。

このLSIの内部ブロック図を示し、各ブロックの動作を送信時と受信時について、主な信号の流れに沿って説明する。また、今回のLSI開発に当たり使用した設計手法についても説明を加える。

4.1 内部ブロック図

内部ブロック図を図4に示す。

4.2 送信時の信号の流れ

送信時の信号の流れを図5に示す。

(1) DAC

1,748Hzの送信波形を作るために、中央制御部から送られてくる8回/サイクルの8ビット ディジタルデータをアナログデータに変換するためのD/A変換器。

(2) MUX

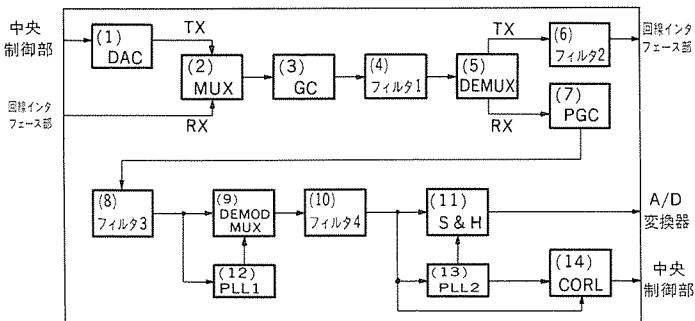


図4. 内部ブロック図

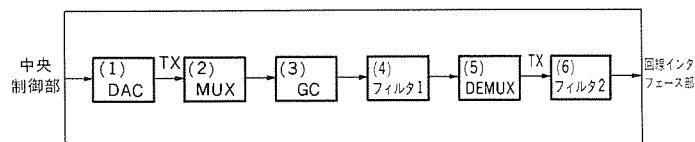


図5. 送信時の信号の流れ

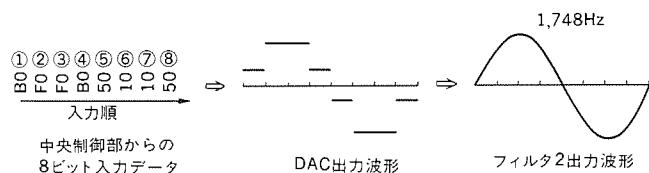


図6. 送信信号波形

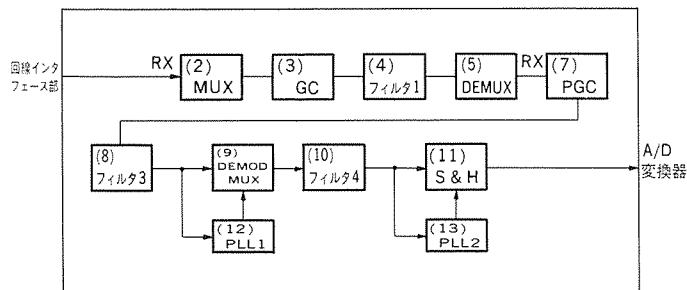


図7. 受信時の信号の流れ

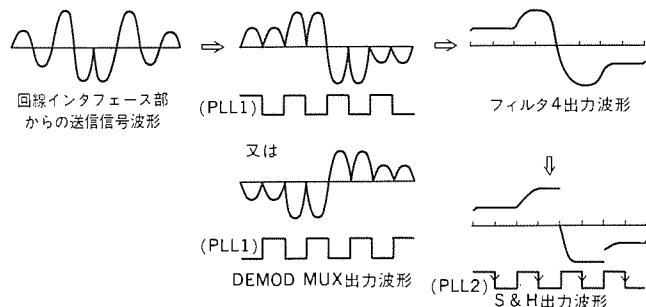


図8. 受信信号波形

送信時、中央制御部からの制御信号により、スイッチがTX側に選択されるマルチプレクサ。

(3) GC

中央制御部からの制御信号により、送信信号のゲインを調節するためのゲインコントローラ。

(4) フィルタ 1

出力信号波形を滑らかにするとともに、高周波成分の不要送出を防ぐためのフィルタ。また、アナログ電話回線での群遅延ひずみの

補正も行う。

(5) DEMUX

送信時、中央制御部からの制御信号により、スイッチがTX側に選択されるデマルチプレクサ。

(6) フィルタ 2

回線インターフェース部への出力バッファ用のフィルタ。また、前段までの回路中でスイッチングによって発生した高周波成分を除去する。

図6に中央制御部からの8ビット入力データ、DAC出力波形、フィルタ2出力波形を示す。

4.3 受信時の信号の流れ

受信時の信号の流れを図7に示す。

(1) MUX

受信時、中央制御部からの制御信号により、スイッチがRX側に選択される。

(2) GC

中央制御部からの制御信号により、受信信号のゲインを調節する。

(3) フィルタ 1

送信時と同様、受信時にも本フィルタを通す。送信、受信時に本フィルタを1回ずつ通すことにより、所望の群遅延補正を行う。

(4) DEMUX

受信時、中央制御部からの制御信号により、スイッチがRX側に選択される。

(5) PGC

中央制御部からの6ビットデータにより、受信信号のゲインを調節するためのプログラマブルゲインコントローラ。前述のGCとの合計分のゲイン調節が可能である。

(6) フィルタ 3

前段までの回路中でスイッチングによって発生した高周波成分を除去するためのフィルタ。

(7) DEMOD MUX

受信信号を、PLL1が出力するキャリア再生信号によって、チャップ復調するためのデモジュレーションマルチプレクサ。

(8) フィルタ 4

チャップ復調された波形の高周波成分を除き、平滑化するためのフィルタ。

(9) S & H

フィルタ4通過後の波形をサンプルホールドし、外付けA/D変換器へ出力するためのサンプルホールド回路。サンプリングタイミングは、PLL2が出力するクロック再生信号によって与えられる。

(10) PLL 1

受信信号を比較器を通して“H”“L”に2値化し、この信号を基にキャリア再生信号を作成するためのフェイズロックループ回路。

(11) PLL 2

復調後の信号を比較器を通して“H”“L”に2値化し、この信号を基にクロック再生信号を作成するためのフェイズロックループ回路。

(12) CORL

受信信号のHWP(ハードウェアプリアンプ)パターンを検出し、中央制御部に連絡するコリレーション回路。図8に回線インターフェース部からの受信信号波形、DEMOD MUX出力波形、フィルタ4出力波形、S & H出力波形を示す。

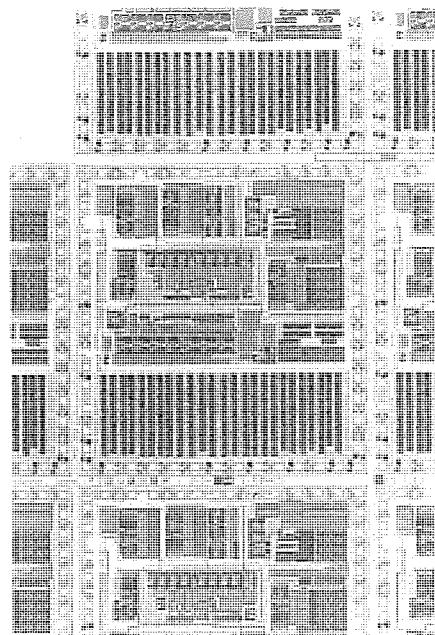


図9. M65712Pチップ写真

4.4 LSI設計手法

今回は、下記の理由によりアナログフィルタを採用している。

理由(a) 送受信をアナログ信号で行うので、アナログフィルタで処理する方が容易である。

- (b) 応答をプログラムによって変える必要がない。
- (c) 低消費電力化、チップサイズ低減化をめざす。

アナログ回路はSCF(スイッチトキャパシタ フィルタ)、電荷再分配型D/A変換器等、容量比を使うことにより高精度を確保している。また、スイッチングによる高周波成分を除去するためと、高精度が要求されないフィルタには、CとRを使ったアナログフィルタを使用している。

パターン設計手法としては、図9に示すとおりアナログ回路を人手設計で、ディジタル回路はCADを使った自動配置配線で設計しており、開発工期の短縮を図っている。

5. 今後の方向

今後のニーズとしては、カラー化、高精細化、高速化、音声画像同時伝送化などが考えられる。

(1) カラー化

既に、TTCで規格化されており、白黒画像の約1.5倍の時間でカラーバリエーションを送ることが可能である。

(2) 高精細化

200V×300Hドットの画像伝送までがTTCで規格化されている。この場合、伝送時間が4倍になる。

(3) 高速化

カラー化、高精細化を現在の変復調方式で行った場合、伝送時間の増加を免れられない。時間の短縮のためには、変復調方式の改良が必要となり、今後の重要な開発課題となる。

(4) 音声画像同時伝送化

現方式では、画像伝送時は音声通話が不能となるが、これに不便を感じる人も多い。同時伝送化は今後検討すべき課題である。

6. むすび

以上、1チップモデルLSIの内容を中心に、静止画テレビ電話のシステムについて説明してきた。前章の今後の方向でも述べているように、高速化、多機能化、低コスト化等、静止画テレビ電話の普及を促進させるための課題が山積しており、効率的なシステム開発、LSI開発によって、これを乗り切って行くことが必要である。

高速、低消費電力の $1.0\mu\text{m}$ CMOS ゲートアレーM60050シリーズ

中村博隆* 後藤諭利**
布上裕之* 川端啓二*
西谷一治**

1. まえがき

現在、ゲートアレーはASICを代表する品種と考えられている。約10年前の80年代前半には、ゲートアレーは少量生産向きの製品で、集積度の点から、大量生産にはスタンダードセルなどが適当といわれていた。現実はこの予想を裏切る形で推移し、ゲートアレーはスタンダードセル（ポリセル型）を事実上駆逐してしまった。

ゲートアレーの特長は開発期間が短く、開発費が安く、最も進んだCAD技術が適用されることにある。さらにこの特長を生かした上で、製造技術の改良による価格低減、ロジック製品として最先端のプロセス技術の導入、最先端のCAD技術開発、集積度向上のための手法の開発が精力的にゲートアレーに対して行われた。現在、ゲートアレーは短期間で開発可能で、コスト上も大量生産に適したASICを代表する製品とする見方が定着している。

2. テクノロジードライバーとしてのゲートアレー

最先端のウェーハプロセス テクノロジーはまずDRAMで開発され、その後、他の製品に展開されることから、DRAMはテクノロジードライバーと呼ばれている。しかし、ロジックLSIを実現するためには、DRAMの技術に加えて高い信頼性を持った多層配線の技術開発が必要である。図1はトランジスタの設計ルールと配線のピッチの開発経緯を示した図である⁽¹⁾⁽²⁾。トランジスタの設計ルールの微細化に対し、配線のピッチは容易には微細化されないことが、図から読み取れる。ロジックLSIでは、金属配線のピッチが集積度を決定するため、多層配線の技術開発が重要である。多層配線の技術を開発し、その他のデバイスに広げていくのが現在の半導体各社の共通認識である。また、CAD技術を始めとし、各種技術を集約しなければ最先端ゲートアレーは開発できないため、ゲートアレーはトータルテクノロジーをリードするテクノロジードライバーと呼ばれている。

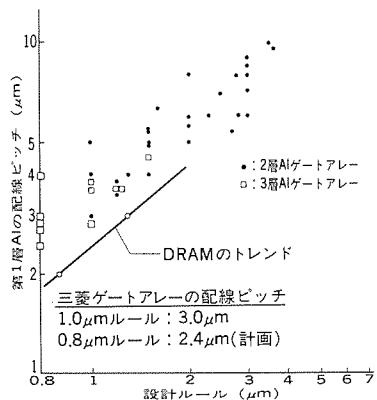


図1. 設計ルールと配線ピッチの関係

(日経マイクロデバイスによる各社の

配線ピッチ調査結果を参考にした⁽¹⁾⁽²⁾。)

3. CMOSゲートアレーの位置付け

CMOSゲートアレーは、ゲートアレーの代表品種である。図2にてクノロジー別のゲートアレー需要予測を示す。CMOSゲートアレーはゲートアレー全体の約6割をしめ、この位置付けは将来的にも変化しないと予測されている。一方、バイポーラゲートアレーは、Bi-CMOSに少しずつ置き換えられていくと考えられている。バイポーラのゲートアレーもBi-CMOSゲートアレーも最高速のコンピュータ用で、高速性を最大の特長としており、価格や消費電力よりも、性能を徹底的に追いかける用途に適している。一方、CMOSゲートアレーは、集積度、性能、価格などのさまざまな要求をバランスよく満足する製品で、産業用から民生用まであらゆる用途に適するデバイスである。

4. ユーザーの要求を反映させた製品企画

ゲートアレーのようなテクノロジードライバーと位置付けられる製品企画をする上で重要なことは、多数のユーザーの要求を第一に考え、シーズ志向になり過ぎないことがある。シーズを追求していくれば、10万ゲートを越える製品や、高速性を追求した製品や、500ピンを越えるセラミックパッケージが企画できる。しかし、現実は多くのユーザーが、小型化とコストダウンのためにASICを導入している⁽³⁾。このため、 $1.0\mu\text{m}$ CMOSゲートアレーを企画するに当たって、このようなユーザーの要求を最重視した。

5. $1.0\mu\text{m}$ CMOSゲートアレーM60050シリーズの特長

このシリーズは、以下の特長を持っている。図3に、このシリーズのM60055のチップ写真を示す。

(1) 低消費電力

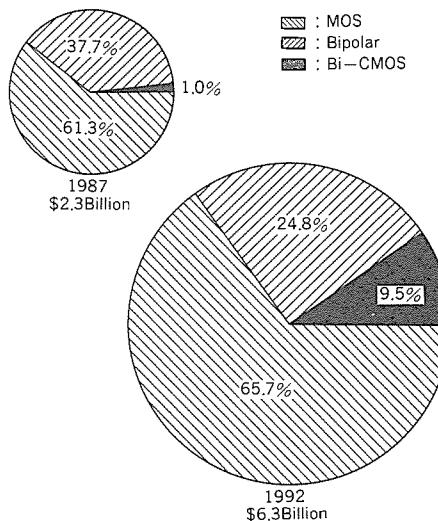


図2. ゲートアレーのテクノロジー別需要予測

(Dataquest社, June, 1988による。)

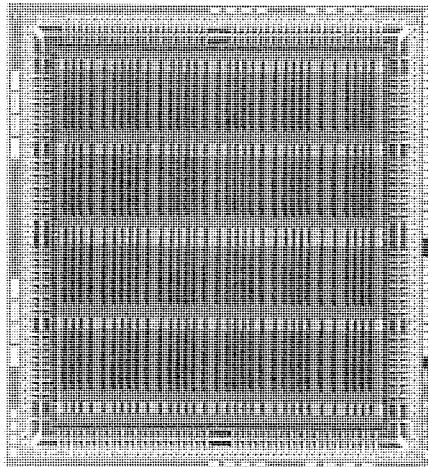


図3. 1.0μmCMOSゲートアレーM60055のチップ写真

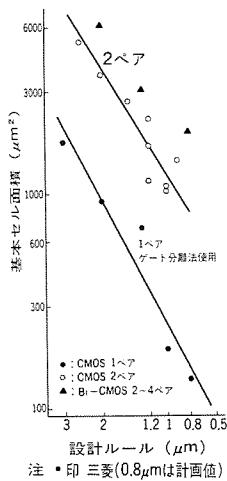


図4. 1.0μmCMOSゲートアレー基本セル面積
(日経マイクロデバイスによる各社の
基本セル面積調査結果を参考にした⁽¹⁾。)

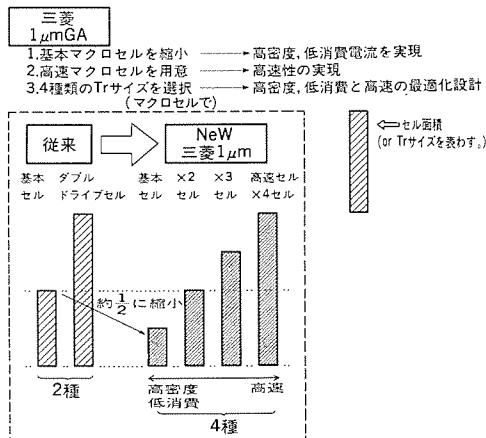


図5. 高密度、低消費電流と高速との最適化設計

このシリーズの消費電力は約 $7 \mu\text{W/gate/MHz}$ で当社 1.3 μm CMOS ゲートアレーの約 1/2 に低減した。1.0 μm CMOS ゲートアレーは高速動作が可能で、しかも高集積化されている。CMOS の消費電力は動作周波数に比例するため、従来と同じ考え方で製品企画すると消費電力が大きくなってしまう。

新規開発のこのシリーズでは、ユーザーの要求が小型化、コストダウンにあることを考慮し、消費電力を徹底して低減する設計方法

○基本的な考え方
ユーザーが
セル選択可能
→(高密度・低消費電流セル
高速セル
最高速セル)

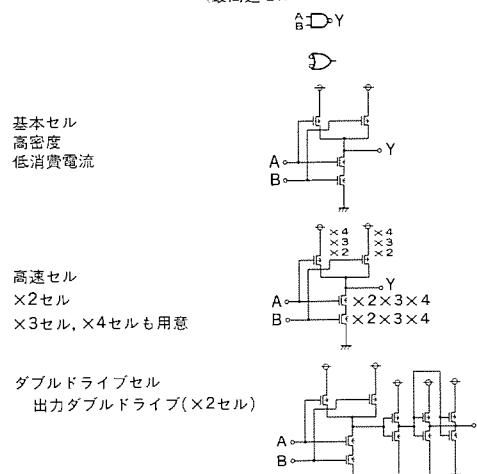


図6. 1.0μmマクロセルの考え方

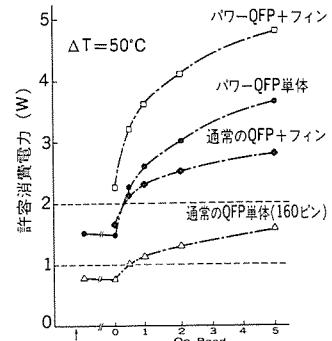


図7. プラスチックパッケージ
QFPパッケージの許容消費電力
(シミュレーション値)

を採用した。

消費電力の低減により、高集積であるにもかかわらず、標準パッケージをすべてプラスチックパッケージに統一することが可能になった。また、低消費電力化により電源に対する負担が減少し、放熱設計も容易になっている。

(2) 高密度設計

当社ゲートアレーは、独自のゲートアイソレーション方式を CMOS ゲートアレー開発当初から採用し、高密度設計を志向している。ゲートアイソレーション方式は、通常の酸化膜分離方式に比べて約 20% 高密度の得られる方式である。このシリーズでは、ゲートアイソレーションの採用に加えて全面新規設計の高密度マクロセルを開発した。通常の D タイプフリップフロップの場合、このシリーズのセル面積は、1.3 μm シリーズの面積の 1/4 である。図 4 は基本セル面積のデータであるが、今回、開発されたゲートアレーの基本セル面積が小さいことがわかる⁽¹⁾。

(3) 高速性能の実現

1.0 μm CMOS プロセスを用いたこのシリーズは、0.3 ns (2 入力 NAND ゲート F.O.=2, A1=0 mm) の高速性能をもっている。配線の負荷のある条件でも、0.45 ns (2 入力 NAND ゲート F.O.=2, A1=2 mm) と高速である。

(4) 高速性能と低消費電力の最適化を実現

高速性能を追求しトランジスタのサイズを大きくすると、消費電力が増大し密度が低下する。トランジスタのサイズを小さくすれば高密度で低消費電力にはなるが、高負荷時の速度が遅くなる。これは、LSI全体にいえる原則で、ゲートアレーもその例外ではない。結局、従来のゲートアレーは高速性能と密度とのバランスを見いだすことにより、トランジスタのサイズを決定していた。特に、最新プロセス製品は高速性を追求するあまり、どうしても最適のトランジスタサイズよりやや大きめのトランジスタを選択する傾向があった。

このシリーズに従来の考え方を当てはめると、トランジスタサイズは $W=20 \sim 25 \mu\text{m}$ となる。しかし、例えばマクロセル内で隣のトランジスタをドライブするだけのトランジスタが $W=20 \sim 25 \mu\text{m}$ では大き過ぎると考え、図 5 に示す考え方を採用了。基本となるトランジスタの大きさを約 1/2 にし、その上で、2 倍、3 倍、4 倍のトランジ

表1. 1.0μmCMOSゲートアレーM60050シリーズの特徴

ゲートスピード	0.45ns ($F_o=2$, $A_l=2\text{mm}$)
マスター	15K/25K/35K gates
パッケージ	128/160ピンQFP, 208/256ピンVQFP
消費電力	7μW/gate/MHz ($F_o=1$)

トランジスタサイズを持つマクロセルを用意する。図6がNANDゲートのマクロセルの例である。低消費電流のセル、高速セル、負荷駆動能力の高いセルと各種のセルがそろっている。回路の中で特に高速性の要求される部分、クリティカルパスなどには高速セルを選択し、それ以外の部分には低消費電力セルを選択することにより、高速性と低消費電力の最適化がきめ細かく図れるようになっている。速度と消費電力のトレードオフに対する最適解は適切なトランジスタサイズの選択にある。このシリーズでは、その最適解を得られるトランジスタサイズを選択可能なマクロセル構成となっている。極端な場合、例えばすべてのセルに対して高速セルを選択した場合でも、低消費電力と高ゲート密度を実現可能である。その理由は、高速セルでもマクロセル内のトランジスタサイズは小さく、例えばフリップフロップの内部トランジスタには最小サイズのトランジスタが使われているからである。

(5) 多ピンプラスチックパッケージの開発

新規パッケージとして256ピン、208ピンの多ピンQFPパッケージを開発している。120μmピッチのワイヤボンディング技術と微細なリードフレーム加工技術の開発により、基本構造の大幅な変更をすることなく多ピンパッケージの実現が可能となった。TAB (Tape Automated Bonding) 技術は1.3μmCMOSゲートアレー時代に技術開発を完了したが、多くのユーザーの要求であるコストを重視した製品には精密ワイヤボンディング技術が適切であるという判断に立ち、このシリーズには精密ワイヤボンディング技術を選択した。TAB技術が本来の実力を発揮するのは75~80μmピッチの超多ピンの領域であると考えている。

(6) プラスチックパワーQFPパッケージの開発

M60050シリーズは、低消費電力を追求したデバイスである。一方、本質的に高速、高集積デバイスでもある。そのため、動作周波数を2倍にし、さらに、動作ゲート数を2倍にするなどの要求に対応する必要があり、それにより増大する消費電力に対応できるプラスチックパッケージ“パワーQFP(Quad Flat Package)パッケージ”を開発している。

パワーQFPパッケージは、モールド内部にヒートスプレッダーという銅板を内蔵し、チップで発生した熱を効果的にモールド表面に伝えることで、パッケージの熱抵抗を減少させた新パッケージである。チップで発生した熱は、ヒートスプレッダーによりモールド表面全体に効果的に伝わる。このような構造により、パワーQFPパッケージの熱抵抗は通常のQFPの約1/2となつていて。図7にパワーQFPパッケージの $T_g=125^\circ\text{C}$, $T_a=75^\circ\text{C}$, $\Delta T=50^\circ\text{C}$ の最悪条件下での許容消費電力を示す。

このシリーズは、1.3μmCMOSゲートアレーに対して、デバイスで約1/2の消費電力を達成した。さらに、従来比約1/2の熱抵抗のプラスチックパッケージの開発により、合計約4倍の集積度の向上がプラスチックパッケージの中で実現されることになる。

(7) 多機能高速のI/Oバッファを開発

新規設計のI/Oバッファは、出力電流を1mAから12mAまできめ細かに選択することが可能である。また、4mA以上はスルーレートコントロールにより、ノイズを抑えることが可能で、スルーレートの選択は各出力電流に対してそれぞれ3種類あり、用途に応じた最適のバッファをノイズ最小の状態で使うことができるよう考慮されている。

バッファは高速性能を追求して設計され、出力電流12mAのバッファの50pF負荷時の遅延時間は約2.1nsと非常に高速である。

(8) ゲート全面敷き詰め構造 (Sea of Gates)

当社はいち早く1.3μmCMOSゲートアレーでゲート敷き詰め型ゲートアレー (VTM: Variable Track Master slice) を開発し、メモリの効率的な内蔵を実現した。M60050シリーズでもゲート敷き詰め方式を採用している。ROM, RAMの効率的な(従来比最大2倍) 内蔵が可能である。

6. M60050シリーズの製品概要

表1に、このシリーズの製品概要をまとめて示す。

6.1 マスタ展開

15K, 25K及び35Kゲートを中心にマスタ展開を開始し、50K及び10Kゲート以下のマスタはその後順次展開の予定である。

6.2 パッケージ展開

128ピン/160ピンQFPを中心に、208ピン/256ピンVQFP, パワーQFPという展開を予定している。

6.3 CADサポート

メインフレームを始めとして、市販の各種EWS (Engineering Workstation) のサポートを予定している。

6.4 マクロファンクション, メガファンクション

1.3μmCMOSゲートアレーと同様に各種のマクロファンクション、メガファンクションが使用可能である。

7. むすび

1.0μmCMOSゲートアレーM60050シリーズは、低消費電力を最大の特長とするゲートアレーである。高集積、高速という1.0μmCMOSゲートアレー本来の特性以外に低消費電力という特長が追加された結果、プラスチックパッケージでも高集積で高速動作が可能になった。

また、熱抵抗を下げたパワープラスチックQFPパッケージや多ピンQFPパッケージをこのシリーズのために新たに開発している。デバイスとパッケージ両方の技術開発により、最新のデバイスを手軽にプラスチックパッケージで使うことができ、1.0μmCMOSゲートアレーの用途と可能性が大きく広がった。多機能のバッファは、きめ細かく出力電流やスルーレートが設定でき、ノイズなどの問題に対処することが可能となった。このシリーズは、最先端の技術を身近で手軽な形で実現した製品である。

参考文献

- (1) 出番待つ大規模ゲートアレーの本命、20万ゲート級全面敷き詰め型、日経マイクロデバイス、p.86 (1989-6)
- (2) 3層化へMOSLSI配線、日経マイクロデバイス、p.30 (1988-6)
- (3) ASIC開発、現場の声を聞く、日経エレクトロニクス、p.127 (1988-9)

超低雜音 HEMT

林一夫*
園田琢二*

1. まえがき

高電子移動度トランジスタ (High Electron Mobility Transistor : HEMT) は、従来の GaAsMESFET (GaAs Metal Semiconductor FET) をしのぐ超高速・超高周波・超低雑音デバイスとして期待され、各所で実用化のための活発な研究開発が進められている。近年、日本や欧米で本格的な放送が開始された衛星放送システムにおいても、HEMTはアンテナの受信器のコンバータにおけるキーデバイスとして用いられている。HEMTは、GaAsMESFETに比べ雑音特性に優れているために、入力信号が小さくても鮮明な画像が得られる。そのため、GaAsMESFET使用時に70cm程度あったアンテナの径を、HEMTを用いることで45cm程度と、各家庭で手軽に設置できる大きさへと小型化することを可能とし、衛星放送システムの普及を大きく促進した。

当社では、いち早くHEMTの量産化を実現し、現在では雑音指数 $NF \leq 1.0\text{dB}$ ($f=12\text{GHz}$) のMGF4305をはじめ、テーピング仕様のMGF4900シリーズ、通信工業用MGF4400シリーズ、20GHz帯用MGF4501等、数多くのHEMTを製品化している。

この論文においては、HEMTの量産・実用化に当たり、当社独自に開発した主なキーテクノロジーとHEMTの性能及び信頼性について報告する。

2. デバイス構造とプロセス技術

2.1 背景

図1にGaAsMESFETとHEMTの断面構造の比較を示す。GaAsMESFETでは、不純物をドープしたn型GaAs層を走行する三次元のキャリアを利用するのに対し、HEMTでは、約400Åと極めて薄いn型AlGaAs層と不純物を、ドープしない高純度GaAs層との界面を走行する高移動度二次元電子ガスをキャリアとして利用している。このことが、GaAsMESFETでは実現できないHEMTの優れた性能を生む要因となっている。したがって、HEMTを実用化するためには、従来までのGaAsMESFETの製造技術にはない、薄膜ヘテロ接合結晶成長技術や独自のプロセス技術を確立することが要求さ

れる。さらに、このような新しい構造・原理によるデバイスであるため、実用化に先立ち、性能だけでなく信頼性についても十分な検討が必要である。

HEMTの高性能化、すなわち低雑音化を考える場合、次式がよく用いられる⁽¹⁾。

式(1)で, NF は最小雑音指数, g_m は相互コンダクタンス, C_{gs} はゲート・ソース間容量, R_s はソース寄生抵抗, R_g はゲート寄生抵抗, K はフィッティング定数を示す。HEMTのデバイス構造やプロセス技術の開発は、式(1)の各パラメータの最適化と同時に、信頼性への影響を十分に考慮して行う必要がある。

この章では、HEMTの性能並びに信頼性の上で、特に重要であるオームик及びゲートの各電極形成技術について述べると同時に、チップパターンと性能との関係についても簡単に説明する。

2.2 デバイス構造

当社HEMTのデバイス構造は、図1(a)に示すように、AlGaAs/GaAsの超格子バッファ層とノンドープGaAs層、SiドープAlGaAs層及びSiドープGaAsキャップ層とからなる。GaAsキャップ層は、オーミック電極のコンタクトを容易にするとともに、 R_s の低減を目的に設けた。全ゲート幅は200μm、ゲート長は0.4μm、ソース・ドレイン間隔は3μmである。ゲート領域は耐圧及び R_s を考慮し最適化したリセス(Recess)構造(ディープリセス)を採用した。HEMT構造の結晶は、当社が独自に開発した分子線エピタキシー(Molecular Beam Epitaxy: MBE)装置により作製した。このMBEシステムは、2インチウェーハの場合7枚、3インチの場合3枚を全自动で同時成長可能なものである⁽²⁾。また、デバイス表面には、素子の安定性、信頼性等を考慮したプラズマCVDによるSiN保護膜を形成した。

2.3 オームニック電極の形成

HEMTのオミック接合は、AlGaAs層を介した二次元電子ガスに対して行われるため、一般にGaAsMESFETの場合に比べ、シンターテン度が高温(>400°C)である。このため、シンター中にAlGaAs

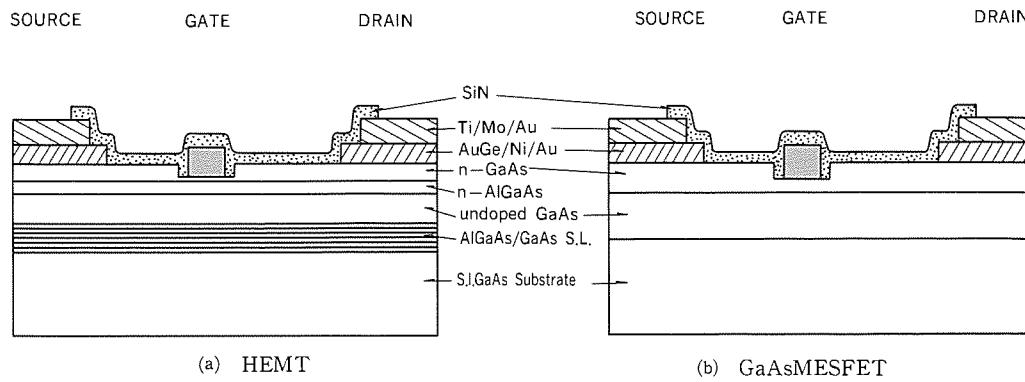


図1. HEMTとGaAsMESFETの断面構造の比較

*北伊丹製作所

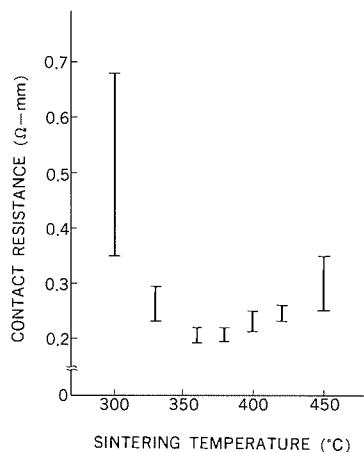
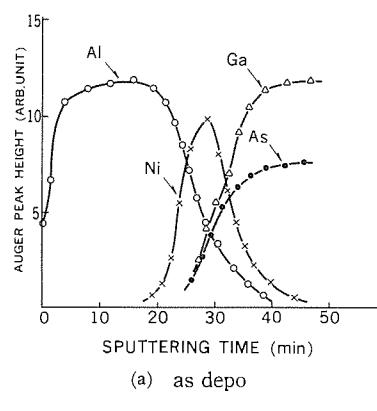


図2. オーミックシンターの温度とコンタクト抵抗の関係



(a) as depo

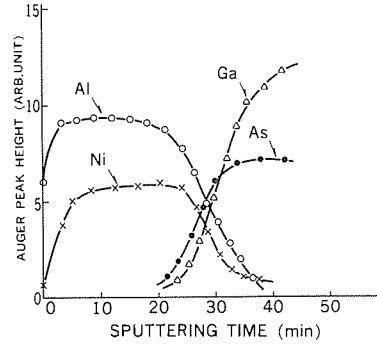
(b) after sintering ($T=280^{\circ}\text{C}$)

図3. ゲートシンター前後におけるNi/Alゲートのオージェ分析

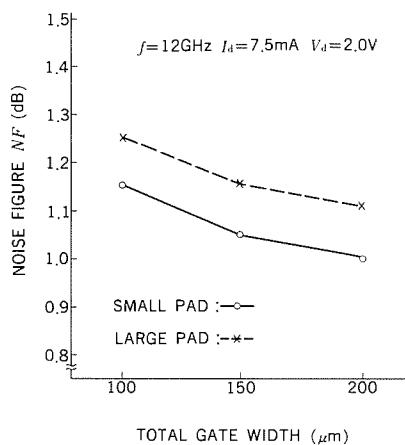


図4. ゲートパッドの大小によるNFのゲート幅依存性

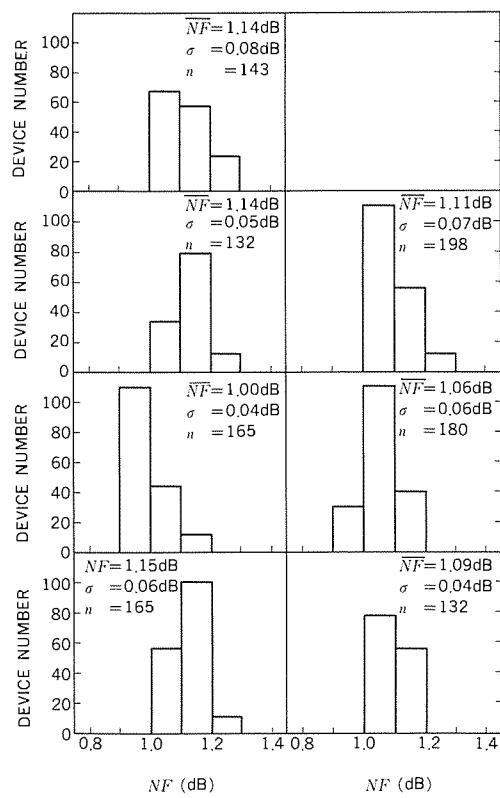


図5. HEMTのNFヒストグラム

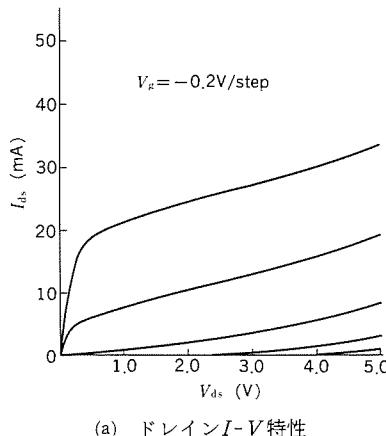
層中のAlの外部拡散が生じ、それによる素子の信頼性への影響が危惧(3)されている。また、高温シンターにおいては、均一な表面モロジーが得難く、パターンエッジでは横方向に突起などが生ずるため、直線性の良いシャープなパターン形状が得にくい。これは、特にソース・ドレイン間のような微細部において、電界集中やショート等を招き、素子の信頼性を劣化させる原因となる。そこで今回、低温によるオーミックシンター技術を開発した。

図2に各シンター温度におけるオーミックのコンタクト抵抗 R_c を示す。オーミック電極金属であるAuGe/Ni/Auの膜厚比とシンター温度プロファイルを最適化することで、360°Cという低温においても良好なオーミックコンタクトが得られた。シンター温度の低温化によって、オーミック電極の表面モロジーも極めて良好にすることができた。また、 R_c の低減によって、ゲート幅200μm、ゲート・ソース間隔1μmのHEMTの R_s は約2Ωと小さく、 g_m は約55mS($V_{ds}=2\text{ V}$, $I_{ds}=7.5\text{ mA}$)と良好な値が得られた。

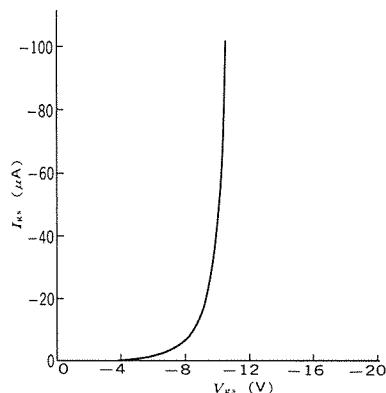
2.4 ゲート電極の形成

純粋なAlは抵抗率が小さく、かつ製造が容易であるため、高性能HEMTのゲート材料として広く用いられている。しかし、純Alはストレスやエレクトロマイグレーションに対して弱く、GaAs-MESFETのサブミクロンゲートに用いた場合、ピンチオフ不良の原因となることが報告されている(4)。そこで、この問題を解決するために、ストレスやエレクトロマイグレーションに対して強い、Ni/Alの合金化ゲートを開発した。

NiとAlは真空蒸着により連続的に形成し、リフトオフ後280°Cのゲートシンターを行った。図3は、ゲートシンター前後のオージェ分析によるゲート電極直下における各構成元素の深さ方向プロファイルの変化を示す。図3からゲートシンターによって、NiはAl中へ移動し、合金化していることが分かる。Ni/Alの合金化ゲート

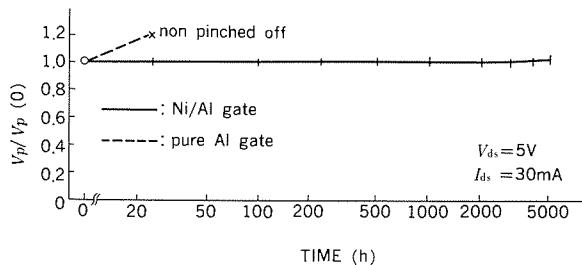
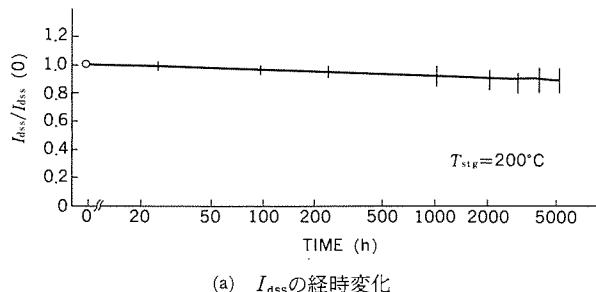
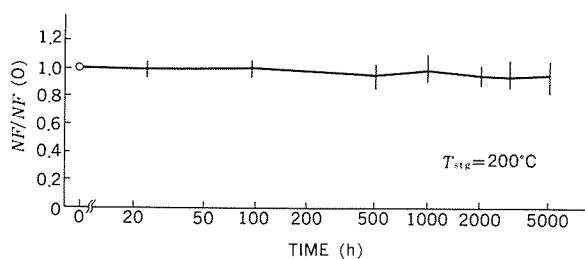


(a) ドレインI-V特性



(b) ゲート逆方向I-V特性

図 6. 当社HEMTの静特性

図 7. DC連続動作試験によるピンチオフ電圧 (V_p) の経時変化(a) I_{dss} の経時変化(b) NF の経時変化図 8. 高温保存試験による I_{dss} と NF の経時変化

は、ストレスやエレクトロ マイグレーションに対して強いだけでなく、GaAsに対して良好なショットキー接合が容易に形成でき、しかも純Alと変わらぬ低い抵抗率を持つため、ゲート寄生抵抗を小さく抑えることができる。さらに、合金化プロセスが 280°C という低温で行えるため、先に形成されたオーミック電極の表面モロジーや信頼性を劣化させない。

2.5 チップパターン

HEMTの低雑音化を考える場合、式(1)からも分かるように、ソース・ゲート間容量 C_{gs} の低減が重要である。 C_{gs} は、ゲートの接合面積(ゲート長×ゲート幅)に比例した真容量と、フリンジング容量やゲートパッド部の容量等による寄生容量とから構成される。サブミクロングートのHEMTでは、特に寄生容量の低減が重要となる⁽⁵⁾。図4にゲートボンディング パッドの大きさだけが異なる(大: $70 \times 70 \mu\text{m}^2$, 小: $50 \times 50 \mu\text{m}^2$)HEMTにおける NF のゲート幅依存性を示す。 $f=12\text{GHz}$, $V_{ds}=2\text{V}$, $I_{ds}=7.5\text{mA}$ の条件では、ゲート幅200 μm において最も低い NF 値が得られた。また、どのゲート幅においても、ゲートパッドの小型化が NF 低減に効果があることが分かる。当社HEMTにおいては、寄生容量の低減とともに自動ワイヤボンドへの影響をも考慮し、ゲートパッド部の大きさとレイアウトを最適設計した。

3. 素子特性

図5は、同一バッチで成長した7枚のエピウェーハを用い、各々異なるプロセスバッチで作製した場合のHEMTの NF ヒストグラムを示す。測定はパッケージに組み込み、 $f=12\text{GHz}$, $V_{ds}=2\text{V}$, $I_{ds}=7.5\text{mA}$ の条件で行った。 $NF=1.0\text{dB}$ のものが再現性良く得られており、この値は同一ゲート長のGaAsMESFETでは達成し得ない値(当社GaAsMESFETではMGF1405の $NF_{typ}=1.4\text{dB}$ が最小)であり、HEMTの優れた低雑音性を示すものである。また、この結果は、今回新たに開発したプロセス技術の再現性を示すとともに、我々のMBE装置による同一成長バッチ内のウェーハ間の特性が、極めて均一であることを示すものもある。

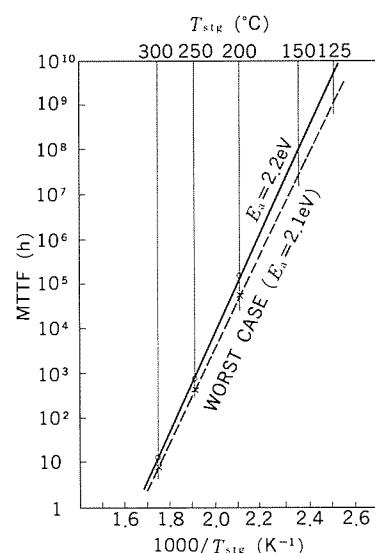
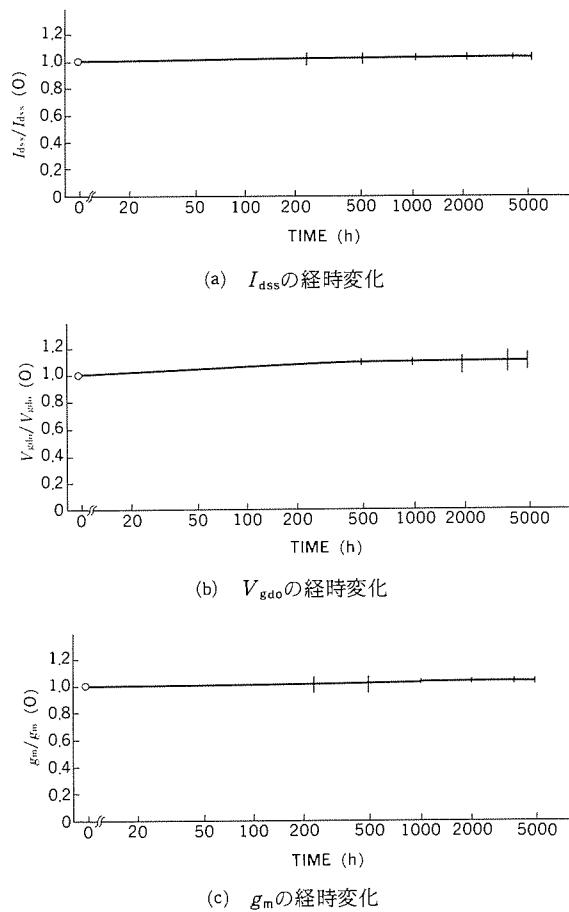
図6にドレインのI-V特性と、ゲート・ドレイン間の逆方向I-V特性を示す。ゲート逆方向耐圧が10V以上と高耐圧のため、 $V_{ds}=5\text{V}$ においても良好なピンチオフ特性が得られた。これは、 Ni/Al 合金化ゲートとディープリセス構造の採用によるものである。

4. 信頼性

この章では、今回新たに開発したプロセス技術の信頼性への効果を検証するために行った幾つかの試験結果について説明する。

4.1 DC連続動作試験

図7に、 Ni/Al 合金化ゲートと純AlゲートのHEMTでのDC連続動作におけるピンチオフ電圧 V_p の変化を示す。 Ni/Al 合金化ゲートの場合、5,000時間においてもピンチオフ不良は観測されず、その変動も5%以下と極めて少なく安定であった。また、他のDC及びRFのいずれのパラメータにおいても、有意な変化は認められなかった。一方、純AlゲートのHEMTでは、短時間においてノンピンチオフ不良が確認された。このDC連続動作試験の結果と、図3に示したオージェ分析の結果から、 Ni と Al が合金化することによって、ピンチオフ不良の原因と考えられるストレス マイグレーションやエレクトロ マイグレーションを効果的に抑制することができると考えられる。

図9. 周囲温度 (T_{sig}) と平均寿命の関係図10. チャネル温度 $T_{\text{ch}}=125^{\circ}\text{C}$ における
高温DC連続動作試験での I_{dss} , V_{gdo} , g_{m} の経時変化

4.2 高温保存試験

GaAsMESFETの場合、一般にオーミック接合の劣化は、熱ストレスによる I_{dss} の減少として観測されている。一方、HEMTの場合、熱ストレスによる I_{dss} の減少は、オーミック接合の劣化だけでなく、二次元電子ガス濃度 n_s の減少等HEMT特有のモードによっても現れる可能性がある。

図8に、 200°C の高温保存における I_{dss} と NF の変化を示す。5,000時間までの変化量は、 I_{dss} , NF ともに10%以下と極めて小さく、安定である。他のすべてのDC及びRFパラメータについても、同様に安定であった。

熱ストレスによる I_{dss} の減少に対する活性化エネルギー E_a を求めるために、さらに 200 , 250 , 300°C の3水準での高温保存テストを行った。 I_{dss} の20%減少を故障判定基準として温度依存性を求めるとき、図9のような結果を得た。活性化エネルギー E_a は、約2 eVであり、周囲温度 (T_{sig}) 125°C における平均故障時間MTTFは 10^9 時間以上であった。 E_a 及びMTTFの値は、従来のGaAsMESFETと同レベルの良好なものであり、熱ストレスによる I_{dss} 減少のメカニズムが、 n_s の減少等、HEMT特有のモードによるものではないことが分かった。

4.3 高温DC連続動作試験

チャネル温度 T_{ch} が 125°C なる条件での高温DC連続動作試験を行った。図10に、そのときの I_{dss} , V_{gdo} 及び g_{m} の各変動を示す。5,000時間までのこれらのパラメータの変化は10%以下と小さく、安定であった。また、他のあらゆるDC及びRFパラメータについても同様に安定であった。

以上述べた信頼性試験の結果から、当社の超低雑音HEMTの信頼性は、従来のGaAsMESFETと同等であり、民生用途だけでなく、衛星搭載用等の高信頼度品としても使用し得る高いレベルのものであるといえる。

5. む す び

衛星放送をはじめとするマイクロ波通信システムのキーデバイスである超低雑音HEMTを実用化するため、新たに低温オーミックシンターアンプ、Ni/Al合金化ゲート並びに全自动MBEシステムを開発した。その結果、GaAsMESFETでは達成しがたい $NF \leq 1.0 \text{ dB}$ ($f = 12 \text{ GHz}$) の超低雑音性を持つHEMTを再現性良く製造することができた。

また、信頼性のレベルも、 $MTTF > 10^9$ 時間 ($T_{\text{ch}} = 125^{\circ}\text{C}$) と長く、GaAsMESFETと変わらぬ高い信頼性を持っていることが分かった。

今後は更に低雑音化を図るため、GaAsから電子の輸送特性に優れたInGaAs等の新しい材料の開発や、EBやFIBによる $1/4 \mu\text{m}$ ゲート形成技術等の新しいプロセス技術の開発を進め、より低雑音のHEMTを製品化していく予定である。

参 考 文 献

- (1) H. Fukui : IEEE Trans. Electron Devices, ED-26, p.1032 (1979)
- (2) T. Sonoda, et al. : Japan. J. Appl. Phys., 27, No. 3, p.337 (1988-3)
- (3) A. Christou, et al. : Solid-State Electron., 29, No. 2, p.189 (1986)
- (4) K. Katsukawa, et al. : 22nd Annu. Proc. Reliability Physics, p.59 (1984)
- (5) S. Tehrani, et al. : IEEE Trans. Electron Devices, ED-35, p.703 (1988)

光通信用 $1.5\mu\text{m}$ 帯MQW-DFBレーザ

柿本昇一* 水口一男*
吉田直人* 須崎涉**
榎原靖*

1. まえがき

従来幹線系光通信においては、ファブリペロー型のレーザダイオードが使用されてきた。しかし、ファブリペロー型レーザはマルチモード（多波長）で発振するため、ファイバの分散（波長ごとに伝播速度が異なる現象）に基づくモード分配雑音により伝送距離と伝送速度が制限されてしまう。これを克服するために、最近では単一モード（单一波長）で発振するDFB（Distributed Feedback：分布帰還型）レーザが使用されるようになってきており、1～2 Gbpsで100km程度の大容量・長距離伝送が可能となった。

しかし、DFBレーザは单一波長で発振するとはいっても高速変調時には、そのスペクトル幅が広がり（この現象をチャーピングという。）、これがファイバの分散によって伝送速度や伝送距離を制限する。したがって、より大容量・長距離伝送を実現するためにはチャーピングの低減が不可欠である。

一方、従来の直接変調・検波方式とは異なるコヒーレント光通信も研究されている。この方式では受信感度をショット雑音限界にまで改善することができるので、200～300kmの長距離伝送が可能となる。ここでは、搬送波となる光の周波数や位相に信号を載せるため光源としては波長変動が少ないこと、すなわち狭スペクトル線幅が要求される。

このような低チャーピングや狭スペクトル線幅を実現するために、レーザダイオードの活性層に量子井戸構造の適用が有効であることが理論的に指摘されていた⁽¹⁾。また実験的にも、まずAlGaAs系のレーザでMQW（Multi Quantum Well：多重量子井戸）構造を活性層に適用することにより狭スペクトル線幅化が可能なことが示され⁽²⁾、最近ではInGaAsP系のレーザにおいてもMQW構造によって低チャーピング化及び狭スペクトル線幅化が可能なことが明らかとなってきている⁽³⁾⁽⁴⁾。

当社では、これまでにPPIBH（P-substrate Partially Inverted Buried Heterostructure：P基板を用いた部分反転埋め込み構造）という電流狭さく（窄）機構を提案し⁽⁵⁾、これをDFBレーザに適用することによってリーク電流を十分に抑制し、低しきい値電流動作及び高出力動作という点において優れた性能を持った光通信用のInGaAsP-DFBレーザを開発してきた⁽⁶⁾⁽⁷⁾。

今回、このDFB-PPIBHレーザに新たなBG（Buried Grating：埋め込み型回折格子）型のレーザ共振器構造⁽⁸⁾を適用するとともに、活性層にMQW構造を採用することによって、10mA以下の低しきい値電流、45dB以上の大きなSMSR（Side Mode Suppression Ratio：サイドモード抑圧比）、1.1MHzという狭スペクトル線幅、また2Gbpsの高速変調時のチャーピング量として2.8Åという小さな値を得ることができた。

本論文では、まずMOCVD（Metal Organic Chemical Vapor Deposition：有機金属気相成長法）によるMQW構造の作製とその評価結果について述べる。次に、このMQW構造を採用したDFBレ

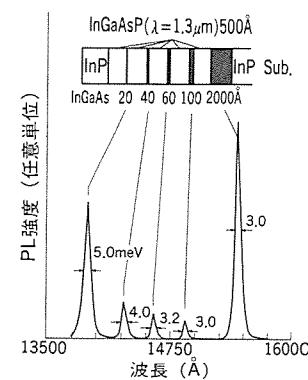


図1. 4.2KでのPLスペクトル

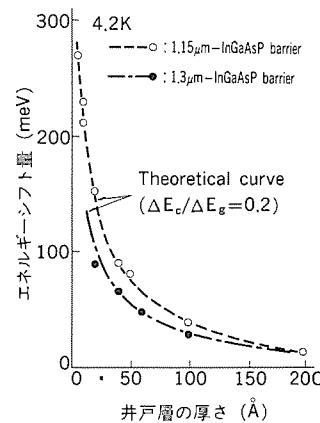


図2. 井戸層の厚さとPLピークエネルギーのシフト量

ーの構造及びBG構造の詳細について説明する。最後にMQW構造とBG構造を採用した光通信用InGaAsP-DFB-PPIBHレーザの特性について報告する。

2. MQW構造の作製と光学的特性評価

MOCVD法は、原料の一部又はすべてを有機金属ガスの形で供給し、熱分解反応により半導体基板上に薄膜結晶をエピタキシャル成長させる方法で、成長層組成、層厚を均一に再現性良く広範囲に制御できる特徴を持っており、既に半導体レーザの結晶成長技術として確立されつつある。

量子井戸構造（ド・ブロイ波長程度より薄い半導体層（井戸層）をエネルギーギャップの大きい半導体層（パリア層）で挟んだ構造）のような200Å以下の厚さの多層膜の成長には急しゅん（峻）なガスの切り替えが要求される。これを満たすためにここでは成長炉として横型反応管を用い、さらに高速のガス流を得るために、減圧（～150 Torr）下で成長を行った。基板温度はRF誘導加熱により600°Cに保持される。原料ガスとしては、トリメチルインジウム（TMI）、トリエチルガリウム（TEG）、アルシン（AsH₃）、ホスフィン（PH₃）が、また不純物ドーパントとしてn型に硫化水素（H₂S）、p型にジエチル亜鉛（DEZ）を用いた。

ここでは活性層として用いるInGaAs/InGaAsP量子井戸構造のフォトルミネッセンス(PL)測定を行い、その光学的特性を評価した。成長したInGaAs量子井戸層の厚さは、5 Åから200 Åの範囲である。またバリア層としては層厚が500 Åで、 λ_g (室温でのエネルギーギャップに相当する波長)が1.15 μm及び1.3 μmの組成のInGaAsPを用いた。

図1に測定に用いたサンプルの層構造と4.2KでのPLスペクトルを示す。バリア層としては、 $\lambda_g=1.3\mu\text{m}$ の組成のものを用いている。また、比較のために層厚2,000 ÅのInGaAsP層のものも示されている。層厚が薄くなるにつれて量子サイズ効果によりピーク波長が短波長側にシフトしていくのが分かる。また、それに伴いピークの半値幅は広くなっていく。

図2は、井戸層の層厚とPLピークエネルギーのシフト量との関係を示したものである。なお、図中には理論曲線も示してある。バリア層のエネルギーギャップが大きい組成($\lambda_g=1.15\mu\text{m}$)の場合の方がエネルギーシフト量が大きくなっていることが分かる。これは井戸層とバリア層とのエネルギーギャップ差が大きいほど電子やホールがしっかりと井戸層内へ閉じ込められるためである。伝導帶でのエネルギーギャップ差 ΔE_c を $\Delta E_c=0.2 \Delta E_g$ (ΔE_g : エネルギーギャップ差)と仮定すると、バリア層の組成が1.15 μmの場合も1.3 μmの場合も測定値は理論値と非常に良く一致する。また、この波長のシフト量はレーザの発振波長を制御するうえで非常に重要である。例えば、発振波長が1.55 μmのレーザを作製する場合に、バリア層の組成が $\lambda_g=1.15\mu\text{m}$ の時には井戸層の層厚を約75 Åとする必要がある。

PLスペクトルの半値幅は、量子井戸構造の良好さを示す一つの指標となる。図3は井戸層の層厚とPLピークの半値幅の関係を示したものである。井戸層のゆらぎによる半値幅の増加は井戸層の厚さが薄くなるほど顕著となる。図に示された値から井戸層の厚さのゆらぎは1原子層以下と見積られ、良好な量子井戸構造が実現できていると考えられる。バリア層としては組成 $\lambda_g=1.3\mu\text{m}$ の場合の方が1.15 μmのときよりも、半値幅が狭くなり、20 Åという非常に薄い井戸層においてさえも5 meVという狭い値が得られている。 $\lambda_g=1.3\mu\text{m}$ の場合の方が半値幅が狭くなるのは、 $\lambda_g=1.15\mu\text{m}$ の場合に比べてバリア層と量子井戸層との間の ΔE_g が小さくなり、井戸層のゆらぎに基づく半値幅の増加が抑制されるためと考えられる。

3. InGaAsP-MQW-DFBレーザの構造

図4に今回開発した光通信用のInGaAsP-MQW-DFBレーザの構造を示す。縦方向の長さ、すなわち共振器長は300 μmである。電流狭窄構造としては、当社がこれまでに開発してきたPPIBH構造を採用している。すなわち、活性層の両脇にn型クラッド層、p型電流プロック層、n型電流プロック層、p型埋め込み層からなるn-p-n-pのサイリスタ構造を配置して、活性層に効率よく電流を集中させている⁽⁹⁾。その結果、リーク電流が十分に抑制されて、低しきい値動作や高出力動作を可能とする⁽¹⁰⁾。

活性層にはMQW構造が採用されている。その作製方法や光学的特性については、2章で述べたとおりである。実際に採用されているMQWのバンドダイアグラムの一例を図5に示す。井戸層はInGaAs層からなり、厚さは75 Åである。バリア層は組成 $\lambda_g=1.15\mu\text{m}$ のInGaAsPで、厚さ150 Åである。多重量子井戸の両側には、光を閉じ込めるための組成 $\lambda_g=1.15\mu\text{m}$ のInGaAsPガイド層が形成

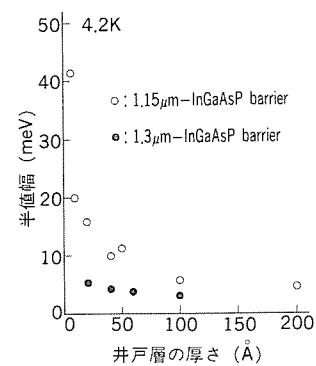


図3. 井戸層の厚さとPL半値幅

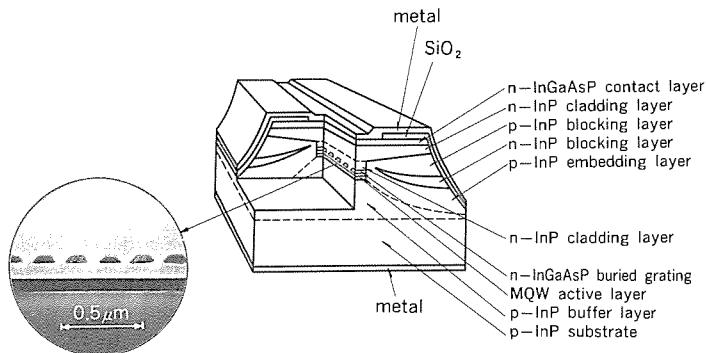


図4. InGaAsP-MQW-DFBレーザの構造

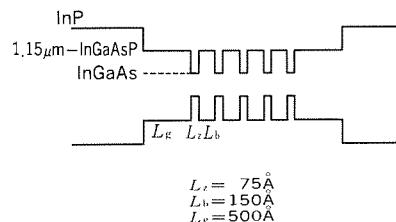


図5. MQWのバンドダイアグラム

されている。

さらに、安定な単一モード発振を実現するために、当社が独自に開発したBG型のレーザ共振器構造が採用されている。すなわち、活性層の近傍にはInP層を介してInGaAsPからなる回折格子領域が周期的にInPクラッド層中に埋め込まれている。活性層で発生した光は、この周期的に配置されたInGaAsP回折格子領域によってその周期にマッチングした波長の成分だけが選択的に帰還されて增幅されるので、単一波長のレーザ光が得られる。

一般に、DFBレーザにおいてしきい値電流やスロープ効率(光出力と注入電流の比)、単一軸モード発振の安定性等の諸特性を決定するのは、光と回折格子との結合の大きさを表わす結合定数 κ と共振器長 L との積 κL である。結合定数 κ は回折格子の深さが深い程大きくなる。しかしながら、従来のDFBレーザでは、この結合定数を制御するのは非常に困難であった。というのは、従来のDFBレーザの作製ではInP基板上にあらかじめ化学エッティング法により回折格子を作製しておき、その上に液相成長法により結晶成長を行っていた。化学エッティング法そのものがウェーハ全面に均一な所望の深さの回折格子を形成するのが難しい上に、液相成長時に基板の表面が成長融液中に融け出てしまい、あらかじめ形成しておいた回折格子の形状や深さが変化してしまうためである。

このような従来の問題を克服するのが、BG型のレーザ共振器であ

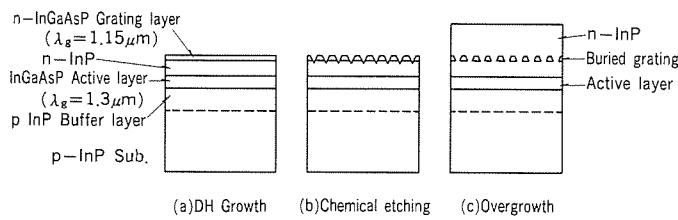


図6. BG型レーザ共振器の作製方法

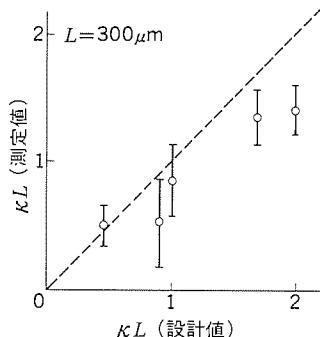
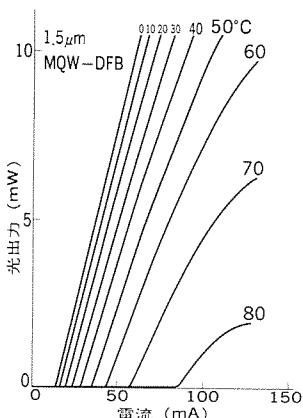
図7. κL の設計値と測定値

図8. 光出力対電流特性

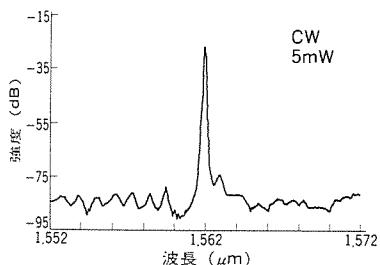


図9. 発振スペクトル

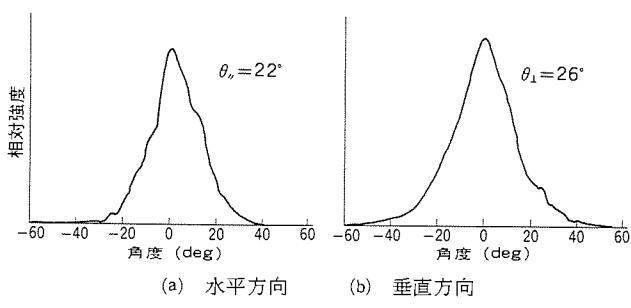


図10. 遠視野像

る。その作製方法を図6に示す。ここでは、 $1.3\mu\text{m}$ DFBレーザを作製する場合を例にとっている。まず、p型InP基板上にMOCVD法に

よってp型InPバッファ層、InGaAsP ($\lambda_g=1.3\mu\text{m}$) 活性層、n型InP層、n型InGaAsP ($\lambda_g=1.15\mu\text{m}$) 回折格子層を成長する(図6(a))。次に、通常の二光束干渉露光法と化学エッチング法によって回折格子層を突き抜ける深さまでの回折格子を作製する(図6(b))。最後に再びMOCVD法により、n型InP層を成長する(図6(c))。

BG型のDFBレーザにおいては、結合定数は埋め込まれたInGaAsP回折格子領域の形状と厚さで決定される。ここで、厚さは層厚制御性に優れたMOCVD法で再現性良く、しかも所望の厚さに均一に形成される。さらに、MOCVD法で回折格子上に結晶成長されるので、従来の液相成長の場合のような基板表面の融け出しの問題はなくなり、回折格子領域の厚さと形状はそのまま保存される。したがって、BG型DFBレーザでは結合定数の制御が可能となる。

図7にBG型DFBレーザの設計した κL と実際に得られた κL の測定値の関係を示す。 κL の値はストップバンド幅から求めたものである。測定値は設計値よりも若干小さく、ばらつきもあるが、従来制御がほとんど困難であった κL をBG型DFBレーザではコントロールすることが可能となった。ばらつきの大きい原因としては、ストップバンド幅での測定法自体かなりの誤差を含むことと回折格子領域の幅の制御がまだ不十分なことによる。しかし最近では、幅の制御に関しては活性層から回折格子層までの距離と回折格子層自体の厚さをあらかじめ適当な値に選ぶことによってかなり改善してきた。

4. InGaAsP-MQW-DFBレーザの特性

井戸層の数が5層の場合の図5に示したInGaAsP-MQW-DFBレーザの光出力対電流特性の温度依存性を図8に示す。20°Cでのしきい値電流は19mAであり、スロープ効率は0.2mW/mAである。最大発振温度は80°Cである。

このレーザの室温、5mW連続動作時の発振スペクトルを図9に示す。ピーク波長は $1.56\mu\text{m}$ で、サイドモード抑圧比は45dB以上と非常に安定な単一モード発振をしている。

図10は、5mW連続動作時の遠視野像を示したものである。水平、垂直両方向において、ほぼガウス分布に近いパターンが得られているが、これは基本横モードの特徴である。水平方向での半值全角は22度、垂直方向で26度である。

図11に、連続動作時のスペクトル線幅と光出力の関係を示す。参考のため、活性層が通常のバルク型のDFBレーザの場合も示してある。線幅の測定は遅延自己ホモダイナ法で行った。反射光の影響を除去するために、2段のアイソレータを入れて(60dB)、レーザの温度は $25 \pm 0.01^\circ\text{C}$ にコントロールして測定した。MQWの場合も、バルク型の場合も線幅は光出力に反比例して狭くなっていく。MQW-DFBレーザの線幅は、通常のバルク型のDFBレーザに比べて $1/10$ と小さく、線幅に光出力との積は $10\text{MHz} \cdot \text{mW}^{-1}$ である。光出力10mWで最小スペクトル線幅1.1MHzが得られている。この値はこれまでに報告されている $300\mu\text{m}$ の共振器長のレーザの中では、最も狭いものである。

次に、高速変調時のスペクトルの広がりについて述べる。ここでは2GbpsのNRZ変調時のピークから-20dBでのスペクトルの広がりをチャーピング量として測定した。あらかじめしきい値電流にバイアスしておき、ピーク光出力が5mWとなるように動作させた。図12に測定結果を示す。ここでは、図5に示した構造のMQWで量子井戸層の数が5層の場合と9層の場合、及び通常のバルク型のDFBレーザについて示している。バルク型の場合に 7.5Å であった

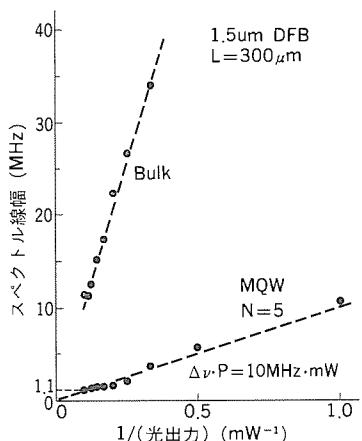


図11. スペクトル線幅と光出力

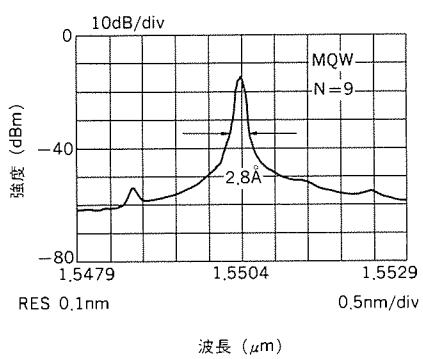
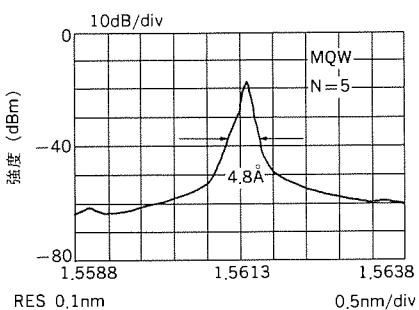
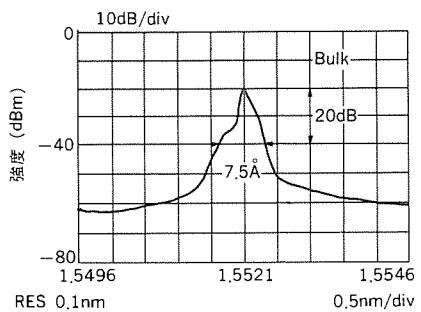


図12. 2 GbpsNRZ変調時のスペクトル

チャーピング量は、5層のMQWでは 4.8\AA と約2/3に、さらに9層のMQWの場合には、 2.8\AA とバルクの時の約1/3に低減されている。

バリア層の組成を $1.3\mu\text{m}$ 、厚さを 150\AA とし、InGaAs井戸層の厚さを 60\AA とした量子井戸数9層のInGaAsP-MQW-DFBレーザの室温、連続動作での光出力対電流特性を図13に示す。このレーザはガイド層の組成も $1.3\mu\text{m}$ とし、厚さを 500\AA として閉じ込め係

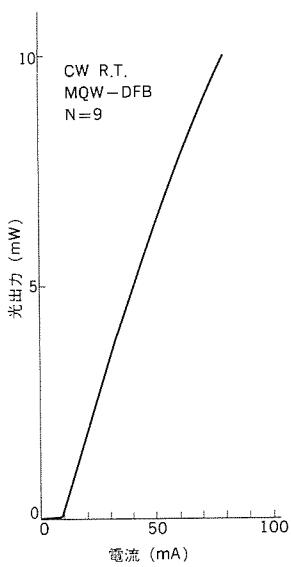


図13. 光出力対電流特性

数を大きくしている。発振波長は $1.56\mu\text{m}$ である。しきい値電流として 9 mA という小さい値が得られている。

5. まとめ

当社で既に開発してきたDFB-PPIBHレーザに、新たに開発したBG型のレーザ共振器構造を適用し、更に活性層にMQW構造を採用することにより、 10 mA 以下の低しきい値電流、サイドモード抑圧比 45 dB 以上の安定な単一軸モード発振、共振器長 $300\mu\text{m}$ としては世界最狭スペクトル線幅 1.1 MHz 、 2 Gbps のNRZ変調時、 -20 dB でのチャーピング量 2.8\AA という小さい値を得ることができた。

今回の低チャーピング化の実現は、 2 Gbps を越える大容量での長距離伝送を可能とするであろう。また、狭スペクトル線幅化は、MQWレーザのコヒーレント光通信への道を切り開くものと期待される。

参考文献

- (1) Y. Arakawa, et al.: IEEE J. Quantum Electron., QE-21, p. 1666 (1985)
- (2) S. Noda, et al.: Appl. Phys. Lett., 50, p.863 (1987)
- (3) M. Kitamura, et al.: CLEO'88, Anaheim CA, PD-11, p.479 (1988)
- (4) S. Takano, et al.: IEEE 11th Int. Semicon. Laser Conf., Q-1 (1988)
- (5) A. Takemoto, et al.: Electron. Lett., 23, p.546 (1987)
- (6) S. Kakimoto, et al.: ECOC'88 Brighton, p.337 (1988)
- (7) S. Kakimoto, et al.: ECOC'88 Brighton, Post-Deadline Papers, p. 5 (1988)
- (8) A. Takemoto, et al.: Electron. Lett., 25, p.220 (1989)
- (9) 柿本ほか：長距離光通信用単一モード半導体レーザ，三菱電機技報，61, No. 9, p.10 (1987)
- (10) 渡辺ほか：高性能光通信用単一モード半導体レーザ，三菱電機技報，63, No. 5, p.65 (1989)

超低雑音GaAs SAMFETの開発とMMICへの応用

細木健治* 谷野憲之*
綾木なぎさ* 高野博三*
加藤隆幸*

1. まえがき

衛星放送・通信システムの進展に伴い、これらシステムの基幹回路となる低雑音マイクロ波増幅器の高性能化・低価格化の要請が一段と強まっている。低雑音増幅器としては、現在GaAsFETやHEMT (High Electron Mobility Transistor) などから構成されたハイブリッドICが用いられているが、部品点数が多く構成が複雑な上に信頼性・量産性に欠けるため、MMIC (Microwave Monolithic IC) 化が強く望まれている。

低雑音増幅器のMMIC化における課題は、FETの高性能化のほかに特性の均一性・再現性の向上を図ることにある。しかしながら、現在主として使用されているGaAsFETは、リセスゲート構造であるためFET特性のバラツキが大きい上に再現性が悪く、これがMMICの高性能・低コスト化の障害となっている。

当社では、リセスゲート型FETに代わる均一性・再現性に優れたMMIC用GaAsFETとしてSAMFET (Self-Aligned Multi-layer gate FET) を提案し、その開発を進めてきた^{(1),(2)}。

SAMFETは、高い均一性が要求されるGaAsディジタルIC用に開発している自己整合型FET (SAGFET : Self-Aligned Gate FET) のゲート電極を多層化することにより低抵抗化を図ったプレーナ型のFETで、従来のリセスゲート型FETでは実現できなかった良好な性能と均一性を得ることができる。

本稿では、SAMFETの構造、プロセス及びMMICへの適用例について紹介する。

2. SAMFETの開発

2.1 従来構造GaAsMESFETの問題点

現在、MMICは図1に示すリセスゲート型と呼ばれるMESFET (Metal-Semiconductor FET) を用いて構成されている。このFETでは、ドレインからソースへ流れる電流を変調するショットキーゲート電極がリセスと呼ばれる溝の中に形成されている。ゲート電極にAuやAlを主体とした金属を用いているためゲート抵抗を低くできること、ゲート電極に近接して厚い導電層があるためソース抵抗を低減できることなど低雑音特性を実現する上で優れた特長を持っている。しかしながら、リセス構造は、通常動作層をウェットエッチングにより掘り込んで形成することから、FET特性に大きく影響する深さ及び断面形状の制御性（再現性・均一性）が悪く、FET特性が大きくばらつくため、リセスゲート型FETではMMICを高歩留りで製造することが困難である。また、超低雑音素子としてDBS (Direct Broadcasting Satellite) コンバータの初段RF増幅部に用いられているHEMTは、従来のMESFETをしのぐ良好な低雑音特性を持つものの、やはりリセスゲートを用いておりMMIC化のために均一性・再現性に難点がある。

このような従来のリセスゲート型MESFETに固有の欠点を解決するトランジスタとして、GaAsディジタルICに広く使用されてい

る高融点ゲートセルフアラインFET (SAGFET)⁽³⁾が有望である（図2）。SAGFETは既にプリスケーラ⁽⁴⁾、4 KビットSRAM⁽⁵⁾等のGaAsディジタルICで実証されているように、リセスゲート型FETと比較して均一性・再現性に優れている。

例えば、FETのしきい値電圧のウェーハ面内バラツキ (σV_{th}) は、リセスゲート型では 150mV以上であるのに対してSAGFETでは 30mV程度に低減できる。また、リセスゲート型MESFETやHEMTは、動作層エピタキシャル成長で形成しているため高価であるのに対し、SAGFETはSiLSIで実績のあるイオン注入法で形成するため低コスト化も容易であるという特長をも持っている。

しかしながら、SAGFETをMMICへ適用するには次の問題点を解決する必要がある。すなわち、

(1) ゲート電極に比抵抗が高い高融点金属 (WSi等) を用いるためゲート抵抗 R_g が高く（通常のリセスゲート型FETに用いられるAuやAlより約2倍高い）、したがって雑音指数が高く、高周波での利得も低い。

(2) ゲート電極とソース・ドレインの n^+ 領域が近接しているため、ゲート容量 C_{gs} が大きく良好な雑音特性を実現できない。また、ゲート逆方向耐圧が低く（～4 V）、低雑音増幅器用のトランジスタとして必要な電圧（～6 V）を確保できない。

2.2 SAMFETの構造とプロセス技術

当社では上述したような従来のリセスゲート型FET及びSAGFETの欠点を克服するためにゲート電極を多層構造としたプレーナ型GaAsFET—SAMFET—の開発を進めてきた。

図3は今回開発したSAMFETの断面模式図である。その特徴は以下のとおりである。

(a) 高抵抗のWSi上に低抵抗のAu系金属層を設けることによってゲート抵抗を低減している。

(b) 高濃度の n^+ 領域とゲート電極を分離したLDD (Lightly Doped Drain) 構造を採用することにより、ゲート容量を低減するとともにゲート耐圧を向上させている⁽⁶⁾。

(c) ゲート長を 0.3 μm まで短縮することによって g_m の増大、 C_{gs}

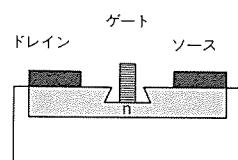


図1. リセスゲートFETの断面構造

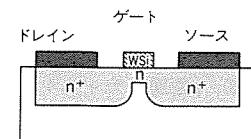


図2. SAGFETの断面構造

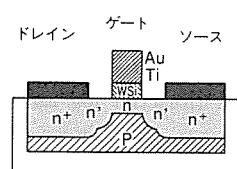


図3. SAMFETの断面構造

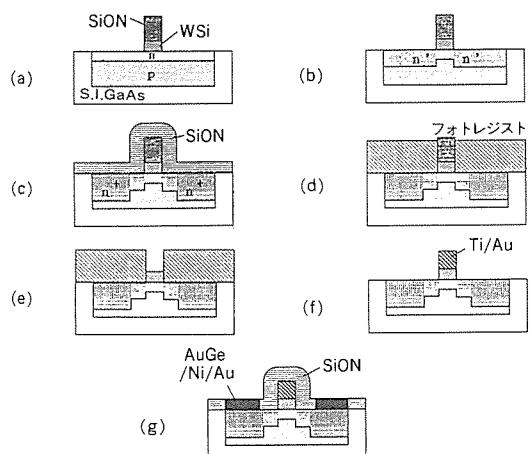


図4. SAMFETのプロセスフロー

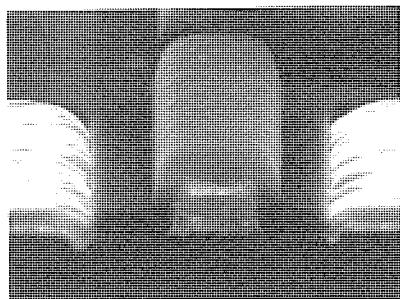


図5. SAMFETの断面SEM写真

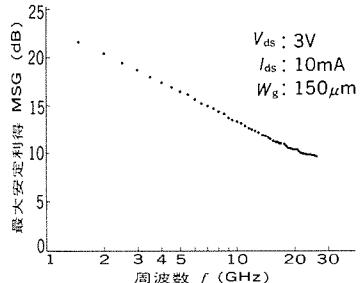
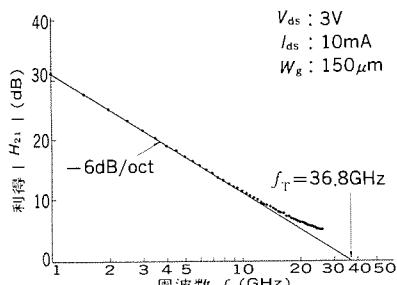


図6. 最大安定利得(MSG)の周波数依存性

図7. 利得($|H_{21}|$)の周波数依存性

の低減を図っている。

- (d) p型層をチャネル下に埋め込むことによってゲート長短縮に伴うショートチャネル効果を抑制し、バラツキを低減している⁽⁷⁾。次に、図4に示したSAMFETの製作プロセスについて説明する。
- (1) まず、半絶縁性GaAs基板表面にSiイオン及びMgイオンを選択注入し、アニール(800°C)することによってFETのチャネルとなるn型動作層とその下のp型層を形成する。次いでWSi膜及びSiON膜を被着した後、RIE(Reactive Ion Etching)で加工してWSi/SiONよりなるゲートパターンを形成する(図a)。
 - (2) このゲートパターンをマスクとして中間キャリア濃度層(n'層)をイオン注入で形成する(図b)。

(3) さらに、SiON膜(250nm)を堆積した後、n'領域の注入を行い、800°Cのアニールによりn'層及びn+層を活性化する。n+領域はSiON層を通してイオン注入するので、自己整合的にゲート電極端と分離され、LDD構造が形成される(図c)。

(4) フォトレジストを塗布し、表面を平坦化した後、ドライエッチングによってレジストをエッチバックしてSiONの頭部を露出させる(図d)。

(5) SiONをエッティングにより除去した後(図e)、Ti/Au層を蒸着しリフトオフすることによりWSi上にTi/Au層を形成する(図f)。

(6) 最後にAuGe/Ni/Auを蒸着した後、リフトオフすることによりオーミック電極を形成する(図g)。

SAMFETプロセスのポイントは、厚いSiON/WSi膜を垂直に微細加工する工程とフォトレジストで平坦化した後SiONの頭出しを行なう工程にある。図5は試作したSAMFETの断面SEM写真である。中央がWSi/Ti/Au多層低抵抗ゲート電極である(表面には保護膜が形成されている)。

2.3 SAMFETの高周波特性

図6は、オンウェーハプローピングにより測定したSパラメータから求めたSAMFETの最大安定利得MSG (Maximum Stable Gain)の周波数依存性を示す。測定用いたFETは、単位ゲート幅が75μm、全ゲート幅が150μmである。26GHzにおいても約10dBのMSGが得られており、ゲート抵抗が十分低減されていることが分かる。図7は、Sパラメータから求めた電流利得 $|H_{21}|$ の周波数依存性を示したものである。遮断周波数 f_T は約36GHzで、従来のリセスゲート型FETと比べて10GHz以上高い。これは、SAMFETの g_m が250ms/mm(typ.)とリセスゲート型FETの150ms/mm(typ.)に比べて大きいことによる。

図8は、12GHzにおけるNFminと付隨利得Gaのドレン電流依存性を示す。 $I_{ds}=10mA$ において $NF_{min} \sim 1.0\text{dB}$, Ga $\sim 11\text{dB}$ が得られている。このような NF_{min} の値は従来のMESFETでは得られなかつたもので、HEMTの低雑音性能に匹敵する優れたものである。図9に NF_{min} の分布をリセスゲート型FETと比較して示す。リセスゲート型MESFETの NF_{min} が1.3~1.9dBと大きくばらついているのに対し、SAMFETの NF_{min} は全数が1.2dB以下で、絶対値及びバラツキの両面で優れている。

3. SAMFETを用いた12GHz帯低雑音MMIC増幅器^(8,9)

3.1 回路設計

図10は、4段増幅器の等価回路を示す。増幅器は、4個のSAMFETと入出力及び段間整合回路で構成されている。整合回路は、ショートスタブで構成し、バイアス回路を兼ねている。

増幅器のNFは初段FETのNFに大きく依存するため、低雑音増幅器の設計においては初段を雑音整合とする方法が一般的である。しかし、雑音整合条件とインピーダンス整合条件とは一致しないために、初段を雑音整合条件に設定すると、初段の利得が低く、入力VSWRが高くなるという問題がある。この点を解決するために、雑音整合と入力側のインピーダンス整合が同時に得られるように初段FETのソース端子とグランドとの間に直列にフィードバックインダクタ(L_F)を装荷した。 L_F の装荷はその負帰還により増幅器の利得とアイソレーション特性を劣化させるので、これらの得失を総合的に考慮して L_F の最適値をシミュレーションにより決定した。3段目のFETに装荷した L_F は回路の安定動作のために用いている。

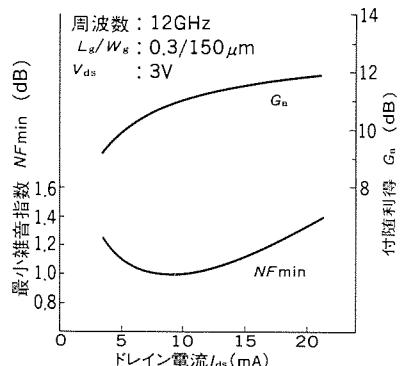


図8. 最小雑音指数と利得のドレイン電流依存性

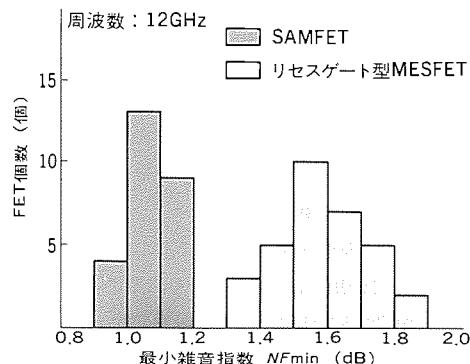


図9. 最小雑音指数 (NF_min) の分布

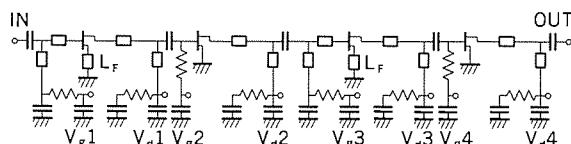


図10. 4段増幅器の等価回路

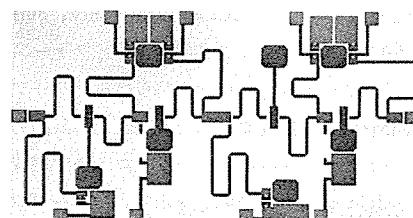


図11. 4段増幅器のチップ写真

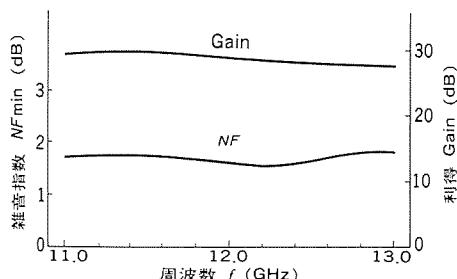


図12. 4段増幅器のNFと利得の周波数依存性

各段のバイアス回路部には不要な低周波発振を防止するために安定化フィルタを設けている。

3.2 4段増幅器の試作

図11は、4段増幅器のチップ写真を示す。各段のFETはゲート幅が $150\mu\text{m}$ 、ゲート長が $0.3\mu\text{m}$ である。チップサイズは $3.6\text{mm} \times 1.9\text{mm}$ である。接地は、寄生インダクタンスを低減するために、GaAs基板を貫通するバイアホールを介して基板裏面に直接接続す

ることにより行っている。図12は、試作した増幅器の周波数帯域 $11\sim13\text{GHz}$ におけるNF及び利得の周波数特性を示す。このときのバイアス条件は、電源電圧(V_d) 3V 、電流(I_d) 40mA である。 12GHz では $NF_{min} 1.58\text{dB}$ 、利得 29dB が、またDBS用の周波数帯域($11.7\sim12.7\text{GHz}$)においても $NF_{min} 1.76\text{dB}$ 以下、利得 28dB 以上の極めて良好な特性が得られた。この性能は従来のリセスゲート型GaAsMESFETを用いたMMIC増幅器では実現できなかったもので、低雑音HEMT MMIC増幅器($NF_{min}=1.57\text{dB}$, $G_a=13.8\text{dB}$ (@ 12GHz)⁽¹⁰⁾)を凌ぐ世界最高性能である。

4. むすび

MMIC用のGaAsFETとして、均一性、再現性に優れた多層低抵抗ゲート電極を有する自己整合型FET(SAMFET)を開発し、従来のリセスゲート型GaAsMESFETでは得られなかつた優れた低雑音性能を実現した。これを 12GHz 帯4段MMIC増幅器に適用して 12GHz における雑音指数 1.58dB 、利得 29dB という世界最高性能を実現し、高性能MMICを実現する優れたトランジスタであることを示した。

SAMFETは、イオン注入・アニール技術、ドライエッティング技術などSiLSIで実績のある技術を用いて製作できることから、量産性にも優れているため低コスト化が容易であり、MMICの実用化の道を開くものと期待できる。

参考文献

- K. Ito, et al.: A Self-Aligned Planer GaAs MESFET Technology for MMICs", GaAs IC Symposium Technical Digest, p.45 (1987)
- 伊藤ほか: MMIC用多層ゲート構造セルフアラインMESFET, 信学技報, ED87-152 (1987)
- N. Yokoyama, et al.: A Self-Aligned Source/Drain Planer Device for Ultra High-Speed GaAs MESFET VLSIs, ISSCC Digest of Technical Papers, p.218 (1981)
- K. Maemura, et al.: A 1GHz-2mA/5V GaAs 128/129 Pre-scaler IC, GaAs IC Symposium Technical Digest, p.273 (1987)
- M. Noda, et al.: A High-yield 4Kb SRAM Process Technology using Self-Aligned Gate MESFETs with a Partially Depleted P-layer, GaAs IC Symposium Technical Digest, p. 227 (1988)
- 細木ほか: n⁺スルー注入LDD構造GaAsMESFETの検討, 第47回応用物理学会学術講演会予稿集, p.626 (1986)
- 細木ほか: LDD構造GaAsMESFETの高性能化, 第34回応用物理学関係連合講演会予稿集, p.841 (1987)
- 綾木ほか: SAMFETを用いた 12GHz 帯低雑音MMIC増幅器, 信学技報, MW89-29
- N. Ayaki, et al.: A 12GHz-Band Super Low-Noise Amplifier using a Self-Aligned Gate MESFET, IEEE Microwave and Millimeter-wave Monolithic Circuits Symposium, p.7 (1989)
- N. Ayaki, et al.: A 12GHz-Band Monolithic HEMT MMIC Low-Noise Amplifier, GaAs IC Symposium Technical Digest, p.101 (1988)

インバータ用パワーICモジュール

中嶋利廣* 飯尾幸司** 宮嶋辰夫⁺
ゴーラブ・マジュムダール^{*}
福永匡則^{*} 梶田武良***

1. まえがき

最近のパワーエレクトロニクスの分野で、パワーデバイスに周辺回路を集積化する動きが進展している。特に、モータを可変速制御する汎用インバータ、エアコンの分野で、周辺回路の集積化への要求が強い。周辺回路を集積化することにより、システムの高機能化、小型化、高信頼度化が可能となる。周辺回路としては、入出力のインターフェース回路、パワーデバイスの駆動回路・保護回路(過電流・過負荷・負荷短絡・負荷オープン・過熱・過電圧等)がある。パワーデバイスと周辺回路をモノリシックに集積したいわゆる“パワーIC”，“スマートパワー”が最近紹介されている。

しかし、これらは、耐圧が50~100Vを中心であり、商用電源を用いるインバータなどのモータ制御を行う用途には、耐圧が低く、中小電力インバータ(数100W~数kW)の用途には適用できない。そこでこれらの用途には、パワーデバイスとしてトランジスタモジュールを用い、駆動回路や保護回路など周辺回路をディスクリート部品やハイブリッドICで構成している。また、これらの高耐圧の分野では、パワーデバイスと周辺回路をモノリシック化できるのは数年先であろう。それまでは部分的なモノリシック化が進んでいくと予測される。

今回、パワーデバイスとしてIGBTを採用し、その駆動回路、保護回路(過電流保護、過熱保護、制御電源電圧低下保護の機能を内蔵)をモノリシックIC化した500V、10~20Aの、新しいパワーICモジュール PM10TAA050, PM15TAA050, PM20TAA050, PM10QAA050, PM15QAA050, PM20QAA050(図1, 図2)の開発及び量産化に成功した。

本論文では、新しいパワーICモジュールの構成、動作を述べる。また、この新しいパワーICモジュールによるシステムの小型化、回路の集積化、高機能化について述べる。

2. 新しいパワーICモジュールの特長と構成

代表的な汎用インバータのブロック図を図3に示す。全システムは、コンバータ・インバータ・ブレーキ用トランジスタのパワーデバイス、インバータ・ブレーキ用トランジスタの駆動回路、過電流・過熱・過電圧等の検出・保護回路、ホトカプラによる入出力のインターフェース回路とマイコンによる制御回路で構成されている。インバータのシステムには多数の部品が必要であり、小型化、高性能化、軽量化に大きな障害があった。また、システムの回路設計、製作にも時間がかかり、部品の在庫管理が複雑であった。これらの問題を解決するために、パワーデバイスのパッケージに駆動回路・保護回路などの制御回路を内蔵させることが要求してきた。この要求にこたえるため、今回新しいインテリジェントなパワーICモジュールを開発した。この新しいパワーICモジュールは、図3に示した一点鎖線内を集積し、一つのパッケージに納めたものである。この新しいパワーICモジュールは、AC-DCコンバータとして三相のダイオード

ブリッジを内蔵した三相200Vライン用のシリーズ(PM10TAA050, PM15TAA050, PM20TAA050)と、単相のダイオードブリッジを内蔵した単相200Vライン、又は単相100V倍電圧整流用のシリーズ(PM10QAA050, PM15QAA050, PM20QAA050)がある。

2.1 特長

従来、汎用インバータ、エアコン等の分野で三相モータの可変速制御を行うために、図4に示すように、トランジスタモジュール、ダイオードモジュール、ベースアンプ、ホトカプラなど多数の部品により構成されていたが、これらの部品を新しいパワーICモジュールでは一つパッケージに集積させた。

この新しいパワーICモジュールでは、インバータ用素子に電流センス内蔵のIGBTを使用し、コンバータを内蔵するとともに、入出力絶縁・駆動・保護回路を内蔵したので、システムの小型化、軽量化、高性能化、高信頼度化が可能となった。

また、この新しいパワーICモジュールは、マイコンを接続するだけでキャリヤ周波数最大5kHzまで1kW程度の三相モータの可変速制御ができ、システム回路の簡素化を実現した集積度の高いレベルのものである。

2.2 構成

図5に、この新しいパワーICモジュール(PM15TAA050)の内部回路の詳細を示す。このパワーICの構成は、800V、30Aのコンバータと、500V、15Aのカレントセンス内蔵IGBTとファーストリカバリフリーホイルダイオードのインバータからなるパワープロックと、IGBTの駆動回路・保護回路を集積した制御ICと、入出力のインターフェースとしてのホトカプラからなる制御プロックで構成される。

図6にパワーICモジュールの構造を示す。パワープロックは、コンバータ用のダイオード、IGBT、ファーストリカバリフリーホイルダイオードが裸チップでアルミ基板にはんだ付けされ、アルミワイヤで電気的に接続されている。更に、過熱保護のための温度検出用デバイス(TSD)としてスーパミニトランジスタが、パワープロックのアルミ基板上の温度分布の高い最適な位置に配置されている。制御プロックは、パワープロックと別の基板に制御IC、ホトカプラ、抵抗、コンデンサを面実装したものである。パワープロックと

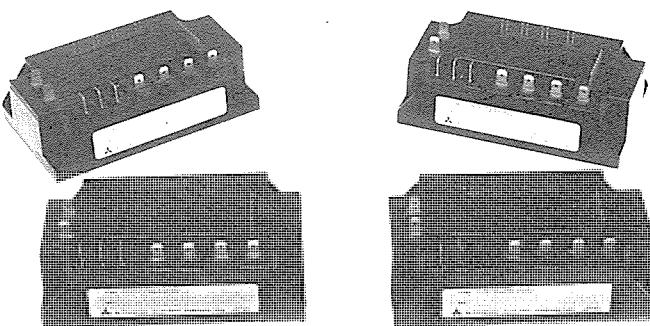


図1. パワーICモジュールの外観

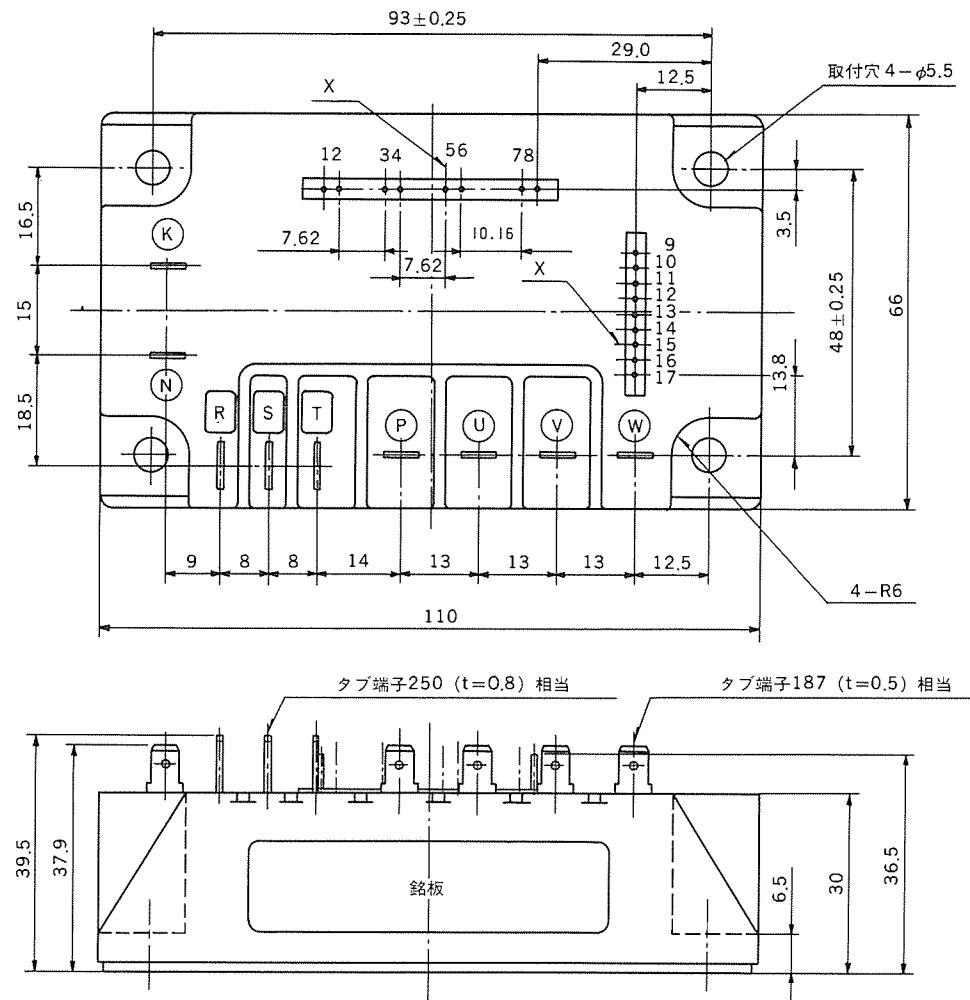


図2. パワーICモジュールの外形図

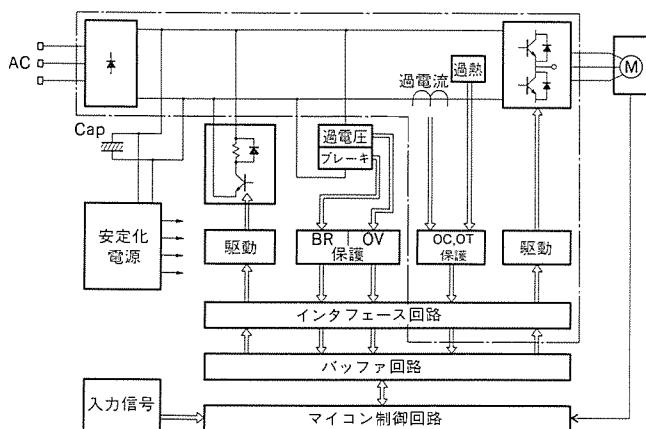


図3. インバータの基本ブロック図

制御ブロックは別々に組み立てられ、パワーブロックから引き出された端子により制御ブロックと電気的接続がされている。

パッケージの中には、シリコーンゲルとエポキシ樹脂が封入され、機械的な強度向上と、品質の安定性を図っている。図4に示すようにこのパワーICモジュールは、小型で強固なものであり、単なるディスクリート製品の置き替えではなく、信頼性の向上、システム全体の性能向上が可能である。また、インバータのシステムレイアウトがコンパクトにできるように端子位置が配置してある。

2.3 信頼性

パワーICモジュールは、品質の向上を考慮して上記のようにパワーブロックと制御ブロックを一つのパッケージに収納した構成となっている。表1に、パワーICモジュール(PM15TAA050)の信頼性試験成績一覧を示す。寿命試験、環境試験ともJIS 7021規格に基づいて行ったものである。この信頼性試験の結果から、パワーデバイスと周辺回路を一体化したこの新しいパワーICモジュールは、高信頼性水準にあることを示している。

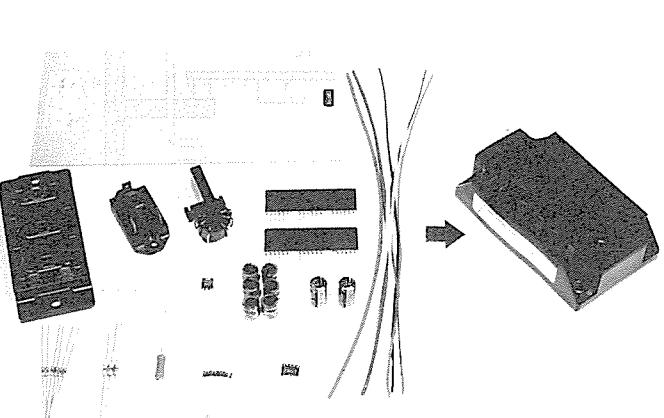


図4. パワーICモジュールの集積度

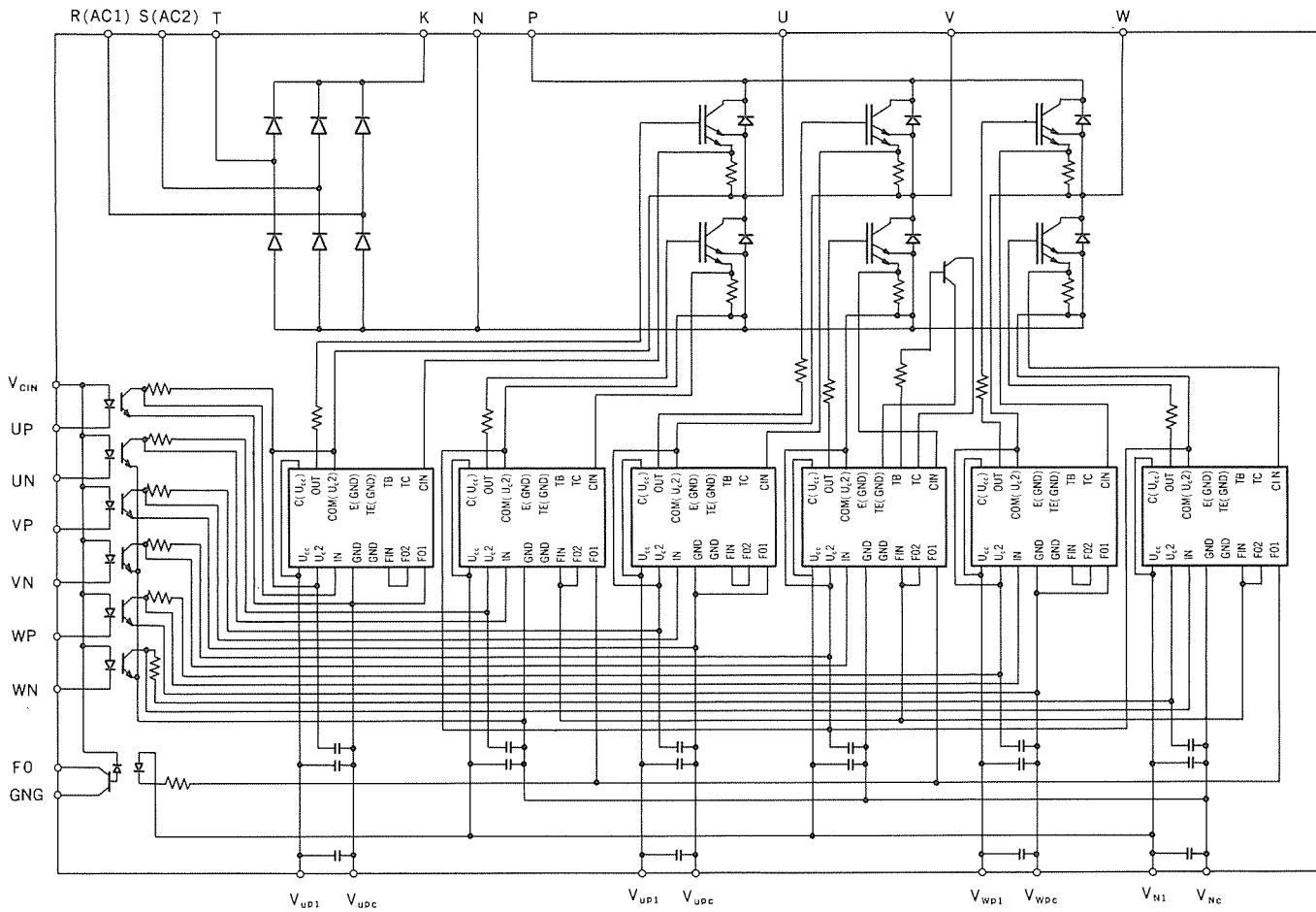


図5. パワーICモジュールの内部回路 (PM15TAA050)

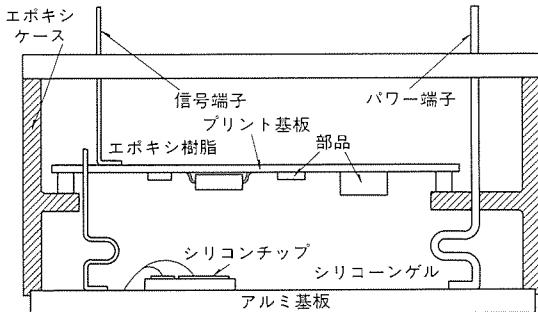


図6. パワーICモジュールの内部構造

表1. パワーICモジュールの信頼性結果 (PM15TAA050)

試験項目	試験条件	n r
高温保存	$T_a = 125^\circ\text{C}$, $t = 1,000\text{h}$	50
低温保存	$T_a = -40^\circ\text{C}$, $t = 1,000\text{h}$	50
耐湿性	$T_a = 60^\circ\text{C}$, R.H. = 90%, $t = 1,000\text{h}$	50
IGBTの高温バイアス	$T_a = 125^\circ\text{C}$, $V_{CE} = 425\text{V}$, $V_D = 15\text{V}$, $t = 1,000\text{h}$	50
制御部の高温バイアス	$T_a = 90^\circ\text{C}$, $V_D = 15\text{V}$, $t = 1,000\text{h}$	50
断続動作	$I_c = 10\text{A}$, $t_{ON} = 10\text{秒} \rightarrow t_{OFF} = 30\text{秒}$, 10,000回	50
熱衝撃	0°Cの水5分 → 100°Cの水5分, 5回	50
温度サイクル	$T_a = -40^\circ\text{C}$, 60分 → 25°C, 10分 → 125°C, 60分 → 25°C, 10分, 100回	50
はんだ付け性	230°Cのはんだ槽, 5秒	50
はんだ耐熱	260°Cのはんだ槽, 10秒	50

3. 機能

3.1 IGBT

新しいパワーICモジュールは、パワーデバイス技術とIC技術を駆

使した結果により開発が完了した。IGBTは中速のスイッチング素子であり、中～大容量インバータのような高耐圧で中～大電流デバイスを必要とする分野に適している。また、IGBTは、パワーMOSFETと同じように、電圧制御型デバイスであり、駆動回路の低消費電力設計が可能である。IGBTの飽和電圧はバイポーラトランジスタに比較的近い値であり、スイッチング速度はバイポーラトランジスタより速いためパワーロスが少ない特長がある。

新しいパワーICモジュール用として開発したIGBTは、IGBTのエミッタセルのうち、数千分の1のセルを電流センスとして分割分離したデバイスである（図7）。この電流センスを用いてIGBTのコレクタ電流を検出する方法は、コレクタ電流の数千分の1の電流が電流センスに分流し、その電流を電流検出に用いるものである。従来のインバータの電流検出は、母線に検出抵抗又は電流シャントを挿

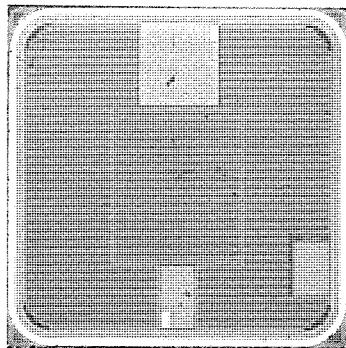


図7. IGBTチップ

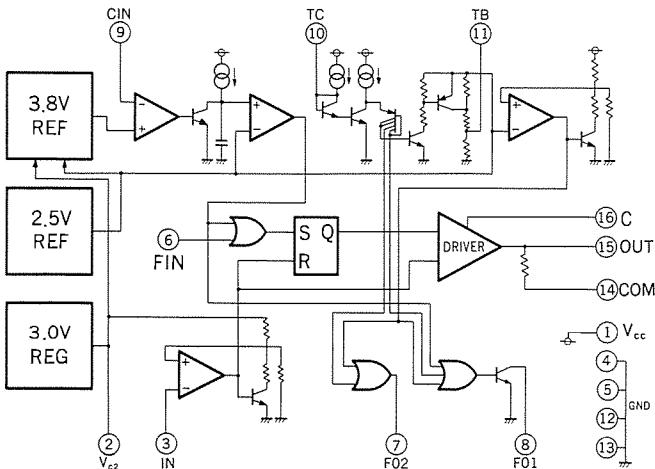


図 8 . 制御ICの機能ブロック図

表 2 . パワーICモジュールの定格と特性

ブロック	項目	記号	条件	定格値			単位
				TYPE1 ^①	TYPE2 ^②	TYPE3 ^③	
ダイオード ブリッジ	逆耐圧	V_{RKM}	$I_{RKM}=1\text{mA}$	800			V
	順電圧降下	V_F	$I_F=20/30/30\text{A}$	typ1.1			V
	直流动出電流	I_o	三相全波整流, $T_c=90^\circ\text{C}$	20	30	30	A
IGBT インバータ ブリッジ	コレクタ・エミッタ間電圧	V_{CEX}	$I_C=1\text{A}, V_D=15\text{V}, I_{GS}=0\text{A}$	500			V
	コレクタ・エミッタ間電圧と電流	V_{CESATI}	$I_C=10/15/20\text{A}, V_D=15\text{V}$	typ2.3			V
	コレクタ電流	I_C	$T_c=25^\circ\text{C}$	10	15	20	A
制御 (保護)部	電源電圧	V_D		15			V
	回路電流	I_D	$V_D=15\text{V}$ 上側ドライブ側 下側ドライブ側	typ15 typ50			mA
全システム	ターンオン時間	t_{ON}	$V_D=15\text{V}, I_{CIN}=10\text{mA}$	typ4			μs
	ターンオフ時間	t_{OFF}	$V_D=15\text{V}, I_C=15\text{A}$ L負荷	typ4			μs
	過電流トリップレベル	OC	$V_D=15\text{V}, T_j \leq 125^\circ\text{C}$	typ15	typ23	typ30	A
	過熱トリップレベル	OT	$V_D=15\text{V}$	typ105			$^\circ\text{C}$
	電源電圧低下トリップレベル	UV		typ12.5			V
	動作モジュール基板温度	TC		90			$^\circ\text{C}$

注 *1 TYPE 1 : PM10TAA-050, PM10QAA-050

*2 TYPE 2 : PM15TAA-050, PM15QAA-050

*3 TYPE 3 : PM20TAA-050, PM20QAA-050

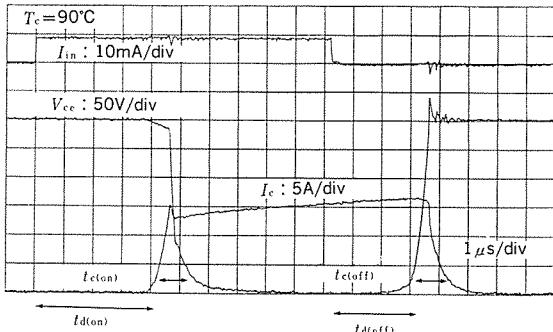


図 9 . スイッチング波形

入して行われていたので、電流センス内蔵のIGBTを用いることにより、電流検出のためのパワーロスの低減、部品点数、検出回路の簡略化が可能となる。また、インバータとして接続したIGBTのコレクタ電流をそれぞれ独立して検出できるので、きめの細かい制御が可能となる。

3.2 制御 IC

制御ICは、バイポーラICプロセスにより開発したもので、図5に示すように、IGBT各々に1個ずつ接続されている。そして、IGBTの駆動及び過電流、TSDによる過熱、制御電源電圧低下を検出し、入力パルスごとにIGBTの保護を行う。また、下側アームに過電流、過熱、制御電源電圧低下の異常状態が発生すると同時にホトカプラ

により外部に異常信号を出力する。

図8は、制御ICの機能ブロック図である。この制御ICは、パワーICモジュールが、マイコンにより簡単に制御できるようにインテリジェントな機能を持っている。マイコンからの入力信号は、入出力絶縁のホトカプラを介して制御ICに印加される。入力信号は、制御ICのドライバをトリガしIGBTのゲートを駆動する信号を出すると同時に、入力パルスごとの保護のためのラッチ回路をリセットする。IGBTの電流検出端子により検出されるコレクタ電流は、検出抵抗により電圧に変換され、制御ICに入力される。過電流検出回路は、フリーホイルダイオードのリカバリ電流などによる誤動作防止のため、一定のディレー時間を設け、ディレー時間以上の過電流信号が印加されると、パルスごとの保護のためのラッチ回路をセットし、IGBTのゲート駆動信号を遮断する。過熱・制御電源電圧低下の保護は、それぞれの保護回路が異常状態を検出すると、パルスごとの保護のためのラッチ回路をセットしIGBTのゲート駆動信号を遮断する。また、過熱・制御電源電圧低下の異常信号は、下側アームのIGBTを同時に遮断するため、制御ICから出力され、他の相の制御ICのパルスごとの保護のためのラッチ回路へ接続しており、過電流検出回路の出力ORを経由し、IGBTを遮断する構成となっている。過電流・過熱・制御電源電圧低下の異常状態が検出されるとIGBTのゲートを遮断すると同時に、異常信号を外部に出力するためホトカプラを駆動する。

また、過電流・過熱、制御電源電圧低下の検出のための二つのリファレンス電圧回路と、IGBTのdv/dtによる誤動作防止のためのゲート逆バイアス印加と入力インタフェース用ホトカプラの電源用のレギュレータ回路が設けてある。さらに、IGBTのゲートのdv/dtによる誤動作防止と静電破壊防止のためIGBTのゲートとエミッタに接続する端子間に抵抗が接続している。

この新しいパワーICモジュールは、電流センスを内蔵したIGBTを用いたことにより、駆動回路の低消費電力化が可能となり、IGBTの駆動回路、保護回路などの制御回路をモノリシックIC化することができた。これにより、パッケージの小型化、高信頼度化、性能の向上を可能とした。

4. 特性と応用

パワーICモジュールPM10TAA050, PM15TAA050, PM20TAA050, PM10QAA050, PM15QAA050, PM20QAA050の定格・特性は表2に示すとおりである。以下にそのうちの主要な特性についての評価結果について述べる。

4.1 スイッチング特性

今回開発したパワーICモジュール(PM15TAA050)によりL負荷ハーフブリッジ回路でスイッチング特性の評価を行った結果を図9に示す。入力インタフェースのホトカプラへの入力電流に対するIGBTのコレクタ電流の応答時間は、ターンオンの遅れ時間、ターンオフの遅れ時間とも約4μsである。また、IGBTのスイッチング波形(コレクタ電流・電圧)は、クロスオーバー時間t_{c(on)}, t_{c(off)}が非常に短く1μs程度で、スイッチングロスが小さいといえる。さらに、ターンオフ時のV_{ce}の跳ね上がり電圧がなく、理想的なスイッチング特性が得られている。

4.2 過電流保護

今回開発したパワーICモジュール(PM15TAA050)によりL負荷ハーフブリッジ回路で過電流保護回路の評価を行った。過電流保護

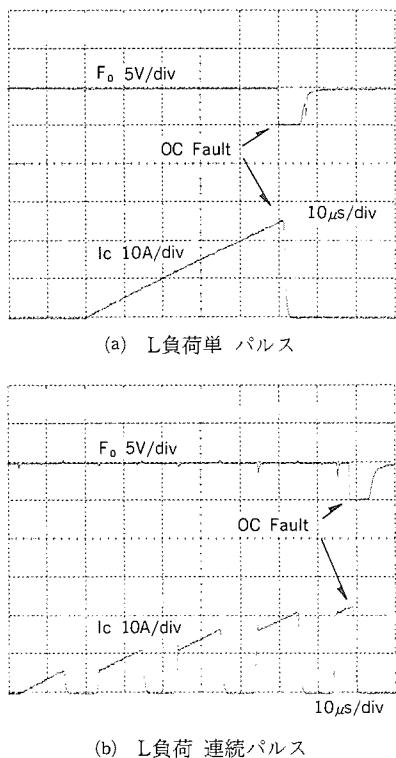


図10. 過電流時の波形

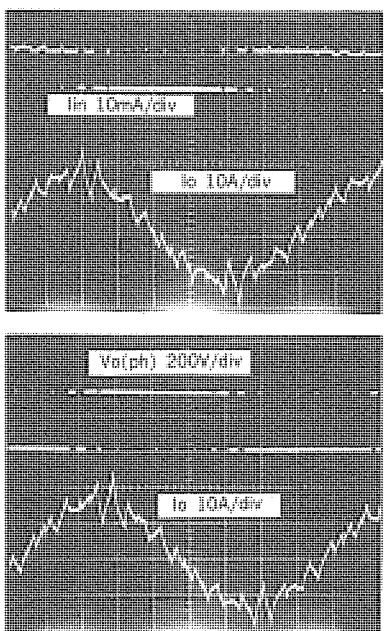


図11. PWMインバータの動作波形

時の波形を図10に示す。コレクタ電流が設定値を超えると過電流保護回路が働き、ある一定のディレー時間の後、IGBTを遮断すると同時にホトカプラにより絶縁された異常信号を出力している。また、過電流状態で入力信号を繰り返し印加した場合も、パルスごとの制御によりIGBTの保護が行われ、異常状態が解除されると、新たなリセット信号を必要とせず、入力信号を印加することにより自動復帰することが確認された。

4.3 実動作評価

試作インバータによりPWM制御し、三相モータの実動作評価を行った。図11は、PWM信号入力時の出力電流と出力電圧波形である。マイコンからのPWM信号をパワーICモジュールに入力するだけで、三相モータの可变速制御ができることが確認された。

4.4 応用分野

今回開発したパワーICモジュールは、電源回路を接続し、マイコンから最大5kHzのキャリヤ周波数のPWM信号をパワーICモジュールに入力することにより、1kW程度の三相モータの可变速制御ができる。また、AC-DCコンバータとして三相のダイオードブリッジを内蔵した三相200Vライン用のPM10TAA050、PM15TAA050、PM20TAA050と、単相のダイオードブリッジを内蔵した単相200Vライン又は単相100V倍電圧整流用のPM10QAA050、PM15QAA050、PM20QAA050のシリーズ化を行ったので、商用電源の種類を問わず適用することができる。

代表的な応用分野としては、FA用途として、汎用インバータ、ACサーボ、工業用ミシン、家電用途として、エアコン、冷蔵庫などが挙げられるが、1kW程度の三相モータの可变速制御を行うあらゆる分野で適用可能である。

5. むすび

新しいパワーICモジュールは、多機能で自己診断機能を持ち、マイコンから入力信号を印加するだけでインバータとして動作し、同時に異常をマイコンへフィードバックすることを可能にした。このパワーICモジュールによって、全システムの小型化、高性能化、高信頼度化が実現できる。新しいパワーICモジュールは、コンバータ・電流センサ内蔵のIGBTを使ったインバータ・駆動回路・保護回路が一つのパッケージに収納されたもので、三相の1kW程度のモータの可变速制御を可能にした。パワーエレクトロニクス分野における一つの技術革新である。

今後、更に大容量、高速のパワーICモジュールが出現すると同時に、より高集積化されたパワーICモジュールが可能になると予想される。

最後に、このパワーICモジュールの開発にあたって多大のご指導とご援助をいただいた関係の方々に深く感謝の意を表す。

参考文献

- (1) Majumdar, et al. : Control & Protection of Power Module in Inverter Circuit, PCI June '88 Proceedings.
- (2) J. G. Mansman, et al. : ASIC Like HVIC for Interfacing to Half-bridge Based power Circuits, PESC '88 Record.
- (3) G. Majumdar, et al. : An Intelligent Power IC Module for High Power PWM Inverters, PCIM '88 Proceedings.
- (4) Tadahiro Ohmi : Trend of High Performance Power Devices and Power Integrated Circuits, Proceedings of ISPE, SEOUL.
- (5) G. Majumdar, et al. : A Versatile IC Desin & Current-Sence IGBT Match For Smart Modules, Proceeding of ISPE, SEOUL.

三次元形状シミュレータ

藤永正人*
小谷教彦**

1. まえがき

VLSIからULSIへとデバイスの高集積化は一層進み、そのためのサブミクロンからディープサブミクロン素子の研究開発が行われている。このように微細化された素子では、素子の角の部分の形状が素子特性に影響する。したがって、角の部分の形状を予測することや、立体的に複雑な素子構造の全体像を把握することが、ULSI開発にとって重要である。

素子の角の部分の形状を予測し、立体的に全体像を把握するには、三次元形状シミュレータが必要である。そして、プロセス技術者にとって使いやすく、実用的でなければならず、高速・高精度な三次元シミュレータが要求されている。

現在、よく知られている形状シミュレーションの基本モデルには、①Stringモデル⁽¹⁾⁽²⁾、②Ray-Tracingモデル⁽³⁾、③Cell-Removalモデル⁽⁴⁾がある。しかし、これらを三次元化した場合、計算時間やメモリ量がばく大、プログラミングが複雑、時には非対称性が現れたりするなど、種々の問題点があった。

今回、我々はこれらの問題点を、根本的に解決する全く新しい形状シミュレーションの基本モデルを考案した。このモデルは、拡散現象をヒントにしたもので、微分方程式を差分法で解いて形状の時間的变化を追っていく。メッシュ分割を適切に行えば、メモリ量や計算時間も少なくなる等、以前のモデルに比べて有利な点が多い。したがって、実用的で汎用性のある三次元形状シミュレータが期待できる。

ここでは、この拡散現象をヒントに考案した新しいエッティングモデルを紹介する。そして、このモデルをもとに三次元形状シミュレータ(3D-MULSS: Three-Dimensional Multi Layer Shape Simulator)を開発し、光リソグラフィのレジスト形状やWet/Dryエッティングをシミュレーションしたので、ここに報告する。

2. モデリング

このモデルは、エッティング現象を粒子の拡散現象と見てモデル化したものであり、エッティングされた表面形状を等濃度面で表現する⁽⁵⁾。したがって、“修正拡散モデル”ということができる。以下、このモデルについて説明する。

2.1 三次元形状導出のアルゴリズム

アルゴリズムは、エッティング速度とエッティング時間を与えて、次の式(1)～式(4)に示す微分方程式を差分法で解き、等濃度面の一つをエッティング面とするものである。

$$\sqrt{Di} = k_1 \cdot Vi \quad (1)$$

$$\sqrt{t} = k_2 \cdot T \quad (2)$$

$$\partial C / \partial t = - \sum_i (\partial j_i / \partial X_i) \quad (3)$$

$$j_i = -Di \cdot (\partial C / \partial X_i) \quad (4)$$

境界条件：マスクの窓の部分で濃度一定。

その他は自然境界条件

ここに

$$i : x, y, z$$

$$Vx : エッティング速度, \quad T : エッティング時間,$$

$$Dx : 拡散係数, \quad t : 拡散時間,$$

$$k_1, k_2 : 比例定数$$

ここで式(3)、式(4)は、拡散方程式に対応している。 k_1, k_2 の値については次に示す。

2.2 モデルの概念

図1はこのモデルの概念図である。エッティング表面では表面化学反応が非常に速く、エッティングの窓から入るエッチャントの流れがエッティング速度を律速していると考える。このとき、一次近似としてエッティング速度 Vx がエッチャントの流れ Jx に比例しているとすると、 k を比例定数として、

$$Vx = k \cdot Jx \quad (5)$$

となる。

一方、マスクの窓（表面）でのエッチャントの濃度を一定にして、エッチャントを拡散させる。このとき、エッチャントの濃度分布は、深さ方向に対して、

$$C(X, t) = C_0 \cdot \text{erfc} [X / (2 \cdot \sqrt{Dx \cdot t})] \quad (6)$$

ここに $C(X, t)$: 濃度分布、 C_0 : 表面の濃度

Dx : 拡散係数

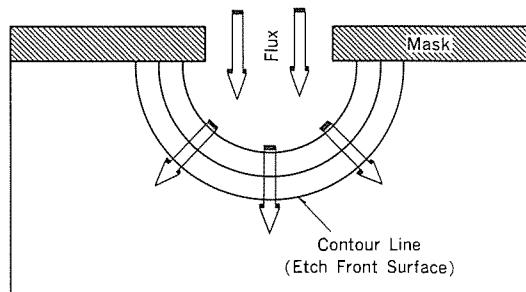


図1. エッティングモデル

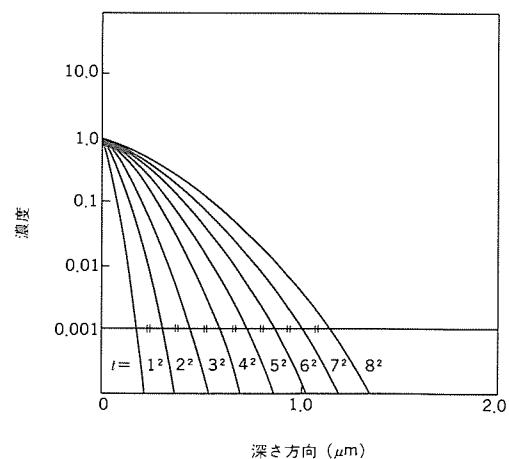


図2. 拡散によるプロファイル

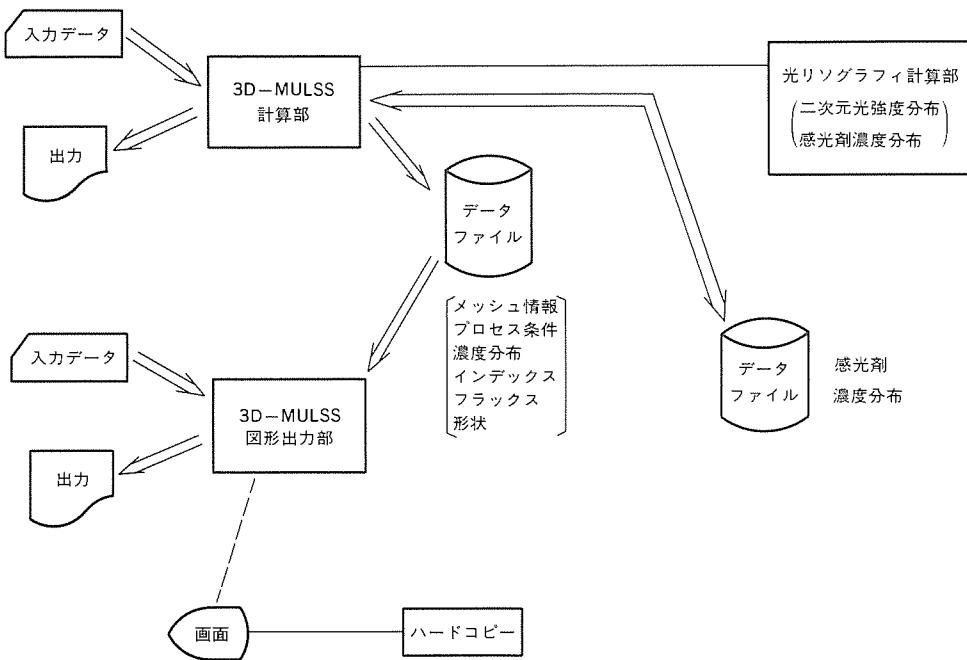


図3. 3D-MULSSのプログラム構成

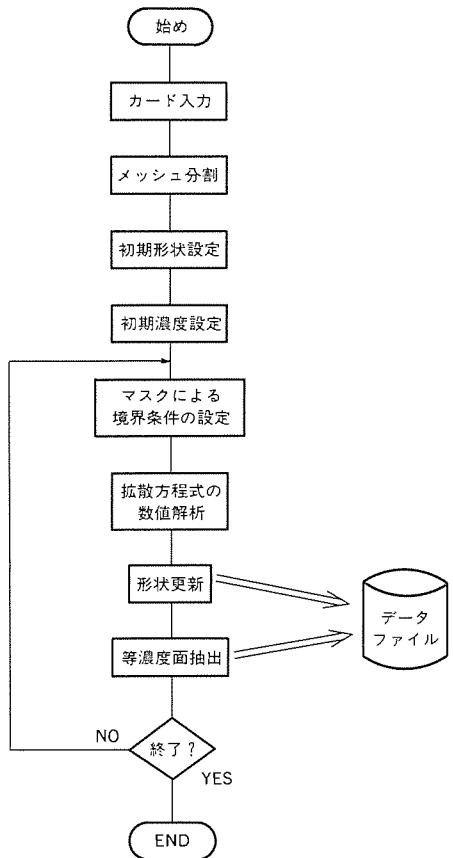


図4. 計算部の処理の流れ

erfc: 構造関数

と表せる⁽⁶⁾。エッチャントの流れ J_x は、

$$J_x = -D_x \cdot \frac{\partial C}{\partial X} \quad \dots \dots \dots (7)$$

$$= (D_x \cdot C_0 / \sqrt{\pi \cdot D_x \cdot t}) \cdot \exp [-(X / (2 \cdot \sqrt{D_x \cdot t}))^2] \quad \dots \dots \dots (8)$$

であるから、 $X = 0$ (表面)では、

$$J_x = C_0 \cdot \sqrt{D_x / \pi \cdot t} \quad \dots \dots \dots (9)$$

が成り立つ。

次に、等濃度面 (コンター面) の動きを調べる。等濃度面の動きは、式(6)において、

$$C(X, t) = C_1 = \text{一定} \quad \dots \dots \dots (10)$$

として、補誤差関数の逆関数を用いて、

$$X = 2 \sqrt{D_x \cdot t} \cdot \text{erfc}^{-1}(C_1 / C_0) \quad \dots \dots \dots (11)$$

となる。式(11)を t で微分すると、

$$dX/dt = \sqrt{D_x/t} \cdot \text{erfc}^{-1}(C_1/C_0) \quad \dots \dots \dots (12)$$

となる。式(9)と式(12)から等濃度面の動く速さが、マスクの窓(表面)を流れてくるエッチャント流量 J_x に比例している。

このことは、式(5)と同じであり、拡散律速のエッチングでは、エッチャントフロントの動きが、ここでいう拡散の等濃度面の動きに、近似できることを意味している。

例えば、式(6)において、

$$C_0 = 1.0 \quad \dots \dots \dots (13)$$

として、拡散させたときの深さ方向に対する濃度プロファイルを図2に示す。拡散時間 t の2乗に比例して等濃度面の動くのが分かる。式(1)、式(2)において、

$$k_1 = k_2 = 1.0$$

とすると、

$$X = V_x \cdot T = \sqrt{D_x \cdot t} \quad \dots \dots \dots (14)$$

となり、

$$\text{erfc}[X / (2 \sqrt{D_x \cdot t})] = \text{erfc}(0.5) = 0.479 \quad \dots \dots \dots (15)$$

が成り立つので、エッチャントフロントの動きは0.479の等濃度面の動きに対応する。

2.3 適応性

このモデルは、下記(1)、(2)、(3)のように V_x 、 V_y 、 V_z の値により、等方性エッチャントや異方性エッチャント、そしてリソグラフィの現象などいろいろなプロセスに適応させることができる。

(1) 等方性エッチャント

$$V_x \sim V_y \sim V_z$$

(2) 異方性エッチャント

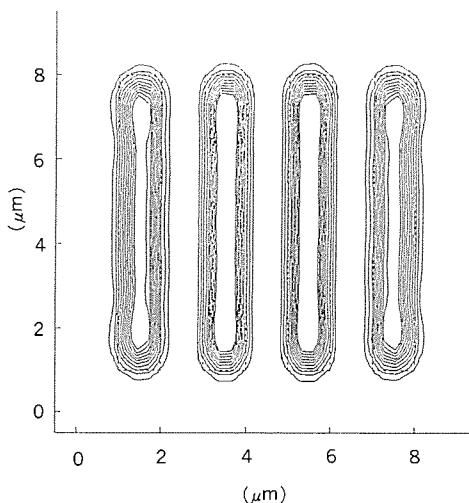


図 5. 光強度分布

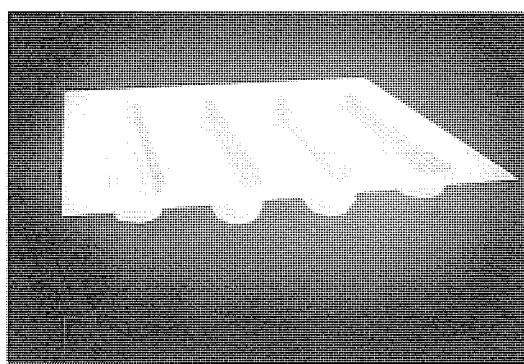


図 6. 光リソグラフィのレジスト形状

$$Vx = Vy \sim 0, Vz > 0$$

(3) リソグラフィの現像や斜めエッティング

各セルごとに Vx , Vy , Vz を定める。

2.4 計算手順

図 3 に、今回開発した 3D-MULSS のプログラム構成を示す。プログラムは、計算部とグラフィック部に分けられる。

計算部は、エッティング計算部と光リソグラフィの二次元光強度計算部、露光計算部からなる。計算部の処理の流れを図 4 に示す。まず、入力データとして、メッシュ、初期形状、マスク情報、初期濃度設定、プロセス条件等を入力する。マスクの窓の境界条件は、濃度一定、又は流れ一定のどちらかを選択する。その他の部分の境界は、すべて自然境界としている。拡散方程式は有限差分法により、数値解析（前進差分、DuFort-Frankel 法）で解く。この後、形状を更新し、等濃度面を抽出して終了するか、又は次の工程のプロセス条件のもとで、計算を行うことになる。

グラフィックの部分は、計算部での結果をもとに、メッシュ図、断面図、コンター図、フラックスのベクトル図、面形状斜視図（陰線処理を含む）を作成する。

3. シミュレーション結果

3.1 光リソグラフィのレジスト形状

光リソグラフィプロセスのシミュレーションは、光強度計算部、露光計算部、現像計算部の三つの部分に分けられる。光強度計算部では、レジスト表面での二次元光強度分布を求める^⑦。露光計算部で

は、基板が平たんで光が基板に垂直に反射するとしてレジスト中の光強度を求め、その光強度から感光剤濃度分布（感光剤の分解する割合）を計算した^⑧。この感光剤濃度分布から Dill モデルで現像速度を計算し、レジスト形状をシミュレーションした。

図 5 は二次元光強度分布の等強度線であり、 $1\text{ }\mu\text{m} \times 7\text{ }\mu\text{m}$ のマスクの窓が $1\text{ }\mu\text{m}$ スペースで 4 本並んでいる。この光強度分布から露光、現像計算を行い、レジスト形状を求めたのが、図 6 である。光の回折により、内側の 2 本のラインの方が現像速度が速いことや、マスクの角の部分が丸みを持つ形状になるのがよく分かる。入射光と基板からの反射光が干渉して定在波ができる、その効果も形状に反映しているのが分かる。これらの計算は、15MIPS のコンピュータで行った。光強度計算と露光計算に 3 分、現像計算に 7 分、三次元グラフィックに 2 分で計 12 分程度で計算できる。

3.2 拡散律速のエッティング

Wet エッティングのような拡散律速のエッティングでは、完全な等方性エッティングとはならず、図 7 に示すような拡散による等濃度面の形状に近くなる。図は、エッティング形状のマスク幅依存性をシミュレーションしたものである。マスク幅が小さくなるにつれて、エッティング深さが浅くなっているのが分かる。このシミュレーションは三次元で行っており、計算時間は約 3 分、メッシュ数は約 90,000 である。

3.3 コンタクトホール

コンタクトホールは、アルミニウムやポリシリコンをデポジションしたときにステップカバレッジをよくするため、Wet エッティングの後、Dry エッティングを行う。このコンタクトホールのシミュレーション結果を図 8 (a), (b) に示す。(a) は鳥かん図であり、(b) は断面図である。3D-MULSS は、このような連続したプロセスをもシミュレーションできるようにしている。計算時間は約 5 分、メッシュ数は約 50,000 である。

4. 修正拡散モデルの特徴

(1) 新方程式によるシミュレーション

拡散方程式からヒントを得て導出した新提案の方程式を解くことにより、エッティング形状の時間的変化をシミュレーションする。

(2) 三次元化が容易

新モデルの方程式は数式が簡潔で分かりやすく、三次元への拡張も容易である。

(3) 高速・高精度なシミュレーション

有限差分法を用いた数値解析により新方程式を解くので、適切なメッシュ分割（不等間隔メッシュ）を行えば、メモリ量や計算時間も少なくなる。表 1 に示すように、各々のシミュレーションは数分で計算できる。

(4) 種々なプロセスに応用可能

等方性エッティングや異方性エッティングをはじめ、メッシュ分割によるセルごとにエッティング速度を定めれば、リソグラフィの現像やその他の新しいプロセスをもシミュレーションできる。

5. むすび

拡散現象をヒントにした新しいエッティングモデルを紹介した。このエッティングモデルは、新提案の微分方程式を解いてエッティング形状を求めるものであり、数式が簡潔で分かりやすく、三次元が容易である。

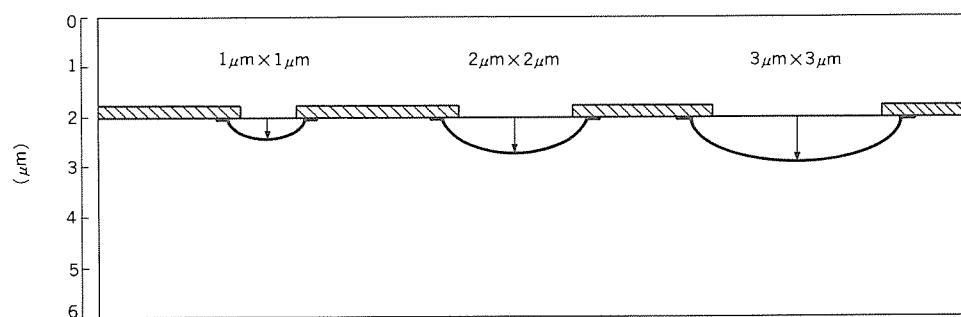
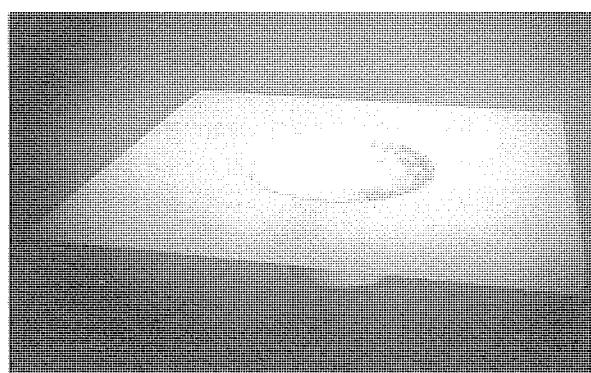
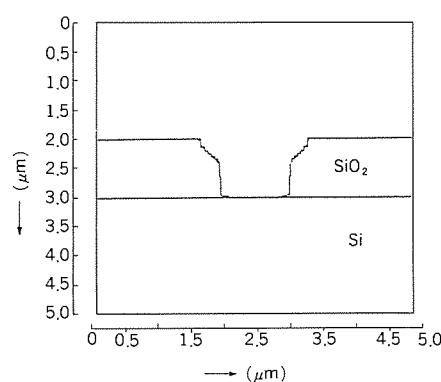


図7. エッティング形状のマスク幅依存性



(a) 鳥かん図



(b) 断面図

図8. コンタクトホールのシミュレーション

表1. メッシュ数と計算時間

	メッシュ数	計算時間(分)
光リソグラフィ レジスト形状	90,000	7
エッティング形状のマスク幅 依存性	90,000	3
コンタクトホール	50,000	5

注 CPU: 15MIPS

このモデルを基にして、高速・高精度な三次元形状シミュレータ(3D-MULSS)を開発した。このシミュレータを用いて、光リソグラフィのレジスト形状やWet/Dryエッティングプロセスをシミュレーションした。その結果、計算時間が短く、三次元形状が正確に表現できることを確認した。

参考文献

- (1) R. E. Jewett, et al.: Polymer Engineering and Science, 17, p. 381 (1977)
- (2) W. E. Oldham, et al.: IEEE Trans. Electron Devices, ED-26, p.1445 (1979)
- (3) T. Matsuzawa : IEEE Trans. Electron Devices, ED-32, No. 9, p.1781 (1985)
- (4) Y. Hirai, et al.: Symposium on VLSI Technology, IEEE CAT., No.87th 0189-1, p.15 (1987)
- (5) M. Fujinaga, et al.: Technical digest of IEDM'88, p.332 (1988)
- (6) J. Crank : The Mathematics of Diffusion, Oxford at the Clarendon Press, p.12 (1956)
- (7) B. J. Lin : IEEE Trans. Electron Devices, ED-27, No. 5, p. 931 (1980)
- (8) F. H. Dill, et al.: IEEE Trans. Electron Devices, ED-22, p. 456 (1975)

超微細加工プロセス技術

西岡久作* 河合 晃*
小川佐知子* 魚谷重雄**
藤原伸夫* 永田一志*

1. まえがき

超LSIの進展には目覚ましいものがあり、現在行われているメガビットレベルの超LSIの開発において、ハーフミクロン ($0.5\mu\text{m}$) レベル以下の超微細加工技術の確立が最重点課題となっている。

今後の超LSI開発及び量産に成功するためには、超微細加工プロセス技術としても、単に二次元的に微細パターンを精度良く形成するためのものから、三次元的に特殊なデバイス構造を持った超LSIを実現するための多様な要求を満たすトータルなプロセス技術としての対応が必要となっている。

この傾向は今後更に加速される方向にあり、従来技術の限界追求とともに、新しいブレークスルー技術への展開の必要性を高めている。ここでは、このような技術の流れの中で、今後の超LSI時代に対応し得る次世代の超微細加工技術として、新規に開発した単層で三層レジスト並みの性能のレジストパターン形成法“LENOS”(Latitude Enhancement Novel Single Layer Lithography) 及び多極カスプ複合磁場方式ECR (Electron Cyclotron Resonance) プラズマを用いたエッティング加工法“COLLIE”(Cold and Low-energy Ion Etching)に関する研究結果について述べる。

2. 技術的背景

微細加工技術は、

- (a) 感光性樹脂（フォトレジスト）を用い、微細なレジストパターンを形成する技術
- (b) 形成されたレジストパターンに基づいて、下地薄膜又は基板をエッティング加工する技術

に大別することができる。

レジストパターン形成技術としては、当初光露光方式の限界は $2\mu\text{m}$ 程度と考えられていた。ところが、縮小投影露光装置(ステッパー)が開発されるとすぐに $1\mu\text{m}$ を突破し、レンズの改良が進んだ現在ではハーフミクロンレベルのパターンを形成できるようになった。しかし、この高解像化のためのレンズの高NA(開口数)化と露光波長の短波長化は、レンズによって結像されるパターン像の焦点深度を浅くするという問題が生じる。この解決策とくて、従来から多層レジスト法やCEL(コントラスト増強膜)法などが検討されたが、プロセスが複雑でコストが高くなる等の問題をかかえている。ここで提案する LENOS 法は、従来からの単層レジスト法並みのシンプルさで、大きな焦点深度と垂直なパターン断面形状を与えるレジストパターン形成法である。

一方、エッティング加工技術としては、当初等方性のプラズマエッティングが用いられていたが、サイドエッティングが発生するため微細加工は困難であり、反応性イオンエッティング(RIE)法を用いた異方性エッティング技術が開発され実用化されている。

現在、その実用性の高さから多用されている RIE 技術にも、①材料間のエッティングの選択性が十分とはいえない、②イオン照射などに

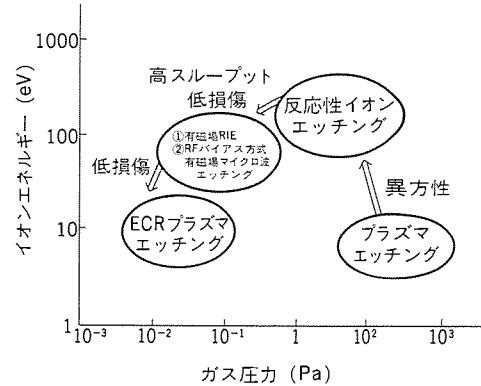


図 1. エッティング技術動向

よりデバイスに損傷を与える、③エッティング速度が小さい、④パターン寸法によりエッティング速度が異なる(マイクロローディング効果)等の問題があり、今後の超LSIへはそのままでは適用できない場合が生じる。

これらの課題を解決するには、

- (1) 低ガス圧化
- (2) 低イオンエネルギー化
- (3) 高プラズマ密度化への技術開発

が必要であり、図 1 に示すように方式としてプラズマエッティング法⁽¹⁾⁽²⁾が今後有望と考えられる。ここで提案する COLLIE 法は、従来の ECR プラズマエッティング法の角度分布が大きく微細加工に適さないという欠点を克服した、低損傷で超微細加工が可能なエッティング加工法である。

3. LENOS 法

我々は、露光部と未露光部の現像液中のレジスト膜溶解速度の差を大きくすることにより、焦点深度が改善されることを見出している⁽³⁾。この知見をもとに、LENOS 法と呼ぶ新規高性能単層レジストプロセスを提唱した⁽⁴⁾。そのプロセスフローを図 2 に示す。 LENOS プロセスでは、従来の単層レジストプロセスに 2 工程追加する。すなわち、プリベーク後のレジスト膜をアルカリ溶液へ浸漬する工程と露光後の加熱工程である。

LENOS プロセスでは、プリベーク後のレジスト膜をアルカリ溶液に浸漬したとき、レジスト膜の表面に現像液に対して弱い難溶性を示す層(難溶層)を形成する。このレジスト表面にできた難溶層が現像時に溶解しきるために必要な時間を、ここでは “Breakthrough Time” と呼ぶ。ステッパー露光工程の露光部では、レジスト中の感光剤が光反応し、現像液に易溶化する。このとき、レジスト膜への入射光とレジスト膜と基板の界面からの反射光により、レジスト膜中に干渉が生じ、その干渉の強弱に応じてレジスト中の感光剤が光反応するため、光反応した感光剤の濃度分布が生じる。露光後の加熱工程では、露光部のレジスト膜中の光反応した感光剤の濃度分布が熱拡散により均一化する。一方、未露光部では、レジスト膜表面

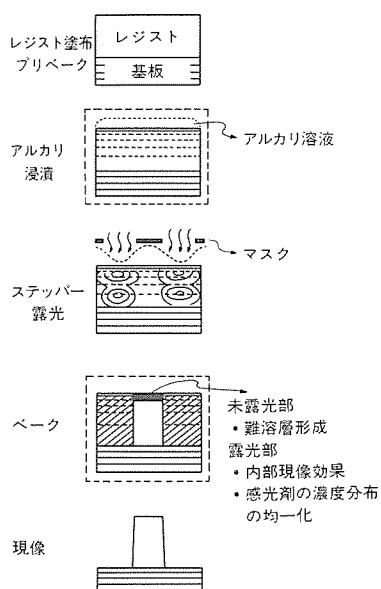


図 2. LENOSプロセスフロー

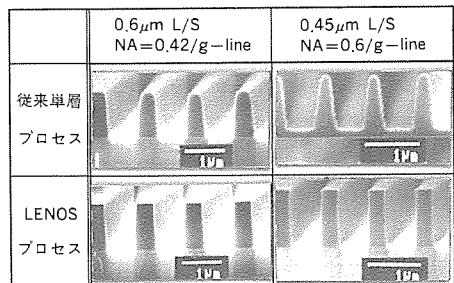


図 3. LENOSプロセスによるレジストパターン形状の改善

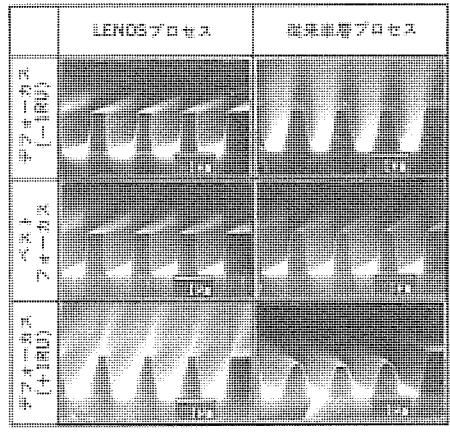


図 4. デフォーカス時のレジストパターン形状

の弱い難溶層の難溶化が更に進む。その結果、露光部と未露光部との、現像時のレジスト溶解速度の差が従来プロセスに比べて大きくなる。

LENOSプロセスで得られたレジストパターンの断面形状を図3に示す。このように、限界解像力付近でもパターン形状はく(矩)形に近い。また、高NAステッパー($NA=0.6/g\text{-Line}$)を用いた場合でも $0.45\mu\text{m}$ ラインアンドスペースパターンができる。このことは、LENOSプロセスが、焦点深度の低下が問題となる高NAステッパーに対しても適することを示している。

また、LENOSプロセスでのデフォーカス時のレジストパターンの断面形状を、従来の単層レジストプロセスと比較して図4に示す。従来プロセスでは、 $-1\text{RU} (-1\text{Rayleigh Unit} = -0.5\lambda/NA^2)$ デ

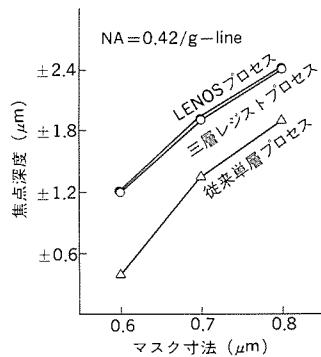


図 5. 焦点深度の比較

フォーカスしたときのパターン寸法は、ベストフォーカスのそれより大きく、形状がだれる。また、 $+1\text{RU} (+0.5\lambda/NA^2)$ デフォーカスしたときのパターン上部は、現像時に溶解し膜減りが生じる。一方、LENOSプロセスでは、 -1RU デフォーカスした場合のパターン寸法変動は非常に小さく、 $+1\text{RU}$ デフォーカスしてもパターン上部のレジストは溶解しない。これは、デフォーカスによる光の回り込みにもかかわらず、レジスト表面に難溶層ができていることによる。

LENOSプロセスにより得られた焦点深度の測定結果を図5に示す。LENOSプロセスでの焦点深度は、単層レジストプロセスの1.3~3.0倍大きく、また、三層レジストプロセスとほぼ等しい。

LENOSプロセスは、特別の専用レジスト材料を必要とせず、かつ、現在の量産ラインで多く使われているg線ステッパーのみならず、今後のi線、エキシマステッパーにも使える。したがって、今後の最小線幅 $0.5\mu\text{m}$ 前後の超LSIを、生産性の高い単層レジストプロセスで実現するのに有効な方法となろう。

4. COLLIE法

前途のようにECRプラズマエッティング技術は、ハーフミクロンルール以下の超微細加工技術の主流となると考えられている。一般的に微細加工性を向上させるためには、まず反応粒子の方向性・平行性を向上させることが必要であるが、同時に反応の選択性・制御性の向上、低エネルギー化を行う必要がある。従来、ECRプラズマは、低圧力条件下で生成することが可能であるため、非活性粒子(中性粒子)による活性粒子(反応性イオン)の散乱を最小限に抑制でき、微細加工性の点で優れているとされていた。

しかし、最近の研究⁽⁵⁾によりECRプラズマ中の反応粒子は方向性に乏しく、現在主流のRIEよりも大きな角度分布を持ってウェーハに入射していることが明らかになってきた。有磁場マイクロ波プラズマエッティングでは、ウェーハにRFバイアスを印加することにより、イオンエネルギーを高めて角度分布を小さくしているが、選択性・制御性・エッティング損傷の点が今後問題となる可能性がある。将来的には、イオンエネルギーを高めることなく、角度分布を小さくした第2世代ECRとでもいうべき新方式の開発が必要不可欠である。この報告では、ECRプラズマにおける反応粒子の角度分布の成因を明らかにするとともに、これを解決した第2世代ECRの一方式について述べる。

ECRプラズマエッティングは、磁場中でプラズマを発生させる点が従来のRIEと最も異なる点である。無磁場プラズマ中では、イオンと電子の相互作用が強く、電荷中性条件が満足されている。しかし、有磁場条件下では、磁場による影響のためイオンと電子の運

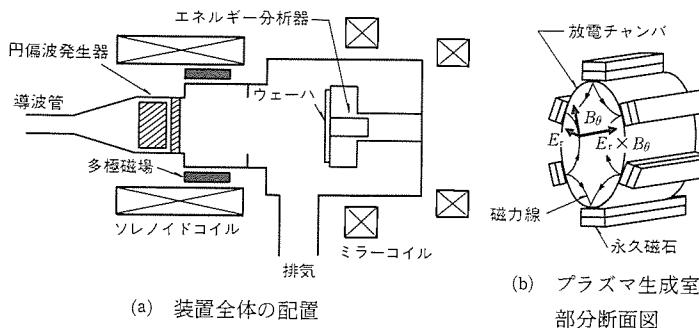


図 6. プラズマの安定性を向上させたECRシステム

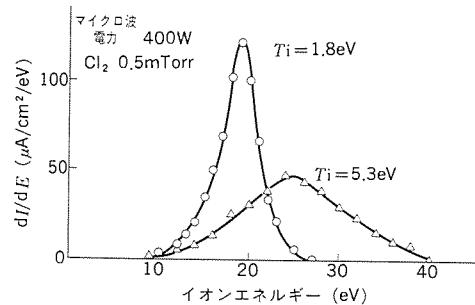


図 7. プラズマ安定化に伴うイオンエネルギー分布の変化

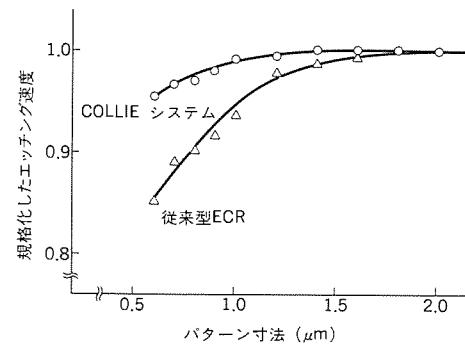
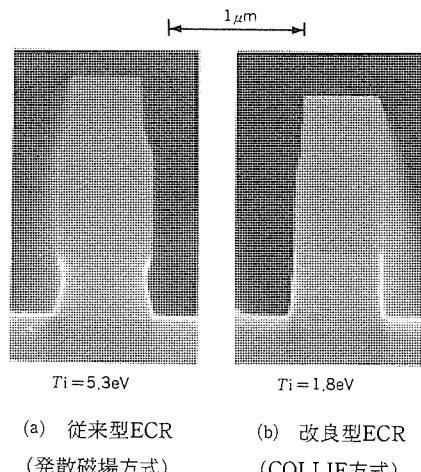


図 8. COLLIE法によるマイクロローディング効果の改善

図 9. n^+ ポリシリコンのエッティング形状

動にそれが生じ（荷電分離）局的に電荷中性条件が破られてしまう。荷電分離した領域では、中性条件を満足する方向に電界が発生し、この電界を介して電子からイオンへのエネルギーの授受がなさ

れる。したがって、イオンは加熱され、無磁場プラズマ中よりも高いイオン温度を持つという結果になり、ECRプラズマ中のイオンが大きな角度分布を示す原因であると考えられる。

このような過程は、プラズマの電磁流体力学的不安定性(MHD不安定性)として知られており、MHD的に安定な磁場配位を採用することで解決できる。我々は、ソレノイドコイルに多極カスプ磁場を付加した複合磁場によりMHD的に安定な磁場を実現し、低温・低エネルギーイオンエッチングであるCOLLIE法を開発した。

図6は、MHD安定性を確保したECRシステムの概略断面図である。共鳴磁場がソレノイドコイルにより発生される点は、従来型ECRと同様である。ソレノイドコイルによる磁場は、コイルの近傍ではMHD的に安定であるが、コイルから遠ざかるに従い不安定となってしまう。多極カスプ磁場は、この不安定性を解消しシステム全体をMHD的に安定化する働きを持っている。

図7は、多極磁場の有無によるイオンエネルギー分布の変化を示したものである。多極磁場の付加によりイオン温度 T_i が低下し、分布が狭くなっていることが分かる。図8は、マイクロローディング効果についての実験結果である。従来型ECRでは、2 μm以下のパターン寸法においてエッティング速度が低下し、0.6 μmパターンでは15%もの低下を示す。イオン温度を低温化したCOLLIE法の場合では、0.6 μmパターンでのエッティング速度低下が5%と小さな値であり、超微細加工に適しているといえる。図9は、りん添加多結晶シリコンをエッティングした際の断面形状のSEM写真である。イオン温度の低温化を実現したことにより、低イオンエネルギーにもかかわらず異方性の強いエッティング形状を得ることができた。

以上のようにMHD安定性を持つECRプラズマでは、イオン温度を低温化できるため、低イオンエネルギーで異方性エッティングを行うことが可能であり、微細加工性・低エネルギー性を必要とするLSIエッティングプロセスに有効であると考えられる。

5. む す び

以上述べたように、ハーフミクロン以下の超微細加工プロセス技術としてLENOS法及びCOLLIE法を提案し、それぞれの有効性を確認できた。

デバイスの高集積化及びLSIパターンの微細化は、今後も更に進展するものと考えられるが、今回提案した2方式はハーフミクロン以下の超LSI実現に大いに貢献するものであると期待している。

参 考 文 献

- (1) S. Matsuo, et al.: Jpn. J. Appl. Phys. 21, L4 (1982)
- (2) K. Nishioka, et al.: IEEE International Electron Devices Meeting, Technical Digest, 12.5, 308 (1986)
- (3) 小川ほか：第35回応用物理学関係連合講演会予稿集, 29p-H-11 (昭63)
- (4) S. Ogawa, et al.: 1st Micro Process Conference, B-8-3, 160 (1988)
- (5) N. Fujiwara, et al.: Proceedings of the 10th Symposium on Dry Process, I-2, 9 (1988)

斜め回転イオン注入技術

御城俊宏* 長友正男**
高橋武人*
大崎三郎*

1. まえがき

半導体へのイオン注入技術は、不純物ドーピングの基幹技術として着実にその適用範囲を広げてきた。多くの不純物ドーピング技術の中で、イオン注入が主流になった理由は、注入量の制御性、再現性、均一性、またマスクパターンどおりの高精度な選択性などが、他の方法に比べて格段に優れているからである。

しかし、デバイスが微細化されるにつれて、イオン注入技術についても幾つかの問題点が顕在化し、さらに4MビットDRAM以降では、デバイス構造の三次元化が進むなかで、新たな要求に基づくプロセス開発も必要となってきた(1)。

このような状況を踏まえて開発された斜め回転イオン注入技術は、微細化と三次元構造化の進むデバイスに対して、特性の向上のみならず、新しい可能性を与えるものである。

本稿では、斜め回転イオン注入技術を構成するイオン注入装置と、基本的特性である注入量の面内均一性、注入量の補正について述べた後、デバイスへの応用例として、トレンチドーピング、及びLDD構造MOSトランジスタへの適用について紹介し、更にハーフミクロンデバイスでの有効性についても言及する。

2. 注入装置の構成と基本特性

2.1 イオン注入装置

今回開発したイオン注入装置の概要を図1に示す(2)(3)。本装置は、一般的な静電走査型の中電流イオン注入装置に、新たに二つの機能を追加している。第一は、ウェーハ装着部の注入角度可変機構と回転機構である。この機構により、ウェーハを0°から60°の任意の傾斜角度に設定でき、かつ0.1から1.0rpsの速度で連続的あるいは間欠的に回転してイオン注入することが可能である。第二は、イオンビームの走査形状を最適化する波形発生器(Wave Generator)の追加である。これは、2.2項に述べる静電走査型イオン注入装置特有の問題を解消するためのものである。

2.2 注入量の面内均一性

静電走査型のイオン注入装置ではイオンビームを放射状に走査しているため、注入角度が増大するに従い、ウェーハ面内の場所によってイオンビームの見込む立体角が異なってくる。図2に、注入角度を大きくした場合のシート抵抗値のウェーハ面内分布を示す。太実線の平均値に対して、ウェーハ上部ではアンダードーズ、下部ではオーバードーズになり、注入角度を大きくする程その傾向も大きくなっている。面内均一性が悪化する。このウェーハ面内の不均一性は、ウェーハの大口径化やデバイス構造の三次元化に伴って問題となってくる。

例えば、トレンチ全側面へのイオン注入を想定した場合、ウェーハの周辺部に形成されたトレンチでは、図3に示すように、トレンチが上部に位置する時に側面Aが、下部に位置する時に側面Cがイオン注入されることになる。従って、図2に示すように注入量が不均

一な場合は、トレンチ側面Aに側面Cの注入量が異なるという問題が生じる。この問題を解消するためには、イオンビームの走査速度を注入角度に応じて変化させる、走査波形変調法が有効である。

図4に、イオンビームの走査波形を示す。従来の方式は、注入角度にかかわりなく三角波によってイオンビームを走査させていたが、波形変調法ではY走査波形を角度に応じて変化させ、照射面上でイオンビームが均等になるよう走査速度を変えている。波形変調率

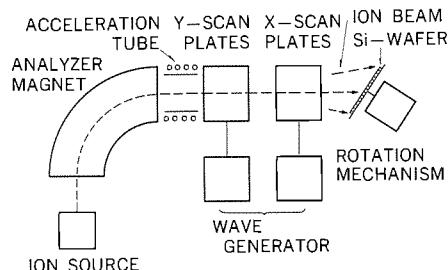


図1. イオン注入装置の概要

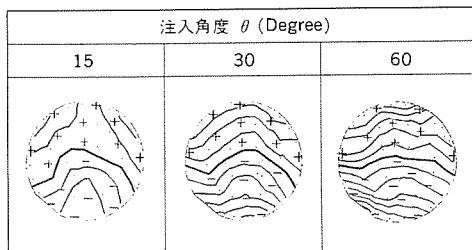


図2. シート抵抗値のウェーハ面内分布

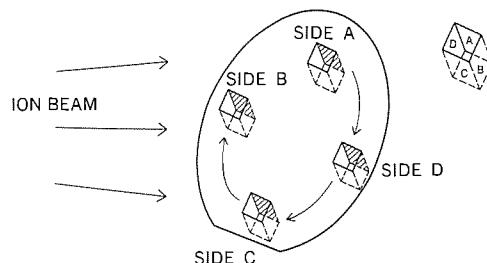


図3. トレンチ側面間の不均一性

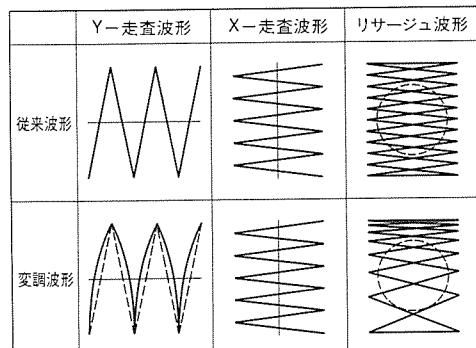


図4. イオンビームの走査波形

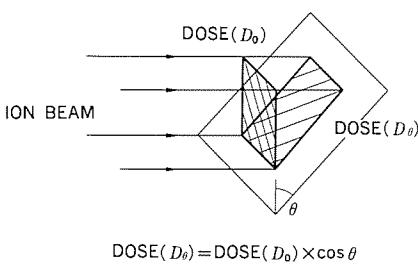
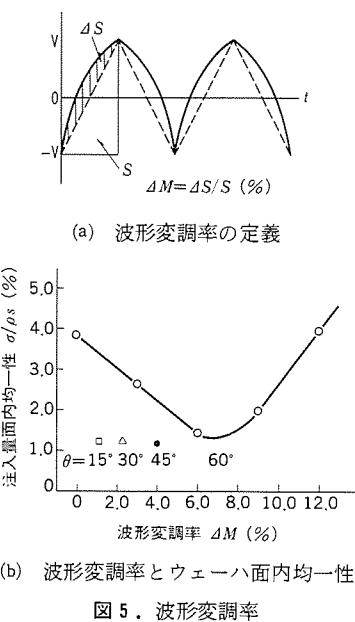


図 6. 注入角度による注入量の補正

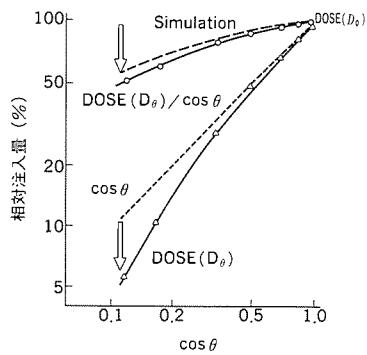
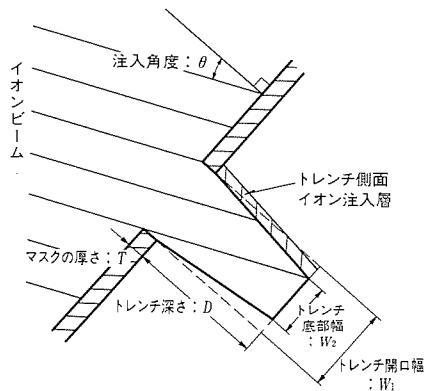
図 7. 注入角度の $\cos \theta$ と注入量の関係

図 8. トレンチ形状と最適注入角度の関係

(ΔM : Modulation Factor) を図 5(a) のように定義した場合の、変調率とウェーハ面内の均一性との関係を図 5(b) に示す。注入角度が 60° と大きい場合でも、変調率の最適化により従来の均一性 4.0% を

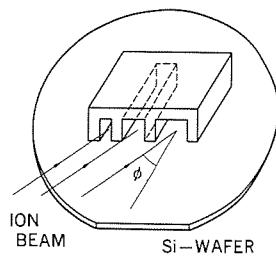


図 9. 疑似トレンチ構造への斜めイオン注入

1.2% へと大幅に改善できる。なお、波形変調率の最適値は注入角度が 60° の時は 6.0% であるが、注入角度が小さいほど変調率も少なくてよい。

このように、イオンビームの走査波形変調は注入量均一性の向上に大きな効果を発揮し、今回開発した斜め回転イオン注入装置では、注入角度に応じた最適波形の自動化とともに、波形発生器がこの機能を果たしている。

2.3 注入量の補正

図 6 は、注入角度 θ の注入量: $DOSE(D_\theta)$ と注入角度 0° の注入量: $DOSE(D_0)$ の関係を示したものである。簡単な幾何学的計算より、 $DOSE(D_\theta) = DOSE(D_0) \times \cos \theta$ となる。更に、注入角度が大きくなると、幾何学的補正とは別の補正も考慮する必要がある。

図 7 は、注入角度の $\cos \theta$ 値と注入量の関係を示したものである。図中の実線はそれぞれ幾何学的補正・有/無の実験結果を示し、破線は $\cos \theta$ 及びモンテカルロ法によるシミュレーション結果である。注入量の幾何学的補正無しの結果を見ると、注入角度が大きくなるに従って注入量も減少していくが、 $\cos \theta$ が 0.5 以下（注入角度 60° 以上）になると、その減少割合が幾何学的計算値 $\cos \theta$ よりも大幅にずれ始める。また、注入量の幾何学的補正を行った場合でも、注入角度が大きくなるに従い実効注入量が減少する同様な傾向が見られる。これは、角度が大きくなると注入中のイオンがウェーハ表面から飛び出す前方散乱効果によるもので、本効果を加味したシミュレーション結果とよく一致している。つまり、深い注入角度における実効注入量の減少は、照射イオンの前方散乱効果が注入角度に応じて大きくなるためである。

斜めイオン注入では、幾何学的注入量の補正とともに前方散乱効果による注入量の補正も考慮しなければならない。

3. トレンチ側面へのイオン注入

3.1 最適注入角度

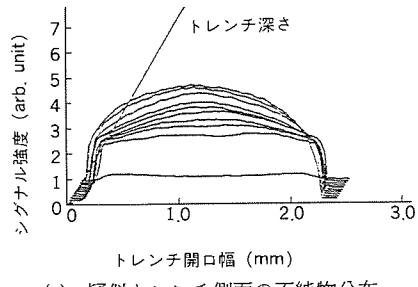
図 8 は、ウェーハ表面とトレンチ側面の注入角度の関係を示したものである。トレンチ側面へ均一にイオン注入するには、トレンチのアスペクト比と形状に応じて注入角度を最適化する必要がある。トレンチ深さ、トレンチ開口幅、トレンチ底部幅をそれぞれ、 D , W_1 , W_2 とし、マスクの厚さを T とすると最適注入角度は、

$$\theta = \tan^{-1} [(1/2 (W_1 + W_2)) / (T + D)]$$

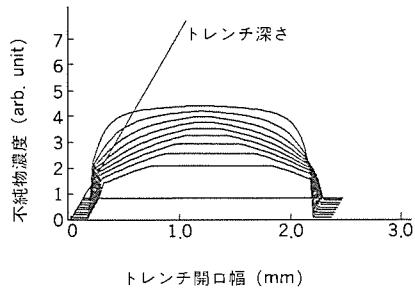
となる。例えば、トレンチ深さ $2.0 \mu\text{m}$ 、開口幅 $1.0 \mu\text{m}$ 、底部幅 $0.8 \mu\text{m}$ の形状をしたトレンチで、マスクの厚さが $0.2 \mu\text{m}$ であれば、最適注入角度は 22° となる。

3.2 トレンチ側面の不純物分布評価

通常、イオン注入層の評価は、シート抵抗測定法や SIMS, RBS などで行われる。しかし、トレンチ側面の不純物分布の評価は、その構造が三次元的かつ微細領域の測定となるため、従来法が適用で



(a) 疑似トレンチ側面の不純物分布



(b) 不純物分布のシミュレーション結果

図10. トレンチ側面の不純物分布

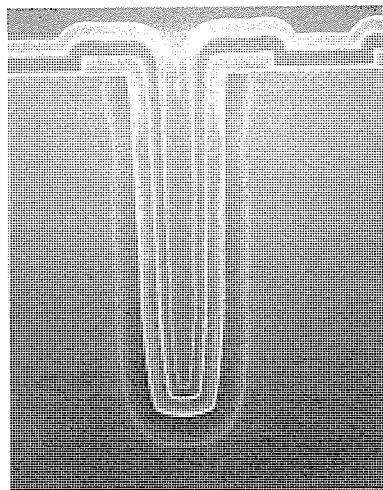
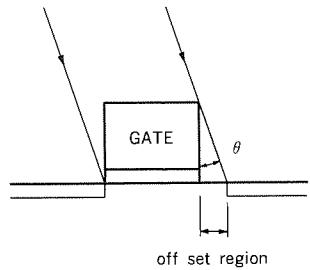
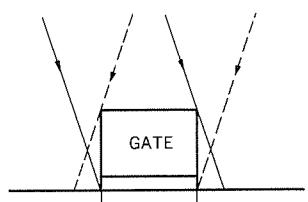


図11. トレンチの断面SEM写真

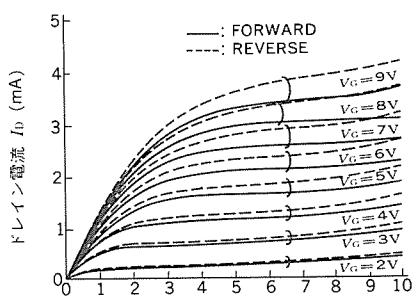


(a) 従来注入法

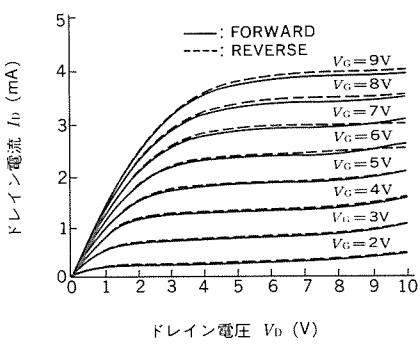


(b) 斜め回転イオン注入法

図12. ゲート電極によるシャドー効果



(a) 従来注入法



(b) 斜め回転イオン注入法

図13. LDD構造MOSトランジスタの電気特性

きず、ウェーハ断面状態のSEM観察などの定性的評価に限られていた。そこで、図9に示すようなトンネル上の“ブロック”をウェーハ上に置いて疑似トレンチ構造を形成し、入射角度 θ で斜め回転イオン注入した後、その領域をサーマルウェーブ法で測定する、新しい評価方法を開発した。

図10(a)に、この方法で評価した斜め回転イオン注入の領域測定結果を示す。Y軸は注入量に相当するサーマルウェーブのシグナル強度、X、Z軸はそれぞれ、トレンチ開口幅、トレンチ深さに対応する。また、同図(b)は幾何学的シミュレーション結果であるが、測定結果との良好な一致を示しており、今回開発した評価方法の有効性が確かめられた。

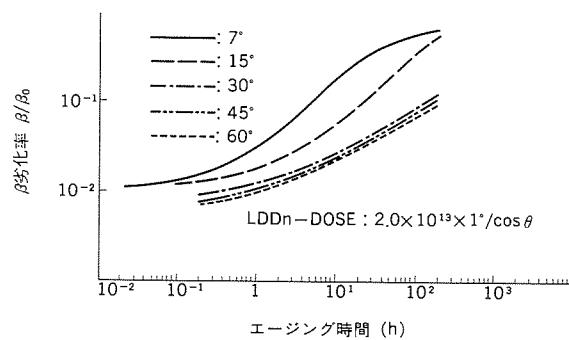
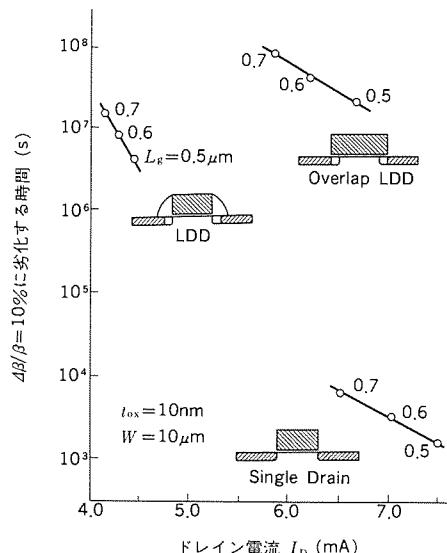
図11は、トレンチ構造(深さ $4.4\mu\text{m}$ 、開口幅 $1.2\mu\text{m}$ 、底部幅 $0.9\mu\text{m}$)に、注入角度 13° (注入条件 B^+ , 50keV , $2 \times 10^{15}\text{cm}^{-2}$)で斜め回転イオン注入した場合の断面SEM写真である。トレンチ形状に応じた最適注入角度の設定と、注入角度による注入量の補正、及びシミュレーションによって、トレンチ内への均一な P^+ 層形成が実現できた。

4. MOSトランジスタへの適用

4.1 非対称電気特性の改善

斜め回転イオン注入法の応用の一つとして、LDD構造MOSトランジスタのN⁻ソース/ドレインへの適用がある。デバイスの微細化に伴い、ゲートパターンのアスペクト比も増大して、イオンビームのゲート電極によるシャドー効果が顕著になってきている。シャドー効果とは、図12(a)に示すようにゲートの片端近傍で注入されない領域が形成され、ゲート両端の注入層が左右非対称になることである。回転イオン注入法は、図12(b)に示すように左右均等に注入するため、このシャドー効果の改善に効果的である。

図13は、 $1.2\mu\text{m Nch. LDD構造MOSトランジスタの電気特性を示したものである⁽⁴⁾。同図においてFORWARDとREVERSEは、ソ$

図14. LDD構造トランジスタの注入角度に対する β 劣化特性図15. トランジスタ構造の違いによる
ドレイン電流とデバイスの寿命の関係

ス／ドレインの極性を逆にして測定したものである。従来の注入角度7°によってN-注入したトランジスタは、シャドー効果のために著しい非対称性を生じているが、斜め回転イオン注入では、注入角度15°でも非対称性が見られず、ほぼ完全にシャドー効果を解消している。

4.2 デバイスの信頼性向上

斜め回転イオン注入は、シャドー効果の改善だけでなく、デバイスの信頼性も向上させる。

図14は、斜め回転イオン注入によるLDD構造トランジスタの注入角度に対する β 劣化特性を示したものである。注入角度が大きくなるに従い β の劣化も少なくなる。これは信頼性が向上することを示している。前述したシャドー効果は、LDD構造のN-層を注入角度0°でイオン注入することでも解消できるが、斜め回転イオン注入は信頼性の向上も可能にする。

さらに、斜め回転イオン注入は、16MビットDRAM以降に必要なハーフミクロントランジスタに対しても十分な特性を持つゲートオーバラップLDD構造の実現に有効な方法となる⁽⁵⁾。図15は、トランジスタ構造の違いによるドレイン電流とデバイスの寿命の関係を示したものである。同図に示すように、新たに開発されたゲートオーバラップLDD構造は、従来のLDD構造で問題となる電流駆動能力の低下を改善することができる。本構造の特徴は、N-層をゲート電極両端の直下に形成することであり、斜め回転イオン注入により容易に実現される。従来のLDD構造では固定抵抗として働いていたN-層が、ゲート電極とのオーバラップによる電界効果で可変抵抗のように作用するため電流駆動能力が向上し、LDD構造本来の電界緩和効果も維持できる。

このように、斜め回転イオン注入はLDD構造MOSトランジスタの非対称電気特性を解消するだけではなく、デバイスの信頼性向上にも有効である。さらに、斜め回転イオン注入はハーフミクロンデバイスに対しても、十分なトランジスタ特性を持つゲートオーバラップLDD構造を容易に実現することができる。

5. む す び

デバイスの微細化に対応した新しい不純物導入法としての斜め回転イオン注入技術を開発し、デバイスへの適用を図った。その結果をまとめると、

- (1) 斜め回転イオン注入における注入量の面内均一性を向上し、注入量の補正条件を明確にした。
- (2) トレンチ側面へのイオン注入は、最適注入角度の設定と注入量の補正により、均一な不純物層を形成することができた。
- (3) シャドー効果を改善し、LDD構造MOSトランジスタの非対称電気特性をほぼ完全に解消した。
- (4) 信頼性と電流駆動能力を向上させるゲートオーバラップLDD構造のトランジスタを容易に形成できる。

最後に、斜め回転イオン注入技術は、ハーフミクロンデバイスに対しても、十分な特性と信頼性を持つトランジスタ構造を実現し、16MビットDRAM以降のデバイスの開発に寄与するものである。

参 考 文 献

- (1) Y. Akasaka : Nucl. Inst. Meth. Phys., B37/38, p. 9 (1989)
- (2) 大崎ほか : 第31回半導体・集積回路技術シンポジウム, p.97 (1986)
- (3) T. Hirao : SEMI Technology Symposium, p.233 (1987)
- (4) T. Eimori, et al. : Ext. Abs. 19th Conf. SSDM, p.27 (1987)
- (5) M. Inuishi, et al. : Symp. VLSI Tech. Dig., p.33 (1989)

アイススクラバ洗浄

大森寿朗* 川口利明***
福本隼明** 多田益太***
加藤忠雄**

1. まえがき

最近の超LSI製造工程において、デバイスの歩留り及び品質の向上を図るために、基板表面の洗浄技術のより一層の高性能化が要求されている。超LSI製造工程で除去しなければならない汚染物を大別すると、①粒子状汚染、②有機物被膜(レジスト残渣)、③金属汚染、④自然酸化膜などに分類される。この中で、粒子状汚染及びレジスト残渣は、微細パターン形成時において、欠陥を誘発させる主要因である。

最近のサブミクロンデバイスにおいては、 $0.1\mu\text{m}$ レベル以下の粒子状汚染までを除去対象としなければならない。現在、これら粒子状汚染物を除去する手法として、ブラシ、高圧ジェット水、超音波など物理的な力を用いた洗浄法、各種化学薬品を用いた洗浄法、あるいは両者を組み合わせた洗浄法が用いられており、その性能向上が図られている。

今回、微小な粒子状汚染物やCVD(Chemical Vapor Deposition)膜の異常生長異物の除去を目的としたアイススクラバ装置を開発した。この洗浄法は、 $0.1\sim300\mu\text{m}$ の微凍結粒子を製造し、基板表面に噴射することにより汚染物を除去するものである。特に、基板表面に強固に付着した汚染物の除去に効果的である。以下、本装置の概要、粒子状汚染物の除去性能について述べる。また、プリント基板等で利用されているフロン洗浄の代替として、有機汚染物の除去も可能であることについて示す。

2. 装置構成

本装置は、①製氷部、②洗浄部、③乾燥部、④搬送部、⑤制御部から構成されている。乾燥部ではIPA(イソプロピルアルコール)による蒸気乾燥を行った。以下、製氷部及び洗浄部に関して述べる。

2.1 製氷部

図1に製氷原理を示す。この図において、液体窒素を用いて形成した冷気中で、被凍結液をスプレーノズルから微噴霧し、凍結させることにより微凍結粒子を得られる。今回の装置では、製氷部内(長さ $450\times$ 幅 $450\times$ 高さ 1000mm)に $0.24\text{kg}/\text{min}$ の液体窒素を供給した。さらにこの状態で、 $0.1\ell/\text{min}$ の超純水を微噴霧し、粒径 $30\sim300\mu\text{m}$ の微凍結粒子を製造した(図2)。この場合、供給される液体窒素の熱エネルギー(液体窒素の気化熱 48.8cal/g : 窒素ガスの比熱 $0.25\text{cal/g}\cdot^\circ\text{C}$)がすべて 23°C の純水を凍結させるために費やされたとすると、氷の融解熱 79.7cal/g 、水の比熱 $0.4\text{cal/g}\cdot^\circ\text{C}$ とし、約 -132°C の微凍結粒子が得られる。ただし実際には、製氷部の断熱効果が完全ではないため、液体窒素の熱エネルギーすべてが微凍結粒子に与えられるわけではない。また、氷の硬度は温度により変化する。氷硬度と製氷温度との関係を図3に示す。製氷温度が -50°C 以下では、氷のモース硬度は $3\sim4$ である。 -50°C 以上では、温度上昇とともに硬度の低下がみられる。また、 -80°C 前後で硬度の低下がみられるが、これは氷の結晶状態がこの前後で変わるため

と考えられる。なお、本原理では液体窒素の沸点(-196°C)より高温側に凝固点を持つ各種液体の微凍結粒子の製造が可能である。こ

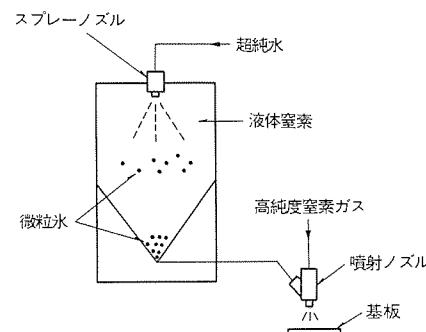


図1. 微凍結粒子製造原理

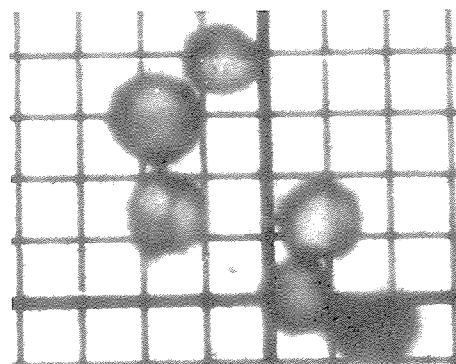


図2. 微凍結粒子

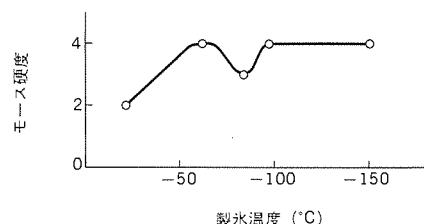


図3. 製氷温度と氷硬度との関係

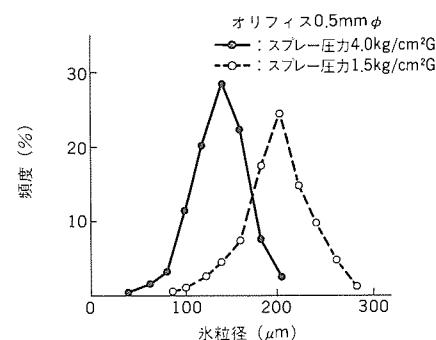


図4. 微凍結粒子の粒径分布

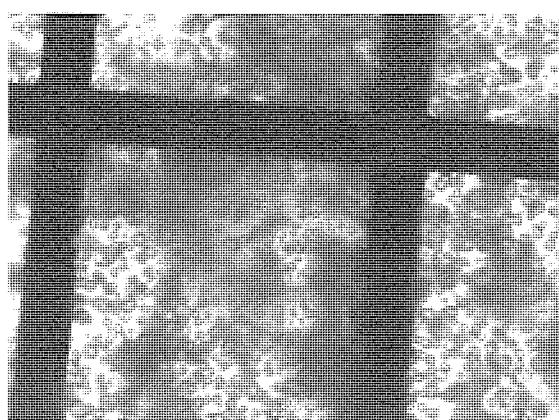


図 5. 微凍結粒子

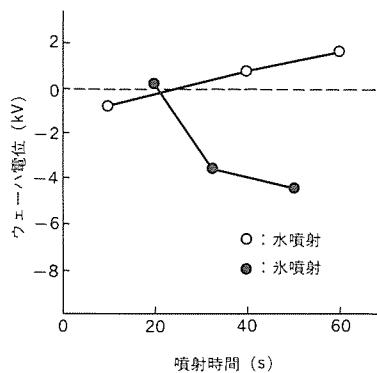


図 6. 氷粒子噴射時のシリコン基板表面の電位変化

の一例として、被凍結液がメタノールの場合、モース硬度 1~2 の微凍結粒子が、またグリセリンあるいはフロン113の場合、モース硬度 2 の微凍結粒子が得られた。

次に微凍結粒子の粒径について述べる。微凍結粒子の粒径はスプレー・ノズルの特性と圧力により決定される。図 4 に今回使用したスプレー・ノズルから得られた結果を示す。純水を圧力 1.5 kg/cm^2 で噴霧した場合、約 $200 \mu\text{m}$ に、また圧力 4.0 kg/cm^2 の場合、約 $130 \mu\text{m}$ にピークを持つ微凍結粒子が得られた。本製水装置では、超純水を噴霧し $30\sim300 \mu\text{m}$ の微凍結粒子の製造が可能である⁽¹⁾。また、より微小な凍結粒子を得るために、液体窒素を用い形成した冷気中で、水蒸気を直接凍結させた。この方法では、粒径 $0.1\sim30 \mu\text{m}$ の微凍結粒子が得られた⁽²⁾ (図 5)。

また、クリーンな微凍結粒子を得るために、パーティクルの極めて少ない純水及び発塵の少ないバルブ等の部品を使用するとともに、冷却用として使用している液体窒素中のパーティクル除去が重要である。

2.2 洗浄部

洗浄部は、噴射ノズル・基板ホルダ・プロワ・HEPA フィルタ・イオナイザで構成した。ホルダに基板をセットした後、固定されたノズルから高純度ガスをキャリアガスとして、微凍結粒子を基板表面に噴射した。この際、微凍結粒子を基板表面全体に照射するために、基板側を回転させるとともに左右に移動させた。基板表面に噴射される微凍結粒子の角度は、あらかじめ噴射ノズルの基板に対する角度を調節することにより可変である。ただし、複雑な表面状態を持つ被洗浄物に適用する場合は、微凍結粒子の効果的な照射方法を検討する必要がある。複数ノズルによる多角照射などが、その

表 1. 噴射圧力とダメージ

噴射圧力 (kg/cm^2)	2	3	4
粗度 Ra (μm)	0.32	0.35	0.84

表 2. 被洗浄物の硬度とダメージ

ブリネル硬さ	44	68	105
粗度 Ra (μm)	3.0	0.16	<0.01

表 3. 各噴射条件での酸化膜絶縁破壊率

微粒氷噴射条件			酸化膜絶縁破壊率(%)
噴射圧力 (kg/cm^2)	噴射角度 (°)	噴射時間 (s)	
4	80	240	45
4	80	120	31
4	90	60	18
4	5	60	2
2	90	60	4
微粒氷噴射なし			8

一つとして考えられる。また、基板洗浄時、汚染粒子の飛散、再付着による再汚染を防止するために洗浄部の側壁を純水で洗い流す機構を設けた。さらに、プロワで洗浄部内に強制的な気流を作り、上流側には HEPA フィルタ、イオナイザを取り付けた。イオナイザは、洗浄により発生する静電気を制御するものである。図 6 は、P型シリコン基板に噴射圧力 $4.0 \text{ kg}/\text{cm}^2$ で超純水及び微凍結粒子を噴射した際の基板表面電位を測定した結果である。

超純水を噴射した場合、基板表面電位は、 $-1\sim+2 \text{ kV}$ レベルであった。これに対し、微凍結粒子を噴射した場合では、噴射時間とともにマイナスの電位が増加して、噴射時間 50s では約 -4 kV の電位が観察された。洗浄部においては、各種基板表面状態に対応して汚染物の再付着の観点から、イオナイザ設定値の最適化を行っている。

3. 微凍結粒子噴射条件とダメージ制御

本装置では、微凍結粒子とキャリアガスである高純度窒素ガスと共に、基板表面に噴射させた。この方式では、被洗浄物に与えるダメージは、①被洗浄物の硬度、②噴射圧力、③噴射時間、④噴射角度、⑤噴射ノズルと被洗浄物との距離によって決定される。そこで、Al 板に微凍結粒子を噴射し、表面粗度 (Ra) を測定することにより Al 板に対するダメージを観察した。表 1 に、ブリネル硬さ 44 の Al 板に対して、噴射圧力を変えたときの Ra の値を示す。噴射ノズルと Al 板との距離 (噴射距離) は 100mm、噴射角度は 70° 一定で行った。噴射圧力 $2\sim4 \text{ kg}/\text{cm}^2$ で Ra $0.32\sim0.84 \mu\text{m}$ の凹凸が発生した。また、Al 板の硬度を変えた場合の Ra の増加を表 2 に示す。噴射圧力 $4 \text{ kg}/\text{cm}^2$ 、噴射距離 50mm、噴射角度 80° 一定で行った。ブリネル硬さ 44 の Al 板に発生する Ra が、 $3.0 \mu\text{m}$ に対し、ブリネル硬さ 105 の Al 板では、 $0.01 \mu\text{m}$ 以下であった。モース硬度 3 である Al, Cu 等の材料に対しては、以上に示したようにダメージが発生する。これに対し、シリコン又はガラスのモース硬度は 7 であり、上記のようなダメージは発生しない。

次に、MOS デバイスで使用されている薄膜に対するダメージを評価した内容について示す。評価は、シリコン基板表面に約 100 \AA の酸化膜を形成し、その上に 2500 \AA の多結晶シリコン膜の電極を形成した。この状態で粒径 $200 \mu\text{m}$ レベルの微凍結粒子を噴射距離 50mm で

表4. 各種洗浄法の除粒子効果

洗浄方法	除去率 (%)	処理条件		
アイスクラバ	97.6	噴射圧力	3kg/cm ²	噴射角度 80°
	94.0	噴射圧力	2kg/cm ²	噴射角度 80°
ブラシスクラバ	87.4	ブラシ圧	0.8kg/cm ²	洗浄時間 40s
高圧ジェット水	84.4	水圧	100kg/cm ²	洗浄時間 40s
超音波	80.0	27kHz		洗浄時間 15min

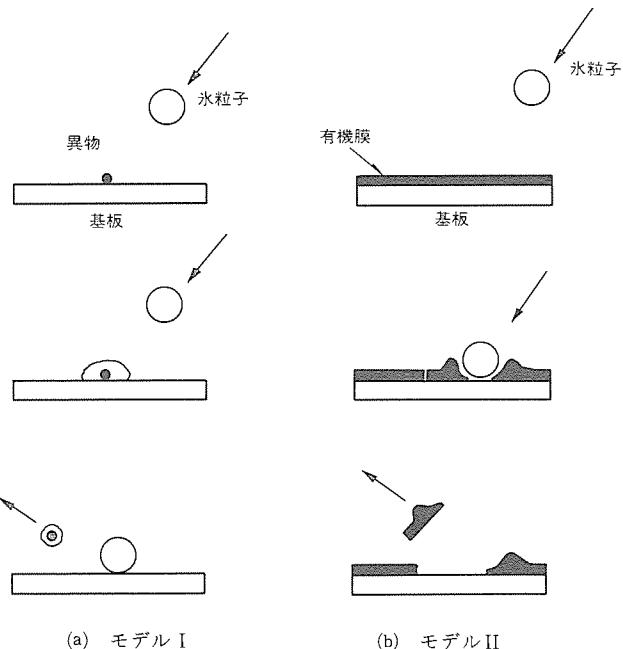
注 検定視野: 2.44mm²

図7. 微凍結粒子による洗浄メカニズム

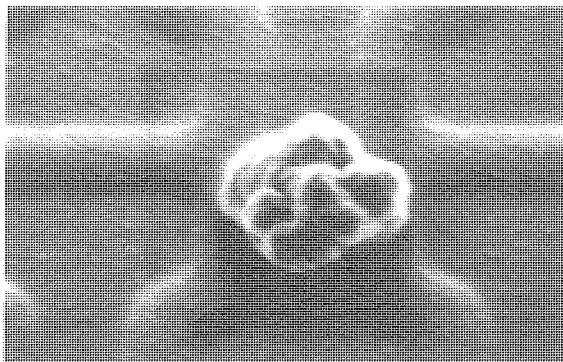


図8. CVD膜の異常生長異物

照射し、酸化膜の絶縁破壊率を調べた。噴射圧力 4 kg/cm²で基板に比較的垂直に照射した条件では、酸化膜の絶縁破壊率が増加している。しかし、噴射圧力を 4 kg/cm²においても噴射角度を小さくした場合、噴射圧力を 2 kg/cm²に低下させた場合及び噴射時間を短くした場合について、絶縁破壊率の増加はみられていない。各種基板表面状態及び膜質によって、微凍結粒子の噴射条件の最適化が必要である(表3)。

4. 性能

4.1 各種洗浄法との除粒子効果の比較

ここでは、除粒子効果の評価として、多結晶シリコン膜でパターンを形成したウェーハ表面に0.322μmポリスチレンラテックス粒

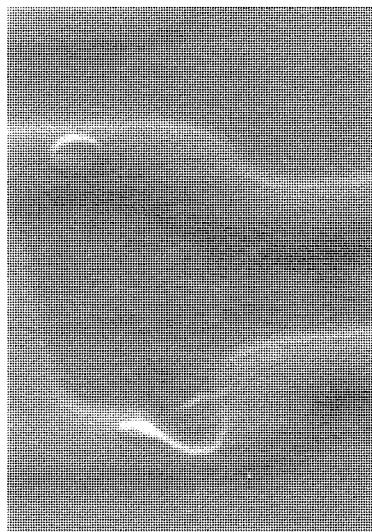


図9. アイスクラバ洗浄後

子を付着させ、各洗浄法での除去率を光学顕微鏡で確認した結果について示す(表4)。洗浄法として、アイスクラバ洗浄・ブラシスクラバ洗浄・高圧ジェット水洗浄・超音波洗浄について比較した。アイスクラバ洗浄では、約95%レベルの比較的良好な除去率が得られた。また、アイスクラバ洗浄と類似した洗浄法として、炭酸ガスを用いたドライアイス洗浄が報告されている⁽³⁾。これは、ノズルから炭酸ガスを噴射する際、断熱膨張により発生する炭酸ガスの微粒子を、被洗浄物に照射する洗浄法である。このドライアイス洗浄によるポリスチレンラテックス粒子の除去率は、約50%であった。

アイスクラバ洗浄では、基板表面の汚染物は図7に示されるモデルで除去されると考える。モデルIは、サブミクロンレベルの粒子状汚染物の除去過程について示している。微凍結粒子は基板表面に衝突した際、一部溶解し再凍結する。このとき基板表面の微小な粒子状汚染物は、氷粒子中に取り込まれる。汚染物を取り込んだ氷粒子は、次に噴射される微凍結粒子の衝撃力によって除去される。モデルIIは、基板表面上の有機膜の除去過程について示している。本洗浄法が、低温処理であることにより有機膜に内部応力が働き、基板との密着力が低下する。このとき、基板表面に噴射される微凍結粒子の衝撃力によりクラックが発生し、基板表面より脱離されると考えられる。

4.2 CVD膜中の異物の除去

CVD膜形成時にウェーハ表面に汚染物が付着していた場合、膜の異常生長が発生する(図8)。ここでは、多結晶シリコン膜表面に、①アイスクラバ洗浄、②ブラシスクラバ洗浄、③高圧ジェット水洗浄をそれぞれ適用した際の異常生長異物への作用を観察した。

① アイスクラバ洗浄(図9)

異常生長異物は、ほぼすべて除去される。ただし、場合によっては異常生長異物と共に下地膜の一部はく(剥)離が発生する。

② ブラシスクラバ洗浄(図10)

異常生長異物は、ほぼすべて除去される。アイスクラバ洗浄同様、場合によっては下地膜の一部剥離が発生する。また、ブラシスクラバ洗浄では、除去された異物がブラシでウェーハ表面にこすりつけられた傷跡が観察されている。

③ 高圧ジェット水洗浄

上記の洗浄法と比較し、異常生長異物の除去効果は極めて低か

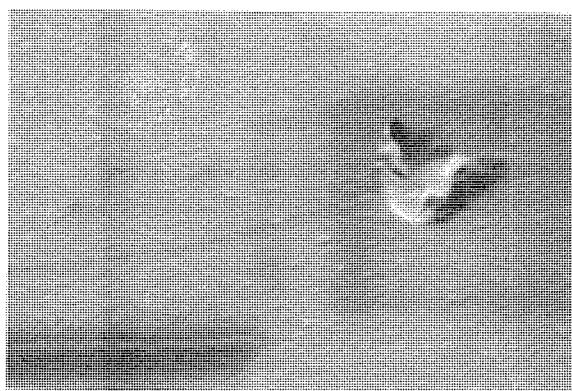


図10. ブラシ スクラバ洗浄後

表5. 各種汚れの除去効果

洗淨法	油性マジック	指紋	グリス	真空ポンプ用オイル
アイスクラバ	○	○	×	△
トリクレン	×	△	△	△
フロン	×	△	△	△

○:除去された △:微量残渣発生 ×:残渣発生
 アイスクラバ —— 噴射圧力4kg/cm² 噴射距離30mm
 噴射角度80° 噴射時間60s
 トリクレン —— 煮沸 浸漬時間40min
 フロン —— 煮沸 浸漬時間60min

表6. 汚れの凝固点と除去効果

オイル汚れ	凝固点°C	除去効果
ゴマ油	-2	○
サラダ油	-3	○
ミシン油	-7.5	○
グリス	-20	×
真空ポンプ用オイル	-20	△

○:除去された △:微量残渣発生 ×:残渣発生

った。

CVD膜の異常生長異物、膜中に一部取り込まれた異物等比較的強固に付着した異物の除去に対して、アイススクラバ洗浄は有効な手法と考えられる。

4.3 オイル等の汚れの除去効果

プリント基板、ガラス基板、機械部品などの脱脂洗浄として、フロンやトリクレンの溶剤が使用されてきた。現在、トリクレンは発

がん性物質として、また、フロンは公害問題として全廃の方向で進められている。ここでは、アイススクラバ洗浄の脱脂効果について調査した内容について述べる。まず、シリコン基板表面に、①油性マジック、②指紋、③グリス、④真空ポンプ用オイルを付着させ、アイススクラバ洗浄とフロン、トリクレン洗浄について除去効果を比較した(表5)。評価は、光学顕微鏡を使用し、完全に除去されたかどうかを観察した。アイススクラバ洗浄では、油性マジック及び指紋は完全に除去された。グリス、真空ポンプ用オイルについては、完全に除去することはできず残渣が発生した。次に、凝固点が異なる5種類のオイルをシリコン基板表面に付着させ、アイススクラバ洗浄で除去した(表6)。この結果、-10°Cより高温側に凝固点を持つオイルは完全に除去された。これは、図5(モデルII)で示した低温洗浄により有機膜に内部応力が働き、基板表面から除去されやすくなるモデルを実証している。

5. むすび

超LSIの新洗浄法として、粒径0.1~300μmの微凍結粒子を用いた洗浄装置を開発し、性能評価を行った。この結果、サブミクロンレベルの微粒子やCVD膜の異常生長異物など基板表面に強固に付着した汚染物の除去に有効であることを確認した。水粒子の微小化については、水蒸気を直接凍結させる方法で0.1~30μmの微凍結粒子が得られることを確認しているが、更に性能向上を図るために、微小な凍結粒子の噴射方法の改良が必要とされる。現在、この応用装置開発を進めている。また、本技術はシリコン基板表面の洗浄のみならず各種材料、部品の表面洗浄に適用可能である。あるいは材料によっては、表面微細加工技術としての応用性も考えられる。なお、本技術開発は、当社と太陽酸素㈱との共同開発で進められている。

参考文献

- (1) 特開昭61-238695号
- (2) 特願昭62-313667号
- (3) S. A. Hoenig : New Technology for the Detection and Control of Contamination in the One Micron Semiconductor Manufacturing Environment, SEMI Technology Symposium '85, G-1-1 (1985-12)

半導体のFA技術

石橋一昭* 加藤雄一*
大谷雅樹*
吉田博之*

1. まえがき

生産工場における自動化は、個別装置の自動化の段階から装置間の搬送を含めた工場全体の自動化、いわゆるFA化の段階へと、進展しつつある。当社半導体工場においては、DRAM(ダイナミックランダムアクセスメモリIC)を対象とした、少品種多量型生産ラインのFA化を西条工場において実現した。その後、ASIC(特定用途向けIC)を対象とした多品種変量型生産ラインのFA化に積極的に取り組んできた。本稿では、高知工場で実現した、ASICウェーハプロセスラインのFAシステム概要について述べる。

2. 半導体及びASIC工場の特徴

半導体市場では常に高集積化への要求があり、最近は更にマイコン(マイクロコンピュータ用IC)を代表とする特定顧客用途向けICの要求が増えており、これを実現する生産ラインでは、膨大な品種の製品に対する製造フロー管理(数百の製造工程における、対象製造工程の選定並びに製造順序の決定等)と装置運転管理の人的コントロールは限界に近づいている。こうした背景から、半導体工場では高精度で複雑な加工工程を安定的に再現性良く処理するために、加工装置自体の自動化はもちろん、製品ごとに異なる製造フロー管理と装置間の搬送の自動化を含めた工場全体のFA化の要求が非常に強くなっている。

2.1 半導体生産の特徴

半導体ウェーハプロセスラインについてFAを実現する側面から見た特徴を下記に挙げる。

(1) 製造フローが複雑

製造工程が非常に多い(数百工程)上に、同一装置が異なる製造工程で使用されるため、製品の流れが複雑である。

(2) レイアウト・装置・製造工程の変更が多い

先端技術を追求するため、装置・製造工程の変更が多く、これに伴うレイアウト変更が頻繁に発生する。

(3) 高清潔度が要求される

微細化に伴い、超清潔な環境が要求されるため、発じん(塵)源となる人の介入に制約がある。

このため、工場全体のFA化へ至るには多くの障害がある。これら半導体生産共通の特徴に加え、ASIC生産では製品の性格上からDRAM生産に比べ以下のような特徴がある。

2.2 ASIC生産形態の特徴

表1にASIC生産とDRAM生産形態の比較を示す。マイコンなどのASIC製品は、客先の注文に対応した品種と数量を短工期で出荷しなければならない。したがってその生産ラインでは、同時に多くの品種(100種類以上の異なる製造フローで、各々10種類以上の品種に分かれる。)を受注数量に応じてフレキシブルに流すことが要求される。

こうしたASICの生産ラインをFA化するには、少品種を数多く見

込生産的に流す場合とは異なるシステムの構築が必要となった。

3. ASIC工場FAシステムの概要

ASIC工場のFA化時のポイントを集約すると、次の2点になる。

- (1) 受注後の生産工期の短縮
- (2) 多品種変量生産に対応できるフレキシブル生産ライン

表1. DRAMとASIC生産形態の比較

	DRAM	ASIC
品種数/ライン	10	500~1,000
フロー数	10	100
生産方式	見込生産	受注生産

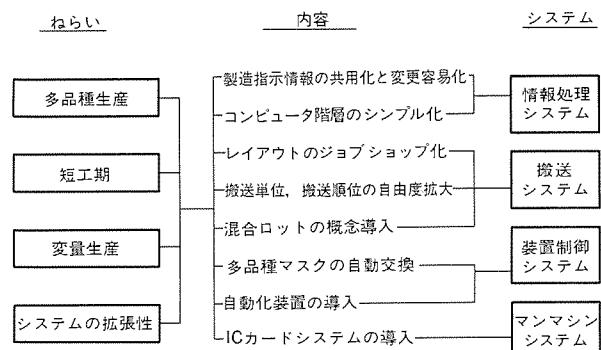
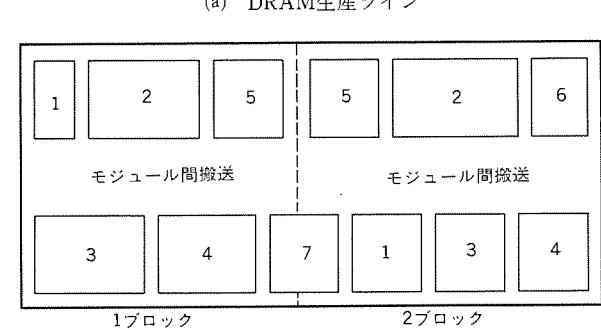
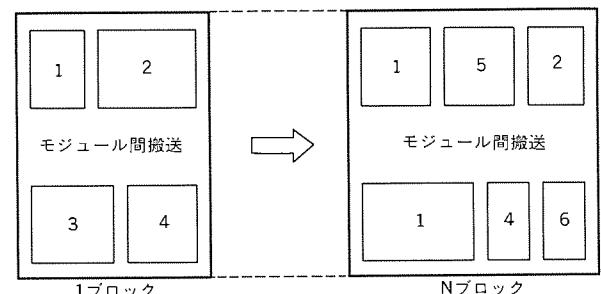


図1. ASIC工場FA化的ねらい



1: 前処理モジュール 4: 化学処理モジュール 7: マスク工程完了モジュール
2: 拡散モジュール 5: イオン注入モジュール 6: 曝露モジュール

図2. 生産ライン構成比較

これらの目標を満たすFAラインを実現するため、その構成要素であるコンピュータシステム、搬送システム、装置の各機能を向上させることはもちろん、ラインレイアウトも含めて総合的にフレキシビリティを高めたシステムになるようにした。ASIC工場のFA化のねらいを図1に示す。

3.1 ライン構成

図2にDRAMとASICの生産ライン構成比較図を示す。モジュールは、同種の処理工程群（写真製版・拡散・化学処理等）を呼称するもので、必要な製造装置群により構成される。各モジュールはそれぞれ出入口（I/Oステーション）を持ち、中央通路上のモジュール間搬送システムと結合している。ブロックとは、このモジュール群の集合体である。

製品ごとに製造フローや工程数が異なるものを混合して流すASIC生産ラインでは、DRAM生産ラインのようにライン構成を小

ブロック化すると、製造フローが常に一定でないため、使用装置の負荷がアンバランスになるという欠点がある。したがって、ASIC生産ラインでは、比較的製造フローの変動しない前半工程のマスター工程と、顧客の注文に応じて製造フローが決まる後半のカスタム工程の、二つの大ブロック構成とした。各ブロックの特徴を表2に示す。各ブロックは異なる品種の製造フローに柔軟に対応するため、装置をジョブショップ方式（同種類の作業をまとめて配置する方式。）に配置した。また、マスターblockとカスタムblockの間にはマスター工程完了品ストッカ（自動収納棚）を配置し、客先対応の品種指示をカスタム工程から行えるようにし、短納期化を図っている。

3.2 コンピュータシステム

FAラインのコンピュータシステムは、図3のように工場管理用コンピュータ、モジュール間の搬送制御を行う搬送制御用コンピュータと、モジュール内における製品の搬送及び装置制御を行うモジュール制御用コンピュータ群より構成した。

各コンピュータ間の情報の流れを図4に示す。生産開始命令を上位コンピュータから自動指示するための製造指示情報は、FAシステムの根幹をなす情報である。特にASIC生産ラインでは品種別に、製造フロー情報をそれぞれ持つと、少品種生産ラインの数十倍の制御

表2. ASIC生産ラインの構成ブロック

	マスター工程	カスタム工程
品種数	50~100	500~1,000
品種当たり生産数量	100,000個	10~10,000個
品種の変更間隔	比較的長い	短い

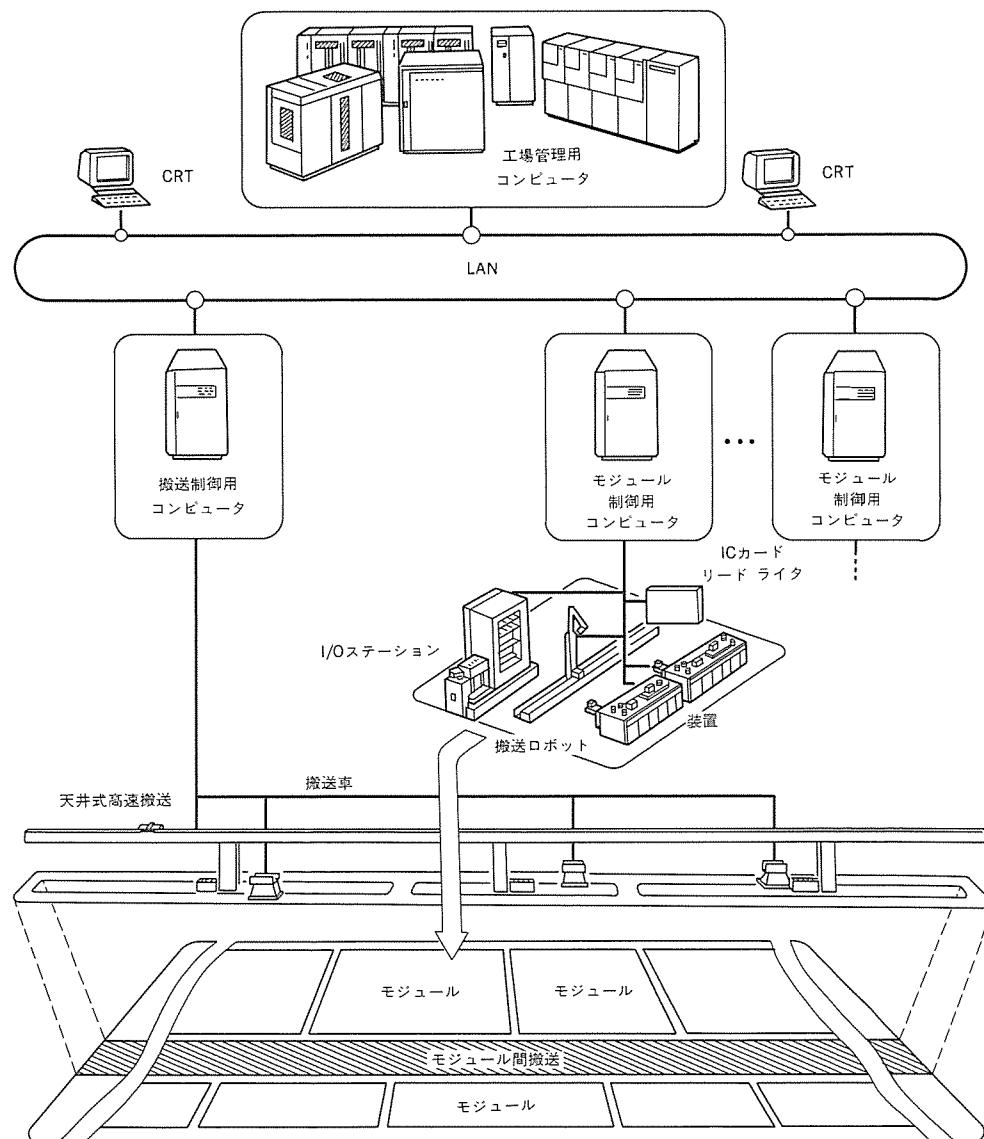


図3. FAコンピュータシステム

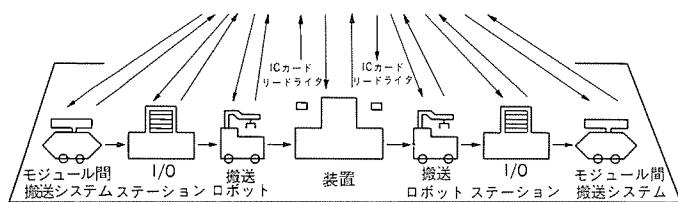
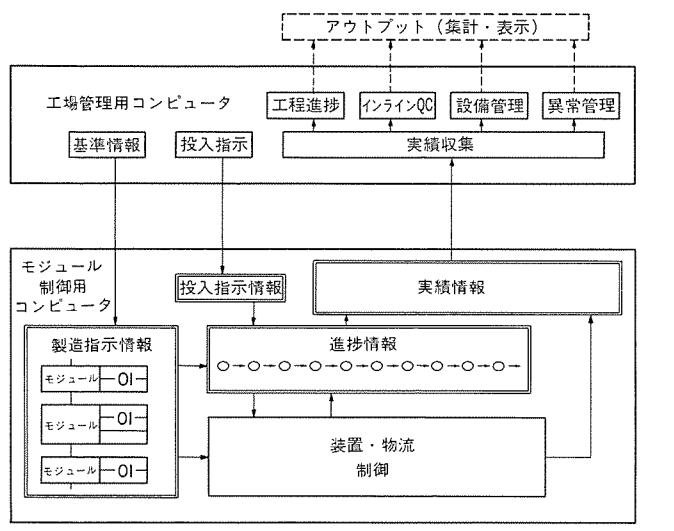


図4. 情報関連図

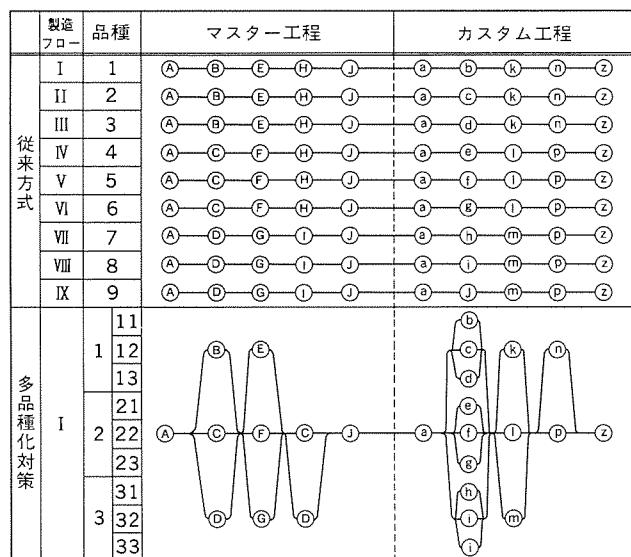


図5. 製造指示情報の共用化例

表3. 搬送機器比較(使用例)

項目	モジュール間搬送機器		装置間搬送機器
	天井走行式搬送	搬送車	搬送ロボット
走行方式	有軌道	無軌道	有軌道
走行長(m)	130	30	20
最大速度(m/s)	7	0.7	1.2
ステーション数	6	15	40
搬送ロット数	max4	max4	主に1
駆動方式	ACリニアモータ	ACサーボモータ	ACサーボモータ

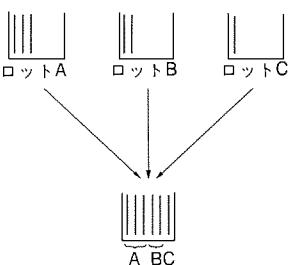


図6. 混合ロット

情報が必要になる。同時に、変更する場合は膨大な作業を要することになる。これらの製造指示情報量を圧縮するため、図5に示すように製造指示情報の体系を分析し、情報の共用化・標準化を行った。これによりコンピュータのメモリ使用量の大幅削減とプロセス変更の容易化を実現した。

3.3 搬送システム

搬送システムは、搬送機器、製造装置等のハードウェアを前もって標準化した上で、機器の組合せで生産ラインの変更に柔軟に対応できるように構築した。下記に、代表的な実施例を示す。

(1) 天井式高速搬送の導入

従来の装置間搬送を行う搬送ロボット、モジュール間の搬送を行う搬送車に加えて、リニアモータを用いた天井走行式高速搬送機器を新たに開発導入した。この天井走行式高速搬送機器は、100m以上も離れたモジュール間で、カセットに収納されたウェーハを高速で搬送する。この導入により、生産ラインのレイアウトを変える場合、遠距離にわたる経路変更でも、搬送ロボット、搬送車、及び天井走行式高速搬送機器の三つの搬送機器を組み合わせることにより対応可能となった。これら搬送機器の比較表を表3に示す。

(2) パッチ編成システム

モジュール間の搬送は、従来同一製造フローの製品を4ロットまとめ一つの搬送単位(パッチ)とし、最終工程までパッチを崩さず搬送していた。この方式では少量生産の場合、4ロットでパッチを編成できず、また1~2ロットで1パッチとすると搬送システムへの負荷が数倍になる。このため、モジュールの出口で処理の済んだロットの中から次の行き先が同じロットを集め、パッチを編成し直すパッチ編成機能を設けた。また、搬送単位数は4ロット固定ではなく1~4ロットの任意に設定可能とし、搬送できるようにした。

(3) 特急製品の優先処理方式(Quick Turn Around Time)

モジュールの入口ステーションから製造装置へ搬送する製品の選択は「先入れ先出し」方式を基本としているが、特に短工期が要求される製品に対して、特急指定による追越しの機能を設けた。この特急指定を投入時にすることにより、モジュールの入口ステーションで優先して装置に搬送させ、通常の製品に比べ1/3の短工期で生産されるようにした。

3.4 混合ロット編成システム(生産単位のフレキシブル化)

ウェーハは一般に25枚収納する1カセット(ウェーハ収納ケース)を1ロットとして生産している。ところが、ASIC生産では、受注量が小さく1ロットが25枚ウェーハに満たないことがある。しかし、製造装置は1ロット(25枚入りカセット)を標準として処理を行うため、図6に示すような、ウェーハ25枚に満たない子ロットを幾つか集合する混合ロットという考え方を導入した。これは、1カセットに製造フローは同一であるが、製造処理条件のみ異なる複数の子ロットを集めて一つの親ロットとして生産するものである。モジュー

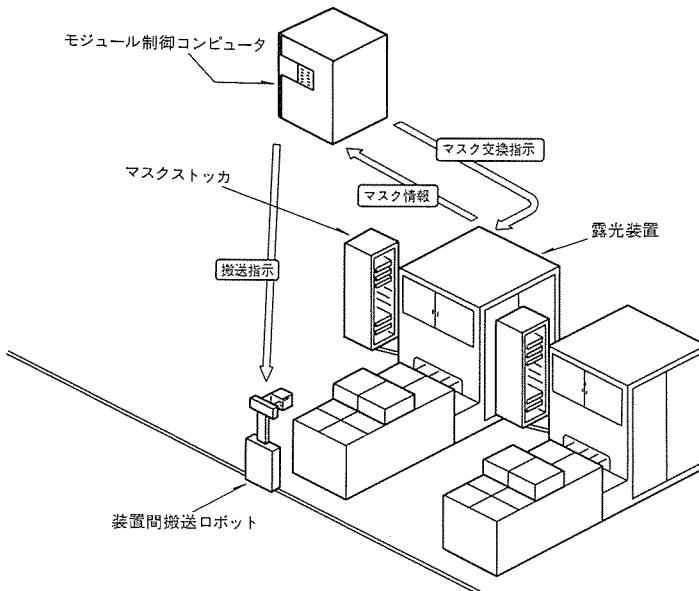


図7. マスク自動交換システムの情報の流れ

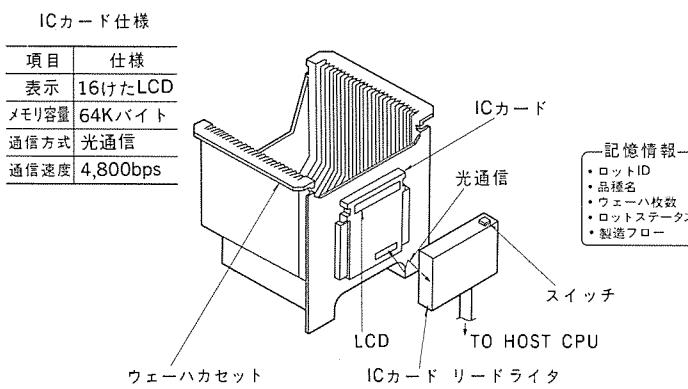


図8. ICカードシステム実施例

ル制御コンピュータは混合ロット内の各構成子ロットまで識別管理し、ウェーハ1枚単位で製造処理条件の設定を製造装置に指示をしている。この混合ロット方式の採用により、受注数量の小さな品種でも効率よく生産できるようにした。

3.5 自動マスク交換システム

ウェーハに回路パターンを形成する露光装置では転写用マスクが用いられるが、製品の品種増加とともに、転写マスクも増加する一方である。このマスクを品種に応じて短時間に準備するために自動交換システムを導入した。実施例を図7に示す。露光装置には、数十枚のマスクを収納するマスクストッカを設けるとともに、モジュール制御コンピュータが、各露光装置の収納しているマスク情報を管理し、次に処理する製品の搬送指示、並びに露光装置へマスク交換指示をする。これにより、多くのマスクの中から該当するマスクを探すための段取り時間を無くし工期を短縮した。

3.6 マンマシンインタフェース

搬送機器の故障やモジュール制御コンピュータダウンによる生産

ラインの停止を最小限に抑えるため、マンマシンインタフェースとして、ICカードシステムを開発導入した。図8にICカードシステムの実施例を示す。ICカードは、ウェーハを25枚収納するカセットごとに添付される。ICカードに記憶される情報は、ロット認識番号、品種名、製造フロー等であり、ICカードリードライタを通してモジュール制御コンピュータに伝えられる。また、ICカードリードライタにスイッチを設け、スイッチ操作でモジュール制御コンピュータが無くてもICカードに工程進捗の記録ができるようにした。ICカードはLCD表示部を持っており、ロット認識番号と処理工程名を表示する。表示される工程名は、処理完了ごとに次の処理工程名に自動的に更新される。したがって、搬送機器やモジュール制御コンピュータがダウンした場合でも、作業者はICカードが表示している工程名を見れば、複雑な製造フローを知らなくても、次工程の処理を進めることができる。また、ICカードは工程進捗の履歴を記録しているので、モジュール制御コンピュータがダウンした時に、この履歴を一時ICカードに貯え、復旧後に一括更新することも可能である。このようにして、ICカードシステムは、LCD表示と1キー操作により、工程進捗(操作)管理の簡略化を図っている。

4. むすび

半導体生産工場のFA化は少品種多量生産型から始まり、ASIC向け工場のFA化へと進んできた。ASICラインのFAシステムは、従来のFAシステムに比較しフレキシブル化されたことにより、以下の効果を上げることができた。

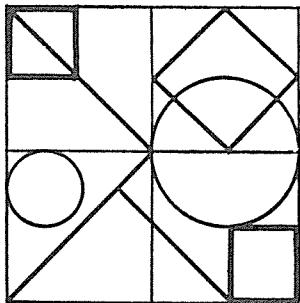
- (1) 多品種生産ラインでの複雑な管理をコンピュータにより自動化できた。
- (2) コンピュータと製造装置とのオンライン接続により、品種別の処理条件を装置に自動指示することが可能となり、熟練作業者が少なくとも安定した生産ができるようになった。
- (3) 新品種に対して、製造フローの変更や装置の更新に伴うレイアウト変更に対して、大幅なシステム変更なしで対応できるようになった。
- (4) 従来のマニュアル生産ラインに比べ、約20%の工期短縮を達成した。

半導体の生産はASIC指向とウェーハサイズの大口径化がますます進むことが予想される。このように状況において、半導体生産におけるFAシステムの役割は更に重要なものとなる。

今後の課題としては、多品種かつ多量生産のいずれの生産にも対応できるFAシステムの完成が必要と考えている。

参考文献

- (1) 上原ほか：超LSI工場における全自動一貫生産システムの開発と実用化、大河内賞受賞業績報告書(昭和62年度)，p.97(1988)
- (2) 上原ほか：半導体工場におけるFAシステム、三菱電機技報，61, No.4, p.41 (1987)



特許と新案

有償開放



有償開放についてのお問合せ先 三菱電機株式会社 知的財産部 TEL (03) 218-2139

半導体メモリ装置

(特許 第1462357号)

発明者 篠原 尋史, 吉原 務, 穴見 健児, 吉本 雅彦

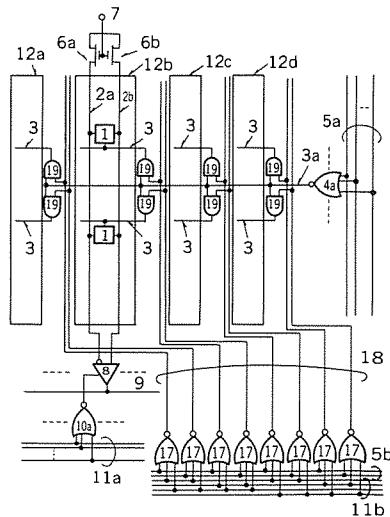
この発明は、アクセスタイムの向上及び消費電力の低減が可能な半導体メモリ装置に関するものである。

すなわち、図示の如く、メモリセル(1)の配列からなるメモリセルアレーを第2列アドレスで判別される複数のメモリセル群(12a)～(12d)に分割し、第1行アドレスと第2列アドレスとの両方を解読する第1デコーダ(17)と、第2行アドレスを解読する第2デコーダ(4a)と、第1、第2デコーダ(17), (4a)の出力を入力とする第3デコーダ(19)とからなる行デコード手段により、行アドレスと第2列アドレスとに応じて特定のメモリセル群に含まれる特定の行を判別してメモリセルの選択を行うように構成したものである。

このため、ビット線(2a) (2b)を経てメモリセルに流れ込む電流は、選択されたメモリセル群だけとなる。さらに、ワード線(3)の長さが短縮されているので、ワード線遅延時間が短縮され、高速動作が可能である。しかも、第2デコーダ(4a)の出力線(3a)や第3デコーダ(19)の設置に伴うチップサイズの増分は小さい。

以上のように、この発明によればメモリセルアレイを分割し、三つのデコーダを用いてメモリセルを選択するようにしたので、低消

費電力で、しかも高速な大容量の半導体メモリ装置を得ることができる。



MOS型半導体不揮発性メモリ装置の製造方法

(特許 第1462352号)

発明者 岡本 龍郎, 三好 寛和, 安東 亮, 高橋 広成

この発明は、MOS型半導体不揮発性メモリ装置の製造方法に関するものである。

すなわち、シリコン基板(1)上に素子分離用酸化シリコン膜(2)を形成する工程、酸化シリコン膜(3), 多結晶シリコン膜(4), 第2のゲート酸化膜形成用酸化シリコン膜, 制御ゲート電極形成用多結晶シリコン膜を順次形成する工程、制御ゲート電極形成用多結晶シリコン膜の上にエッティングマスク用のフォトレジスト膜(7)を形成する工程、フォトレジスト膜(7)をマスクとして制御ゲート電極形成用多結晶シリコン膜をエッティングし、制御ゲート電極(6a)を残す工程、フォトレジスト膜(7)及び制御ゲート電極(6a)をマスクにして第2のゲート酸化膜形成用酸化シリコン膜をエッティングし、第2のゲート酸化膜(5a)を形成するとともに制御ゲート電極(6a)の側面にエッティング保護膜(13)を形成する工程、第2のゲート酸化膜(5a)をマスクに多結晶シリコン膜(4)をエッティングし、浮遊ゲート電極(4a)を形成した後、酸化シリコン膜(3)をエッティングすることにより第1のゲート酸化膜(3a)を形成する工程、さらにソース・ドレイン領域(14a)・(14b)を形成する工程からなる。

以上のように、この発明によれば多結晶シリコン膜(4)のエッキン

グ時に、制御ゲート電極(6a)の側面がエッティング保護膜(13)で覆われているため、エッティング時間変えることにより、浮遊ゲート電極(4a)のゲート長を制御ゲート電極(6a)とは独立に設定することができる。例えば、制御ゲート電極(6a)の方を長くすると、照明下においても浮遊ゲート電極(4a)への紫外線の直接照射量が低減されるため、記憶保持特性が向上する。

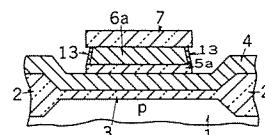


図1.

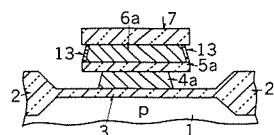


図2.

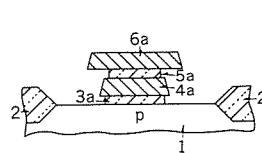


図3.

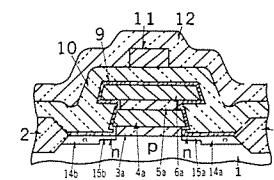


図4.

特許と新案 有償開放

有償開放についてのお問合せ先 三菱電機株式会社 知的財産部 TEL (03) 218-2139

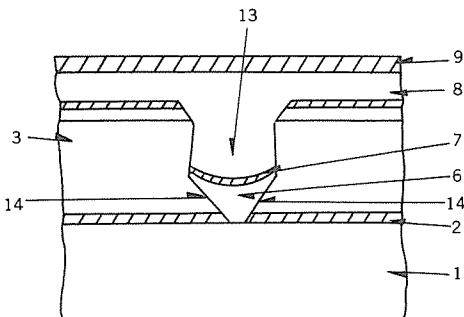
半導体レーザ (特許 第1506411号)

この発明は、溝内に三日月状の活性層を埋め込んだ構造を有する半導体レーザに関するものである。

すなわち、図示の如く、電流プロック層(3)の〔011〕方向に、下部に滑らかな結晶面である(111)B面(14)が露出された面を有し、上部に幅が狭く制限された構造の溝(13)を形成し、この溝(13)内に下クラッド層(6)、三日月状の活性層(7)、上クラッド層(8)を順次エピタキシャル成長させて三日月状の活性層(7)を電流プロック層(3)内に埋め込んだ構造を有する半導体レーザである。この半導体レーザでは、活性層(7)が、滑らかな結晶面である電流プロック層(3)の(111)B面上に

発明者 楠原 靖、平野 良一、浪崎 博文、須崎 渉
成長されるため、積層方向に滑らかに成長される。しかも、活性層(7)が上部の溝(13)の幅が狭く制限された部分に形成されるので、その幅を余裕のある製造条件のもとに横基本姿態発振が可能なものに容易に制御できる。

以上のように、この発明によれば、活性層を埋め込む溝として下部に(111)B面が露出された面を有し、上部に幅を狭く制限されたストライプ溝を用いた構造としたので、遠視野層が優れで、しかも安定な横基本姿態発振する半導体レーザが得られる。



断面図

〈次号予定〉 三菱電機技報 Vol. 63 No.12 発電プラント監視・制御特集

特集論文

- 最新の制御理論の動向と発電プラントへの応用
- 発電プラント監視・制御の技術動向
- 最新の火力発電プラントの監視・制御システム
- 最新の水力発電プラントの監視・制御システム
- 火力発電プラント運転業務支援システム
- 水力発電所状態監視システム
- 火力発電所データ管理システム
- 火力発電プラント運転教育訓練システム
- 発電プラント向け監視・制御装置の予防保全と近代化

普通論文

- 教育用視覚システム "IS-100"
- 高機能半密閉形レシプロ式圧縮機
- 本格派多機能普及機ファクシミリ "MELFAS 700シリーズ"
- 128K×8ビット中速SRAMシリーズ
- 24ビット浮動小数点DSP
- ワークステーションをベースとしたマイクロプログラム開発支援システム
- 真空スイッチ管のアーク現象と遮断性能

三菱電機技報編集委員 委員長 山田 郁夫 委員 峯松 雅登 ノ 福岡 正安 ノ 尾崎 博規 ノ 風呂 功 ノ 大原 啓治 ノ 松村 恒男 ノ 紅林 秀都司 ノ 高橋 誠一 ノ 鳥取 浩 ノ 柳下 和夫 幹事 長崎 忠一 11月号特集担当 渡辺 仁三 榎本 龍弥	三菱電機技報63巻11号 (無断転載を禁ず) 1989年11月22日 印刷 1989年11月25日 発行 編集兼発行人 長崎 忠一 印刷所 東京都新宿区榎町7 大日本印刷株式会社 発行所 東京都港区新橋六丁目4番地9号(〒105) 三菱電機エンジニアリング株式会社内 「三菱電機技報社」Tel.(03) 437局2338 発売元 東京都千代田区神田錦町三丁目1番地(〒101) 株式会社 オーム社 Tel.(03) 233局0641(代)、振替口座東京6-20018 定価 1部721円(本体700円) 送料別 年間予約は送料共9,373円(本体9,100円)
--	--