

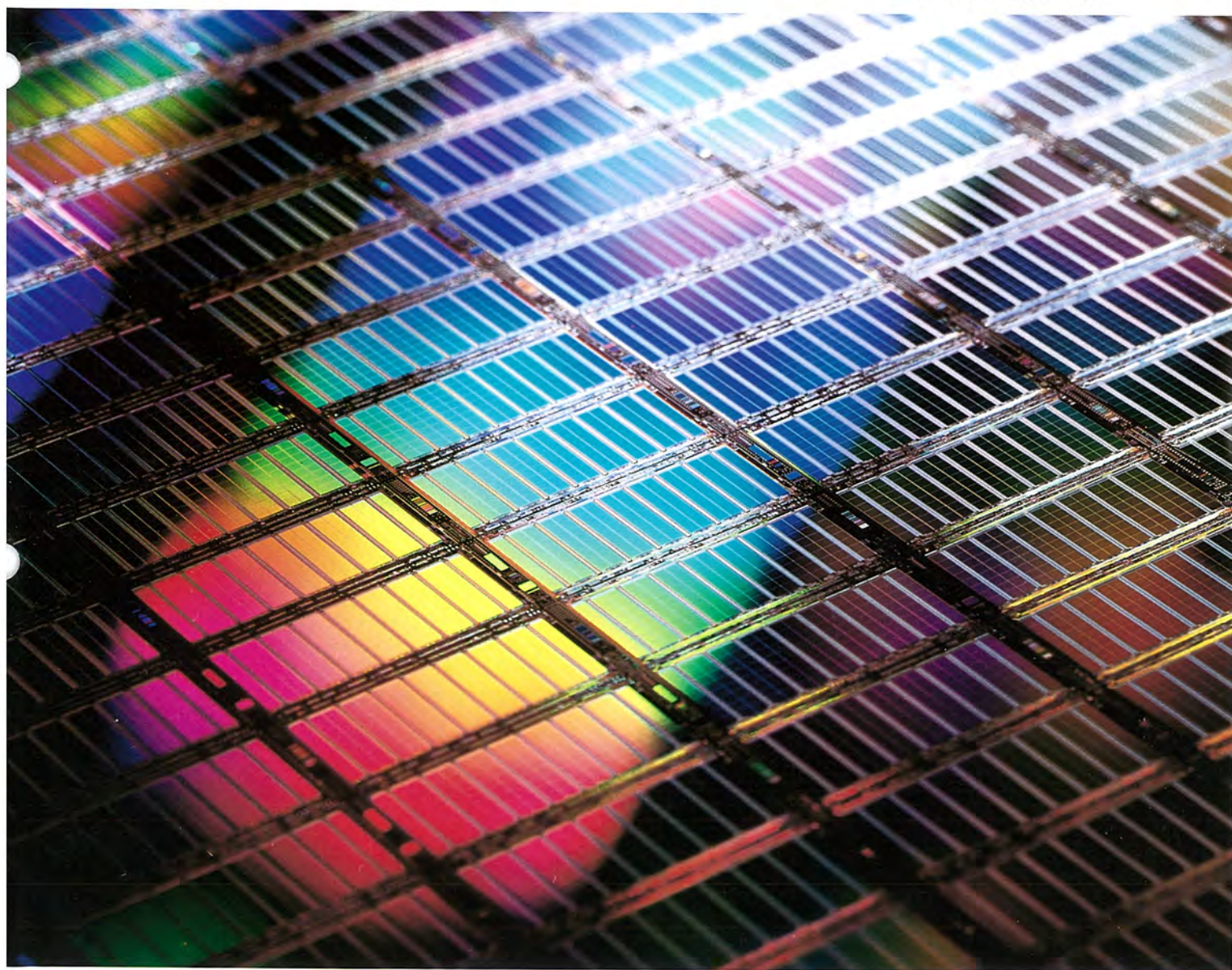
MITSUBISHI

三菱電機技報

MITSUBISHI DENKI GIHO Vol.62 No.8

8
1988

VLSI特集



VLSI特集

目次

特集論文

VLSI特集に寄せて	1
菅野卓雄	
まだ飽和しない超LSIの進歩	2
岡 久雄	
VLSIロジック／メモリの現状と将来動向	3
中野隆生	
VLSIメモリ	9
山田通裕・茅野晋平・吉原 務・張間寛一・浜野尚徳	
VLSIマイクロプロセッサ	13
富沢 治・齊藤和則・市山寿雄・山田憲政	
専用標準LSI	17
中屋雅夫・吉本雅彦・伊藤順治	
セミカスタムIC	23
西谷一治・森田 功・荒川隆彦	
先端デバイスイメージセンサ／三次元回路素子	27
浅井外寿・木股雅章・西村 正・楠 茂	
セルベース方式LSI設計システム	31
岡崎 芳・新保新太郎・数馬好和・荻原拓治・加藤周一	
VLSI先端プロセス技術	37
松川隆行・長尾繁雄	
VLSIパッケージ技術	41
立川 透・島本晴夫・中川 治・小原雅信	
プロセス／デバイス シミュレーション	45
藤永正人・尾田秀一・小谷教彦・赤坂洋一	
信頼性・評価技術	51
牧 信久・益子洋治・小山 浩	

普通論文

新型三相一括ガス遮断器シリーズにおける高信頼度化技術	55
吉積敏昭・杉山 勉・米沢 毅・細見 守・伊吹恒二	
オールディジタル三菱汎用ACサーボ《MELSERVO-SAシリーズ》	61
石川嘉夫・堤 清介・島 晶	
高効率音声符号化装置	65
海老沢秀明・内藤悠史・高橋真哉・中島邦男	
オフィスコンピュータにおけるデータベース回復技術	69
吉村啓二・小宮富士夫・岩崎浩文・山平善久	
高周波インバータ電源を搭載したマイクロ波放電光源装置	75
正田 勲・岩田明彦・渡辺 勇・児玉仁史・吉沢憲治	
超高速256K SRAM	79
木原雄治・村上修二・南ふゆみ・古賀 剛・中田幸子	
EPROM内蔵型高性能16ビット シングルチップマイコン	83
城田省三・安達 聖・杉田一也・平島香織・藤田紘一	
CD-Vシングルプレーヤー用光ピックアップ	89
本間 修・縄田 康・高松泰男・田口博識・吉原 徹	

特許と新案

買電量調整装置、金型クイックチェンジ取付装置	95
穴抜装置	96

スポットライト

衛星放送受信機内蔵カラーテレビ29CT-AT1 BS	93
漏電警報付遮断器	94
小形ギャードモートル (GM-J) スピードコントロールシリーズ	97
フィルターコンパック換気扇ワイヤレスリモコンタイプ	98
三菱原子力プラント総合ディジタル計装制御システムMELTACシリーズ … (表3)	

表紙

4 Mビット DRAM

4 Mビット DRAM (M5M44100/M5M44400) は、同一チップで4 M語×1 ビット及び1 M語×4 ビット構成の切替えが可能で (Alマスクのマスダスライス)、大型計算機からパソコン、端末機器などの幅広い用途に対応できる本格的な超々LSIである。0.8 μ mルール CMOSプロセス技術を駆使し、高速アクセス時間(80 ns)、低消費電力(動作時385mW)を実現し、表面実装に最適な350ミル幅のSOJ (Small Outline Package with J-lead) に収容している。

表紙はチップの一部を拡大した写真である。



アブストラクト

VLSIロジック／メモリの現状と将来動向 中野隆生 三菱電機技報 VoL.62・No.8・P3～8 VLSIロジック／メモリはメモリをプロセスドライバとして比例縮小則をベースに発展してきた。最小寸法がサブミクロン領域に入り、数百万Trがワンチップ化されASIC化が急進展している。集積度限界は最小寸法に依存し、もし0.125μmまで可能ならば10¹¹素子／チップ(メモリ換算 50Gビット／チップ)が期待できる。デバイスではBi-CMOS化が進み、設計手法はセルベースを経て究極のシリコン コンパイラに向かうだろう。	先端デバイス—イメージセンサ／三次元回路素子— 浅井外寿・木股雅章・西村 正・楠 茂 三菱電機技報 VoL.62・No.8・P27～30 パイプ内部計測用として16万画素、外形10mmϕの超小型エリアイメージセンサとA3版原稿を400DPIの解像度で読み取る密着型カラーリニアセンサを開発した。また、赤外線テレビカメラシステムに使用する26万画素のCSDイメージセンサのチップ構成を紹介する。最後に先端デバイスとして、光センサ／A/D変換器／ALUからなる3層構造三次元回路素子を試作し、3層複合動作による並列処理機能を確認した。
VLSIメモリ 山田通裕・茅野晋平・吉原 務・張間寛一・浜野尚徳 三菱電機技報 VoL.62・No.8・P9～12 超LSIメモリの大容量化、高速化、低消費電力化という高性能化要求を実現するため、最先端の半導体技術を用いて開発が行われている。現在4MビットDRAMに代表されるサブミクロン技術の実用化開発、さらに0.5μmレベルの研究開発中である。この論文では超LSIメモリの製品群を形成するダイナミックRAM、スタティックRAM、ROM及び特定用途向けメモリについて、当社の開発状況、製品内容について概説する。	セルベース方式LSI設計システム 岡崎 芳・新保新太郎・数馬好和・荻原拓治・加藤周一 三菱電機技報 VoL.62・No.8・P31～36 ゲートアレーでは困難な高集積、高機能LSIの設計を支援する“セルベース方式LSI設計システム”を新たに開発した。このシステムは、ワークステーション活用によるヒューマン インタフェースの高度化、同期回路に対するタイミング検証、テストデータ生成のサポート及びプロセス更新に対し柔軟なセルの設計手法にポイントをおいている。現在、LSI設計技術者を中心に社内でのLSI開発に使用されている。
VLSIマイクロプロセッサ 富沢 治・斉藤和則・市山寿雄・山田憲政 三菱電機技報 VoL.62・No.8・P13～16 TRON (The Real Time Operating System Nucleus) 仕様に基づいた32ビット マイクロプロセッサG_{MICRO}ファミリー中のG_{MICRO}/100はメモリ管理機構を必要としない小型システムへの応用を想定したものである。強力なビットマップ演算命令のサポートを特徴とし、5段パイプライン構造と分岐命令に対する新規なダイナミック分岐予測機構の採用により高速化を図っている。プログラム開発環境としてコンパイラや評価用ボードシステムも提供される。	VLSI先端プロセス技術 松川隆行・長尾繁雄 三菱電機技報 VoL.62・No.8・P37～40 当社LSI研究所における最近の研究成果を軸として、先端プロセス技術の開発動向を総合的に紹介する。全体はプロセスの要素技術とデバイス技術に2分され、前者に対してはリソグラフィ及び膜形成に関するトピックスを、後者に対してはCMOS、バイポーラ、各デバイスにおけるトピックスを選んで、それぞれの要点を述べる。
専用標準LSI 中屋雅夫・吉本雅彦・伊藤順治 三菱電機技報 VoL.62・No.8・P17～22 近年、集積回路技術の進展に伴い、ワンチップに集積できる素子数が飛躍的に増大している。この結果、特定システムに適し、しかも標準品として使用できる専用標準LSI (Application Specific Standard Products) の重要性が高まっている。専用標準LSIとしてデジタル通信用LSI、デジタルTV用LSI及びフロッピーディスク ドライブ (FDD) 用LSIの技術成果並びに新製品の内容について述べる。	VLSIパッケージ技術 立川 透・島本晴夫・中川 治・小原雅信 三菱電機技報 VoL.62・No.8・P41～44 多様化しつつあるVLSIパッケージの動向を、①小型化・表面実装化、②多ピン化の観点からとらえた。新たに開発し、現在量産中の各種小型パッケージ (VQFP, VSOP, TSOP) と、最適形状設計、樹脂材料の改善による低応力化、微細ピッチはんだ付けなどの新パッケージ技術とともに説明する。また、開発中のワイヤボンダ代替のTAB技術と、TAB応用の最新パッケージについても紹介する。
セミカスタム IC 西谷一治・森田 功・荒川隆彦 三菱電機技報 VoL.62・No.8・P23～26 近年、ゲートアレーやスタンダードセルのセミカスタムICは、ASIC (Application Specific Integrated Circuit) の一つとして、半導体市場で急成長を続けている。この論文は、製品化している最新の1.3μm CMOSゲートアレーの設計上、ウェーハプロセス上の特長を中心に述べ、スタンダードセルについてはCMOSゲートアレーとの比較も含めて、その特長を述べ最後に今後のASICの方向について触れる。	プロセス／デバイス シミュレーション 藤永正人・尾田秀一・小谷教彦・赤坂洋一 三菱電機技報 VoL.62・No.8・P45～50 VLSIに使われる素子が微細化されるにつれ、製造パラメータや構造パラメータを正確に最適化する必要がでてきた。プロセス／デバイス シミュレーションは、VLSIの製造プロセスや素子の電気的動作を理論モデルに従って計算する。実際に製造を行わずに、多岐にわたる製造パラメータと構造パラメータを最適化できるので、VLSIの最適設計を短期間で行える。本稿では、VLSI開発に不可欠なこれらシミュレーションについて紹介する。

Abstracts

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 27 ~ 30 (1988)

Advanced Imaging Devices and a Three-Dimensional LSI

by Sotoju Asai, Masafumi Kimata, Tadashi Nishimura & Shigeru Kusunoki

The article reports on a small-area image sensor, a contact-type color linear-image sensor, an infrared charge-sweep device, and a three-dimensional LSI. The area sensor has $350(H) \times 455(V)$ pixels and a diameter of just 100mm, making it suitable for instrumentation applications inside pipes. The linear sensor can read an A3 manuscript with 400 dpi high resolution. The infrared charge-sweep device (CSD) is an image sensor containing 260,000 pixels and is intended for infrared CCTV applications. The three-dimensional LSI is a research-level device with three layers. The layers house a photosensor, analog-to-digital converter, and an arithmetic logic unit (ALU), all of which can be operated simultaneously without crosstalk.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 3 ~ 8 (1988)

The Present Status and Future Trends in VLSI Logic and Memories

by Takao Nakano

Now that it is possible to manufacture VLSI logic and memory devices with submicron features, ASICs containing several million transistors have started to enter the market. If channel widths can drop as low as $0.125\mu\text{m}$, a single chip will be able to carry 10^{11} elements—which would correspond to 50Gb of memory. Bi-CMOS technology is advancing, and device design methodologies are moving through cell-based technologies to silicon compilers. The article reports on these and other trends.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 31 ~ 36 (1988)

A Cell-Based LSI-Design System

by Kaoru Okazaki, Shintaro Shimo, Yoshikazu Kazuma, Takuji Ogihara & Shuichi Kato

This system copes with the difficult task of designing high-density, complex VLSI circuits and uses the gate-array approach. It is designed and constructed with emphasis on the following features: a user-friendly interface that is a high-performance workstation, fast, accurate timing verification, sophisticated test-pattern generation for a synchronous logic circuit, and a design-rule-upgradable layout method for designing custom and library cells. The system is being used in-house by Mitsubishi Electric.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 9 ~ 12 (1988)

VLSI Memories

by Michihiro Yamada, Shimpei Kayano, Tsutomu Yoshihara, Hirokazu Harima & Hisanori Hamano

The article, an update on Mitsubishi VLSI memory technology, discusses main products including dynamic RAMs, static RAMs, ROM, and application-specific memory devices. The Corporation has developed a 4Mb dynamic RAM with a submicron ($0.8\mu\text{m}$) design rule, and production techniques for the next generation of devices with a $0.5\mu\text{m}$ size.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 37 ~ 40 (1988)

Advanced Technology for VLSI Processing

by Takayuki Matsukawa & Shigeo Nagao

The article surveys general trends in advanced process technology for VLSIs with a focus on work at the Corporation's LSI Research and Development Laboratory. Topics in elemental technology include lithography and thin-film formation. The discussion also extends to CMOS and bipolar device technologies.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 13 ~ 16 (1988)

The G_{MICRO}/100 32-Bit VLSI Microprocessor

by Osamu Tomisawa, Kazunori Saito, Toshio Ichihara & Norimasa Yamada

Based on the TRON architecture proposed by Tokyo University's Ken Sakamura, this chip is designed for use in high-performance personal computers, workstations, and other systems that do not require a memory-management function. It supports powerful instructions such as variable-length bit-field manipulation, and thus can handle bit-map organization. Advances in speed will be achieved by a five-level pipeline and a new dynamic branch prediction mechanism. Compilers and a development-support system will also be provided. The article describes the features, design considerations, and software.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 41 ~ 44 (1988)

VLSI Packaging Technology

by Toru Tachikawa, Haruo Shimamoto, Osamu Nakagawa & Masanobu Kohara

The article reports on Mitsubishi-developed very small quad flat package, very small outline package, and thin and small outline package (VQFP, VSOP, and TSOP) technologies. It covers optimum package design, stress reduction through choice of resin materials, and soldering of closely spaced pins. The article also introduces tape automated bonding, which is being developed as an alternative to conventional wire-bonding systems. Packages produced using the new bonding system are discussed.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 17 ~ 22 (1988)

Application-Specific Standard-Product (ASSP) LSIs

by Masao Nakaya, Masahiko Yoshimoto & Junji Ito

The article reports on technical developments and current products in large-scale integrations for digital communication equipment, digital TV systems, and flexible-disk drives. These ASSPs derive their name from their suitability for use in standardized products in and specialized applications. They are expected to enter wider use as device-integration densities continue to grow.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 45 ~ 50 (1988)

Process and Device Simulation

by Masato Fujinaga, Hidekazu Oda, Norihiko Kotani & Yoichi Akasaka

The article reports on systems that simulate the effects of various design and processing parameters on VLSI electrical performance. As recent VLSIs have a fine structure and are fabricated using complex structures, small perturbations in the design, structure, and process will have a considerable effect on their performance. Since the simulations described are based on physical models, laborious trial-and-error fabrication is greatly decreased. The simulations are being used to improve VLSI development and production.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 23 ~ 26 (1988)

Semicustom Integrated Circuits

by Kazuharu Nishitani, Isao Morita & Takahiko Arakawa

The article reports on the design and wafer-processing features of state-of-the-art $1.3\mu\text{m}$ CMOS gate arrays. The article contrasts CMOS gate arrays and standard cells—the two main types of application-specific ICs—and comments on future trends in these important device families.

アブストラクト

信頼性・評価技術

牧 信久・益子洋治・小山 浩

三菱電機技報 Vol.62・No.8・P51～54

VLSI化により種々の新たな信頼性の問題が現れ、それに対応した評価技術が必要である。信頼性技術で重要なのは、開発から量産段階の各ステップごとにいかに有効に加速試験を導入するかである。また、解析技術も重要で、特にFIB技術は微小な箇所の詳細な解析に有効であることがわかった。このような評価、解析技術により信頼性の向上が図れ、高品質のVLSIの製造が可能となる。

高周波インバータ電源を搭載したマイクロ波放電光源装置

正田 勲・岩田明彦・渡辺 勇・児玉仁史・吉沢憲治

三菱電機技報 Vol.62・No.8・P75～78

マイクロ波空洞内で無電極ランプを点灯させる光源装置において、マグネトロン駆動電源部を高周波インバータ化し、軽量・小型化するとともに調光機能を付加した。これによって、従来装置の光出力の立ち上がり時間が短い、再始動時間が短い、ランプ寿命が長い、などの特長に加えて、連続調光、プログラム調光が可能になった。

新型三相一括ガス遮断器シリーズにおける高信頼度化技術

吉積敏昭・杉山 勉・米沢 毅・細見 守・伊吹恒二

三菱電機技報 Vol.62・No.8・P55～60

新型三相一括ガス遮断器シリーズに適用した高信頼度化技術のうち、操作系と主回路の信頼性の向上に寄与した新しい技術を紹介する。操作系には従来に比べ、より進歩した常時高圧安定油圧回路を用い、設計、評価・検証、製造の各段階における技術改善を行った新型油圧操作装置を適用して、動作信頼性を高めた。主回路には短絡遮断時の熱ガス流の計算機シミュレーション技術や実機測定技術を適用して設計や評価・検証の精度を高め、高い絶縁信頼性を実現した。

超高速256K SRAM

木原雄治・村上修二・南 ふゆみ・古賀 剛・中田幸子

三菱電機技報 Vol.62・No.8・P79～82

最大アクセスタイム25nsの256K CMOS SRAMを開発した。高速アクセスを得るために、プロセス面でMoSiワード線、NチャネルトランジスタのLDDに加え、新たにPチャネルトランジスタにサイドウォール拡散を採用してゲート容量を抑えた。設計面では従来から用いているATD回路によるイコライズの方式に改良を加え、高速型センスアンプの開発と合わせて高速回路を実現した。

オールデジタル三菱汎用ACサーボ《MELSERVO-SAシリーズ》

石川嘉夫・堤 清介・島 晶

三菱電機技報 Vol.62・No.8・P61～64

アナログ制御系を含んだACサーボ《MELSERVO-Aシリーズ》に代わり、新たに制御系をオールデジタル化した《MELSERVO-SAシリーズ》を業界に先駆けて製品化した。さらに、標準モータに加え低慣性タイプ、フラットタイプといったモータのラインアップも行った。本稿では、SAシリーズのハードウェア、ソフトウェア及び従来のアナログサーボでは得られなかった特長と性能の概要について紹介する。

EPROM内蔵型高性能16ビット シングルチップマイコン

城田省三・安達 聖・杉田一也・平島香織・藤田紘一

三菱電機技報 Vol.62・No.8・P83～88

OA、産業用機器制御用の高速、高性能16ビット シングルチップ マイコン シリーズ《MELPS 7700》のファミリーとして、EPROM32Kバイト、RAM 2Kバイトと世界最大の内蔵メモリをもつM37700E4、E4A（高速版）を開発した。ツインウェルの1.3 μ m CMOSシリコンゲートプロセスを使用し、マスクROMタイプの製品と機能、電気的特性で完全なコンパチビリティを実現している。本稿ではこの製品について紹介する。

高能率音声符号化装置

海老沢秀明・内藤悠史・高橋真哉・中島邦男

三菱電機技報 Vol.62・No.8・P65～68

通信網のデジタル化に伴い、通信の大部分を占める音声の伝送効率を改善する高能率音声符号化技術のニーズが高まっている。当社では、32Kbps ADPCM、16K/9.6Kbps APC-MLQなどの各種音声符号化装置を開発し、高速デジタル多重化装置《MELMUX》やテレビ会議システムなどに適用している。今後は、開発中の高性能信号処理プロセスの適用により、さらに装置の小型化・高性能化が期待できる。

CD-V シングルプレーヤー用光ピックアップ

本間 修・縄田 康・高松泰男・田口博識・吉原 徹

三菱電機技報 Vol.62・No.8・P89～92

CD用光ピックアップで培った技術をベースとして、CD-V シングルプレーヤー用光ピックアップを開発した。デジタル音声信号のほかに映像信号を再生することから、高NAの対物レンズ、低雑音のレーザダイオード、アクチュエータの高感度化などを行い、映像S/N比45dB以上、水平解像度400本以上の性能であることが確認できた。

オフィスコンピュータにおけるデータベース回復技術

吉村啓二・小宮富士夫・岩崎浩文・小平善久

三菱電機技報 Vol.62・No.8・P69～74

今回、オフィスコンピュータGEOCシリーズのもとでデータベース回復機能を提供する“回復管理システム (RMS)”を開発した。RMSはオフィスコンピュータの多様な処理形態に一元的に適用できるもので、ディスクキャッシュを有効活用したジャーナル採取方式や索引構造一貫性の回復方式など幾つかの特長ある回復技法を採り入れており、各種の障害に対して効果的に対処することができる。今後は、主に分散処理環境への展開が課題である。

Abstracts

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 75 ~ 78 (1988)

A Microwave-Discharge Light-Source Apparatus with a High-Frequency Inverter

by Isao Shoda, Akihiko Iwata, Isamu Watanabe, Hitoshi Kodama & Kenji Yoshizawa

The article describes an apparatus that emits light from a built-in electrodeless apparatus and has a high-frequency inverter that replaces the conventional power supplies of previous models. The inverter supports continuous and programmable dimmer functions which were previously unavailable. Other benefits of the inverter control include reduced equipment size and weight, and a light-control function, in addition to the earlier model features—shorter lamp starting and restarting times and an extended lamp life.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 51 ~ 54 (1988)

Reliability and Evaluation Technologies

by Nobuhisa Maki, Yoji Mashiko & Hiroshi Koyama

Mitsubishi Electric has improved its reliability and evaluation technologies to control reliability problems in VLSI devices. Accelerated aging tests have been introduced at every step in the production process and better analysis technologies—including focused-ion-beam systems—have been developed to analyze small features in detail. VLSI lines incorporating this evaluation technology have demonstrated good yields of reliable, high-quality devices.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 79 ~ 82 (1988)

An Ultrahigh-Speed 256Kb CMOS Static RAM

by Yuji Kihara, Shuji Murakami, Fuyumi Minami, Tsuyoshi Koga & Yukiko Nakata

The article reports on an ultrahigh-speed 256Kb CMOS static RAM. The Corporation achieved an access time of 25ns by reducing the gate capacitance through MoSi word lines, n-channel transistors with lightly doped drain, and innovative side-well-diffused p-channel transistors. Design features include an improved address-transition detector equalizer circuit and a high-speed sensor amp.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 55 ~ 60 (1988)

Reliability-Improvement Technologies Applied to a New Series of Three-Phase-Enclosure SF₆-Gas Circuit Breakers

by Toshiaki Yoshizumi, Tsutomu Sugiyama, Takashi Yonezawa, Mamoru Hosomi & Koji Ibuki

The article reports on new technologies that boost the operational reliability of the driving mechanism and main high-voltage circuit of the Corporation's new series of three-phase SF₆-gas circuit breakers. Advanced hydraulic operating mechanisms with an innovative pressure-control concept resulted in the increased reliability. Experimental and theoretical methods to investigate the characteristics of the hot-gas flow during short-circuit interruption were utilized for the insulation design and for rigorous performance evaluation to improve the reliability.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 83 ~ 88 (1988)

Two High-Performance 16-Bit Single-Chip Microcomputers with Internal EPROMs

by Shozo Shirota, Kiyoshi Adachi, Kazuya Sugita, Kaori Hirashima & Koichi Fujita

The Corporation has announced the MELPS 7700 Series high-speed, high-performance 16-bit single-chip microcomputers for office automation and industrial-control applications. The Series currently includes two models, the M37700E4 and the high-speed M37700E4A. Both carry a 32KB EPROM and 2KB RAM on a chip, the largest capacity of any microcomputers on the market. The devices employ a 1.3 μ m twin-well silicon-gate CMOS process so that the functions and electrical characteristics of the EPROM version are 100% compatible with general-purpose mask-ROM products.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 61 ~ 64 (1988)

MELSERVO SA Series All-Digital AC Servo Drives

by Yoshio Ishikawa, Seisuke Tsutsumi & Akira Shima

Mitsubishi Electric is maintaining its position at the leading edge of AC servo technology with these new drives. The Corporation has also broadened its line of motors to include standard, low-inertia, and pancake types. The article reports on the hardware and software of the MELSERVO-SA series, and discusses its advantages over the Corporation's MELSERVO-A Series analog servo drives.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 89 ~ 92 (1988)

An Optical Pickup for CD Video Single Players

by Osamu Honma, Ko Nawata, Yasuo Takamatsu, Hiroaki Taguchi & Toru Yoshiwara

The Corporation has developed an optical pickup for CD video single (5-inch disk) players based on its pickups for conventional CDs. The pickup consists of a high-NA lens, low-noise laser diode, and high-sensitivity actuator for better playback audio and video signals. The pickup has a video S/N ratio better than 45dB, and horizontal resolution of more than 400 lines.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 65 ~ 68 (1988)

Low-Bit-Rate Speech-Coding Equipment

by Hideaki Ebisawa, Yushi Naito, Masaya Takahashi & Kunio Nakajima

The article reports on speech-coding equipment that reduces the number of binary digits required to transmit voice signals through digital telecommunication networks. The equipment employs ADPCM and APC-MLQ low-bit-rate speech-coding techniques to achieve bit-rates of 32 and 16kbps per voice channel, respectively. The equipment is currently being used with high-speed digital multiplexers for leased circuits and video-teleconferencing systems. Performance is expected to be improved by the use of a digital signal processor under development by Mitsubishi Electric. Speech-coding technology is vital to efficient use of digital networks because voice communications constitute the majority of network traffic.

Mitsubishi Denki Giho: Vol. 62, No. 8, pp. 69 ~ 74 (1988)

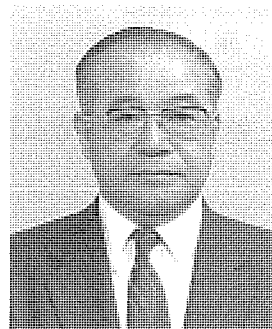
A Recovery-Management System for the Databases of Small-Business Computers

by Keiji Yoshimura, Fujiko Komiya, Hirofumi Iwasaki & Yoshihisa Yamahira

The Corporation has developed a recovery management system (RMS) for the databases of its GEOC Series small-business computers. Effective for a variety of applications, the RMS can recover databases on a transaction basis. Its techniques include a journal-recording method based on disk-cache capabilities and a recovery method for index consistency. Plans call for future systems that will recover failures in distributed-processing environments.

VLSI特集に寄せて

東京大学 工学部
電子工学科 教授
工学博士 菅野卓雄



1Kビットのバイポーラ・メモリが、初めて国際固体回路会議（ISSCC）でベル研究所より発表されたのは1967年で、丁度小生も出席していたが、長年磁性部品が使用されてきた主メモリに集積回路が使用されるようになり、計算機におけるメモリ技術に新しい時代の到来をつげるものとして多くの人々の関心を惹き、日本からの会議出席者、特に各社の研究・開発で指導的立場にある方々がこのベル研究所からの発表を注目しておられたことを明瞭に記憶している。

当時の判断としては、トランジスタを使用してメモリを製作すれば高速にはなっても、1ビット当たりの価格が高くなって磁気メモリに対抗できないと考えられていたことは屢々昔語りとして伝えられているが、集積回路メモリが高性能であること、当時は途遠しの観があったにせよ集積回路技術のもつ潜在的な可能性に着目し、その研究・開発に踏みきったことは正に慧眼の極みで敬意を表さねばならない。

それ以後の最近にいたる半導体メモリ、特にダイナミック・メモリ（DRAM）の進歩は良く知られているごとくであり、現在までDRAMはVLSI技術の進歩に対し主導的役割を果たし、且つ日本のVLSI産業の主力製品として世界市場で大きな割合を占有するに到ったことは衆知の事実であるが、これは1960年代の中頃漠然と持たれていた常識を打ち破ったものといえよう。

VLSI技術の発展の歴史をみると、このようにその当時としては非常識と思われた判断がいくつか積み重ねられてきているが、その突飛とも思えたかも知れない技術開発の方向は決して奇をてら（衒）うものではなく、必要性が原動力

になり、周辺技術も含めた半導体技術の革新により支えられてきており、その半導体技術の革新を可能にした研究者の努力、研究開発投資に負うものであることはいうまでもない。

半導体メモリ、特にDRAMはVLSIの量産性のメリットを最大限に活用したもので、それに伴いVLSIは少品種多量生産でないと経済性があがらず、商品となり得ないという常識が一時支配的であった事を覚えておられる方も少なくないであろう。しかし、VLSIが多量生産可能なものでなければ実用的な価値がないとすればVLSIの品種は限られ、VLSI技術の波及は限定されたものとなる。

そこで最近ではこのような常識を破る専用集積回路（ASIC）にVLSIの新しい発展分野を開拓しようとする努力が払われており、VLSI技術の応用の一層の普及がはかられるものと期待されている。勿論この場合にもプロセス、デバイス、回路などのシミュレーション技術や計算機支援設計などが従来以上に重要性を増し、ASICへの展開を支えるものとなろう。

VLSI技術について三菱電機㈱も数々の貢献をしてこられたが、その中でも半導体プロセス技術に対するプラズマ技術の導入に関する先駆的研究は世界の半導体技術の研究・開発の方向に指針を与えた不滅の功績といえよう。これは、たまたま筆者も興味をもっていた事柄であったので印象が強かった例であるが、この他にもこのような業績は数多くあると思われる。

今後共、既存の常識を打破るVLSI技術の革新が三菱電機㈱より誕生することを期待して筆を擱くこととしたい。

まだ飽和しない超LSIの進歩

1948年に米国のベル研究所でトランジスタが発明されて以来、半導体デバイスはいろいろな分野で大きく発展成長を続けてきた。中でもその発展の速度や社会生活や産業に及ぼした影響の大きさから見て、最も先進的な地位にあるのが超LSIであろう。

超LSIはIC、LSIの時代を経て今日の姿となっており、最近では一層集積度が高いものに対し超超LSI (ULSI) などという言葉も始めている。

我が国の最近の経済発展とくに石油ショック後、その打撃から立ち直り新しい産業発展を導いた原動力は、マイコンやメモリなどに代表される超LSIを駆使したマイクロエレクトロニクスであったことは間違いない。省エネルギー、省資源、そして省人によって生産コストは大幅に低減され、また新しい情報機能の出現によって産業や人間生活の様相は大きく変えられた。

トランジスタが発明された当時、この固体電子デバイスの出現に対し、先見性ある人たちは、これは大変なことだ、従来の真空管中心のエレクトロニクスに革命的变化をもたらすだろうと、大きな興奮とともにその将来を洞察した。

筆者が東北大学の学生であった当時、今は亡き恩師渡辺寧先生から、当時初めて我が国にもたらされた初期のトランジスタや半導体について直接講義を聞くことができたが、今もって先生の情熱あふ(溢)れる講義の声を忘れることができない。

しかしながら、当時、今日の超LSI、あるいは超超LSIによって実現している数多くの先端的情報・通信システムなどに見られるような質・量ともに極めて大きな技術発展と社会への影響を想像することができたであろうか。それほどに超LSIの進歩発展は大きく、恐らく人類の歴史にも残るほどの社会的インパクトであった。

筆者もこの超LSIの進歩の過程にいろいろかかわることができたことで、それまでの困難や苦勞を乗り越えた大きな感慨と喜びを味わうこともあるが、超LSIの進歩は今もって決してその進歩の速度をゆるめていないことに新しい意慾を覚えるのである。

サブミクロン時代あるいはナノメータ加工と言われるように、

専務取締役 開発本部長
工学博士 岡 久雄



ウェーハプロセスにおける超微細加工には次々と新しい可能性への挑戦が行われ、またシステムオンチップと言われるような大規模回路、おそらく数十万から100万素子で構成されるような複雑な回路パターンの作成には、超LSIで性能が格段と向上したコンピュータや人工知能的ワークステーションが駆使されている。

これらの新しい技術開発への挑戦は決して容易でない。むしろ今日までの研究開発に対するより、はるかに困難であり、ブレークスルーに対する障壁も大きいと思われる。その徴候はまず試作と量産とのギャップに現れている。

現在の世界的1MビットダイナミックRAM不足の一因は、設備投資の抑制もさることながら、従来以上に量産化に対する困難性の高さを示しているとも言われている。

超LSIはその規模が大きくなればなるほど、性能や品質、信頼性に対する要求がきびしくなる。それらがそれらを使用するシステムの優劣を決める大きな要因となるからである。

一方、超LSIはその規模が大きくなり、チップ面積が増大し加工が微細化されてくると、ますます製造装置や生産環境(ゴミの問題も含め)などの影響を受けやすく、試作性能と量産条件とをいかにうまく整合させるかが今まで以上に難しくなる。

超LSIあるいは超超LSIと言うかも知れないが、既にダイナミックRAMでは4Mビットのサンプル出荷も始めているし、16Mビットの試作発表が学会レベルで行われている。

一体、超LSIはどこまで進歩するのか? 今までも何回となく論議されてきた。過去には4Mビット程度かと言われた時代もあったが、現在では100Mビット位が実現可能と思われる。しかし、中には1Gビットも夢でないとする意見も少なくない。

いずれにしろ超LSIが今後ますます各種システムの中核部を構成する以上、工業製品としての信頼性や、経済性に対する要求もきびしくなってくる。コストパフォーマンスからみても超LSIの進歩は飽和して行くものと思われるが、いつごろの辺でということをするを予言することは今日でも難しい。

VLSIロジック／メモリの現状と将来動向

中野隆生*

1. ま え が き

ICの開発経過をみると市場要求に対する原価の低減を機能の拡大と付加価値の向上で補ってきたといえる。機能の拡大と付加価値の向上に対処するため、LSI化が促進されVLSIでは一層この要求を満たすべく回路、プロセス技術両面の進歩があった。しかし、システムのLSI化、VLSI化においては、①Better Performance, ②Higher Reliability, ③More Economicalの三大原則を満たすべくことが根底にあり、このいずれに反しても実用的存在意義はなく、飽くまでこの原則を踏まえてIC→LSI→VLSI化が達成されてきた⁽¹⁾。

2. VLSIの発展経緯

図1に半導体デバイス開発の歴史とシステムとの対応、システムへの波及効果を示す。IC産業の特徴は元来装置産業であり、量産によって経済効果を発揮する。したがって、十分な需要をもつ応用分野との結びつきがあって初めて発展も可能であった。電卓により初めて世の中に出たICはコンピュータへの適用により論理ICを進展させ、高級電卓、時計との結びつきによりMSIからLSIへと発展し、1978年VLSIの玄関口と言われる64KダイナミックRAM（以後、DRAMと称す）によりVLSI時代を迎えた。この間、LSI、VLSIに最も適したデバイスはメモリであり、常にLSI技術を先取りし、又はLSI技術のけん引車として進展を続けてきた。

図2はDRAMにおけるチップ当たりの素子数の年次変化と高集

積化の要因分析を示す⁽²⁾。メモリにおける高密度化は素子の微細化、チップサイズを大きくした効果、回路・デバイス上の工夫により達成されてきた。内でも微細化の効果は大きく、最小設計寸法は1970年の1Kビットから1985年の1Mビットまで15年で1/8になり、これだけで70倍の高集積化が達成された。チップ寸法は1Kビット 10mm²に対し1Mビット 50~60mm²であり5~6倍大きくなっている。

このように、LSIからVLSIに至る技術開発はDRAMをプロセスドライバとし比例縮小則をベースに進展してきた。一方、マイクロプロセッサを代表とする論理LSIはメモリLSIではぐくまれた高性能・高集積化技術を吸収し、より高付加価値化を図ってきた。図3にマイクロプロセッサにおける技術の流れを示す⁽³⁾。高機能化に対し命令機能の充実、メモリ管理機能、入出力制御の取り込みを目指す1チップ マイクロコンピュータ指向と一度に処理するデータビット幅の拡張による処理能力の向上があった。一方、こうしたハードウェアの進展に伴ってマイクロプロセッサのシステム開発、ソフトウェア開発を容易化する必要性が強く認識され、OSの開発、高級プログラム言語の適用、コンパイラ、デバグなどプログラム開発に必ず(須)な様々なツールが充実してきた。

ワンチップに搭載可能なゲート数が50K~100Kになるというのは、システム、サブシステムをワンチップに搭載可能とし、用途面に特化したASIC (Application Specific IC) の開発も急ピッチである。DSP (Digital Signal Processor) を代表とする専用標準IC、短納期、フルカスタムに比べ少ない開発費を武器とするゲートアレ

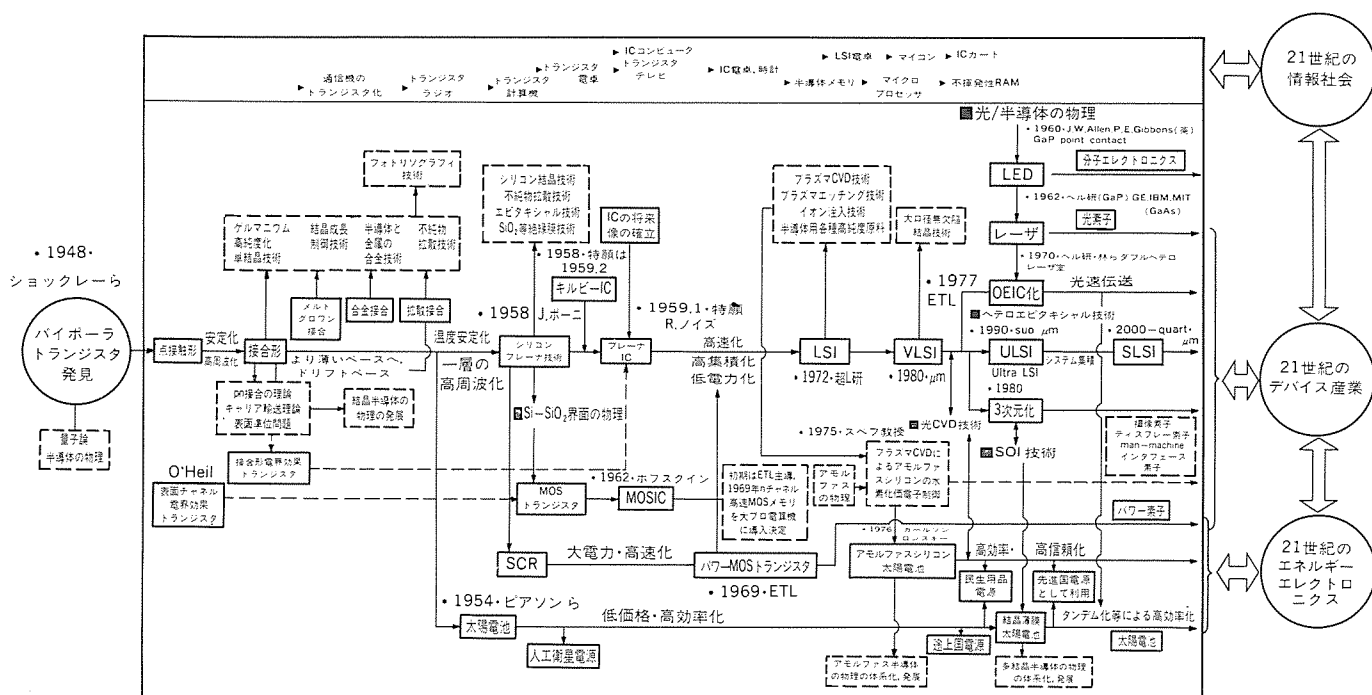


図1. 半導体デバイスの開発の歴史と波及効果

*LSI研究所 (工博)

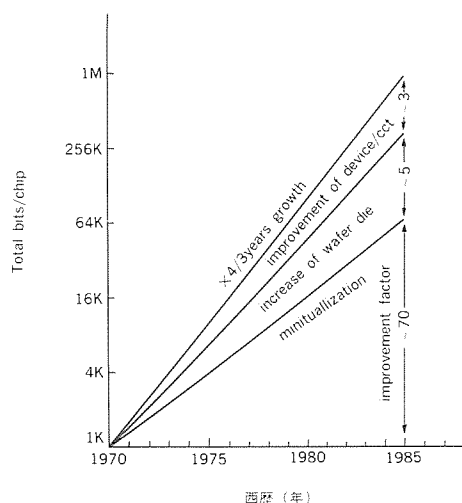


図2. DRAMのチップ当たりの素子数の変化

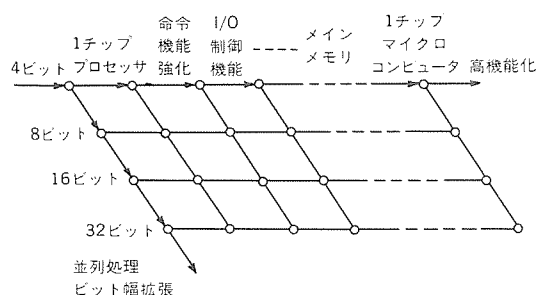


図3. マイクロプロセッサの技術の流れ

一、スタンダードセルもあらゆる所に使われている。LSIからVLSIへ幾つかの技術革新を伴いながら、広範な市場分野に産業の米、産業の原油として使われ、21世紀に向け高度情報化社会のキープーツとして不可避のものとなっている⁽⁴⁾。

3. VLSIの現状

3.1 メモリ

半導体メモリは大型コンピュータをはじめ、パソコンなど各種OA機器、通信機器、端末機器のキーデバイスとして広く用いられている。情報化社会の進展とともにメモリに対する大容量化、高速化、低消費電力化の要請はますます高まり、この要請にこたえるべく、最先端の半導体技術を駆使しメモリの開発が行われている。

メモリにはその記憶機構、使用デバイスに応じてDRAM、SRAM、マスクROM、EPROM、EEPROMなど広範囲な製品群があり、各々の特長を生かしつつ、大容量化、高速化、多様化を果たしている。DRAMに代表される大容量化では3年に4倍の集積度向上という開発スピードは依然として衰えておらず、現在1M DRAMの増産加速の一方で、次世代のサブミクロンデバイスを用いた4M DRAMの開発が加速され⁽⁵⁾、更に0.5 μ mレベルの技術による16M DRAMの研究が行われている^{(6)~(8)}。

高速化についてはシステムの高性能化のため、CPUの高速化に対応し各メモリの高速化が急速に進んでいる。中でもSRAMの高速化

が目覚ましく、スーパーコンピュータのメインメモリ、ミニコンのキャッシュメモリ、ワークステーションのバッファメモリなどに対し、64Kビット 15ns、256Kビット 25、35nsのアクセス時間が実現している⁽⁹⁾。

応用分野の拡大に伴うニーズの多様化に対し、語構成、パッケージの多様化も進んでいるが、高性能、多機能化を実現するため、画像用、映像用メモリとしてデュアルポートメモリ、フィールドシリアルアクセスメモリなど専用メモリの開発が行われ、今後共この多様化の傾向は続くものと考えられる。図4に当社における各種メモリの集積度とアクセス時間の関係を示す。

3.2 ロジック

(1) マイクロプロセッサ

1971年に4ビットマイクロプロセッサが登場して以来、8、16、32ビットと高機能化が推し進められてきた。一方、高機能化とは別に図5に示すとおり、幾つかの開発の流れがあり、マイクロプロセッサ関連VLSIが非常に多様になってきている。1976年にはマイクロプロセッサの周辺素子をチップ内に組み込んだシングルチップマイクロコントローラが現れ、1979年からは信号処理用マイクロプロセッサに代表される特定用途向けプロセッサが出てきた。さらに、32ビットカスタムプロセッサが汎用32ビットの登場を待たずして各所から発表されるに至った。VLSI技術の進歩に呼応し、従来ソフトウェアで実現していた機能をハードウェアで実現することも最近盛んになり、一つのジャンルを形成しつつある。

汎用32ビットマイクロプロセッサとして最初に現れたのはNS社の32016であり、以来高速化、高機能化、高集積化のすべての面にわたり高度化が図られてきた。高機能化のねらいはオンチップ化することによりシステムの性能向上を図ることにあり、キャッシュメモリ、メモリ管理ユニットのほか、浮動小数点演算ユニットの内蔵も試みられている。

各社それぞれのアーキテクチャを採用したこれらのプロセッサに対して、最新のVLSI技術を用いて1990年代に要求される新しいコンピュータ体系を構築しようとするTRON仕様に基いたプロセッサ群の開発も各所で強力に進められている⁽¹⁰⁾。TRONはオペレーティングシステムレベルからチップ仕様レベルまで通して、最適化を図った標準のアーキテクチャ仕様であり、オペレーティングシステムやコンパイラなどの基本ソフトウェアに適した命令セットを持っていると同時に今後の64ビット時代への展開も考慮されている。㈩日立製作所、富士通㈱、三菱電機㈱の3社で開発中のG_{MICRO}ファミリー⁽¹¹⁾は図6に示すように、TRON仕様に基づくプロセッサ群であり、応用分野に応じて中下位から上位に至る広範囲のプロセッサファミリーが同一のアーキテクチャで形成されようとしている。

(2) ASIC

微細化によるVLSIの集積度向上により、チップ上に数百万トランジスタの収容が可能となり、システムや用途に特化したシステムオンチップ化、ASIC化が急速に進展している。ASICは用途ごとに特化したものであり、特定ユーザーの注文を受けて開発されるUSIC (User Specific IC) と特定ユーザーにとらわれず目的用途に標準的に用いられるASSP (Application Specific Standard Products) に分けられる。前者は主として設計手法により、後者は主として用途により図7のように分類される。

高集積化したASICは膨大な設計量を必要とし、またシステムごとに多種類となるため、効率的かつCAD化された設計手法の開発が必

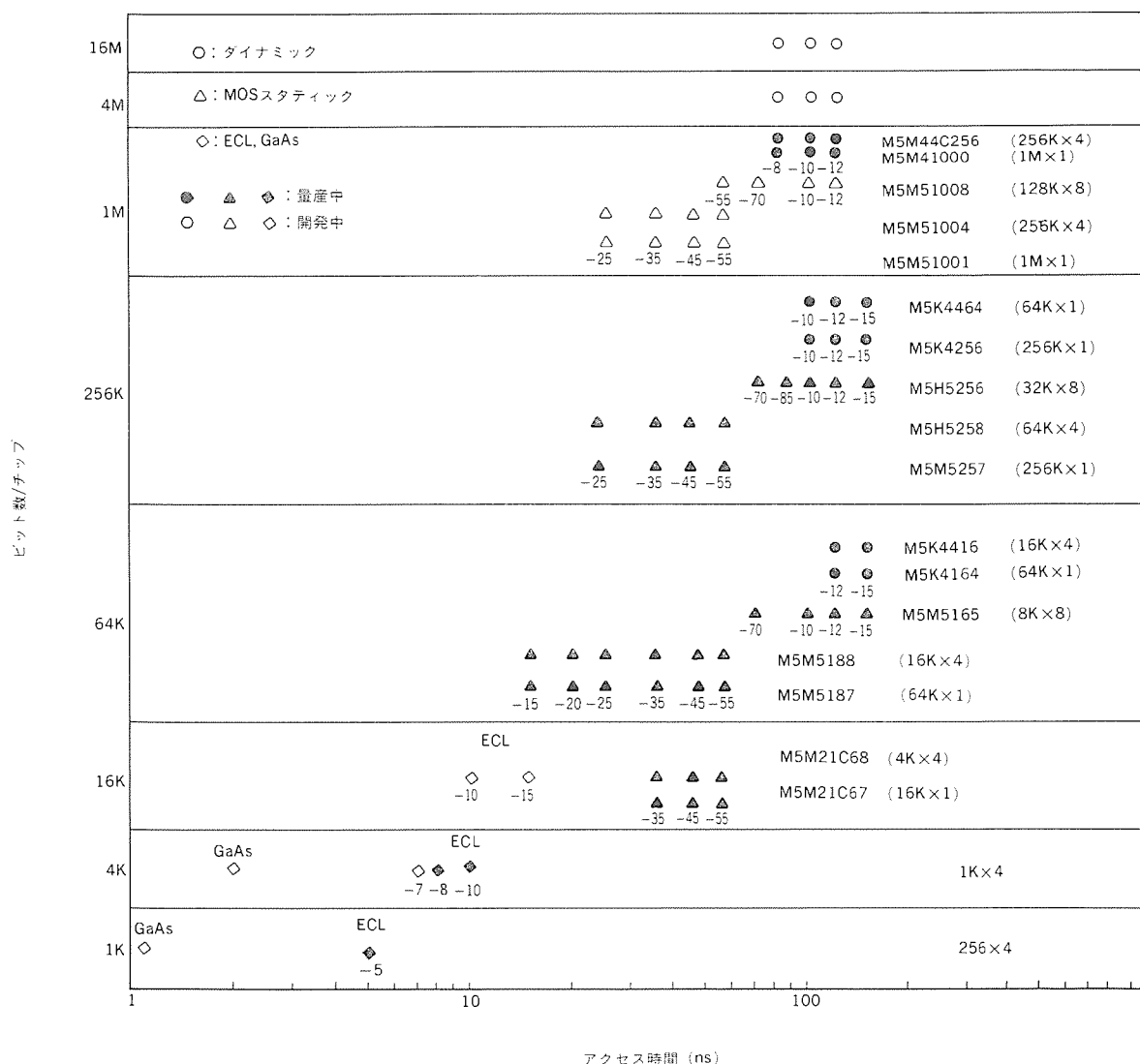


図4. 各種メモリの集積度とアクセス時間

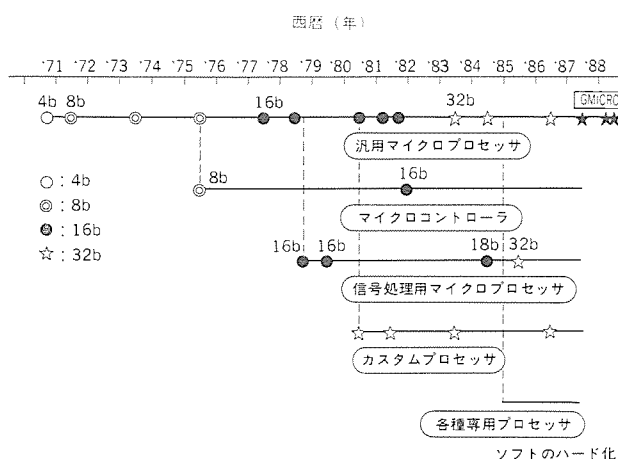


図5. マイクロプロセッサの開発の流れ

須である。過去10年近く開発されてきた方法は、基本回路としてNANDやNORレベルの論理回路を使用するゲートアレーが主であったが、最近ではメモリや乗算器、ときにはマイクロプロセッサを基本回路とするセルベース設計方式が開発されている。このとき、CADツールの種類、運用の仕方は設計の基本となる単位回路ブロッ

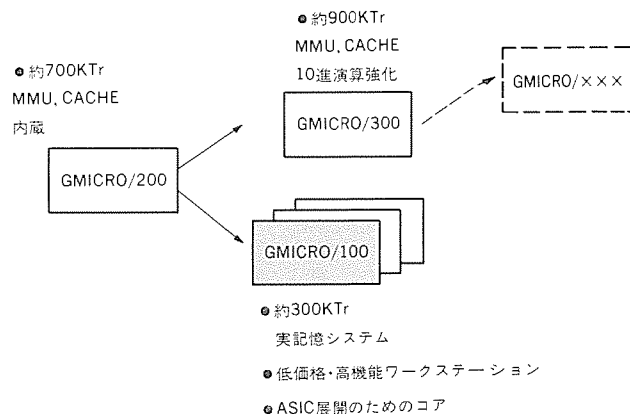


図6. GMICROファミリー

クの規模と種類、各回路の形状と配列に依存し表1のように大きく異なり、その結果として集積密度や開発期間も大きく左右されるのでASIC設計手法として何を選ぶかは大きな問題となっている。ASICは用途面では通信、画像・映像、音声、計算機/ワークステーションに大別される。ところが、用途により必要とされる性能と機能が異なるので、ハードウェア構成方法、アーキテクチャの選択

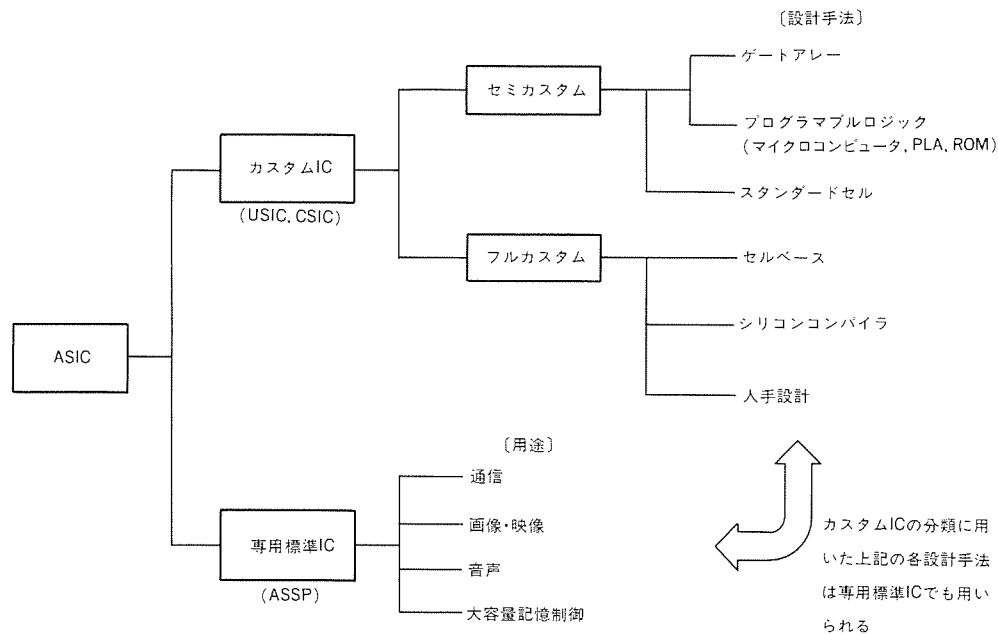


図 7. ASICの定義と分類

表 1. ASIC設計手法の比較

設計手法	ゲートアレー	スタンダードセル	セルベース	シリコンコンパイラ	人 手 設 計
レイアウトイメージ	ゲートアレー 敷詰め (VTM) 	ポリセル ビルディングブロック 	モジュールコンパイラ スーパーインテグレーション 	ベヘイビュラルシリコンコンパイラ 	
設計要素	論理/(技能)セル	論理/(技能)セル	機能ブロック	トランジスタ	トランジスタ
入力記述	論 理 設 計	論 理 設 計	機能/論理設計	機 能 仕 様	回 路 設 計
配置	自 動	自 動	人手介入自動	自 動	人 手
配線	自 動	自 動	自動/人手修正	自 動	人 手
集積密度 (2μm ルール)	150~450Tr/mm ²	400~600Tr/mm ²	600~1000Tr/mm ²	~1500Tr/mm ²	1000~4000Tr/mm ²
製造方法	マスタスライス	フルマスク	フルマスク	フルマスク	フルマスク

（アナログ／デジタル，ハードワイヤード／プログラマブル，直列／並列処理など）と新しいアーキテクチャの開発が進められている。また，各アーキテクチャに対応し利用される回路ブロックが表 2 のように変わる。表 1 のセルベース設計手法の基本となる回路ブロック（メガセル）は表 2 の各ブロックに対応したものである。

4. VLSIの技術課題と今後の展望

(1) 集積度限界

VLSIからULSI(超超LSI)，更には10⁹素子以上をワンチップに集積化したGSI (Giga Scale Integration) の実現に向けて基本的情報伝達量，材料，デバイス，回路，システム各階層で幾つかの障壁がある。J. D. Meindleによればチップ当たりの素子数は下式で与えられる⁽¹²⁾。

$$N = F^{-2} \cdot D^2 \cdot PE \dots\dots\dots(1)$$

ここで F ：最小設計寸法， D ：チップサイズ， PE ：実装効率

図 8 は式(1)の三つのパラメータを過去及び将来にわたって解析し

表 2. DSP要素技術と応用分野

TECHNOLOGY APPLICATION	A/D CONVERTER	D/A CONVERTER	MPY	RAM	ROM	ASIC MEMORY	DIGITAL FILTER	CORRELATOR	CODEC	AUTOMATIC CONTROLL LOOP	SPECIFIC ARCHITECTURE
VIDEO PROCESSING	* 8-10ビット 30MHz	* 8-10ビット 64MHz	* 8×8ビット 30ns	*	*	* 18K-4Mビット 30ns	* 8-12ビット 30MHz	* MOTION COMPENSATION	*	* PULL ACC	
IMAGE PROCESSING	*	* 20-400MHz	* 16-32ビット 10-50ns	*	*	* 16K 10-50ns	* 16-32ビット 20-100MHz				* ARRAY PROCESSOR
AUDIO PROCESSING	* 12-16ビット 50k-100kHz	* 12-16ビット 50k-100kHz	* 16×16ビット	*	*	*	*	* 32-64W	*	*	
COMMUNICATION RADIO— CABLE—	* 8-14ビット 2M-40MHz	* 8-10ビット 2M-40MHz	* 16×16ビット	* 4K 50ns	*	* 4K 50ns	*	* 32-64W	*	*	
BROAD-BAND COMMUNICATION	* 8-14ビット 20M-100MHz	* 8-10ビット 20MHz	* 16×16ビット	* 4K 10ns	*	* 4K 10ns	*	* 150-300W	*	*	*
Module						Functional Core					

注* : technology necessary for the application

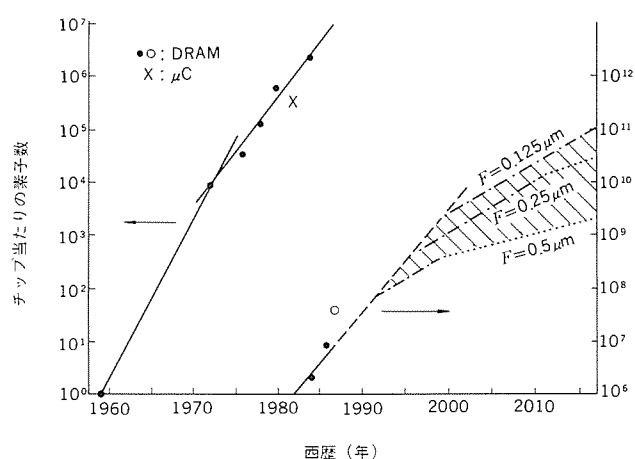


図 8. 集積度の将来予測

たものである。もし、最小設計寸法が $0.5\mu\text{m}$ にとどまるならば、チップ当たりの素子数は 10^6 素子/チップで限界になり、もし $0.125\mu\text{m}$ まで可能ならば 10^{11} 素子/チップ(メモリ換算 50Gビット/チップ)が期待でき、人間の脳細胞を150億素子とすると、それをりをうが(凌駕)する高集積チップの実現も夢ではない。

(2) デバイスの変遷

2章でも述べたように、VLSIデバイスの変遷を特徴づける最大のトレンドは縮小化にある。図9のDRAMの例に見られるように、最小設計寸法は年率15%の割合で縮小されてきている。この間、デバイスとしては4KビットでPch AlゲートからNch Siゲートに変わり、1M DRAMでCMOSに変わった。さらに、近年、一部の高速化指向のデバイスに対して電流駆動能力に優れたバイポーラと

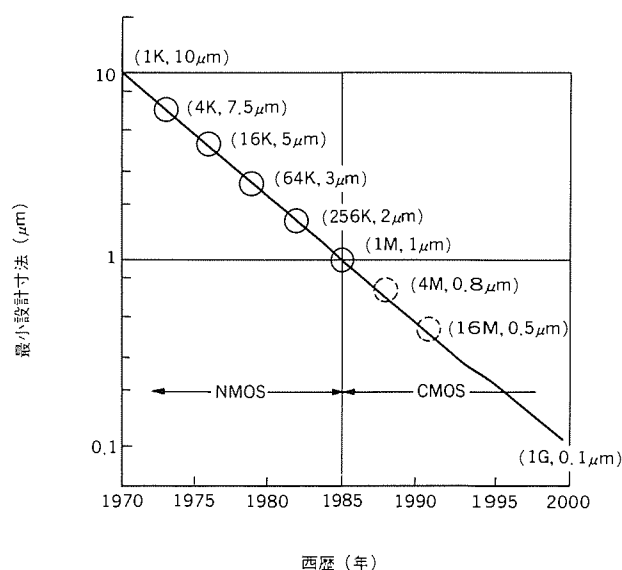


図 9. DRAMの最小設計寸法の推移

CMOSを併用したBi-CMOSが使われ始めている。

今後、デバイスの縮小がどこまで可能か諸説があるが、ホットキャリア対策や誘電体膜劣化対策がますます困難になってくるため、今までどおりのトレンドでデバイスを縮小しつづける余地はなくなりつつある。

このため、今後VLSIデバイスは従来の微細加工を推し進めつつ、次第に図10に示すように、目的ごとに分化していく可能性が高い。

(3) 設計手法

VLSIの応用面の拡大につれ、その役割も部品からシステムへと変

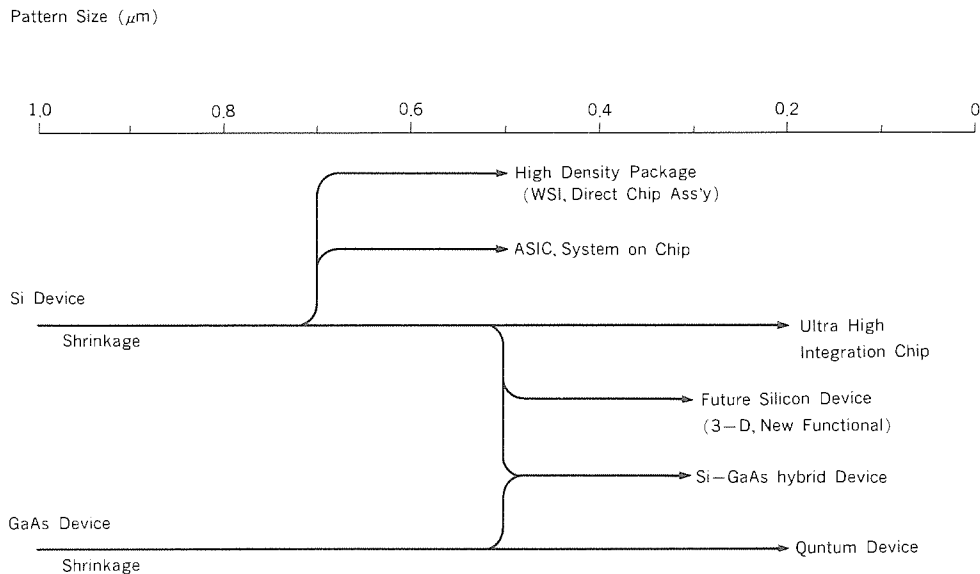


図10. 半導体デバイスの微細化の進捗とその変遷

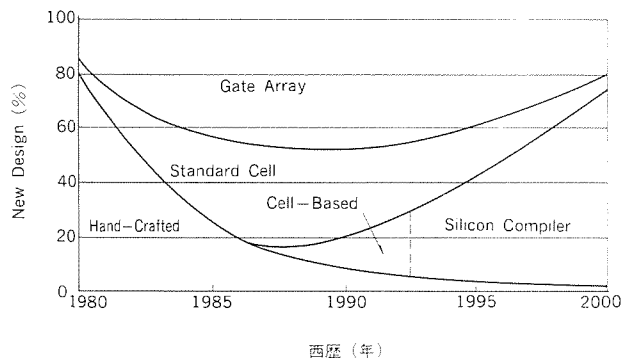


図11. VLSI設計手法の変遷

貌し、おびただしい種類のVLSIを効率良く開発する手法として配線変更により多品種開発を可能とするゲートアレー、ゲートアレーより高性能なセルを基本回路として用いるスタンダードセル、大規模なセルやプロセッサを基本ブロックとして用いるセルベース設計手法が、より高い集積度と性能を効率良く得るため開発されてきた。これらCAD化手法はいずれもVLSIの物理的設計(下流側設計)に対するものであるが、VLSIの規模増大、応用拡大に伴い上流層設計、すなわち機能、アーキテクチャ、論理設計に対する設計量が急増するため、今後は上流側設計に対するCAD化手法の開発が推進されることが考えられる。上流側CAD化が完成し下流側に合流するとき、機能記述によりマスクデータを出力するシリコン コンパイラが完成するであろう。図11にVLSI設計手法の変遷を示す。

5. む す び

VLSIロジック／メモリの発展経緯、研究開発の現状を踏まえ将来動向を展望した。VLSI化の進展はシステム、サブシステムのオンチップ化を促進する。LSI、VLSIなしでは今後システムの高性能化は不可能であろう。この特集号ではこれらの市場動向、技術動向を踏

まえ核となる製品技術と要素技術を取り上げた。VLSIはまだ技術的には発展途上にあり、幾つかの新しい提案、改良を行いつつ、21世紀に構築される高度情報化社会のキーパーツとしてその応用分野を広げ、基幹産業として成長していくであろう。このVLSI特集号が読者諸賢の技術開発の一助になれば幸いである。

参 考 文 献

- (1) 中野, 堀場: 高集積化バイポーラデバイス, 信学誌, 62, 4, p.386 (1979)
- (2) 中野: ダイナミックRAMの将来動向, Semicon Osaka Technology Seminar'85, 講演番号4-1 (1985)
- (3) 堀口, 須藤: 32ビットマイクロプロセッサの技術動向, 信学誌, 66, 12, p.1267 (1983)
- (4) 大規模ASIC時代, チップ上にシステムを構築, 日経エレクトロニクス, 1988年3月7日号, No.442, p.115
- (5) K.Mashiko et al.: A 90ns 4 M DRAM in a 300mil DIP, ISSCC Digest of Tech. papers p.12 (1987)
- (6) M.Inoue et al.: A 16M DRAM with an Open Bit-Line Architecture, ISSCC Digest of Tech. papers, p.246 (1988)
- (7) S.Watanabe: An Experimental 16M CMOS-DRAM, ibid p. 248 (1988)
- (8) M.Aoki: An Experimental 16M DRAM with Transported Data-Line Structure, ibid, p.250 (1988)
- (9) T.Wada et al.: A 14ns 1M CMOS SRAM with Variable Bit-Organization, ibid, p.252 (1988)
- (10) K.Sakamura: Architecture of the TRON VLSI CPU, IEEE Micro, 7, 2, p.17 (1987)
- (11) TRON仕様マイクロプロセッサ, 各社で製品化が進む, 日経エレクトロニクス, 1988年1月25日号, No.439.
- (12) J.D.Meindl: Opportunities for Giga Scale Integration, Solid State Technology, p.85 (1987-12)

VLSIメモリ

山田通裕* 張間寛一**
茅野晋平* 浜野尚徳**
吉原 務*

1. ま え が き

超LSIメモリは大容量化、高速化、低消費電力化という高性能化要求を実現するため、最先端のプロセス、デバイス、回路技術を駆使して製品技術開発が行われている。

大容量化に対し、チップ面積の約半分を占めるメモリセルをいかにして微細化するかという検討とともに、ウェーハの大口径化、歩留向上のための冗長回路技術の適用も進んでいる。

高速化、低消費電力化を図るため、ダイナミックRAM(DRAM)を含め、すべてのMOSメモリで周辺回路に微細化CMOSデバイスを採用しており、さらに種々の回路上の工夫がなされている。

本稿では以上の開発動向を背景に、VLSIメモリの製品群を形成するDRAM、スタティックRAM(SRAM)、ROM、及び特定用途向けメモリのそれぞれについて、当社の開発状況、製品内容について紹介を行う。

2. D R A M

2.1 1M DRAM

DRAMは、超微細化加工技術のけん引車として、16K→64K→256K→1Mとほぼ3年で4倍のペースで世代交替をしてきた。現在、1M DRAMの本格的な量産が立ち上がり、かつ第1世代⁽¹⁾からチップサイズを約80%に縮小した第2世代⁽²⁾への移行が進んでいる。第2世代1M DRAMの特長は次のとおりである(図1にチップ写真を示す)。

- (1) 高速アクセス時間($t_{\text{RAC}}=80\text{ns}$)…16MHz、20MHzの高速32ビットμプロセッサ用メモリへ対応できる。
- (2) 低消費電力…動作時の電源電流が $I_c=190\text{ns}$ で約40mA(実力値)、待機時に100μAと低消費電力を達成し、バッテリーバックアップを容易にしている。
- (3) ×1構成品と×4構成品をAlマスクで切り替えているため生産性に優れている。
- (4) 高速アクセス機能…高速ページ(×1、×4)、ニブル(×1)、スタティックコラム(×1、×4)モードの高速アクセス機能を備え、これらのモードをアセンブリ工程のワイヤボンディングで切り替えているため、顧客の多品種要望に柔軟に対応できる。

製造プロセスは1.0μmCMOS技術を駆使し、メモリセルは実績のあるプレーナ型キャパシタを採用しながら、キャパシタの誘電体として80Åの薄膜酸化膜を導入することにより、セル容量を確保して広い動作マージンを実現している。

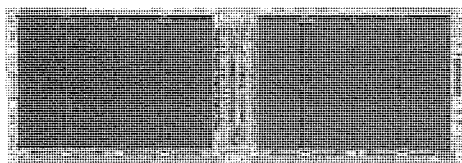


図1. 1M DRAMのチップ写真

2.2 4M DRAM

4M DRAMの開発の最大の課題はメモリセルの三次元化である。ISSCC87(1987 IEEE International Solid-State Circuits Conference)において、FASIC(Folded bit-line Adaptive Side-wall Isolated Capacitor)セル⁽³⁾と名付けた三次元セルを発表し、このメモリセルを採用することにより4M DRAMを1M DRAMと同じ300ミル幅のDIP(Dual In-line Package)に収容できる可能性を示したが、今回量産の見地から米国JEDEC(Joint Electron Device Engineering Council)で標準化された350ミル幅のSOJ(Small Outline Package with J-lead)に収容できる4M DRAMの開発を行った(図2)。表1にこの性能を第2世代の1M DRAMと比較して示す。

2.3 開 発 動 向

1M～4Mビットのメモリ容量規模において、図3に示すようにパッケージ、語構成、機能、応用面からDRAMの多様化が進むと考えられる。

まず、パッケージの多様化が進む。DIP以外に、表面実装によってメモリボード当たりのメモリ容量を向上させようという用途には、SOJの要求が強い。ZIP(Zig-zag In-line Package)は平面上でDIPの2倍の実装密度を得ることができるので、民生用機器を中心にZIPの要求が多くなっている。機能面では、高速ページ、ニブル、スタティックコラムモード以外にバイト、シリアル、フラッシュライト、ライトパービットなどが考えられる。応用面からは、特にマルチポートRAM、フィールドメモリ、フレームメモリなどの画像用メ

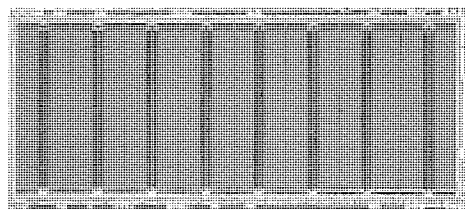


図2. 4M DRAMのチップ写真

表1. 1M及び4M DRAMの性能一覧

項 目	1M DRAM	4M DRAM
語構成	1M語×1ビット 256K語×4ビット	4M語×1ビット 1M語×4ビット
メモリセル	プレーナ型	三次元セル
チップサイズ(mm)	4.20×12.33	6.84×15.01
セルサイズ(μm ²)	27.0	13.1
PASアクセス時間(ns)	80(カタログ値)	同左
動作時電源電流(mA)	70(カタログ値)	同左
待機時電源電流(CMOS入力レベル)(mA)	0.5(カタログ値)	同左
リフレッシュ	512サイクル/8ms	1,024サイクル/16ms
高速アクセス機能	高速ページ ニブル スタティックコラム	同左
パッケージ	300ミル幅 DIP 300ミル幅 SOJ ZIP	400ミル幅 DIP 350ミル幅 SOJ ZIP
製造プロセス	1.0μm CMOS	0.8μm CMOS

	1.7 μ m	1.5 μ m	1.2 μ m	1.0 μ m	0.8 μ m	0.5 μ m
微細化						
キーデバイス	256K($\times 1$)		1M($\times 1$)	4M($\times 1$)	16M($\times 1$)	
パッケージ	DIP/PLCC/ZIP/SQJ					
語構成	256K($\times 4$)		1M($\times 4$)	4M($\times 4$)	16M($\times 4$)	
				4M($\times 8$)	16M($\times 8$)	
					16M($\times 16$)	
機能	ニブル		スタティックコラム 高速ヘッセン アドレスモード	ハイブリッド フラッシュメモリ ライトパターニング		
応用	256K デュアルポート		1M マルチポート	4M マルチポート		
			フレイムメモリ、フィールドメモリ			

図 3. DRAMの多様化

モリの用途が重要になる。

一方、16Mビット以上の汎用DRAMにおいては、広い動作マージンを確保する上で、新規な三次元セルの開発⁽⁴⁾とともに、ISSCC88で提案したtwisted bitline構成⁽⁵⁾のような回路的な工夫が必ず(須)となってくる。さらに、DRAMの高速性を追求したもの(60ns以下のアクセス時間)、超低消費電力を追求したものなどシステム側の要求に即応したDRAMの開発が重要な課題といえよう。

3. S R A M

3.1 中速SRAM

RAMのアクセスタイムが100ns前後の中速のSRAMは、タイミングが簡単で使いやすいことを特長としてマイコンを始め一般機器のメモリとして幅広く用いられてきたが、最近ではICカードやハンディ機器の増大に伴い更に需要が増している。中速SRAMに要求されることは、ビットコストが低いこと、消費電力が小さいこと、及び携帯用途を考えチップ非選択時の情報の電池バックアップができることである。RAMのワード構成は使いやすい8ビット構成($\times 8$)となっている。

ビットコストを下げるためには高集積化が必要であり、メモリセルの縮小を中心に開発を行ってきた。図4は当社の中速SRAMの開発段階におけるデザインルールとメモリセル面積及びチップ面積の変遷を示す。64Kビットまではメモリセルは周辺CMOS回路と同様のCMOSセルを用いたが、一方ではより高集積を実現するために高抵抗を負荷とするNMOSセルを16Kビットから用いており1Mビットまでできている。しかし、集積度の4倍に対しセル面積は約40%弱にしか縮小されておらず、その差はチップサイズの拡大となって

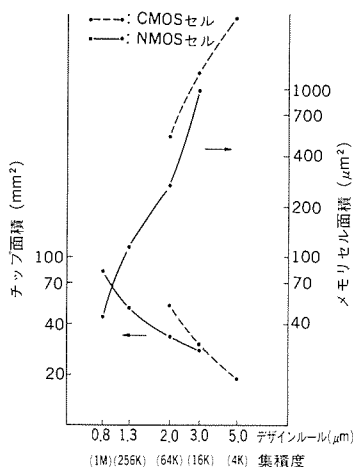


図 4. 中速SRAMにおけるデザインルール、チップ及びメモリセル面積の変遷

いる。市場では256Kビット(32K $\times 8$)のビットコストが64Kビットより下がり256Kビットが中心になってきたが、いよいよ1Mビット(128K $\times 8$)が市場に参入する。当社の128K $\times 8$ CMOS SRAMは、中速品ながら最大定格55nsまでの高速用途にも耐えられるものになっている⁽⁶⁾。

低消費電力に関しては、周辺CMOS回路の採用、チップ内部の動作領域の制限、内部同期方式によるオートパワーダウンなどを工夫して、集積度の増大に対し消費電力の上昇を抑えている。

電池バックアップのためのスタンバイ電流の低減については、NMOSセルにおける電源からの貫通電流の低減のために、1Mビットでは数テラ(10¹²)オームの高抵抗を用いているが、情報保持の限界に近づきつつある。4Mビットでは再びCMOSセルを考慮する必要がある、セル面積の縮小は更に難しくなる。

3.2 高速SRAM

高速SRAMはコンピュータや高速ワークステーションなどのキャッシュメモリとして用いられてきたが、スーパーコンピュータ及び超大型コンピュータのメインメモリとしての用途が広がるにつれて需要が増大している。また、これらシステムの性能向上を図るために、RAMの高速・高集積化の要求はますます強まっている。

高速SRAMにおいてはビットコストも重要であるが、高速性能は集積度の低いものほど得られやすいため、各種の集積度のものが共存する。当社ではTTLレベルでCMOS1.0 μ mデザインルールの15ns $\cdot$ 64Kビット、25ns $\cdot$ 256Kビットを完成させたが、更に0.7 μ mルールの25ns $\cdot$ 1Mビット(1M $\times 1$ /256K $\times 4$)も開発しており、図5はそのチップ写真である⁽⁷⁾。

微細化は負荷となる容量の低減とMOSトランジスタの高速化に役立ち、デザインルールの縮小とともに各集積度のRAMの高速化が進められてきた。しかし、MOSトランジスタの微細化による高性能化も、電源電圧と信頼性の問題で歩みが鈍ってきている。これを打開するため、電流駆動能力の大きいバイポーラトランジスタを混用するBi-CMOS技術も検討しているが、ビットコストの上昇は避けられない。

高速SRAMのメモリセルは、中速品の開発が先行するためこれを用いるが、高速化のためには周辺回路の工夫が必要である。内部同期によるタイミング調整と信号線のプリチャージ・プリセットは不可欠となっているが、外部信号のスキューなどを考えた場合は、外部同期方式の導入も考える必要がある。高集積化が進むにつれて、メモリセルを選択するワード線の負荷が大きくなるため、セル領域の細分化が必要であるが、当社の高速1Mビットでは細分化による回路面積の増加を抑えるDWL(Divided Word Line)構成を用いて効果を挙げている。

高速動作での大きな問題は、外部を駆動する出力回路におけるノイズである。高速SRAMのワード構成は $\times 1/\times 4$ となっているが、 $\times 4$ で4個の出力回路が同時に動くと、高速化のため微弱な信号を扱う内部をじょう(擾)乱する。今後、更に高速化を進めるためには、入出力信号の振幅の縮小も課題である。

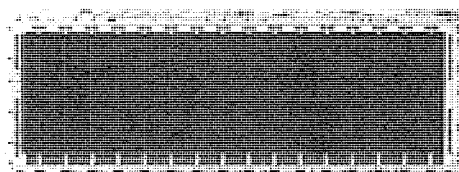


図 5. 1Mビット(1M $\times 1$ /256K $\times 4$)高速SRAMのチップ写真

4. ROM

4.1 EPROM

2 Kビットから始まった当社のEPROMは、メガビット時代に突入しており⁽⁶⁾、使いやすさ、高信頼性を背景として、その応用分野は更に広がりを見せている。EPROMに要求される性能も各種電子機器の高機能化、高性能化に対応して変化している。昨今の流れとしては、①大容量化、②低電力化、③高速化、④書き込みの高速化、⑤ワード構成の多様化、⑥パッケージの小型化、SMD化及び低価格・軽量化のためのプラスチックパッケージ化（OTP：One Time PROM化）があげられる。大容量化、低電力化、読出しの高速化は、低抵抗ゲート材料（MoSi）採用の微細化（1.2 μ ）CMOS EPROMプロセス、高速化回路技術で実現されており、アクセスタイム120nsの1 M EPROMが開発、量産化されている。表2に1 Mの特長、図6にチップ写真を示す。EPROMでは書き込み時間の短縮は容量が大きくなるに従い重要性が増している。1 M EPROMではメモリデバイスの微細化、薄膜化によるメモリ素子の書き込みスピード改良のほかに、複数アドレスの情報を一時的にストアし、同時に書き込むページプログラム方式が使われている。これにより、等価的に0.1ms/アドレスが可能となり、2 Kビット時代に比べて500倍の向上がみられる。ワード構成は16/32ビット CPUの普及とともに16ビット構

表2. 1 M EPROMの特長

メモリ容量	1Mビット		
型 名	M5M27C100K	M5M27C101K	K5M27C102K
ワード構成	128K×8	128K×8	64K×16
アクセスタイム(最大) (ns)	120,150,200,250	120,150,200,250	120,150,200,250
動作時電力(最大) (mW)	263	263	263
待機時電力(最大) (mW)	6	6	6
パッケージ外形(ピン)	32	32	40
書き込み電圧(V)	12.5	12.5	12.5
書き込み方式	ページ方式/バイト方式	ページ方式/バイト方式	ページ方式/バイト方式
ピンアウト	マスクROMと互換性	512K EPROMと互換性	JEDEC標準
		JEDEC標準	
ウェーブプロセス	CMOS (1.2 μ)	CMOS (1.2 μ)	CMOS (1.2 μ)
メモリセルサイズ(μm^2)	20.3	20.3	20.3
チップサイズ(mm ²)	45.0	45.0	48.6
OTPパッケージ	DIP, PLCC, SOP	DIP, PLCC, SOP	DIP, PLCC

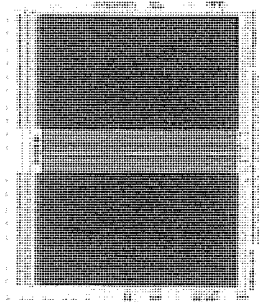


図6. 1 M EPROM (64K×16)のチップ写真

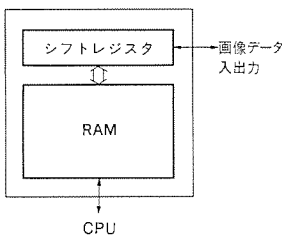


図7. (a) ビデオRAMの構成

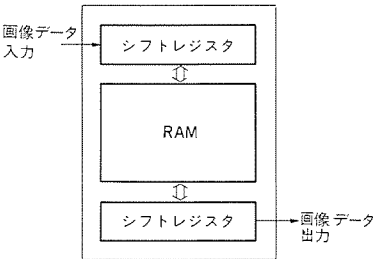


図7. (b) フィールドメモリの構成

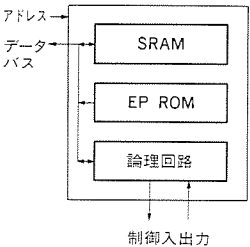


図8. M6M72561の構成

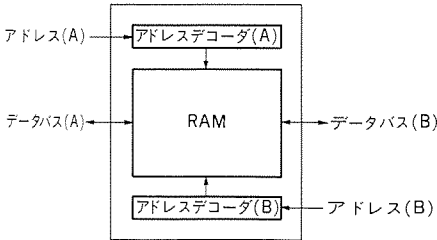


図9. デュアルポートSRAMの構成

成の要求が増大している。1 Mビットからは8ビット（32ピン）、16ビット（40ピン）の両方が用意されている。プラスチック パッケージを用いたOTPは低応力モールド樹脂、パッシベーション膜の改善などにより、書き込み不良率、記憶保持特性の向上が成された。OTPでは小型化、SMD化の動きに対応してDIPのほかにPLCC、SOPなどが提供され、用途に応じた使い分けができる。

4.2 EEPROM

EEPROMの最大の特長は、オンボードで書換えが可能な不揮発性メモリであり、その応用分野としては、ICカード、FA・NC装置、計測器などのパラメータ、データの記憶が考えられている。当社は数Kビットのチャンネルメモリのほかに、大容量EEPROMの分野では64Kビットから市場参入している。EEPROMに求められる性能として、書換え時間の短縮、及び書換え保証回数の増大が大きな

表3. 64K EEPROMの特長

項 目	特 長
語構成	8K語×8ビット
メモリセル	FLATOX
チップサイズ	5.74×5.95mm ²
セルサイズ	132 μm^2
アクセス時間	150ns
電源電流	30mA (動作時)
	100 μ A (待機時)
ページモード書換え	32バイト (最大)

表4. 4 MマスクROMの特長と1 Mとの比較

メモリ容量	1Mビット	4Mビット	
型 名	M5M23C100P	M5M23C400P	M5M23C401P
ワード構成	128K×8	512K/256K×8/16	512K×8
アクセスタイム(最大) (ns)	150, 200	200	200
動作時電力(最大) (mW)	150	150	150
待機時電力(最大) (mW)	5	5	5
パッケージ外形	28ピンDIP	40ピンDIP, 64ピンQFP	32ピンDIP
ウェーブプロセス	CMOS (2.0 μ)	CMOS (1.2 μ)	CMOS (1.2 μ)
メモリ構成	NOR型	8段NAND型	8段NAND型
ROM替マスク	イオン注入	イオン注入	イオン注入
メモリセルサイズ(μm^2)	35	12	12
チップサイズ(mm ²)	54	72	72

ポイントであり、今後の市場拡大上での課題となっている。64Kビットでは、書換え時間の短縮には、32バイトのデータを一括して書き換えるページモード、書換え終了指示機能としてデータポーリング、READY/BUSYを付加することにより対応している。また、書換え保証回数の増加に対しては、ウェーブプロセス成膜方法の改善とともにECC回路を内蔵することにより、その実効回数を上げている。表3に当社64Kビットの特長を示す。

4.3 マスクROM

マスクROMはその構造のシンプルさもあり、メモリ大容量化の先端を走っている⁽⁹⁾。当社では集積度向上のため縦積み8段のNAND型デプレッション化イオン注入型メモリ構造を採用、メモリチャネル長1.2 μ m、ゲート酸化膜厚240Åの微細化CMOSプロセスを用いて4Mビットを開発、製品化している(表4に1M、4Mの比較を示す)多機能化に対応して8ビット構成、8/16ビット切替え構成のワード選択が可能であり、パッケージの多様化に対しては、32、40ピンDIPのほかにはSMDである64ピンQFPがある。マスクROMはマイクロプロセッサの制御用プログラムだけでなく、近年・画像・音声・字形・辞書などのデータ格納用メモリとしての用途が急増しており、高速・不揮発性情報記憶媒体として爆発的にマーケットの拡大が予想され、ますます大容量化が望まれてゆこう。

5. 特定用途向けメモリ

5.1 ASICメモリ出現の背景

メモリの高集積化に伴うビット単価の低下は、コンピュータの処理能力の向上に寄与したばかりでなく、OA分野をはじめ民生分野にまで、その応用範囲を拡大してきた。

ところで、メモリの高集積化と3年に一度の世代交代は、特定の応用においては、かえって不便を感じさせるものとなってきた。すなわち、ワード数の増大は不要なメモリ領域の増大や、単位時間当たりの処理ビット数の低下を招くなど、システム構成の最適化を疎外する要因となってきた。

当社では、このようなユーザーの要求にこたえるべく、2.3節で述べたようにワード構成の多ビット化($\times 1 \rightarrow \times 4 \rightarrow \times 8$)、DRAMの高速モード(ニブルページ→ファーストページ→スタティックコラム)の採用を初めとして、パッケージの小型化(DIP→ZIP→SMD)、低電力化(NMOS→CMOS)などの改善を図ってきた。

しかし、そのような改善でも多様化するニーズには、十分こたえることができず、よりパフォーマンスの高いメモリを望む声は、一層高まってきた。そこで、メモリ周辺の機能を取り込み、特定システム向けに最適化したASIC(Application Specific IC)メモリが出現するに至った。

5.2 画像用メモリ

マンマシンインタフェースのなかで最も重要なものは、画像情報である。画像情報を取り扱う機器は、パソコンを初めとして、ワークステーション、CAD/CAM、複写器、ファクシミリ、医療機器(ME)、ワープロなどの産業、OA機器は、もちろんのことであるが、最近ではTV/VTRなどの民生機器においてもデジタル化が進められており、画像分野におけるメモリの需要は、拡大の一途をたどっている。近い将来においては、メモリ需要の30%が画像用になると予測する向きもある。

一般に、画像の表示は、CRT上にラスタスキャン方式で行われるため、非常に高速(5~50ns)であり、普通のメモリでは実現が難しく、図7(a)に示すような高速のシフトレジスタとRAMを内蔵した256KビットビデオRAM(M5M4C264)を開発し量産化した。さらに、1Mビットのものも開発されている。

また、TVやVTRにおいては、画像データの入力出力と同様にシリアルに行われるため、図7(b)のように、シリアル入力出力を備えたフィールドメモリ(M5M4C500)を提供した。

5.3 その他の特殊メモリ

画像用途以外にも図8に示すようなEPROM/SRAM/論理回路を一体化したもの(M6M72561)や、図9に示すマルチプロセッサシステム用のバッファとして有効なデュアルポートSRAMやDRAMの欠点であるリフレッシュ操作機能を内蔵した疑似スタティックメモリなども考案されている。

5.4 ASICメモリの展開

メモリに対するユーザーの期待は、より高性能な製品を、より安価に手にすることにあるが、多様化するニーズにこたえ、最適なASIC化を進めていくためにはメモリの設計、生産技術とシステム技術の調和が必ず(須)であり、従来以上にメーカー、ユーザー間の技術交流が重要となってくる。

また、ユーザーにとっては、各社の製品が標準(Application Specific Standard Products: ASSP)化されることが望ましく、これらを進めていくためには、メーカー間のコミュニケーションも必要である。

メモリのASIC化は始まったばかりであり、多くの問題が予測されるが、よりパフォーマンスの高いメモリの開発に向けて努力していきたい。

6. むすび

以上のように当社VLSIメモリの開発状況、製品内容の紹介を行った。今後も技術課題を克服し、性能・品質向上、機能向上を図り、情報化社会の発展に伴う市場の要求にこたえていきたい。

参考文献

- (1) 山田ほか：三菱電機技報，61，No.7，p.581(昭62)
- (2) K.Mashiko et al.: A 90ns 4M DRAM in a 300mil DIP, ISSCC Dig. Tech. Papers, p.12(1987-2)
- (3) K.Tsukamoto et al.: Double Stacked Capacitor with Self-Aligned poly Source/Drain Transistor (DSP) Cell for Megabit DRAM, IEEE IEDM Tech. Digest, p.328(1987)
- (4) T.Yoshihara et al.: A Twisted Bit Line Technique for Multi-Mbits DRAMs, ISSCC Dig. Tech. Papers, p.238(1988-2)
- (5) T.Wada et al.: A 34ns 1M CMOS SRAM using Triple Polysilicon, ISSCC Digest of Technical Papers, p.262(1987-2)
- (6) T.Wada et al.: A 14ns 1M CMOS SRAM with Variable Bit-Organization Features, ISSCC Digest of Technical Papers, p.252(1988-2)
- (7) 山本ほか：三菱電機技報，61，No.9，p.64(昭62)
- (8) 松尾ほか：三菱電機技報，61，No.5，p.69(昭62)

VLSIマイクロプロセッサ

富沢 治* 山田憲政+
 斉藤和則**
 市山寿雄***

1. ま え が き

マイクロプロセッサが初めて登場したのは1971年である。これは、各種の機能の異なる電卓を同一のハードウェアで開発するために、プログラムによって機能を可変とするコンピュータの概念をLSIチップに取り込んだものであり、4ビットのマイクロプロセッサとして実現された。以来、マイクロプロセッサは8ビット、16ビット、32ビットと高機能化が進められ現在に至っている。この過程で、マイクロプロセッサと同一チップ内にプログラムメモリ、周辺機能を内蔵させたシングルチップ マイクロコントローラや特定目的に特化した構成を持つマイクロプロセッサ群の開発の流れも現れ、マイクロプロセッサ関連VLSIは非常に多様化してきている。

図1は当社で開発されてきた汎用マイクロプロセッサ/マイクロコントローラ中8ビット以降の製品ファミリーを示す。740シリーズ、7700シリーズはそれぞれ8ビット、16ビットのシングルチップマイクロコントローラであり、ともに応用に応じて周辺機能の追加、変更が容易な構造を持っている。GMICRO*ファミリーはTRON仕様に基づいた32ビット マイクロプロセッサ群である。

本稿ではこの中で現在開発中の32ビット マイクロプロセッサに焦点を絞りGMICRO/100の設計上の特長、並びにソフトウェア開発支援環境について述べる。

*GMICROは㈱日立製作所、富士通㈱、三菱電機㈱3社協業により開発している
 TRON仕様に基づいた32ビット マイクロプロセッサのファミリー名である。

2. TRONアーキテクチャとGMICROファミリー

TRON (The Real Time Operating System Nucleus) の概念は東京大学坂村助教授によって提唱された、最新のVLSI技術を用いて1990年代に要求される新しいコンピュータ体系をOS (Operating System) からVLSIチップにわたって構築しようとするものである。このTRONアーキテクチャ仕様⁽¹⁾⁽²⁾に基づき、現在ソフトウェア互換性を持つ各種の32ビット マイクロプロセッサが開発されている。TRON命令セットアーキテクチャはITRON, BTRONなどのOS仕様設計と並行して設計されたため、OSの高速実行を十分配慮した仕様となっている。さらに、高級言語で書いたプログラムをコンパイルしたときに効率の良いコードが生成されることも目指している。命令のフォーマットはメモリーメモリ間の演算を対象とした一般型と高速演算を目的とした短縮型の二つがありこの例を図2に示す。命令は2バイト単位の可変長命令であり、命令基本部はオペコード指定部とアドレスモード指定部からなる。

GMICROファミリーはこのTRON仕様に基づいたマイクロプロセッサであり、図3に示すとおり、対象とする応用分野の異なる3種類のマイクロプロセッサ チップGMICRO/100, GMICRO/200, GMICRO/300の開発、製品化が進められている⁽³⁾。

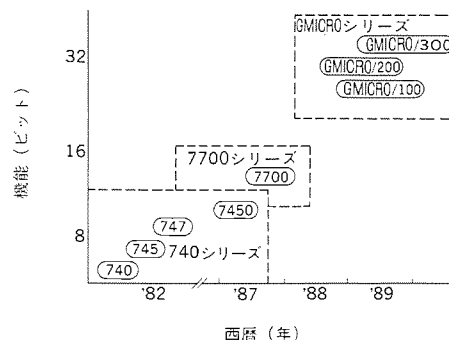


図1. 当社汎用マイクロプロセッサ/コンピュータ製品ファミリー

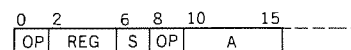
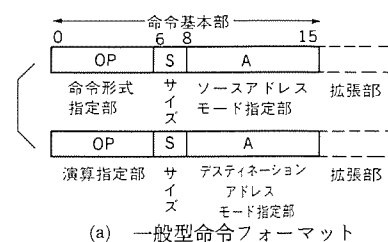


図2. TRON仕様における命令フォーマットの例

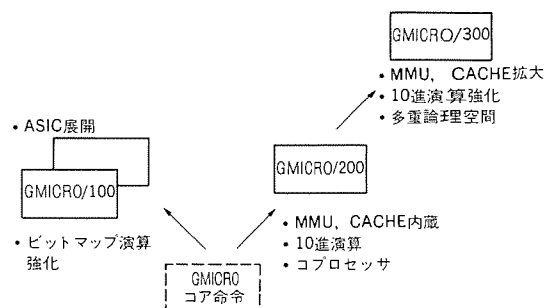


図3. GMICROファミリーとその応用分野例

3. GMICRO/100

GMICRO/100は実記憶システムを持つ高性能・低価格パーソナルワークステーションへの応用、機器組み込みコントローラ、さらに今後のASIC (Application Specific IC) 展開におけるマイクロプロセッサ コアとしての適用をねらったものであり、小さなチップサイズで実現することが重要な要素となる。このため、仮想記憶管理にかかわる機能、キャッシュなどを内蔵しない一方、応用上必ず(須)となるビットマップ操作関連の命令を強化する設計戦略を採っている。

3.1 GMICRO/100のアーキテクチャ上の特長

GMICRO/100はTRON仕様レベルL1Rを基本として、一部の高性能命令を取り込んだものである⁽³⁾⁽⁴⁾。ビットマップ ディスプレイ

を持つ低価格・高性能パーソナルワークステーションを実現するために高速のビットマップ演算用の命令をサポートし、特に周辺プロセッサを用いることなく主プロセッサでビットマップ処理もできるように考慮したものである。GMICRO/100でサポートされる代表的な高機能命令は次に示す可変長ビットフィールド操作命令群である。

- (1) BVMAP：可変長ビットフィールドに対する各種論理演算
- (2) BVCPY：可変長ビットフィールド転送
- (3) BVPAT：レジスタで指定されるパターンとビットフィールドとの演算
- (4) BVSCH：可変長ビットフィールド中の0，又は1のビットをサーチ

これらの命令を用いてビットフィールドデータの演算，転送を行うことにより高速のウィンドウ操作が可能となる。BVMAP，BVCPY，BSCH命令の演算される単位は1ワードであり，複数ワードのデータに対するオペレーションの方向（順方向及び逆方向）を指定するオプション（/F及び/B）が準備されている。

図4はBVCPY命令を例にこれらのオプションの使用例を示したものである。同図(a)はソースデータとデスティネーションデータのアドレスがオーバーラップしない場合であり，このときは順／逆いずれのオプションを用いてもさしつかえない。同図(b)はソースとデスティネーションがオーバーラップし，かつソース側が高いアドレスを持つケースである。このときは，低アドレス側から高アドレス側へすなわち順方向オプションを指定して処理を進めればよい。一方，同図(c)に示すような条件では，そのまま順方向に処理を進めるとソースデータがデスティネーションの位置にあるソースデータ上に重ね書きされ，ソースデータが破壊されてしまうため，いったんソースデータを別の領域に待避した上で処理を進める必要があり，処理速度が低下する。このようなとき，逆方向オプションを指定し高アドレス側から処理を行えばデータを待避することなく実行することができる。実際同図(c)のようなケースはビットマップ上のテキスト

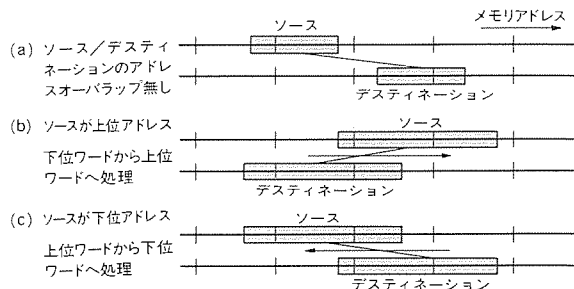


図4．可変長ビットフィールド操作命令（BVCRY）の実行方向

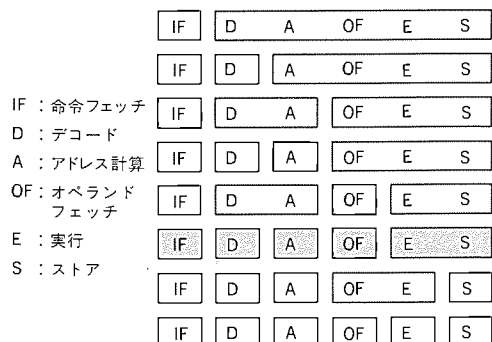


図5．各種パイプライン構造

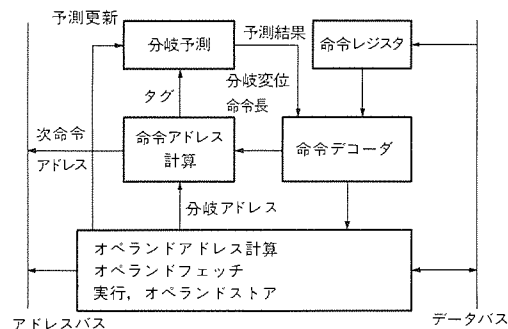


図6．ダイナミック分岐予測機構の機能ブロック図

に対して文字の挿入を行う場合など非常に多く発生するため，逆方向操作のオプションをサポートすることにより高速化を実現することができる。GMICRO/100ではこれらの可変長ビットフィールド命令に対して順／逆両オプションをサポートしている。

3.2 高速化設計

(1) パイプライン構成

マイクロプロセッサの高速化は，微細化を中心とするVLSIデバイス／プロセス技術に支えられるのは言うまでもないが，実行制御方式上での高速化設計も重要なキーとなる。この中で，パイプライン方式は高速化に極めて有効な技術であり，GMICRO/100の設計では図5に示す各種のパイプライン方式の検討を行った上⁽⁵⁾，図中網がけで示した5段パイプライン構造を基本とすることとした。各パイプラインステージは基本的に2クロックで動作する。命令フェッチステージでは4バイトからなる命令コードが2クロックで取り込まれる。デコードステージでは，すべての短縮型命令を含むほとんどの命令は2クロックでデコードされる。アドレス計算ステージでは，2クロックで一つのオペランドアドレスの計算が行われる。オペランドフェッチステージでは，最大4バイトのオペランドが一度にメモリから読み込まれる。実行ステージでは2クロック間に一つの算術／論理演算が実行され，さらに2クロックで演算結果がメモリにストアされる。

(2) ダイナミック分岐予測機構

多段のパイプライン構成を採っているプロセッサでは，分岐命令が実行されるとパイプラインの流れが乱れ，性能が低下するという問題があり，これらに対処するソフト上，ハード上の各種の方式が検討されている⁽⁶⁾。GMICRO/100ではパイプラインの初めのステージであるデコードステージで分岐を予測し，パイプラインの乱れによる影響を少なくする手法を採っている。分岐予測の対象とする命令は，分岐先がコンパイル時にスタティックに定まるものである。このうち，条件分岐命令（Bcc命令）では過去1回の分岐履歴に基づき分岐の予測を行う。図6は分岐予測機構を示す機能ブロック図を示す。分岐予測部にはBcc命令の実行履歴を記憶した分岐予測テーブルがあり，命令が命令レジスタから命令デコーダ部に入ってきたとき，この分岐予測テーブルが参照され分岐予測が行われる。あるBcc命令がデコードされると，下位8ビットのアドレスが一致する過去のBcc命令の実行履歴を参照し，もし過去に分岐が起っていた場合，デコードされたこのBcc命令も分岐するものとして処理が進められる。

“分岐する”と予測された場合は，現在デコード処理を行っている命令のアドレスに分岐変位を加えて分岐先アドレスの命令を次にフェッチしてデコード処理をする。“分岐しない”と予測された場合

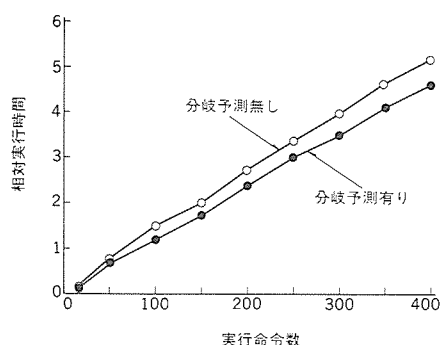


図7. ダイナミック分岐予測の効果 (エラトステネスのふるいによるシミュレーション結果)

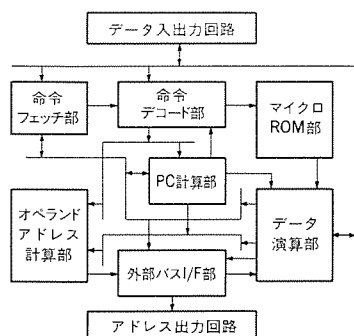


図8. GMICRO/100のブロック図

表1. GMICRO/100の諸元

クロック	20MHz
性能	4-5MIPS
TRON仕様 命令	LIR+ α
	転送, 算術演算, 論理演算, 分岐, ビット操作, 固定長ビットフィールド操作, 可変長ビットフィールド操作, スtring操作, キュー操作, OS関連命令, その他
レジスタ	16本 (32ビット)
メモリ保護	2レベル
プロセス	1 μ m CMOS, 2層アルミ
トランジスタ数	約30万

は、デコード中の命令アドレスにその命令の命令長を加えてその命令に引き続くアドレスの命令をデコードする。分岐予測が誤ったときは履歴が反転される。GMICRO/100のパイプライン、分岐予測機構設計評価のためエラトステネスのふるい⁽⁷⁾、及びドライストーン⁽⁸⁾を用いてシミュレーションを実施した。この分岐予測機構を採用することによる性能向上の効果をエラトステネスのふるいの場合について図7に示す。ダイナミック分岐予測による性能向上はおよそ10%である。同様のシミュレーションをドライストーンベンチマークを用いて行った結果では5%の向上が得られた。

(3) ハードウェア構成

GMICRO/100 CPUチップは図8の機能ブロックに示すとおり、命令フェッチから命令実行に至る各タスクを行う七つの論理ユニットと入出力回路から構成される。ここで、命令デコード部は分岐予測機構を内蔵している。データ演算器以外にPC (Program Counter) とオペランドアドレス計算のために、二つの独立した演算器が設けられている。これらのユニットはパイプラインによる並列処理に向けた形に配置されている。GMICRO/100の諸元をまとめて表1に示す。

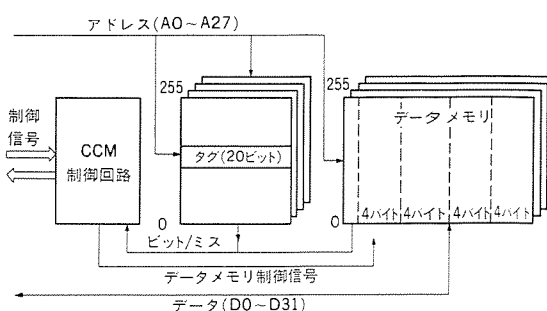


図9. キャッシュコントローラ/メモリの構成

4. キャッシュコントローラ/メモリ

GMICROファミリーを用いたシステムにキャッシュを容易に導入することができるように、キャッシュメモリとキャッシュコントローラを内蔵したキャッシュコントローラ/メモリ (CCM) が開発されている。外部インタフェースタイミングをGMICROファミリー共通にしたもので、アクセスタイムはマイクロプロセッサを動作周波数20MHz、バスサイクル2クロック時にノーウェイトで処理できる範囲におさめられている。CCMの構成を図9に示す。キャッシュメモリの容量は16Kバイト、1ブロック4ワードで4ウェイセットアソシアティブの構成を採用している。

5. ソフトウェア

5.1 サポートソフトウェア

32ビット規模のマイクロプロセッサに対する応用ソフトウェア開発は、一般的に高級言語の使用が前提となる。したがって、GMICROファミリーの応用システム、ソフトウェア開発を支援するクロスソフトウェアの整備が進められており、これらを図10に示す。高級言語コンパイラとしてはSYSROF形式のオブジェクトモジュールを採用したC言語及びMODULA-2言語コンパイラがあり、アセンブラ、リンカージェディタ、ライブラリアンなどのソフトウェア群と同時に提供される。また、FORTRAN, PASCAL, COBOLなどのコンパイラがサードパーティからサポートされる予定である。

5.2 OS (Operating System)

産業用機器組み込み型リアルタイムオペレーティングシステム

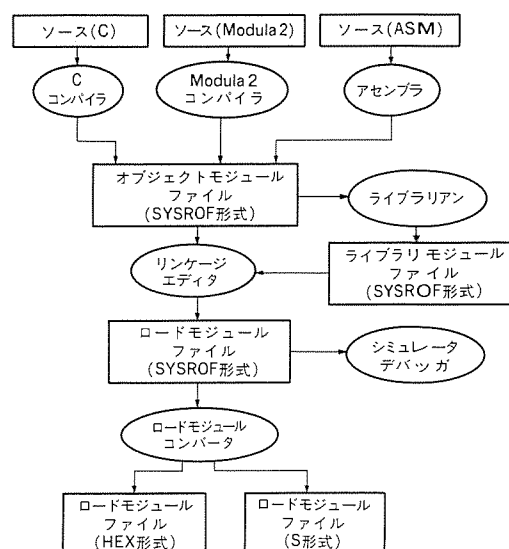


図10. プログラム開発支援ソフトウェア

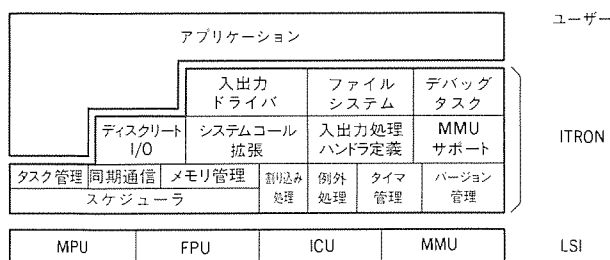


図11. ITRON仕様OSの構成

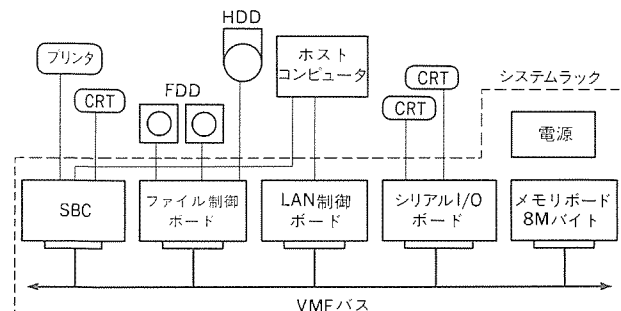


図12. 評価用ボードシステム

としてITRON仕様のOSが提供される。このOSはTRON仕様マイクロプロセッサがサポートするOS向き命令を積極的に活用して高速の応答性を持っている。また、TRON仕様マイクロプロセッサのアーキテクチャ上の特徴であるリング機構を採用することにより、ユーザープログラムとシステムプログラム間の保護を実現する。ITRON仕様のOSではチップ核と称するリアルタイムオペレーティングシステムの基本部に相当するタスク管理、同期通信、メモリ管理、割り込み管理、例外管理、タイマ管理及びバージョン管理機能を提供する。同期通信ではイベントフラグ、セマフォ、メールボックスに加え、新たにランデブー及びメッセージバッファを追加して多機能な同期通信手段を提供する。また、システムコール拡張、ユーザーがデバイスを追加、接続する際に必要となる入出力処理ハンドラ定義機能からなるチップ外核や、ユーザーとのインタフェースとしてターミナルから入出力を制御する入出力ドライバと応用ソフトウェアを開発する際に必要となるセルフデバッグ機能をユーティリティタスクとして提供する。

さらに、このITRON仕様OSではITRON/FILE仕様に準拠したファイルシステムを提供する。このファイルシステムはBTRONファイルのサブセット版であり、将来ITRON/FILE仕様のマシンで書き込んだデータをBTRON仕様のマシンで読み込んだり、BTRON仕様のマシンで開発したアプリケーションプログラムなどをダウンロードすることが可能となる。ITRON仕様OSの構成を図11に示す。

5.3 評価用ボードシステム

GMICROの評価用にボードシステムが提供される。このボードシステムはVMEバスをシステムバスとし、図12に示す以下のボード群から構成される。

(1) SBCボード

シングルボードコンピュータであり、1MバイトのスタティックRAM、コンソールターミナルやホストコンピュータと接続するためのシリアルインタフェース、プリンタインタフェース及び高機能モニタを内蔵する。

(2) ファイル制御ボード

ディスク制御ボードである。フロッピーディスクドライブFDDのほかに、SCSI対応のハードディスクドライブHDDを接続できる。

(3) メモリボード

8Mバイトの容量を持つメモリボードである。

(4) シリアルI/Oボード

4チャンネルのシリアルインタフェースを持つ。

(5) LAN制御ボード

他のコンピュータと通信するための通信制御ボードである。このボードはホストコンピュータからの高速ダウンラインロードを可能とする通信ソフトウェアを内蔵している。

6. むすび

本稿では32ビットマイクロプロセッサ、特にGMICRO/100に焦点を当ててその開発のねらい、特長、高速化設計手法並びに関連するソフトウェアの開発状況について述べた。GMICRO/100はTRONアーキテクチャL1R仕様に基づいている。5段のパイプライン構成を採り、ダイナミック分岐予測機構の採用と併せて高速化が図られている。GMICRO/100はMMU、キャッシュなどを内蔵しないためチップサイズは比較的小さくなっている。一方、強化された可変長ビットフィールド演算がサポートされている。現在1μCMOS 2層アルミプロセスを用いて開発が進められている。GMICRO/100のアプリケーションプログラムを開発するための支援環境も同時に整備されつつある。

TRON仕様マイクロプロセッサのソフト、ハードの開発に関して有益な御助言、御討議をいただいた東京大学 坂村健助教授、GMICROグループの方々をはじめ、TRONプロジェクトに参画されている皆様に深く感謝の意を表する。

参 考 文 献

- (1) K. Sakamura: Architecture of VLSI CPU in the TRON Project, 第2回 TRONプロジェクトシンポジウム, TRON協議会, p.1 (1987-3)
- (2) K. Sakamura: Architecture of the TRON VLSI CPU, IEEE Micro, p.17 (1987-4)
- (3) K. Sakamura (Ed.): TRON Project 1987, Springer-Verlag, p.249 (1987)
- (4) 榎本: TRON仕様に基づいた32ビットマイクロプロセッサ, 第2回TRONプロジェクトシンポジウム, TRON協議会, p.40 (1987-3)
- (5) 吉田ほか: パイプライン処理とブランチ命令, 情報処理学会マイクロコンピュータ研究会報告MC44-1, p.1 (1987-3)
- (6) J.K.F.Lee et al.: Branch Prediction Strategies and Branch Target Buffer Design, IEEE Computer, 17, No. 1, p.6 (1984)
- (7) J.Gilbreth et al.: Eratosthenes Revisited Once More through the Sieve, BYTE, p.283 (1983-1)
- (8) R.P.Weicker: Dhrystone: A Synthetic System Programming Benchmark, Communications of the ACM, 27, No.10, p.1013 (1984-10)

専用標準LSI

中屋雅夫*
吉本雅彦**
伊藤順治***

1. ま え が き

近年、集積回路技術は電子、情報、通信システムからの高機能化、小型化、高信頼度化、低価格化の要求にこたえるべく、微細加工技術、設計技術などの分野で大きく進展している。その結果、ワンチップに集積できる素子数が飛躍的に増大し、システム若しくはサブシステムのワンチップ化が可能となっている。このような高度な集積回路技術により開発、製品化され、特定システムに適し、しかも標準品として使用できる専用標準LSIの重要性が、ますます高まりつつある。

専用標準LSIは ASSP (Application Specific Standard Products) とも呼ばれ、LSIの中で図1に示すところに位置付けられている。ASSPはユーザーの立場から見れば、特定用途向け製品であり、メーカーの立場から見ると、標準品に位置付けられる。

本稿ではLSIの三大ユーザーである通信、民生機器、コンピュータの各分野において、システムの高性能化、小型化、高信頼化、低価格化に貢献する専用標準LSIとして、デジタル通信用LSI、デジタルTV用LSI 及びフロッピーディスク ドライブ用LSIを例にあげ、

技術成果並びに新製品内容について述べる。

2. 伝送路終端LSI

高度情報通信社会を支えるインフラストラクチャ（産業基盤）としてのISDNの実用化が開始され、普及・拡大の機運が高まってきている。この普及・拡大のためには、各家庭と電話局との間のデジタル通信が重要課題となっている。

伝送路終端LSIは既存の電話線を使って、各家庭と電話局との間のデジタル通信を行うために必要なものである。要求される性能としては、7kmまでの長さの異なる電話線を用いた場合にも波形劣化を修復できること、局給電でも使えるように消費電力を少なくすること、更には各家庭に設置する必要性から小型化や保守が容易であることなどがあげられる。

2.1 伝送路終端LSIの特長

伝送路終端LSIは、電話線の周波数特性が悪いために引き起こされる波形劣化に対する自動等化機能（ $\sqrt{f}$ 等化）、分岐線（BT：Bridge-Tap）によるデジタル波形の劣化を修復するための自動等化機能（BT等化）、電話線を通して送られてくる320KbpsのAMI

ASICの定義—ASICはASSPとASCPを併せたもの

		用途の特定度	
		汎 用	専 用
ユーザーの特定度	標準	標準メモリ 標準μP 標準ロジック 標準リニア	複数ユーザー/標準 単一ユーザー
	半完成品 (フィールド プログラム)	PLD PLA EPROM E ² PROM	ASSP 通信、画像、音声 記憶装置周辺用 ロジック、メモリ μP、リニア
	カスタム	ASIC	ASCP スタンダードセル ゲートアレー 1チップマイコン マスクROM
	フルカスタム		フルカスタム

注 ASSP : Application Specific Standard Products
ASCP : Application Specific Custom Products

図1. LSIにおけるASSPの位置づけ

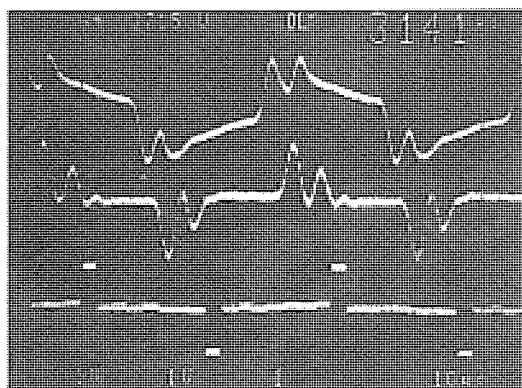


図6. 波形等化部機能の評価結果(上段:受信波形,中段: $\sqrt{f}$ 等化後の波形,下段:BT等化後の波形,縦軸1V/div,横軸10ns/div)

3. デジタルTV用LSI

民生機器の分野においても、VLSI技術の急激な進展に支えられて、ビデオ機器へのデジタル信号処理技術の導入が本格化しつつある。特に、画質改善効果、多機能性、ISDNとの親和性などの利点を持つデジタル化テレビジョン受像機の開発が活発であり、それに伴いデジタル映像信号をリアルタイムで処理できるLSIの必要性が高まっている。

当社では、テレビの画像情報の相関に応じてフィルタ特性を切り替える適応型Y/C(輝度信号/色信号)分離、適応型輪郭補償フィルタを導入することにより、画質改善機能を持つ映像信号処理専用標準LSI⁽³⁾を開発した。

3.1 LSIの機能と特長

図7はデジタル映像処理システムの概要を示しており、破線で囲まれた部分が、LSI化の対象とした部分である。このLSIはA/Dコンバータにより、サンプリングレート $4f_{sc}$ (14.3MHz)でサンプリングされたビデオ信号のY/C分離と輪郭抽出、輝度信号処理を実行する。このLSIの特長は以下の点である。

(1) デジタル化のメリットである画質改善効果を生かすためにY/C分離、輪郭抽出フィルタとして新規開発の適応型アルゴリズムを採用した。このアルゴリズムによれば、水平及び垂直の高周波成分をそれぞれ垂直及び水平フィルタにより輝度信号として復調することができるので、ドットクロールを除去でき、かつ解像度の高い

画像が得られる。

- (2) 2Hラインメモリを内蔵することにより、付加部品点数を減少させ、システムの低価格化を実現した。
- (3) 実時間処理を低消費電力で実行させるために、CMOSパイプライン設計を採用した。
- (4) 専用標準品としてのフレキシビリティを確保するために、外部バスからの種々のデータセットが可能な構成とした。
- (5) スキャンレジスタの挿入とラインメモリテスト回路の付加により、テスト容易化設計を施した。

3.2 LSIの構成と設計

LSIの構成を図8に示す。 $4f_{sc}$ システムクロックでサンプリングされた8ビットのコンポジット信号がLSIに入力され、2Hラインメモリによる遅延信号及び現ライン信号から、比較判定回路や適応型Y/C分離、輪郭補償フィルタで使用する二次元データアレーを生成する。輪郭補償フィルタにより抽出された輪郭信号は、コアリング回路で低振幅のノイズ成分が除去された後、輪郭調整回路によりそのゲインが調整される。Y/C分離フィルタにより分離された輝度信号は前記輪郭信号と合成され、コントラスト調整、黒レベル補正、遅延補償を受け、8ビットストレートバイナリコードで輝度信号として出力される。

一方、分離された色信号は8ビットオフセットバイナリコードで出力される。これら出力信号と各種ビデオシステムとの整合をとるために、ユーザープログラム可能な可変遅延素子を内蔵させた。輪郭調整回路とコントラスト調整回路は、各々 8×4 と 8×6 ビットのキャリセーブ方式の並列乗算器を用いている。コアリング、輪郭、コントラストなどの調整信号は、バスインタフェースを介して外部CPUから供給される。

信号処理回路は、ビデオ信号の実時間処理を実現するために、演算回路の入出力部にデータレジスタを配置したパイプライン構造をとっており、クロック発生器から供給されるノンオーバーラップな2相クロックにより高速動作する。また、加算器・減算器・マルチプレクサ・レジスタなどで構成される信号処理回路のレイアウトは、最適化されたリーフセルを規則的に配列することにより、集積度を向上させるとともに、設計期間を短縮させた。このLSIに内蔵される2Hラインメモリは、 $4f_{sc}$ でサンプリングされたNTSC方式信号を2ライン分遅延させるため、1サンプリング間隔(69ns)内に読出

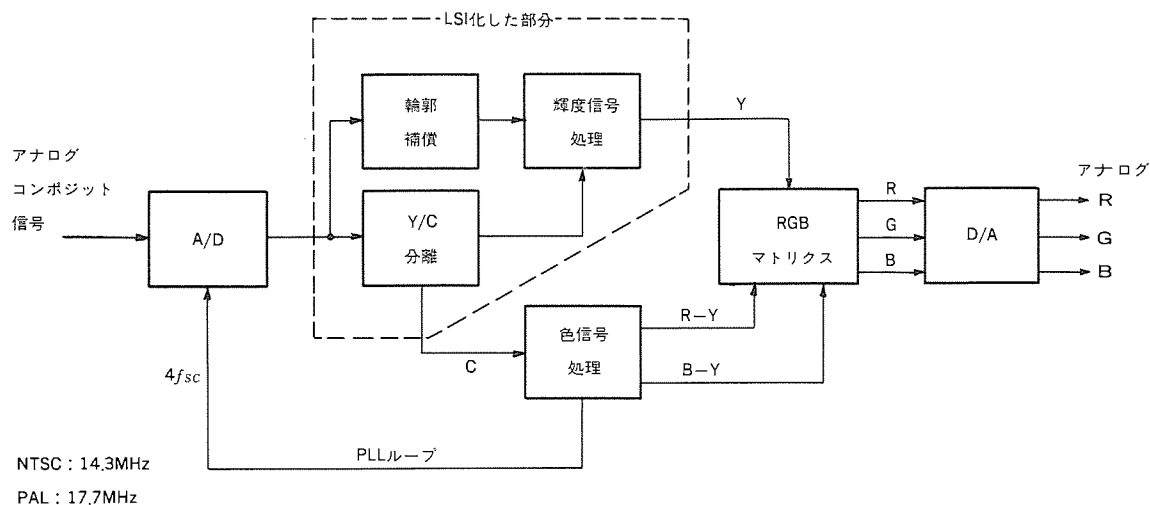


図7. デジタル映像処理システム

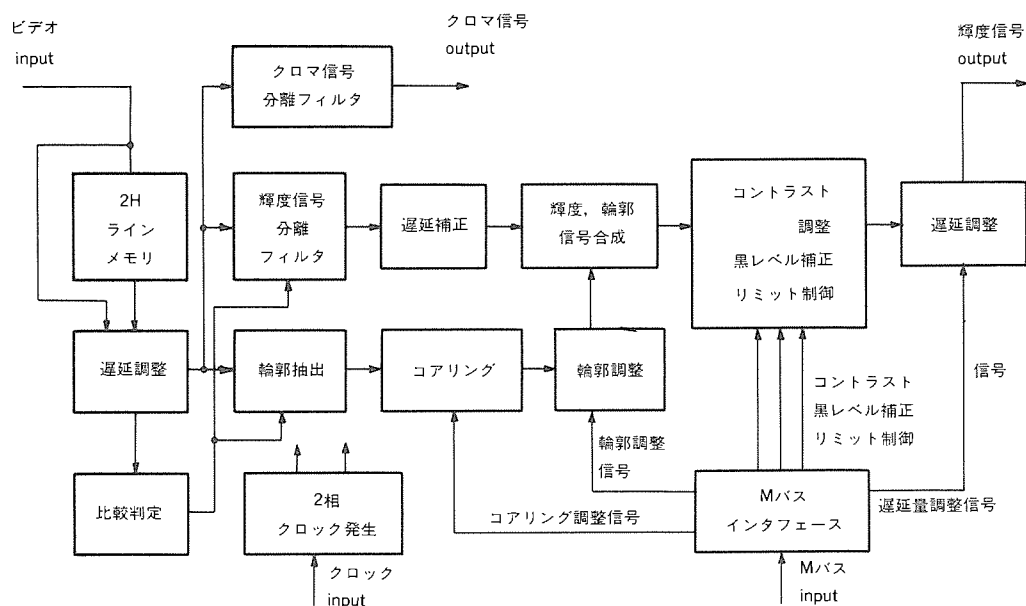


図 8. デジタルTV用LSIのブロック図

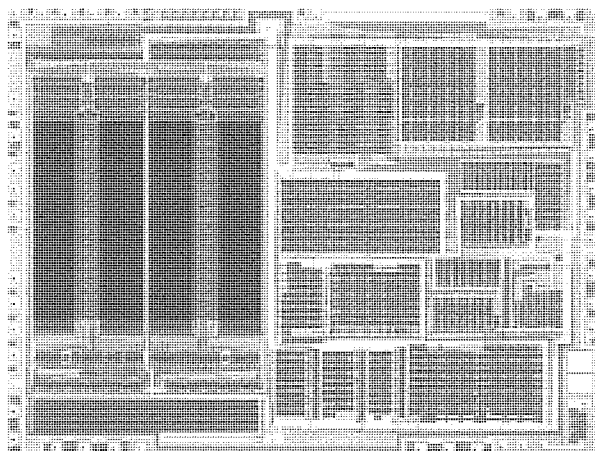


図 9. デジタルTV用LSIのチップ写真

し、書き込み可能な14,560ビット(910×8×2)のメモリにより構成される。メモリセルアレイは2面に分けて並列駆動することにより40 ns の高速動作を達成した。また、4トランジスタ型のダイナミックセルを採用して高密度化を図った。

このLSIはテスト容易化のために、スキャンレジスタラッチが各機能モジュールの入出力部に設置され、またラインメモリを独立にテストできるようにするために、現ライン信号と2ライン遅延信号の不一致検出回路が挿入されている。

3.3 LSIの性能

このLSIは2 μ m CMOSツインウェルプロセスにより試作した。図9にこのLSIのチップ写真を示す。チップサイズは8.88mm×6.75mmであり、9万個のトランジスタを集積している。また、14.3MHz動作で250mWの低消費電力を実現している。表2にこのLSIの性能を示す。Y/C分離及び輪郭補償などの二次元処理、さらに各種の輝度信号処理が可能なこのLSIを使用することにより、高画質なデジタルTVを低コストで実現できる。

表 2. デジタルTV用LSIの諸元

機能	Y/C分離, 輪郭補償, 輝度信号処理
プロセス	2 μ m, 2層ポリシリコン, CMOS
トランジスタ数	90,000
2Hラインメモリ	14.6Kシリアルアクセスメモリ 4トランジスタメモリセル(19.5 μ m×20.0 μ m)
チップサイズ	8.88mm×6.75mm
パッケージ	40ピンDIL
クロック周波数	14.3MHz max(69ns)
消費電力	250mW typ.
電源	単一電源5V
I/O特性	TTLコンパチブル
輝度信号出力	8ビット ストレート バイナリコード
色信号出力	8ビット オフセット バイナリコード

4. フロッピーディスクドライブ(FDD)用ワンチップLSI

コンピュータの分野に対しても、LSI技術の貢献は目覚ましいものがあり、ここで述べるFDD用ワンチップLSIも、その一例として上

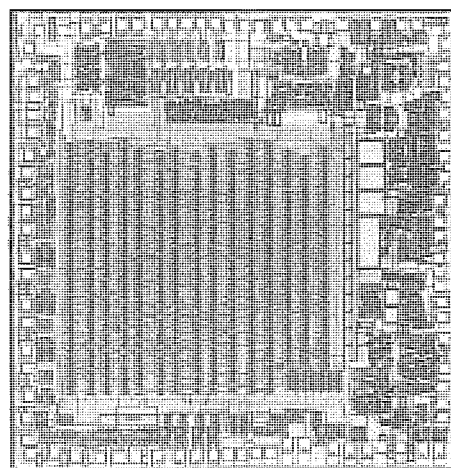


図10. FDD用ワンチップLSIのチップ写真

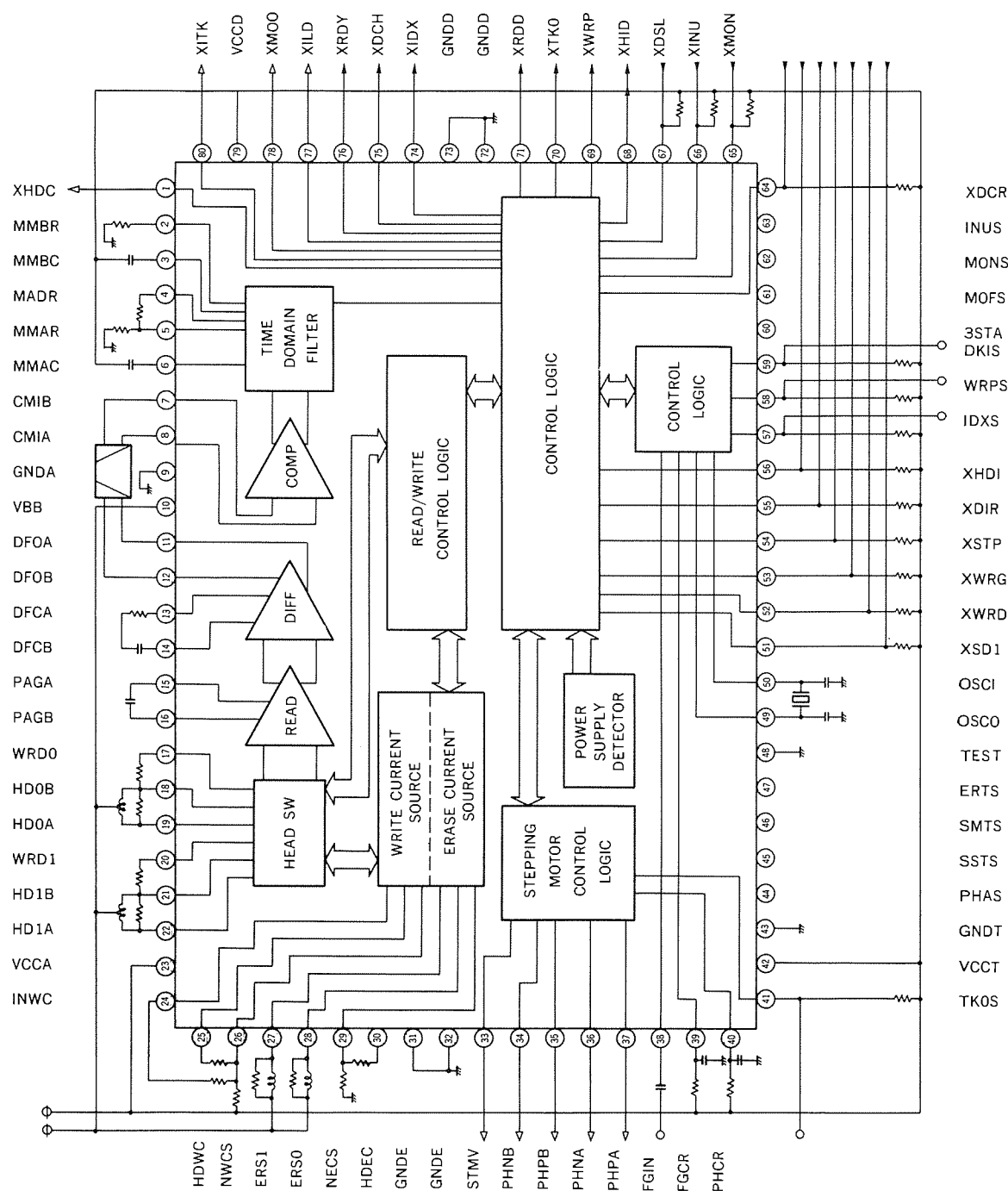


図11. FDD用LSIの機能ブロック図及びピン配置図

げられる。

フロッピーディスクドライブは、パソコン、ワープロなどのOA機器の外部記憶装置として成長してきた。5.25"タイプは成熟期に達しており、一方、より小型の3.5"タイプが今後の主流になりつつある。また、FDDの高密度化、大容量化、兼用機化、多機能化、省電力化及び5V単一電源化など市場ニーズは多様化している。今回このような要求にこたえて、FDD専用ワンチップLSI(M52820FP：チップ写真・図10)を開発した。このLSIの機能ブロック及びピン配置図を図11に示す。

以下にこのLSIの概要、特長、特性について述べる。

4.1 概 要

FDDの電子回路は、リード・ライト回路部、インタフェース部、制御ロジック回路部、スピンドルモータ及びステッピングモータ駆

動回路部から構成される。モータ駆動回路部を除いたアナログ・デジタル回路を一体化したFDD用ワンチップLSI 5品種は既に開発を完了している。

今回開発したLSIは、低消費電力、高密度・標準密度切替えの2モードFDD用のワンチップLSIであり、特に5V単一、省電力タイプの3.5" FDD用に最適設計されたものである。モータ駆動用IC2個の組合せと、わずかな外付け部品のみでFDDを構成できる。このLSIはBi-CMOSウェーハプロセス技術を採用しており、CMOSゲート数約1,300、バイポーラ素子数約850を集積化している。また、80ピンフラットパッケージの採用により、FDDの小型、薄型、高密度実装設計が可能である。

4.2 特 長

このLSIは3.5" FDDに幅広く対応できるねらいで開発され、FDD

表 3. FDD用LSIの電気特性

項 目	条 件	MIN	TYP	MAX	単位
消費電力	スタンバイ時消費電力	—	7.5	—	mW
	リード時 //	—	123	—	
	ライト時 //	—	88	—	
リード回路	リードアンプ差動電圧利得	39	41	43	dB
	微分器 //	$R_d = 560\Omega$	4	7	
	リードアンプ入力換算雑音	$B_w = 400\text{Hz} \sim 1\text{MHz}$	—	3	μVrms
	ピークシフト	—	—	1	%
ライト回路	ライト電流設定範囲	—	—	15	mA
	ライト電流精度	—10	—	+10	%
	ライト出力飽和電圧	—	1.0	2.0	V
	イレース電流設定範囲	—	—	70	mA
入力回路	正方向スレッショルド電圧	—	1.6	—	V
	負方向 //	0.5	1.0	1.8	
	ヒステリシス幅	0.1	0.6	1.2	
出力回路	“L” 出力電圧	$I_{OL} = 6\text{mA}$	—	0.35	V
	“H” 出力電圧	$I_{OH} = -2\text{mA}$	2.7	3.4	

に必要なほとんどの機能を持っている。以下にその特長を述べる。

(1) 低消費電力設計

デジタル入力回路及び制御ロジック回路部はCMOSロジックで構成されている。LSI内部消費電力及び外部回路での消費電力を抑えるシステム設計を行い、パワーセーブ時7.5mWを実現している。ハンドヘルドタイプ（電池駆動）のOA機器に対応が可能である。

(2) リード・ライト回路

5V単一、高密度FDDに対応した回路構成である。入力換算雑音 $3\mu\text{V rms}$ のリードアンプ、コモンドライブを廃止し、書込み電流振幅を大きくしたライト回路及び定電流化されたイレース回路で構成されている。

(3) アナログ・デジタル間のノイズ干渉の低減

磁気ヘッドからの微小信号 ($V_{in} = 0.5 \sim 10\text{mV}_{pp}$, $f = 62.5 \sim 250\text{kHz}$) を増幅するアナログ回路部と $0 \sim 5\text{V}$ で振幅するデジタル回路部を同一チップ上に配置する場合、デジタル回路からアナログ回路への干渉が大きな問題である。制御ロジック部にCMOS回路、リード・ライト回路には差動増幅回路・ECLロジック回路を組み合わせるとともに、電源・GND配線の最適化設計を行うことにより、アナログ回路部へのノイズ干渉を抑えることができた。

(4) 高密度／標準密度兼用機に対応

トラックカウンタ回路、ハイデンシティ入出力回路、ライト電流4段切替え、イレース電流2段切替え及びイレースタイミング3通りの機能を内蔵している。2Mバイト／1Mバイト又は1.6Mバイト／1Mバイトの兼用機に対応できる。

(5) オプション機能

パネルインジケータ点灯条件3通り、モータオン条件3通り、モータオンディレー及びモータオフディレー、サブステップタイム2通りなどの機能を内蔵している。入力ピンの選択で簡単にそれぞれの機能を選択できる。

(6) 高精度・高安定密度のタイミング回路

制御ロジック部のタイミングは、外付けセラミック振動子と内蔵発振回路により生成された信号 ($f = 800\text{kHz}$) を用いているため、高精度高安定度動作を実現できる。

(7) インタフェース出力回路

3.5" FDDで要求されている駆動能力 $I_{OL} = 6\text{mA}$, $I_{OH} = -2\text{mA}$ のトライステート出力回路である。バイポーラ出力形式を採用している。 $I_{OL} = 48\text{mA}$ のオープンコレクタ出力タイプが必要な場合、外部ICでの対応が可能である。

5. 電気的特性

このLSIの主な電気的特性を表3に示す。動作電源電圧はデジタル回路部 $4.5 \sim 6.0\text{V}$ 、アナログ回路部 $4.5 \sim 13.2\text{V}$ である。5V単一電源及び5V／12Vの2電源方式に対応できる。動作周囲温度は $0 \sim 75^\circ\text{C}$ である。

5. む す び

専用標準LSIとしてデジタル通信用LSI、デジタルTV用LSI及びフロッピーディスクドライブ用LSIの概要について述べた。これらのLSIは従来、LSIの三大ユーザーである通信、民生機器、コンピュータの分野で使われるものである。専用標準LSIは、従来の汎用のメモリ、ロジック、マイクロプロセッサとともにこれらの分野に使用されるであろう。今後、LSIの大規模化が進むにつれて各システムに適し、しかもシステム設計者にとってLSI開発の負担が比較的小ない専用標準LSIの重要性がますます高まると考えられる。さらに、専用標準LSIを核とし、周囲に専用化回路を付加したカスタムLSIの製品開発も重要になるであろう。

(原稿受付 昭63-4-21)

参 考 文 献

- (1) M.Ishikawa et al.: VLSI architecture for an adaptive equalizer in ISDN line termination, Proc. IEEE ICASSP 86, p.1525 (1986-4)
- (2) H.Ando et al.: A DSP Line Equalizer VLSI for TCM Digital Subscriber-Line Transmission, IEEE J. of Solid-State Circuits, SC-23, No.1, p.118 (1988-2)
- (3) K.Murakami et al.: A Digital Processor for Decoding Composite TV Signals using Adaptive Filtering, IEEE J. of Solid-State Circuits, SC-21, No.5, p.790 (1986-10)

セミカスタムIC

西谷一治*
森田 功*
荒川隆彦**

1. ま え が き

ASIC (Application Specific Integrated Circuit—特定用途向けIC) が、ここ数年、非常に注目を集めている理由としては、半導体ユーザーが汎用ICの寄せ集めでは自社製品と他社製品を差別化しにくく優位性を保てないと判断したこと、最近のCAD (Computer Aided Design) 技術の進歩により短期間にASICを開発できるようになったこと、更には半導体メーカーもメモリICを中心とする汎用IC市場が一時的に不振となった際、ASIC市場への対応を強化したことなどがある。

ASICの一角を形成するセミカスタムICとして、当社では、既にCMOS (Complementary Metal Oxide Semiconductor) ゲートアレーM6000X/XA及びM6001Xシリーズで市場に参入しているが、この論文では新シリーズのCMOSゲートアレーM6002X/3Xシリーズ及びCMOSスタンダードセルM65000シリーズの特長について述べる。

2. ASICの分類

ASICを分類すると図1のようになる。ASICとはメモリ、汎用ロ

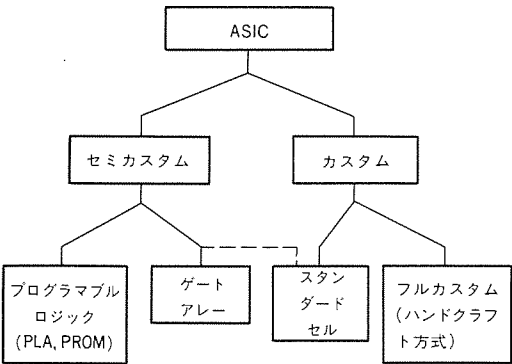


図1. ASICの分類

ジックICなどの標準品を除くすべてのICで、フルカスタムのほかにはスタンダードセル、ゲートアレー、PLAなどのプログラマブルロジックなどがある。ゲートアレーとは、LSIのチップ上に、基本セルと呼ばれるゲート又はトランジスタがアレー状に並べられ、開発当初のものは基本セル領域と配線領域が固定である。ゲートアレー設計方式は10年以上も前から実用化されているが、最近のCAD技術及びウェーハプロセスなどの製造技術の進歩により、短期開発、大規模LSIの製造が可能となり、セミカスタムの代表として広く使われている。

スタンダードセルは、ウェーハプロセス上の写真製版工程に対応するすべてのマスクを生成しなければならないため、ゲートアレーに比べて開発コストが割高になる。しかし、ゲートアレーでは実現が困難な大容量のROM・RAMなどのメモリやアナログ回路を内蔵できるため、フルカスタム並みの高機能化を図ることができる。ゲートアレー、スタンダードセル及びフルカスタムのおおまかな比較を表1に、設計・製造上における比較を表2に示す。

表1. LSI設計方式とその特徴

LSI設計方式 検討事項	フルカスタム	スタンダードセル	ゲートアレー
設計 TAT	× (長い)	○	◎ (短い)
生産 TAT	× (全工程)	× (全工程)	◎ (配線工程のみ)
集積密度 (チップサイズ)	◎ (小さい)	○	× (大きい)
性能	◎ (良い)	○	× (制限がつく)
設計者のスキル	高度	中程度	低辺拡大
生産指向	多量生産	多種少量生産	多種少量生産

注 TAT: Turn Around Time (工期)

表2. 設計・製造におけるゲートアレー、スタンダードセル、フルカスタムの比較

		フルカスタム	スタンダードセル	ゲートアレー
設計	機能ブロック	新規設計	共通ライブラリ	同 左
	論理検証	人手 (一部CAD)	CADシミュレータ	同 左
	マスク設計	パターン設計 (人手 CAD)	CADルータ コンパクション	CADルータ
製造	マスク製作	全工程	同 左	配線工程
	ウェーハ製造	最初 (拡散) から	同 左	配線から
	ウェーハテスト	新規プローブカード テストプログラム (人手)	新規プローブカード テストプログラム (自動生成)	共通プローブカード 同 左
	組立て	新規リードフレーム 新規パッケージング用治工具) 必要時あり	同 左	準備済共通品
	選別・出荷	新規試験用ボード 必要時あり テストプログラム (人手)	新規試験用ボード 必要時あり テストプログラム (自動生成)	準備済共通品 同 左

3. 1.3 μ mCMOSゲートアレー

最新の1.3 μ mCMOSウェーハプロセスを用いて、今回、高速・高集積のCMOSゲートアレーM6002X及び3Xシリーズを製品化したのでその特長について述べる。

3.1 ゲート敷き詰め方式

ゲートアレーは基本セル領域(トランジスタ領域)、配線領域、入出力バッファ領域から構成されるが、図2に示すように、ゲート数が大きくなると配線領域の占める割合が大きくなり、20Kゲートでは7割以上の面積を占めるようになる。一方、メモリは多数のトランジスタを必要とする反面、配線領域は多くを必要としないという特長がある。したがって、大規模ゲートの論理回路とメモリを高密度で搭載するためには、効率の良い回路方式が必要となり、これを実現したのが今回製品化したVTM(Variable Track Masterslice)と名付けたゲート敷き詰め方式である。

VTMは専用の配線領域を設けず基本セルを全面に敷き詰め、未使用ゲート上を配線帯とする新方式のゲートアレーであり、これによりメモリ搭載も含め、高密度な回路構成が可能となった。ゲート敷き詰め効果、メモリの使用頻度を考慮し、全敷き詰めゲート数が4.7Kゲート以上のM6003XシリーズにこのVTM方式を採用した。この方式の採用で、搭載ゲート数は柔軟に対応できる。例えば、ROM/RAMのように適正配置を行うことで、配線本数が少なくすむ機能ブロック間の配線領域は小さくでき、使用するゲート数に比べて配線本数を多く必要とするブロック間の配線領域は大きくすることができ、実効的な搭載ゲート数を多くとることができる(図3参照)。

3.2 ゲートアイソレーション方式

ゲートアイソレーション方式は、CMOSゲートアレー内に配置する論理ゲートの集積度を上げるために考え出された基本セル構成方法であり、既に製品化しているCMOSゲートアレーM6000X/XA及びM6001Xシリーズにも採用した。

一般のCMOSゲートアレーの基本セルは2～3組のP型とN型のMOSトランジスタで構成され、隣接する基本セル間は厚い酸化膜によって電気的に分離される(酸化膜分離方式)。

基本セルの素子数を幾らにするかは非常に重要な課題である。例えば、P型、N型1組のトランジスタで基本セルを構成すると、その基本セル間の分離領域がチップの大部分の面積を占め集積度が低下する。一方、分離領域を減らし2～3組のP型、N型トランジスタの組合せで構成すると、基本セルを構成するトランジスタ組数(2～

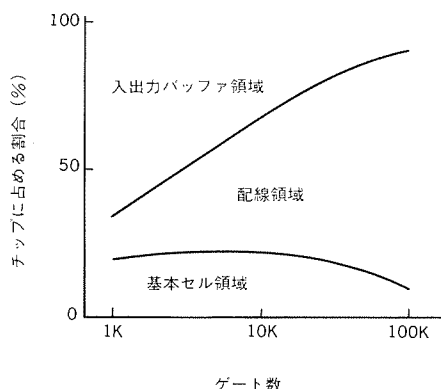


図2. チップ内各領域分布

3)の倍数と、基本論理回路セル(マクロセル)を構成するのに必要なトランジスタ数が一致しない場合、その差に相当するトランジスタ領域が未使用となり、その基本セル領域が無駄になる。これらの点を改良したのがゲートアイソレーション方式である。

ゲートアイソレーションの基本セルは1組のP型、N型トランジスタを持ち、隣接する基本セルのトランジスタとソース又はドレイン領域を共有し素子分離に酸化膜は使わない。したがって、チップ上に配列された状態では、トランジスタがP型、N型それぞれ連続してつながった形になる。隣接するトランジスタと電気的に分離する必要があるときは一つの基本セルを使用し、P型トランジスタのゲートを V_{DD} (高電位)に、N型トランジスタのゲートをGND(低電位)に接続する。図4にゲートアイソレーション方式と酸化膜分離方式の比較を3入力NAND回路を例として示す。

3入力NAND回路では酸化膜分離方式が1組の未使用トランジスタを含め8ピッチ分(基本セル2個)*の幅になるのに対し、ゲートアイソレーション方式では4ピッチ分(基本セル4個)*で構成できる。他の論理回路、メモリでも同様の集積度の向上(チップ面積の縮小)になる。

*：酸化膜分離方式の基本セルは、この例では4トランジスタで構成され、ゲートアイソレーション方式の基本セルは、2トランジスタで構成されている。

3.3 製品仕様

今回製品化したCMOSゲートアレーM6002X及び3Xシリーズの性能概要を表3に示す。M6002Xシリーズは、従来のゲートアレーと同様、基本セル領域と配線領域を交互に配置した構造となっており、配線領域の幅は各マスタのゲート規模に対応した最適配線本数を持つように設計した。ゲート敷き詰め方式、ゲートアイソレーション方式以外にM6002X及び3Xシリーズは次の特長を持つ。

- (1) メモリ内蔵可能(ROM/RAM)
- (2) 高速動作：1.1ns/Gate(2入力NAND, ファンアウト3)
- (3) 高駆動出力： $I_{OL}=14\text{mA}$, $I_{OH}=5\text{mA}$ ($V_{DD}=5\text{V}\pm 10\%$, $T_a=-20\sim 75^\circ\text{C}$)
- (4) 並列駆動出力可能： $I_{OL}=28\text{mA}$
- (5) 豊富な入出力バッファ
 - プルアップ・ダウン抵抗付き入力バッファ
 - 発振回路構成用バッファ
 - TTL/CMOSレベル各対応入力バッファ

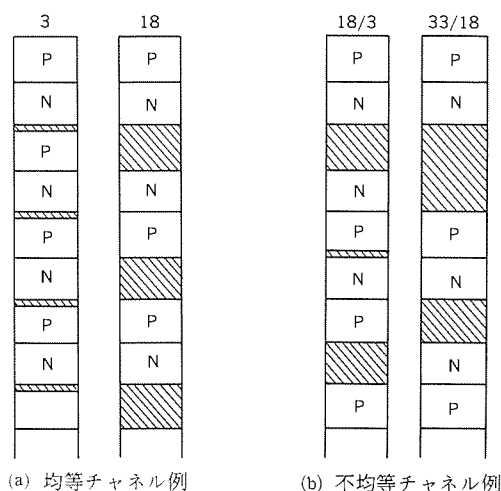


図3. VTM方式での種々のチャネル例

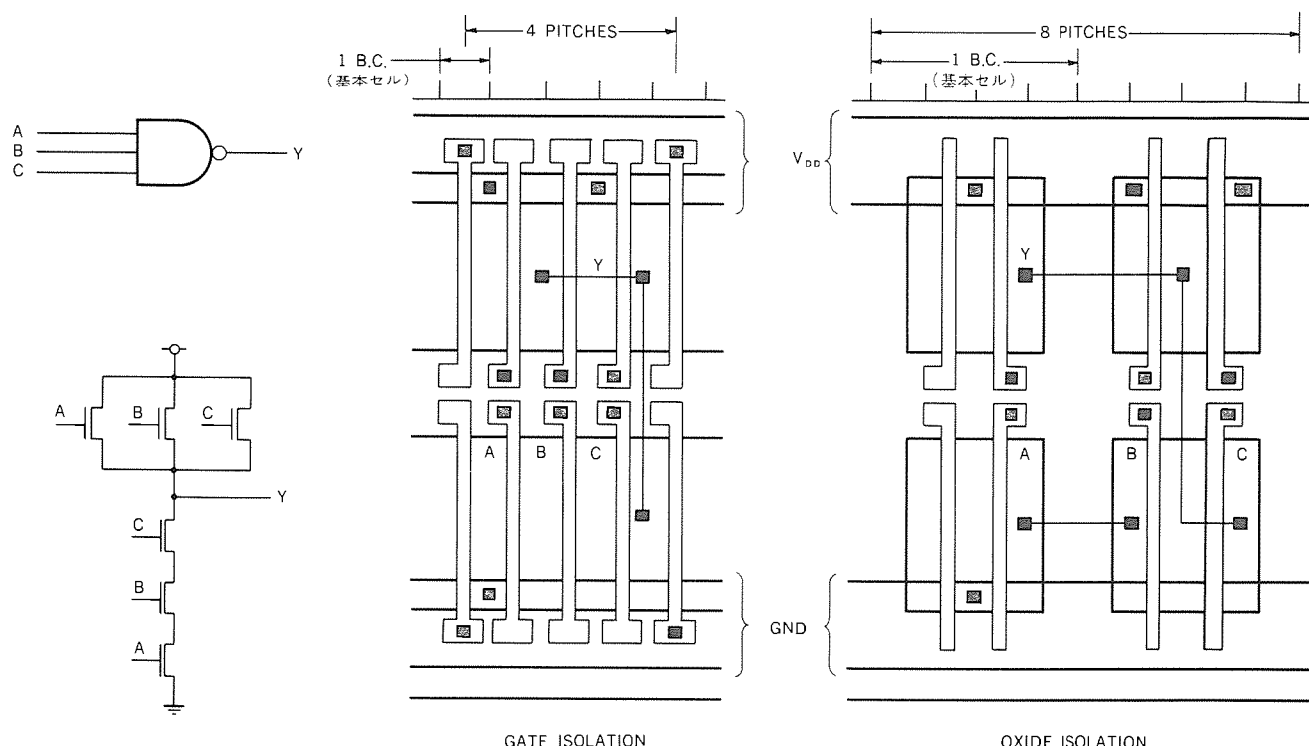


図 4. ゲート アイソレーション方式と酸化膜分離方式の比較

表 3. M6002X/M6003X シリーズ性能概要

品 種 名	M60020	M60021	M60022	M60023	M60024	M60030	M60031	M60032	M60034	M60035	M60037
総ゲート数/等価ゲート数	224	507	800	1,104	1,773	4,788/3.2K	7,308/4.1K	10,836/6.3K	20,412/8.4K	25,200/11K	47,376/20K
I/O数	22	32	42	48	62	88	110	132	180	196	256
チップ構造	固定チャネル方式(通常)					可変チャネル方式(VTM)					
ゲート遅延時間(TYP)	1.1ns/G										
電源電圧	4.75 to 5.25V (TTL IN) 4.5 to 5.5V (CMOS IN)										
動作周囲温度	0 to 70°C (TTL IN) -20 to 75°C (CMOS IN)										
入力電圧	$V_{ihmin}=2.2V, V_{ihmax}=0.8V$ (TTL IN) $V_{ihmin}=V_{DD} \times 0.7V, V_{ihmax}=V_{DD} \times 0.3V$ (CMOS IN)										
出力電流 $V_{ih}=V_{DD}-0.4V, V_{il}=0.4V$	$I_{oh}=-5mA$ $I_{ol}=14mA$										

- シュミット入力バッファ
- (6) CADサポート：精密なタイミング検証可能
- (7) 豊富なパッケージレパートリー
 - デュアルインライン (DIP, シュリンクDIP)
 - フラットパッケージ (SOP, QFP)
 - リードドットチップ キャリア (PLCC)
 以上プラスチックモールド パッケージ
 - セラミック ピングリッドアレー (CPGA)

4. 1.3 μ m CMOS ウェーハプロセス

M6002X及び3XシリーズのCMOSゲートアレーの製品化に際して、1.3 μ mルール、2層アルミニウム配線CMOSプロセスを採用した。このプロセスの主な特長を以下に述べる。

4.1 LDD構造

このプロセスは、高速・高集積化のためにN型トランジスタ及びP型トランジスタのゲート長を、それぞれ1.3 μ m及び1.5 μ mとした。このような微細化されたトランジスタでは、短チャネル効果によって、N型トランジスタではホットエレクトロンによる特性劣化が問題となる。

今回の1.3 μ m CMOSゲートアレー用ウェーハプロセスでは、N型

トランジスタのホットエレクトロン対策としてLDD (Lightly Doped Drain) 構造を採用した。図5にLDD構造の形成方法を示す。

LDDは濃度の異なる拡散領域、すなわちN⁻及びN⁺領域を形成することによって、ドレイン空乏層中の電界を緩和させる方法で、ホットエレクトロンによる信頼性低下を防止する。

また、P型トランジスタでは熱処理の低温化によってボロンの拡散を抑え、ソース・ドレインの接合深さを浅くすることで耐圧低下を防止した。

4.2 平坦化技術

アルミニウム二層配線を用いるゲートアレーでは、配線ピッチの縮小のために写真製版上の仕上がり精度を上げる必要があり、さらにエレクトロマイグレーションなどの信頼性上の問題に対処するためにも、表面の凹凸を低減させる、つまり平坦化が必要となる。このプロセスでは、二層のアルミニウム配線下の二つの絶縁膜に対して、それぞれ平坦化を行った。

第一層アルミニウム配線下の絶縁膜としては、従来PSG (Phospho Silicate Glass) を用い、950~1,000°C程度の高温熱処理で平坦化を行っていた。しかし、P型トランジスタを微細化するのに高温熱処理ができないため、同プロセスではPSGに代えて、900°C以下の低温熱処理で平坦化が可能なボロン入りPSG、すなわちBPSG (Boro

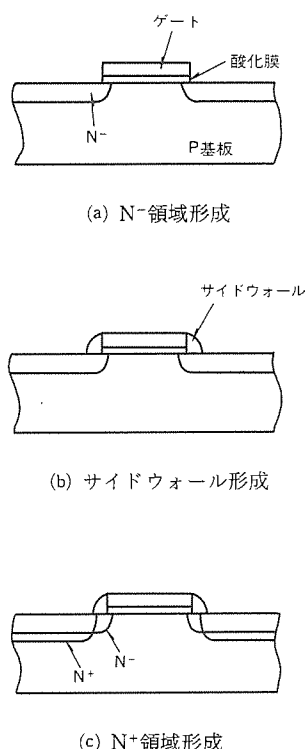


図 5. LDD構造の形成方式

Phospho Silicate Glass) を第一層アルミニウム配線下の絶縁膜として採用した。

第二層アルミニウム配線下の平坦化は、層間絶縁膜としてプラズマCVD法で酸化膜をデポした後、SOG (Spin On Glass) 法を用いて行った。SOGはシラノールを有機溶媒に溶したものを回転塗布することによって、酸化膜表面の凹部を埋め込む平坦化法である。SOG法自体は既に $2\mu\text{m}$ ルールのゲートアレーから適用しており、良好な平坦性の得られる安定したプロセスである。

4.3 信頼性の高い絶縁膜

第一及び第二のアルミニウム配線間の絶縁膜として、プラズマCVD法による酸化膜を採用している。低温デポによってアルミニウムのヒロックの成長を抑制し、低ストレスで信頼性を向上させ、さらに低誘電率によって配線間容量を低減することで、高速化を図った。

第二層アルミニウム配線上のチップ保護膜としては、耐湿性及び機械的強度に優れ、良好な被覆形状が得られるプラズマCVD法による窒化膜を用いてデバイスの信頼性向上を図った。

5. スタンダードセル

前述のように、スタンダードセルはゲートアレー・フルカスタムの中間に位置づけられている。ゲートアレーは高性能なCADツールの活用と配線工程からのウェーハ製造により開発期間を短縮できる。しかし、使用できるセルの種類が限られており、機能面の自由度が少なく、500ゲート、1,000ゲート、2,000ゲートというように、ゲート規模が飛び飛びであるためゲートの使用効率が低くなる。

スタンダードセルでは、ゲートアレーと異なり内部を自由に設計した種々のセルを組み合わせるチップを作るため、フルカスタムと同様にチップごとにすべてのマスクを作製する必要がある。したがって、スタンダードセルはゲートアレーと比べて開発費は高くなり、開発期間は長くなる。しかし、一般にゲートアレーと比べて同程度

の機能を小さなチップに構成できるので、製造コストは安くなる。

今回製品化したCMOSスタンダードセルM65000シリーズは次の特長をもつ。

- (1) 大容量メモリ内蔵可能
 - ROM (標準セル 4K~128Kビット)
 - RAM (標準セル 0.5K~16Kビット)
 - (2) アナログ機能内蔵可能
 - (3) CMOSゲートアレーとの共通セルライブラリ
ゲートアレーからスタンダードセルへの変更容易
 - (4) 高駆動出力 $I_{OL}=24\text{mA}$, 48mA
($V_{DD}=5\text{V}\pm 10\%$, $V_{OL}=0.4\text{V}$)
 - (5) セルの追加開発可能 (ユーザーのニーズによる)
 - (6) 豊富な入出力バッファ
 - (7) CADサポート
 - (8) 豊富なパッケージレパートリー
- ((6)~(8)はゲートアレーと同様)

6. 今後の方向

各機関が今後のASICの市場予測を行っているが、それによるとASIC市場は今後年率20~30%の成長が予想されている。その中でも、ゲートアレーとスタンダードセルの伸びが大きく、ゲートアレー・スタンダードセルとも集積度の増大が続き、1品種当たりの生産量も増加する。フルカスタムは全体としてスタンダードセルに置き換わる傾向にある。

ASICにおいても成功するか否かは、最終的には製品のトータル技術力と価格競争力であるが、その根幹となるのは設計サポート力とデバイス製造技術力である。ASICの設計工程では高度なCADサポートが不可欠であり、製造工程では最先端のウェーハプロセス技術、リソグラフィ技術、アセンブリ技術、テスト技術が用いられる。ASICはこれら最先端の要素技術の集約と考えることができる。

具体的には、 $1.0\sim 0.8\mu\text{m}$ といったサブミクロン ウェーハプロセスの開発、多ピン化対応アセンブリ技術開発、CMOSといえども高集積化に伴う大消費電力対応の安価なパッケージ開発、大規模回路及びデジタル・アナログ混載回路に対するCADツールの開発、デジタル・アナログ混載テスト技術の開発、CPU他汎用回路のセルライブラリ化 (シミュレーション テストも含む) などを推進する必要がある。当然のことながら、すべてコストを度外視したものであってはならない。

7. む す び

本稿では、セミカスタムICの代表として今後もその伸びが大きく期待されているCMOSゲートアレー・スタンダードセルについて述べたが、将来的にはECLゲートアレー又はBi-CMOSゲートアレーのように、CMOSでは対応できない分野へも積極的に取り組む必要があると予想される。

参 考 文 献

- (1) 植田ほか：三菱電機技報, 58 No.8, p.543 (昭59)
- (2) 蔵満, 浅井：日経マイクロデバイス, 1986年7月号, p.111

先端デバイス—イメージセンサ／三次元回路素子—

浅井外寿* 楠 茂*
木股雅章*
西村 正**

1. ま え が き

メモリがデジタルでの先端デバイスとすれば、イメージセンサがアナログでの先端デバイスであろう。これは単に集積度の点だけでなく、プロセス上の清浄度、回路設計上の雑音対策などで牽引力としての役割を発揮している点にあり、今後もその重要性は変わらないであろう。この観点から、この論文では画像入力用の2種の可視イメージセンサ及び赤外イメージセンサの紹介を行う。さらに、画素数の多いイメージセンサを用いる場合は、大量の情報量（例えば200万画素では10⁹bps）を高速に処理する必要がある、これが可能と考えられる三次元回路素子を用いた画像処理デバイスの例を述べる。

2. 可視イメージセンサ

可視光による画像を撮像するイメージセンサは、ビデオカメラ用の二次元カラーイメージセンサを主体に開発が進められてきたが、近年はOA機器や計測などの産業用の分野への展開も盛んになってきた。この章では、このような産業用イメージセンサの例として密着型カラー リニアイメージセンサと超小型エリアセンサの例を紹介する。

2.1 超小型エリアセンサ

産業用エリアイメージセンサとしては、監視・計測・医療などの用途がある。この分野でのニーズの一つとして、カメラの小型化の要求がある。

今回開発した超小型イメージセンサは、外形が10mmの丸形パッケージにアセンブリされたもので、カメラとしては最も小型の12mmを実現した。図1にイメージセンサの外観写真を示す。開発においては、1/2インチフォーマット25万画素イメージセンサ⁽¹⁾を基本に小型化の改良を行った。

画素サイズは、13 (H) μm $\times$ 10 (V) μm であり、垂直転送部に当社独自のCSD (Charge Sweep Device) を採用することにより、38%の高いフォトダイオード開口率が実現できた。イメージ領域は、4.55mm $\times$ 4.55mmで画素数は350 (H) $\times$ 455 (V)である。アスペクト比を1としたのは、パイプ内部計測を目的として小型化を行う上で有利なためである。これにより、チップ寸法が6.05 $\times$ 6.05

(mm²)となり、10 ϕ パッケージの使用が可能になった。

小型化を実現する上でのもう一つの改善点は、パッケージピン数の削減である。CSDは高開口率の反面、駆動用クロックが多く必要で、ビデオカメラ用の場合28ピンのパッケージにアセンブリしていた。しかし、10 ϕ パッケージの場合、ピン間隔を2.0mmとしても22ピンが限界である。このために、テスト入力ピンの減少やウェル電位などの共通化、DCバイアスの内部発生を行うことにより対処した。このようなピンの共通化によっても、チップの動作は従来のビデオカメラ用イメージセンサと同一で、隣接する垂直2行の信号電荷を混合して1行分のデータとして読み出し、偶・奇数フィールドで行の組合せを変更するインタレース走査を行う。この結果、本来は白黒画像用として開発したが、補色型のカラーフィルタを形成すればカラー情報の読取りも可能である。

2.2 密着型カラー リニアイメージセンサ

一般の文書や写真を画像情報として電気信号に変換し、伝送・記憶する要求は古くからあるが、近年の事務の電子化に伴って、より小型化で安価なシステムが望まれている。このような用途向けに、光電変換素子を一次元状に配置したリニアイメージセンサが登場してきた。このリニアイメージセンサは表1のように分類される。リニアイメージセンサの市場は、ファクシミリが主体であるが、今後はパソコンなどの画像入力用などへの応用が期待され、性能的には高解像度、カラー化などの画質の改善が進むと予想される。

今回開発した密着型カラー リニアイメージセンサは、A3版カラー原稿を400DPI (Dot per Inch) の解像度で読み取るためのものである。この場合、原稿全体では約350万ドットの情報になり、1ドットをR (赤), G (緑), B (青) 三色で構成しても1,000万画素のデータを読み出す必要があり、高速化可能な密着型CCD (Charge Couple Device) 方式を採用した。また、密着型は原稿を等倍で撮像するので画素サイズが大きく、カラー化に対してパターンレイアウト上有利である。しかし、逆に欠点として、原稿幅 (A3版では約30cm) を1チップで実現できず、複数チップを並べる必要があり、各チップ間の特性ばらつきを抑えることと、チップ間ギャップを小さくすることが重要になる。今回はチップ長は65mmとし、A3幅を5チップ並べて読み取る構成とした。

カラー信号を読み取るためのカラーフィルタは、Ye (黄) と Cy (シ

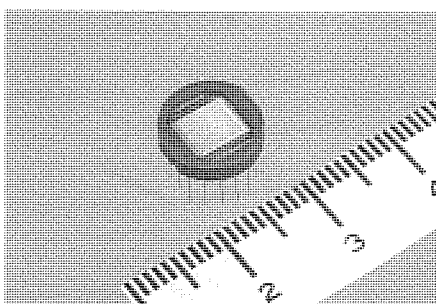


図1. 超小型エリアセンサの外観

表1. 密着型イメージセンサの分類

光学系	光電変換素子	信号走査系
縮小光学系	フォトダイオード	CCD
		MOS
密着型 (等倍)	フォトダイオード (フォトリソスタ)	CCD
		Bip
	Cd S	Bip
		Bip
	a-Si	CCD
		TFT

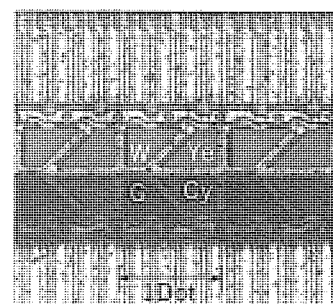


図2. 密着型カラー リニア イメージセンサ画素構成

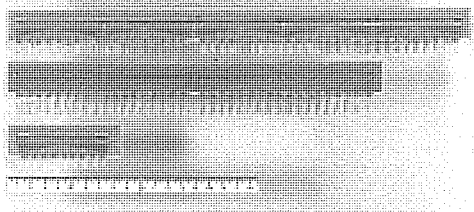


図3. 密着型カラー リニアイメージセンサの外観

アン)の2色をチップ上に直接形成し、各色の組合せにより、W(フイルタなし)、Ye、Cy、G(YeとCyの重ね合わせ)の4色を用いている。R、G、Bの3色を用いるより、カラーフィルタの工程が簡略化できる。1ドットの画素構成を図2に示す。配列を2行としたのは、CCDの並列転送化により、高速読出しが可能なることによる。CCDを5MHzで駆動する場合、各チップを直列的に読み出してもA3版を2ms/ラインで読み出せる。

複数のチップでリニアイメージセンサを構成する場合、チップの並べ方は、一直線上にチップを突き合わせる方法と各チップを千鳥状にずらせる方法がある。後者はチップ継ぎ部での画素ピッチ乱れを小さくできるが、データの同時化のためにメモリを必要とする。このため、我々はチップ突き合わせ法を採用した。この方法ではフォトダイオードの近傍を切断するためのダイシング技術とパターンレイアウト、チップ間ギャップを最小にするダイボンド技術の開発を必要とした。この結果、チップ継ぎ部での画素間隔をほぼ1/2画素ピッチに抑えることが可能となった。

最後にこのイメージセンサの写真を図3に示す。読取り幅が上からA3、A4、65mmに対応する。

3. 赤外線イメージセンサ

赤外線撮像は物体の温度と放射率の分布を画像として認識しようとするもので、工業計測・医療診断をはじめ、宇宙・防衛に至るまで

幅広い応用分野がある。従来の赤外線撮像装置は単素子又は一次元アレーの検出器を用い、走査鏡等で機械的に走査を行うものであったが、撮像装置の高感度化・高信頼性化のために自己走査機構を持った二次元赤外線イメージセンサの開発が強く望まれている。

当社は高解像度赤外線イメージセンサの実現には、完成度の高いシリコンVLSI製造技術が利用できるショットキーバリア赤外線イメージセンサが有望と考え、1980年から本格的な開発に着手した。以来、32×64画素IRCCD(Infrared Charge Coupled Device)、256×256画素IRCCD⁽²⁾及び512×512画素のCSD(Charge Sweep Device)方式を用いた赤外線イメージセンサ⁽³⁾を開発してきた。ここでは、特に512×512画素CSD方式の赤外線イメージセンサについて述べる。

図4に512×512画素赤外線イメージセンサの構成と動作を示す(図は簡単のために4×6画素のアレーを示している)。このセンサでは従来のインタライン転送CCD方式を改良したCSD方式を採用している。CSD方式では、従来方式に比較して開口率(画素面積に対する検出器面積の割合)が大きくなるため、画素サイズを縮小しても検出器の面積を十分とることができ、高解像度化に有利となる。

画素はショットキーバリア光検出器・トランスファークローク及び垂直電荷転送素子から成る。トランスファークロークは検出器からCSDへの信号電荷の読出しを制御するもので、水平方向に並んだトランスファークロークは垂直走査線と電気的に接続されている。トランスファークローク(TG)走査回路とインタレース回路は、トランスファークロークの組を選択する回路で、CSD走査回路はCSD内に読み出されてきた信号電荷を蓄積ゲートへ転送するためのCSD駆動パルスが発生する回路である。画素の選択と蓄積ゲートへの転送の動作は、1水平期間内に行われる。蓄積ゲートはCSD内を転送されてきた信号電荷を一時蓄積するためのゲートで、蓄積制御ゲートは蓄積ゲートから水平CCDへの信号電荷の転送を制御するためのゲートである。

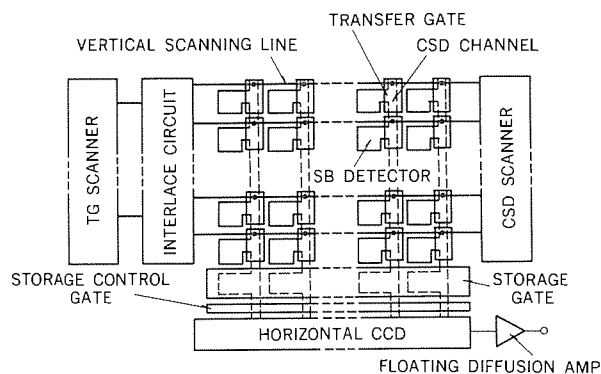


図4. 512×512画素CSD方式赤外線イメージセンサの構成

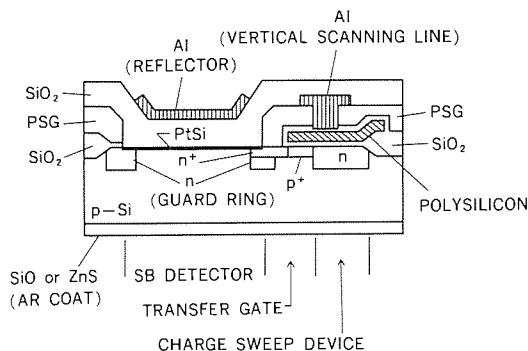


図5. 512×512画素CSD方式赤外線イメージセンサの断面構造

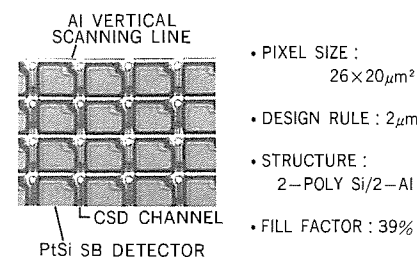


図6. 512×512画素CSD方式赤外線イメージセンサの画素拡大写真

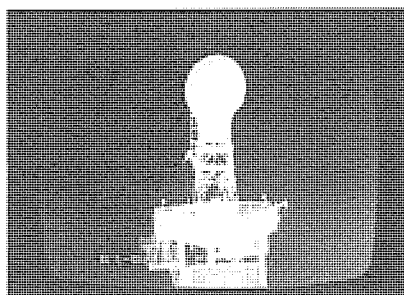


図7. 赤外線テレビカメラシステム IR-5120による撮像例

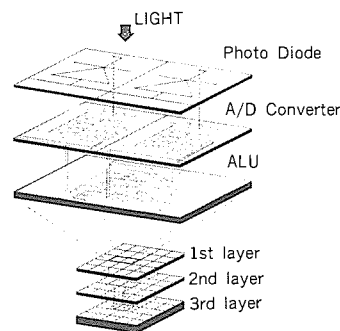


図8. 3層構造三次元回路素子・評価基本素子の模式図

CSD方式では従来方式と異なり、1垂直電荷転送全体で1画素に相当する信号電荷のみを蓄積・転送するので、垂直電荷転送素子のサイズを非常に小さくでき、その結果高い開口率を得ることが可能となる。

画素の断面構造と拡大写真を図5、図6に示す。光検出器は白金シリサイド (PtSi) とP型シリコンのショットキーバリアダイオードである。検出器の周囲に設けたN型拡散領域はガードリングで、周辺における電界集中を緩和し、暗電流を減少させるためのものである。検出器に用いるPtSi膜の膜厚は感度に大きな影響を及ぼす。高い感度を得るためにPtSi膜厚はできるだけ薄くする。これは膜厚を薄くすると、PtSi膜内での多重反射の回数が増えるためである。また、このセンサではPtSi膜を透過する光を再利用するために、アルミ反射膜を設けた光学的共振構造を採用して感度を改善している。入射方向はシリコン裏面からで、この面には無反射コートを施している。トランスファークロウとCSDのゲート電極は、共通のポリシリコンで構成されている。CSDはN型の埋め込みチャネル電荷転送素子で、トランスファークロウは表面チャネルMOSFETである。高速CSD転送を可能にするために、垂直走査線にはアルミ配線を用いている。構造は2層ポリシリコン・2層アルミ構造で、2層目のアルミは反射膜のみに使用している。

画素サイズは26 (H) × 20 (V) (μm^2) で、画面サイズは13.3 (H) × 10.2 (V) (mm^2) である。この画面サイズは標準のTVモニタのアスペクト比に適合している。画素は2 μm の設計基準で設計し、開口率39%が得られた。この値は従来方式を用いて設計した場合の約1.4倍に相当する。チップサイズは16 (H) × 12 (V) (mm^2) で、I/Oピン数は30ピンである。素子は裏面に光入射用の窓を設けたセラミックパッケージに収納される。

素子は標準のTVフレームレート (30フレーム/秒) で動作する。動作中は暗電流を抑えるために素子を80K程度に冷却する。分光感度特性から得られる外挿遮断波長は5.6 μm で、3 ~ 5 μm 帯の大気の窓を利用した赤外線撮像が可能である。 $f/1.5$ の光学系を用いた場合の温度感度 (ターゲット温度変化1 Kに対する出力の変化量) は300Kで8.8 mV/Kである。同一条件での雑音は1 mVrmsであるので、雑音等価温度差 (S/N 比が1となる入力温度差) は0.11 Kとなる。

当社では512×512画素CSD方式赤外線イメージセンサを用いた赤外線テレビカメラシステム IR-5120の開発も完了している。このカメラシステムは、世界に先駆けて二次元赤外線イメージセンサ

を採用しただけでなく、運用の容易なクロードサイクルクーラーを用いるなど、他の赤外線撮像装置にはみられない多くの特長を持っており、今後の赤外線撮像装置の普及に大きな役割を果たすことが期待できる。図7に IR-5120を用いた赤外線撮像例を示す。

4. 三次元回路素子

素子を三次元的に配置し、素子間を自由に信号授受可能とした三次元回路素子の応用例として、高速画像処理システムが挙げられる。このシステムに三次元回路素子を用いる最大の特長は、並列データ処理による処理時間の飛躍的短縮である。三次元構造の画像処理システムの構成は、最上層 (ウェーハ最表面層) に光センサマトリクスを設け光信号の光電変換を行い、その直下の層にセンサ出力をデジタル信号に変換するA/D変換器を配置、以下の層に信号演算回路や画像情報を蓄えるメモリなどを設置し、各層間をスルーホール (層間を電気的に接続する貫通孔) により接続したものである。

我々はこれらの機能の実証を行うため、図8に示す評価基本素子の試作・評価を行った⁽⁴⁾。最上層にP-Nフォトダイオードからなる光センサ、中間層にフラッシュ型A/D変換器、最下層にALUを配置した3層構造三次元回路素子である。

4.1 作製プロセス

最下層ALUは最小線幅2 μm で設計され、NMOS/bulkプロセスで作製された。ゲート配線、素子間接続配線共に、リンドープ多結晶シリコン配線で行った。電源ライン等は極力線幅を大きくし、抵抗による電圧降下を防いだ。最下層形成後、平坦化を行った約1 μm の絶縁膜のたい積を行い、〈001〉単結晶シリコン基板まで2 μm の穴を明け、〈001〉単結晶シリコン層を中間層で得るためのシード領域を形成、穴内を選択エピ成長により〈001〉単結晶シリコンで埋め込み、多結晶シリコン層を0.6 μm たい積後レーザ光走査により溶融再結晶化を行う。溶融再結晶化は大面積領域を無欠陥で単結晶化が行えるよう、反射防止膜による熱分布制御を行い、さらに結晶成長方位制御を行った。すなわち、〈010〉方向に反射防止膜を設け、〈110〉方向にレーザ走査を行った⁽⁵⁾。また、素子形成領域内に再結晶化に伴う亜粒界が含まれないよう、〈010〉面をオリエンテーションフラットをもつウェーハを用いた。この再結晶化SOI層上に最小線幅3 μm CMOS/SOIプロセスによりA/D変換器を作製した。素子間接続配線にはWSi₂が用いられた。1-2層間スルーホールは4 μm □であった。中間層形成後、同様に絶縁膜をたい積、平坦化を

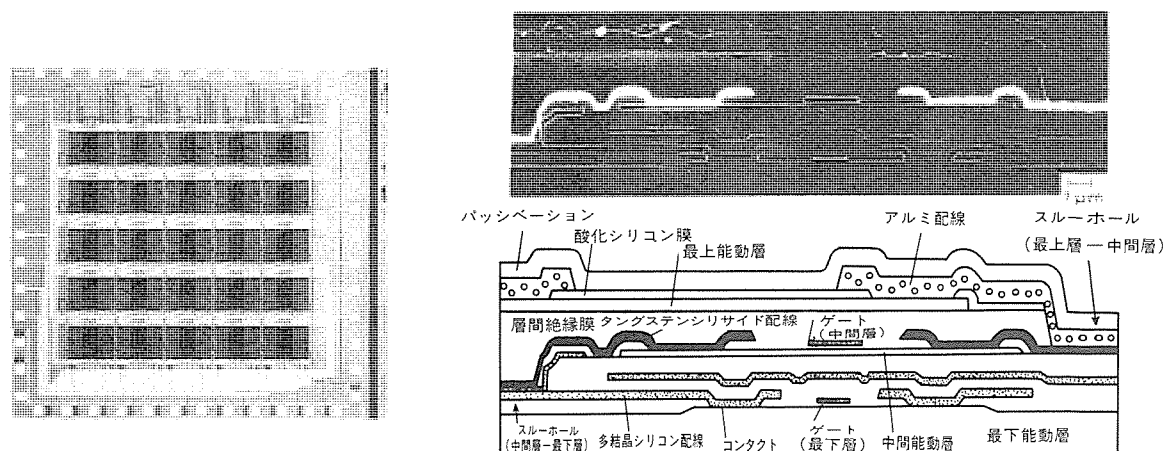


図9. 3層構造三次元回路素子・評価基本素子のチップ写真 (左) 及び断面SEM写真 (右)

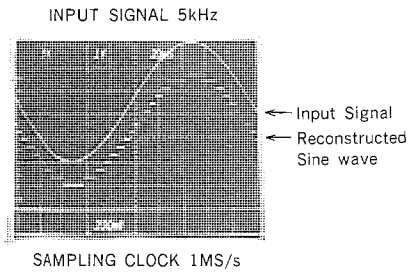


図10. 4ビット CMOS/SOI A/D変換器の再生波形

行い、シードを設け、反射防止膜を用いたレーザ再結晶化SOI層にP-Nフォトダイオードを作製した。配線は2層のアルミ層によって行った。2-3層間のスルーホールは WSi_2 と1層目のアルミ配線間で行った。図9にプロセス終了後のチップ写真及び3層構造三次元回路素子の断面写真を示す。チップ面積は $8\text{mm} \times 8\text{mm}$ 、画素サイズ $1.08\text{mm} \times 1.08\text{mm}$ 、 5×5 画素で11K素子を含む。

4.2 機能評価

最上層に形成した光センサの光電流と逆バイアス電圧の関係を図10に示す。この光センサは幅 $11\mu\text{m}$ 長さ $88\mu\text{m}$ の受光部をもつP-N⁺フォトダイオードを500個並列接続したもので、受光部面積は 0.48mm^2 である。この光センサの0/3, 1/3, 2/3, 3/3を遮光して890lxの光照射を行った。図から、照射光量(受光面積)と光電流の関係の線型性は良好で $6.2 \times 10^{-7}\text{A}/\text{mm}^2$ の光電流が得られた。

A/D変換器のようなアナログ回路を作製するに当たっては、素子の均一性が要求される。また、N-ch MOSFET/SOIで見られるキック効果を抑制しなくてはならない。我々は前述した再結晶化法により、素子のばらつきを従来の $1/2 \sim 1/3$ に抑え、またソース領域下部から基板電位をとる構造でキック効果を抑制し、4ビットA/D変換器の良好な動作を得た⁽⁹⁾。図11に試作したA/D変換器にサイン波入力を行ったときの再生波形を示す。最大クロック周波数は $30\text{MS}/\text{s}$ であった。3層構造評価基本素子中ではA/D変換器とセンサのチップサイズのマッチングを図るため、2ビットA/D変換器を採用した。このA/D変換器は最大クロック周波数 $35\text{MS}/\text{s}$ 、 WSi_2 配線では $10\text{MS}/\text{s}$ で動作した。最下層のALUは、16種の論理演算及び16種の算術演算が可能である。また、ALUは隣接画素間に設けられ、2入力・32種すべてのファンクションの動作を確認した。ALU1個当たりの消費電力は 5mW であった。

図12に1-3層を通しての動作写真を示す。隣接2画素の光センサの出力を、それぞれに接続されたA/D変換器でデジタル化し、ALUで隣接2画素の信号を加算した出力である。画素1は遮光をしていない画素、画素2は受光部の $1/3$ を遮光している。光照射がない場合、センサは負論理で設計されているため、A/D変換器の出力は共に“3”を示す。したがって、ALU出力は $3+3=6$ (110)となる。一方、光照射時は、 $0+1=1$ (001)となる。他の演算についても同様に正しい演算結果が得られた。

以上述べたように、光センサ/A/D変換器/ALUの構造で並列処理機能確認を行った。この特長を応用した瞬時のイメージをとらえ、分析・認識・判断が行えるインテリジェント イメージプロセッサ実現の可能性について知見を得たといえる。

今後、より高度な画像処理を行うために、画素数の増加、A/D変換器の分解能の向上・高速化が重要になってくる。しかし、この二つは互いに相反する命題である。これを克服するために、各層のス

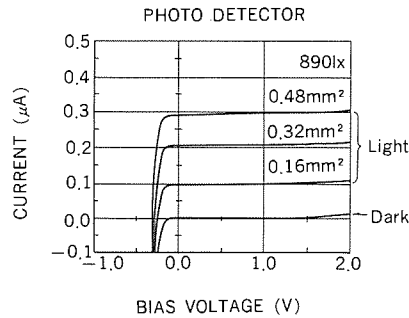


図11. 最上層光センサの光電流と受光部面積の関係

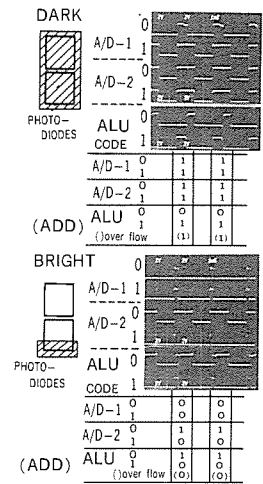


図12. 三次元回路素子を用いた画像処理評価基本素子の複合動作

ビード、回路規模、回路面積、回路方式のマッチングを行った総合的な最適設計を行うとともに、素子自体の高速化、微細化、高集積化を行い設計マージンの増加を図っていく予定である。

なお、この研究は通商産業省工業技術院の次世代産業基盤技術研究開発制度に基づき(財)新機能素子研究開発協会が委託を受けた「三次元回路素子の研究開発」の一環として行われたものである。

4. むすび

イメージセンサの用途は、主に民生用のビデオカメラが主体であるが、今後計測・監視・画像入力などの産業用途にも多く使われていくであろう。この分野を大きく延ばしていくには、画素数構成、パッケージ形態などでの多様なニーズにこたえる必要がある。さらに、波長領域も可視以外の赤外・紫外・X線などの領域に広がっていくと予想される。また、この産業用においては単に画像信号を得るだけでなく、画像信号中から必要な情報を取り出す画像処理技術も重要な役割を占め、これを高速処理する半導体デバイスの一つとして三次元回路素子の適用が検討されると考える。

参考文献

- (1) 山脇ほか：485×510画素1/2インチ フォーマットカラーイメージセンサ、テレビ学技報、TEBS 109-6, p.31 (1986)
- (2) M.Kimata et al.: 256×256 Element Platinum Silicide Schottky-Barrier Infrared Charge Coupled Device Image Sensor, Optical Engineering, 26, p.209 (1987)
- (3) M.Kimata et al.: A 512×512-Element PtSi Schottky-Barrier Infrared Image Sensor, IEEE J. Solid-State Circuits, SC-22, p.1124 (1987)
- (4) T.Nishimura et al.: in IEDM Dig. Tech. Papers, p.111 (1987-12)
- (5) K.Sugahara et al.: IEEE Electron. Dev. Lett., EDL-7, p.193 (1986)
- (6) S.Kusunoki et al.: in Proc. Symp. VLSI Technol., p.107 (1987-5)

セルベース方式LSI 設計システム

岡崎 芳* 荻原拓治**
新保新太郎** 加藤周一***
数馬好和**

1. ま え が き

電子装置の小型化、高性能化、高機能化にLSI化は必ず(須)との認識が高まり、このため独自のLSIを早く、低開発費で開発したいという要望が大きい。特にCADサポートの充実したゲートアレーの出現は、電子装置(システム)設計者によるLSI設計を可能とし、ますます装置のLSI化に拍車をかけている。一方、LSI製造技術の進歩は、サブシステム更にはシステムをも1チップに集積することを可能としてきており、装置の差別化のためプリント基板上のマイクロプロセッサ、メモリ、周辺回路を1チップ化したいという要求がますます強くなっている。LSIが最終システム製品に近いことや、IC設計者の数に比べ、LSI需要者であるシステム設計者が100倍以上いるとの背景もあり、システム設計者がLSIを自ら設計しなければならない状況にある。

このような背景から、当社では、①ゲートアレーでは、困難な Integrated System on a chipの実現、②電子装置設計者自身によるLSI設計の実現、③LSI設計技術者のLSI設計効率の向上、をねらいとした“セルベース方式LSI設計システム”を開発した。この設計システムは、既に開発・実用中の大型計算機上にパッチ処理を中心に構築したCADシステム⁽¹⁾によるカスタム プロセッサチップの経験をもとに、ワークステーション活用によるヒューマン インタフェースの高度化、大規模論理回路の検証方式、テストデータの自動生成、及び半導体プロセスの微細化に柔軟に対応できるセル設計技術に重点をおいて、再開発した設計システムである。本稿では、この設計システムの構成、機能の概要及び適用例を紹介する。

2. 設計システムの概要

カスタム論理LSIの設計方式として、チップの構造の定まったゲートアレーや比較的小規模なセルを自動配置配線してLSIを実現する標準セル方式がある。しかし、これらの方式では、配線領域と回路素子領域が分離されるという構造的制約のため、集積度の向上が困難である。これに対し、ここで述べるセルベース方式LSI設計システムは、①集積度や電気的性能を重視し、大きさや端子位置に制限をつけず設計された、より大規模なセル(マクロセル)を用いてLSIのレイアウトを行うことができ、②あらかじめ用意されたセルライブラリからセルを選択するだけでなく、IC設計経験の少ないシステム設計者でも独自のセルを設計することができるようになっている。

この設計システムの構成及びハードウェア環境の概略は図1、図2に示すとおりであり、以下の特長を持っている。

- (1) 機能設計からレイアウト設計及びテスト設計までの全設計工程を支援する総合システムである。
- (2) 回路規模の増大に伴い検証時間が飛躍的に増大するため、論理回路設計に制約を設けることが望ましいが、このシステムでは、同期式回路に対し、詳細かつ高速なタイミング検証が可能である。
- (3) 混合レベル(スイッチ/論理/機能)シミュレータにより、MOS

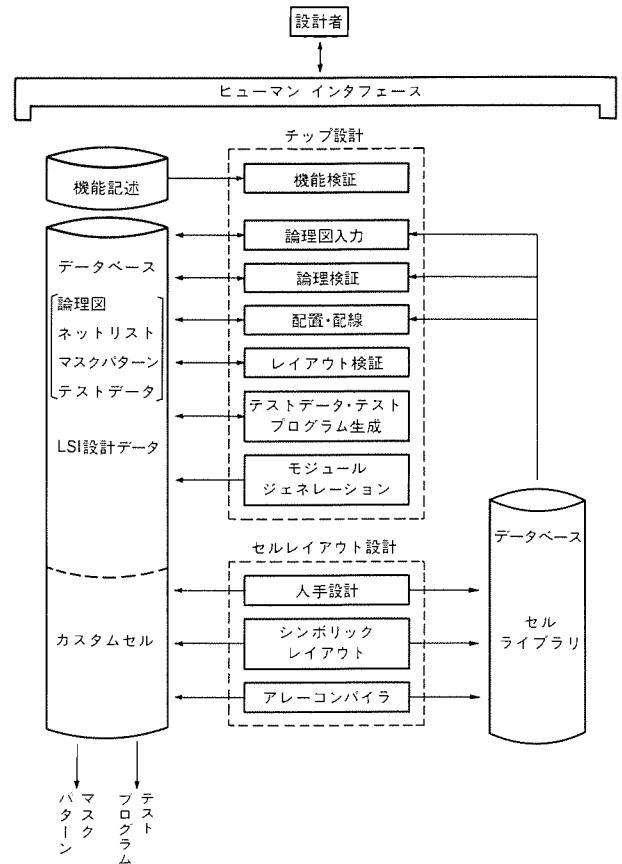


図1. 設計システムの構成

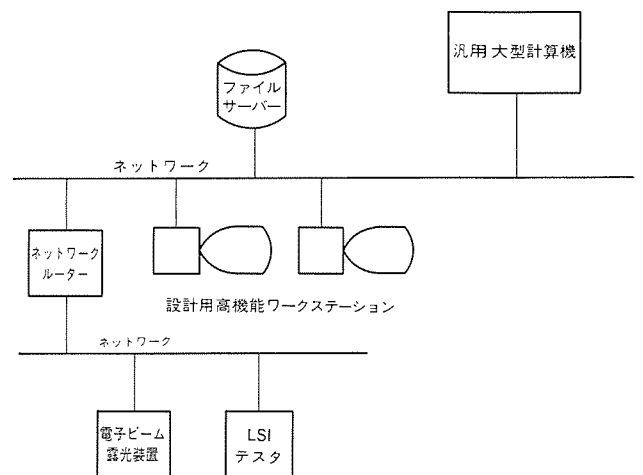


図2. ハードウェア環境

回路特有の信号強度に基づく回路動作や遅延時間を正確かつ高速にシミュレーションできる。

- (4) メモリ、PLA (Programmable Logic Array) や乗算器などの

機能モジュールを含む回路に対し、スキャン手法やバスを活用する独自のテスト容易化設計方式を定めており、この方式の回路に対し、高品質のテストデータ生成が可能である。

- (5) トランジスタレベルのシンボリック レイアウトツール及び規則的なレイアウト構造を持つセルの設計に適用できるアレーコンパイラを持っており、カスタムセルの開発を比較的容易に行える。
- (6) PLAなど規則的なレイアウト構造を持つマクロセルは、モジュール ジェネレータにより、マスクパターンとシミュレーション モデルを自動生成できる。
- (7) 設計システムのユーザーインタフェースは、論理図、レイアウト図、マスクパターン、タイムチャートなどのグラフィックスデータを基本としているので設計及び結果の解析が容易である。
- (8) 各設計ツールは、ポップアップメニューを用いて、できるかぎり操作の統一を図っている。また、汎用大型計算機上の設計ツールもワークステーションから利用できるため、全設計を一貫した操作で実施できる。

3. 設計システムの構成

3.1 機能・論理設計検証

LSI設計効率を向上し、ファーストシリコン (First Silicon) でチップの機能仕様・目標性能を満足することが設計検証の目標である。このため、このシステムでは、①機能設計の段階から論理設計までのトップダウン設計作業をサポートして早期検証を可能とし、②各セルごとに、スイッチ/論理/機能の中で最適なレベルで記述し効率的な混合レベル シミュレーションが可能になっている。

仕様決定及び機能設計段階では、レジスタ転送レベルでブロックを記述し、チップ又はシステム全体を高速にシミュレーションする。システム検証並びに性能評価を早期に可能にすることで、開発作業の手戻りを防止できる。一方、論理設計段階では作業はボトムアップに行われるのが一般的である。チップ全体の回路設計が終了した段階で、図3に示すように、機能検証で使ったシミュレーションパターンを入力し論理シミュレーションを行う。全比較ポイントの

値が一致することで機能仕様を満足していることが確認できる。このための比較ポイント指定及び自動比較ツールを備えている。

論理設計段階のシミュレーションにおいても、機能モジュールは内部動作を機能記述することでシミュレーション速度を向上させている。また、モジュール ジェネレータで生成するセルのモデルも、機能記述モデルである。機能記述モデルの入出力においては、信号強度・信号値を考慮した記述を行い、周囲のスイッチレベル (MOS トランジスタ) でモデル化された回路に対し正確なインタフェースをとることができる。

セル設計の検証を行う場合は、すべてスイッチレベルで詳細に検証することも可能である。

大規模回路の論理検証は、多大なシミュレーション時間と得られた結果の解析時間を要する。このシステムでは、同一シミュレータをワークステーション上でも大型計算機上でも使用できる。ユーザーは論理図・シミュレーションパターンをワークステーション上で作成した後、メニューから実行マシンを選択すればよい。シミュレ

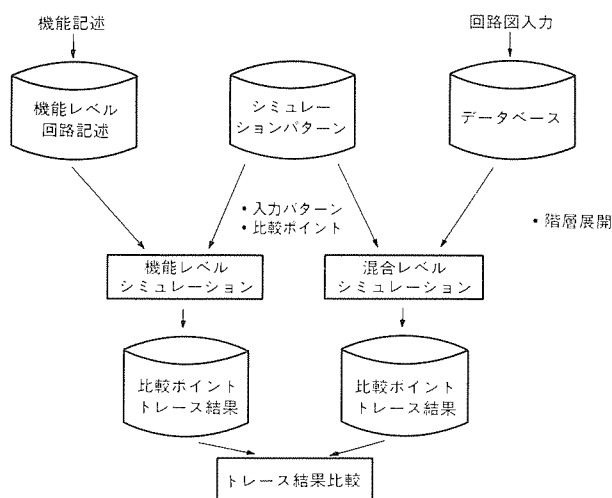


図3. 機能記述・論理設計比較フロー

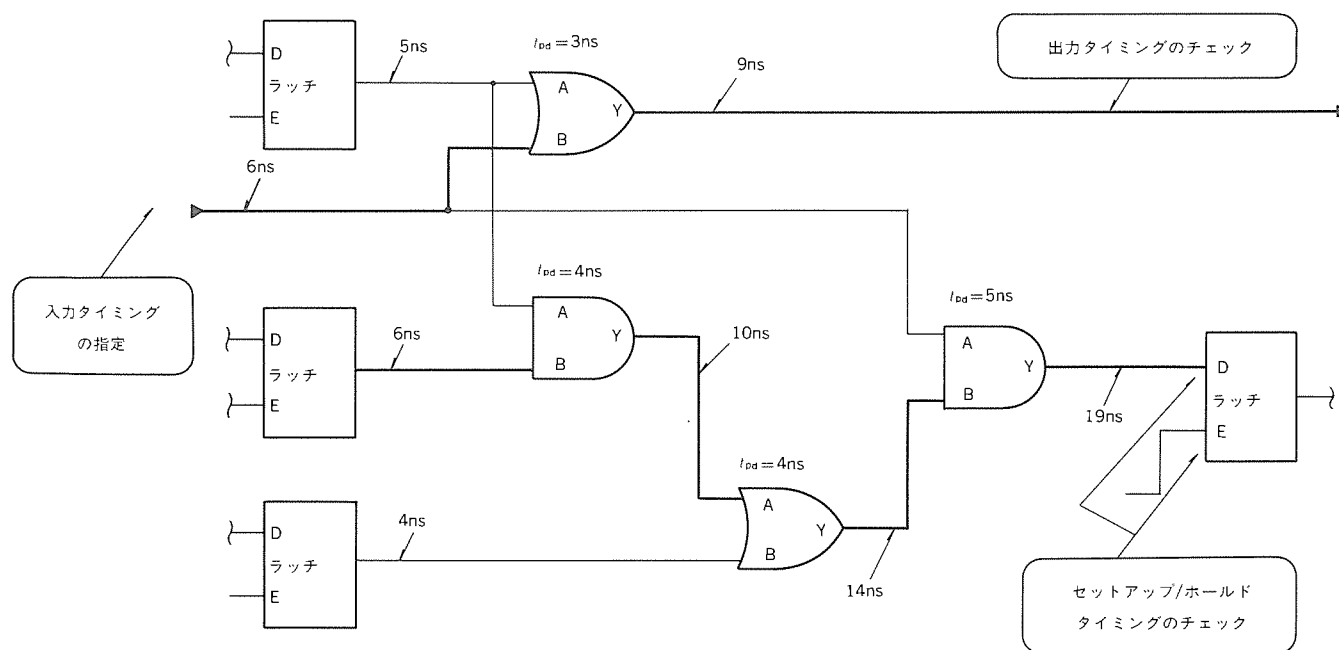


図4. 信号経路トレースの例 (太線が最も大きい遅延を与える経路)

ーション結果は、ワークステーション上で波形表示などにより確認できる。

3.2 タイミング検証

大規模回路において、シミュレーションによりタイミング設計誤りを完全に検出することは、シミュレーションパターン数が膨大になり非現実的である。このシステムでは、同期式回路設計方式を推奨している。この方式の場合は、信号経路トレース方式のタイミングチェックプログラムにより、全経路の解析をシミュレーションパターンなしに高速に実施できる。ユーザーは、LSIの入力端子における信号の変化時刻、クロック仕様、出力端子やキーポイントの信号安定時刻などを指定できる。プログラム実行結果として、ラッチ等、記憶素子のセットアップ/ホールドタイミングエラーや指定した信号安定時刻に対する違反などの指摘、各ノードの信号変化時刻、遅延時間のヒストグラムなどが得られる。図4に最大遅延時間計算の例を示す。

タイミングチェックプログラムの入力となる遅延時間情報は、①レイアウト前の仮想遅延値か、②レイアウト結果から容量抽出を行って計算した詳細遅延値⁽¹⁾を選択できる。遅延データ抽出フローを図5に示す。抽出プログラムは次の特長を持っている。

- (1) 配線容量抽出はレイアウト実施階層ごとに実行でき、結果を階層ごとに保持できる。
- (2) 自動配置配線した回路だけでなく、シンボリックレイアウトにより設計した回路からも容量抽出し、遅延値の計算ができる。
- (3) 遅延計算式はセルごとにライブラリ中で指定でき、セル入力端子と出力端子の組合せごとに遅延値を計算できる。

これらの機能により正確な遅延計算が可能になっている。

同期設計が不可能なチップについては、論理検証作業の中で、上記遅延値を用いた詳細遅延シミュレーションも可能である。この場合は、ハザード検知などはシミュレータで行う。

LSI設計者がセル設計作業などで、アナログレベルのタイミング検証を行なうために、SPICEの利用も可能になっている。SPICEの実行には、①回路図を展開したトランジスタレベルの回路網、ないしは、②レイアウト結果から容量を抽出した回路網、を入力として使用できる。特に、後者の場合レイアウトエディタ上で任意の部分を切り出してSPICEを実行することもでき、必要最低限度の回路規模による高速実行が可能である。

タイミング検証においても、必要に応じてワークステーションと大型計算機での実行を使い分けることができる。

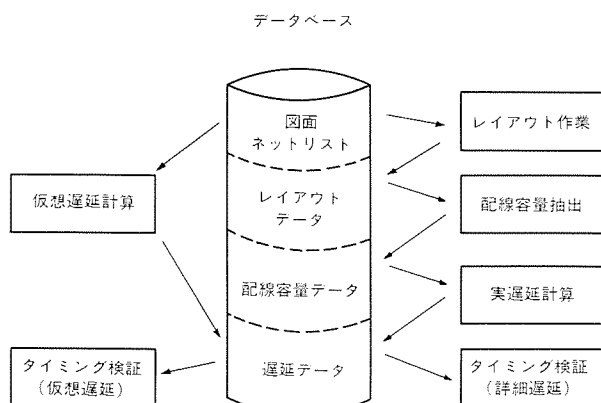


図5. 遅延計算とタイミング検証フロー

3.3 テスト

大規模論理回路のテストの困難さ及びテストデータ生成時間の飛躍的増大に対処するため、テスト容易化設計とテストデータ自動生成ツールは必要不可欠である。そのため、当社では部分的にテスト容易化設計を採用した同期回路に対するテストデータを、自動生成可能としている⁽²⁾。しかし、セルベース方式LSIでは大規模RAM、ROM、PLA、乗算器など機能モジュールが多く使用され、ゲート及びレジスタを扱う従来のテストデータ自動生成手法では対応できなくなってきた。そこで、機能モジュールについては、そのテストデータライブラリを利用してテストデータを生成することのできる、テスト容易化設計手法及びそれに基づくテストデータ自動生成ツールを開発し、テストデータの品質向上及びテストデータ生成時間の大幅削減を図った。ここでは、テスト容易化設計手法とテストデータ生成方式について述べる。

3.3.1 テスト容易化設計

機能モジュールは、バス、スキャンレジスタ又はマルチプレクサなどを用いて、LSIのI/O端子から、機能モジュールごとにある一つのテストシーケンスで制御及び観測できるようにする（以下、この機能モジュールをTC：Testable Cellと呼ぶ）。他の部分は、スキャン又は部分的スキャン方式を採用した同期式回路とする。

3.3.2 テストデータ自動生成方式

テストデータの自動生成は、図6に示すように、四つの処理から成っている。

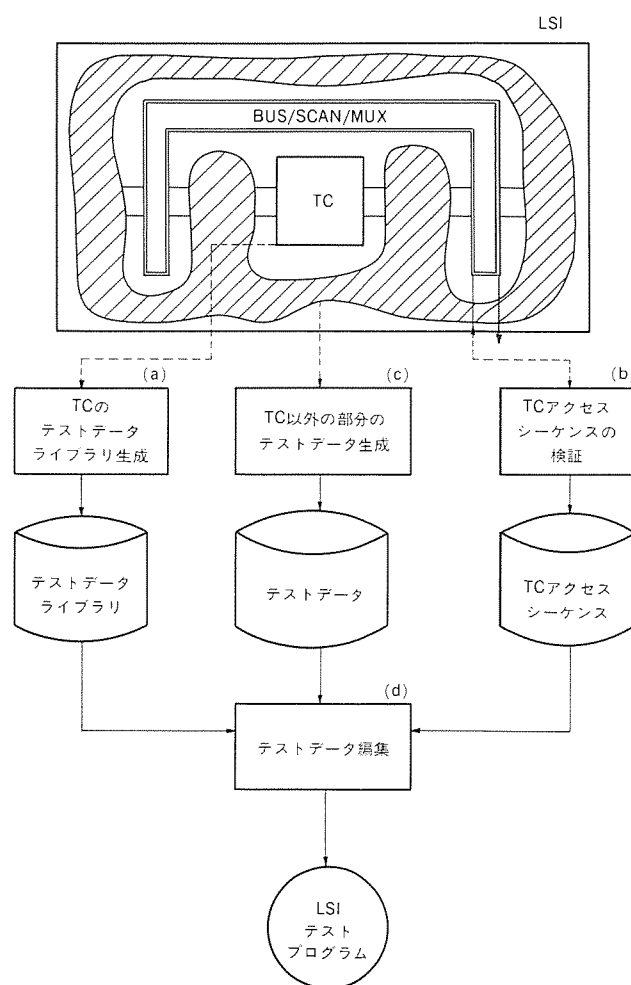


図6. テストデータ自動生成方式

(1) TCのテストデータ ライブラリ生成

機能モジュールのテストデータをライブラリとして登録しておき、テストデータの再利用を可能とする。テストデータは、機能モジュールの種類により、自動生成又は人手で作成する。

(2) TCアクセスシーケンスの検証

LSI中に存在するTCがLSIのI/O端子から、あるテストシーケンスでアクセスできるかどうか検証する。

(3) TC以外の部分のテストデータ生成

TCは単体テスト可能であるから、ここでは、TC以外の論理回路に故障を仮定し、前述のゲート及びレジスタを扱うテストデータ自動生成手法で生成する。

(4) テストデータ編集

TCのテストデータをTCアクセスシーケンスに従って展開するとともに、TC以外の論理のテストデータを結合し、一つのLSIテストデータとする。その後、LSIテスト用のテストプログラムに自動編集

する。

3.4 レイアウト設計

3.4.1 チップのレイアウト設計

このシステムが対象とするチップのレイアウトモデルを図7に示す。チップのレイアウトは、大きさ、端子位置に制約のないマクロセルと、高さ一定で端子が上下辺上にのみ許される標準セルで構成されたブロックと、これらの間に設けられた配線を行うためのスペースとなる配線チャンネル及びチップの周辺に設けられたI/O回路ブロックからなる。マクロセルは人手により配置する。一方、標準セルは、これらのセルを配置すべき形領域を指定することにより、セル列と配線チャンネルの多段構造で自動配置される。また、I/O回路も自動配置される。これらの処理は、グラフィックス上で対話的に実施できる。配線は信号線に加え、電源・グランド線も自動で行うことができる。配線は2層配線で、縦横配線のほか45°配線を自動で行う機能を持っており、高密度配線を自動で行うことができる。

3.4.2 マクロセルのレイアウト設計

チップを構成するに必要なセルがセルライブラリで充足できない場合、マクロセルを独自に開発する必要がある。このシステムでは、従来からIC設計で使用されている、マスクパターンを直接人手で記述する方法（人手設計）のほかに、シンボリック レイアウト⁽³⁾及びアレーコンパイラ⁽⁴⁾を持っている。

この設計システムにおけるシンボリック レイアウトツールの構成を図8に示す。シンボリック レイアウトは、トランジスタレベルでレイアウトを行うツールで、人手設計に比べ、①記述量が大幅に減少する、②マスクパターンの設計ルールを意識しなくてすむ、などの理由により設計期間は大幅に短縮される。また、②により、システム設計者でもマクロセルのレイアウトが可能となる。このツールは、マスクパターンのコンパクション機能を持っているので、微細化が進んでも、設計ルールを記述したファイルを更新し、シンボルで記述された粗いレイアウトからマスクパターンを再生成するだけでセルの更新ができる。トランジスタは縦横両方向に、また隣接して置くことができ、さらに、拡散、ポリシリコン、メタル配線は

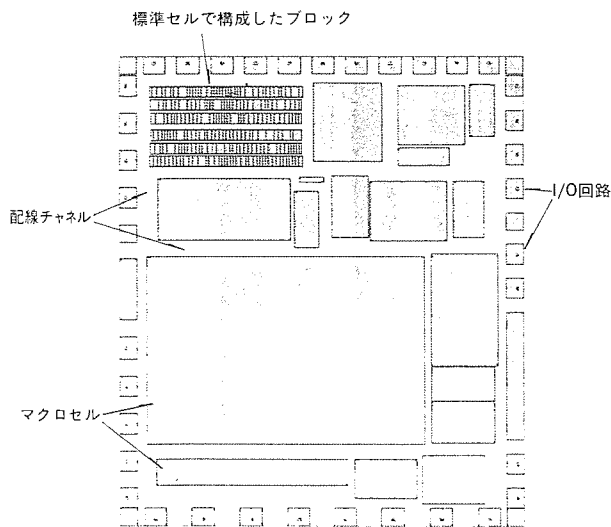


図7. チップのレイアウトモデル

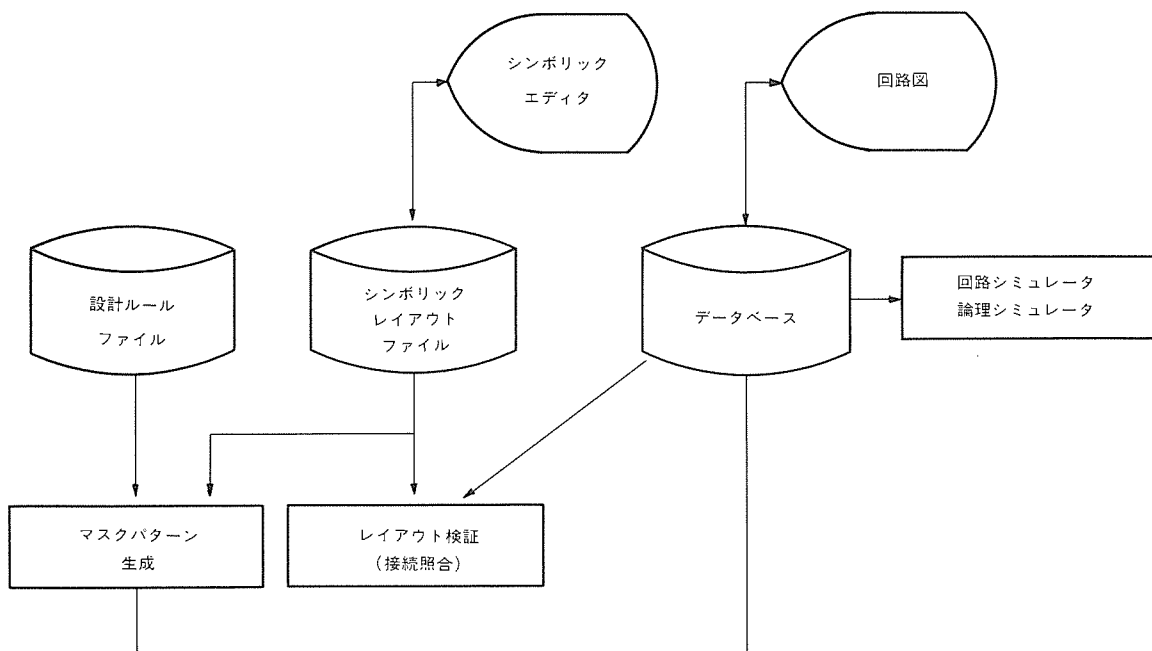


図8. シンボリック レイアウトツールの構成

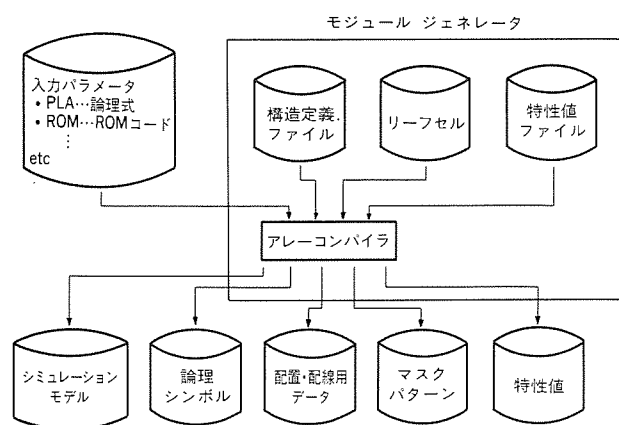


図9. アレーコンパイラの構成とモジュール ジェネレータ

いずれも折り曲がりが可能で、人手に近い集積度が得られる。レイアウトは、仮想的な格子上にシンボルを置くVirtual Gridを採用しており、これにより、コンパクション及びレイアウト検証の高速化を達成している。集積度と設計期間は、実例によるとそれぞれ人手設計の80~90%，1/3.5であった。

アレーコンパイラによる方法は、RAM、ROM、PLAなどのレイアウトに規則構造を持つセルを設計するのに利用できる。図9に示すように、これらのマクロセルを構成する見本セル（リーフセル）を用意しておき、これらのリーフセルを隣接配置する規則（構造定義）を専用の言語で記述し、これをアレーコンパイラで翻訳してマスクパターンを得ることができる。準備されたリーフセルで、実現できる範囲でシステム設計者が独自の構成のマクロセルを開発することが可能である。現在は、後述するように、IC設計者がリーフセルの隣接配置規則を記述し、簡単なパラメータ、例えばPLAの場合論理式、を入力すれば、マスクパターンを生成するモジュール ジェネレ

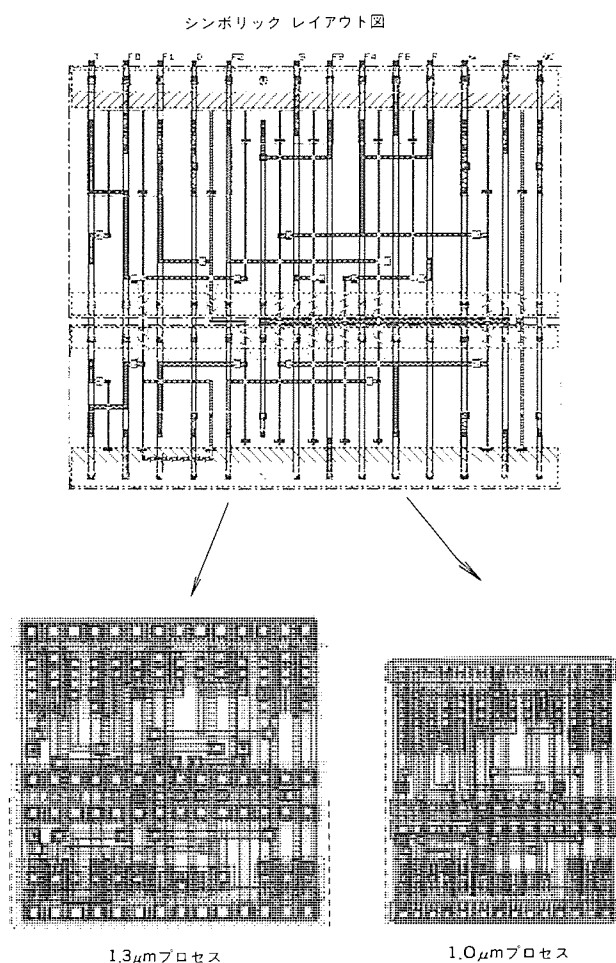
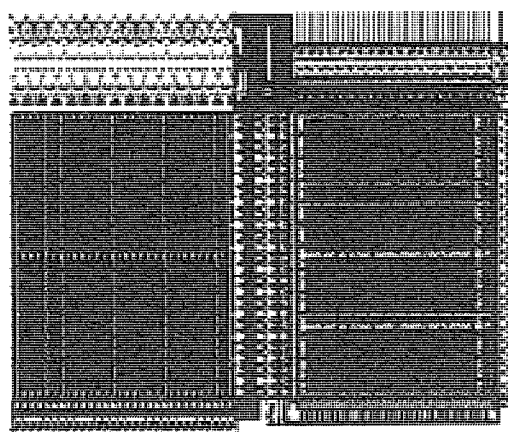
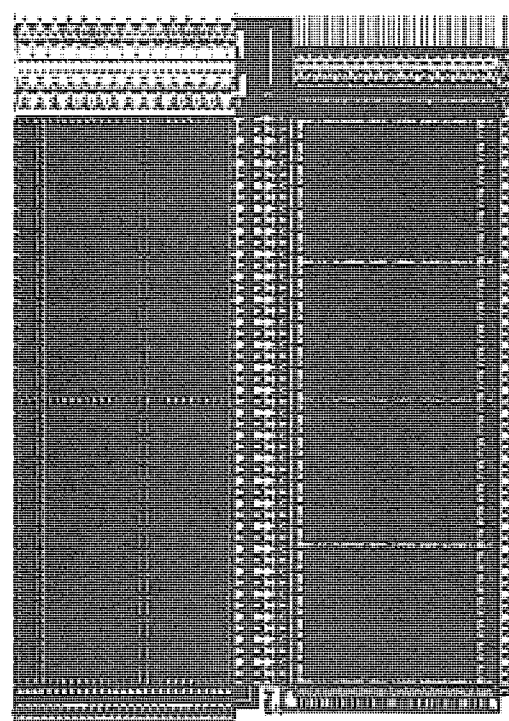


図10. シンボリックレイアウトによる1.3μm/1.0μmセルの生成



(a) 入力=39, 出力=59, 積項=101の場合



(b) 入力=38, 出力=58, 積項=200の場合

図11. PLAジェネレータの出力例

ータの開発に使用している。

3.5 セルライブラリの開発

セルベース方式LSI設計におけるセルライブラリは、基本論理ゲートなどの標準セルのみならず、メモリ、乗算器などの機能的にまとまりのある種々のマクロセルが必要不可欠となってきた。これらの設計資産は再利用可能な構成とするとともに、プロセス技術の変更に対して容易に対応し、常に最新のプロセス技術を適用してカスタムLSIの高性能化を図ることが重要である。このため、最新の $1\mu\text{m}$ CMOSプロセス用主要ライブラリの開発には、設計資産の継承を考慮した設計方式を適用している。まず、標準セルについては、従来からシンボリック レイアウト設計を用いており、この結果プロセス技術の変更に対して設計ルールのみの変更により、 $1.3\mu\text{m}$ 用ライブラリから $1\mu\text{m}$ 用ライブラリが容易に生成できた。その一例を図10に示す。RAM、ROM、PLAなどの規則性の高いマクロセルについては、コンパイラ技術を用いて任意構成のセルを自動生成するモジュール ジェネレータとして開発している。図9に示したように、論理式やビット数、ワード数などの機能仕様をパラメータとして与えることにより、マスクパターン、配置配線用データ、特性値及び論理シミュレーション用モデルが生成される。図11に一例として論理式がパラメータのPLAジェネレータにより生成されたマス

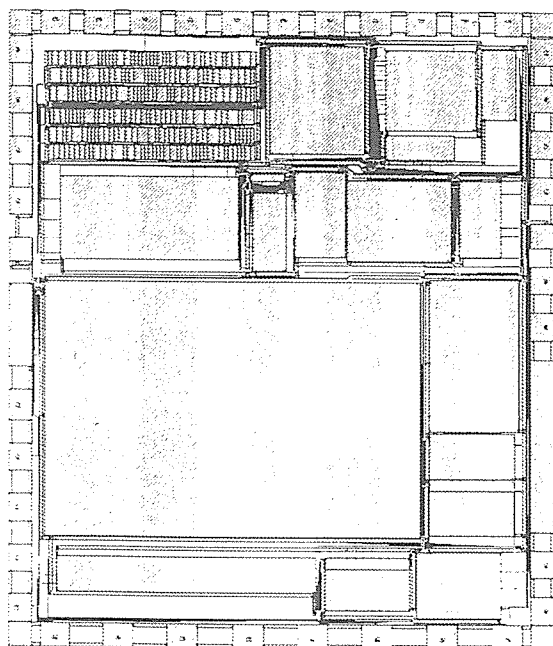


図12. 設計したLSIのプロット図

クパターンを示す。モジュール ジェネレータでは、リーフセルの隣接配置規則とリーフセルのマスクパターンを独立して記述しているので、リーフセルのマスクパターンの変更のみでプロセス技術の変更に容易に対処できる。以上のように、セルライブラリの設計に、設計資産の継承を考慮した手法を適用することにより、常に最新のプロセス技術の適用を図っている。

4. 適用事例

RAM、乗算器などの機能モジュール及びその他のランダム論理等をワンチップに集積するLSI設計にこの設計システムを試用した。対象としたLSIは、ディジタル映像信号を高速に処理するための専用プロセッサで、全素子数は90Kトランジスタである。

ランダム論理から構成される制御ブロック及び演算ブロックの設計は、それぞれ標準セル設計方式及びシンボリック レイアウト方式を用いて設計し、次にチップ全体の設計は、ライブラリ中のRAMほかの機能モジュール及び上記ブロックを対話型、自動配置・配線により設計した。また、このLSI設計では、タイミング設計にポイントをおいているため、その検証においては、各ブロック単位及びチップ全体について、レイアウト情報に基づいて詳細遅延タイミング検証を行った。図12が設計したLSIのプロット図である。チップサイズは約 $9.1\text{mm} \times 7.7\text{mm}$ であった。また、配線に要した時間は5分(4 MIPS計算機)であった。

5. むすび

多種多様なニーズを持つシステム設計者のLSI需要にこたえるために、システム設計者自身によるLSI設計の実現、LSI設計技術者の設計効率の向上を目標に、新たに“セルベース方式LSI設計システム”を開発した。このシステムは、現在LSI設計技術者を中心に社内でのLSI開発に使用されている。このシステムの利用により、ワークステーションから対話的かつ一貫した操作方法で設計を行うことができ、さらに自動化率が向上しているため、大幅な設計工数の削減が期待される。

参考文献

- (1) K.Okazaki et al.: Mitsubishi Electric Advance, 27 (1984-6)
- (2) 荻原ほか: 情報処理学会 第35回全国大会, p.2195 (昭62)
- (3) M.Terai et al.: IEEE Tran. CAD, CAD-6, No.3(1987-5)
- (4) 中尾ほか: 情報処理学会 第36回全国大会 (昭63)

VLSI先端プロセス技術

松川隆行*
長尾繁雄*

1. ま え が き

1970年に1K DRAMが発表されたとき、最小パターン寸法は10 μ mであった。そして、現在量産中の1M DRAMは、1 μ mパターンが使われている。すなわち、15年余りの間に加工寸法は1/10になり、集積度は1,000倍になった。そして、現在開発中の4M DRAMや16M DRAMでは、最小加工寸法は遂にサブミクロンに突入した。この特集号で紹介されているような、VLSIの著しい高機能化、高集積化はこのようなプロセス技術の目覚ましい進歩によって支えられている。

上記のような進歩は、本格的にサブミクロン時代に入った現在も全く衰える気配がない。本稿ではVLSIの極限に向かって進められている先端プロセス技術の概要を、個別要素技術とデバイス技術の両面から紹介する。

2. 要 素 技 術

2.1 リソグラフィ技術

リソグラフィ技術の焦点は、これまでの主役であった光転写の限界をどこまで伸ばせるかにある。光学系の解像力 R は回折理論から次のRaileighの式で表される。

$$R = k \frac{\lambda}{NA} \dots\dots\dots (1)$$

ここに、 λ は光源波長、 NA は光学系の開口数、 k はプロセスで決まる常数である。近年特に注目されているのは、常数 k をいかにして小さくするかということで、多層レジスト法やCEL (Contrast Enhanced Lithography) 法などが提案されている。しかし、これらの方法では、レジストが多重層となるため工程が複雑になるという欠点があり、より簡素なプロセスの開発が望まれてきた。

以上の観点から、当社は新しい高解像度フォトリソの開発を進めてきた⁽¹⁾。このレジストは、“内部CEL効果”と名付けた新しい考え方に基づいて開発した。すなわち、ポジ型レジストに紫外光が照射されると、露光部は感光剤の分解によって光の透過率が高くなり、入射光学像のコントラストが強調されるという現象が見られる。これは結果的に、従来のCEL法と同様の効果であるということから、“内部CEL効果”と名付けられた。

内部CEL効果を高めたレジストを作るためには、感光剤の含有量を増せばよいが、単純に感光剤量を増しただけでは、未露光部レジストの現像液への溶解性が阻害されて感度が著しく低下する。そこでバインダ樹脂の組成比、分子量及び感光剤の組成を総合的に最適化することにより、従来レジストと同等の感度を保ちながら内部CEL効果を向上させた新しいレジストが開発された。このレジストの解像力を示す一例として、図1に0.35 μ mライン/スペースの転写パターンと、最小寸法0.4 μ mのDRAMパターンの写真を示す⁽²⁾。露光には、 $NA=0.6$ のg線ステッパを使用した。

以上のようなレジストプロセスの改良により、少なくとも0.5 μ m

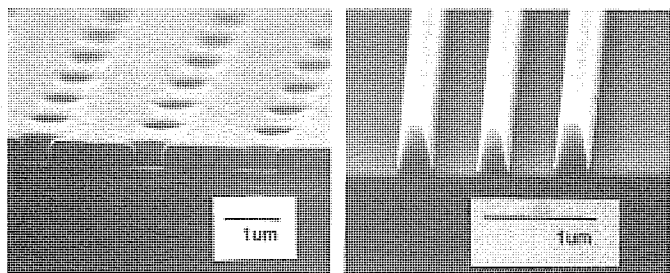
までは紫外光による露光法が実用化できる目どが立っている。しかし、それ以下の領域では、今のところ幾つかの可能性の検討段階で、決定的な本命はまだ現れていない。可能性としては、エキシマレーザを光源とした遠紫外露光と、X線露光である。X線露光実用化のための大きな課題は、マスクをどのようにして作製するかということである。X線に対しては、光の場合の石英とメタルに相当するような透過率の差の大きな材料が見当たらない上に、縮小投影が困難で1:1の大きさのマスクパターンが必要、ということからマスク作製に対して極めて大きな技術革新を必要とする。

X線レジストの高感度化の一つの解として、当社ではCPMS (Chlorinated polymethylstyrene) の開発に成功している⁽³⁾⁽⁴⁾。このレジストは、通常のX線レジストに比べて4倍以上高感度(50%残膜率に達するのに、17mJ/cm²)である。一方、X線マスクでは、W-Ti合金を吸収体とした低ひずみマスクの製法を確立している。従来、吸収体として金を使う例が多かったが、サブミクロン域で精度良くパターンを作るためには、異方性プラズマエッチングの使える材料が望ましい。その点で、タングステン(W)が有力な候補になるが、膜の応力が大きすぎるという欠点がある。これに対して、Wに1wt%のチタン(Ti)を加え、かつスパッタ時のガス(Ar+N₂)中のN₂分圧を30%以上に保つことによって、ほとんど応力のない吸収体を安定に作れることを見出した⁽⁵⁾。この膜は、CF₄+O₂プラズマで容易に異方性エッチングができ、40 $\times$ 40(mm²)で0.2 μ m以下のひずみのX線マスクが実現されている。図2に作製されたマスクの外観を示す。

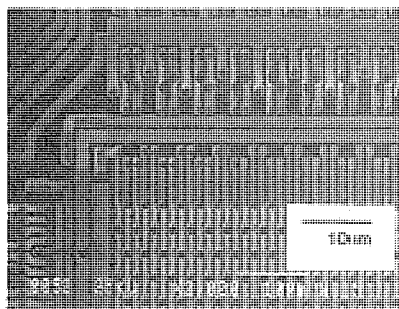
以上述べてきたリソグラフィ手段は、あらかじめ作られたマスクパターンを転写するという前提にたっている。大量生産を要するVLSIに対しては、今後ともこのような転写による大量コピー方式が不可欠であるが、少量生産で済むような特殊デバイスに対しては、パターンを直接描画することも可能である。従来から電子ビームによる直接描画は広く使われてきている。しかし、電子ビームでは、レジスト中の飛程が大きいため、0.5 μ m以下のパターンを描くことはかなり難しくなってくる。そこで当社では、電子の代わりにイオンを使ったFIB (Focused Ion Beam) 加工技術の開発に力をそいでいる。イオンビームは、固体中での飛程が小さいため、近接効果なしに0.5 μ m以下のパターンが描画できる上に、イオン種と加速エネルギーの変化によって様々な応用(露光、注入、エッチング、デポジション)が可能という利点もある⁽⁶⁾。

FIBの応用の一例として、図3にチャネル長0.25 μ mのT型ゲート電極の形成例を示す⁽⁷⁾。このユニークな断面形状は、192keVのBe⁺⁺と260keVのSi⁺⁺イオンの飛程の差を利用して作られており、イオン種が選べるというFIBの特質がうまく生かされた例といえる。このゲート構造で、18GHz動作で0.83dBという低雑音指数のFEMTが実現された。

一方、以上述べてきたような転写技術で作られたレジストパターンをマスクとして、下地をいかに精密にエッチングするかもリソグ



(a) 0.35 μmライン/スペースパターン (b) 0.4 μmコンタクトホールパターン



(c) 1 M DRAMの0.4倍試作品
(最小寸法0.4 μm, 焦点深度
±0.6 μm)

図1. NA=0.6のg線ステッパによる0.4 μmパターン形成例

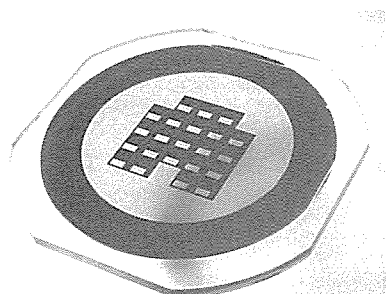


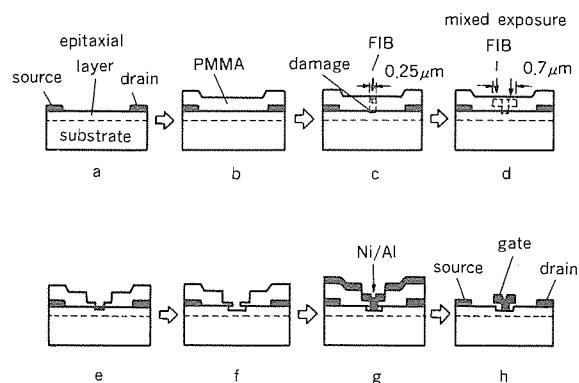
図2. W-Ti吸収体で作製したX線マスク (下地90 mm φの
BN/ポリイミドメンブレン)

ラフィとしての重要な課題である。技術の流れとしては、エッチングは今後も反応性プラズマによるRIE (Reactive Ion Etching) が主流であり、続けることは間違いなく、いかにして高精度、低放射損傷、高スループットのRIEを達成するかが技術の焦点になっている。この課題に対して、当社では電子サイクロトロン共鳴 (Electron Cyclotron Resonance: ECR) 励起型のRIE技術の確立に精力的に取り組んでいる。

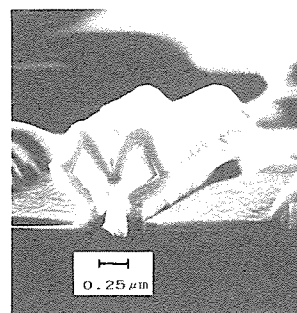
一般にECRプラズマによるRIEでは、通常のRIEに比べて低汚染・低損傷・高異方性のエッチングが期待できる。しかし、従来のECRプラズマエッチャーでは、イオン加速のために数百ボルトにバイアスしたグリッドを用いており、グリッドからの重金属汚染や照射損傷が問題となった。そこで当社では、図4に示すようなグリッドレスの装置を開発した⁽⁸⁾。この装置では、プラズマ中に発生した局所的な静電界でイオンが引き出される結果、金属汚染なしに従来のRIEよりもはるかに低損傷のエッチングが可能であることが実証されている⁽⁹⁾。

2.2 薄膜形成技術

パターン寸法がサブミクロン領域に突入した今、プロセス要素技術である薄膜形成に関しても多くの技術開発がなされている。ここでは、その中からMOSトランジスタのゲート又はキャパシタに使われている誘電体の薄膜化技術の開発状況、及び導体膜であるメタライゼーション技術、特に微細なコンタクトホールの低抵抗化、高信頼化を目的として開発されたバリアメタル技術、選択CVD-W (気



(a) プロセスフロー



(b) ゲート断面写真

図3. FIBによる0.25 μmマッシュルームゲートHEMT

相成長法を用いて形成したタングステン) 技術を紹介する。

2.2.1 誘電体薄膜形成技術

近年トレンチスタックトといった三次元型のDRAMセルが検討されるに及んで、熱酸化膜よりもむしろCVDで形成したシリコン窒化膜と熱酸化膜の方が、凹凸の激しい面に形成した場合信頼性が高いことが判明してきた。例えば、図5はSiO₂単層膜と、Si₃N₄とSiO₂の複合膜のそれぞれで形成したMOSキャパシタの加速寿命試験結果で、偶発故障域では複合膜の故障率が著しく低いことを示している⁽¹⁰⁾。今後、キャパシタ誘電体膜はCVD膜が主流になるものと予測される。

2.2.2 微細コンタクト技術

バリアメタルとは、その上下にある物質間の反応を防止する目的に形成されるものであり、一般に遷移金属の窒化物、炭化物、ホウ化物は良好なバリア特性を示すことが知られている⁽¹⁾。特にTiNはAlに対して優れたバリア性を示すとともにコンタクトホールの低抵抗化も可能と考えられる⁽¹²⁾。そこで、Ti上にスパッタリング法でたい積したTiN膜をランプアニーリングする手法を用いたTiN/TiSi₂/Si構造のバリアメタル技術を開発した⁽¹³⁾。この技術を用いることにより、結晶性に優れるばかりでなく、図6に示すようにサブミクロン領域でも抵抗の小さいコンタクト形成が可能となった。

一方、コンタクトホールが微細化されると、必然的にそのアスペクト比 (幾何学的段差) が増大し、その後スパッタリング法でたい積するAl配線膜の被覆性が悪くなる。しかし、もしコンタクトホール部だけに自己整合的に金属膜若しくはSiを形成 (埋め込む) することが可能となれば、上記問題も解決されAl配線のコンタクト段差部における断線、信頼性の劣化を防止することができる⁽¹⁴⁾。ここでは、六ふつ化タングステン (WF₆) をモノシラン (SiH₄) で還元する気相成長法を利用して、金属タングステン (W) 膜を選択的にた

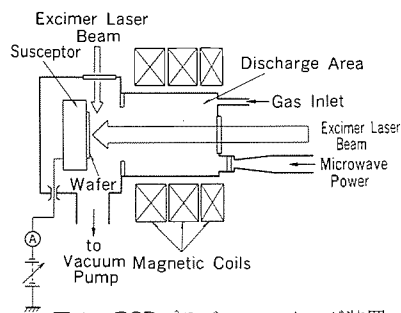


図4. ECRプラズマエッチング装置

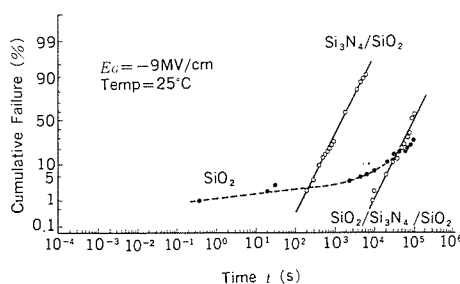


図5. SiO_2 膜と $\text{Si}_3\text{N}_4/\text{SiO}_2$ 複合膜の加速劣化試験結果
(膜厚はいずれも酸化膜換算で約16nm)

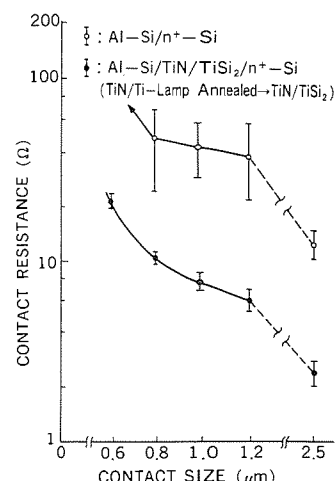


図6. コンタクト抵抗のコンタクト径依存性

い積する技術を開発した⁽¹⁵⁾。従来からも水素、又はシリコンによる還元反応も試みられてはいたが、成長速度が遅い、接合リークなど電気的特性の劣化もみられ実用化には至らなかった。一方、シラン還元法による選択CVD-W技術では、この課題を解消できるばかりでなくバリエーションとしての効果も持っており⁽¹⁶⁾、今後のサブミクロンデバイスの実現にとって極めて有効な技術といえよう。図7はこの方法によりW膜を埋め込んだコンタクトホール部のSEM写真である。絶縁膜(BPSG)上へのWの核形成は観察されていない。

3. デバイス技術

3.1 MOSデバイス技術

サブミクロンデバイスにおける課題を一言で表現すれば、LSIを機能させるに必要なパーツ(トランジスタ、分離、キャパシタ、配線)をいかにして限られた平面積内に詰め込むかということである。中でも、各種パーツの微細化が最も要求されるVLSIはDRAMである。特に現在は、16M DRAM以降のセルをどのように実現してゆくかが大きな焦点の一つになっているが、その可能性の一つとして当社ではDSP (Double Stacked Capacitor with Self-Aligned Poly Source/Drain Transistor) セルを検討中である⁽¹⁷⁾。その構造は図8に示すとおりで、次のような特長がある。

(1) 二重スタックキャパシタ

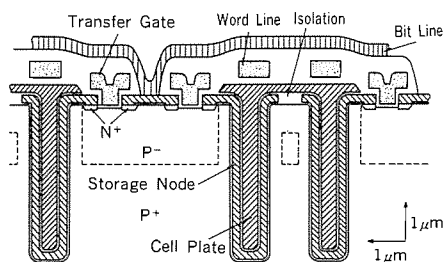
基板-蓄積ノード間と、蓄積ノード-セルプレート間の両方の容量を並列に使用する。両者はトレンチ内に積み込まれて、占有面積の縮小を図っている。

(2) 酸化膜埋め込み分離

ポリシリコンの間げきを SiO_2 で埋めることにより、パーズビークのない分離を実現している。

(3) ポリソースドレインMOSトランジスタ

ポリシリコンからの拡散で作った浅い n^+ 層に、ゲート電極を自己整合で形成する。この構造では、深さ $0.1\mu\text{m}$ 以下の二重拡散(AsとP)接合が作れるため、チャンネル長 $0.5\mu\text{m}$ でもパンチスルーのない高性能トランジスタが実現される。



Cell Size: $1.7 \times 3.5 = 5.95\mu\text{m}^2$

図8. DSPセル構造

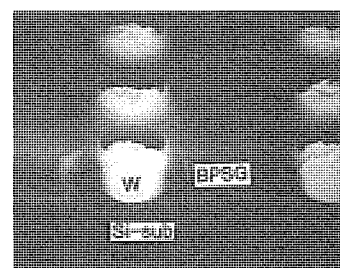


図7. 選択CVDによるWの埋め込み

以上の技術を用いて、 $5.95\mu\text{m}^2$ の領域内に50fF以上のキャパシタ容量を持ったDRAMセルが実現された。

MOSトランジスタのサイズを微細化する場合の最大の問題点は、ホットキャリアによる特性の劣化である。また、ゲートの短チャネル化によって、ソース・ドレイン不純物のイオン注入時に、ゲート電極自身が作る“影”による特性のアンバランスも実用上無視できない問題になってきた。近年、傾斜回転イオン注入法の採用で、この二つの問題を同時に解消する方法が提案され注目を集めている⁽¹⁸⁾⁽¹⁹⁾。

ホットキャリアによるトランジスタ特性の劣化現象に対して、誘電体膜に加わる機械的な応力が大きな役割を果たしていることも近年明らかにされた⁽²⁰⁾。図9は外部から $2 \times 10^9 \text{ dyne/cm}^2$ の圧縮応力を加えた場合と加えなかった場合のしきい値電圧シフト量を比較したもので、上記応力の印加で劣化時間は3~5分の1に短くなってしまうことが分かる。このことから、信頼性の高いMOSトランジスタを作るためには、トランジスタに加わる応力も小さくなるような構造をとることも重要であることが初めて明らかになった。

3.2 バイポーラデバイス技術

コンピュータや通信システムの高速化のためには、バイポーラデ

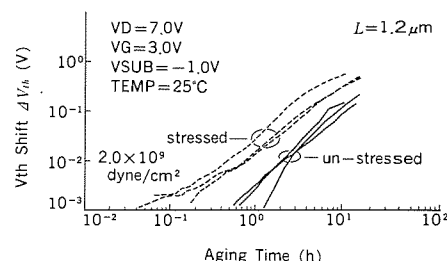


図9. MOSトランジスタのホットキャリア効果における外部応力の影響

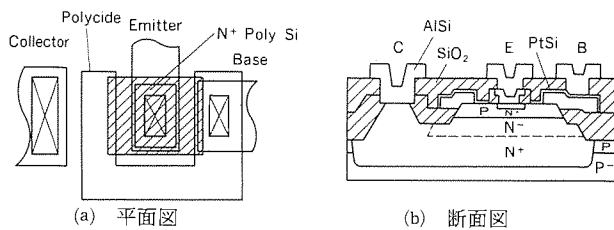


図10. SCOTトランジスタ

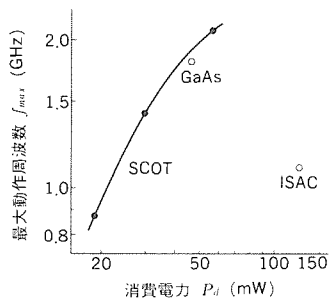


図11. 2 モジュール プリスケラICの最大動作周波数特性

バイスの高性能化がキーになる。バイポーラデバイス的高速化のためには、トランジスタ寸法の微細化による寄生容量の低減のほかに、ベース抵抗の低減が大きな課題となっている。このため当社では、SCOT (Salicide Base Contact Technology) と呼ぶ新しいバイポーラプロセスを開発した⁽²¹⁾。

図10はSCOTプロセスによるトランジスタの構造で、ポリシリコンベースを自己整合的にPtSiでサリサイド (Self Aligned Silicide: Salicide) 化して低抵抗化している。その結果、ECLゲートの速度は、従来プロセスに比べて2倍以上高速化された。このプロセスを用いて、2モジュールプリスケラを試作した結果得られた最大周波数 f_{max} での消費電力 P_d 特性を図11に示す。従来のISAC (Implanted Self-Aligned Contact) プロセスを用いたものに比べて、4倍以上の高周波動作が達成されていることが分かる。この性能は、図12に示すようにGaAsデバイスによるプリスケラに優るとも劣らないものである⁽²²⁾。

SCOTプロセスのシリサイドは、ゲートアレーの高集積化にも有効で、例えば同プロセスで作製した18KゲートECLゲートアレーは93K素子を集積化してインパタ速度150ps、消費電力2.4mWという性能を達成している⁽²³⁾。

3.3 Bi-CMOSデバイス技術

バイポーラの持つ高負荷駆動能力と、CMOSの持つ高集積低消費電力性能を組み合わせたBi-CMOSデバイスが、VLSIの可能性を更に大きくしつつある。Bi-CMOS技術の目下の焦点は、既存のCMOSプロセスとの互換性を保ちつつ高性能バイポーラを付加していくにある。例えば、図12はSRAM用に開発された1.0 μ mルールBi-CMOSの断面構造である。P型基板内に、P、N両埋め込み領域を形成後、N型のエピタキシャル層をたい積し、さらにCMOSのためのP、N両ウェルを形成する。この結果、以下は基本的には既存のCMOSプロセスフローに従いながら、バイポーラの素子特性もできるだけ損なわないようなプロセス設計になっている。

4. む す び

以上、最近の当社における成果を軸として先端プロセス技術の動向を展望した。紙面の都合で個々の内容を詳細に説明できなかったが、必要に応じて参考文献を参照していただきたい。

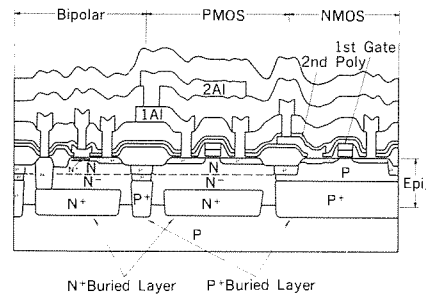


図12. 1.0 μ mルールBi-CMOSの構造

プロセス技術は、本格的なサブミクロンの時代に突入して、いよいよ正念場を迎えようとしている。克服すべき技術の壁が急速に高くなってきているのは事実であるが、一方でその壁をブレイクスルーするための新しい技術の芽も沢山生まれている。その意味で半導体はまだまだ若い産業であり、大きく成長していける余地を十分に残しているといえる。

参 考 文 献

- (1) 三浦ほか：第32回半導体・集積回路シンポジウム予稿集，p.13 (1987)
- (2) 魚谷：日経マイクロデバイス，No.34，'88年4月号，p.78 (1988)
- (3) Y.Suzuki et al. : Japan. J. Appl. Phys., 26, p.130 (1987)
- (4) N.Yoshioka et al. : J. Vac. Sci. Tech.B, 5, p.546 (1987)
- (5) N.Yoshioka et al. : Proc. SPIE, Santa Clara March'88, to be published.
- (6) T.Kato et al. : J. Vac. Sci. Tech. B, 3, p.50 (1985)
- (7) K.Nagahama et al. : Electronics Letters, 24, p.242 (1988)
- (8) K.Nishioka et al. : Proc. Int. Electron Device Mfg., p.308 (1986)
- (9) 西岡ほか：第33回半導体，集積回路シンポジウム予稿集，p.127 (1987)
- (10) J.Mitsuhashi et al. : Extended Abstracts of 17th Conf.on Solid State Devices and Materials, p.267 (1985)
- (11) M.F.Zhu et al. : Thin Solid Films, 119, p.5 (1984)
- (12) T.Okamoto et al. : Proc.of VLSI Symp., p.55 (1986)
- (13) T.Okamoto et al. : J.Appl.phys., 61, p.4530 (1987)
- (14) E.K.Broadbent et al. : J. Electrochem. Soc., 131, p.1427 (1984)
- (15) H.Kotani et al. : Proc. Int. Electron Device Mfg., p.217 (1987)
- (16) Y.Shioya et al. : J. Vac. Sci. Technol., B4, p.1175 (1986)
- (17) K.Tsukamoto et al. : Proc. Int. Electron Device Mfg., p.328 (1987)
- (18) T.Eimori et al. : Extended Abstracts of 19th Conf. on Solid State Devices and Materials, p.27 (1987)
- (19) 大崎ほか：第32回半導体，集積回路シンポジウム予稿集，p.97 (1987)
- (20) J.Mitsuhashi et al. : Proc. Int. Electron Device Mfg., p.386 (1986)
- (21) T.Hirao et al. : Extended Abstracts of 17th Conf.on Solid State Devices and Materials, p.381 (1985)
- (22) T.Hirao et al. : Proc. 17th ESSDERC, p.373 (1987)
- (23) T.Nishimura et al. : IEEE J. Solid-State Circuits, Vol.SC-21, p.727 (1986)

VLSIパッケージ技術

立川 透* 小原雅信**
島本晴夫*
中川 治*

1. ま え が き

近年の電子機器の高性能化・小型多機能化のニーズの高まりに伴い、LSI実装分野においてもパッケージの小型化・多ピン化・表面実装化の傾向が加速されてきている。例えば、スタンダードセルゲートアレーを代表とするASIC (Application Specific IC) では多ピン化へ、メモリICでは表面実装化へ、その他の分野では小型化へと、パッケージへの要求が多様化している。

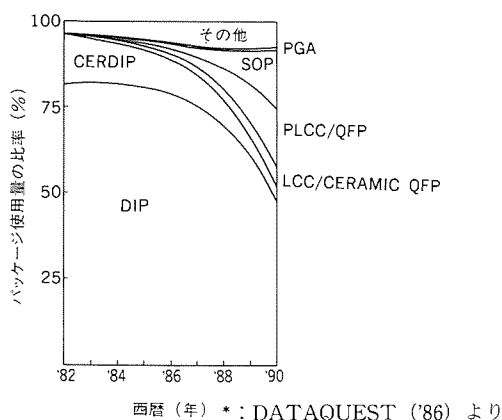
ここでは、最近のパッケージの動向について述べ、それに対応すべく開発した当社のパッケージ技術と最新のパッケージについて紹介する。

2. パッケージの動向

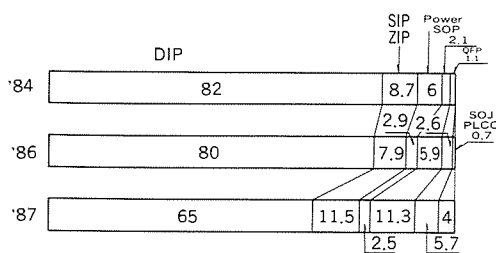
LSIの高集積化・高速化に対応した高密度実装を実現するためパッケージに対して、

- (1) 外形サイズの小型化・表面実装化
- (2) 入出力の多ピン化
- (3) 高出力化・放熱性の向上
- (4) 高速化・高速応答性の確保

などの要求が高まっている。ここでは、現在特に要求の大きい、①小型化・表面実装化、②多ピン化、についてとりあげる。



(a) パッケージ使用比率の推移*



(b) 当社の外形別生産比率の推移 (%)

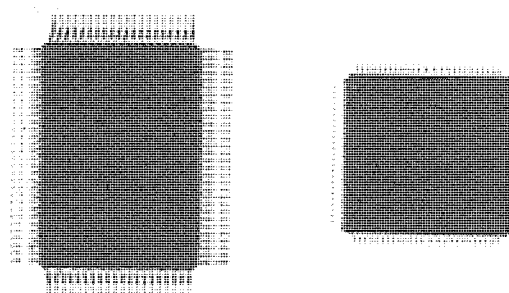
図1. パッケージ外形別使用比率の推移

2.1 パッケージの小型化・表面実装化

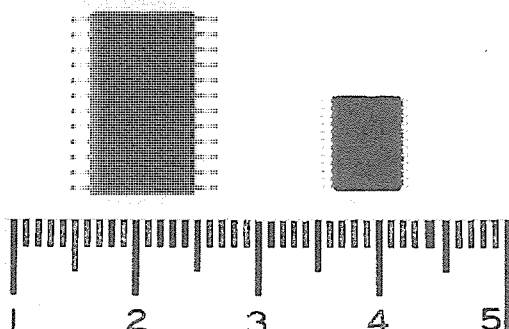
図1に各種LSIパッケージ使用比率の動向を示す。これによると、1990年にはDIP (Dual Inline Package) と表面実装用パッケージの比率がほぼ等しくなると見込まれ、当社においても表面実装用パッケージは、1987年度はDIPの30%を占めるようになって、3年前の約10倍の伸びを示している。この傾向は、メモリICのように1ボードに多数のLSIを高密度実装する分野や他の表面実装部品とICを同時に搭載する可能性の高い民生用の分野で顕著である。

この要求を満足するために開発された代表的なパッケージが、VQFP (Very small Quad Flat Package), VSOP (Very Small Outline Package) である。図2に外観を示す。リードピッチをVQFPは0.5mm, VSOPは0.65mmと従来の70~80%に減少されている。

図3にパッケージの占有面積とピン数の関係を示す。図から明らかなように、従来、高密度実装の手段として裸チップを用いるCOB (Chip On Board) 法の利点が強調されてきたが、VQFP・VSOPの出現により、COBと同等以上の密度で実装可能となったことが分かる。信頼性レベルの良いこと、不良の取替えの容易なこと、テストバリエーションの良いことを考えると、今後COBの多くの分野が、これらの小型モールドパッケージによって置き換わっていくことが予想される。



(a) QFPとVQFP (100pin)



(b) SOPとTSOP (24pin)

図2. 小型パッケージ

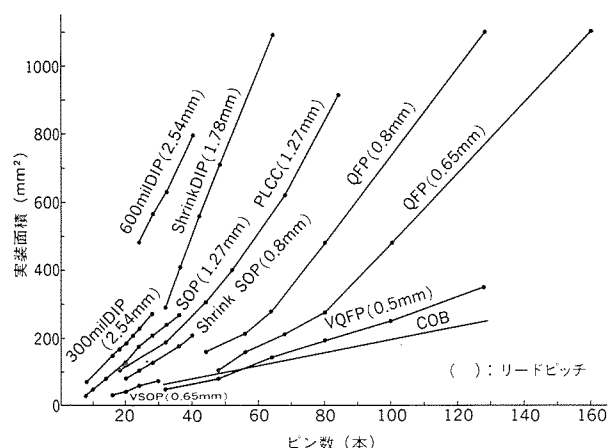


図 3. パッケージ実装面積対ピン数

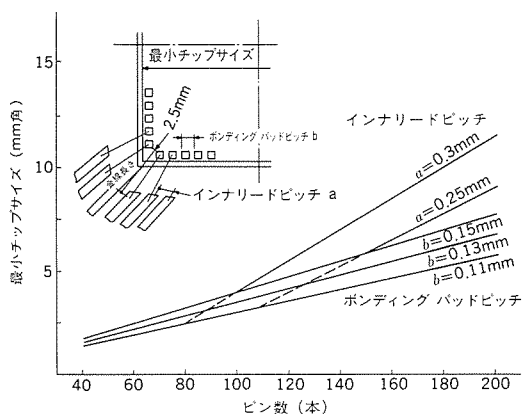


図 4. パッケージのピン数と最小チップサイズ

また、メモリカード用のICパッケージとして、厚さ1.0mmのTSOP (Thin & Small Outline Package リードピッチ0.55mm) も合わせて開発した。これらのパッケージの小型化を実現するため、パッケージ技術としては、①パッケージ構造の低応力化、②微細リードピッチのはんだ付け技術、を開発した。

2.2. パッケージの多ピン化

パッケージの多ピン化の傾向は顕著で、ASICはもとより、1チップマイコン及び液晶表示用ドライバICなどにおいても、100ピンを超えるものが増加しつつある。QFPにおいては、現在160ピンまでが実用化され、200ピンが開発中である。しかし、これ以上のピン数は困難であり、二つの理由があげられる。一つは、金線ワイヤボンディングの限界である。現在、安定したボンディングの可能な最小パッドピッチは、130 μ m程度であるが、これがICチップのデザインルールの微細化によるチップ寸法の縮小化を妨げる要因となる。すなわち、機能上必要なチップ寸法よりも、パッドレイアウト上必要なチップ寸法の方が大となることである。ほかには、リードフレーム(板厚0.15mm)のインナリードの、ピッチによる制約である。実現可能な最小ピッチは0.25mmであり、かつ安定したループ形状を保つために金線長さを2.5mm以下に設定すると、全入出力パッドをボンディング可能なようにインナリードをレイアウトすることができなくなる。その様子を図4に示す。高機能化のために、チップサイズの縮小化の必要な多入出力のICほど、そのチップサイズを縮小できないか、又は何本かの入出力を無効にしなければならないという矛盾が発生している。この解決策として、ワイヤボンディング方式のPGA (Pin Grid Array) パッケージが考えられるが、200ピンを超える多ピンに

対処するには2段のワイヤが必要となつて、作業性・生産性を損ねたり、また多層のセラミック又はガラスエポキシ基板を使用するため高価格となつたりする。以上の問題を解決するため、TAB (Tape Automated Bonding) の検討が必ず(須)となつてきている。

3. パッケージ技術

前述のパッケージ動向に従つて、要求される主要なパッケージ技術は、①パッケージ構造の低応力化、②のはんだ付け技術、③TAB技術、である。

3.1. パッケージ構造の低応力化

メモリIC、ゲートアレイICなどのLSIでは、デザインルールが縮小(0.9~1.3 μ m)、微細化されており、かつチップが大型化しているので、パッケージのデバイスに与える影響については、一層細心の注意が払われねばならない。実使用環境下での長期安定性は、パッケージの持つ耐湿性、耐熱ストレス性、高・低温安定性に大きく依存しており、特に耐熱ストレス性が悪い場合は、

- (1) 封止樹脂のクラックによるワイヤ断・パッケージ割れなどの機能故障
- (2) アルミニウムスライドによる機能故障
- (3) 電気特性の劣化による機能故障
- (4) ICチップ表面パッシベーション膜のクラック、接着界面破壊による耐湿性の劣化

などの素子の本質にかかわる不良を引き起こす。さらに、表面実装化が進むにつれて、VSP (Vapor Phase Soldering 215°C)、赤外線リフロー (240°C) などパッケージ実装時の熱ストレスに対する配慮が必要で、今回当社で新開発のTSOPにおいても、実装熱ストレスの耐湿性への影響を十分考慮している。パッケージクラックを避け、耐熱ストレス性を向上するためには、パッケージの低応力化が必須で、封止技術の面からは、①パッケージ構造の最適化、②樹脂材料の選択、がその要因となる。

3.1.1 パッケージ構造設計の最適化

実装時の熱ストレスによるパッケージクラック発生メカニズムについて説明する(図5)。パッケージ材料である樹脂中には、-OH基等の親水基が存在し、これらの親水基は室内放置により吸湿しH₂Oをトラップする。この状態のパッケージが、はんだ付け時の熱ストレスを受けると、樹脂内部に吸着していた水が急激に気化・体積膨脹を起こす。この蒸気圧($P=nRT/V$)が、パッケージ内部に引張り応力や曲げ応力($\sigma=LP/WH^2$)を発生し、応力が集中しやすいダイパッド周辺からクラックを発生する。したがって、これを防止するためには、

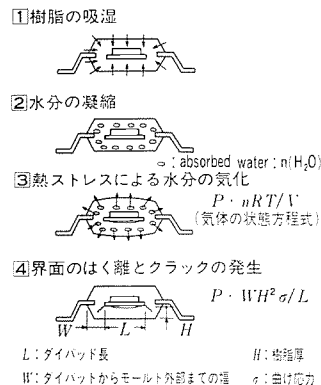


図 5. パッケージクラックの発生するメカニズム

表 1. TSOPの信頼性試験結果

評価項目	条 件	サンプル数	不良数	前処理
高温高湿バイアス	85°C/85% 5.5V 1,000時間	15	0	A
高温高湿バイアス	85°C/85% 5.5V 1,000時間	15	0	B
高温高湿バイアス	85°C/85% 5.5V 1,000時間	22	0	C
P.C.T.	121°C/100% 240時間	15	0	B
温度サイクル評価	-65~+150°C 100回	15	0	A
高温保存試験	150°C 1,000時間	15	0	A
動作寿命	125°C V _{cc} =6V 500時間	22	0	C

前処理条件: A:乾燥 (125°C 24時間) → V.P.S. (1回)

: B:乾燥 (125°C 24時間) → 吸湿 (85°C/85% 72時間) → V.P.S. (1回)

: C:乾燥 (125°C 24時間) → 吸湿 (85°C/85% 72時間) → V.P.S. (2回)

$$nRT/V \ll WH^2\sigma/L \dots\dots\dots(1)$$

(各記号の意味は図 5 中に示す)

を満たす構造としなければならない。そのために、TSOPなどの新パッケージでは、

(1) ダイパッドサイズとモールド外形サイズの比の最適化

(2) 封止樹脂厚の最適設計

によって、樹脂の曲げ耐力を十分向上させて、パッケージクラックの発生を防止している。

3.1.2 樹脂材料の選定

封止樹脂の選定上では、低応力樹脂を採用したパッケージで行った耐ヒートショックテストにおいて、パッケージクラックを発生し難いという実験結果を基に、次のような工夫を行った。

(1) エポキシ分子内にシリコン部を導入し、分子内可とう化による低応力化・高T_g化

(2) シリカフィラーを高濃度に充てんし、低膨張率の実現

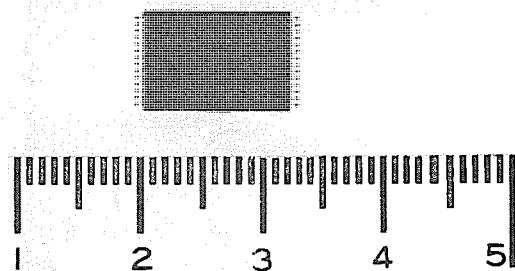
(3) カップリング材の検討による、チップやフレーム材との接着力の強化

以上の検討結果に基づき、開発したTSOPの信頼性試験結果を表 1 に示す。両面実装を考慮して、VPSによるヒートショックを 2 回与えているが、通常のICに比べてそんな色のない信頼性が得られていることが分かる。

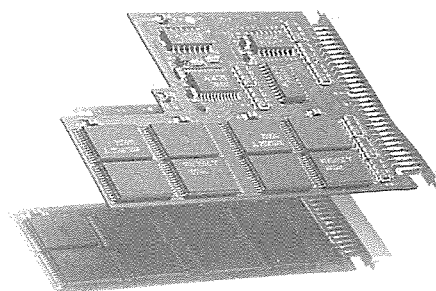
今回、256K SRAM ICにこのTSOPを採用し、当社のメモ리카ード“HRシリーズ”に搭載した(図 6)。このメモ리카ードは、プリント基板上に両面合わせて最大16個のSRAMと周辺ICなどを搭載し、世界で初めて512Kバイトの記憶容量を達成するとともに、従来のCOB方式のカードに比べてはるかに高い信頼性を備えている。

3.2 はんだ付け技術

パッケージのリードピッチが縮小化されるに従い、より高度なはんだ付け技術が要求される。表面実装型パッケージの実装方法は、①はんだペーストを印刷しリフロー、②ヒートツールによる熱圧着、に大別されるが、他の表面実装部品と同時に搭載溶着処理することを考えると、リフロー法が適している。当社では、はんだペーストの印刷安定性などを考慮すると、リフロー法の適用可能なリードピッチの限界は、0.4~0.45mmにあると考えている。既に、0.5mm



(a) 薄型SOP256K SRAM (13.4×8.0×1.0mm)



(b) メモ리카ード“HRシリーズ”(記憶容量512Kバイト)

図 6. TSOPとそれを用いたメモ리카ード

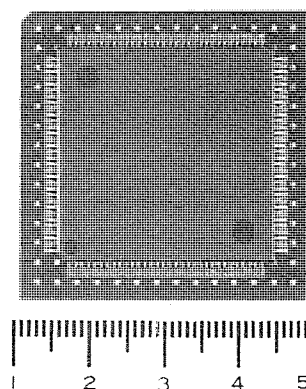


図 7. 124ピンM-PGA

ピッチのVQFPに関しては、

(1) ペースト印刷用メタルマスク厚の最適化 (0.1~0.15mm)

(2) はんだペーストの選定 (だれのないペースト)

(3) 印刷条件の最適化 (印圧・スキージ硬度及び形状)

などの検討により、128ピンのVQFPにおいて実装可能なことを確認している。また、このはんだ付けの煩わしさを避けたいユーザーには、多ピンのQFP・VQFPをプラスチックのPGA基板上に搭載したM-PGA (Mounted-PGA) パッケージで供給することも可能である。図 7 に外観を示す。M-PGA化された製品は、パッケージのハンドリングが容易となる上に、従来のワイヤボンド方式のプラスチックPGAに比較して高品質で低価格であるという利点を持つ。現在80~144ピンでのラインアップを検討中である。

3.3 TAB技術

TAB技術は、従来から電卓、サーマルヘッド、LCDパネルなどで使用されてきたが、いずれもCOBの一手段の域を出なかったといえ

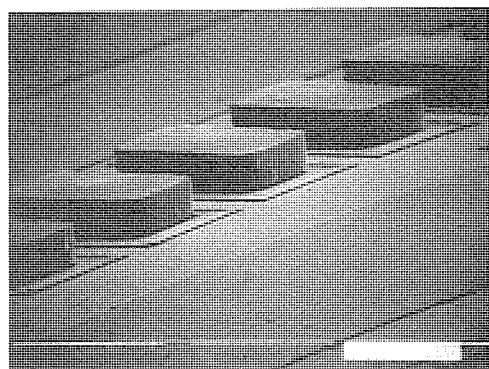


図8. Auバンプ形状

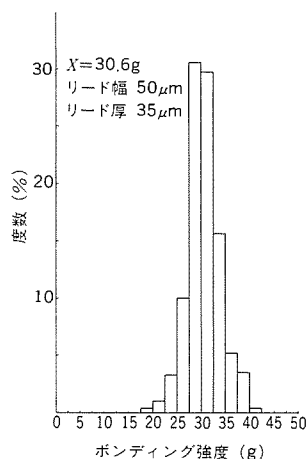


図9. TABボンディング強度分布の例

る。しかし、最近LSIチップ内へのシステムの組み込みや多入出力化が、モノリシックIC用の新パッケージとしてのTAB技術の展開を急激に促進するようになってきた。

TABプロセスは、①バンプをウェーハ又はテープ上に形成する工程、②チップとテープとのボンディング(インナリード ボンディング)工程、③チップを封止後、基板などへボンディング(アウトリード ボンディング)する工程から成る。以下順を追って説明する。

(1) バンプ形成

バンプ形成プロセスは、TAB技術を達成する上で重要な技術である。当社は、ウェーハ上にバンプを形成する方式を採用しており、形状は図8に示すとおり、バンプ周辺にひさしのないストレートサイドウォール状である。これは、厚膜ネガレジストを用いることにより実現し、現在ピッチ110μm以下のバンプ形成が可能となっている。バンプ高さは25μm、バンプサイズは110μmピッチの場合で80μmである。

(2) インナリード ボンディング

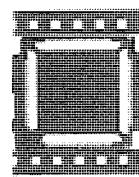
ウェーハ上のバンプとポリイミド上に形成された配線導体とのインナリード ボンディングの強度分布を図9に示す。30μmφ金線のワイヤボンディングに比べて約3倍の強度を持つ。チップサイズ10mm□、バンプピッチ100μmのテストチップでボンディング可能なことを確認した。今後は、10mm□以上の大型チップ、100μm以下の微小ピッチのバンプに適用して、十分なボンディング強度、接合面の安定性を確保すべく、現在詳細検討を重ねている。

(3) パッケージ及びアウトリード ボンディング

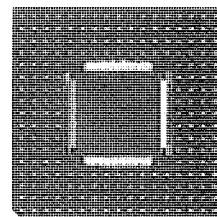
—208pin M—PGA TAB version



Inner Lead Bonding



Encapsulation



Outer Lead Bonding

図10. 開発中のTABパッケージ

表2. TABとワイヤボンドでの特性比較

項 目	T A B	ワイヤボンド
隣接するピン間の容量	2.54pF	2.27pF
IC～リード間の導通抵抗	0.36Ω	0.48Ω
熱 抵 抗	58.3°C/W	62.1°C/W

インナリード ボンディングを終えた製品は、トランスファー モールド技術を用いて封止する。裏面電位をとる必要のあるLSIの場合は、封止前に裏面コンタクトをとることも可能である。封止後は、テープから単体として切り離し、リード成形の後基板上にアウトリード ボンディングする。アウトリードピッチは0.25mmであるが、この値はユーザーにとって汎用的とはいえない。そこで、前述のM—PGAと同様、テープ状態のみでなく、PGAなどに搭載したパッケージ状態での供給も考えている。図10はその例である。1.3μmルール11KゲートCMOSゲートアレイを208ピンのプラスチックPGAに搭載している。リードフレームにアウトリード ボンディングしてQFPにすることも可能であるが、TABが有効である超200ピンのパッケージとしては、実装時に要求される厳しい外部リードの平坦度を考慮するとPGAの方が優れていると思われる。

最後に、TABの特性について述べる。インナリード ボンディングしたICを160ピンのQFPに封止して測定した。その結果を表2に示す。ピン間容量(測定周波数1MHz)がワイヤボンディング品に比べて0.2pFほど大きくなった。これは、インナリード間距離が短くなったためで、ICの特性上大きな障害とはならない。逆にICパッドから外部出力ピンまでの導体抵抗が30%ほど減少しており、TABの方が高速応答性が良いと考えられる。また、同一パッケージでの熱抵抗値も若干ではあるが、TABの方がワイヤボンドよりも低いという結果が得られた。他の諸特性についても目下測定を進めている。

4. む す び

小型化・多ピン化を中心とするVLSIパッケージの多様な要求にこたえて開発した新パッケージのうち、TSOP, VQFP, VSOPは、既に量産体制を確立し、市場に供給している。また、M—PGA, TAB技術応用パッケージは現在開発段階にあるが、量産体制の準備を進めて、超200ピン用パッケージとして供給したいと考えている。

今後とも、VLSIパッケージへの要求はますます厳しくなるであろうが、各種小型パッケージの充実化と、TAB技術応用パッケージの開発・量産化促進により、一層使いやすいLSIパッケージシリーズを構成していく所存である。

プロセス／デバイス シミュレーション

藤永正人* 赤坂洋一**
尾田秀一*
小谷教彦**

1. ま え が き

最近、半導体のプロセス／デバイス シミュレーションが話題になってきている。素子構造が微細化されるにつれ、素子構造及びそれを製造するプロセスのパラメータ（酸化膜厚、ソース／ドレイン形状、イオン注入量／エネルギー、拡散時間／温度など）を精密に制御する必要が高まってきた。

試作実験とエンジニアの経験則により、手探りでこれらのパラメータの最適化をするのに比較して、シミュレーションでは計算機上で理論モデルに従って最適値を見付けることが可能である。その結果、製造プロセスのばらつきを排除し、パラメータと素子特性との因果関係をより明確に把握することができる。さらに、実際に製造する必要がないため、製造に要する時間とコストが不要になるという効果も大きい。

現在、VLSI用デバイスの開発・製造に、一般的に使用される半導体シミュレーションには、①半導体基板内での不純物原子の分布と熱酸化膜の生成を、プロセスごとに計算する不純物シミュレーション、②エッチング、転写、たい積などを計算する形状シミュレーション、③単体素子レベルの電気的動作を計算するデバイス シミュレーション④回路の動作をシミュレーションする回路シミュレーションなどがある。前述の①、②を合わせてプロセス シミュレーションと呼んでおり、最近では統合化されて、一つのシミュレータになりつつある。

本稿では、これらのシミュレーションのうちで、プロセス／デバイス シミュレーションについて、その概略を紹介する。なお、シミュレーション プログラムのことを、一般にシミュレータと呼んでいる。

2. プロセス シミュレーション

プロセスシミュレータには、既に述べたように、素子の断面形状を計算する形状シミュレータと、不純物分布や酸化プロセスを計算する不純物シミュレータがある。これらのシミュレータの原点となるものは、それぞれSAMPLE⁽¹⁾及び、SUPREM⁽²⁾であろう。しかし、これらのシミュレータは現在のプロセスに十分適応できるとは言い難い面もあり、我々は独自にシミュレータを開発し、使用している。形状シミュレータとしては、MULSS (MULTI Layer Shape Simulator)、不純物シミュレータとしては、MIPS (Mitsubishi Impurity Profile Simulator) がある。

2.1 形状シミュレーション

形状シミュレータの基本モデルは、ストリングモデル⁽³⁾であり、プロセスとしては、光リソグラフィ、電子ビームリソグラフィ、エッチング、蒸着、デポジションが取り扱える。

ストリングモデルは、図1に示すように、二次元断面形状を直線の線素が連なったもので近似的に表現し、個々の線素を各々のプロセスモデルに従って移動させ、形状の時間的変化を計算するもので

ある。

光リソグラフィは、レジストを塗布したウェーハ上に、マスクパターンを転写するプロセスである。レジスト中には、光エネルギーを吸収すると分子が分解する物質（感光剤）が含まれており、分解の割合を感光剤濃度として、0から1の間の値で表す。シミュレーション方法は、まずOTF (Optical Transfer Function) によりレジスト表面での光強度分布を求める。次に、この分布とレジストや基板の屈折率により、レジスト内の感光剤濃度分布を計算し、Dillの式⁽⁴⁾を用いて、現像後のレジスト形状を求める。シミュレーション例として、図2に現像過程のレジスト形状を示す。

電子ビームリソグラフィは、電子ビームによりレジストに直接描画するものである。まず、レジストに吸収される電子線ビームエネルギー分布を、モンテカルロ法により求める。モンテカルロ法では、原子内電子による遮へい効果を含む核電荷のラザフォード散乱による電子の軌跡を計算し、Betheの式を用いてエネルギー損失量を求めている。次に、この電子線ビームエネルギー分布に電子ビームの分布関数をかけて積分することで、二次元的に分布した電子ビーム

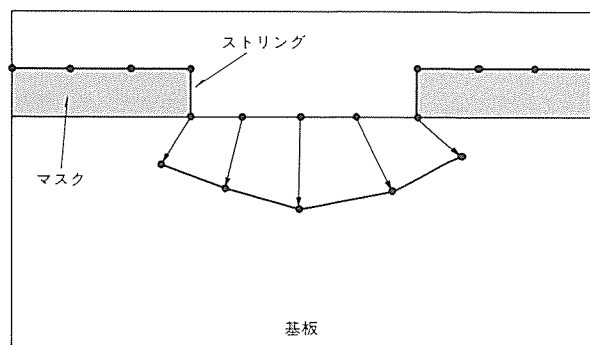


図1. スtringモデル（モデルに基づいて、ストリングの動きを計算する）

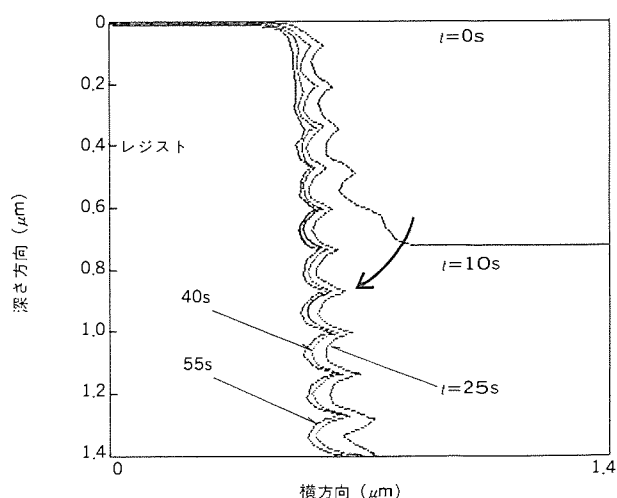


図2. 光リソグラフィ（現像過程のレジスト形状）

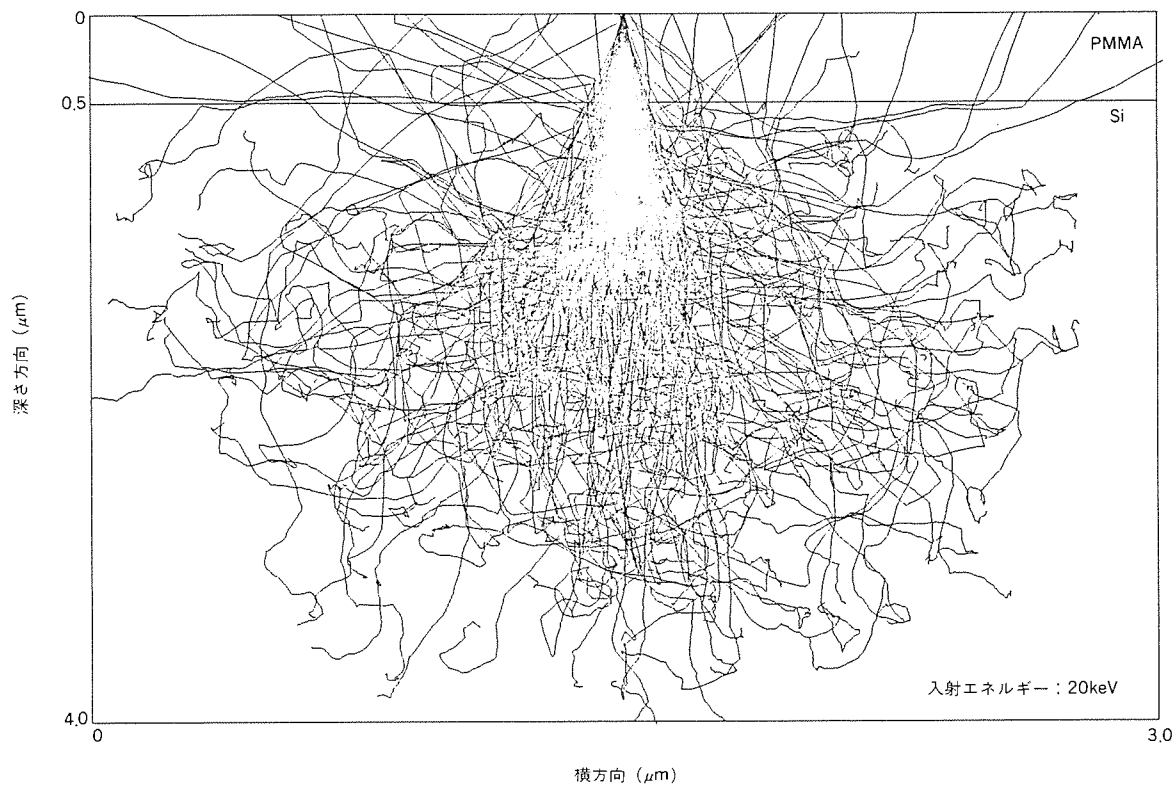


図3. 電子ビームリソグラフィ (モンテカルロ計算による電子の軌跡)

形状に対するレジスト内蓄積エネルギー分布が計算でき、それをもとにストリングモデルでレジスト形状を計算する。図3に、電子線のモンテカルロシミュレーションの例を示す。

エッチングには、等方性エッチング、異方性エッチング、等方性と異方性が同時に進行するエッチングやイオンミリングがあり、これらをシミュレーションすることもできる。さらに、MULSSにはSAMPLEにない機能として、材質が多層のときのエッチング計算もできる。トレンチエッチングプロセスをシミュレーションした例を図4に示す。

蒸着としては、1方向からの蒸着、2方向からの蒸着、球面からの蒸着、回転ターゲットからの蒸着があり、さらにCVDのデポジションも取り扱える。図5(a)は、デポジションによるトレンチの穴埋め時に発生する不良をシミュレーションしたもので、中央部に空洞ができていのがわかる。シミュレーションでプロセスパラメータを最適化し、正常な形状にしたものが同図(b)である。

2.2 不純物シミュレーション

不純物シミュレータは、イオン注入、酸化、熱拡散などのプロセスが1ステップ進むごとに、不純物分布や酸化膜厚/形状を計算するものである。

イオン注入は、数keVから数百keVに加速した不純物イオンを、シリコン基板中に注入するものであり、最近では1 MeV以上に加速したイオンを基板の奥深くに注入することもある。

シミュレーション方法は、LSS理論により、深さ方向の不純物分布はHalf GaussianやPearsonIV分布で近似して計算する。横方向への分布は、誤差関数により近似する。不純物イオン種は、ボロン、リン、ヒ素、アンチモン、 BF_2 が取り扱える。イオン注入シミュレーションの例として、ボロンを高エネルギーで注入した場合の分布を図6に示す。SIMSの実測値と非常によく一致している。

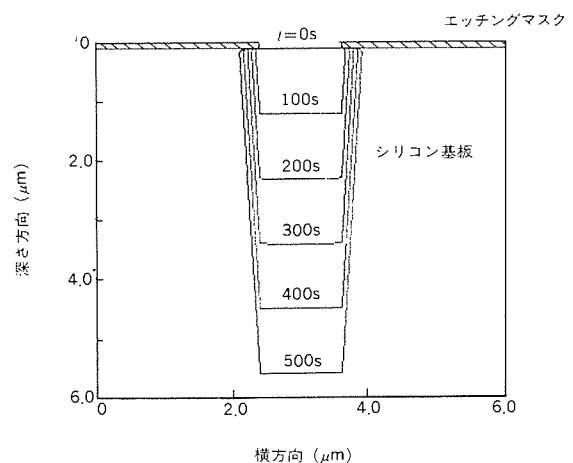
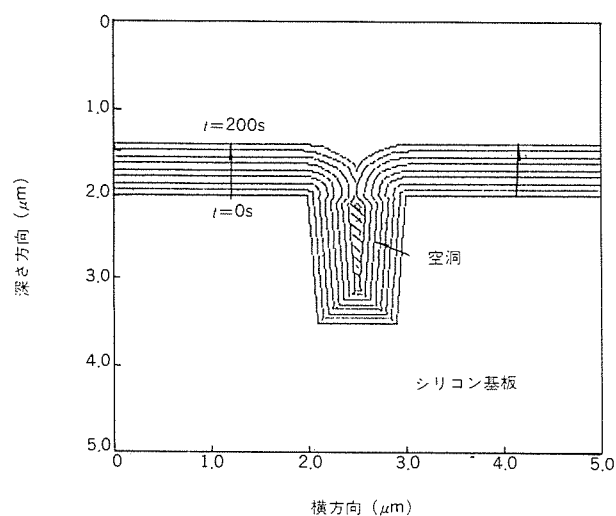


図4. トレンチのエッチングプロセスをシミュレーションした例

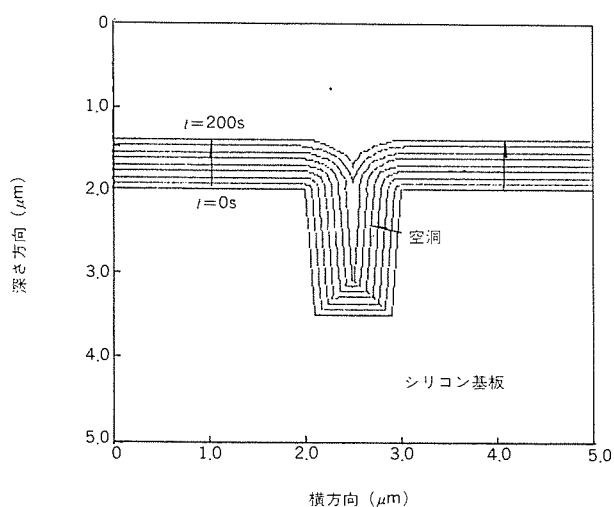
熱酸化プロセスでは、シリコン表面を高温で酸化し、 SiO_2 膜を形成するものである。シミュレーションモデルは、Deal & Groveの式⁶⁾を基本式とし、基板濃度による増速酸化や初期増速酸化、更に塩化水素添加の効果を計算できるようにし、最近のVLSIプロセスに適合させている。

酸化の方法にはSTEAM, WET, DRYがある。STEAMは水と窒素の混合、WETは水素と酸素の混合、DRYは酸素だけによる酸化である。図7に、酸素と塩化水素の混合酸化のシミュレーションと実験値⁶⁾を比較したグラフを示す。シミュレーションと実験値が1,000度以下の温度では比較的よく合っている。高温での誤差は、酸化膜内における酸素の拡散係数の活性化エネルギーに温度依存性があるためと考えられる。

熱拡散プロセスにより、シリコン基板中にある不純物が、拡散炉



(a) 不良発生



(b) 最適化

図5. デポジションによるトレンチの穴埋め不良解析

又は酸化炉での加熱により拡散する。加熱による不純物の再分布は、図8に示すように解析領域をメッシュに分割し、各メッシュ点で拡散方程式を解いて不純物分布の時間変化を計算して求める。拡散方程式を解く場合の境界条件は、①材質境界上で濃度固定、②境界で不純物の流れがない、③偏析のある場合、の3種類を考えている。

拡散係数は、空孔（格子原子の抜けたもの）を介して不純物が拡散する空孔モデルを基本にしているが、不純物が高濃度である場合には、電界効果や不純物原子が分子を形成するというクラスターモデルを考慮している。また、酸化時の拡散では、シリコン表面での空孔濃度が変化するため、酸化増速拡散モデル⁽⁷⁾や、アンチモンについては酸化減速拡散モデルを用いて計算している。そのほか、リンの拡散では、高濃度領域、中間濃度領域、低濃度領域に分けて拡散係数を設定し、拡散をより正確に計算している。

エピタキシャルのシミュレーションは、単に指定した不純物濃度をもつシリコンを上方に生成させるだけでなく、シリコン表面にある不純物が気相中に逃げ、それがもう一度シリコン表面に入ってくるというオートドーピングを考慮している⁽⁸⁾。

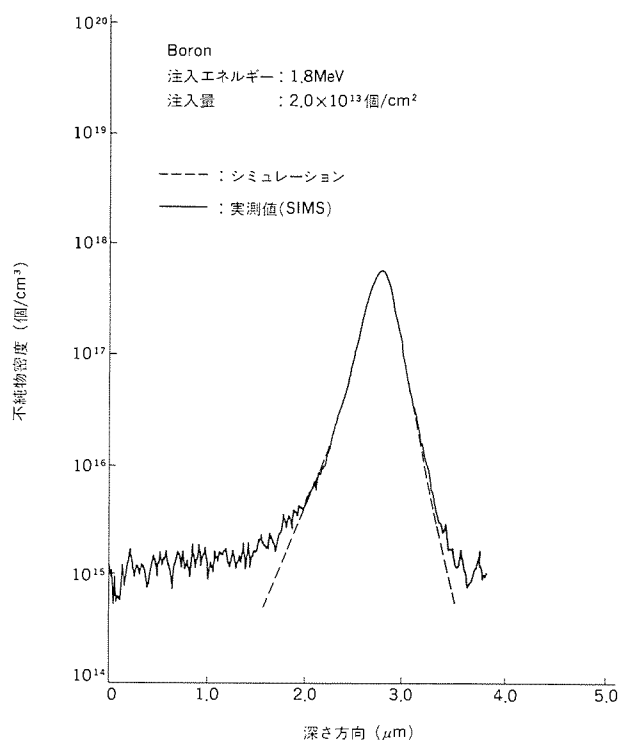


図6. ボロンの高エネルギーイオン注入

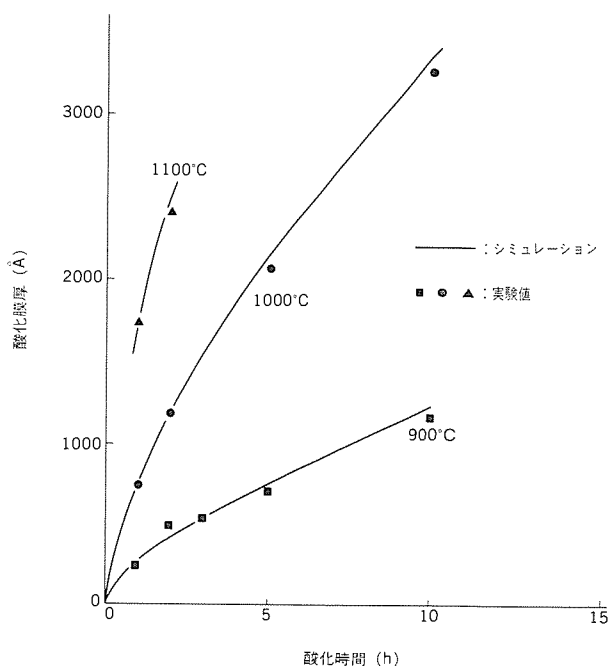


図7. O₂/HCl混合酸化のシミュレーション

不純物シミュレータ (MIPS) を用いて、トレンチのあるメモリセルをシミュレーションした例を図9に示す。

3. デバイス シミュレーション

デバイス シミュレータは、プロセスシミュレータにより得られるデバイス構造や不純物分布をもとに、単体デバイスの電気特性を計算する。シミュレーション モデルや物理定数は十分検証されており、MOSFETだけでなく各種のデバイス特性を高精度でシミュレ

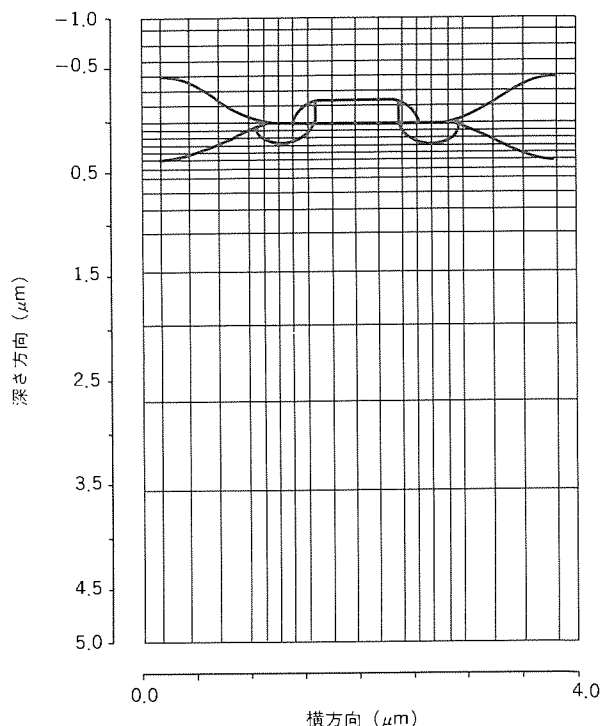


図8. 拡散方程式を解いて、MOSFETの構造を解析する場合の直交メッシュ分割例(不純物濃度の大きく変化するところを細かくしている)

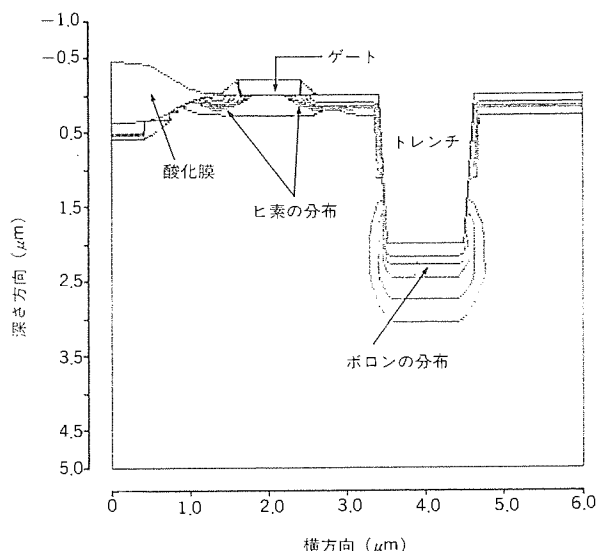


図9. 不純物シミュレータを用いて、トレンチのあるメモリセルをシミュレーションした例

ーションできる。シミュレーションの結果として、デバイス内部の電流・電位・電子密度・正孔密度・静電容量などの定常解や過渡解が得られ、現在の技術では測定不可能な事柄や過渡的な現象でも電氣的、物理的に詳細に把握することができるという大きな特長がある。

我々が開発したMIDSIP (Mitsubishi Device Simulation Program) を基本に、その構成と応用について概説する。

デバイスシミュレーションの基礎方程式は、Poisson方程式と電流連続の式(どちらも非線形微分方程式)である。

Poisson方程式

$$\nabla \cdot (\epsilon \nabla \psi) = q (p - n + N_d - N_a), \quad \dots\dots\dots(1)$$

電流連続の式

$$\frac{\partial n}{\partial t} = -\nabla J_n + q (G - R) \quad (\text{電子}), \quad \dots\dots\dots(2)$$

$$\frac{\partial p}{\partial t} = -\nabla J_p - q (G - R) \quad (\text{正孔}). \quad \dots\dots\dots(3)$$

電子電流 J_n 、正孔電流 J_p は次式で与えられる。

$$J_n = -q (\mu_n n \nabla \psi - \mu_n k T \nabla n), \quad \dots\dots\dots(4)$$

$$J_p = -q (\mu_p p \nabla \psi + \mu_p k T \nabla p). \quad \dots\dots\dots(5)$$

ここで、 ψ は電位、 n は電子密度、 p は正孔密度、 N_d はドナー密度、 N_a はアクセプタ密度、 J は電流密度、 μ は移動度、 $(G-R)$ は生成消滅項、 ϵ は誘電率、 q は単位電荷、 k はボルツマン定数、 T は温度、添字 n, p はそれぞれ電子、正孔を表す。

Poisson方程式から電位 ψ を、電流連続式から n, p を求めるため、物理定数以外の移動度 μ と生成消滅項 $(G-R)$ はモデル化する必要がある。

移動度は、電界強度や不純物散乱による低下現象が知られており、実測値にフィッティングさせたモデル(実験式⁽⁹⁾⁽¹⁰⁾)を用いる。

生成消滅項は、キャリアの散乱過程を表しており、主な散乱現象として、フォトン散乱、表面再結合、フォノン遷移によるもの、オージェ再結合、衝突電離現象がある。これらの総和が生成消滅項となる。シリコンデバイスでは、フォトン散乱は非常に小さいので無視でき、さらにMOSFETの場合は表面再結合も小さく無視されることが多い。フォノン遷移によるものとしては、Shockley-Read-Hallモデル、オージェ再結合は理論的に導かれるモデルを用いる。衝突電離現象は、イオン化率と電流、電界からモデル化している。ここで、イオン化率は一般に実験値⁽¹¹⁾を用いる。

基礎方程式の解法としては、図10に示すように基礎方程式を順次解くDecoupled法と同時に解くCoupled法がある。Decoupled法はGummel法⁽¹²⁾を用いて線形化する。この方法は、メモリ使用量が少なく、しかも初期値が悪くても収束性がよい。Coupled法は三つの式を同時にNewton法を用いて線形化する。方程式間の結び付きが強い場合、Coupled法を採用すると計算精度が向上する。

離散化には、簡単で、しかも精度的にも計算時間の点からも有利

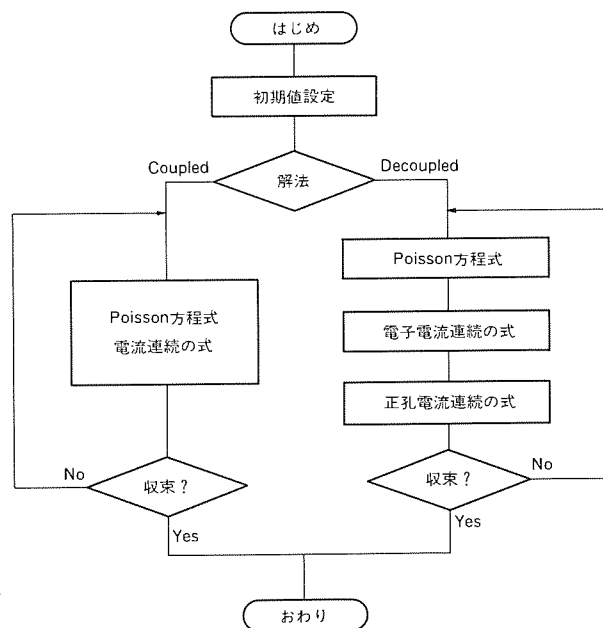


図10. MIDSIPの計算部プログラムのフロー

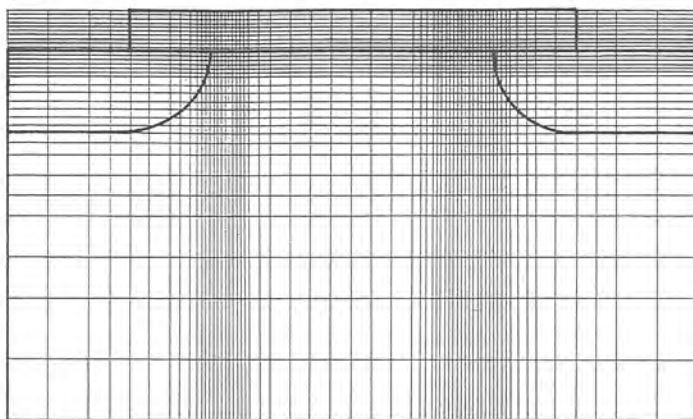


図11. 不等間隔直交メッシュ (MOSFETの不純物濃度分布と重ねてある。
物理量の大きく変化するところを細かくしている)

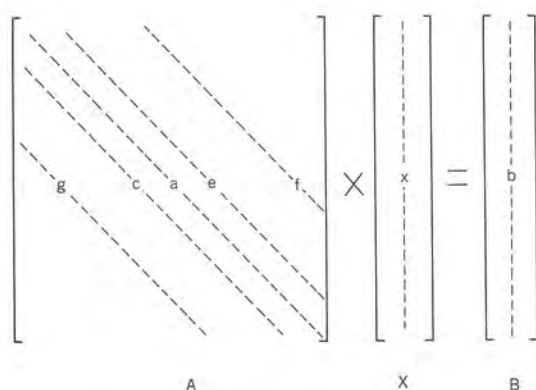


図12. 基礎方程式の離散化により導かれる行列方程式 (二次元)
A: 係数行列, X: 求める物理量, B: 既知量

な有限差分法を用いている。有限差分法では解析領域を図11に示すような不等間隔直交メッシュで分割し、各格子点で離散化を行う。時間微分に関しては、完全陰解法を用いている。

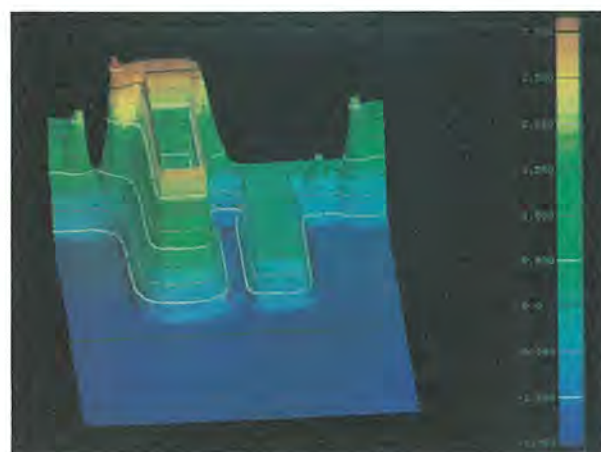
離散化の結果、基礎方程式は大型一次元連立方程式に帰着し、行列方程式で表すことができる。その係数行列は格子点数の2乗の要素数を持つが、非ゼロ要素は二次元の場合、図12のように5項のバンドのみであり、三次元の場合は7項のバンドのみの疎行列となる。これらの行列解法には、高精度かつ高速な共役こう配法（CR法：Conjugate Gradient Method）系の反復法を用いている。また、実行時間の9割以上がこの行列計算に費やされるため、ベクトル化による高速化も行っている。計算時間は、15MIPSの計算機を用いた場合、1パイアス条件当たり、二次元のMIDSIPで約40秒（ 50×50 メッシュ）、三次元のMIDSIPで約130秒（ $50 \times 50 \times 8$ メッシュ）である。

素子特性を詳細に求めるには、100バイアス点以上の計算が必要となる。ところが、計算結果はメッシュ数とバイアス点数の積に比例するため膨大な量となる。この膨大な量の計算結果を解析するためには、グラフィック処理による可視化が、理解する上で不可欠なものとなっている。MIDSIPでは、高速のグラフィック処理をサポートしており、出力図をリアルタイムで拡大縮小、回転することができる。

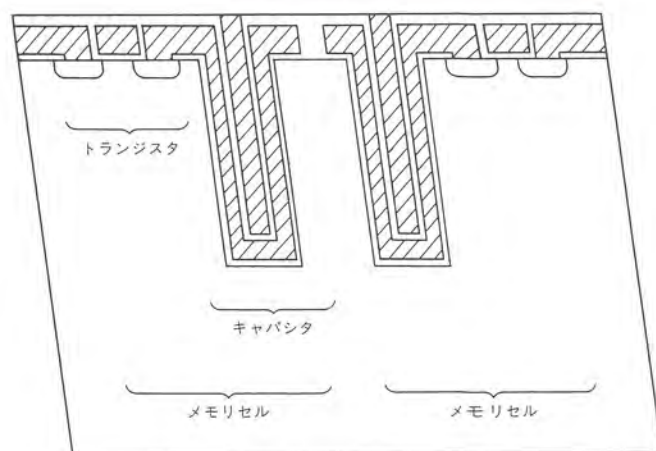
実行例として、16MビットDRAMのメモリセルに適用した場合⁽¹³⁾について述べる。メモリセルは1個のトランジスタとキャパシタか



(a) 基板濃度が高い場合



(b) 低い場合



(c) (a)及び(b)の投影図

図13. 16MビットDRAM用メモリセルの電位分布

ら成り、この構造ではトレンチの部分にキャパシタが形成されている。キャパシタの情報が「0」から「1」に変化しても、隣接するメモリセルに影響を与えないような基板濃度にする必要がある。図13に、基板濃度が高い場合(a)と低い場合(b)の電位分布を示す。どちらの図においても左側のセルが「1」の状態にあり、基板濃度が低い場合は、電位がトレンチ周辺に広がり、隣接セルに影響しやすくなっていることがわかる。

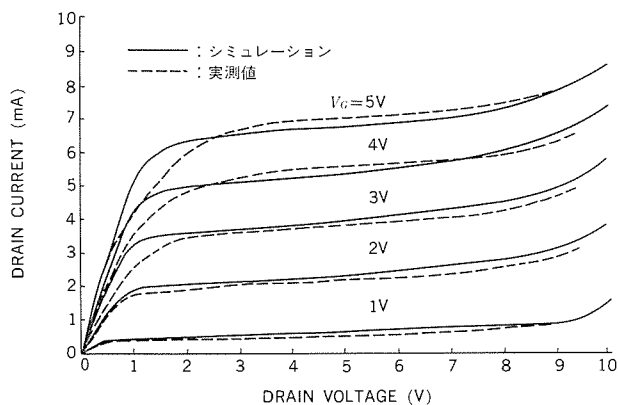


図14. 0.5 μ mMOSFETのドレイン電圧-ドレイン電流特性

また、16MビットDRAMのメモリトランジスタ（ゲート長0.5 μ m）の動作も同時にシミュレーションし、図14に示すようなドレイン電圧-ドレイン電流特性を得た。実測と比較し、高精度にシミュレーションできていることがわかる。低いドレイン電圧での不一致は、実デバイスの外部直流抵抗の影響であると考えられる。

デバイスシミュレーションは、デバイスの内部状態や動作の解析に不可欠のツールとなっている。実際、シミュレーションによりパシスルー⁽¹⁴⁾やMOSFETの基板電流の流れ⁽¹⁵⁾、さらにバイポーラ動作⁽¹⁶⁾のメカニズムが明らかにされた。

4. む す び

プロセス/デバイスシミュレーションの概要とその応用例について紹介した。

VLSIからULSIへと、使用するデバイスが微細化するにつれ、シミュレーションを多用したプロセス/デバイス設計が主流になりつつある。無論、実験でなければ発見あるいは解決できない問題も多いが、より多くの項目についてシミュレーションが可能になりつつあることも、また事実である。

シミュレーションと試作実験という二つの車輪を上手に使い分けることにより、VLSI開発は早く正確に達成される。

一方、シミュレーションがプロセス/デバイス設計者のツールとなり得るためには、グラフィック処理を含めたマンマシンインタフェースの改善が必ず（須）である。その結果、半導体シミュレーションはシステム化され、VLSI/ULSI開発の基盤技術となるであろう。

参 考 文 献

(1) W.G.Oldman et al. : A General Simulator for VLSI Lithog-

raphy and Etching Process, IEEE Trans. Electron Devices, ED-26, p.1455 (1979)

(2) D.Antoniadis et al. : SUPREM II-A Program for IC Process Modeling and Simulation, Stanford University IC Lab. Technical Report, No.5019-2 (1978)

(3) S.M.Sze : VLSI Technology, McGraw-Hill Book Company, p.428 (1983)

(4) F. H. Dill et al. : Characterization of Positive Photo Resist, IEEE Trans. Electron Devices, ED-22, p.455 (1975)

(5) B. E. Deal et al. : General Relationship for the Thermal Oxidation of Silicon, J. Applied Physics, 36 (12), p.3370

(6) D.W.Hess et al. : Kinetics of the Thermal Oxidation of Silicon in O₂/HCl Mixtures, J. Electrochem. Soc., 124, p.735 (1977)

(7) K.Taniguchi et al. : Oxidation Enhanced Diffusion of Boron and Phosphorus in <100> Silicon, J. Electrochem. Soc., 127, p.2243 (1980)

(8) R.Reif et al. : Computer Simulation in Silicon Epitaxy, J. Electrochem. Soc., 128, p.909 (1981)

(9) K.Yamaguchi : Field-Dependent Model for Two-Dimensional Numerical Analysis of MOSFET, IEEE Trans. Electron Devices, ED-26, p.1068 (1979)

(10) J.A.Cooper, Jr. et al. : High-Field Drift Velocity of Electron at the Si-SiO₂ Interface as Determined by Time-of-Flight Technique, J. Applied Physics, 54 (3), p.1445 (1983)

(11) A.G.Chynoweth : Uniform Silicon p-n Junctions. II. Ionization for Electron, J. Applied Physics, 31 (7), p.1161 (1960)

(12) H.K.Gummel et al. : A Self-Consistent Iterative Scheme for One-Dimensional Steady-State Transistor Calculation, IEEE Trans. Electron Devices, ED-11, p.455 (1964)

(13) K.Tsukamoto et al. : Double Stacked Capacitor with Self-Aligned Poly Source/Drain Transistor (DSP) Cell for Megabit DRAM, IEDM 1987, p.328 (1987)

(14) N.Kotani et al. : Computer Analysis of Punch-Through in MOSFET's, Solid-State Electron, 22, p.63 (1979)

(15) N.Kotani et al. : Behavior of Holes Generated by Impact Ionization in n-Channel MOSFET's, IEEE Trans. Electron Devices, ED-30, p.1678 (1983)

(16) N.Kotani et al. : The Effect of Holes on the Injection-Induced Breakdown in n-Channel MOSFET's, IEEE Trans. Electron Devices, ED-32, p.722 (1985)

信頼性・評価技術

牧 信久*
益子洋治**
小山 浩***

1. ま え が き

VLSIは1ミクロン程度の精度の製造技術を用い、わずか数ミリ角のチップに百万個以上のトランジスタ等の素子を集積することで実現されている。このように微細化、高集積化されると、従来なかった新たな信頼性の問題が現れてくる。それに伴い信頼性評価技術も、その問題点を評価しうる新しいものが必要となってきた。

一方、VLSIに対する解析技術の高度化も必要となってきた。すなわち、高集積化されたVLSIチップ上における異常箇所を捜すには多大な時間を要し、また構造の微細化、複雑化も解析を困難にしている。

2. VLSIの信頼性技術

2.1 VLSIの信頼性

MOS LSIの高集積化、高性能化はトランジスタの縮小を、いわゆる比例縮小則を用い、チャンネル長、ゲート酸化膜厚、PNジャンクション深さなどの寸法を1/Xに、同時にシリコン基板濃度はX倍にすることで達成されてきた。具体的にはチャンネル長は、数年前には数 μm であったのが、最近では1 μm 前後とサブミクロンの領域に至っている。一方、このような微細化により影響を及ぼすと考えられる信頼性上の問題について、十分に考慮しなければならない。例えば、ゲート酸化膜厚が薄くなると、その絶縁破壊耐圧は低下し、また膜質も信頼性を大きく左右して、時間依存性のある酸化膜破壊の問題が顕在化してくる。また、ソース・ドレイン間の電界強度が大きくなるため、ホットエレクトロン効果による V_{th} などの電気的特性の変動にも注意を要する。さらに、ダイナミックRAMに代表されるアルファ線によるソフトエラーに対しても敏感になってくる。

以上のようにVLSI固有の問題点に加えて、従来から知られている故障メカニズムに関しても、VLSI化により十分な考慮が必要となる。例えば、Al配線の微細化はエレクトロマイグレーションや腐食による断線の問題を、またチップの大型化は熱的応力によりパッケージ樹脂がチップに与えるストレスの問題を深刻なものにする。さらに、静電気やサージに対する破壊耐量や、ラッチアップ耐量も微細化により低下する可能性がある。

図1はバスタブカーブと呼ばれる故障率曲線と故障メカニズムの関係を示している。一般的に初期及び偶発故障領域での故障は、製造時の欠陥に起因するものと、静電破壊等の使用環境因子に起因するものがある。それに対し、摩耗故障領域における故障は、設計要因や材料、製造技術に起因するものと一般的にいえる。上述のように、VLSI化に伴い種々の信頼性の問題点が顕在化するため、故障率曲線は図中に示した矢印の方向に移動する。この傾向をいかに抑えるかは、開発段階から量産段階における信頼性管理を徹底させることにかかっている。

2.2 信頼性評価技術

VLSIの信頼性を評価するに当たっては、まず各故障メカニズムに

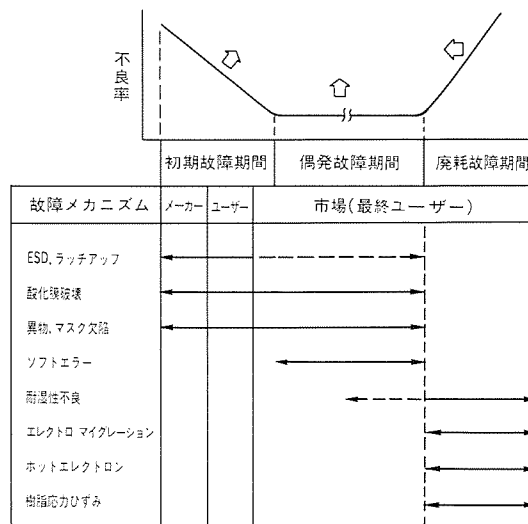


図1. バスタブカーブと故障メカニズム



図2. 信頼性評価のステップ

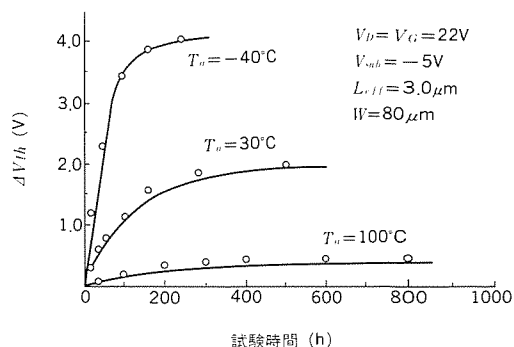


図3. ホットエレクトロン効果の試験温度による影響

対応した故障物理的アプローチが要求される(図2)。開発の初期段階において、製造条件、使用材料、設計基準などを決定するに当たり、TEG (Test Element Group) と呼ばれる単体トランジスタやアルミ配線などを含むチップを使用して、各故障メカニズムに対する耐性を評価する。TEGによる評価の大きな利点は、VLSIでは検出できない電気的特性の微小な変動を検出できる点があげられる。また、製品では印加できない大きな電圧、電流ストレスを印加できる点もあげられる。その結果、加速試験を精度良く実施できるので、実使用条件の加速係数を求めることが容易となる。TEG評価の一例として、ホットエレクトロン効果による特性への影響を評価した結

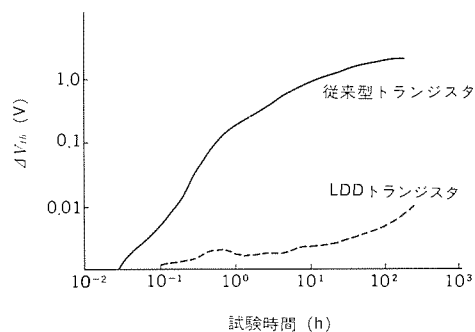


図4. ホットエレクトロン効果に対するLDD構造の効果

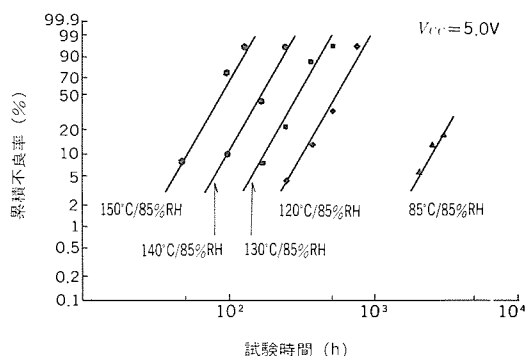


図5. 各温度における不飽和PCT結果の比較

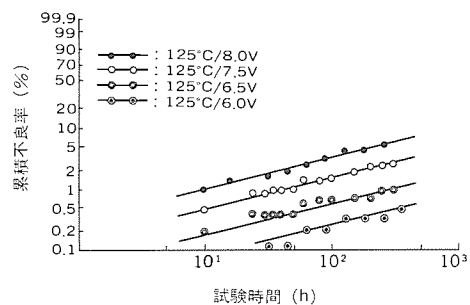
果を図3に示す。

MOSトランジスタの特性（ここでは V_{th} ）は、動作試験温度が低いほど、その経時変化量が多く、低温動作試験が有効な加速試験となる。チャネル長が $1\mu\text{m}$ 程度になると、ホットエレクトロンの問題は深刻化してくる。その対策の一つとして、LDD (Lightly Doped Drain) 構造のトランジスタの採用があげられる。図4はLDDの効果をも低温動作試験にて評価した結果で、ホットエレクトロンの発生を従来構造と比較して数けた(桁)低減することができる。その他、TEGにより評価される故障メカニズムとしては、時間依存性の絶縁膜破壊 (TDDB)、エレクトロマイグレーション、コンタクト抵抗の劣化、可動電荷によるトランジスタの劣化などである。

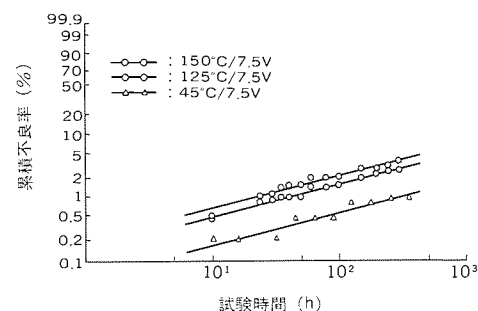
TEG評価は、あくまで各プロセス、材料などの評価であり、製品に適用したときの適合性についての確認が必要である。すなわち、製品としての信頼性は使用される回路特性の影響や、各要素の組合せによる影響を考慮せねばならない。また、VLSIでは100万個以上の素子が使用されるが、その欠陥率を予測するのはTEG評価では難しい。そこで、対象とするVLSIの評価に先立ち、既実績のあるLSIを新しいプロセスを適用して作製し評価することがある。これをモニタLSIによる信頼性評価と呼び、上述の製品への適合性に関する見極めに大いに役立つ。この実例としては、4M DRAMに使用される新規プロセスを、1M DRAMに適用したチップで評価を実施している。

以上のステップで顕在化した問題点は、設計、プロセスにフィードバックされ対策の実施後、最終製品の設計に折り込まれる。また、設計段階における信頼性管理として、設計審査のなかでシミュレーションを利用して信頼性項目のチェックが行われる。その項目としては、アルミ配線の電流密度、ホットエレクトロンに対する回路検証などがあげられる。

対象とするVLSI製品の信頼性評価は二つに分けられる。一つは、長期間の耐久性試験を中心とし、主に寿命や偶発故障率に関する評



(a) 電圧依存性



(b) 温度依存性

図6. バーンイン加速性評価試験結果

価を目的としている。もう一つは、初期故障率に関する評価で、出荷時の品質を確認することを目的としている。第一の評価に関しての信頼性技術上のポイントは加速試験の開発であり、基準条件より厳しい条件で試験を行うことで試験時間の短縮が図れる。加速試験の事例として、以下に耐湿性に関する試験データについて説明する。

耐湿性試験の標準的な条件は、85°C、85%RHでバイアスを印加するのに対し、一般的な加速試験としてはプレッシュアックテスト (PCT, 121°C, 100%が標準) が広く採用されてきている。しかしながら、両者の試験で発生した故障品の故障メカニズムが一致しないケースがある。耐湿性試験における典型的な故障メカニズムは、ボンディングパッドの腐食による断線であるが、VLSIではプロセスの種類によっては機能不良等の異なった故障メカニズムが支配的となることがある。故障メカニズムが試験間で異なる場合は、加速試験の条件が不適当であることを意味し、この場合はバイアスの有無が影響を及ぼしていると考えられる。そこで、バイアス印加が可能な加速試験として、ここ2～3年不飽和PCTが広く採用されている。図5は不飽和PCTの試験結果を湿度を一定にし、試験温度を変えて実施した結果をワイブル分布で示している。各直線の傾きがほぼ一定であることから予測されるように、各試験における故障メカニズムは機能不良と一致しており、不飽和PCTは有効な加速試験と判断できる。問題点の早期発見、早期解決のために加速試験による試験時間の短縮は重要であり、現在ほとんどすべての試験項目について加速試験が適用されている。

一方、初期故障率に関する評価では前述のように出荷品質レベルを確認し、その結果スクリーニングが必要な場合にはその条件を決定する。ここでも加速試験を用いて故障率の算出を行うが、その加速係数が不明なときは大量のデバイス(数千個)が必要となる。一般的な初期故障率に対する評価方法としては、バーンイン (Burn-In) があげられる。高温、高電圧下で動作させることで、バーンインはほとんどの故障メカニズムに対して有効な加速試験といえる。図6は1M DRAMについてバーンインの加速性を検討した結果で、

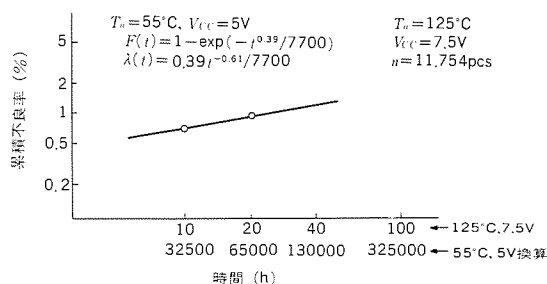
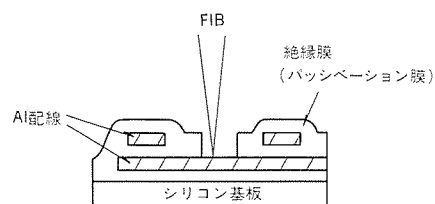


図7. ワイブル分布による故障率の推定

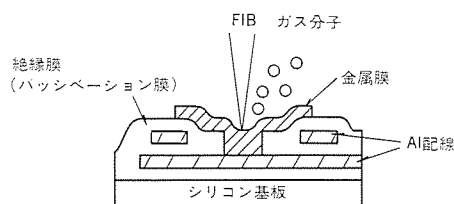
(a)は電圧依存性を、(b)は温度依存性をワイブル分布で示している。実際のバーンイン条件を125°C、7.5Vとし、実使用条件を55°C、5.5Vと仮定すると加速係数は3,250倍と算出される。図7はこのバーンイン条件で故障率を評価した結果で、バーンイン後の故障率を推定すると10時間では約90FIT、20時間では約60FITとなる。目標故障率を100FITとすれば、10時間程度のバーンインが必要となる。量産時にロットごとの目標故障率を保証するため、規定のバーンイン時間での不良率の上限値を定めている。この上限値以上の不良率のロットに対しては、バーンイン時間の延長、又は不合格の処置を行う。さらに、規定のバーンインを完了した製品の故障率の確認のために、量産時においても定期的に評価が実施される。以上のようなシステムをFITコントロールと呼び、PPMコントロールとともにVLSIの品質保証の柱となっている。

3. VLSIの評価・解析技術

VLSIの回路上の任意の点の信号レベルやタイミングを測定する方法は、素子の故障解析や設計開発のための評価には、極めて有効な手段となる。従来、このICの内部信号の測定は、チップ上に露出された配線金属の上に、先端の細いタングステン針などを直接接触させることによって、オシロスコープで観察する方法が採られていた。また、近年では、この機械的探針法に代わるものとして、微細パターン上の信号測定や二次元的情報を得るのに有効な電子ビーム(EB)テストが普及しつつある。しかし、いずれの方法も、多層配線構造を持つデバイスやパシベーション膜の上からの適用に対しては、有効ではない。これらの欠点を克服することは、パシベーション膜表面に、素子の深い層にある配線上の任意の点に電氣的に接続され



(a) FIBによる絶縁膜の開孔 (エッチング)



(b) FIBによる金属膜のデポジション

図8. FIBによるエッチング及び金属膜デポジション

た金属パターンを形成することによって可能となる。

この章では、集束イオンビーム (FIB: Focused Ion Beam) 技術の微細加工機能とFIB励起によるタングステン(W)膜のデポジション機能を利用することにより、これら従来技術の問題点を解決した新しいVLSIの評価・解析技術について報告する。

3.1 FIB技術

FIB技術は、本来、主にLSIなどの微細パターンのエッチング加工手段として利用されており、0.1μm以下に集束されたイオンビームは、高い制御性、精度及び均一性を持ち、微小領域の開孔や細い配線の切断を可能にしている。また、このFIBを用いると、イオン励起によるCVD (Chemical Vapor Deposition) を利用して、膜の形成が可能である。金属有機化合物のガスを試料表面に供給すると、ガス分子は試料表面に吸着される。これらの吸着分子は、イオン照射によって解離し、イオン照射された領域に選択的に金属膜が形成される。

このFIB技術を駆使することによって、回路配線上の任意の点に電氣的に接続された金属パターンを形成することができる。図8は、2層配線構造を持つデバイスの下層のAl配線にプロービングパッドを形成する方法を示す。まず、最初にFIBによるエッチングを利用して、パシベーション膜及び層間絶縁膜を通した小さな穴を開ける。次に、金属有機化合物のガスを供給し始めると、金属膜のデポジションが開始され、穴の埋め込みと同時に、パシベーション膜上にFIB照射領域に対応した所望の金属膜パターンが形成される。このようにして形成された金属膜パターンは、従来の機械的探針法やEBテストの良好なプロービングパッドとなり得る。

この実験には、セイコー電子工業製のFIBシステムを用いた。集束イオンビームには、30keVに加速されたGaイオンを用い、金属膜形成のための金属有機化合物としては、W(CO)₆を用いてWのデポジションを行った。この技術を用いて実際に形成したW膜は、下地段差部での良好な被覆性や付加的な配線及びプロービングパッドとして十分使用可能な電気抵抗などを持っていることが確認できた⁽¹⁾。

3.2 機械的探針法への適用

2層配線構造を持つECLゲートアレーVLSIに、この技術を適用し、機械的探針法による評価を行った⁽¹⁾。出力バッファの電氣的特性

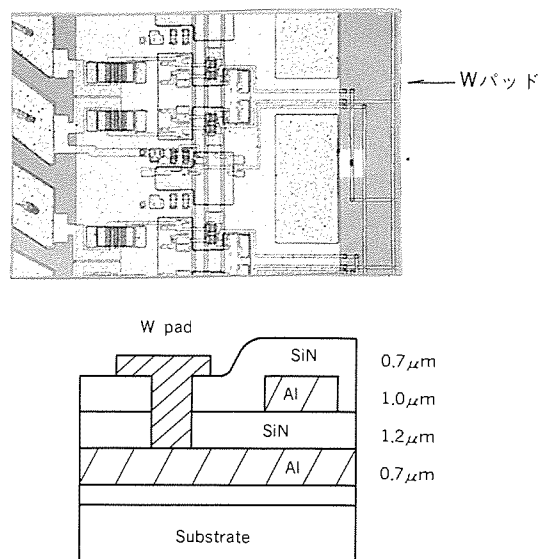


図9. ECLゲートアレーとFIBで形成したWパッド断面構造

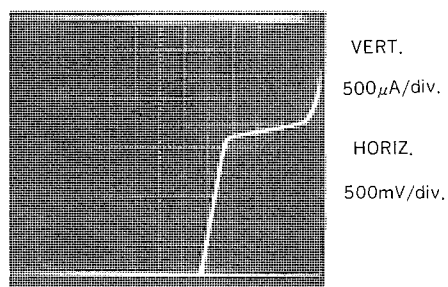


図10. Wパッドを用いて測定した出力バッファのDC特性

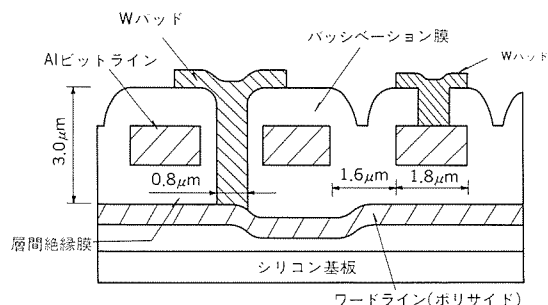
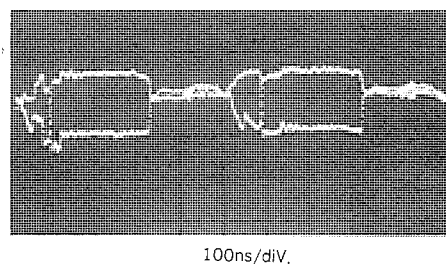
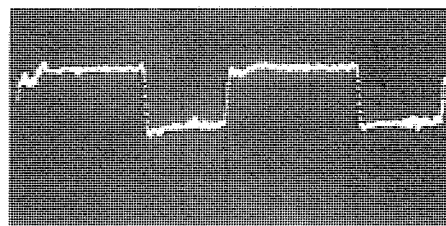


図11. FIBで1M DRAM上に形成したEBテスト用Wパッド



(a) ビットライン／ビットライン



(b) ワードライン信号

図12. EBテストによる測定結果

を評価するために、図9に示すような、下層のAl配線に接続されたWパッドをFIBを用いて形成した。

最初に、 $7\mu\text{m} \times 7\mu\text{m}$ の領域上をFIBで走査し、厚さ $0.7\mu\text{m}$ のパシベーション膜及び $1.2\mu\text{m}$ の層間絶縁膜を連続的に開孔した。続いて、W (CO)₆ガスをチップ表面に供給しつつ、FIBの照射領域を $50\mu\text{m} \times 50\mu\text{m}$ の大きさに拡大して、W膜の形成を行った。このとき、 6.3nA のビーム電流で10分間のFIB照射後、およそ 100nm 厚さのWパターンが形成されていた。このWパターンをプロービングパッドとして、機械的探針法により、出力バッファのDC特性を測定した。図10の結果から、出力バッファの正常な動作特性が得られており、この新しい技術の多層配線構造デバイスへの適用が、バイポーラトランジスタ回路に何らのイメージを与えずに成し遂げられていることを示している。

3.3 電子ビームテストへの適用

この技術をEBテストに適用することによって、CMOS 1MDRAMの評価を行った⁽²⁾。このデバイスは、およそ $1\mu\text{m}$ 厚さのパシベーション膜を持ち、Al配線のビットラインとモリブデンポリサイド配線のワードラインからなる2層配線構造をとっている。EBテストを用いて、パシベーション膜上から、このAl配線上及びポリサイド配線上の信号の測定を行った。

Al配線へのプロービングパッドの形成は、前節と同様な方法により、パシベーション膜に $2\mu\text{m} \times 2\mu\text{m}$ サイズの穴を開孔して、Al表面を露出させた後、 $5\mu\text{m} \times 5\mu\text{m}$ サイズのWパターンをパシベーション膜上に形成した。

Al配線の下層に位置するポリサイドワードラインについては、Al配線の存在しない $1.6\mu\text{m}$ 間隔の領域を利用して、パシベーション膜及び配線層間絶縁膜を通した、 $0.8\mu\text{m} \times 2.0\mu\text{m}$ サイズの穴を開孔した後、ポリサイドに接続されたWパターンを、同様な方法でパシベーション膜上に形成した。

図11のように形成されたこれらのWパターンを、電子ビームのプロービングパッドとして使い、ビットライン及びワードラインの動作時の信号について、EBテストの波形モードで観察した。図12に示された結果は、パシベーション膜のない状態でEBテストして

得られたAlビットライン上の信号波形、及びワードラインと同一信号を持つAl配線上の信号観察結果と一致していることが確認され⁽²⁾、この方法が、多層配線構造やパシベーション膜を持つデバイスのEBテストにも有効であることが判明した。

また、EBテストにおけるこの新しい技術は、単なる上層膜の局部的開孔のみに頼る手法に対しても優位性を示している。さらに、EBテストの信号に用いられる二次電子の放出源が、Wのみとなることから、異種材料間での二次電子イールドの差を考慮する必要がなく、配線間の信号電位の単純な相対比較が可能であるという優位性も付加している。

3.4 まとめ

以上、Wのデポジション機能を持ったFIB技術を利用した、新しいVLSIの評価・解析技術を取りあげて述べてきた。

高密度化を実現するため、デバイスの三次元的構造化がますます進行する中で、デバイスの機能を破壊することなく、故障解析や設計評価を行うためには、デバイスの最表面のみならず、深い層に存在する回路の評価が極めて重要になってくる。また、EBテスト技術が、微細パターンを持つVLSIの評価に極めて有効であることは言うまでもなく、今後、テスト分野での活躍が期待されるが、これまで制約されている適用範囲の著しい拡大も必要になってくる。これらに答えられるものとして、このFIBを用いた技術は最も適したものといえる。

4. むすび

VLSIの信頼性技術について、VLSIの信頼性上の問題点を紹介し、加速試験を中心とした信頼性評価技術及びFIBを中心とした故障解析技術について考察した。VLSIの信頼性を確保するためには、今後も新しい評価・解析技術の導入を促進する必要がある。

参考文献

- (1) Y.Mashiko et al.: Proceedings of the 1987 International Reliability Physics Symposium, p.111
- (2) 石井ほか: 学振132委員会, 101回研究会資料, p.46 (1987)

新型三相一括ガス遮断器シリーズにおける高信頼度化技術

吉積敏昭* 杉山 勉* 米沢 毅* 細身 守* 伊吹恒二**

1. ま え が き

当社では1976年に72/84kV全三相一括型GIS用ガス遮断器の製品化を行って以来、GISの小型化、高信頼度化を目的として、ガス遮断器の三相一括化を進めてきた⁽¹⁾。三相一括化に当たっては相分離型ガス遮断器で実証された高い信頼性を活用するために、相分離型とほぼ同一の消弧室を用い、各々の独立性を高めて一つの接地タンク内に収納することを基本としてきた。その結果、三相一括化による空間や部品の共用で必然的にガス遮断器の小型化が実現し、シール箇所数の低減や部品点数の縮減による信頼性は向上した。しかし、一方で三相一括化に伴って生じた相間絶縁などの新たな項目の信頼性の向上が、三相一括型ガス遮断器の総合的な信頼性を高める上で重要な課題であった。

さて、72/84kV三相一括型ガス遮断器を製品化して以後今日までの約10年の間に、ガス遮断器の設計や製造・試験の技術、更にこれらを支える解析・評価の技術は着実に進歩・向上してきた。これらの成果は、例えば小型で軽量化された72kVばね操作式遮断器や420kV、50kA一点切り遮断器の開発⁽²⁾⁽⁷⁾などに反映されてきた。このような各種技術の向上を背景に、当社ではGISのより一層の信頼性の向上を目的とした新型三相一括ガス遮断器シリーズ⁽³⁾⁽⁴⁾⁽⁵⁾の開発を行った。この開発においては、ガス遮断器の高信頼度化を達成するために、新たな測定法や計算機解析プログラムの開発を行い、従来実測や解析が困難であった現象の把握に適用して、設計のみならず評価や検証の精度を高め各種性能の改善を図った^{(6)~(10)}。また、従来に比べてより進歩した構造や原理を採用し、本質的な信頼性の向上も図った⁽⁵⁾。

本報では、新型三相一括ガス遮断器の開発を支えた各種技術のうち、特に重要と思われる操作系の動作信頼性と主回路の絶縁信頼性を高めるために用いた新しい技術について紹介する。

2. 事故障害統計と信頼性向上の着眼点

日本国内の各電力会社が設置している変電設備について、1978年から1982年までの5年間に報告された事故及び障害の実態調査結果が文献⁽¹¹⁾に示されている。

これによれば、遮断器の事故原因のうち設計・製作・施工に起因す

る、いわゆる設備不備によるものの件数は、保守不備を含めた設備不全によるものの約半数を占めている。設備不備に起因する事故の要因を遮断器の故障箇所及び基本性能の喪失による不具合現象に着目して分類すると表1ようになる。この表から、遮断器の事故の過半数は、操作系の不具合に起因する開閉性能に関連したものや主回路の絶縁に関連したもので占められていることが読み取れる。このことは、遮断器の操作系の動作信頼性の向上と主回路の絶縁信頼性の向上が、遮断器の高信頼度化における重要課題であることを示すものである。これらの信頼性は遮断器の設計、評価・検証、製造・据付けの各段階において作り込まれるものであり、各段階における個々の技術の改善が遮断器の高信頼度化にとって重要であると言える。

3. 新型三相一括ガス遮断器シリーズ

新シリーズのGIS用三相一括型ガス遮断器の操作系の信頼性を高めるために、従来の油圧操作方式に固有な問題点を改善した新型油圧操作装置シリーズ(OM型)を開発し適用した。また、大電流遮断時の主回路の過渡的な絶縁信頼性を高めるために熱ガス流の計算機シミュレーションによる解析手法及び実機測定手法を新たに開発し、これらの手法を適用して三次元的な広がりのある遮断器タンク内部の熱ガスの流れを考慮した対地間や相間、極間の絶縁設計や絶縁性能評価を行った。

新型三相一括ガス遮断器シリーズの構成を図1に示す。新型油圧操作装置の特長の一つである配置構成の自由度の高さを生かして、ハウジング内部の空間を有効活用するとともに、熱ガス流解析手法を適用して合理的な導体配置を行い、高信頼度化に加えて小型化と低層化を実現

表1. 遮断器の事故件数の要因別割合

故障箇所	件数の割合(%)	不具合現象	件数の割合(%)
操作系	34	開閉極不能	54
遮断部	14	投入・遮断器不能	14
主回路	28	通電異常	8
補助回路	24	絶縁破壊	20
		その他(気密不良など)	4

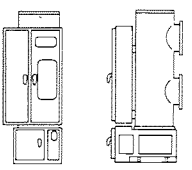
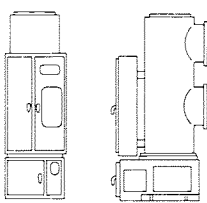
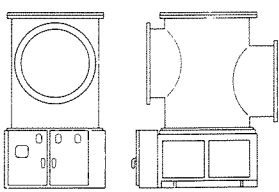
定格事項 仕 様	72~120kV 31.5kA、3~5サイクル 三相操作	168~204kV 40kA、2~3サイクル 三相/単相操作	240~300kV 50kA、2サイクル 単相操作
外形図			
操作装置	OM-1	OM-2/OM-1	OM-2

図1. 新型三相一括ガス遮断器シリーズ

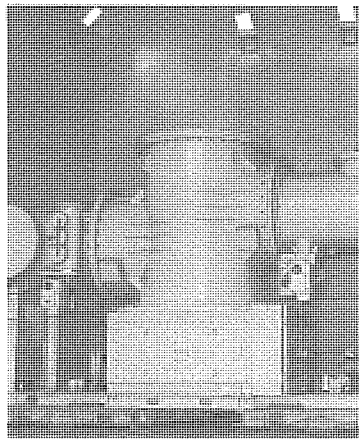


図2. 環境試験に供試中の300kV全三相一括型GIS用ガス遮断器

した。その結果300kVクラスまでのGIS用新型三相一括ガス遮断器は、いずれもGIS 1 ユニットでの全装輸送を可能とする寸法となった⁽³⁾⁽⁴⁾。新シリーズはいずれもJEC-2300に適合するものである。図2はGISに組み込んで、環境試験に供試中の300kV三相一括型単相操作式ガス遮断器である。このような超高压クラスの三相一括型遮断器は、都市部への超高压系統の導入を目的とする適用も多く、新しい技術の活用による高信頼度化は特に重要であろう。

4. 操作系の高信頼度化技術

遮断器用油圧操作装置は、駆動部が油中にあるため動作信頼性が高く、保守が容易で、小型で大容量化、高速化が可能であるなど、油圧特有の多くの利点を持っており、操作系の高信頼度化に適している。一方、従来の油圧操作装置では、このような利点のほかに表2に示すような油圧操作方式固有の課題をもっており、より一層の信頼性の向上が望まれていた。

新型油圧操作装置（OM型）の設計の基本方針は、表2に示した従来の油圧操作装置の持つ課題の改善による高信頼度化であり、具体的には、①油中混入空気排除のための油圧降下時のならし操作回数の低減、②配置構成の自由度の向上（スペースの有効活用による小型化）、③シール信頼性の向上、である。このため、従来の油圧操作装置の高低圧変動回路方式に替えて、常時高压安定回路方式を採用するとともに、高压駆動部を低压タンク内に収納して上記①、②、③の各方針の実現を図った。なお、従来型と同一のアクキュレータを使用するなど高い信頼性の実証された従来技術は、積極的に活用した。また、定格油圧力（320 Kgf/cm²）や制御油圧力の設定値は従来型と同一とした。

4.1 設計技術

FMEA手法を用いて、故障の発生確率とシステム全体に及ぼす影響度を分析評価しつつ新型油圧操作装置の設計を行った。常時高压安定回路の開発には、計算機シミュレーション技術を活用した。

4.1.1 常時高压安定回路方式

従来のあらゆる油圧操作装置は閉極又は開極完了後に回路の高压・低压の両状態が切り替わる、いわゆる高低圧変動回路方式を採用して

表2. 従来の油圧操作装置で改良が望まれる課題

■組立初期や点検時の油圧降下に伴う多数回のならし操作の必要性。
■弁シール部への異物のかみ込みによるシール不良。 高压部から外部への油のにじみ。
■大気連通部よりも低压油面レベルを高くする必要があるが、機器の配置構成に制約。低压タンクの大形化。

いる。

一方、新型油圧操作装置に新たに採用した常時高压安定回路方式は、回路内の油圧の高低圧変動を開閉極動作の瞬時のみに限定する回路である。開極位置を保持するために、当社のAM型空気操作機構などで高い信頼性が実証され、設計技術の確立した機械的保持方式（ラッチ方式）を採用し、ラッチの駆動には大出力が得られ動作信頼性の高い油圧制御ピストン（ラッチピストン）を用いている。その結果、開極の完了後に回路各部が常に高压に保たれ油中に溶解した空気が気泡となることがないため、組立初期や油圧降下時に溶解空気排出のためのならし操作が不要となる。また、開・閉極のいずれの動作完了状態においても、主弁及び制御弁が同一位置にあって反転しないため、常時高低圧シールを行うポペット弁の数が半減し高低圧シール責務が軽減されると同時に、従来回路では必要であった弁の反転防止機構（鎖錠弁）も不要となり構造が簡素化された。図3に新型油圧操作装置シリーズの駆動ユニットの内部構造を示す。

4.1.2 油中混入空気の影響の排除

図4は新型と従来型の油圧操作装置について、組立直後の操作回数に対する閉極時間の変化を比較したものである。参考のために、従来型油圧操作装置を用い、回路各部と作動油を真空脱気して操作を行ったときの閉極時間の変化を併記してある。この図から常時高压安定回路を用いると、回路及び作動油の真空脱気条件とほぼ同等の閉極時間—操作回数特性が得られることがわかる。

このように、常時高压安定回路方式の採用によって、組立初期に油中に混入した空気の気泡化による閉極時間の遅れや、点検時の油圧降下に伴うならし操作をなくすことができ、信頼性のみならず保守性も向上した。

4.1.3 シール信頼性の向上

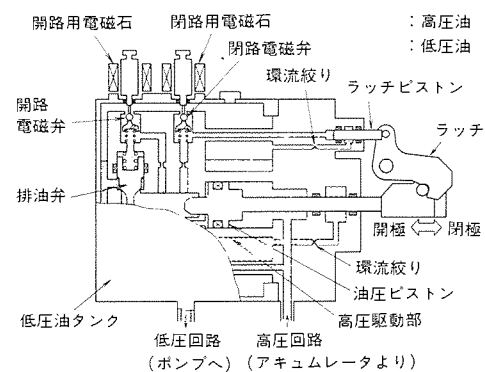


図3. 常時高压安定回路を用いた新型油圧操作装置（駆動ユニット）

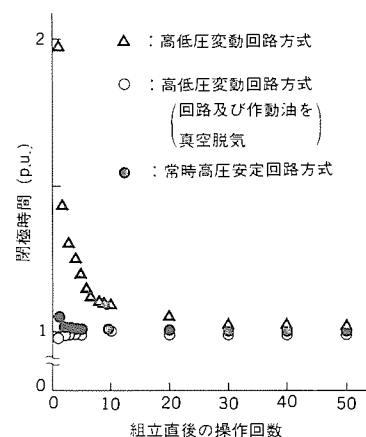


図4. 組立直後の操作回数に対する閉極時間の変化

高圧駆動部を低圧タンク内に収納して高圧-外部シール箇所数を低減し、操作装置の機能に影響のない外部への油にじみを防止して作動油量の減少に伴うトラブルモードを排除した。さらに、図3に示すように主ピストン及びラッチピストン部の高圧-気中シール部を多重化し、第1段シール部と第2段シール部の途中に、油を低圧タンクへ還流させる絞り付きの回路を設けてあるため、万一のシール機能不良時にも油が外部へ漏出したり、急激な油圧低下を生じることがなく、ポンプの連続運転警報によって故障検出が行える。なお、この状態でも限られた回数ではあるが、遮断器の正常な開閉極動作が可能である。

常時高圧安定回路の採用と、高圧駆動部の低圧タンクへの収納で、新型は従来型に比べ部品点数を約50～60%に、シール箇所数を約60～70%に低減できた。図5にOM-2型油圧操作装置の駆動ユニットの外観を示す。

4.2 評価・検証技術

4.2.1 動作安定性の評価

遮断器用油圧操作装置は、電気信号を制御弁を用いて油圧信号に順次増幅伝達する、いわゆる順次動作を短時間のうちに高速度で行う必要があるため、弁やピストンなどの駆動部には、高速動作時の動作安定性と確実性が要求される。新型油圧操作装置の開発では、計算機によるシミュレーションと実機測定を併用して、弁の急激な開閉により発生するサージ圧力や弁の過渡動作特性を把握し、動作信頼性の評価・検証を行った。

図6はOM-1型油圧操作装置の回路構成を示している。図中の(P₁～P₄)及び(D₁～D₃)の各記号は、シミュレーション又は実機測定における圧力及び変位の測定位置に対応するものである。これらの圧力・変位のシミュレーション結果と実測結果を対比した一例を図7に示す。

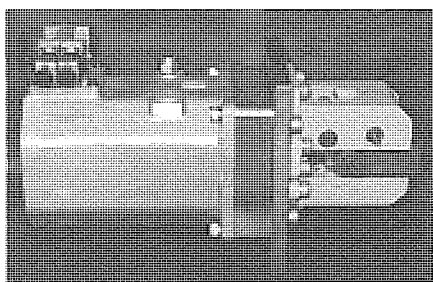


図5. OM-2型駆動ユニットの外観

開路制御信号によって開路電磁弁が開かれると、(P₁)部の油圧降下及び排油弁の開動作(D₃)、給油弁の開動作(D₂)が始まり、(P₃)部の油圧が降下して、ピストンが動作(D₁)を開始する。(区間I)。その後、排油弁は給油弁から離れ、ストローク最終端に到達する(区間II)。

ピストンが完全開路位置に到達すると、排油弁はばねの力により、給油弁に接触する位置まで戻る。このときラッチは、高圧油に常に押されたラッチピストンの力で回転し、ラッチピンに係合してピストンの開路位置を機械的に保持する。

開路制御信号が切れると開路電磁弁は閉じ、(P₁)部の圧力で排油弁と給油弁は同時に反転動作する(区間III)。その結果(P₃)部の油圧回路の圧力が再び立ち上がり、開路動作は完了する。

これら一連の動作を通じて、排油弁と給油弁はほぼ一定速度で安定した順次動作を行い、はね返りや振動などはほとんど認められなかった。また、シミュレーション結果と実測結果は極めてよく一致した。

さらに、実機で想定され得る加工公差や弁のなじみを考慮した、シミュレーション及び実機測定を行った結果、これらの条件の変化に対してもこの操作装置は安定した順次動作を行い、優れた動作安定性を持っていることが確認された。

4.2.2 検証試験による信頼性の評価

(1) 要素単体の基本性能検証

ポンプ、安全弁、圧力降下弁、逆止弁、フィルタ、ストレーナ、フロー

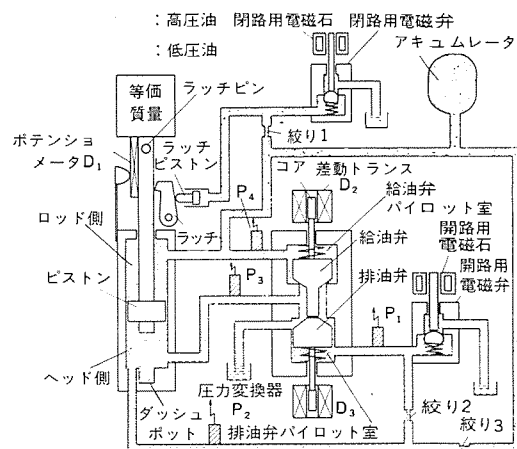


図6. OM-1型油圧操作装置の回路構成と圧力・変位の測定位置

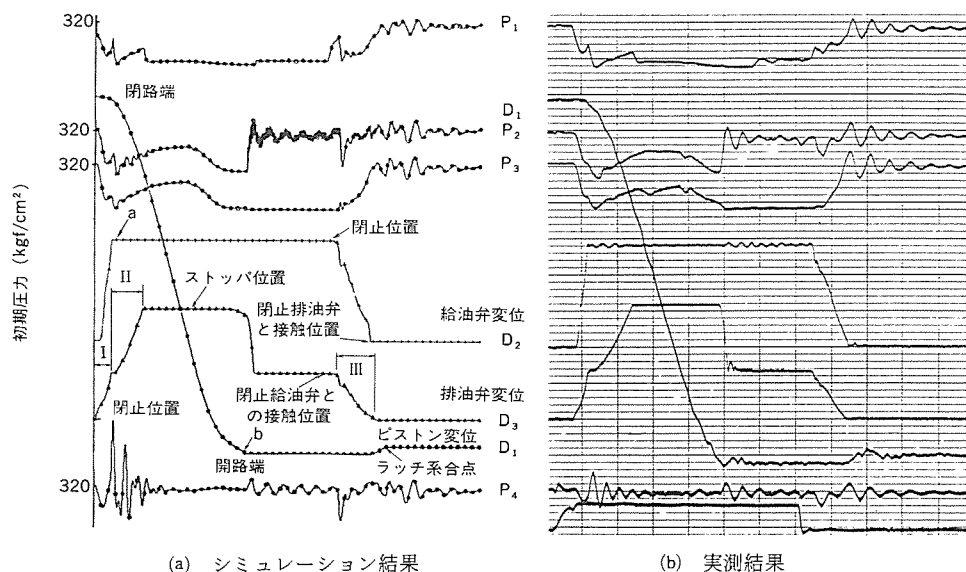


図7. 圧力と変位の時間変化

表 3. 遮断器との組合せによる代表的な実用性能検証試験

項 目	内 容
高 油 圧 試 験	安全弁設定圧での操作を行い、十分な機械強度を持っていることを確認する。
高 速 操 作 試 験	再閉極時間を短くした高速再閉路操作を行い、動作安全性を確認する。
操作コイル瞬時励磁試験	開閉路指令時間を短くして、正常な動作又は正常な不動作のいずれかとなることを確認する。
操作コイル同時励磁試験	開閉路指令を同時に送り、開状態では、正常不動作、閉状態では正常開動作を行い、常に開路優先であることを確認する。

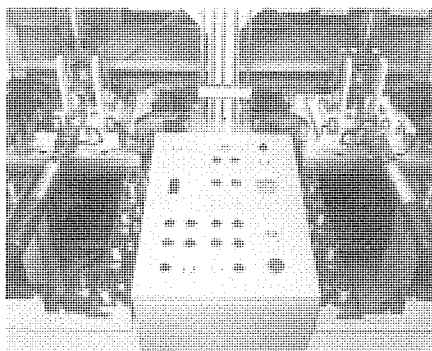


図 8. ならし・フラッシング試験装置による検査

トスイッチ、圧力スイッチ、圧力ゲージ、軸シール用パッキンなどについて基本特性のほかに温度特性・精度・強度・耐久性に関する試験を実施して基礎データを収集し、所期の特性及び耐久性を持っていることを確認した。例えばポンプは、30万回起動停止試験、5,000時間連続運転試験など、安全弁は、希頻度試験、2時間連続吹出し試験などを実施し、要素単体としての信頼性を確認した。軸シール用パッキンは耐圧力試験のほかに、ピストンロッド及びシール溝の寸法公差の限界値を考慮した3万回連続しゅう動試験を実施し、試験中に軸シールパッキンからにじみ出す油量を定量的に把握した。その結果ピストンロッドのしゅう動による油のにじみ量は極めて微小でほぼしゅう動回数に比例しており、ピストンロッド及びシール溝の寸法公差によらず安定した値となっていることを確認した。

(2) 機能ユニット単位の性能検証

駆動、昇圧、蓄圧の各機能ユニットの基本特性やシール性などについて、 $-40 \sim +70^{\circ}\text{C}$ までの環境温度で検証試験を実施し、十分な信頼性を持っていることを確認した。

特に、駆動ユニットは試験用等価負荷と組み合わせ、弁のストロークや絞りのほかにダッシュボット クリアランスや機械的保持装置（ラッチ）の寸法公差を考慮した特性試験を実施し、加工公差に対しても特性が安定していることを確認した。

(3) 遮断器との組合せによる性能検証

実遮断器と組み合わせ、開閉特性試験や遮断試験、環境試験、1万回開閉試験、などを実施し、安定した性能を持っていることを確認した。さらに、新型油圧操作装置の高度な信頼性を確認するために、遮断器が遭遇し得る特殊な条件を考慮した実用性能検証試験を実施した。表 3 に代表項目を示す。なお、実遮断器の操作及び試験用等価負荷の操作を合わせて、これまでにOM-1型で延べ約12万回、OM-2型で延べ約18万回の連続開閉試験を実施しており、総合的な耐久性及び信頼性の評価・検証を行っている。

4.3 製 造 技 術

(1) 加工・組立

部品が小型化されたため、小径の深穴加工がなくなり、切削屑除去な

どの仕上げの作業性と品質が向上した。また、NC加工化が今までに増して容易となり、部品加工精度の安定性が一層向上した。

(2) 検査

新型油圧操作装置では、駆動、昇圧（ポンプ）、蓄圧（アキュムレータ）の各機能ユニットの組み上がり段階でリークテストを行う。特に駆動ユニットについては、高圧部を包み込む低圧油タンクを取り付ける前に、図 8 に示すように専用の試験装置に取り付けてフラッシングのためのならし操作とリークテストを行い、ならし操作時に生じたごみや、万が一混入した異物をも除去し、次工程（GCB総組立て）へ一切異物を持ち越さないよう配慮した。ならし操作の回数は弁と弁座のなじみ量のデータに基づいて定めた。

5. 主回路絶縁の高信頼度化技術

ガス遮断器の大電流遮断時の主回路の過渡的な絶縁性能は、アークエネルギーの注入に伴う高温の熱ガス流のために静止状態の絶縁性能に比べて低下する。このため、大電流遮断時の過渡的な絶縁信頼性を向上させるには、タンク内部における熱ガス流の振舞を十分考慮に入れた絶縁設計と絶縁性能の評価を行う必要がある⁽⁷⁾。特に消弧室三相分を一つのタンク内に収納した三相一括型ガス遮断器においては、極間や対地間のみならず、相間の絶縁設計と性能の評価が主回路絶縁の高信頼度化にとって重要である。

5.1 設 計 技 術

5.1.1 熱ガス流の計算機シミュレーション

大電流遮断時の遮断器の内部には、消弧室内における数千K、数百 m/s という高温・高流速の SF_6 ガスと、消弧室から隔たったタンク壁付近の常温でほぼ静止状態にある SF_6 ガスが同時に存在する。図 9 の遮断器モデルに示すように、消弧室内部の現象は絶縁ノズルに包まれた直線的流路におけるもの、また遮断器タンク内部における現象は、導体などの障害物を含む三次元的な広がりのある空間におけるものである。したがって、大電流遮断時の消弧室内部とタンク内部のガス流の現象は、連続的に進行するにもかかわらず、かなり様相の異なったものとなる。このため、

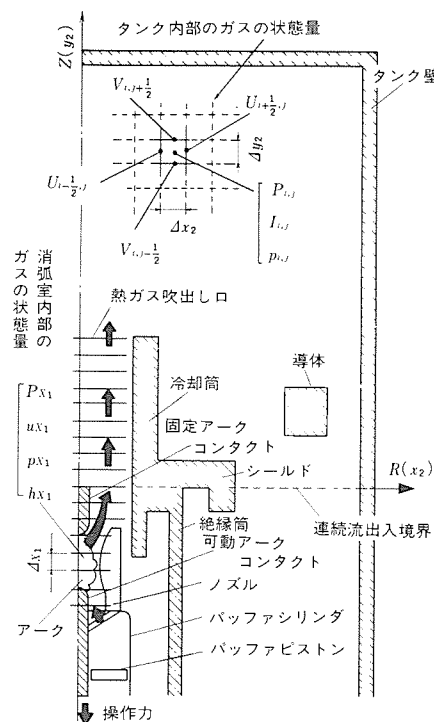


図 9. 熱ガス流解析のための遮断器モデル

計算時間などの実用性も勘案して、大電流遮断時の消弧室内部の現象の解析には消弧室形状及び遮断器の操作力を考慮できる一次元流れアークモデル⁽¹²⁾を用い、タンク内部の現象の解析には、導体などの障害物が考慮できる軸対象三次元圧縮粘性流体モデルを用いる。解析の第一段階では、消弧室内部での遮断現象の解析を行い、二つのモデルをつなぐ境界条件として、流出する熱ガスの時々刻々の温度・密度・流速を算出する。第二段階では、第一段階で得られたデータを熱ガスの流入条件として用い、タンク内部の解析を行う⁽⁸⁾。

5.1.2 対地間及び相間の絶縁性能解析例

(1) 手法

対象とする部位の電界分布を求め、一方で短絡遮断時に消弧室から流出する熱ガス流の計算機解析を行って、時々刻々変化するガス温度を推定する。これらの解析で得られた対象とする位置での最高ガス温度(したがって最低ガス密度)と最大電界強度を組み合わせることによって、短絡遮断時の絶縁性能を推定することができる。

(2) 解析例

図10(a)は300kV三相一括型ガス遮断器の冷却筒と、それに挟まれるように配置された導体とから構成される固定側の、三次元電界解析用導体モデルである。

同図(c)は高速再開路直後に再遮断(O-θ-CO)を行うときのガス流解析結果の一例で、一次元流れアークモデルを用いた同図(b)に示す解析結果を、冷却筒開口部における熱ガスの流入条件として与えたときのものである。

同図(a)を用いた雷インパルス印加時の電界強度(E_1 , E_2 , E_3)と同

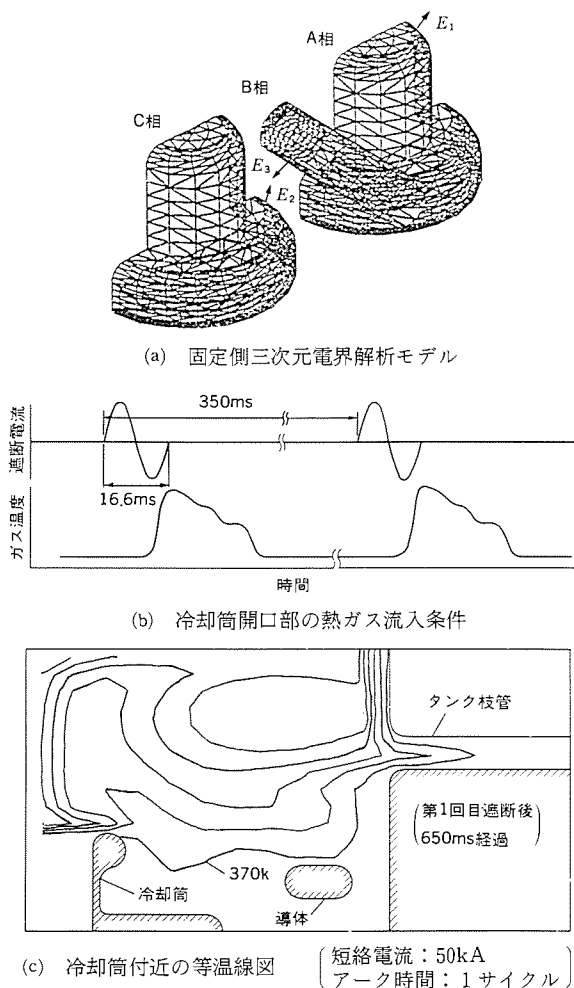


図10. 短絡遮断時の対地間及び相間の絶縁性能解析 (O-θ-COのとき)

図(c)の温度分布を組み合わせることによって多重襲雷に対する対地間及び相間の設計上の絶縁の裕度を推定することができるため、絶縁設計の適正化が図れ、信頼性を高めることができた。

5.1.3 極間の絶縁性能解析

図11は300kV三相一括型遮断器の短絡遮断直後の消弧室付近のガス流解析結果の一例である⁽⁸⁾。絶縁ノズルから流出する熱ガスは、固定側及び可動側の通電接触子の付近にまで到達するため、このガス流を考慮した通電接触子やシールドの電界設計を行い、アーク接触子と通電接触子の絶縁協調を図ることができた。

5.2 評価・検証技術

5.2.1 熱ガス流の実機測定

熱ガス流の測定には、従来シュリーレン法やマッハツェンダ干渉法などが用いられてきた。しかし、実遮断器の高気圧でかつ広がりのあるガス空間内における熱ガス流の測定に、これらの手法を適用することは実用的に困難である。このため、遮断器タンク内に小ギャップを設け、この放電電圧に基づいて熱ガスの流れの様子を推定する手法を開発し、実遮断器の短絡遮断時の熱ガス流の解析に適用した。

(1) 原理

SF₆ガスの破壊電圧は、約2,300kVまではほぼSF₆ガスの密度に支配された値となることが実験的に知られている。また、高速度空気流を電極間に吹き付けた場合の放電特性の実測結果によれば、放電路にコロナが定在しない条件下において、破壊電圧は空気流の影響をほとんど受けないことが明らかにされている。したがって、ギャップの破壊電圧とSF₆ガスの密度の関係、及び遮断器タンク内の基準圧力におけるSF₆ガスの密度と温度の関係を知れば、近似的にギャップの放電電圧から放電時のガス温度を推定することができる⁽⁸⁾。

(2) 測定例

図12(a)に示すように、300kV三相一括型ガス遮断器の冷却筒の開口部(Aギャップ)、上部めくら付付近(Bギャップ)及びタンク胴壁面(Cギャップ)の各位置に小ギャップを設け、電流源回路から供給される50kAの短絡電流を遮断したときに冷却筒を経由して吹き出す熱ガス流を、ギャップの放電電圧として測定した。ギャップの取付状況及びオシログラムの

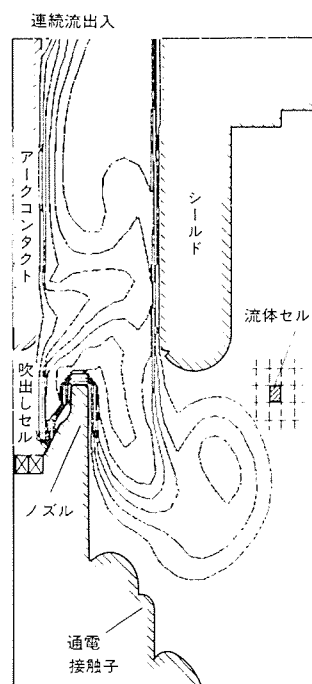
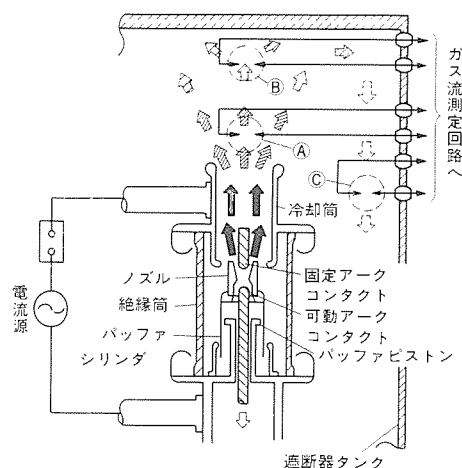
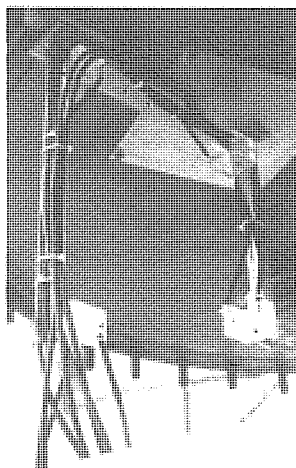


図11. 短絡遮断後 3 msの等温線図

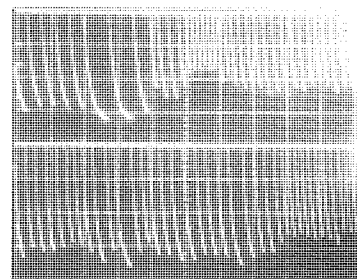
アーク時間: 1.2 サイクル
短絡電流: 50kA



(a) 熱ガス流測定位置



(b) ギャップ取付状況



(c) 小ギャップ放電のオシログラムの一例
〔感度：10kV/div. 上段：Aギャップ〕
〔掃引：5ms/div. 下段：Bギャップ〕

図12. 熱ガス流の実機測定 (300kV三相一括ガス遮断器)

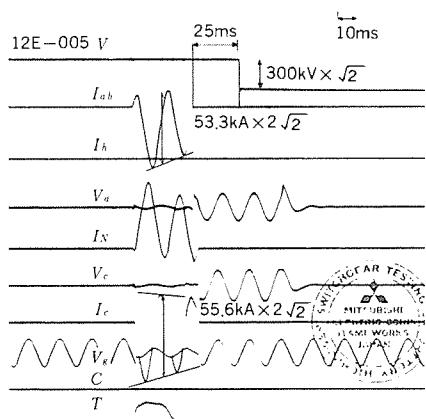


図13. 多重襲雷時を想定した

絶縁性能評価試験のオシログラム

〔短絡電流：53kA〕
〔印加電圧：650kV〕

一例を図12(b)及び(c)に示す。データを解析した結果、冷却筒の開口部 (Aギャップ位置) での最高ガス温は、アーク時間1.4サイクル、直流分60%の条件で約1,700Kとなり、注入されたアークエネルギーの増加にもかかわらずSF₆ガスの特性のために飽和の傾向を示した⁽⁶⁾。また、短絡遮断時のCギャップ位置でのガス温に変化はほとんど見られなかった。

5.2.2 絶縁性能評価への適用例

通常の短絡遮断においては、極間や対地間、相間の電圧は、遮断直後に最大となる。しかし、遮断時の多重襲雷を想定すれば、対地間や相間の電圧責務が最も過酷となる時期を特定することはできない。したがって、実機を用いて大電流遮断時の過渡的な絶縁性能を検証する場合、最も過酷な試験条件を得るためには、熱ガス流によって検証部位の絶縁耐力が最も低下する時期を知る必要がある。

図13は多重襲雷時の短絡遮断を想定した、絶縁性能の裕度評価試験のオシログラムの一例である。通常の合成短絡試験とは異なり、遮断器の各相で電流源のみを遮断した後、時間を隔てて (図13の例では約25ms) 供試遮断器に過渡回復電圧を印加した。図12に示した熱ガス流の

実機測定と、図10に示した計算機シミュレーションを併用して、電圧の印加時期を選定し、試験のばらつきを考慮して、供試相の遮断終了後約5～50msの間で試験を実施した。その結果、冷却筒頂部の絶縁性能に十分な裕度があることを確認した⁽⁸⁾。

6. むすび

新型三相一括ガス遮断器シリーズに適用した高信頼度化技術のうち、遮断器の設備不備の過半数を占める操作系と主回路の信頼性の向上に寄与した新しい技術を紹介した。

操作系には、従来に比べより進歩した構造や原理を採用し、動作信頼性を高めるために設計、評価・検証、製造の各段階における技術改善を行った新型油圧操作装置を適用した。

主回路には、新たに開発した大電流遮断時の熱ガス流の計算機シミュレーション技術や実機測定技術を適用して、従来解析や実測が困難であった遮断時の過渡的な絶縁性能を正確に把握し、設計や評価・検証の精度を高めて高い信頼性を実現した。

この新型三相一括ガス遮断器シリーズの完成によってGISの総合的な信頼性はより高まるものと思われる。

参考文献

- (1) 左近ほか：三菱電機技報，52， No.12， P.920 (昭53)
- (2) 伊吹ほか：昭和63年 電学大会， No.1182 (1988)
- (3) 大沼ほか：昭和61年 電学大会， No.1255 (1986)
- (4) 城後ほか：三菱電機技報， 61， No.10， p.814 (昭62)
- (5) 伊吹ほか：昭和63年 電学大会， No.1183 (1988)
- (6) 吉積ほか：昭和62年 電学大会， No.1313 (1987)
- (7) 吉積ほか：開閉保護装置研究会， SPD-87-26 (1987)
- (8) 吉積ほか：昭和63年 電学大会， S.12-3 (1988)
- (9) 杉山ほか：昭和63年 電学大会， No.1184 (1988)
- (10) 山下ほか：昭和63年 電学大会， No.1185 (1988)
- (11) 電気協同研究 第41巻， 第5号， p.36 (1986)
- (12) Kuwahara, H. et al. : IEEE PAS-102, No. 7, p.2262 (1983)

オールデジタル三菱汎用ACサーボ《MELSERVO-SAシリーズ》

石川嘉夫* 堤 清介* 島 晶*

1. ま え が き

昭和58年に三菱汎用ACサーボMR-Aシリーズを製品化し、一般産業機械を始めとする各分野へ多くの製品を納入し、好評を得てきた。その間、FA技術の進歩は目覚ましく、ACサーボに対する機能、性能、信頼性のほか、あらゆる点への要望が一段と高度化してきた。

当社としては、最新デジタル技術を駆使して、新世代のオールデジタル三菱汎用ACサーボ《MELSERVO-SAシリーズ》を業界に先駆け開発製品化した。さらに、標準シリーズのモータに加え低慣性シリーズ、フラットシリーズもラインアップした。

本稿では、従来のアナログ式サーボでは得られなかった数々の特長にポイントをおいて紹介する。

2. 開発のねらい

従来のDCサーボシステムにおいては、サーボアンプのほかに位置制御用偏差カウンタとD/Aコンバータを持った位置制御ユニットが必要とされてきた。当社が、ACサーボ分野へ初めて参入した際MR-Aシリーズに、この位置制御ユニットを内蔵し、あたかもパルスモータのように、容易に使いこなせるようにした点が認められ、今では位置サーボシステムとして広く市場に普及した。さらに、使いやすさを追求して、新たに製品化した《MELSERVO-SAシリーズ》の開発にあたって、特に注力したポイントを次に列記する。

(1) インテリジェント化

ソフトウェアサーボとすることで、インテリジェントモニタ機能、自己診断機能や種々のノウハウをソフト化して、容易に取り込めるようにする。

(2) 高い再現性と信頼性

制御系をオールデジタル化することで、ばらつきや温度ドリフトに悩まされず、高い再現性と信頼性を実現する。

(3) 高機能で幅広い順応性

位置、速度及びトルク制御いずれにも対応可能とし、検出器パル

ス数と指令パルスの関係を任意に設定できる。さらに、負荷イナーシャの大きな用途にも対応できるようにし、高機能で幅広い順応性を持つ製品とする。

(4) コンパクト化

従来オプションとして用意されていた主回路や制御回路機器を極力サーボアンプに内蔵し、システムのコンパクト化を図る。

(5) 立上げ・保守性の向上

モニタ機能を装備させ、トラブル要因を容易に発見できるようにし、システム立上げと保守性を一段と向上させる。

3. サーボモータ

サーボモータは図2、図3に示すように、標準タイプに加え低慣性タイプとフラットタイプをラインアップした。

標準タイプには、電磁ブレーキ付きやギヤ付きなどを準備し、種々の用途に対応できるようにしている。その構造は従来から実績のある角形フレーム構造で、冷却の向上、小型化と軽量化を図っている。また、回転子には高性能フェライト磁石を使い、コンピュータ解析により最適磁極形状とすることで、コギングトルク（磁極吸引力が回転角に応じ変化するトルク）が少なく高精度で滑らかな回転を得ている。

低慣性タイプは、回転子に希土類（ C_{m1} ・ C_{05} ）磁石を採用したことで、慣性は標準タイプの約1/3、パワーレートは約3倍となり、高頻度で高応答を要求される用途に最適である。

フラットタイプは、軸方向の寸法を極力短くし機械への組込みが

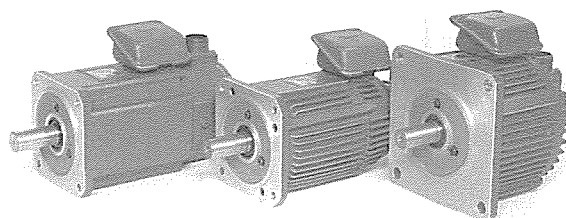


図2. 標準・低慣性・フラット型サーボモータ

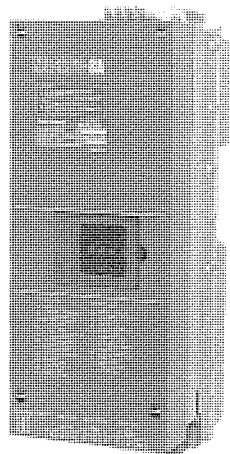


図1. オールデジタルACサーボアンプ

出力容量(kW)	0.2	0.3	0.5	1	1.5	2	3	3.5	5	7
標準タイプ モータ	0.2 — 0.5 — 1 — 1.5 — 2 — 3.5 — 5 — 7									
	2000rpmシリーズ									
低慣性タイプ モータ	0.3 — 0.5 — 1 — 1.5									
	3000rpmシリーズ									
フラットタイプ モータ	0.5 — 1 — 1.5 — 2 — 3 — 5 — 7									
	2000rpm									

図3. サーボモータのシリーズ一覧

容易で、機械のコンパクト化を可能とした。回転子には低慣性タイプと同じ希土類磁石を採用し、高頻度で高応答を要求される用途にも使用できる。

一方、標準タイプモータの検出器として、高分解能磁気式エンコーダ(3,000パルス/rev)を採用している。モータとの連結はカップリングを使用せず、中空軸によるセミビルトイン方式とすることで高い剛性が得られ、湿気や振動などに対する耐環境性も一段と向上している。

4. サーボアンプの構成

サーボアンプのハードウェア構成について述べる。

4.1 主回路構成

電源入力用コンタクトとダイナミックブレーキ回路をサーボアンプ内に収納し、オールインワン化を実現した。また、発熱源となる主回路部品をアルミダイカストシャーシに取り付け、その底部を密閉制御盤の外へ露出させることで、発熱量のほぼ50%を盤外へ直接放熱できる構造を採用した。

4.2 制御回路構成

高速16ビットCPUを使用し、位置、速度と電流制御系の処理をデジタル化することで、従来のアナログ回路で使用された調整ボリュームを完全に排除している。

ハードウェア構成を図4に示し、その主要素について次に説明す

る。

(1) CPU

16ビットの高速CPUを採用し、アセンブラ言語によるプログラムで、カスタムLSIほか各種周辺機器を制御している。

(2) モータ電流検出

従来のホール素子を用いたDCCT回路に替え、高精度抵抗器、高周波チョップパ型絶縁アンプと高性能D/Aコンバータを組み合わせることで、温度ドリフトを極力少なくした。

(3) カスタムLSI

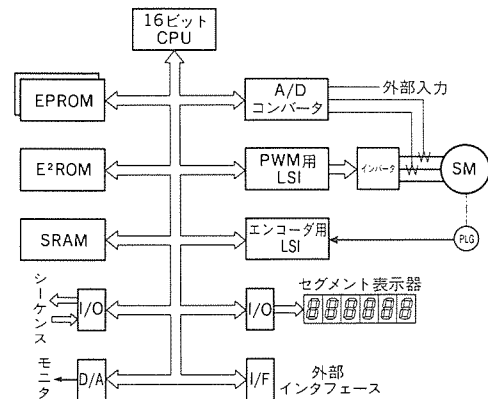


図4. ハードウェア構成

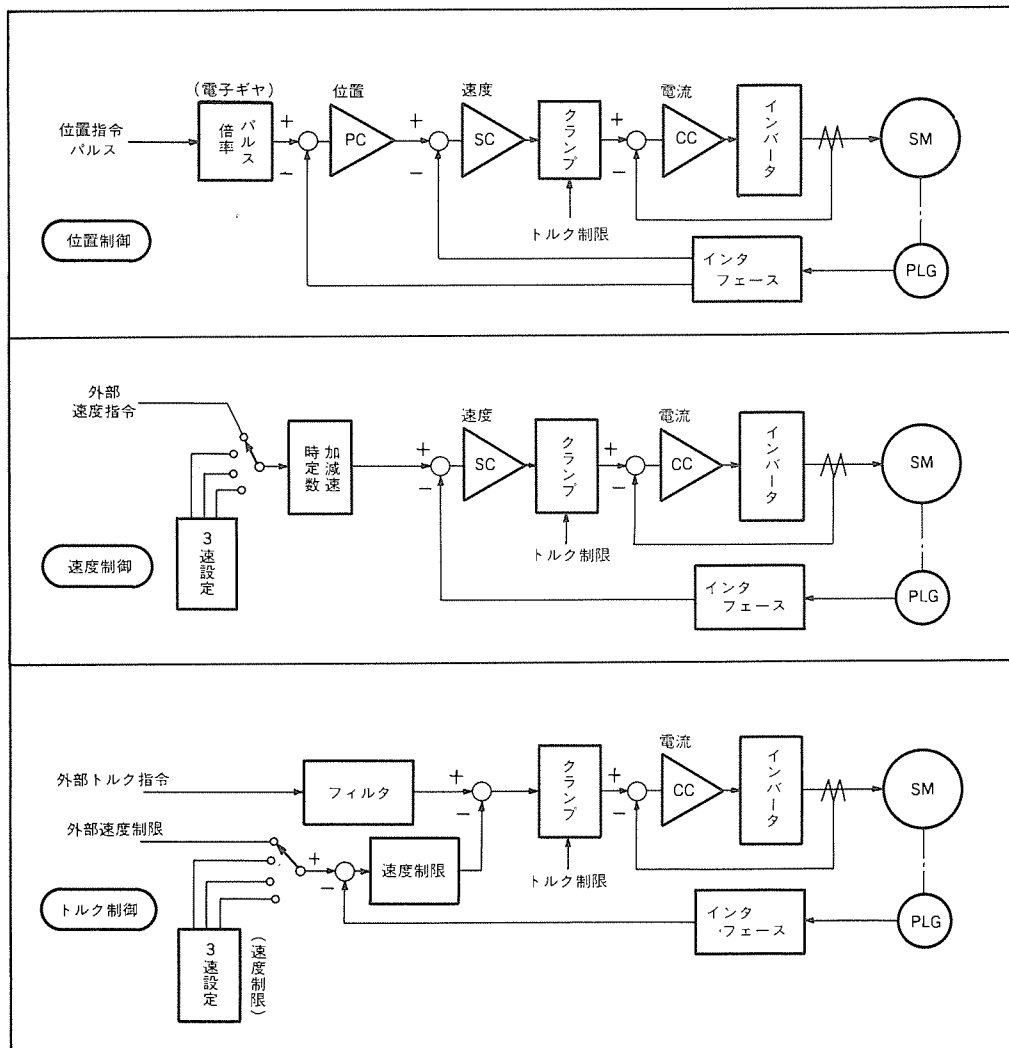


図5. 制御系システムのブロック図

サーボモータの速度と位置を検出するエンコーダのインタフェース回路、及びモータの一次電圧制御をするインバータ部のPWM回路をカスタムLSI化し、CPUにより直接制御している。

(4) セグメント表示器

モータの負荷や速度といった運転状態、デジタル入出力状態、アナログ入力レベル、制御パラメータ更にアラーム履歴といった諸状態をワンタッチで表示・確認できるようにした。

5. ソフトウェア処理

次にソフトウェア処理について述べる。

5.1 制御システム構成

従来サーボといえば、位置か速度を制御するものとされてきた。SAシリーズでは、制御系をオールデジタル化していることで、図5に示すようにトルクに比例する電流も高精度で制御でき、同一ハードウェアで位置、速度とトルクの制御モードを任意に切り替えて使用できるように、ソフトウェアを構成している。

さらに、次に述べる特長ある機能を各モードに付加し、一般産業機械において幅広い応用を可能とした。

(1) 位置制御

電子ギヤ機能（パルス倍率）は、分子・分母それぞれ4けたの数値で9,000/9,999倍のように設定でき、機械系ギヤ比、検出器パルス数と指令部max.パルス周波数に制約されないシステム構成が可能である。

(2) 速度制御

外部アナログ速度指令のほかに、温度ドリフトのない内部3速設定と加減速時の傾斜時間が設定できる。また、停止時に位置ループへ切り替えてサーボロックができるため、偏荷重があっても電源断以外メカブレーキを作動させる必要がなく、外部シーケンスを簡略化できる。

(3) 電源（トルク）制御

サーボの電流応答は非常に早いので、トルク指令の急変による機械系の振動を防止する目的で、指令入力部にローパスフィルタを設けている。さらに、故障などで負荷が急になくなると、指令されたトルクがすべて加速トルクとなり、暴走するといった危険がある。これを防ぐために速度制限機能を持っている。

5.2 電流制御方式

ACサーボモータに流す電流は、回転子磁石から発生する磁束と常に直交させ、効率良くトルクが発生するように制御される。この電流の周波数はモータの回転数に比例して高くなる。したがって、モータを一定速度で運転しても、電流制御系は常に交流量を取り扱うことになり、特に高速域において電流指令に対し位相遅れや定常偏差が存在し、効率や直線性の低下を招いた。

SAシリーズでは、電流制御系をデジタル化したことで、これらの問題点をソフトウェア上で補償し、微小電流における不感帯が少なく、高効率で直線性の良いトルク特性を得ている。

6. サーボ性能

サーボ性能を表す特性データを次に示す。

(1) 速度制御系の周波数特性

図6は速度制御系の周波数応答である。-3dBまでの周波数帯域は135Hz (848rad/s) で位相余裕35.6degと、高い応答性が得られている。

(2) 低速度特性

図7に速度サーボとして、低速度運転したときの速度変動特性を示す。工作機械のガンドリルマシンなどの切削送りにも使用され、低速域まで安定でなめらかに回転し、良好な切削面が得られている。

(3) 始動・停止特性

速度サーボで、ステップ状の始動・停止をしたときの速度とU相電流波形を図8に示す。1kWのモータに同等の負荷イナーシャを取り付けた例であるが、従来機種に比べ最大トルクを大きくしたことで、約20%加減速時間が短くなっている。

(4) 速度・温度特性

サーボアンプ内の3速設定パラメータによる速度運転では、オールデジタル化されていることで、温度変化による速度変化はゼロである。アナログ速度指令による運転においても、図9に示すようにデジタル化の効果により良好な特性が得られている。

(5) 電流・温度特性

抵抗による電流検出方式と、電流制御系のソフトウェアによる補償の採用で、周囲温度変化60°Cに対しモータの定格電流値における変化は約1%といったデータが得られている。

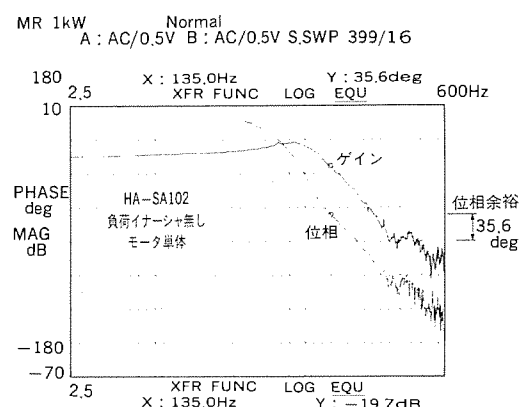


図6. 速度制御系の周波数応答

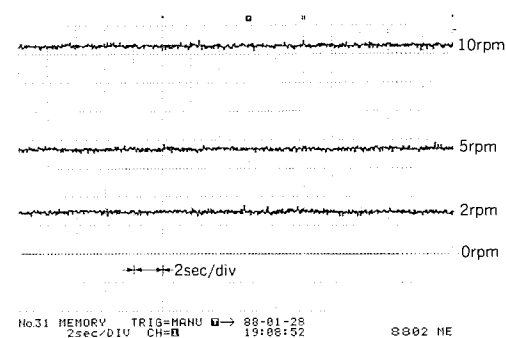


図7. 低速度特性

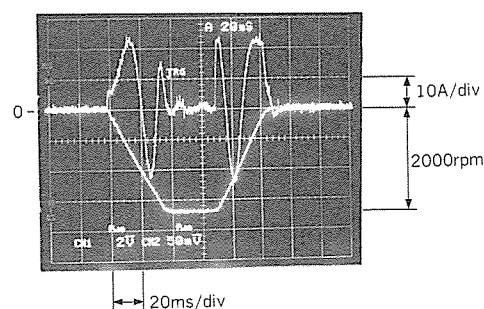
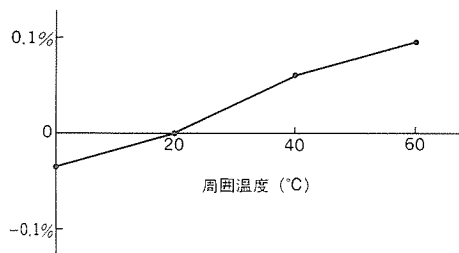
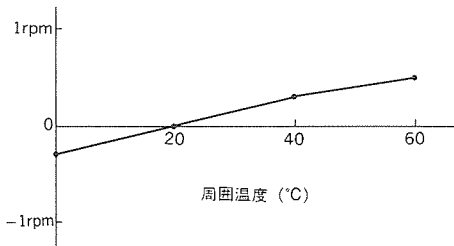


図8. 速度・電流波形



(a) 定格回転数 (2,000rpm) における速度変動



(b) 低速時における速度変動

図9. アナログ速度指令に対する温度特性

フィルムの巻取りで、張力フィードバックのないオープンループ制御に使用した場合、多数のマシンに対し同一のパラメータ値に設定するのみですべて立ち上げられ、微妙なボリューム調整を繰り返す必要がなく、その高いトルク再現性を実証している。

7. 高速位置決め用SA-Rシリーズ

一般産業機械における位置決めシステムを大きく二つに分けると、シーケンサによるプログラマブルで演算機能を持つシステムと、単純な動作を高頻度で繰り返すシステムがある。オールデジタル化されたSAシリーズの特長を生かし、従来は別ユニットとして用意されていた位置決めユニットをサーボアンプ内に取り込み、図10に示す位置表示器と設定器をRS-232Cケーブルで接続することで、高速・高頻度の位置決めシステムが簡単に構成できるSA-Rシリーズをラインアップした。

7.1 特長

(1) 無駄時間の減少

始動信号を受信してから、モータが動き始めるまでの無駄時間を10ms以下としている。また、周辺装置の遅れ時間を配慮して、位置決め完了信号を前出しする粗一致出力信号を用意している。

(2) 位置表示器を装備

標準装備した表示器により、現在値の監視ができるとともに、パラメータや運転状態の表示も可能である。

(3) 操作性の向上

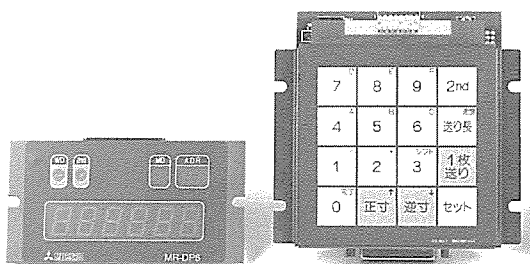


図10. SA-Rシリーズ位置表示器・設定器

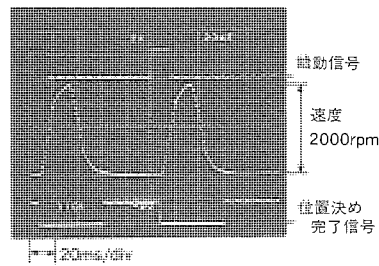


図11. 高頻度位置決め波形

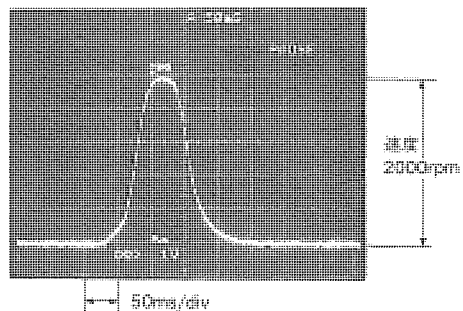


図12. S字近似加減速波形

ロール送りなど端数を持つ機械でも、mm単位で送り量の設定ができる電子ギヤ機能を持っている。送り量の設定はキースイッチによるが、用途に応じオプションのディジススイッチによる設定も可能としている。

(4) S字近似加減速

ショックを嫌う用途にも対応できるように、直線加減速のほかにS字近似加減速も可能である。

(5) 省スペース化

位置決めユニットを内蔵したことで、省スペース化を図っている。また、設定器と所定ケーブルで結合するといった単純配線で運転可能となり、立上げ時のトラブルを未然に防いでいる。

7.2 運転特性

図11に1kWの低慣性モータによる高頻度位置決め特性を示す。始動信号が入力されてから約7ms後にモータが回転し始め、約60msで位置決めを完了している。最高速度60m/minのロールフィーダに使用した場合、20mmの送り量を毎分600回と高速で位置決めしたことに相当している。

また、図12にS字近似加減速をしたときのモータ速度波形を示す。図11の速度波形と比較するとショックレスの効果がわかる。

8. むすび

1個の高速CPUを用いて、全制御系をデジタル化した新型ACサーボSAシリーズの技術的特長について紹介した。

このサーボは、上位システムとのデータリンクや適応制御といったインテリジェント化が可能で、さらに機能・性能の向上が期待できるシステムである。今後、需要家各位の御指導と御協力により、更に高機能・高性能で使いやすいサーボシステムとすべく技術開発に取り組んでゆく所存である。

参考文献

- (1) 杉本ほか：全ソフトウェアACサーボ，三菱電機技報，50，No. 12 (昭59)

高能率音声符号化装置

海老沢秀明* 内藤悠史* 高橋真哉** 中島邦男**

1. ま え が き

近年、通信網のデジタル化が急速な進展を見せており、通信需要も急増しているが、その大部分は電話音声である。そこで伝送効率の改善を目指し、従来よりも少ないビット数で音声をデジタル化する高能率音声符号化技術に対する要求が高まっている。特に、高速デジタル伝送サービスを用いた企業内情報通信網の構築において、通信用の低減、又は音声以外の情報との統合化によるサービスの高度化・効率化を目的とした高能率音声符号化装置の導入が盛んである。

このような背景には、デジタル信号処理技術の発展は当然のことながら、LSI技術の進歩——特にDSP(デジタル信号処理プロセッサ)の発達——により、高度で複雑な処理を行う符号化装置が経済的に実現可能となったことが挙げられる。

デジタル通信網発展のための基盤技術である音声の高能率符号化において、当社ではその要求にこたえるべく各種装置の開発を進めてきた。ここでは、まず音声符号化技術の概要について述べ、次に32Kbps ADPCM方式、16K/9.6Kbps APC-MLQ方式、及びその他の方式についてその内容を示す。

2. 音声の高能率符号化

音声に限らず、一般に情報圧縮の技術は扱う信号の信号モデルをどのようにとらえるかによって次の三つに分類される。

- (1) 波形符号化 (Waveform Coding)
- (2) 情報源符号化 (Source Coding)
- (3) 記号情報変換符号化 (Symbol Coding)

(1)は入力波形を忠実に再現するべく、信号の統計的性質を利用して効率的に符号化する方式であり、(2)は音声波形の生成モデルを考慮し、そのモデルのタイプと制御パラメータの形で情報を抽出し符

号化する方式である。そして、(3)は音声を認識して音素又は単語の系列に変換し、これを記号列として伝送するものであり、受信側では記号列から規則合成により再び音声として再生する。それぞれの方式の符号化速度は一般的に、(1)が約10Kbps以上、(2)が約1～10Kbps程度、(3)が70bps前後である。(1)から(3)の方式に進むに従って情報の圧縮度が高まるが、情報の損失も増え、逆に再生音声の品質が低下する。具体的にいえば、低速度化するにつれ、話者の個性が失われ非肉声的な合成音となり、極端な低速度では言語内容の伝達のみとなり、もちろん音声以外の信号は伝わらない。これらの関係を図1に示す。

電話音声の場合について現状を述べれば、これまで公衆網において、電話帯域(0.3～3.4kHz)のアナログ信号を64Kbpsで符号化するPCM方式が十数年来用いられてきた。しかし、技術の進歩により、これとほぼ同等の品質の音声は32K又は16Kbpsで伝送可能となっている。いわゆる企業内通信網では、既にこれらの伝送速度の装置が導入されており、通話品質を限定してもよい特定の通信回線では更に低速度のものも使用されようとしている。図2に企業内通信

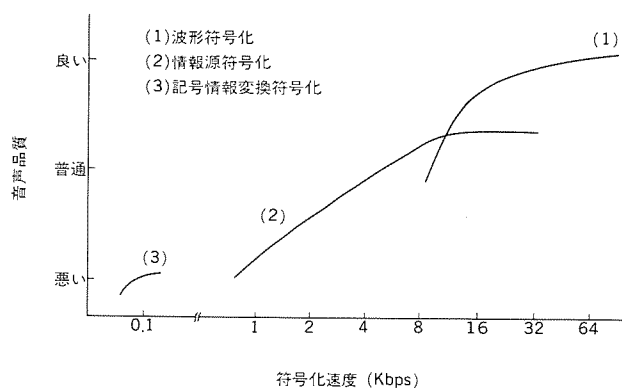


図1. 音声の符号化速度と品質の関係

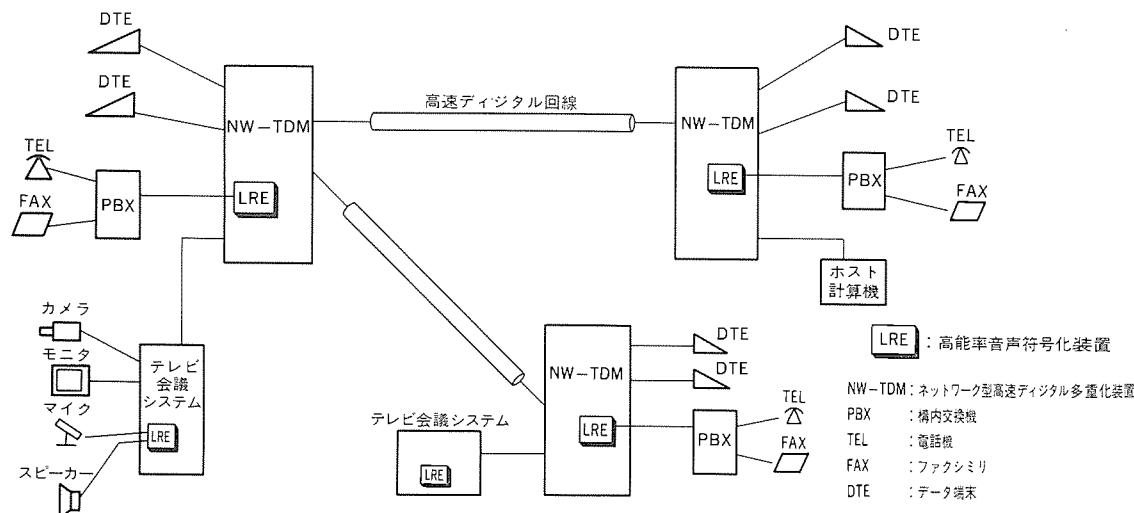


図2. 高能率音声符号化装置の適用例

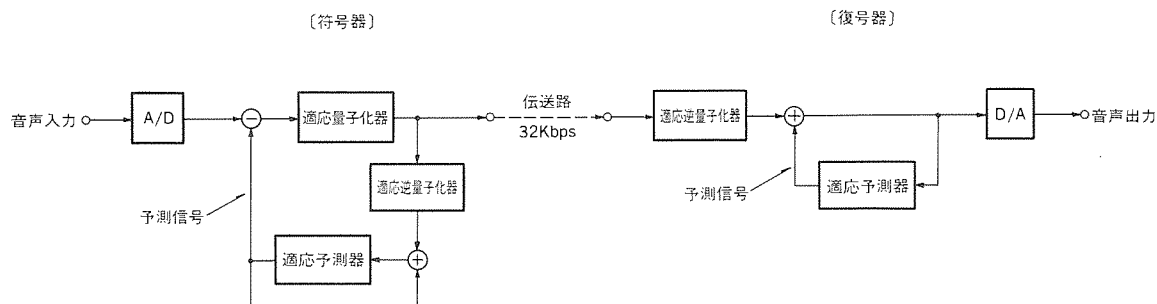


図3. 32Kbps ADPCM方式の構成

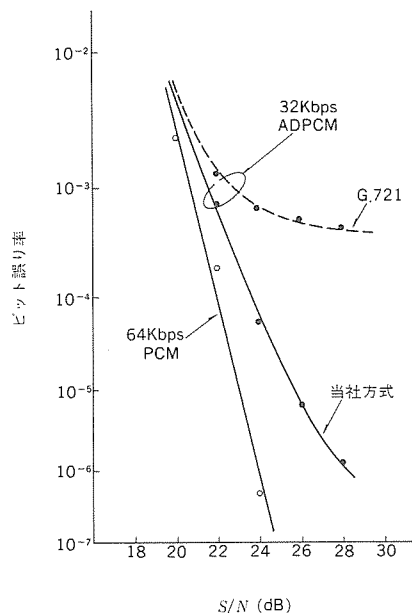


図4. V.29モデム信号に対する伝送特性

網における高能率音声符号化装置の適用例を示す。

3. FAX／音声両用32Kbps ADPCM方式

1984年に32Kbpsの高能率音声符号化の国際標準方式としてADPCMが採用され、CCITT（国際電信電話諮問委員会）により勧告化⁽¹⁾された。この方式（G.721）は音声のみならず、電話帯域のモデム信号に対しても劣化が少なくなるように配慮されているものの、現在我が国で多用されているG3 FAXの9,600bpsモデム信号の場合、これをひずみなく伝送することができない。そこで、当社ではG.721方式を基本としてこれに修正・改良を加え、9,600bpsモデム信号も伝送可能な32Kbps ADPCM方式の開発を行い、その実現に成功した。

ADPCM（適応差分パルス符号変調）方式は、波形符号化方式の一種であり、音声波形の周期性、相関性を利用して過去の信号系列から現在の入力値を予測し、これを入力信号から引き去った差分（残差信号）を量子化して伝送する方式である。図3にその基本構成を示す。入力信号に対する予測が正確であればあるほど予測残差は小さくなり、入力信号を直接量子化（64Kbps PCMの場合8ビット用いる）するよりも少ないビット数（4ビット）で量子化することができる。このため、この方式では予測器、量子化器ともに適応的な逐次制御を行っている。適応予測器では、入力信号の周波数成分の変化に応じて予測係数（過去の信号系列に対する重み付けの値）を変化させ、予測の精度を向上している。また、適応量子化器では残

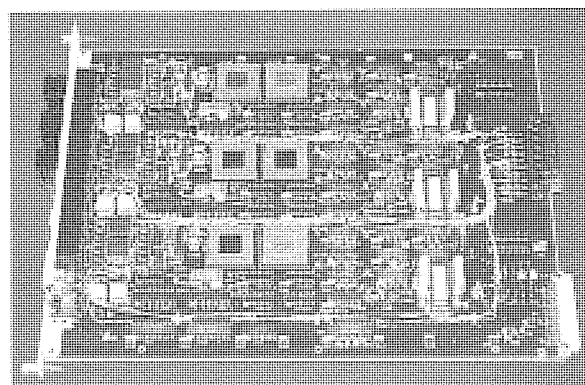


図5. ADPCM方式音声符号化装置

差信号の振幅変化に応じて量子化幅を変化させ、量子化雑音が大きくならないように制御している。

図4に新方式によるV.29（9,600bps）モデム信号の伝送特性を示す。図には64Kbps PCM及びG.721方式（32Kbps）の特性もあわせて示した。ここに示すとおり、新方式はG.721方式に比べてモデム信号の伝送特性を大幅に改善しており、実際にG3 FAXの高速伝送が可能なることを確認している。

この方式のアルゴリズム（デジタル信号処理部）は1チップの専用LSIで実現しており、このLSIを符号器、復号器にそれぞれ1個ずつ使用する。この方式による音声符号化装置の外観を図5に示す。この装置は当社のネットワーク型高速デジタル多重化装置《MELMUX》の音声系端末カードの一つであり、FAX／音声両用32Kbps ADPCMが3チャンネル分実装されている。この装置を用いることにより、G3 FAXの高速伝送というこれまでのサービスを確保しつつ、音声の伝送効率を従来の2倍に改善することができる。

4. 16K／9.6Kbps APC-MLQ方式

32Kbps ADPCMよりも更に圧縮度の高い方式として、当社ではAPC-MLQ（最よう（尤）量子化による適応予測符号化）方式を用いた高能率音声符号化装置を開発した。この方式は国際電信電話⁽²⁾で開発された符号化アルゴリズム⁽²⁾であり、INMARSAT（国際海事衛星機構）システムでも採用された、高い情報圧縮度と通話品質を兼ね備えた方式である。

APC-MLQ方式の基本構成を図6に示す。入力された音声信号（6.4kHzで標本化される）を分析し、分析結果に基づく予測値を差し引くことにより音声の持つ冗長度を低減する。この予測では、短周期予測（音声のスペクトル情報を抽出する）及び長周期予測（音声のピッチ情報を抽出する）の2段階の予測を行い、その効果を高めている。次に予測後の残差信号を量子化するのであるが、この際に数回の試行を行い常に最も量子化ひずみの少ない量子化が選ばれ

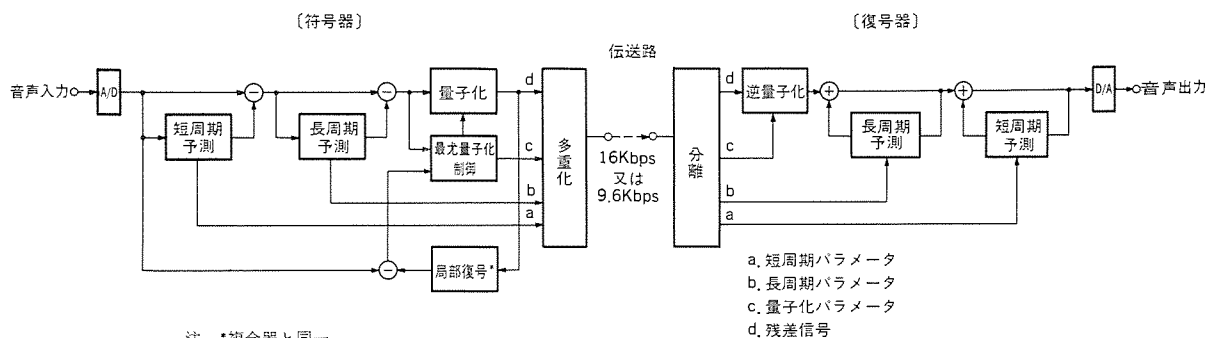


図 6. APC-MLQ方式の構成

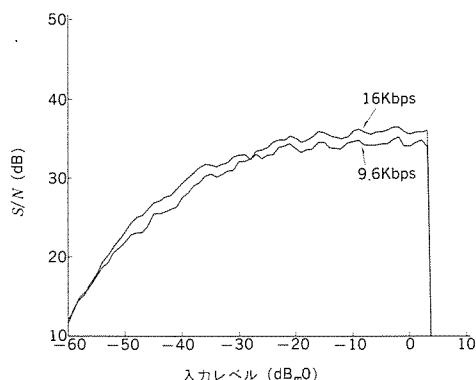


図 7. APC-MLQ方式のSN比特性

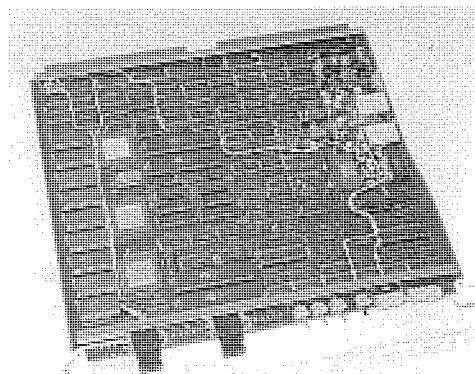


図 8. APC-MLQ方式音声符号化装置

るように制御する最尤量子法を用いている。符号器から送出される信号には、量子化された残差信号とともに補助情報として短周期パラメータ、長周期パラメータ、量子化パラメータなどの情報を符号化したものが含まれており、これらを多重化して復号器へ伝送する。なお、伝送速度が16Kbpsの場合には、残差信号を1サンプル当たり2ビットで量子化しているが、これを1ビット/サンプルとすることにより伝送速度を9.6Kbpsに低減することができる。この場合、伝送速度が半減しないのは補助情報のオーバーヘッドによるものである。一方、復号器ではこれらの情報をもとに符号器と逆の処理を行い、元の音声信号を再生する。

このような処理を装置として実現するために、汎用のデジタル信号処理プロセッサを複数個使用した。使用個数は、それぞれ演算量の多い符号器が2個、復号器が1個である。ただし、入出力信号として、64Kbps PCM信号(8kHzで標準化されている)を用いる場合には、サンプリング変換(8kHzと6.4kHzの相互変換)のために符号器と復号器にそれぞれ1個ずつ追加される。符号化から復号化までの信号の処理遅延は約70msである。図7にサンプリング変換を用いた場合のこの装置の特性を示す。図は正弦波(810Hz)信号における入力レベル対SN比特性であり、この場合9.6Kbps時の劣化は極わずかである。また、この方式は伝送速度が16Kbpsの場合、音声以外に2,400bpsモデム信号も良好な特性で伝送可能であり、低速ではあるがG3 FAXの通信サービスが提供できる。

図8にこの方式をテレビ会議システムの音声符号化部として実用化した装置の外観を示す。同装置ではスイッチの設定により、同一のハードウェアで伝送速度を16Kbps又は9.6Kbpsに切り替えて使用できる。また、前述の《MELMUX》の音声端末カードとしても実用化を進めており、これには処理遅延に伴い生ずるエコーによる通話品質の低下を防ぐため、当社で開発したエコーキャンセラが実装される。これらの音声符号化装置を使用すれば、16Kbpsでは従来の64Kbps PCMとほぼ同等の通話品質であり、さらに9.6Kbpsにおいても十分な通話品質が得られることから、伝送効率が大きく改善され、通信コストの大幅な低減を図ることができる。

5. 他の音声符号化方式

5.1 低速度音声符号化方式

狭帯域の有線・無線通信用に開発中の8Kbps以下の音声符号化方式について以下に概要を述べる。

(1) 8～6Kbps音声符号化方式

APC-MLQ方式に、音声のピッチ周期を利用した時間軸圧縮を導入して情報量の削減を図ったもので、従来のTDHIS⁽³⁾等による時間軸圧縮に比し、再生音質や処理遅延の劣化が少ないFSPI(フレーム同期ピッチ補間方式)を採用している。図9にその構成を示す。

(2) 4.8Kbps音声符号化方式

音源情報を雑音でモデル化してベクトル量子化する方式⁽⁴⁾におい

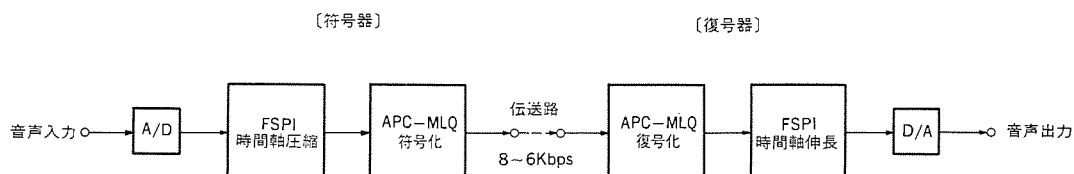


図 9. 8～6Kbps音声符号化方式の構成

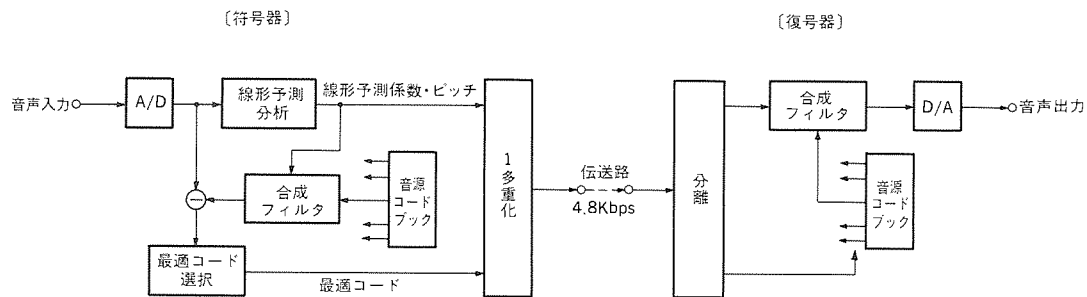


図10. 4.8Kbps音声符号化方式の構成

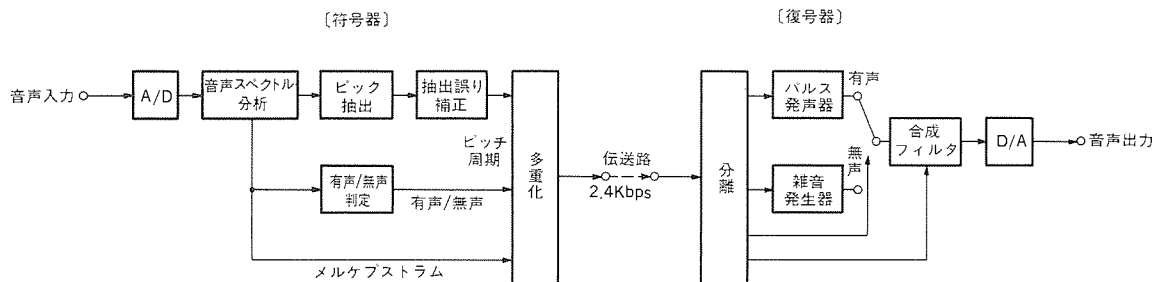


図11. 2.4Kbps音声符号化方式の構成

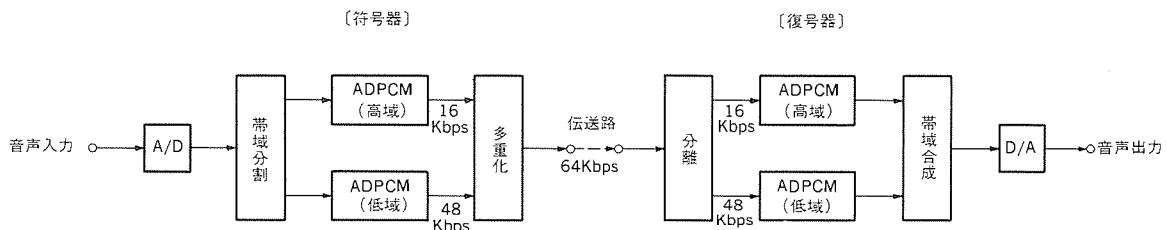


図12. 64Kbps SB-ADPCM方式の構成

て、音源コードブックに要する膨大なメモリ量と、最適音源コードブック選択のための演算量を大幅に削減し⁽⁵⁾⁽⁶⁾実用化を目指しているもので、情報量(伝送速度)に比して非常に良好な再生音質が得られる。図10にその構成を示す。

(3) 2.4Kbps音声符号化方式

音声情報を声道のスペクトル情報とモデル化した音源情報に分離して符号化するボコーダ方式に基づいており、人間の聴覚特性を考慮した声道スペクトルパラメータ(メルケプストラム)と、ピッチ周期抽出及び有聲/無聲判定の高精度化アルゴリズムとを採用することにより、話者依存性が少なく安定で明りょう度の高い再生音質を得ている。図11にその構成を示す。

5.2 高品質音声符号化方式

以上の方式とは逆に、高効率音声符号化技術を用いれば従来と同じ伝送速度で、より情報量の多い(高品質な)通話が提供できる。その一つが1986年にCCITTで勧告化された64Kbps SB-ADPCM(帯域分割による適応予測差分パルス符号変調)方式⁽⁷⁾である。これは、50~7,000Hz帯域の音声信号を低域と高域の二つの帯域に分割し、それぞれをADPCM方式で符号化し、これらを多重化して伝送する方式である。図12にその構成を示す。

当社ではこの勧告に準拠した装置の実用化を進めており、テレビ会議システムなど、より高い通話品質を要求する分野への適用が期待される。

6. む す び

音声符号化方式の概要を述べるとともに、当社における各種高

率音声符号化装置を紹介した。当社では、高性能デジタル信号処理プロセッサを現在開発中であり、今後周辺回路のLSI化とあわせて装置の小型化・低価格化を積極的に図っていく予定である。

本稿では、主に伝送装置への適用例について示したが、例えば音声メールなどの分野へ適用すれば音声蓄積メモリの削減に有効であり、高度情報化社会実現への基盤技術としてこれらの装置の貢献が期待できる。APC-MLQ方式音声符号化装置の開発に当たり、熱心な御指導をいただいた国際電信電話(株)黒研究所、八塚主任研究員に深く感謝の意を表す。

参 考 文 献

- (1) CCITT: Recommendation G.721, CCITT Red Book III (1985)
- (2) 八塚: 16KBPS APC音声符号化方式における品質改善の一検討, 信学技報CS.83-139 (1983-11)
- (3) R.V.Cox et al.: An Implementation of Time Domain Harmonic Scaling with Application to Speech Coding, ICC 82, p.4 G1.1 (1982)
- (4) M.R.Schroeder et al.: Code-Excited Linear Prediction (CELP), ICASSP, p.937 (1985)
- (5) 白木ほか: CELPにおける符号帳構成法の一検討, 音響学会講義論集, p.163 (1986-10)
- (6) 白木ほか: CELP符号化の効率化検討, 昭63信学総全大(1988-3)
- (7) CCITT Study Groupe XVIII/WP-8, Temporary Document No.26, p.16 (1986-7)

オフィスコンピュータにおけるデータベース回復技術

吉村啓二* 小宮富士夫* 岩崎浩文* 山平善久*

1. ま え が き

近年オフィスコンピュータ（以下、オフコンとよぶ）で管理されるデータは、データ量の増加、処理形態の多様化、即時性の追求などによって、ますます重要度を高めており、システムの事故がユーザー業務に及ぼす影響は計り知れないものとなってきている。このため、システムの信頼性向上はもちろんのこと、事故発生後の速やかな復旧がシステム管理者の重要な責務となってきており、従来の退避ファイルと応用プログラムの再実行による方法にかわる新しい手段が求められている。

今回、このようなオフコンの新しい市場ニーズにこたえとともに、オフコンの利用分野の拡大を目指し、トランザクション単位の回復機能を提供する“回復管理システム (RMS)”（以下、RMSとよぶ）を32ビット系オフコンのオペレーティング システム“DPS10”（以下、OSとよぶ）の付加機構として開発した。RMSはシステムの管理者に事故発生後、速やかに復旧するための有力な手段を与えるものであり、特にシステムダウン後、データ一貫性を迅速に復旧することができる。

本稿ではRMSの特長、概要を紹介するとともに、特に回復処理において採用した幾つかの技法について述べる。

2. RMSの開発思想と特長

当社オフコンでは、タイムシェアリング方式に基づくワークステーション処理のほか、トランザクション処理、オンライン処理など多様な処理形態が可能であり、RMSの開発に当たっては、これら各種の処理形態に一元的な回復機能を提供することが開発思想として求められた。また、データベースについても、物理ファイル（順、相対、索引ファイルの3種）とそれらを外部ビューを通してアクセスする論理ファイルを矛盾なく回復できることも必要であった。さらに、性能の追求はもちろんのこと、オフコンの利用環境に適合する容易な導入・操作の実現も、特に重要なテーマとして取り上げる必要があった。

RMSはこのような考え方のもとに開発したものであり、以下のような特長を持っている。

(1) 処理形態を選ばない回復機能

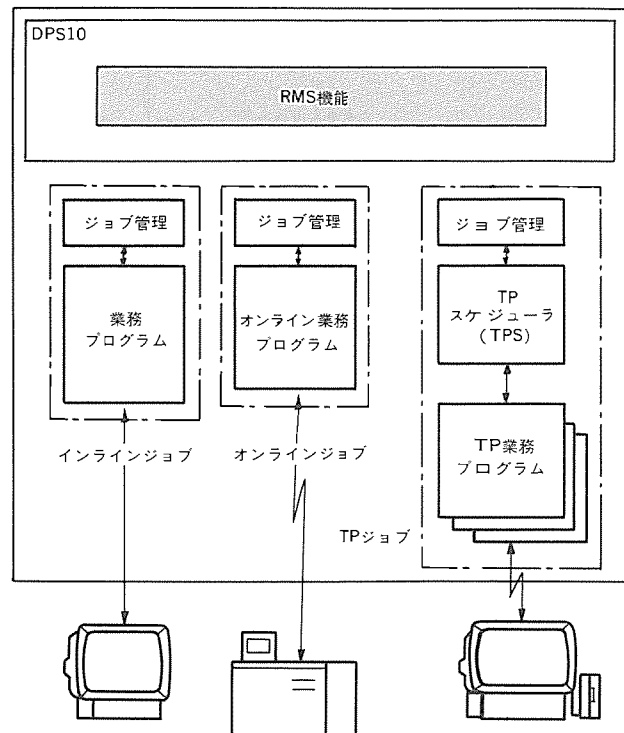
OSのもとで動作する様々な処理形態の応用プログラムが同時に更新処理を行う場合でも、一元的に回復を行うことができる（図1）。

(2) 論理ファイル、物理ファイルを一元的に回復

論理ファイル及びその物理ファイルを物理ファイルのレベルで、一元的に回復することができる（図2）。

(3) 容易な導入・運用

RMSでは、システム運用コマンドの操作性を向上させるとともに、各種の定義パラメータを最小化し、容易に導入・運用できるシステムを実現している。またプログラミングについても、回復の単



注 TPは“DPS10トランザクション処理システム”を示す。

図1. 処理形態を選ばない回復機能

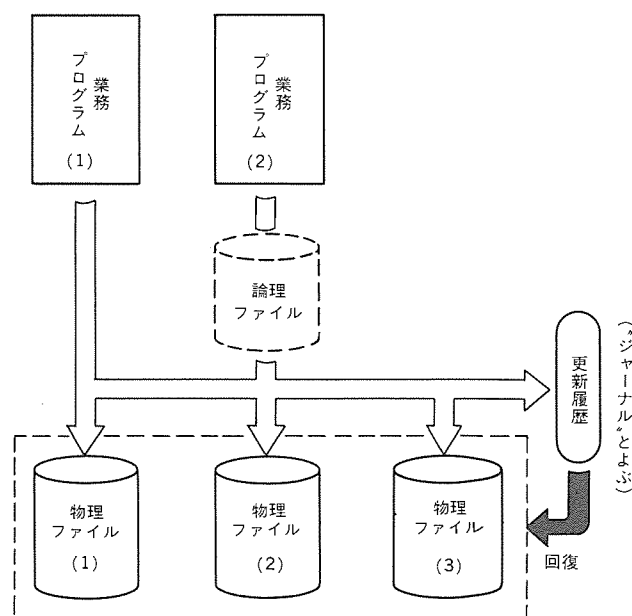


図2. ファイルの一元的な回復

位（“トランザクション”とよぶ）を指定するライブラリを組み込むだけで、簡単にRMSの機能を利用することができる。

(4) 高い処理性能

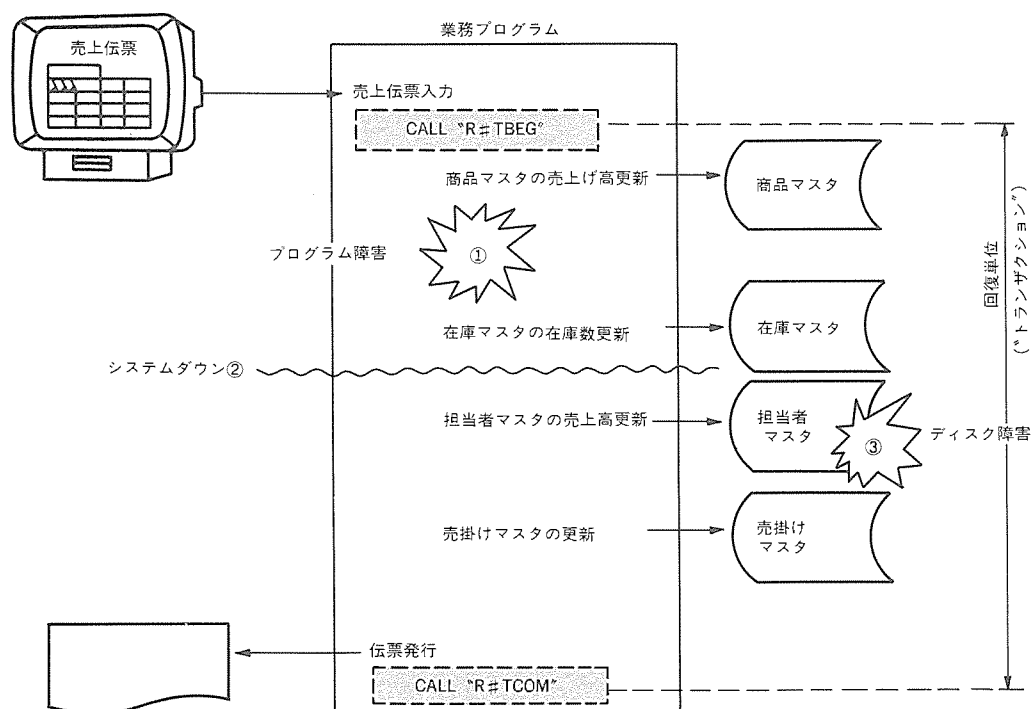


図 3. RMS機能の利用

表 1. RMSの回復機能

障 害	RMSの回復機能
プログラム障害 (①)	商品マスタの売上高更新結果を、元の値に戻し、マスタファイル間の整合性を回復する。プログラムはアボートする(TP環境下では、アボートさせないことも可)が、システムは続行する。 …………… “ダイナミック回復” とよぶ。
システムダウン (②)	商品マスタ/在庫マスタの更新結果を、元の値に戻し、整合性を回復する。したがって、ダウン時、実行中のトランザクションは捨てられる。 …………… “システム回復” とよぶ。
ディスク障害 (③)	担当者マスタのバックアップをリストア後、それ以降のファイル更新ジャーナルを、ファイル回復ユーティリティによって適用することでもっとも最近の一貫性のあるファイル状態に復旧する。 …………… “ファイル回復” とよぶ。

ジャーナルの採取やデータ更新の制御を、OSの中核機能として実現することによって、OSの持つディスクキャッシュ管理機能その他の機能を有効活用し、高い処理性能を実現している。

3. RMSの概要

3.1 RMSの回復機能

図 3 はRMSの回復機能を利用する応用プログラムの例を示している。

応用プログラムは、RMSのライブラリR#TBEGとR#TCOMを呼び出すことにより、RMSに回復の単位(トランザクション)を通知する。RMSはR#TCOM完了以前の障害についてはR#TBEG呼び出し直前のファイル状態を、R#TCOM完了後はそのトランザクションの更新結果がシステムから失われないことを保証する(このように更新結果をシステムに確定させることを“コミットする”とよぶ)。例

表 2. RMS仕様概要

項 目	仕 様
回復の対象	順/相対/索引/多面索引編成ファイル及び論理ファイル。(ただし、索引/多面索引編成では、UNIQUE属性の永久キー(主キー)必須。また、重複キーの読出し順の保証なし。)
回復可能障害	プログラム障害、システムダウン及びファイル媒体障害。
利用処理形態	インライン、オンライン及びトランザクション処理形態のいずれも可能。
回復の単位	トランザクション(ユーザープログラム内で、支援ライブラリR#TBEGとR#TCOMによって囲まれる処理単位)。
ファイルアクセス	通常のOPEN/READ/WRITE/CLOSEなどによる。
回復方式	更新前/更新後レコードのジャーナル採取に基づく、トランザクション単位の前方及び後方回復。
回復の種類	ダイナミック回復(プログラム異常からの戻し回復)、システム回復(システムダウンからの未了トランザクションの戻し回復)及びファイル回復(退避ファイルとシステムジャーナルによる前方回復)。
ジャーナルの種類	トランジェントジャーナル(メモリ)及びシステムジャーナル(ディスクファイル)。
ジャーナル採取	ディスクキャッシュ バッファ利用によるライトアヘッドジャーナル方式。
同時実行制御方式	レコード単位のロック方式。ファイルごとに、以下の3レベル可。全レコードロック/更新レコードロック/従来ロック方式。
デッドロック検出方式	トランザクション タイムアウトによる。
支援ライブラリ	トランザクション制御(4種)、システム運用管理(3種)。(R#TBEG,R#TCOM,R#TABTなど)
オペレータコマンド	システム起動/停止(2種)、各種状態表示(3種)。
回復ユーティリティ	ジャーナル 保守 ユーティリティ、ファイル 回復 ユーティリティ及びシステム回復ユーティリティ他。
その他	●ジャーナルファイル満杯時の自動交替機能あり。 ●チェックポイント採取によるシステム回復高速化機能あり。

えば、図 3 の①、②、③のタイミングで各々プログラム障害、シス

OS中核内に組み込まれており、主にトランザクションの生成・消滅、ジャーナル(RMSでは更新履歴のことを“ジャーナル”とよぶ)の採取、ディスクキャッシュ管理、ジャーナル出力などを実行する。ディスクキャッシュ管理機能は、最大2Mバイトのメモリをディスクブロック(2Kバイト単位)のバッファプール域として使用するOSの基本機能であり、LRU方式で、よりアクセス頻度の高いブロックをメモリに残し、ディスクのアクセス性能を向上させている。RMSではこのディスクキャッシュ管理にRMSとのインタフェースを持たせ、効率の良いジャーナル採取を実現している(以下、ディスクキャッシュのことを単に“キャッシュ”, キャッシュ上のブロックのことを単に“キャッシュブロック”とよぶ)。

(2) RMSシステム管理

システムの起動・停止及びチェックポイント処理などのRMSシステム全体の制御と監視を行う。また、システム回復の手順の制御なども実行する。

(3) RMSシステム定義

RMSの各種定義を行うプロセッサ群であり、メニュー操作により各種の定義を簡単に実行できるように工夫されている。

(4) レジデントライブラリ

R#TBEG, R#TCOMなどの常駐ライブラリ群である。

(5) 回復ユーティリティ

システム回復, ファイル回復を実行するユーティリティプログラム群である。

4. RMSの回復処理

システム稼働中の障害は大別してトランザクション障害(プログラムアバートなど), システム障害(システムダウンなど)及び媒体障害の三つに分けられる⁽¹⁾。回復処理の目的は, これらいずれの障害

に対してもデータの整合性を何らかの方法で復旧することである。この処理には障害発生に備えて定期的に行う準備処理と, 障害発生時に行われる回復操作が含まれる。回復処理の最大の課題は, 準備処理に要する各種オーバーヘッドの最小化と回復に要する時間の短縮化という相反する二つの目標を, いかに達成するかということである。

RMSでは基本的にはジャーナルの採取と, ジャーナルに基づく回

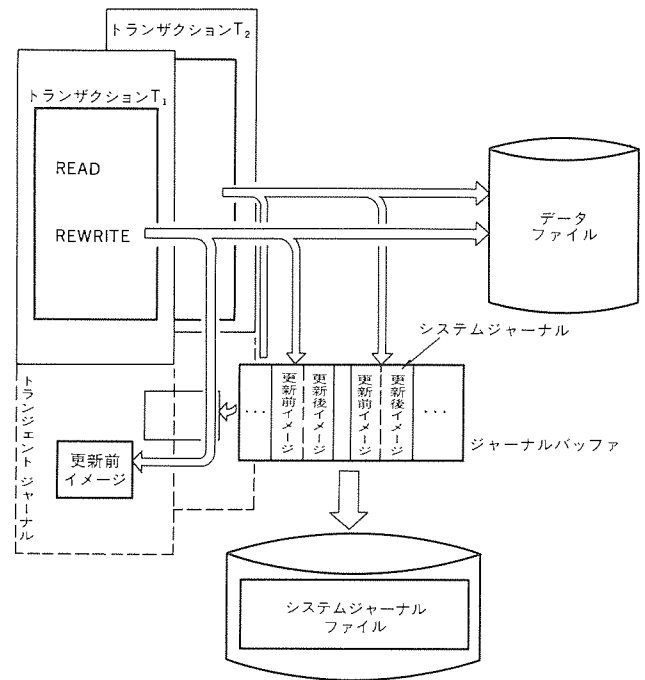


図5. RMSのジャーナル

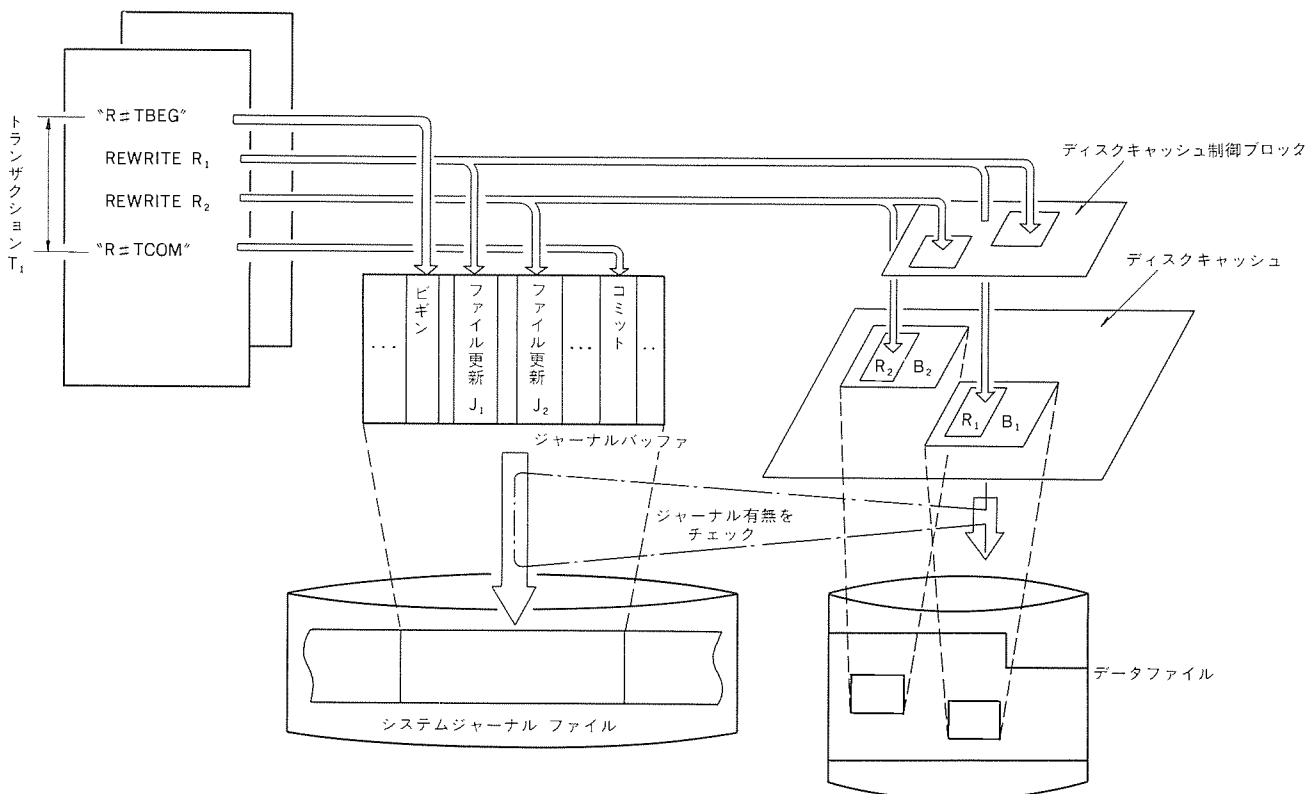


図6. ライトアヘッドジャーナルプロトコル

復操作によって回復処理を実現している。以下では、特にRMSのジャーナル採取方式とシステム障害時の回復方式について述べる。

4.1 ジャーナル採取方式

(1) ジャーナルの種類と用途

RMSでは図5に示すように2種類のジャーナル(トランジェントジャーナル及びシステムジャーナル)を採取する。前者は更新前イメージのみを含むもので、主メモリ上各トランザクションごとに採取し、トランザクション障害時、ダイナミック回復のために使用する。後者は更新前・後イメージを含むもので、いったんジャーナルバッファと呼ばれるシステムで一意のバッファに時系列的にブロッキングし、ディスクファイル(システムジャーナルファイル)へ書き出す。システムジャーナルは、システム障害時及び媒体障害時、復旧のために使用する。

(2) ライトアヘッド ジャーナルプロトコル

ジャーナル(以下、特に断らない限りシステムジャーナルをさす)を最も簡単に採取する方法は、ファイルの更新の都度、まずジャーナルをディスクへ書き、次にファイルを更新するやり方である。しかしながら、この方法では実行性能が極端に悪化することは明らかである。RMSではOSのディスクキャッシュ管理機能を有効活用し、この問題を解決している。すなわち、RMSではファイルの更新が行われても、一般にはすぐディスクへ書き出すことはしない(キャッシュの更新だけを行う)。したがって、対応するジャーナルもジャーナルバッファ内に格納するだけで、この時点では、ディスクへ書き出さない。さらに、トランザクションがコミットしたとしても更新内容の書き出しを強制しない(ただし、ジャーナルの書き出しは行う)。このため、キャッシュがディスクへ書き出されるタイミングはキャッシュ満杯時、チェックポイント処理時(後述)など、ファイル更新とは非同期に発生することになる(ただし、索引ファイルの追加・削除など構造の変更を伴う更新ではコミットまで更新を保留する方式をとっている)。

図6はトランザクション T_1 が二つのレコード R_1 , R_2 を更新する場合を例にとって、これら動作概要を示したものである。 T_1 がレコード R_1 を更新すると、RMSはまず対応するジャーナル J_1 をジャーナルバッファに採取し、次に R_1 を含むキャッシュブロック B_1 を更新する。レコード R_2 についても同様にジャーナル J_2 の採取とブロック B_2 の更新を行う。この時点ではジャーナル、レコードともにディスクへは書き出さない。この後、 T_1 がコミットすると、コミットジャーナルを採取し、 J_1 , J_2 などとともに1回のアクセスでディスクへ書き出す。ただし、コミットまでにキャッシュ満杯などのため、例えば B_1 の書き出しが必要となった場合には、RMSはジャーナルバッファをチェックし、もし J_1 が未書き出しであれば、 J_1 を他のジャーナルとともにディスクへ先行して書き出した後、キャッシュバッファをディスクへ出力する。これらの手順は“ライトアヘッド ジャーナルプロトコル”として知られるものである⁽²⁾。

RMSでは、この技法により1トランザクション内で発生する複数ジャーナルを最小のアクセス回数でディスクへ書き出すことを可能としている。また、キャッシュのディスクへの書き出しはコミット時にも強制しないので、複数のトランザクションが同一のブロックを集中的に更新する場合には、キャッシュのディスクへの書き出し回数を大幅に削減することができる。しかしながら、このメリットは、システム障害の際、コミットを完了していた更新内容のうち、キャッシュからディスクへ書き出されなかったものについて、RMS

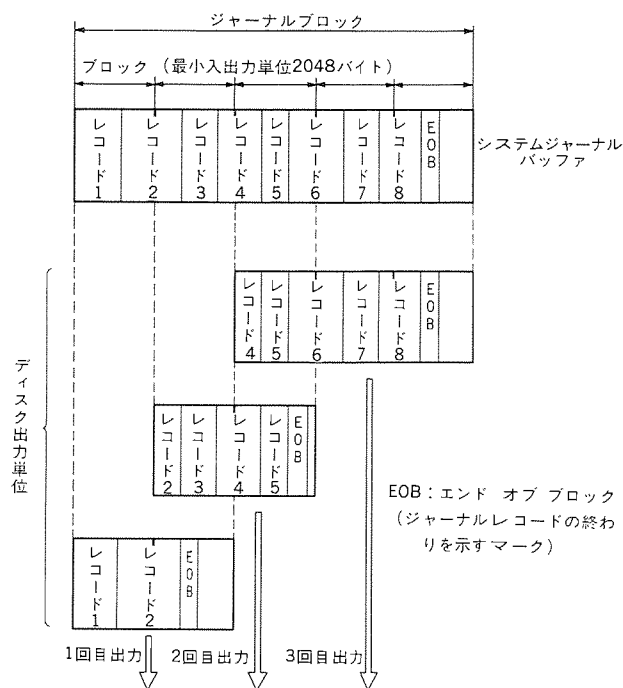


図7. ジャーナルバッファの書き出し(レコード2, 5, 8の採取タイミングでディスク出力が発生した場合の書き出し例)

が再実行を約束しなければならないことを意味している(戻し回復操作で再実行を行っている)。

(3) ジャーナルバッファの書き出し

RMSではジャーナル出力専用のルーチンを用意することにより、ジャーナルバッファ書き出しの際、図7のように必要な部分だけを出力できるようにし、ディスクの利用効率向上と出力性能向上の双方を達成している。

(4) 更新後イメージの圧縮

一般にレコードを更新する場合、レコード全体を変更することはまれであり、一部だけを変更することが多い。RMSでは図8に示すように更新後イメージを更新前レコードとの差分の形式で持つことにより、実質のジャーナル量を減少させている。

4.2 戻し回復

RMSはシステム障害が発生すると、RMSの再起動時、自動的にシステムの状態を判定し、必要に応じて“システム回復”と呼ばれる一連の回復操作を実行する。この中で主なものは分割操作中の索引ブロック検出機能や、複数キー間の整合性回復機能を用いて、索引構造の物理的な一貫性を効率良く回復する“索引回復”操作と、トランザクションの部分的な再実行と未了なトランザクションの取り消し(バックアウト)を行う“戻し回復”操作である。

以下では、特にジャーナル採取方式と密接に関係する戻し回復と、これに要するコストを適正化するために実行するチェックポイント処理について述べる。

(1) 戻し回復の考え方

戻し回復で行うべきことは次の二つである。

- コミットを完了したが、まだキャッシュ上にあり、ディスクへ反映されなかった更新を再実行すること。

- 未了なトランザクションの更新結果をバックアウトすること。

このため、RMSでは戻し回復を二つのフェーズに分け、第1フェーズではジャーナルファイルを前進方向に走査し、更新を再実行す

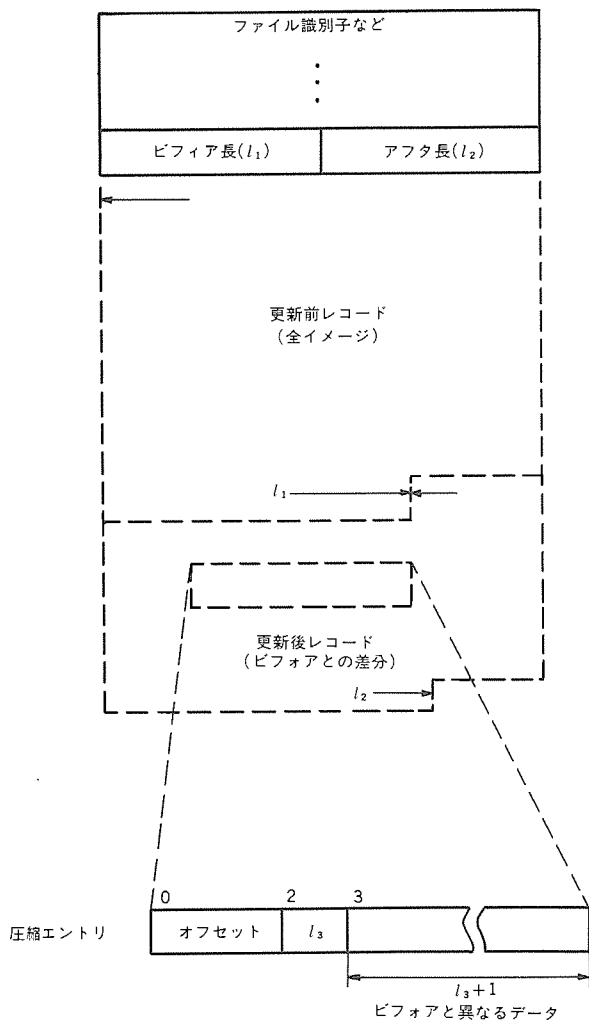


図 8. ファイル更新ジャーナルの形式

るロールフォワード処理を、第2フェーズでは未了なトランザクションのバックアウト処理を実行する。

(2) チェックポイント処理

戻し回復ではシステム障害によって失われた更新を再実行しなければならないが、実際にはどの時点からやり直すかが問題となる。最も単純な方法はシステムの起動時点からやり直すことである。しかしながら、この方法は再実行される更新量が膨大となるため、非現実的である。RMSではやり直し量を限定するため、チェックポイント処理と呼ばれる処理を周期的に行い、定常処理における若干のオーバーヘッド増と引換えに、回復時間の大幅な短縮化を達成している。

チェックポイント処理では、およそ次の手順を実行する。

- チェックポイント ジャーナル (以下、HT とよぶ) を同期出力する。
- キャッシュ中、未書き出し状態のブロックを捜し、ディスクへ書き出す。

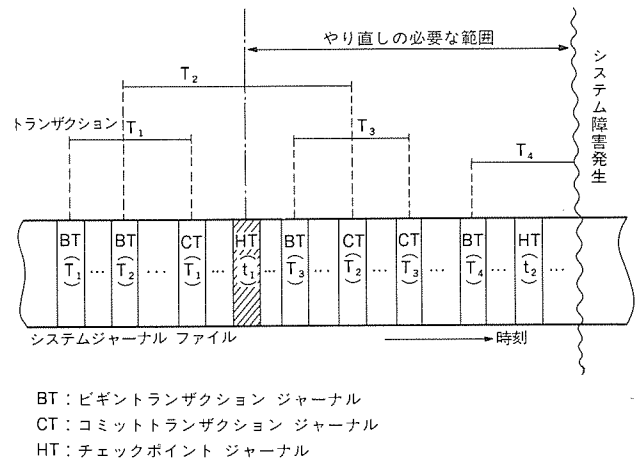


図 9. 戻し回復の例

ディスクへの書き出し処理では、出力要求をOSのディスクドライバにまとめて処理させることにより、ディスク出力のオーバーヘッドを軽減している。

(3) 戻し回復の手順

図 9 に示す例をもとに、戻し回復手順について述べる。まず、ジャーナルファイルを末尾から逆方向に走査し、2 個目の HT (HT (t_1)) まで戻る。これは、HT (t_1) 以降のファイル更新はディスクに反映されていない可能性があるためである。さらに、このとき動作中であった最も古いトランザクション T_1 の開始時点 (BT (T_1)) まで戻る。この点を開始点としてロールフォワード処理を行い、HT (t_1) 以降に現れるファイル更新を再適用していく。最後に、未了なトランザクション T_4 をバックアウトし、戻し回復を終了する。

5. む す び

以上、主にRMSの回復処理方式について述べたが、このほかシステム定義、システム運用コマンドなど導入、運用の容易さを配慮した設計を行っており、導入先からも“高い回復機能と使いやすさとを両立させた製品”との評価を得ている。しかしながら、RMSの効果を十分引き出すには、あらかじめRMSの機能、制約を配慮したシステム設計が必要なことも事実であり、今後更にシステム設計負荷を軽減することが一つの課題である。また、分散データベースアクセスなどの分散処理環境への展開も図っていきたい。

参 考 文 献

- (1) 山崎, 吉田: データベースの完全性と機密保護, 情報処理, 23 巻, 10号, p.916 (1982)
- (2) Gray, J.N.: Notes on Data Base Operating Systems, Operating Systems - An Advanced Course, Springer-Verlag, p.464 (1978)

高周波インバータ電源を搭載したマイクロ波放電光源装置

正田 勲* 岩田明彦** 渡辺 勇* 児玉仁史* 吉沢憲治**

1. ま え が き

マイクロ波放電光源装置とは、マイクロ波空洞共振器（キャビティ）の中に配置された無電極ランプに、マイクロ波エネルギーを注入し、放電・発光させる光源装置のことである。この光源装置は無電極ランプに直接マイクロ波エネルギーを注入していることから、①点滅寿命が長い、②光出力の劣化が少ない、③光出力の立ち上がり時間が短い、④再点灯時間が短い、⑤放射光の中に赤外線が少ない、などの特長を持っている。

当社では1983年に、キャビティ・光反射板一体型のマイクロ波放電光源装置⁽¹⁾（1.5kWタイプ）を写真製版分野の露光用光源装置として製品化して以来、続いて3kWタイプ装置、更に光反射板の形状を変えることにより種々の用途に使用できるキャビティ・光反射板分離型装置⁽²⁾を製品化してきた。これらのマイクロ波放電光源装置は、使いやすことからプリント基板のパターン焼付け用、UV（紫外線）インキ乾燥用、UV塗料硬化用、また最近では半導体製造におけるEPROM（半導体メモリ）の消去用紫外線光源など用途が拡大してきている。

一方、このマイクロ波放電光源装置のマイクロ波発生源であるマグネトロン⁽³⁾の駆動電源部には、商用交流電源（50Hz／60Hz）を直接昇圧する昇圧トランスと整流器が用いられていた。この駆動電源部は、形状・寸法が大きく、重量も重いものであった。また、光出力を連続的に可変できるものではなかった。

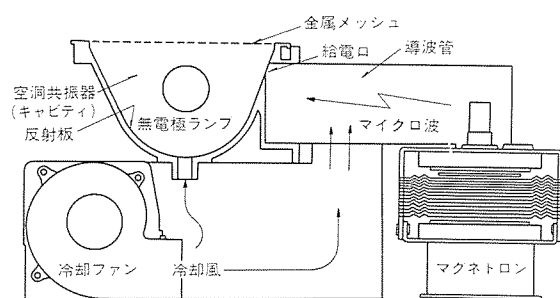


図1. マイクロ波放電光源装置灯体部の構成

筆者らは、この駆動電源部の問題点に着目し、軽量、小型化及び光出力を連続的に可変できるマイクロ波放電光源装置用の高周波インバータを用いたマグネトロン駆動電源部を開発した。また、この新電源部の開発に際し、①高周波インバータを用いたことに起因する無電極放電ランプの放電の揺れの防止、②電源電圧の変動に対するマグネトロン電力の変動の抑制、③マグネトロンの異常発振発生時の安全駆動対策など技術的諸問題を解決した。

この報告は、新電源部の構成、動作原理及びこの新電源を搭載したマイクロ波放電光源装置の諸特性及び特長などについて述べる。

2. マイクロ波放電光源装置の概要

マイクロ波放電光源装置は灯体部と電源部とから構成されている。

2.1 灯 体 部

マイクロ波放電光源装置の灯体部は、図1に示すように2,450MHzのマイクロ波を発生するマグネトロンと、内部に強い電磁界を形成するキャビティと、キャビティにマイクロ波を導く導波管及びキャビティの中に配置された無電極ランプから構成されている。キャビティの開口部は光の透過率の良い金属メッシュからできている。無電極ランプは外径約30mmの石英ガラス球から成り、内部に水銀、希ガス及び発光金属として金属ハロゲン化物が封入されている。ランプは点灯開始後数秒間で光出力が安定し、封入した発光金属特有の発光が得られる。

2.2 従来の電源部の構成

電源部はマグネトロンの駆動用主回路と、マグネトロンのカソー

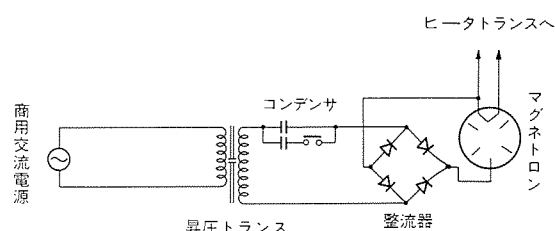


図2. 従来の電源部主回路の構成

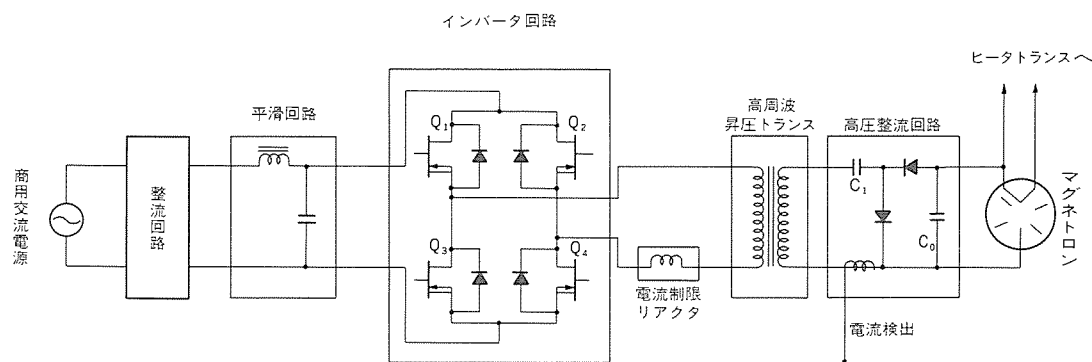


図3. 新電源部主回路の構成

ドを加熱するヒータトランス及び装置を安全に点灯操作を行わせるシステム制御回路などから構成される。

従来の主回路は、図2に示すように商用交流電源を直接昇圧する昇圧トランスと、昇圧トランスの二次側にコンデンサを介して接続された整流器とで構成されている。昇圧トランスは磁気漏れ変圧器が使用され、この磁気漏れ変圧器とコンデンサとの組合せによる定電力特性を利用して、電源電圧変動に対するマグネトロン電力の変動を抑制している。また、この主回路は光出力の立ち上がり時間の短縮を図るため、コンデンサの容量を始動時のみ増大させて、定常時よりも高い電力でマグネトロンを駆動できるように構成されている。

3. 新電源部の構成と機能及び動作

マイクロ波放電光源装置用新電源部は、マグネトロン駆動電源主回路、そのインバータ回路を制御する制御回路及びこの光源装置の点滅操作やマグネトロン電力の設定などを行うシステム制御回路から構成されている。この新電源部におけるマグネトロン駆動用主回路の動作原理は、商用交流電源を整流平滑して直流とし、この直流をインバータで高周波化し、この高周波電圧を高周波昇圧トランスで昇圧し、更に整流してマグネトロンに印加し、マグネトロンを駆動させるものである。なお、高周波化することで、昇圧トランスをはじめ電源部が大幅に軽量・小型化されている。

3.1 各回路の構成と機能及び動作

3.1.1 マグネトロン駆動用主回路

主回路は図3に示すように、整流回路、平滑回路、インバータ回路、高周波トランス、電流制限リアクタ及び高圧整流回路から構成される。

(1) インバータ回路

この回路は直流を高周波化する回路で、フルブリッジ方式を採用し、スイッチング周波数を100kHzと高く設定し、PWM（パルス幅変調）制御で動作させている。また、入力電圧が高く（AC200Vを整流して得られるDC約250V）、比較的大電力（最大2kW、定格1.5

kW）、高いスイッチング周波数で動作させており、このためスイッチング素子はスイッチング損失が少なく、高耐圧のパワーMOS FETを用い、フルブリッジ方式とあいまってこの回路部分の信頼度を高めている。

(2) 電流制限リアクタ

このリアクタはマグネトロン電力のPWM制御が容易にできるように設けられており、そのリアクタンスと、高圧整流回路のコンデンサのキャパシタンス及びマグネトロンの動作特性とを適切に組み合わせることにより、電源電圧変動に対する電力の変動を抑制する機能を持っている⁽³⁾。

(3) 高圧整流回路

半波倍電圧整流回路で構成され、無電極ランプの放電の揺れ防止のため、この回路の出力側にコンデンサC₀を挿入している。

(4) 平滑回路

チョークインプット方式を使用し、力率が0.8以上になるようにしている。

3.1.2 インバータ制御回路

この回路はインバータ回路においてMOS FETのON/OFFのスイッチング動作をさせるゲート信号を出力する回路である。図4に示すように、検出された高周波昇圧トランスの二次側電流（マグネトロン電力に相当する）をマグネトロン電力設定値と比較し、その誤差をPWM変調し、マグネトロン電力が設定値になるようなゲート信号が出力される。また、商用交流電源の位相を検知し、これに同期させてマグネトロンの発振を周期的に休止させる休止回路を設けている。

3.1.3 システム制御回路

図5に示すシステム制御回路はワンチップマイコンを中心に構成

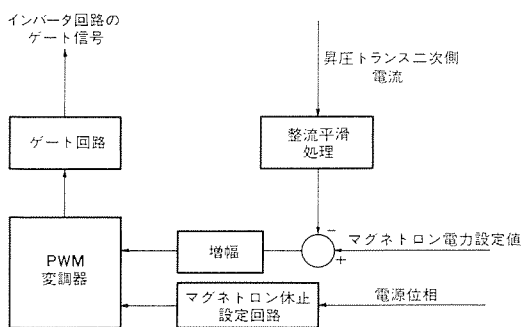


図4. インバータ制御回路

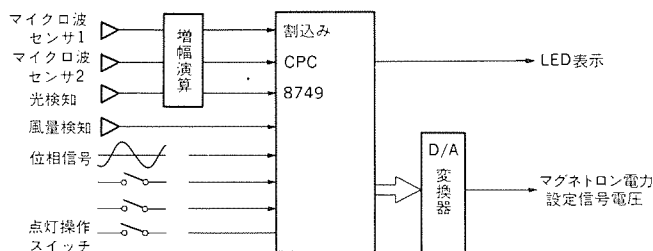


図5. システム制御回路

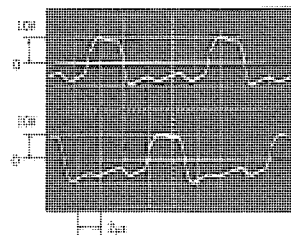


図6. FETゲート電圧波形

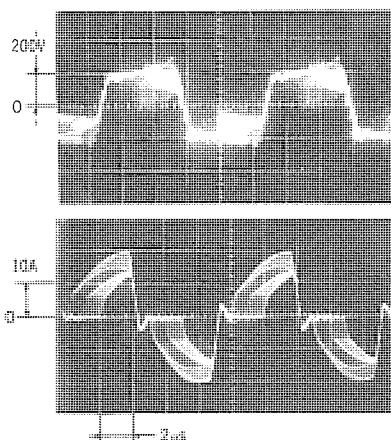


図7. 高周波昇圧トランスの一次側波形
(上段：電圧波形，下段：電流波形)

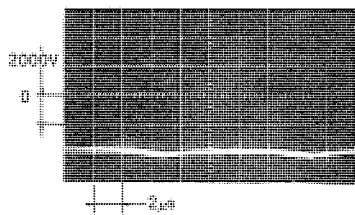


図8. 高圧整流回路出力電圧波形

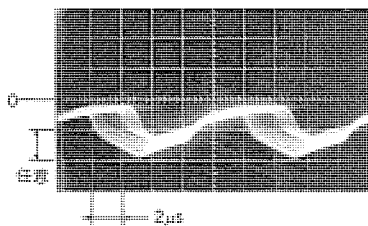


図9. マイクロ波出力波形①

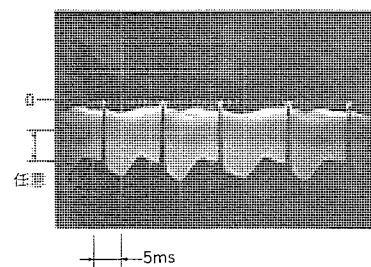


図10. マイクロ波出力波形②

され、装置を信頼性が高く、安全な運転をするための機能のほか、プログラムによる光出力制御機能を持つ。すなわち、ワンチップマイコンのメモリに点灯開始後の経過時間とマグネトロン電力設定値とを記憶させておき、光出力の制御を経時的に行わせる機能である。

3.2 主回路の動作・特性

(1) インバータ回路

インバータ回路のFETのゲートには、図6に示すゲート電圧が印加され、FETはスイッチング素子 (Q_1 と Q_2) 及び (Q_2 と Q_3) を交互にON/OFFし、高周波昇圧トランスの一次側に高周波電圧を印加する。

(2) 高周波昇圧トランス

高周波昇圧トランスの一次側の電圧及び電流波形を図7に示す。電流波形は、インバータ入力脈流電圧に応じて、パルス幅変調されている様子を示している。

(3) マグネトロンの動作

高圧整流回路の出力側電圧波形を図8に示す。これはマグネトロンの動作電圧で、マグネトロンが定電圧で動作していることを示している。

図9、図10はマグネトロンのマイクロ波出力波形を示す。マイクロ波出力波形①は高周波 (100kHz) でのマグネトロン動作を示すもので、マイクロ波出力は、100kHzの脈流で連続して発振されている。マイクロ波出力波形②は時間を延ばしてみたときのマグネトロン動作を示すもので、マイクロ波出力は商用周波数成分のリップルを含む。また、商用周波数に同期して、マグネトロン異常発振発生時の安全対策である約0.5msの休止が入っている。

3.3 技術的問題点とその解決策

次に示すようなこの装置特有の問題点を解決し、マイクロ波放電光源装置に最適なインバータ電源として仕立てている。

(1) マグネトロンの動作特性に起因する問題点と解決策

マグネトロンは、①印加電圧の変化に対し電力の変化が大きい、②異常発振が生じると正常状態に自己復帰しない、という問題があり、①に対しては電流制限リアクタの挿入及びPWM制御、②に対してはマグネトロンの発振を周期的に休止させる回路、などで解決した。

(2) 無電極ランプの放電の揺れとその解決策

高周波インバータのスイッチング周波数で脈流しているマイクロ波エネルギーで無電極ランプを点灯させると、一般に使われている20~30kHz程度のスイッチング周波数では、HIDランプで発生する放電の揺れ⁽⁴⁾と同じような放電の揺れが発生する。この問題に対して、①スイッチング周波数を100kHzと高くし、②高圧整流回路の出力側にコンデンサを挿入してマグネトロン入力電力の高周波成分の軽減を図る、などで解決した。

4. 新電源部を用いた光源装置の諸特性及び特長

4.1 諸特性

4.1.1 光出力立ち上がり特性

図11に従来の電源部及び新電源部を用いたときの光出力立ち上り

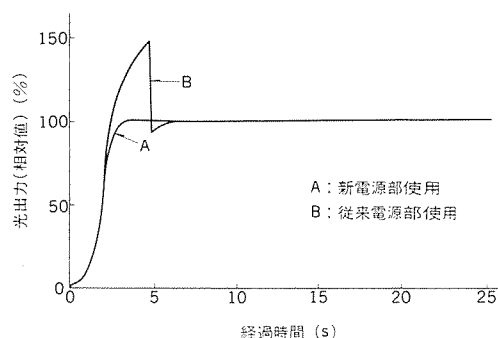


図11. 光出力立ち上がり特性

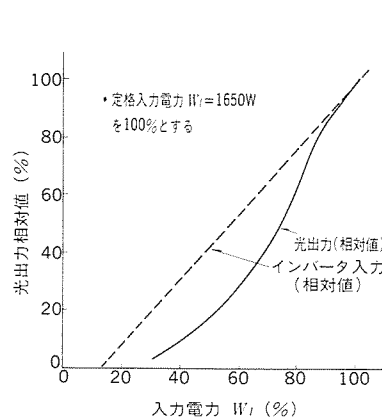


図12. 調光特性

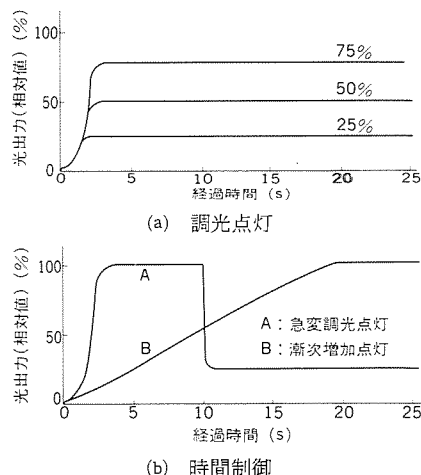


図13. 種々の光出力制御

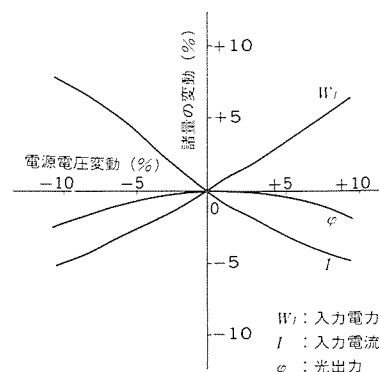


図14. 電源電圧変動特性

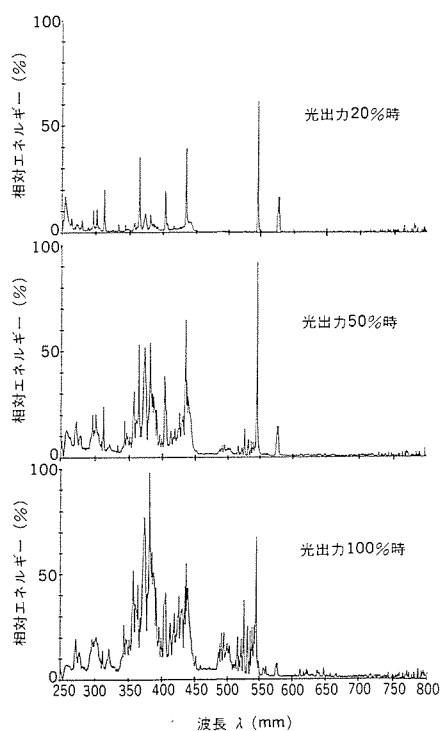


図15. 分光分布図

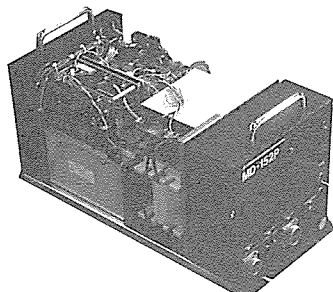


図16. 新電源部

り特性を示す(ここでの光出力とは波長310~400nmの紫外線の出力をいう)。従来の電源部では点灯直後の5秒間のみ、定格入力電力の約1.3倍の電力が投入されるので、光出力は定格時の約150%までオーバーシュートする。一方、新電源部のは点灯直後、1.3倍までの電力を連続的に変えて投入できるので、光出力は滑らかな立ち上がりを示し、立ち上がり時間は従来の電源部を用いたものとほぼ同じとなる。

4.1.2 光出力の制御特性

図12に調光時の調光入力と光出力の関係を示す。光出力は定格入力時光出力の8~100%変化させることができる。また、プログラムによる光出力制御ができるので、調光や時間的変化の制御ができる。図13は幾つかの光出力制御例を示す。

(1) 調光点灯

図13(a)は光出力が定格時の75%、50%、25%の調光点灯させたもので、点灯開始直後は最大入力が入力できるように制御しているので、いずれの場合も光出力の立ち上がり時間は最短にできる。調光点灯における光出力は任意に選択できるので、これによって露光装置などでの感光材の感度の異なるものにも対応できる。

(2) 光出力の時間制御

図13(b)に示すように、時間に対して光出力を大幅に変えることができる。

表1. 仕様・性能の比較

項目	新電源 (形式MD152P)	従来電源 (形式MD151P)
電源電圧 (V)	AC200	AC200
周波数 (Hz)	50/60 (共用)	50/60 (切替え)
定格入力 (kW)	1.65	1.55
最大入力 (kW)	2.15	—
定格電流 (A)	10.2	8.4
力率	0.81	0.93
調光性	定格入力の40~100%	—
光出力 (相対値)	1.0	1.0
寸法 (mm)	190(W)×392(L)×198(H)	230(W)×520(L)×230(H)
重量 (kg)	12	33

注 光出力の測定はオーク製作所製紫外線照度計(形式UV-MOI, 受光部UV-35)を用いた。

4.1.3 電源電圧変動特性

図14に電源電圧を変動させたときの入力電力、入力電流、光出力の変動を示す。電源電圧±10%の変動に対して、入力電力の変動は±5%以内、光出力は±2%の変動を示す。

4.1.4 分光分布特性

図15に定格入力時及び調光時の分光分布を示す(ランプは発光金属として鉄のハロゲン化物を封入した紫外線光源用ランプを使用した)。調光時の光出力を小さくするほど発光金属である鉄のスペクトルは減少し、水銀のスペクトルが優勢になる。調光時光出力が約50%までは、鉄入りランプとして有効であり、調光時光出力が20%前後では、水銀ランプと同様のスペクトルとなる。

4.2 特 長

新電源部を用いたマイクロ波放電光源装置の特長を下記に挙げる。

- (1) 光出力の制御性が良い。調光は光出力で8~100%まで連続調光ができ、光出力の時間制御ができる。また、点灯開始直後に高い電力が投入できるので、光出力立ち上がり時間を最短にできる。
- (2) 軽量・小型である。従来の電源部に比較して、重量が約40%、容積が約50%になった(図16)。
- (3) 電源が50Hz・60Hzのどちらでも使用できる。

5. む す び

以上、説明したようにマイクロ波放電光源装置用のマグネトロン駆動用電源を高周波インバータ化した新電源は軽量・小型化され、また連続調光ができるようになり、光出力の制御性が極めて良好となった。この光出力制御が容易なことにより、目的、用途に適合したきめの細かい光照射が可能になり、露光光源をはじめ種々の用途の拡大が期待される。また、今回は入力電力が1.5kWタイプのを製品化したが、3kWタイプの新電源も製品化する予定である。

参 考 文 献

- (1) 吉沢ほか：マイクロ波放電光源装置，公開特許公報，昭56-126250
- (2) 吉沢ほか：マイクロ波放電光源装置，公開特許公報，昭60-185399
- (3) 岩田ほか：高周波インバータを用いたマグネトロン駆動電源，信学技報，PE86-5 (1986)
- (4) 長谷部ほか：高圧放電灯の高周波における不安定性について，電気学会，光源・関連装置研究会資料，LS-76-7 (1976)

超高速256K SRAM

木原雄治* 村上修二** 南 ふゆみ* 古賀 剛* 中田幸子*

1. ま え が き

MOSスタティックRAM (SRAM) は外部クロックによらず読出し動作を行い、サイクルタイム及びアクセスタイムが他のメモリに比べて速いという特長から、コンピュータをはじめとする多くの電子機器に用いられてきた。最近の傾向としては、使いやすさを追求したバイト構成の汎用中速品と高速アクセスを追求した高速品に2極化している。前者は常に大容量を求められ、バッテリバックアップの機能を持っている。一方、高速品はコンピュータのキャッシュメモリ又はメインメモリに使用され、大容量化が望まれる一方で限らない高速化が求められるようになった。

現在、汎用中速品は、256Kビットでアクセスタイムが70~120ns程度のものが主流である。高速品は64Kビットで25~45nsのものと、256Kビットで35~55nsのものが主流であるが、高速化の要求に対応して64Kビットでは15ns、256Kビットでは25nsのものを開発中である。本稿では、このアクセスタイム25nsの256Kビット高速SRAMの設計、製造技術及び電氣的諸特性を紹介する。

2. 開発のねらい

高速SRAMの用途の広がりに対応して、大容量で高速アクセスを追求するため次の目標を設定した。

- (1) メモリ容量は256Kビット
- (2) 最大アクセスタイム25ns、ただし製造プロセスのばらつきによってアクセスタイムはばらつくので、25ns品が全体の半分以上となるように、標準プロセス条件でアクセスタイム20ns以下を目標とする。
- (3) チップは次の3種類生産可能とする。

256K語×1ビット構成でIOセパレート (M5M5257A)

256K語×1ビット構成でIOコモン (M5M5260A)

64K語×4ビット構成でIOセパレート (M5M5258A)

- (4) パッケージは次の2種類可能とする。

24pin 300mil DIP

24pin 300mil SOJ

3. 設 計 技 術

3.1 高速回路技術

高利得で高速に動作するセンスアンプを用い、センスアンプからリードデータバスへの出力方法を工夫した。図3に示すようなカレントミラー型のものを2段縦続接続したものをを用い高利得と高速動作を得た。センスアンプからリードデータバスへの出力を切り替えるトランスファークラップを、従来はセンスアンプ最終増幅器の後においていたので、センスアンプ最終増幅器はトランスファークラップを負荷の一つとして駆動しなければならず、データバスの波形がなまり遅延の一要素となっていた。この問題を解決するために、回路を工夫することによりトランスファークラップをセンスアンプ最終増幅器の前にもってきた。これにより、データバスの波形のなまりは小さくなり高速化がなされた。

メモリセルがビット線にデータを出力する時間を短縮するためにビット線分割方式を用いた。ワード線遅延防止のため、ワード線分割をした。高速アクセスを得るためにはメモリセルのデータを速やかにビット線に出力する必要があるが、チップサイズとの兼ね合いでセルサイズの大きい高駆動能力のあるものを用いるのは難しい。これに対し、ビット線はメモリ容量の増大に伴って長くする必要が生じる。こうなると、小さく駆動能力のないメモリセルが長く浮遊容量の大きいビット線を駆動することになり、メモリセルからビット線への信号の出力に時間がかかるのでアクセスタイムの遅延につながる。

これを避けるために、ビット線を分割しメモリセルが駆動すべき容量を減らして高速化した。また、1本のワード線に連なるメモリセルが多いとワード線遅延が大きくなり、Xデコードから遠いメモ

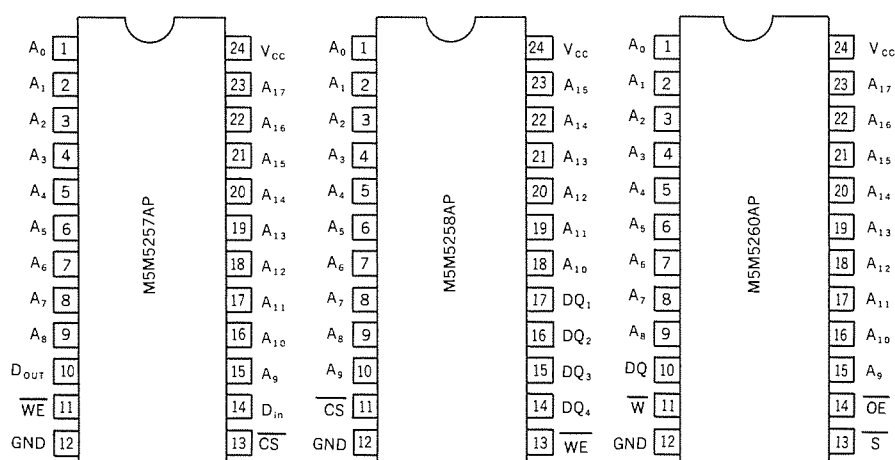


図1. ピン配置図

リセルのアクセスタイムが遅延してしまうので、ワード線を分割してXデコードから近いものと遠いもので差を少なくして高速化した。ビット線とワード線の分割で図4に示すような16ブロック分割方式とした。

チップ内部の回路がアドレス変化に同期して動作する内部同期方式を採用して高速化した。内部同期方式はアドレス変化を検知してクロックを出すATD (Address Transition Detector) 回路を全アドレス入力に付け、一つ又は複数の基本となるクロックを作り、このクロックでチップ内の各ノードを制御しようとするものである。今回は、図5に示すようにこのクロックを用いてビット線以下の各ノードを中間電位にプリチャージし、データを中間電位から出力することに用いた。ビット線からセンスアンプを経てリードデータバスに至る全ノードをそれぞれに最適なクロックで制御することにより、メモリセルがビット線にデータを出し始めてから極めて短時間でデータを出力することができる。

3.2 ソフトエラー

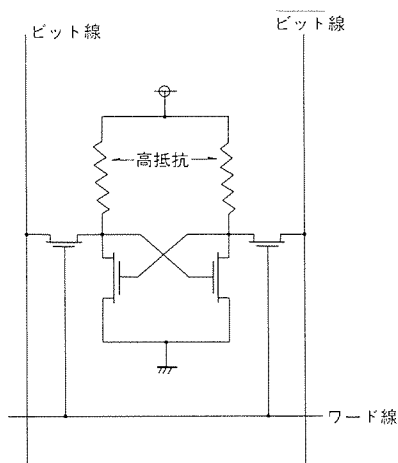


図2. メモリセル

SRAMにおいても、近年ソフトエラー耐量については問題となり始めた。CMOS SRAMソフトエラー耐量向上のためPウェル内にメモリセルを形成しており、現在まで特に問題とはならなかったが、メモリ容量の増大につれて過去のデバイスに比べて強いとはいえなくなってきた。SRAMがソフトエラーに弱くなるのはその動作原理からして読出し動作中であると考えられる。これは、読出し動作によりメモリセル内の“H”の電位が V_{cc} から $V_{cc} - 2$ (V) 程度に下がり、“H”ノードと“L”ノードとの差が小さくなるためと考えられる。今回、メモリセルのトランジスタのしきい値を高くして、読出

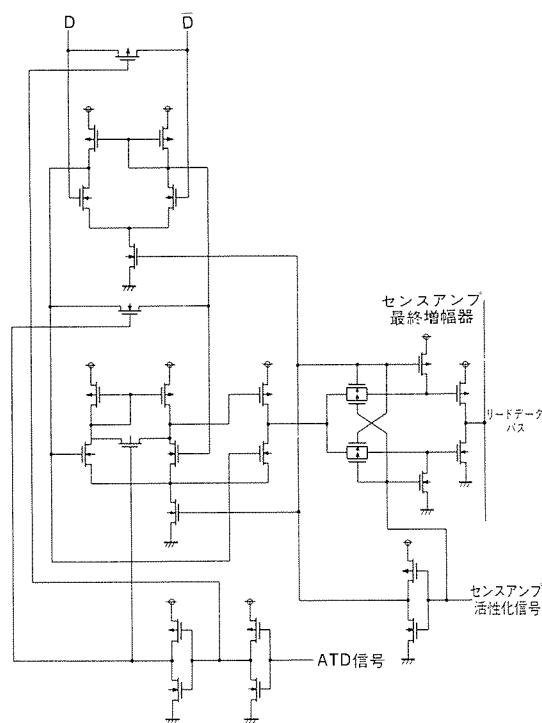


図3. センスアンプ回路

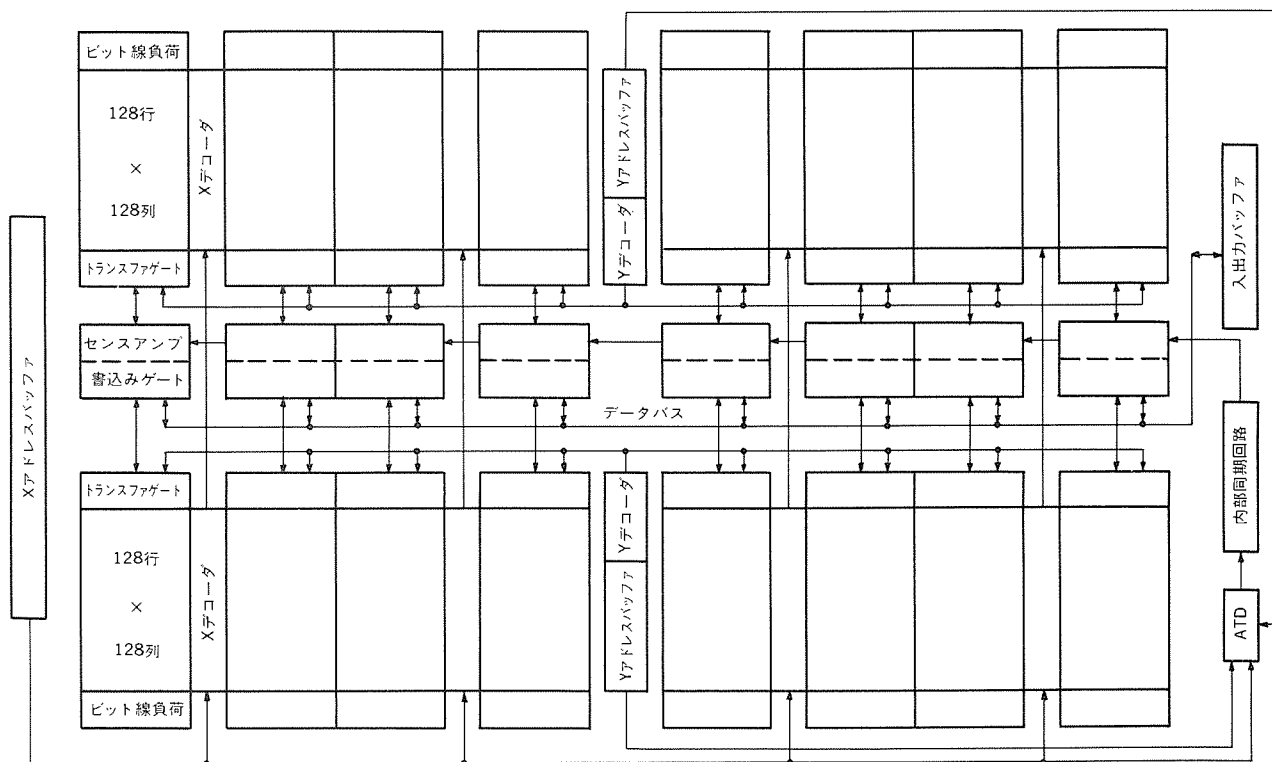
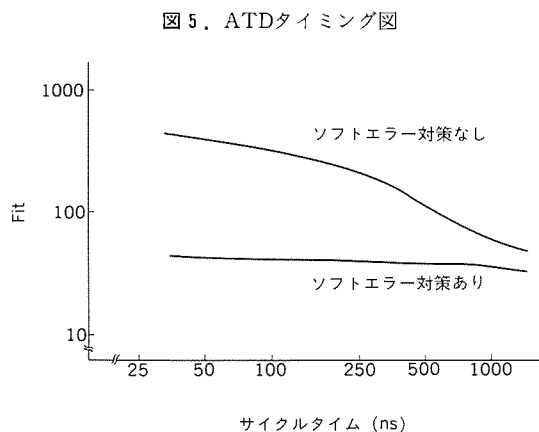
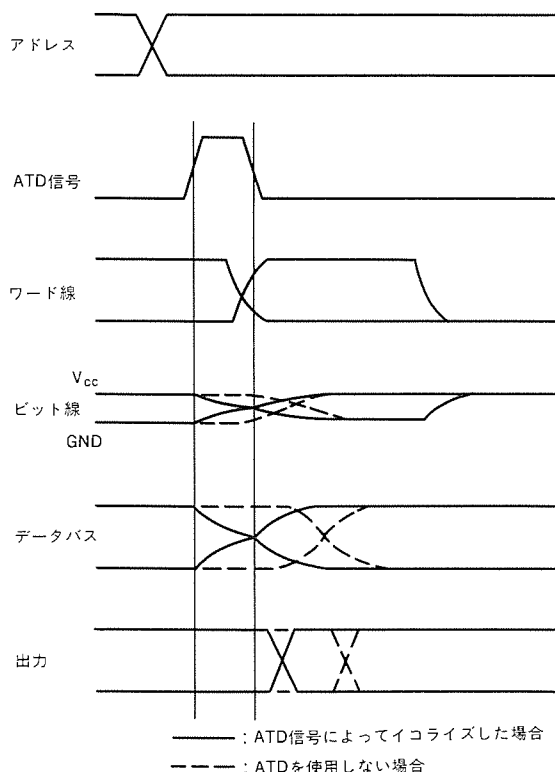


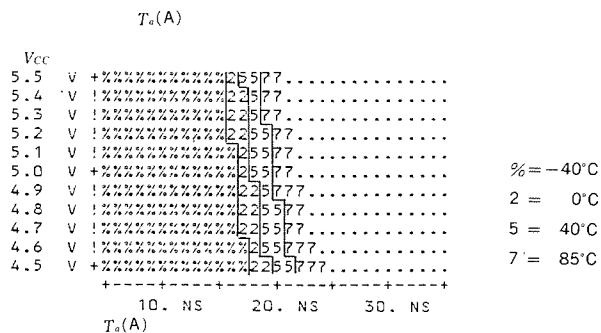
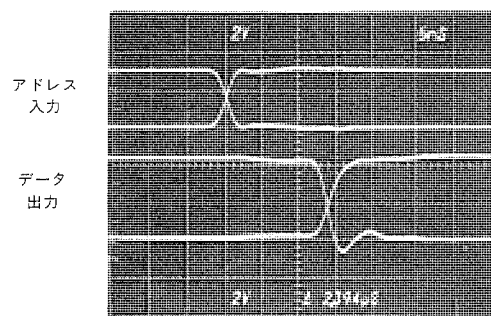
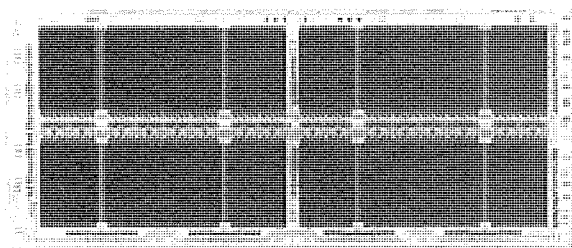
図4. ブロック構成図



4. 製造プロセス

今回の高速SRAMの製造プロセスは、従来から用いていたN基板Pウェル 2層ポリシリコン 1層アルミのCMOSプロセスである。分離酸化法はLOCOS法でメモリセル部微細化のため薄い酸化膜、周辺部はPチャネルトランジスタの耐圧向上のため厚い酸化膜を用いている。設計基準は $1.0\mu\text{m}$ ルールでゲート長はNチャネルトランジスタ $1.0\mu\text{m}$ 、Pチャネルトランジスタが $1.1\mu\text{m}$ である。Nチャネルトランジスタはホットキャリア効果によるトランジスタ特性劣化防止のためLDD構造としている。一方、Pチャネルトランジスタは耐圧の関係でNチャネルトランジスタよりもゲート長を大きくしてきたが、サイドウォール拡散法を用いて両方同程度のゲート長にできた。これによりPチャネルトランジスタのゲート容量が減少してトランジスタの性能が向上したのと同様な効果が得られた。ゲート電極はポ

項 目	M5M5257	M5M5257A
プロセス	2層ポリSi 1層Al	2層ポリSi 1層 Al
ゲート電極	MoSixポリサイド	MoSixポリサイド
ゲート長 (NMOS)	1.1 μ m	1.0 μ m
(PMOS)	1.6 μ m	1.1 μ m
ゲート酸化膜厚	250 Å	220 Å
トランジスタ構造 (NMOS)	LDD	LDD
(PMOS)	通常トランジスタ	サイドウォール拡散



リシリコンとシリサイドの二層構造でシリサイド材料にMoSixを用い低抵抗化した。ポリシリコンのみの場合に比べて抵抗値は1/5程度である。

5. 電 氣 特 性

超高速256K SRAMのチップ写真を図7に示す。チップサイズは4.66×11.01 (mm²) で24ピンのDIPとSOJに収納可能である。図8は電源電圧4.5V, 室温時の出力波形でアドレスアクセス タイムが14nsであることが読み取れる。CSアクセスタイムも同程度であり, 図8に示すような高速性能を示している。

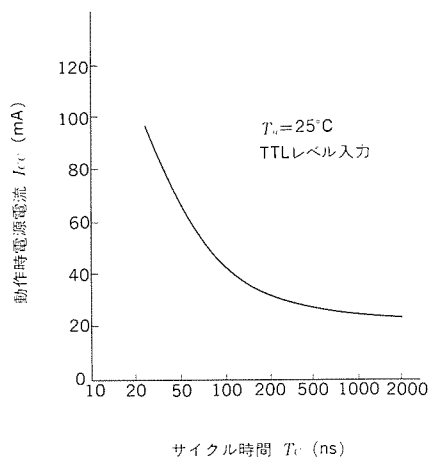


図10. 電源電流特性

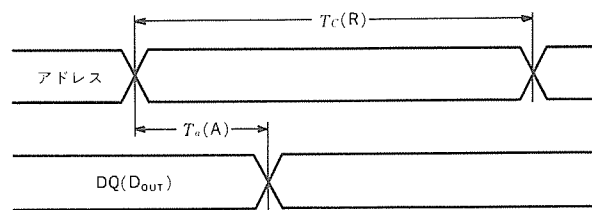
表 2. M5M5257A/58A/60Aの特長

構 成	256K語×1ビット IOセパレート (M5M5257A) 256K語×1ビット IOコモン (M5M5260A) 64K語×4ビット IOセパレート (M5M5258A)
プロセス	2層ポリシリコン ダブルウェル CMOS
メモリセル	高抵抗負荷型 NMOS
メモリセルサイズ	7.5×12.0 (μm ²)
チップサイズ	4.66×11.01 (mm ²)
使用電源	5V単一
入出力レベル	TTL
アドレスアクセス時間	25ns/35ns (最大)
チップ セレクトアクセス時間	25ns/35ns (最大)
サイクル時間	25ns/35ns (最小)
電源電流動作時	120mA (最大)
待機時	2mA (最大)

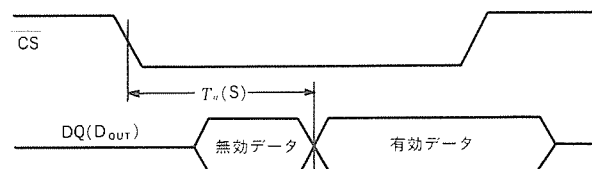
表 3. 主要タイミング規格

項 目	M5M5257		M5M5260A		M5M5258A	
	25ns品		35ns品		25ns品	
	最小	最大	最小	最大	最小	最大
読出しサイクル時間 T_{CR}	25	35	25	35	25	35
アドレスアクセス時間 $T_{a(A)}$	25	35	25	35	25	35
CSアクセス時間 $T_{a(S)}$	25	35	25	35	25	35
書込みサイクル時間 T_{CW}	25	35	25	35	25	35
書込みパルス幅 $T_W(W)$	20	25	20	25	20	25
アドレスセットアップ時間 $T_{su(A)}$	0	0	0	0	0	0
CSセットアップ時間 $T_{su(S)}$	20	25	20	25	20	25
データセットアップ時間 $T_{su(D)}$	15	20	15	20	10	15
データホールド時間 $T_h(D)$	0	0	0	0	0	0
ライトリカバリ時間 $T_{rec(W)}$	3	5	3	5	3	5

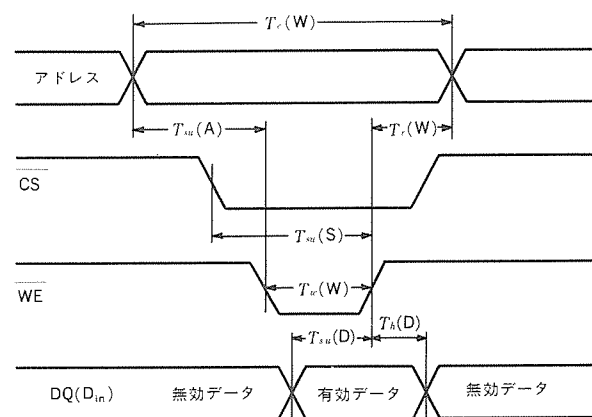
一方、消費電力は図 9 に示すように最小サイクル (25ns) でも 100 mA 以下と比較的小さな値となっている。これは、4 本の X デコーダのうち 1 本しか動かないという回路構成にしたので、ピーク電流が



(a) 読出しサイクル (アドレスアクセス)



(b) 読出しサイクル (CSアクセス)



(c) 書込みサイクル

図11. タイミングチャート

抑えられたためである。また、前述のソフトエラー、またラッチアップなど極めてよい特性を示しており、実使用状態ではほとんど問題にならないレベルである。M5M5257A/58A/60Aの特長を表 2 に示す。主要タイミング規格を表 3 に、そのタイミングチャートを図 11 に示す。

6. む す び

1 μm ルールの CMOS プロセスを用いて 256K ビットの高速 SRAM M5M5257AP, J/58AP/J, 60AP/J を開発した。高い信頼性をもち高性能なトランジスタを作るプロセス技術と、センスアンプ・内部同期式回路などの高速回路技術を用いて 256K ビットという大容量でアクセスタイム 25ns を実現することができた。高速 SRAM における大容量化と高速化の要求が強まる中で、今後更に次世代の高速 SRAM の開発を行う予定である。

参 考 文 献

- (1) 篠原ほか：三菱電機技報，60, No. 4, p.53 (昭61)
- (2) 一瀬ほか：三菱電機技報，61, No. 4, p.73 (昭62)

EPROM内蔵型高性能16ビット シングルチップマイコン

城田省三* 安達 聖** 杉田一也** 平島香織* 藤田紘一*

1. ま え が き

ユーザーシステムの高機能化、操作性の向上、コスト低減などを目的としてマイコンを使用するケースが急激に増加している。ビデオ／オーディオ機器の制御や家電製品の制御といった、主に民生用の分野では、4ビット又は8ビットのシングルチップマイコンが使用される場合がほとんどであるが、複写機、プリンタ、タイプライタなどのOA機器の制御、ロボット、シーケンサ、計測器の制御など、いわゆる産業機器制御用としては、より高速、高性能なシングルチップマイコンが求められている。

このような市場ニーズにこたえるため、高性能16ビット シングルチップマイコン シリーズ《MELPS 7700》を開発し、マスクROM 16Kバイトを内蔵した品種を2品種、ROM外付け版を2品種計4品種を既に量産化している。このシリーズの特長として、最先端CMOSプロセスの採用、バスインタフェースユニットの採用などにより、最短命令実行時間0.25 μ s(発振周波数16MHz時)を実現していること、大メモリ空間(16Mバイト)、及び高機能周辺装置を内蔵していることなどがあげられる。

このシリーズの一員として、EPROM32Kバイト、RAM 2 Kバイトと世界最大の内蔵メモリをもつM37700E4を開発したので、その製品概要、技術的特長などについて紹介する。

2. 開発の背景

《MELPS 7700シリーズ》は、高速(最小命令実行時間0.25 μ s)、大メモリ空間(16Mバイト)、高機能周辺装置などの特長を持ち、OA機器制御、産業機器制御に最適なマイコンとして開発されたものである。このような市場分野では、マイコンに対して次の2点への対応が強く求められる。

- (1) 少量多品種生産(ROM 1件当たりの生産数が少ない)
- (2) 短納期生産(ROM出しから納入までの期間が短い)

このような要求に的確にこたえられるのは、マスクROMの代わりにEPROMを内蔵した、EPROM内蔵型シングルチップマイコンである。これまで我々は、8ビット シングルチップマイコン《MELPS 740シリーズ》において、EPROM内蔵型のマイコンを生産しており、民生・産業両分野において非常に好評を博している。

今回、この新しい16ビット シングルチップマイコン《MELPS 7700シリーズ》で、上記のような要求にこたえるため、マスクROM版とコンパチブルなEPROM内蔵版を開発した。内蔵メモリ容量については、システムの高機能化に伴う大容量化への要求に対応すべく、最先端のプロセスを採用することにより、EPROM32Kバイト、RAM 2 Kバイトと、シングルチップマイコンとしては世界最大の内蔵メモリを実現した。

3. M37700E4の概要

M37700E4の性能概要を表1に、ブロック図、メモリマップ、レ

ジスタ構成をそれぞれ図1、図2、図3に示す。

3.1 C P U

《MELPS 7700シリーズ》のCPUは16ビット構成となっており、16ビットデータの一括処理が可能である。外部バスとの接続は8ビット／16ビット切替え可能となっており、システム構成に応じた使い分けが可能である。このバス幅の切替えはBYTE端子によって行う。メモリ空間は16Mバイトあり、16ビットのプログラムカウンタと8ビットのプログラムバンクレジスタによりリニアアクセス可能である。EPROM、RAM、I/O、タイマなどはバンク0内に配置されている。

メモリアccessを効率的に行うために、バスインタフェースユニットを内蔵している。バスインタフェースユニットは命令を先取りするための命令キューバッファを3バイトと、CPUがメモリをリード／ライトする場合に使用するデータバッファを2バイト備えている。これにより、CPUがメモリをアクセスする場合はバスインタフェースユニットとのやりとりだけを行えばよく、メモリアccessに起因するCPUの速度低下を抑えている。

基本命令数は103あり、《MELPS 740》のアップワードコンパチ

表1. M37700E4の性能概要

項 目		性 能
基本命令数		103
最短命令実行時間		250ns(クロック入力16MHz時、高速版) 500ns(クロック入力8MHz時)
メモリ 容 量	EPROM	32Kバイト
	RAM	2,048バイト
入出力 ポート	P0,P1,P2,P3,P4 P5,P6,P7,P8	68ビット(8ビット×8+4ビット×1)
タイマ	TA0,TA1,TA2, TA3,TA4	16ビット×5
	TB0,TB1,TB2	16ビット×3
シリアル I/O		(非同期型又は同期型)×2
A/D変換器		8ビット×1(8チャンネル)
監視タイマ		12ビット×1
割り込み		外部割り込み3,内部割り込み16,割り込みレベル7
クロック発生回路		内蔵(セラミック共振子又は水晶共振子外付け)
電源電圧		5V
入出力 特 性	入出力耐圧	5V
	出力電流	5mA
メモリ拡張		16Mバイトまで可能
動作周囲温度		-10~+70°C
素子構造		CMOSシリコンゲート
パッケージ	ワンタイム版	80ピン プラスチックモールド フラットパッケージ
	セラミック版	80ピン窓付きセラミックLCCパッケージ

ブルになっているため、8ビットからの移行がスムーズに行える。乗除算命令やブロック転送命令などが追加されている。アドレッシングモードも強化されており、16Mバイトのメモリ空間を直接アクセスできる“ロング”形式のアドレッシングモードやスタックを用いたアドレッシングモードなどが追加され、全部で28モード持っている。

割り込みはベクトル方式で、外部3本、内部16本の計19要因がある。これらの要因のうち、外部3本、内部13本についてはそれぞれ7レベルの優先順位の設定ができ、強力な割り込み処理を可能としている。

3.2 周辺機能

16ビットのタイマを8本持っており、機能の違いによりタイマA 5本とタイマB 3本に分けられる。タイマAは、①タイマモード、②イベントカウンタモード、③ワンショットパルス出力モード、④PWMモード、の4モードを持ち、タイマBは、①タイマモード、②イベントカウンタモード、③パルス周期／幅測定モード、の3モードを持っている。

シリアルI/Oは2本あり、それぞれ非同期型(UART)、同期型の選択が可能である。非同期型モードのデータフォーマットは7ビット、8ビット、9ビットの3通りある。1ストップビット／2ストップビットの選択、パリティビットの有無の選択、奇数パリティ／

偶数パリティの選択が可能である。なお、送信、受信ともバッファレジスタを持っているので、送信・受信を独立に行える。

A/D変換器は8ビット逐次比較方式で、入力8チャンネルある。①単発、②繰り返し、③単掃引、④繰り返し掃引の4モードが可能である。スタートトリガは内部／外部選択が可能である。

3.3 EPROMモード

M37700E4はマイコンとしての通常の動作モード(シングルチップモード、メモリ拡張モード、マイクロプロセッサモード)以外に、内蔵EPROMへの書き込み、読み出しを行うためのEPROMモードを持っている。市販のEPROMライタが使用可能のように、EPROMモードでは外部端子は汎用のEPROM(M5M27C256K)と同一機能になるようにしている。図4にEPROMモード時の端子結線図を、表2には端子対応を示す。

RESET端子を“L”にすることによりEPROMモードになる。ポートP0₀～P0₇、P1₀～P1₆がアドレスの入力端子となり、ポートP2がデータの入出力端子になる。ポートP5₂、P5₁がそれぞれCE、OE端子となり、CNV_{ss}端子及びBYTE端子がV_{pp}端子になる。80ピンQFPパッケージから28ピンDIPへの変換アダプタ上に図4のような接続がされているので、実際に内蔵EPROMのリード／ライトを行う場合には、この変換アダプタをEPROMライタに差し込むだけでよい。

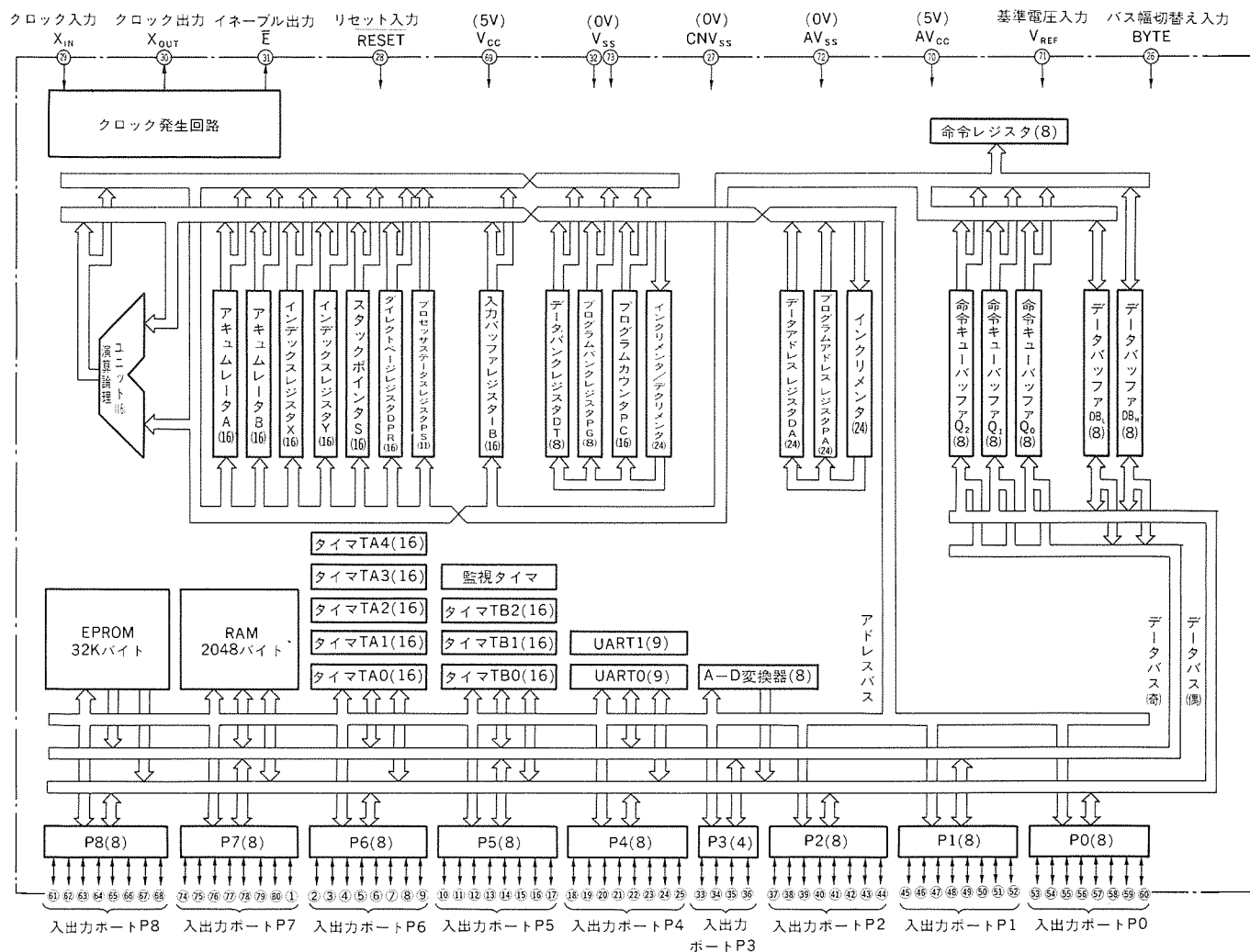


図1. ブロック図

表 3 に EPROM モード時の各種動作モードを示す。読出しの場合は、 $\overline{CE}$ 端子を“L”、 $\overline{OE}$ 端子を“L”に設定し、アドレス信号 ($A_0 \sim A_{14}$) を入力すると、データ入出力端子 $D_0 \sim D_7$ に記憶内容が現れる。 $\overline{CE}$ 又は $\overline{OE}$ を“H”に設定すると、データ入出力端子はフローティング状態となる。書き込みの場合の動作タイミングを図 5 に示す。汎用の EPROM と同じバイトプログラムモード以外に、書き込み時間を短

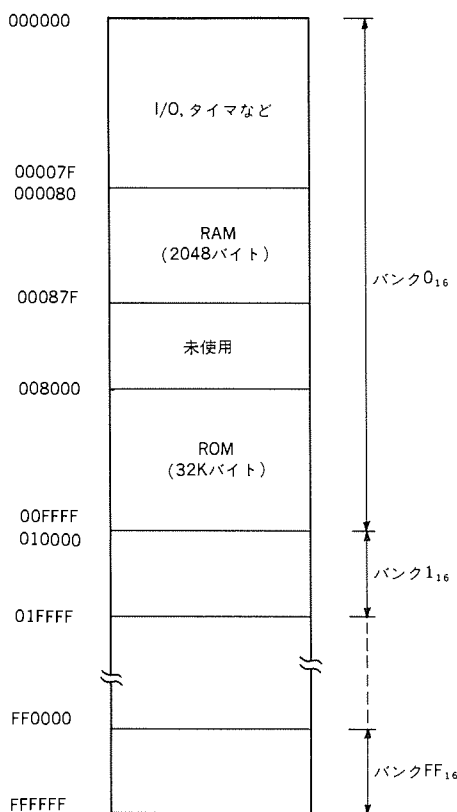


図 2. メモリマップ

縮するために 2 バイトを同時に書き込むワードプログラムモードを持っている。バイトプログラムを行う場合は、 $\overline{OE}$ 端子を“H”とし、 V_{PP} 端子に 12.5V を印加する。アドレス入力 ($A_0 \sim A_{14}$) でアドレス設定をし、書き込むデータをデータ入出力端子 ($D_0 \sim D_7$) に並列に与える。この状態で $\overline{CE}$ 端子を“L”にすると書き込みが行われる。ワードプログラムを行う場合は、まず $\overline{OE}$ 端子を“H”とし、 V_{PP} 端子に 12.5V を印加する。アドレス入力の最下位ビット A_0 を“L”とし、偶数番地のデータをデータ入出力端子に与える。次にアドレス入力 A_0 を“H”とし、奇数番地のデータをデータ入出力端子に与える。アドレス入力 A_0 の“L”から“H”への立ち上がりで偶数番地のデータは内部のラッチ回路にラッチされる。この状態で $\overline{CE}$ 端子を“L”にすると、2 バイト分のデータが同時に書き込まれる。プログラムベリファイの場合も同様に、アドレス入力 $A_0 = “L”$ で偶数番地のデータのベリファイを行い、 $A_0 = “H”$ で奇数番地のデータのベリファイを行う。この 2 バイト同時書き込みモードにより、32K バイトのデータを書き込む場合も 16K バイト分の時間で済むことになる。バイトプログラムモード、ワードプログラムモードのどちらにおいても、汎用の EPROM と同様に高速書き込み方式が可能である。

なお、EPROM 書き込み後マイコンとして動作させる場合は、EPROM は内部メモリとして扱われるので、マスク ROM 版の場合と同じく偶数番地をアクセスした場合は 2 バイト同時にアクセスされる。

3.4 パッケージ

図 6 にサンプル外観写真を示す。OTP (One Time Programmable) タイプのものは、マスク ROM 版と同じ 80 ピン プラスチックモールドフラットパッケージに収められている。外形、ピン配置、特性すべてマスク ROM 版とコンパチブルになっているため、マスク ROM 版と全く同様に使用でき、少量生産用として最適である。

窓付きセラミック版は主にプログラム開発用として使用するものであり、80 ピンセラミック LCC パッケージに収められている。窓付きになっているため、繰り返し書き込み/消去が可能である。消去は

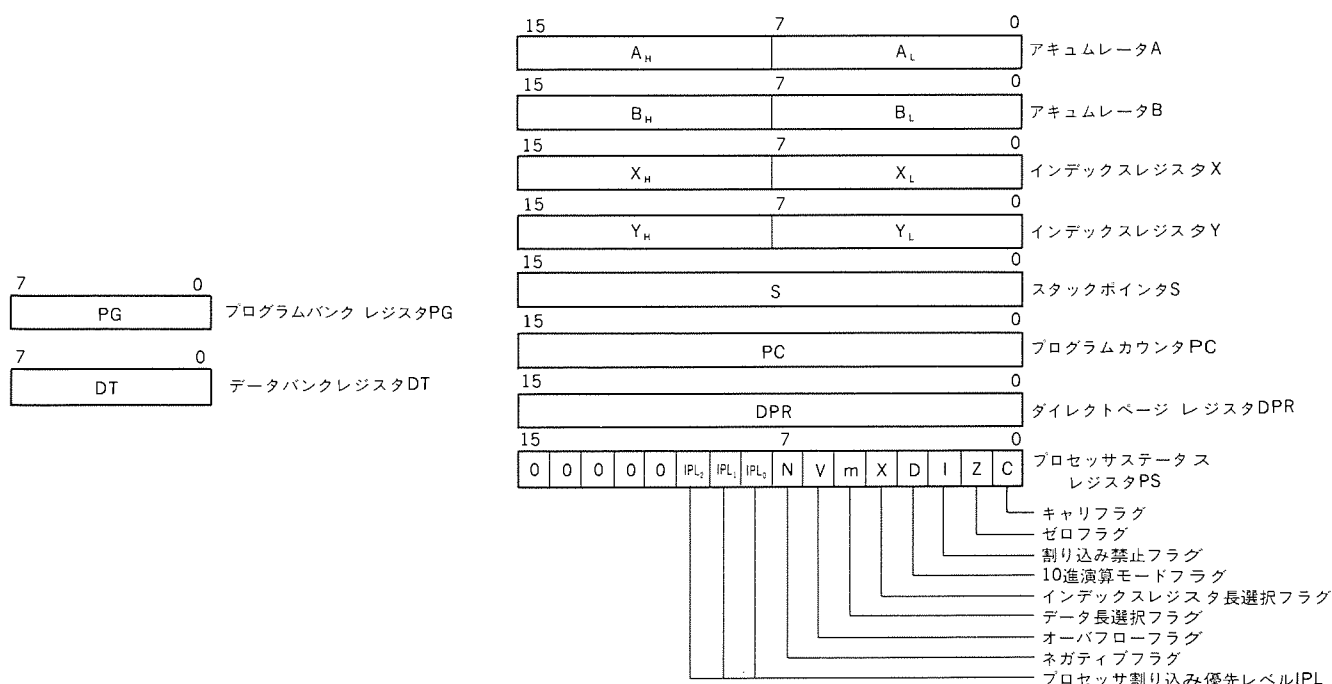


図 3. レジスタ構成

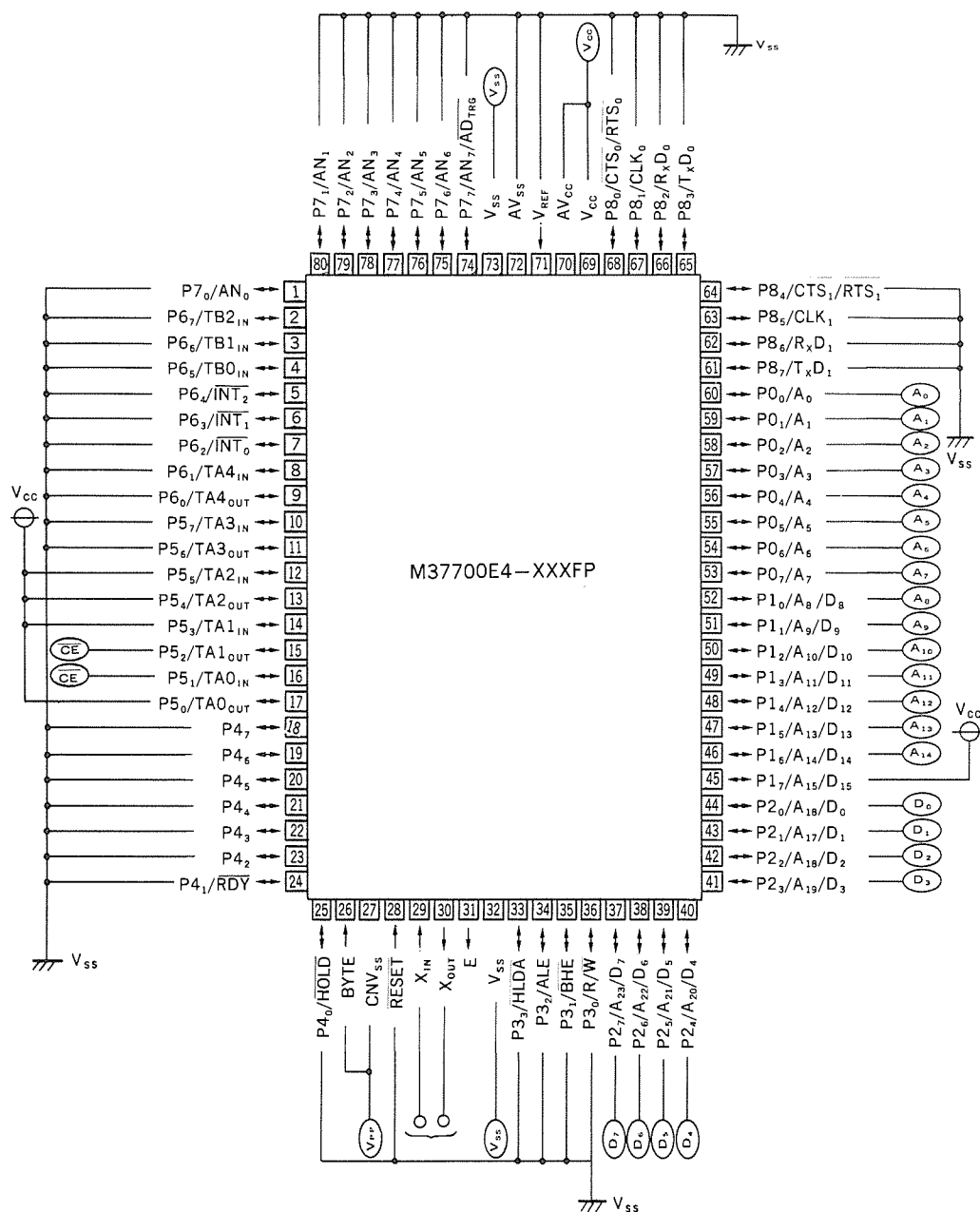


図 4. EPROMモード時の端子結線

表 2. EPROMモード時の端子対応

	M37700E4-XXXXFP	M5M27C256K
V _{CC}	V _{CC}	V _{CC}
V _{PP}	CNV _{SS} , BYTE	V _{PP}
V _{SS}	V _{SS}	V _{SS}
アドレス入力	ポート P0, P1 ₀ ~P1 ₆	A ₀ ~A ₁₄
データ入出力	ポート P ₂	D ₀ ~D ₇
$\overline{\text{CE}}$	P5 ₂	$\overline{\text{CE}}$
$\overline{\text{OE}}$	P5 ₁	$\overline{\text{OE}}$

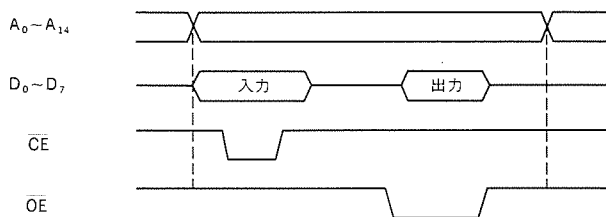
表 3. EPROMモード時の各種動作モード

モード \ 端子名	$\overline{\text{CE}}$	$\overline{\text{OE}}$	V _{PP}	V _{CC}	データ入出力
読出し	V _{IL}	V _{IL}	5V	5V	出力
出力ディスエーブル	V _{IL}	V _{IH}	5V	5V	フローティング
プログラム	V _{IH}	×	5V	5V	フローティング
プログラムベリファイ	V _{IL}	V _{IH}	12.5V	6V	入力
プログラム禁止	V _{IH}	V _{IL}	12.5V	6V	出力
	V _{IH}	V _{IL}	12.5V	6V	フローティング

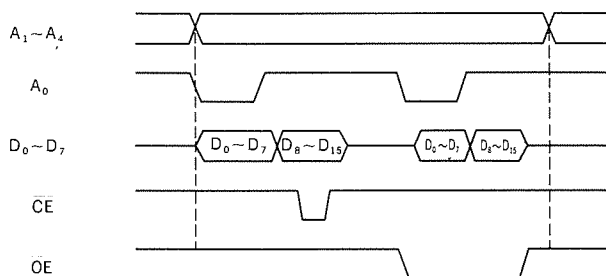
汎用のEPROMと同じく、2,537Åの波長をもつ紫外線によって行う。消去に必要な照射量は15W・s/cm²である。

この窓付き版は通常ソケットに入れて使用する。ソケットの外形寸法はモールド品とほぼ同じ大きさになっているため、ユーザーの

最終実装基板上に実装してプログラム開発・評価を行うことが可能である。従来、フラットパッケージに収められたマイコンを実装評価する場合、ソケットの大きさの問題などで最終基板で実装評価することが難しかったが、今回のこのパッケージ、ソケットを使用す



(a) バイトプログラム タイミング



(b) ワードプログラム タイミング

図 5. EPROM書き込みタイミング

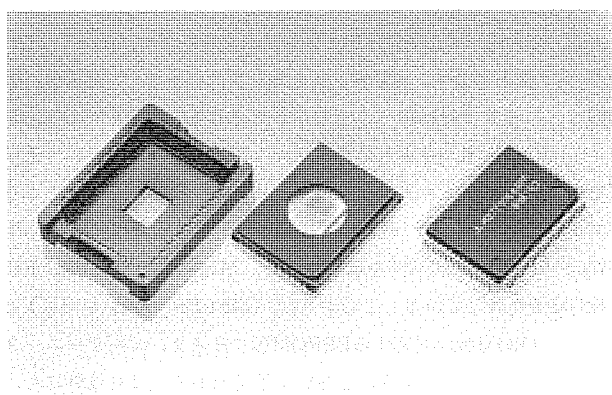


図 6. M37700E4の外観

ることにより実装評価が容易に行えるようになった。ピン配置、特性に関しては、もちろんマスクROM版とコンパチブルになっている。

3.5 プロセス技術

M37700E4はマイコンとEPROMを両方内蔵させる必要があることから、最先端加工技術を用いており、ツインウェル方式の1.3 μm CMOSプロセスで作られている。EPROM以外の部分はCMOSで構成され、EPROM部分はNチャネルFAMOSで構成している。高速化を図るために低抵抗ポリシリコンを用い、EPROM書き込み時に12.5Vを使用するためトランジスタの耐圧を上げて信頼性を高めている。

M37700E4のチップ写真を図7に示す。11.92mm×5.83mmのチップサイズに約44万個のトランジスタが集積されている。レイアウト方法は《MELPS 7700シリーズ》共通のビルディングブロック方式を採用しており、メモリ容量の変更や周辺機能の変更が容易なレイアウトになっている。

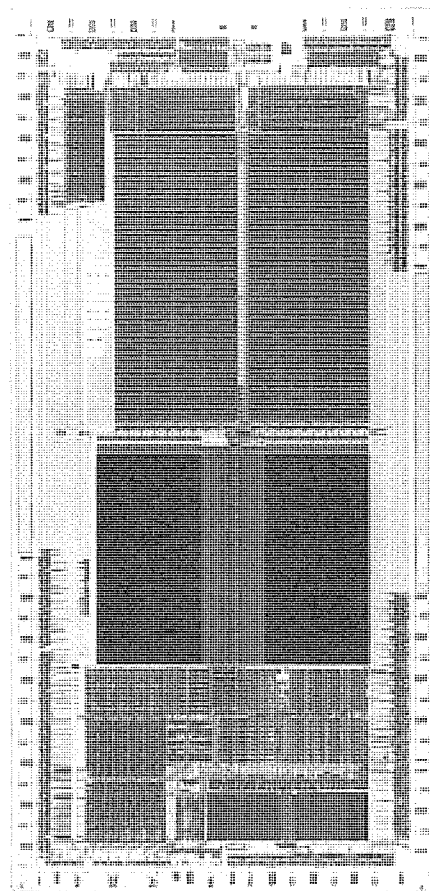


図 7. M37700E4のチップ

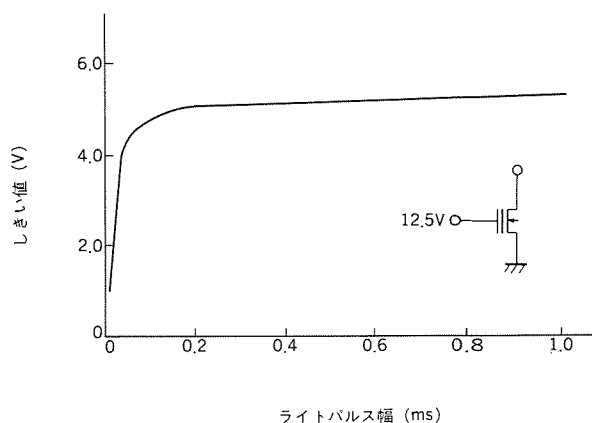


図 8. EPROMトランジスタの書き込み特性

4. 特性

4.1 電気的特性

図8にEPROMトランジスタの書き込み特性を示す。横軸はライトパルス印加時間、縦軸はしきい値を表している。図から分かるように、0.2ms程度のライトパルスでも十分なしきい値上昇が得られている。実力的には32Kバイトを書き込むのに約7秒、2バイト同時書き込み方式を用いた場合は約4秒で書き込みを完了することができる。市販のEPROMライタを用い、M5 M27C256Kのモードで書き込みを行った場合は、32Kバイト書き込みに必要な時間は約2分強である。

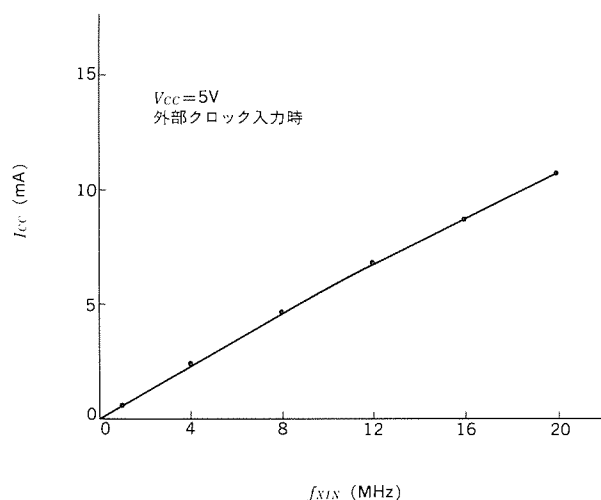


図9. f_{XIN} - I_{CC} 特性

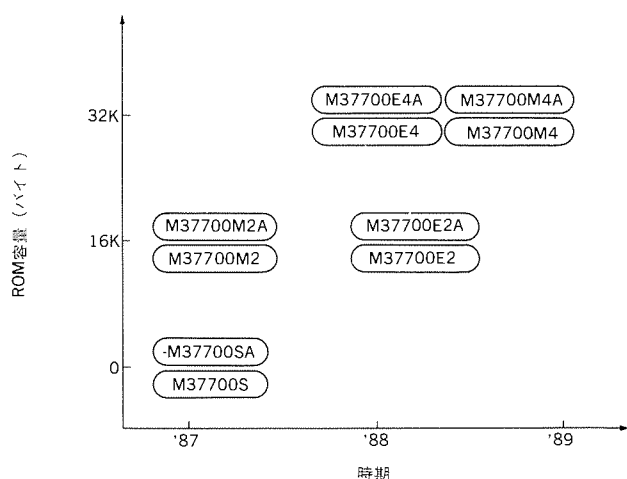


図10. 《MELPS7700シリーズ》の展開

アクセスタイムに関しては、汎用のEPROMと同等の特性が得られており、マイコンとして16MHz動作をさせた場合でも十分に余裕のあるアクセスタイムとなっている。その他の電源電流特性やタイミング関係の特性も汎用のEPROMと同等の特性であるため、市販のEPROMライター上でのプログラム／リード動作は全く問題なく可能である。なお、EPROMモード時の入力端子は、汎用のEPROMと同様、すべてTTLレベルの入力しきい値にしている。

マイコンとして動作をさせた場合の動作電源電流対周波数特性を図9に示す。回路上の低消費電力化の工夫によって、マスクROM版とほぼ同じ電源電流特性が得られており、低消費電力のEPROM内蔵型シングルチップマイコンとなっている。もちろんこの特性は、OTP版のものもセラミック窓付き版のものも同じである。

以上述べたように、今回開発したEPROM内蔵型シングルチップマイコンM37700E4は、外形・ピン接続だけではなく、電気的特性に関してもマスクROM版と完全なコンパチビリティを持っている。そのため、少量生産用としてEPROM版だけを使用する場合のみならず、EPROM版からマスクROM版へ移行する場合も非常にスムーズに行うことができる。

4.2 信頼性

EPROM内蔵マイコンの信頼性では、内蔵EPROMのデータ保持特性が最も重要な特性となる。M37700E4のEPROM部分は、当社で実績のある汎用のEPROMと基本的に同一構造になっており全く問題のないものである。OLT、PCT、高温保存、高温高湿バイアスなどの各種の信頼性試験結果によると、データ保持特性に関しては当社の汎用EPROMと全く同じ信頼性をもち、その他の項目に関してはマスクROM版のM37700M2と全く同一レベルの信頼性をもっている。

5. 応用及び今後の展開

高速、大メモリ空間、高機能周辺装置、大容量内蔵メモリなどの特長をもつM37700E4は、OA機器制御や産業機器制御の分野において広範な応用に適合するシングルチップマイコンであるといえる。例えば、複写機、プリンタ、タイプライタ、ワープロ、HDD、FDDなどのOA機器制御や、温調器、シーケンサ、ロボット、通信機、計測器などの産業機器制御への応用が考えられる。内蔵EPROM32Kバイト、RAM2Kバイトという大メモリを生かし、従来マルチチップで構成していたシステムをシングルチップで構成することにより、システムのコスト低減、高密度実装が可能となる。図10に《MELPS 7700シリーズ》の展開図を示している。MはマスクROM版、EはEPROM版を表している。このように、《MELPS 7700シリーズ》では、マスクROM版に対応するEPROM版をそろえ、ユーザーニーズに確実にこたえられるようにしていく予定である。これ以外にも、各種周辺機能を取り込み、応用分野にマッチしたマイコンを開発していくつもりである。

6. むすび

最先端のCMOSプロセスを使用して、EPROM32Kバイト、RAM2Kバイトというシングルチップマイコンとしては世界最大の内蔵メモリをもつ高性能16ビットシングルチップマイコンを開発した。その高速性、高機能周辺装置、内蔵メモリにより、OA機器制御、産業機器制御の分野において、システムの高機能化、コスト低減に大きく役立つものと考えられる。今後、メモリ容量の変更、周辺機能の取り込みなどにより、更に《MELPS 7700シリーズ》を充実させていく予定である。

CD-Vシングルプレーヤー用光ピックアップ

本間 修* 縄田 康* 高松泰男* 田口博識** 吉原 徹***

1. ま え が き

コンパクトディスク（以下、CDと称す）プレーヤーは昭和57年に発売されて以来、急速に市場規模が拡大し昭和62年には約1,000万台が生産された。また、昭和60年代になるとVTRなどの普及により、それまでの音声だけであったミュージックソフトにも、より高い臨場感が得られる映像付きのものが求められるようになった。こうしたなかで、映像付きのミュージックソフトを楽しめるものとして、新たにCD-VIDEO（以下、CD-Vと称す）のコンセプトが昭和61年にフィリップスから発表された。翌62年夏にはCD、CD-V、レーザーディスク（以下、LDと称す）なる3種類のソフトが再生可能なプレーヤー（通称3コンパチプレーヤー）が発売された。さらに秋にはCD、CD-Vの2種類が再生可能なプレーヤー（通称CD-Vシングルプレーヤー）が発売された。市場にてこのようなプレーヤーが急速に普及するとともに、この新しいソフトであるCD-Vの普及が期待される。このように、CD-Vは今後の本格的なAV時代をリードする商品として、CD同様今後急速に普及することが予想される。

CD-Vは従来のCDオーディオ部に加え、約5分のビデオ部を持っている点が大きな特長である。このビデオ部、すなわち映像信号はアナログ信号であり、しかも従来のオーディオ信号と比べて幅広い周波数帯域を必要とする。このため、光ピックアップはCD用のものに比べて、ディスク上のスポットがより小さい高分解能、低雑音のものが要求される。また、CD-Vのビデオ部のディスクは1,800～2,700rpmとオーディオ部の約6倍の高速回転を行うので、高速追従特性が要求される。今回、以上のような要求を満足するCD-Vシングルプレーヤー用光ピックアップMLP-V1（図1参照）を開発したのでここに報告する。

2. MLP-V1の特長

CD-Vシングルプレーヤー用光ピックアップMLP-V1は次のような特長を持つ。

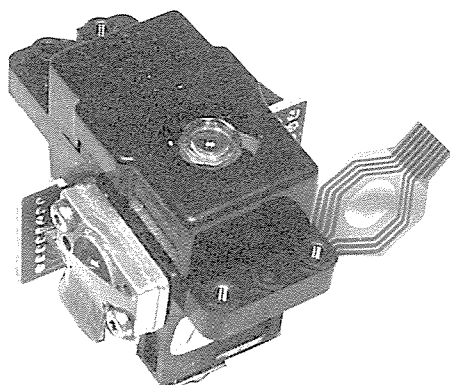


図1. MLP-V1の外観

- (1) 光ピックアップの主要部品である対物レンズの開口数をCDプレーヤー用のものより大きくとり、分解能の向上により再生性能の向上を図った。
- (2) 光源用半導体レーザに低雑音のものを採用し、再生信号の高S/N比を実現した。
- (3) 直管形の光路構成により、光学系の構成要素を最小限にし、確実な収差管理を行い安定した再生性能を実現した。
- (4) アクチュエータに実績のある二軸一体型を採用し、優れた周波数特性を実現した。
- (5) 希土類焼結磁石の採用により、CD用光ピックアップに比べ高いアクチュエータ感度を実現した。
- (6) 当社CD用光ピックアップと部品及び生産工程の共通化を図り、高い量産性を確保した。

3. 光学系の構成

3.1 クロストークの最小化

CD-Vのディスクはビデオ部とオーディオ部に分かれている。オーディオ部はCDと同じEFM（Eight to Fourteen Modulation）コードで音声信号が記録されている。一方、ビデオ部にはEFMコードによる音声信号のほか、アナログ情報としてビデオ信号が記録されている。ビデオ信号がアナログ情報として記録されるため、CD-V用光ピックアップ独特の次の特性が問題となる。

この特性の一つがクロストークである。光ピックアップの光学系は図2に示すように、半導体レーザ、ハーフミラー、対物レンズ、光検出器などからなり、半導体レーザからの出射ビームは対物レンズでディスク上の一点に集められる。ディスクにはピットと呼ばれる長さが約0.7 μ mの突起がらせん状に並べられ、トラックを形成して

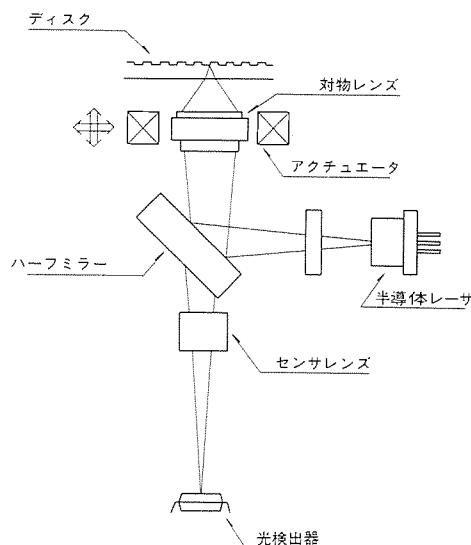


図2. 光学系の構成

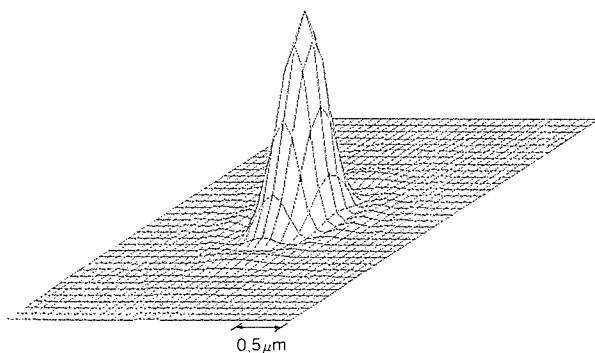


図 3. ディスク上のスポット強度分布

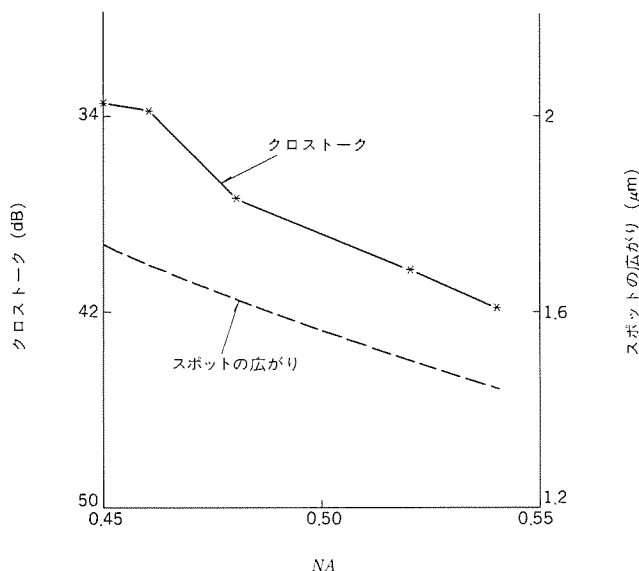


図 4. スポットの広がり（計算例）

いる。ピックアップはトラック上を走査して、記録情報を読み取る。記録情報はこのピットの並び方によって記録されており、ピットの有無でディスク上のレーザビームの反射率が異なるので、光検出器上で光量の違いを引き起こし、この光検出器で光電気変換がなされ電気信号として取り出される。

ディスク上のビームの集光点、すなわちスポットは光の波動的な性質のため完全な点にはならず、ある広がりを持つ。この様子を図 3 に示す。このために、目標トラックの隣接トラックにスポットがかかると再生信号に目標トラックの記録情報のほか、隣接トラックの情報が混入する。この現象をクロストークと呼ぶ。クロストークはデジタル情報しか扱わない CD 用では極端な非点収差がない限り問題になることはない。しかし、アナログ情報も再生する CD-V 用光ピックアップでは再生性能を決定する重要な要因となる。

理想的な光学系ではスポットの広がり d は、対物レンズの開口数を NA 、半導体レーザの波長を λ として、

$$d = k\lambda / NA \quad \dots\dots\dots (1)$$

で与えられる。ここで、 k は開口の形状や光源の放射角度などによって決まる定数である。スポットの広がりを抑えれば隣接トラックにかかる光量が減少し、クロストークが減少することが期待される。Hopkins⁽¹⁾によって示された手法により計算したクロストークの値と、スポットの広がりとの関係を図 4 に示す。図に示すとおりス

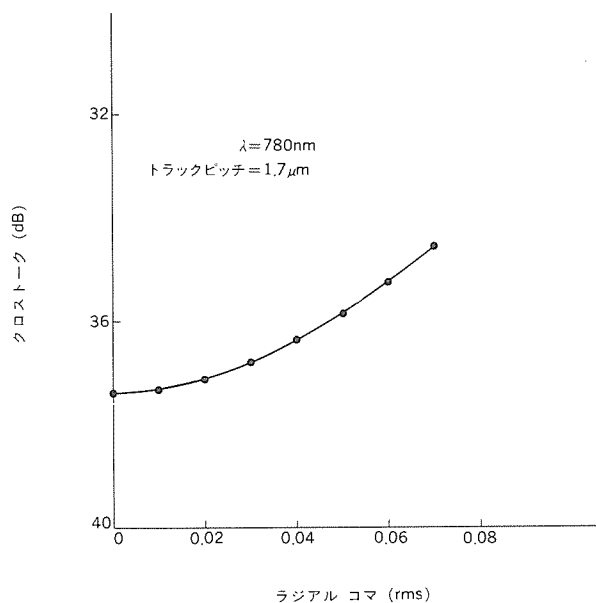


図 5. クロストークの計算例

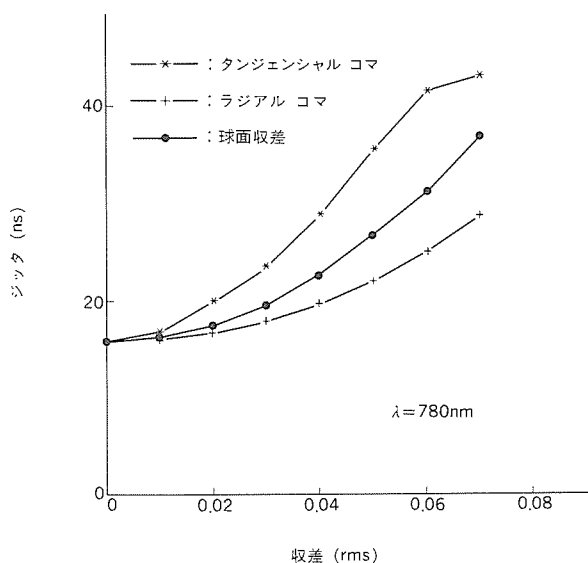


図 6. ジッタの計算例

ットの広がりが小さくなるとクロストークは減少する。

クロストークを抑える方法としては、開口数を大きくするが半導体レーザの波長を小さくすることが考えられる。しかし、CD 用光ピックアップに使われている半導体レーザの波長 780 nm よりも短波長の半導体レーザは商品化されておらず、現段階では開口数を大きくすることが現実的な選択である。MLP-V1 では、対物レンズの開口数を可能な限り大きくし、実用上問題のないレベルまでクロストークを低減した。

3.2 高 S/N 比の実現

既に述べたように、CD-V のビデオ信号はアナログ情報としてディスクに記録されている。このため、光ピックアップの再生信号の S/N 比は CD プレーヤー用のものに比べ、より高くなければならない。もし、再生信号の S/N 比が低いと映像信号における S/N 比も小さくなり、画面にちらつきを生じ画質が低下する。ピックアップの再生信号の S/N 比を決定づける要因としては、ディスクの製作

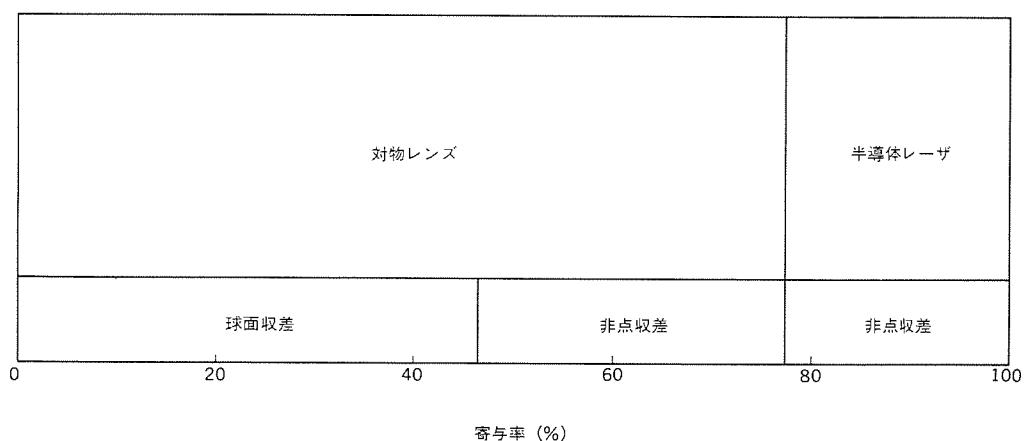


図7. 収差の寄与率

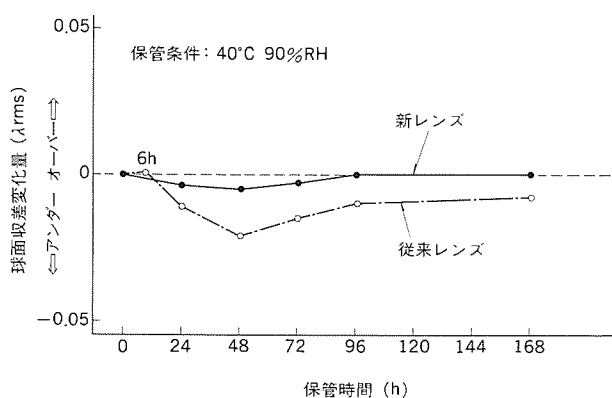
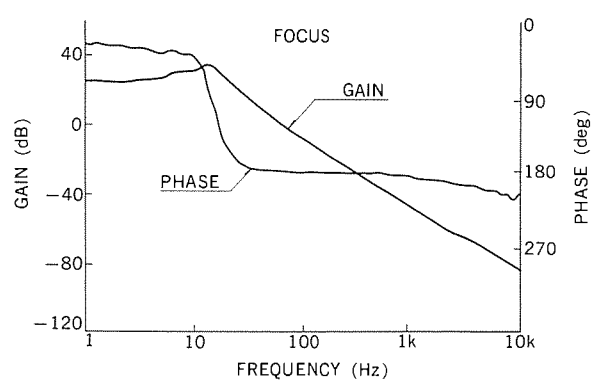
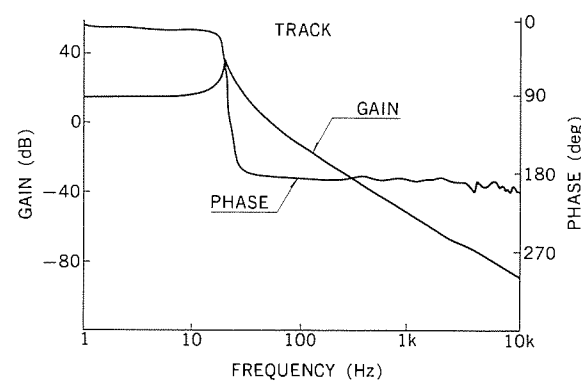


図8. 対物レンズの耐湿特性



(a) フォーカス



(b) トラック

図10. アクチュエータの周波数特性

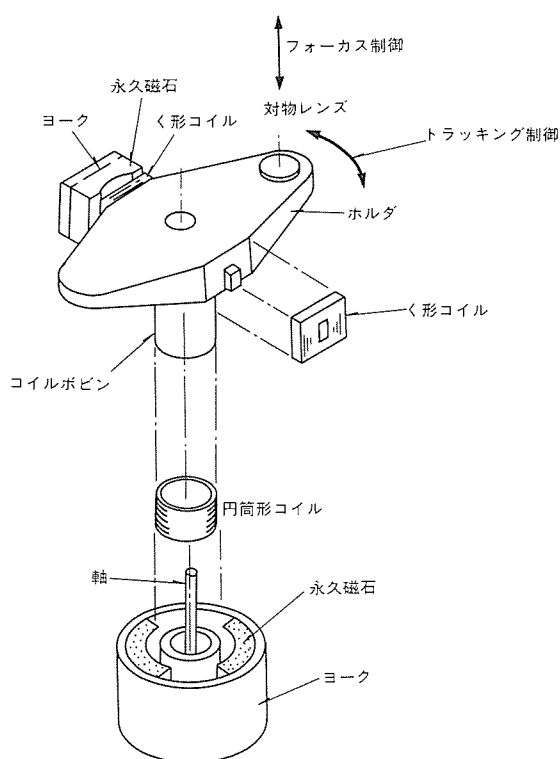


図9. アクチュエータの構成

精度に依存するディスクノイズ、音声信号と映像信号の相互干渉によって生じる音声妨害、半導体レーザによるレーザノイズなどがある。ディスクの製作精度は、ピックアップの性能とは無関係であり、音声妨害もまたディスクの規格によって決まる部分が大きく、光ピックアップとして最も重要視されるものがレーザノイズである。

レーザビーム強度の時間的な変動は、光検出器上の光量の時間的な変動を引き起こし、これがノイズとなって再生信号に混入する。このため、半導体レーザに当社で開発した特にノイズの小さいものを使い、高い再生信号のS/N比を実現した。

3.3 収差管理

光ピックアップの光学系は、一般に対物レンズのひずみ、ディス

クとレンズの傾き、ハーフミラーのひずみなどにより理想状態よりずれており、このずれを収差と呼ぶ。開口数が等しくともこの収差が大きいと再生性能が著しく劣化する。図5にHopkins⁽¹⁾の手法によって計算した収差とクロストークの計算例を、図6に久保田⁽²⁾によって示された手法によって計算した収差とジッタの関係を示す。図からクロストークもジッタも収差によって大きく変化することが分かる。

このため、光ピックアップにおいて安定な再生性能を維持するためには収差管理が必要である。MLP-V1の光路構成は図2に示すとおり、対物レンズ、ハーフミラー、光検出器が直線上に並んでおり、この構成を直管形と呼ぶ。このようなピックアップは構成が単純であるため、収差の大部分が対物レンズによって決まってくる。すなわち、図7に全収差に対する対物レンズ収差の占める割合を示すが、対物レンズの収差が約8割を占めている。したがって、対物レンズの収差を管理することが非常に重要であり、収差はレーザ干渉計で容易に測ることができる。また、環境変化に対する対物レンズの収差の劣化を抑えるため、対物レンズに耐湿性プラスチック非球面レンズを採用し、高い信頼性を実現した(図8)。

4. アクチュエータ

ディスクの回転変動に追従するための対物レンズを動かす機構をアクチュエータと呼ぶが、CD-V用光ピックアップのアクチュエータは、ディスクがLDの約1.5倍、CDの約6倍の高速で回転するので、この高速な動きに十分追従するために、大きな駆動力と広い周波数帯域での安定した動作が求められる。

MLP-V1のアクチュエータの基本構成は、当社で既に実績のある二軸一体型を採用している(図9参照)。この形式のアクチュエータは周波数特性が優れている⁽³⁾。図10に今回開発したアクチュエー

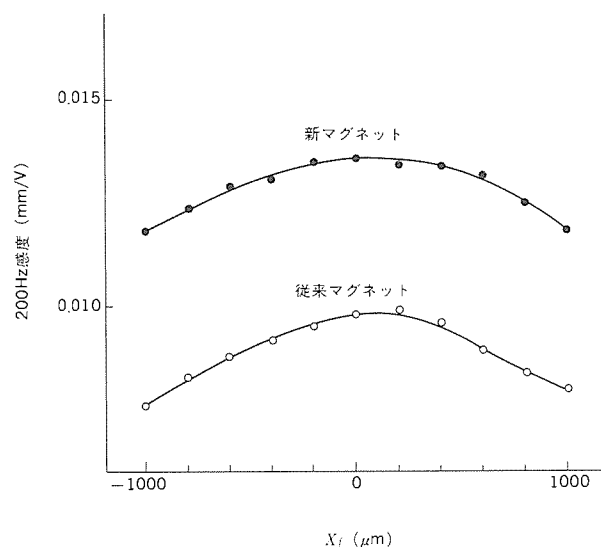


図11. FOCUS変位に対する感度

表1. 仕様及びプレーヤー実装性能

(1) 仕様

用途	CD-Vシングルプレーヤー用
アクチュエータ	二軸一体リニアスライド方式
機械的可動量	
フォーカス方向	±0.9 mm
トラック方向	±0.8 mm
光学系	
構成	直管方式
センサ方式	
フォーカス	非点収差法
トラック	3 ビーム法

(2) プレーヤー実装性能

ビデオ部	
白黒S/N比	45 dB(当社標準回路による)
水平解像度	400 本(当社標準回路による)
オーディオ部	
ジッタ値	20 ns(標準値)

タの周波数特性を示す。

また、駆動力 F は可動部に巻かれたコイルの有効長 L と磁石によって発生する磁束密度 B 及びコイルに流れる電流 I の積で与えられ、

$$F = B \cdot I \cdot L \quad \dots\dots\dots(2)$$

なる関係が成立する。ここで、電流 I を大きくしても有効長 L を長くしても、消費電力が増大し、コイルの発熱が問題となる。このため、磁石として従来CD用光ピックアップに使用した希土類プラスチック磁石を、残留磁束密度 B_r の高い希土類焼結磁石に替え、発熱量を増加させることなく大きな駆動力 F が得られるアクチュエータを実現した(図11参照)。

5. 性能及び定格

以上のように構成されたMLP-V1の仕様及びプレーヤー実装性能は表1のとおりである。

6. む す び

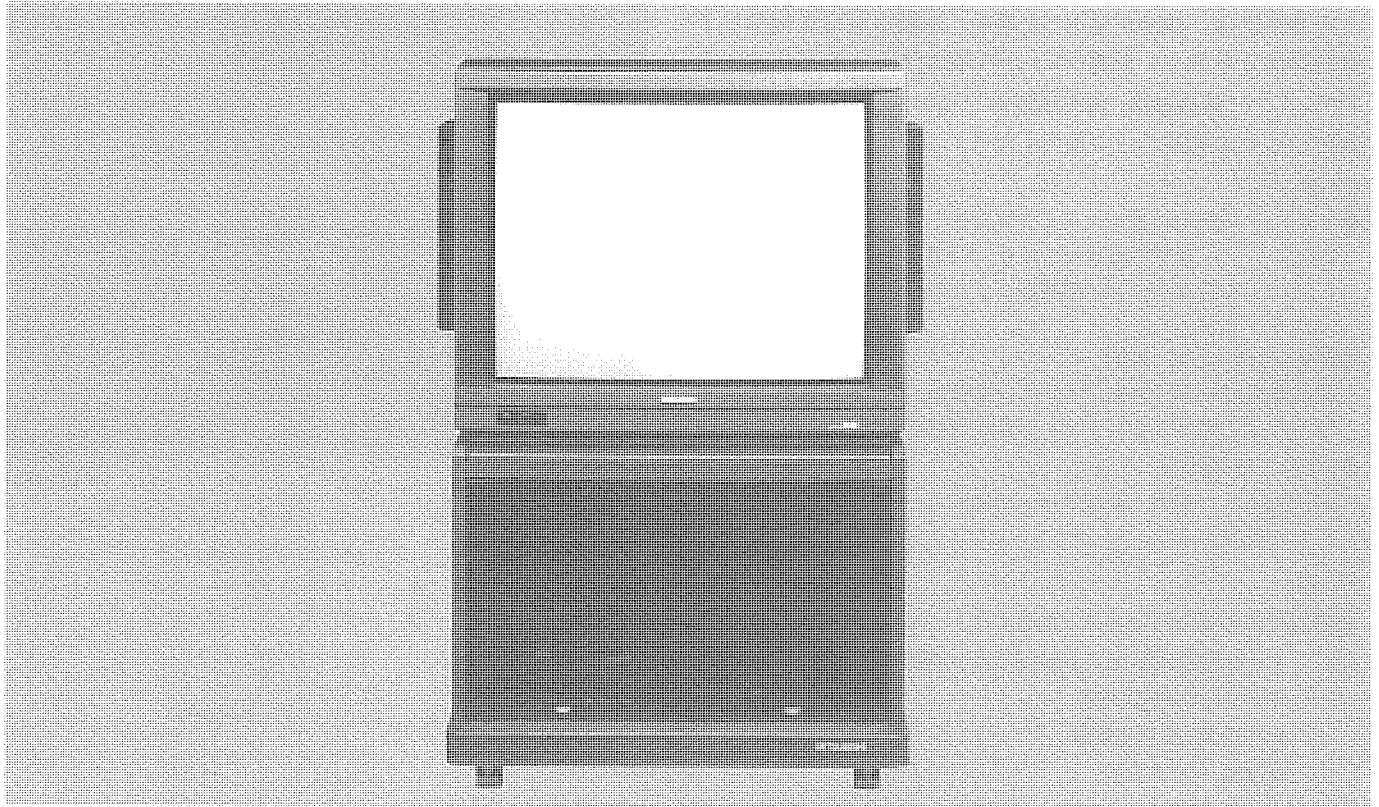
以上CD-Vシングルプレーヤー用光ピックアップMLP-V1の概要について述べた。当社では昭和52年に世界で初めてのデジタルオーディオディスク(DAD)を発表するなど、常にAV時代の先陣を切る技術開発を推進してきた。今後も光ピックアップの開発を通して、本格的なAV時代の多様なニーズに答えていきたい。

参 考 文 献

- (1) H.H.Hopkins: J. Opt. Soc. Am. 69, 4 (1979)
- (2) S.Kubota: Applied Optics 26, 18(1987)
- (3) 久山ほか: 三菱電機技報, 60, No11, p.27(昭61)

衛星放送受信機内蔵カラーテレビ

スポットライト 29CT-AT1BS



かつては夢のメディアとして語られた衛星放送が、いま現実のものとして私たちの生活の中へ届けられています。この新しいメディアを受けとめ、生かすために、今回の新製品が誕生しました。グローバルな視点で世界の「今」を伝える24時間放送。宇宙から家庭へダイレクトに届く電波は地上放送に比べてハイクオリティで、ゴーストのない鮮明画像、クリアなデジタルサウンドを楽しめます。昨年7月、独自番組の放送開始により一気に高まった衛星放送の人気は、今、秋のソウル五輪を控えて一つのピークを迎えています。しかも1990年にはチャンネル増も予定されており、これからの発展が期待されます。新製品29CT-AT1BSは衛星放送のクオリティを生かす高性能、高機能で登場します。

特長

●「光」出力が光る、本格オーディオ対応

〔光/同軸2系統デジタル音声出力端子付〕

衛星放送の音声は、ハイクオリティなPCMデジタル信号です。その高音質を存分に味わっていただくために、デジタル対応オーディオに接続できる端子を装備。しかも光と同軸の2系統で対応。

●衛星放送を手持ちのビデオで録画。留守録、裏録OK

〔BS（衛星放送）出力端子付〕

通常のテレビ放送やビデオを見ているときやテレビを消しているときでも、衛星放送の映像と音声を取り出せます。

●将来のニューメディアにも対応

〔ビットストリーム端子、検波出力端子〕

将来のデータ放送や有料放送に対応するビットストリーム端子および検波出力端子を装備しています。

●デジタル音声をより忠実に〔デジタルフィルタ〕

CDプレーヤーなどオーディオ機能に採用されている回路を採用。衛星放送のデジタル音声をより忠実に再生します。

●いつも最良の受信状態を実現

〔BS周波数シンセサイザー選局。チャンネルプリセット不要〕

●チャンネルや音声モードをひと目で確認

〔BSオンスクリーン表示〕

●BSのクオリティにふさわしい高画質・高音質

〔水平解像度650本（ビデオ入力時）の鮮明大画面〕

●3ウェイ6スピーカー、サラウンド内蔵の迫力サウンド

〔音声出力7W+7W〕

●便利なAT（オートターン）機能

〔テレビをリモコンで回転〕

●AV機能フル装備

〔AVメモリー、AVイコライジング機能搭載〕

●S映像入力端子をはじめ、豊富なAV端子を搭載

スポットライト 漏電警報付遮断器

近年、CPUやOA機器の導入に伴って、地絡が発生しても直ちに遮断できない回路が、工場、ビルを問わず増加しています。この遮断器は、地絡が発生した場合、内蔵のZCTで検出して電気的信号を出す、漏電リレーが一体化された配線用遮断器です。(この遮断器は、漏電遮断器ではありませんので、設置義務などをご配慮の上ご使用ください。)

特 長

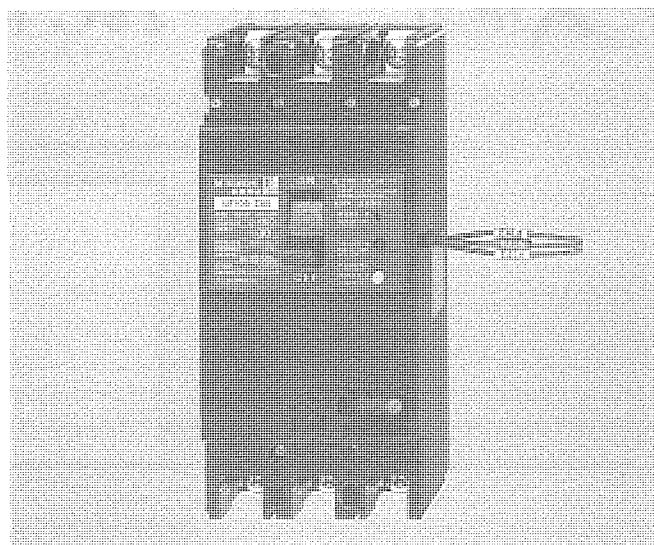
- リレーと一体形の省スペース、省力化
ZTC、リレー部が内蔵されており、NFB+漏電リレーの組合せに対し、取付スペースの削減および、取付作業の省力化がはかられています。
- 漏電遮断器と同一外形
漏電遮断器と同一外形ですから、裏面形、埋込形、操作とって、箱入りなど豊富なオプションが取付可能です。
- S.Cの二系列準備
C相当品は、NFB+漏電リレーに比べて、價格的にも大きなメリットがあります。

用 途

連続給電が必要な重要回路に最適です。

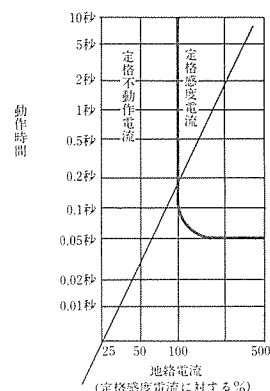
(例) ●各種生産設備(NC工作機、電気炉、半導体製造装置など)

- CPU、OA関連機器
- 非常用、防災用設備
- 冷蔵・冷凍設備
- 医療用設備……など



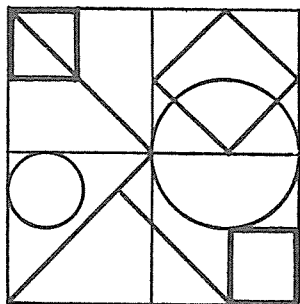
NF100-ZSS形

■ 漏電動作特性



仕 様

形 名		NF30-ZSS	NF50-ZSS	NF100-ZSS	NF100-ZCS	NF225-SZB	NF400-SZB	NF400-CZB	NF225-CZB
極 数		3	3	3,4	3	3	3	3	3
定 格 電 流(A)		15,20,30	15,20,30, 40,50	15,20,30,(40) 50,60,75,100	60,75,100	125,150,175 200,225	250,300 350,400	250,300 350,400	125,150,175 200,225
定 格 電 圧 (ACV)		220,460固定				200,415切替		200,415固定	100,200固定
定格遮断電流 (kA)	AC460V	5	7.5	22	7.5	—		—	—
	AC415V	—	—	—	—	42		18	—
	AC220V	10	10	50	14	—		—	—
	AC200V	—	—	—	—	85		30	15
	AC100V	—							22
接 続 方 式		表 面 形							
付	種 類	漏電警報リレー (EAL)							
	定格感度電流(mA)	30・100・500切替				200・500切替		(100),200固定	
	動 作 時 間	0.1秒以内							
属	接 点 構 成	1C (自己保持形)							
	接 点 容 量		COSφ=1	COSφ=0.4 L/R=0.07			COSφ=1	COSφ=0.4 L/R=0.07	
		AC125V	3A	2A		AC100V	5A	2.5A	
		AC250V	3A	2A		AC200V	5A	2A	
		DC 30V	2A	2A		DC 30V	5A	2A	
	EALの接続方式	リード線引出し 450mm				リード線引出し 600mm			
EALのリセット方式		手動リセット (リセットボタン)							リード線引出し



特許と新案 有償開放

有償開放についてのお問合せ先 三菱電機株式会社 特許部 TEL (03) 218-2136

買電量調整装置 (特許 第1268992号)

発明者 遠藤 康治

この発明は、電力を必要とする一般工場設備において、買電電力量を自家発電機を利用して調整する買電量調整装置に関するものである。

一般に発電機の制御を行う場合、図1の負荷設定器(1)を所定の値に設定し、発電電力検出用電力変換器(2)からの出力を負帰還して、偏差増幅器(3)でこの設定値と発電電力検出用電力変換器(2)の出力の偏差を増幅し、補償回路(5)及び電力増幅器(6)を経由してガバナ弁駆動装置(7)を駆動することにより負荷制御を行う。また、切替スイッチ(4)をB側に接すれば、ガバナ弁駆動装置(7)は買電量調整装置(8)により制御されるが、買電調整量設定器(9)による設定値は図2の継電器(19)の常閉接点(19a₁)が閉成されているとき、今までの設定値より低い値となり、工場電力負荷が減少して来たとき、買電量を設定値どおりの値に保つために発電量を絞る動作に対し、これを一時停止させ、しかも買電調整量設定値が低くなることにより、買電量を減らすために発電量を増加させる。継電器(19)の常閉接点(19a₁) (19a₂)のリセットは、図2に示す継電器(22)の常閉接点(22b)が開放のとき、即ち工場の負荷が増加して来て、買電電力が買電調整量設定値と等しくなると、比較器(21)が動作し、継電器(22)のコイルを励磁したとき、リセットされる。この結果、増幅器(20)はそれに含まれている

1次遅れ要素に応じて漸次出力を減少していき、正常な買電量調整運転に切り替っていく。従って、自家発電機を不必要に停止させることがない。

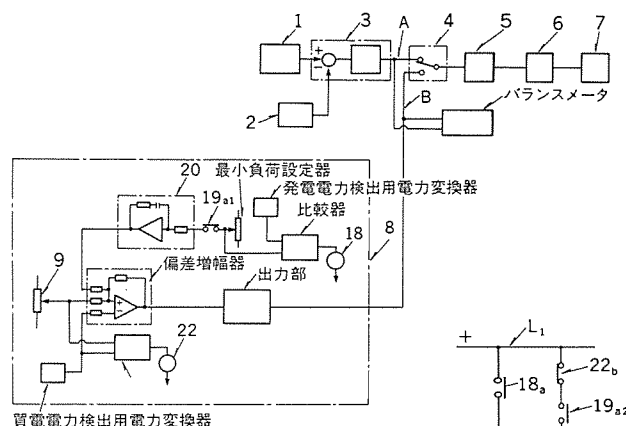


図1.

図2.

金型クイックチェンジ取付装置 (実用新案 第1625611号)

考案者 今泉 満治

この考案は、金型たとえばポンチホルダを極めて簡便に、かつ容易に取り替えることのできる装置に関するものである。

即ち、ポンチホルダ(16)を固定本体(3)に取り付ける場合、ハンドルレバー(8)を図3のB位置にし、位置決め棒(1)にはめ込む。つめ付アーム(2)のつめがポンチホルダ(16)の凹部にかかった状態でハンドルレバー(8)をC位置にすると主軸(7)のねじにより可動リング(5)が押下げられ、それに連動したつめ付アーム(2)がポンチホルダ(16)を固定本体(3)に押付け、締付けクランプが完了する。次に、ポンチホルダ(16)を固定本体から取り外す場合、ハンドルレバー(8)を上記と逆回転し、図3のC位置からBを通りA位置にする。A位置にすると、カムリング(9)のカムがつめ付アーム(2)を押し上げ、ポンチホルダ(16)の凹部からつめが外れる。それと同時にエジェクションピン(14)がばね(15)の圧力でポンチホルダ(16)を押上げ、位置決め棒(1)から取り外す。図2はポンチホルダ(16)を取り外した状態を示す。

従って、従来のボルト締め方式に比べ、準備取替え等の時間の節減と、プレス機械内の準備取替え作業を極めて簡便かつ容易にすることができる。

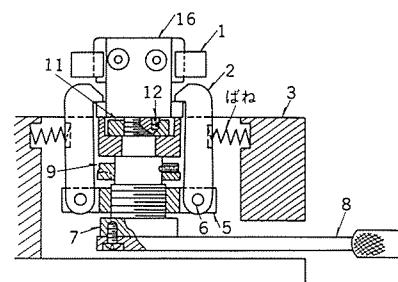


図1.

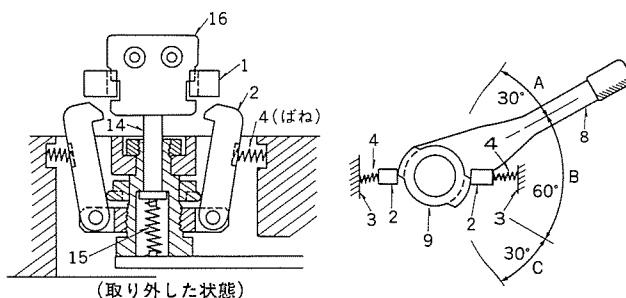


図2.

図3.

有償開放についてのお問合せ先 三菱電機株式会社 特許部 TEL (03) 218-2136

穴抜装置 (実用新案 第1606485号)

考案者 川上 俊弘

この考案は、ポンチにより金属材料に穴抜加工を行うための装置に関するものである。

即ち、図1のように構成された装置において、図2の状態からピストン(27)が前進して、固定ダイ(19)と移動ダイ(26)でワーク(11)を挟み、そのまま停止する(図3の状態)。次にピストン(32)が前進して大ポンチ(31)がワーク(11)に食い込む(図4の状態)。この際の適正食い込み量は、ワークの材質、厚みにより変化するので、ピストン(32)のストロークを調節ナット(35)で調節する。大ポンチ(31)がワーク(11)の厚みの約1/3食い込んだ後、最初の停止位置まで後退する。大ポンチ(31)の後退開始と同時に、小ポンチ(21)が大ポンチ(31)の抜き残しを逆方向から抜き通し、ワーク(11)に貫通孔を明ける(図5の状態)。なお、スクラップ(12)は一時移動ダイ(26)の中に納められるが、次に小ポンチ(21)と移動ダイ(26)が夫々同時に元の定位置まで後退すると(図6の状態)、小ポンチ(21)はワーク(11)より、スクラップ(12)は移動ダイ(26)より解放され、スクラップ(12)はスクラップホール(13)を通して落下し、抜き工程を完了する。従って、製作寸法誤差を吸収して歯型の損傷を防止し、かつ“かえり”を表面に出すことがなく、またワークが柔らかい他の材料と重ねて使用される場合、相手に傷をつけないという効果がある。

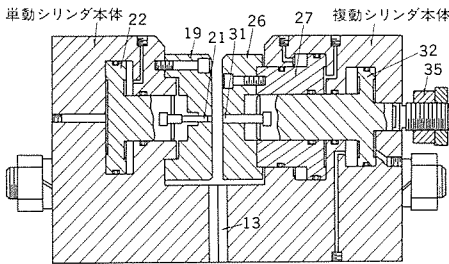
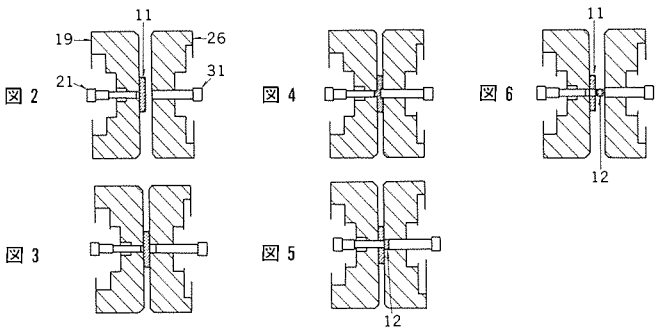


図1



〈次号予定〉三菱電機技報 Vol. 62 No. 9 三菱電機VAN “MIND” 特集

特集論文

- 三菱電機VAN “MIND” 特集に寄せて
- 企業情報通信ネットワークの動向と展望
- 三菱電機VAN “MIND” の概要
- “MIND” におけるデジタル多重伝送路と回線交換網
- “MIND” におけるパケット交換網
- ファクシミリメールシステムFMP
- 予約方式による交換型テレビ会議システム
- “MIND” におけるネットワーク管理
- “MIND” の通信センターにおける付帯設備
- プロトコル変換装置
- 国際ファクシミリメッセージ通信処理システム (Fポート)

●IBS用小型衛星通信制御装置 IBS-SAT

普通論文

- 本州四国連絡橋公団納め瀬戸中央自動車道
集分局設備 (児島～坂出ルート)
- 狭帯域MCAシステム装置
- 多段X線切替型三菱医療用ライナック
- 工業用計算機《MELCOM350-60》モデル600, モデル800
- 回転ヘッド式デジタルオーディオテープレコーダーのメカニズム
- マルチシステム対応カラーテレビ用LSI
- 構造化LSI設計手法による
ファクシミリ帯域圧縮伸長回路の1チップ化
- 超高速64K SRAM

三菱電機技報編集委員

委員長 鶴田 敬二
委員 峯松 雅登
〃 目次 善孝
〃 堀切 賢治
〃 風呂 功
〃 村田 豪
〃 藤井 学
〃 郷 鉄夫
〃 高橋 誠一
〃 田中 輝一郎
〃 柳下 和夫
幹事 長崎 忠一
8月号特集担当 中野 隆生

三菱電機技報62巻8号

(無断転載を禁ず)

昭和63年8月22日 印刷
昭和63年8月25日 発行

編集兼発行人 長崎 忠一
印刷所 東京都新宿区榎町7
大日本印刷株式会社
発行所 東京都港区新橋六丁目4番地9号 (〒105)
三菱電機エンジニアリング株式会社内
「三菱電機技報社」Tel.(03) 437局2338
発売元 東京都千代田区神田錦町3丁目1番地 (〒101)
株式会社 オーム社
Tel.(03) 233局0641代, 振替口座東京6-20018
定価 1部700円送料別 (年間予約は送料共9,100円)

小形ギヤードモートル(GM-J) スポットライト スピードコントロールシリーズ



[写真左より]速度設定器、ギヤードモートル(GM-JSE90W 減速比 $\frac{1}{88}$)、コントローラ(GC-90I)

昭和62年7月発売の小形ギヤードモートルGM-J定速シリーズに加え、FA分野での可変速ニーズに応えるべく、このたびスピードコントロールシリーズを製品化しました。独自の速度検出器とコントローラにより、正確なスピードを自在に設定できる高応答・高機能のギヤードモートルです。

特長

●高応答・高機能

独自の速度検出器の開発により、速度変化の応答性に優れ、負荷変動が生じても速度変動が小さいため、正確なスピードコントロールが可能です。速度変動率は2%以下です。

●瞬時停止機能

0.5秒間作動する直流ダイナミックブレーキによって、瞬時停止ができます。

●応用範囲の広いセパレートタイプ

コントローラと速度設定器は、操作盤にも設置できるセパレートタイプです。システムに合せた使用ができます。

●小形・軽量

ギヤードモートルは、独自の設計により業界一の小形・軽量です。

●保護機能

モートルには、焼損防止のための保護機能（サーマルプロテクタ）を内蔵しています。

●高強度・低騒音

剛性の高いケーシングと高精度歯車により、高強度・低騒音を実現しています。

機種構成

形 名	モートル種別	出 力	極 数	電圧・周波数	速度制御範囲 (モートル軸)	減 速 比	機 種 数
GM-JSE	単相インダクション	40W 60W	4	100/100V 50/ 60Hz	120～1400/120～1700rpm 50/60Hz	1/3～1/2400	88
		90W				1/3～1/1800	
GM-JRE	単相リバーシブル	40W 60W	4	100/100V 50/ 60Hz	120～1400/120～1700rpm 50/60Hz	1/3～1/2400	60

フィルターコンパック換気扇 スポットライトワイヤレスリモコンタイプ

住宅に設置される換気扇のなかで、台所用換気扇は最も使用頻度が高く、汚れやすいため、操作性、清掃性の良いものが要求されます。三菱電機では、このような要求に対して、●従来の引ヒモをなくして壁埋込みスイッチにより手元で操作できる電気式シャッター換気扇、●本体前面に備えたフィルターにより油汚れの70%以上を捕集するフィルターコンパック換気扇などを商品化して、操作性、清掃性を改善してきました。このたび商品化された「フィルターコンパック換気扇」ワイヤレスリモコンタイプは、調理中にすぐ手の届く位置にスイッチを設置できるため操作性が優れ、スイッチ配線が不要なため簡単に設置できます。特に既築住宅で従来の引ヒモタイプの換気扇から手元操作の換気扇に取替える場合、スイッチ配線工事が障害になりますが、ワイヤレスリモコンタイプがあれば簡単に取替えて、手元操作が可能になって操作性が向上し、引ヒモの汚れも解消することができます。さらに、ワイヤレスリモコンタイプはマイコンによる残置オフタイマーをはじめとする便利な機能を備え操作性を改善しています。

特長

●いちばん便利な位置にスイッチを設置できます。

指向角が広いワイヤレスリモコンの採用で、レンジ回りのすぐ手の届く位置にリモコンスイッチを設置できます。

●施工性が優れています。

スイッチ配線が不要で簡単に設置ができます。また既設の引ヒモタイプ換気扇と簡単に取替えて、手元操作タイプにできます。

●強弱運動切替え、残置オフタイマーが手元で操作できます。

トロ火など火力の弱いに適した弱ノッチ運転や料理後の残臭排出に便利な5分、10分、30分の残置オフタイマーの切替え操作がリモコンスイッチでできます。

●換気扇本体に運転表示部、本体運転スイッチを設けました。

電源、強弱、タイマー表示灯を換気扇本体に設け運転状態が一目で確認できます。また、本体運転スイッチによりリモコンスイッチの電池が切れても運転できます。(入・切・強弱切替えのみ)

●その他マイコンによる便利な機能を備えています。

①連続運転時の切忘れ防止のため連続6時間運転後、自動的に停止します。

②フィルター交換時期の目安を運転表示灯を点滅してお知らせします。積算運転時間約200時間(一般的な家庭で約3ヶ月間の運転時間です)で点滅を開始します。フィルター交換後、本体運転スイッチを5秒以上押し続けると、積算運転時間および点滅は初期状態にリセットされます



フィルターコンパック
ワイヤレスリモコンタイプ
20cm EX-20EFH-R
25cm EX-25EFH-R



換気扇本体受信部



リモコンスイッチ外観

仕様

形 名	ノッチ	消費電力(W)		風量(m³/時)		騒音(ホン)		重 量 (kg)
		50Hz	60Hz	50Hz	60Hz	50Hz	60Hz	
EX-20EFH-R	強	17.5	21.5	450	480	34	35	3.0
	弱	16.5	17	318	282	28.5	26	
EX-25EFH-R	強	27	31.5	720	720	35	35	3.4
	弱	22	23.5	456	444	27	26	

スポットライト MELTACシリーズ



原子力プラントの安全継続運転、プラントの稼働率を重視し、高信頼度システムを構成するとともに、プラント運転中の保守、定期検査時の保守時間の短縮をはかったプラント制御システムです。原子炉制御システムから補機制御システムまであらゆる規模のシステムニーズに適合します。

特長

- システム構成として、階層化、分散・多重化システムを容易に実現。
- オンラインでハードウェア、ソフトウェア両面からの自己診断機能を装備。
- 待機系への自動切り替えによる運転継続、故障個所の表示と運転中保守が可能。
- 計装ブロック図から直接高品質なソフトウェアを作成可能……などですが、さらにプラント監視システムとのインタフェースにも優れたシステムです。