

2.56

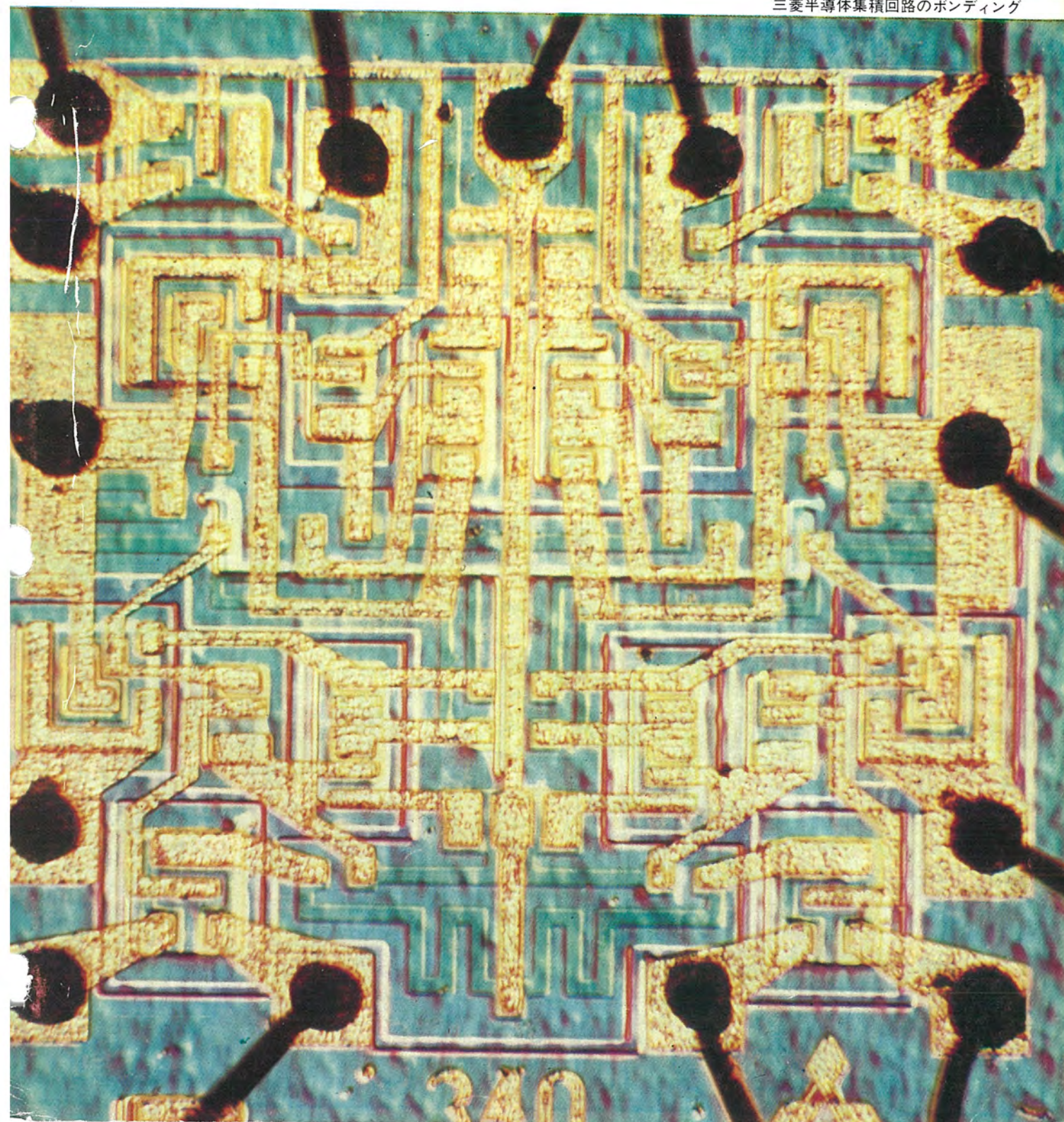
1967年7月20日発行 定価400円 送料別 代金引換不可 郵政省認可 第41号 電話4240729 月1回29日発行

MITSUBISHI DENKI GIHO 三菱電機技報

Vol. 41 August 1967
マイクロエレクトロニクス特集

8

三菱半導体集積回路のボンディング



世界的な全サイリスタ化大形圧延設備用電機品 八幡製鉄向け主電動機とサイリスタ電源完成

三菱電機では、八幡製鉄堺製鉄所向け分塊圧延機用電機品一式を製作中であったが、このほど主電動機とサイリスタ電源を完成、公開試験を行ない好成績を収めた。

サイリスタ電源は、保守・点検が容易、応答速度が早い、電源容量アップに際してはアップした分だけサイリスタを追加するだけでよい。据付面積が少ないなどの特長をもっていたが、今まで補助電源には採用されていたが、大容量で過こくな使用条件の圧延主電動機にはほとんど採用されていない。

しかし、完成したサイリスタ電源の容量は、水平ロール用4,500kW 2台、たてロール用3,300kW 1台、その他補機用を含めて26台、総容量19,757kWに達するもので、アメリカに厚板圧延機、ホットストリップミルなどに2,3の例があるだけで、ヨーロッパはもちろん、わが国初の全サイリスタ化された大形圧延設備用電機品であり、この全面的なサイリスタ採用は、大形圧延設備用電機品のサイリスタ化の先駆として注目されている。



八幡製鉄(株)堺製鉄所向け4,500kWサイリスタ



エレクトロニクス特集

目次

《特別寄稿》

マイクロエレクトロニクス特集号によせて……………柳井久義… 971

《特集論文》

マイクロエレクトロニクス特集号の発行に当たって……………小原敬助… 975

集積回路工業の問題点……………山下博典・浅川俊文… 976

半導体集積回路のチップ面積と価格解析……………山本隆一… 981

TTL の設計……………浅川俊文・土屋鍊平… 988

リニヤ集積回路の設計技術……………吉富正夫… 984

集積回路の拡散工程と拡散不純物源……………青木信夫・天野正勝・嶋田義行… 999

感光性樹脂の不純物分離法……………太田基義・山口久美子・橋本雄二郎…1005

Si 熱酸化膜の電子顕微鏡観察……………杉岡八十一・坂根英生…1008

サファイヤ上シリコン結晶とその応用……………伊藤昭子・石井孝…1013

薄膜抵抗直接エッチング方式……………忍足博・福見勝彦・山崎照彦…1020

薄膜トランジスタ……………石井悠…1027

半導体工場の最近の傾向……………渡辺春雄…1031

簡易形 IC 機能試験装置……………壺井芳昭・松原要…1035

DTL の布線雑音……………壺井芳昭・梅田義明・松原要…1038

集積回路化電子計算機の自動設計……………小島一男・三上晃一・蒲原捷行・田淵謹也…1043

MELCOM 350 電子計算機演算制御部の集積回路化……………小島一男・織田博靖・浜田勝・小笠原光孝…1048

全集積回路化電子計算機 MELCOM 350 における集積回路の実装法……………小島一男・阪尾正義・今村貞良・小笠原光孝…1052

4線式 PAM スイッチ網の集積回路……………前田良雄・平沢茂一・後藤正彦…1057

……………

《技術講座》

三菱半導体集積回路の標準機種……………田中禎一・平子征佳・鈴木壮夫…1062

《新製品紹介》

LSH 形高圧気中配電箱・HM シリーズ・サーボモータ・三菱トランジスタテレビ 12PS-195 形……………1083

《ニュースフラッシュ》

……………1086

輝く照明学会賞を受賞・IC 専門工場—三菱電機熊本工場完成・ED77 形交流電気機関車完成・全 IC 化工業用三菱電子計算機

MELCOM-350 システム完成・東北大学納め電子リニアック完成

《特許と新案》

……………1025

周波数変調波復調回路・スケルチ装置・選択呼出装置・直流電圧変換回路

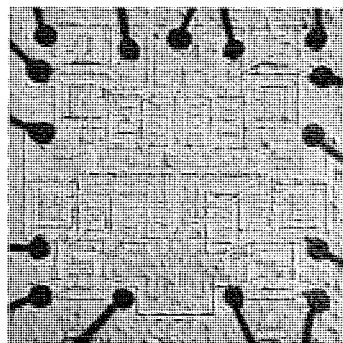
《表紙》

半導体集積回路のボンディング写真

TTL 方式によるデジタル回路 M 5300 P シリーズのなかの, Quadruple 2-Input NAND Gate M 5340 P のシリコン・ダイスをフレームに溶着しダイス上のアルミ電極に直径 25μ (ミクロン) の金線を, 熱圧着により接続したところを示す。

この品種は, 2.3 mm^2 のシリコンの表面に, トランジスタ 20 個, 抵抗 20 個を集積化したものである。

現在三菱電機で量産されている半導体集積回路で最も集積度の高いものは 5.0 mm^2 のシリコン・ダイスちゅうに, 160 個の素子(トランジスタ, ダイオード, 抵抗の合計) が収まっている。





SPECIAL EDITION OF MICRO-ELECTRONICS

CONTENTS

SPECIALY COLLECTED PAPERS

Consideration on Integrated Circuit Industry.....	H. Yamashita • T. Asakawa...	976
Chip Area and Cost Analysis of Semiconductor.....	T. Yamamoto...	981
Design of TTL.....	T. Asakawa • R. Tsuchiya...	988
Circuit Design Techniques of Linear Integrated Circuit.....	M. Yoshitomi...	994
Diffusion Process and Diffusion Impurities for Integrated Circuits.....	N. Aoki • M. Amano • Y. Shimada...	999
Purification of the PhotoResist.....	M. Ota • K. Yamaguchi • Y. Hashimoto...	1005
Electron Microscope Studies of Thermally Grown Oxide Films on Silicon.....	Y. Sugioka • H. Sakane...	1008
Silicon Crystal on Sapphire and its Application.....	A. Ito • T. Ishii...	1013
"Direct Etching Method" of Thin Film Resistor.....	H. Oshitari • K. Fukumi • T. Yamazaki...	1020
Thin Film Transistor.....	H. Ishii...	1027
Modern Trend of Semiconductor Plants.....	H. Watanabe...	1031
Simplified IC Function Tester.....	Y. Tsuboi • K. Matsubara...	1035
Consideration on Noise in Interconnections of DTL.....	Y. Tsuboi • Y. Umeda • K. Matsubara...	1038
Design Automation of Integrated Circuited Electronic Computers	K. Kojima • K. Mikami • T. Kamohara • K. Tabuchi...	1043
Integrate Circuited Arithmetic and Logical Units of Mitsubishi Electronic Computer, MELCOM-3100	K. Kojima • H. Oda • M. Hamada • M. Ogasawara...	1048
IC Loading Techniques used for all IC Computer, MELCOM-350	K. Kojima • M. Sakao • S. Imamura • M. Ogasawara...	1052
Moletronization of 4 Wire PAM Switching Circuit.....	Y. Maeda • S. Hirasawa • M. Goto...	1057

TECHNICAL LECTURE

Standard Types of Mitsubishi Integrated Circuit.....	T. Tanaka • M. Hirako • S. Suzuki...	1062
--	--------------------------------------	------

NEW PRODUCT.....	1083
------------------	------

NEWS FLASH.....	1087
-----------------	------

PATENT AND UTILITY MODEL.....	1025
-------------------------------	------

COVER :

Bonding of Semiconductor Integrated Circuit.

The photograph shows a silicon die of Quadruple 2-Input NAND Gate M 5340 P, one of the TTL M 5300 P series.

The die is brazed to a frame and aluminum electrodes on the die are connected to outer leads with gold wires of 25μ in diameter by thermo-compression bonding.

The device of this kind is the one having 20 transistors and 20 resistors integrated on the surface of 2.3 mm^2 silicon die. The most complex integrated circuit now being produced by Mitsubishi includes 160 elements (totaling transistors, diodes and resistors) in a 5.0 mm^2 silicon die.

UDC 621.37/.38-181.4

集積回路工業の問題点

山下博典・浅川俊文

三菱電機技報 Vol.41・No.8・P976~980

集積回路工業の技術面、市場その他の情勢変化がきわめてすみやかなのと、その他産業に及ぼす影響が甚大であるために概念的な論議がさかんであるが、必ずしも正当な意見ばかりとは思えない。

本文は集積回路のなりたちよりその成長経過を考察し、機器製造工業に与えている問題点ならびに集積回路工業自身に内在する諸問題を論じ、機器産業との共存協力問題を追究した。

さらに集積回路の進むべき動向につき分析し、これに対処すべき問題点を論じた。



UDC 621.37/.38-181.4:621.382.002.2

集積回路の拡散工程と拡散不純物源

青木信夫・天野正勝・嶋田義行

三菱電機技報 Vol.41・No.8・P999~1004

集積回路の製作に使用される拡散技術の拡散原理を不純物分布、偏折現象、逆磁性を中心にして説明し、次にコレクター拡散にはA₂原子を、ベース拡散と分離拡散にはB原子を、エミッタ拡散にはA₁原子が使用される理由を用途の面から説明した。各原子を含む不純物原子の化合物の種類をあげて、その取扱方法とその優劣を論じた。



UDC 621.37/.38-181.4+65.01

半導体集積回路のチップ面積と価格解析

山本隆一

三菱電機技報 Vol.41・No.8・P981~987

シリコン半導体集積回路の価格はウエハ1枚あたりの製造価格を一定と見なせば、そのチップ面積と歩留りに大きく影響を受ける。この論文では三菱モレクタロン、TTL、M5300シリーズを例にとりながら、トランジスタ、抵抗などの各回路素子がシリコン基板上に占める面積の関係式を導き、また、歩留りが酸化膜中にランダムに分布されたピンホールによって決まると考えた場合、各ピンホール密度に対するチップ面積と歩留りの関係を調べた。次に回路素子あたりの単価が最小になる最適経済チップ面積を算出し、素子数200個以上の大集積化を経済的に行なうには、各拡散における酸化膜のピンホール密度が1mm²あたり0.25以下でなければならないことを示した。



UDC 773.66.067:66.067.5

感光性樹脂の不純物分離法

太田基義・山口久美子・橋本雄二郎

三菱電機技報 Vol.41・No.8・P1005~1007

最新の半導体工業においては、感光性樹脂を利用したホットエッチング技術が重要な役割をせめており、素子の超小型化に伴って、加工精度の向上が要求されてきた。この加工技術においては、樹脂製造工程中、あるいは貯蔵期間ちゅうに混入する不純物によってトラブルが発生することが多い。

筆者らはこれらの不純物を除去するために、遠心分離法→精密フィルタろ過法の分離手段を用いた。この遠心分離により樹脂ちゅうのゲル状物質を除くことができ、また1サイクル後、灰分量は3%になり、重金属類、アルカリ金属類の減少がみとめられた。さらに解像力は高くなり、焼付け画像も鮮明になった。



UDC 621.37/.38-181.4

TTLの設計

浅川俊文・土屋鍊平

三菱電機技報 Vol.41・No.8・P988~993

TTL論理回路はマルチエミッタトランジスタによる入力ゲートと容量負荷を駆動する低インピーダンスの電流源を持ち、出力トランジスタのベース駆動電流を増幅しているため、すぐれたスイッチング特性と負荷特性を示す。

マルチエミッタトランジスタの逆電流利得に原因する入力漏えい電流、出力トランジスタの電流利得とファンアウト、容量負荷を駆動する電流源の効果など、計算例をあげながら説明し、集積回路で得られた特性を示した。

パッケージあたりの回路数を増して機能当りのコストを下げる傾向にあることをTTLのフリップフロップの例で示した。



UDC 539.27:539.232:548.4:546.28'21

Si熱酸化膜の電子顕微鏡観察

杉岡八十一・坂根英生

三菱電機技報 Vol.41・No.8・P1008~1012

Si熱酸化膜の構造や成長機構および熱酸化処理が下地Siに及ぼす影響などを知らるために、電子線回折装置および電子顕微鏡によって、これらの諸問題を研究した。約900Å以下の酸化膜成長初期には、平滑な酸化膜の成長が行なわれず局部的に、とくに酸化の進んだ部分が生じる。Si酸化膜中には粒状のSi酸化物結晶が、数μmの円板状に集まって存在することがあり、Pの拡散やFeによる表面汚染が結晶化の一つの原因になっている。製造工程中にCuやFeなどの重金属によってSiの表面が汚染されていると、熱酸化処理によってSi中に点状や三角形の析出物が発生することがある。



UDC 621.37/.38-181.4

リニヤ集積回路の設計技術

吉富正夫

三菱電機技報 Vol.41・No.8・P994~998

この論文ではリニヤIC設計に用いられる回路設計の数例についてのべる。まずICでよく用いられる差動増幅器構成の解析を行ないバランス特性、振幅制限特性について評価した。第2に複合接続トランジスタおよびカスケード接続トランジスタを、合成パラメータで表示する方法をのべ、さらに、音声出力増幅器のIC化の、設計例を示した。最後にICの実例について説明した。



UDC 546.28:666.23:621.382

サファイア上シリコン結晶とその応用

伊藤昭子・石井 孝

三菱電機技報 Vol.41・No.8・P1013~1019

単結晶サファイアを基板として、SiH₄の熱分解反応によって、気相からSiを成長させた(SOS構造)。成長条件、すなわち、基板方位、成長温度、供給ガス組成、供給ガス流速、とSOS膜の結晶性との関係を、反射電子線回折法、レブリカによる電顕観察によって調べた。またSOS膜の電気特性を測定し、基板方位との関連を求めた。基板として(100)方位を使用した場合、最もよい結晶が得られ、ホール移動度もバルクSiの95%に達した。

さらにこのSOSを使って、MOS-Tr. ICを試作するとともに、その応用、将来性について検討した。



UDC 621.793:621.794

薄膜抵抗直接エッチング方式

忍足 博・福見勝彦・山崎照彦

三菱電機技報 Vol.41・No.8・P1020~1024

薄膜混成回路の製造に有効な薄膜抵抗の直接エッチング方法につきその製造工程と製作例を報告する。

抵抗材料としてさきにわれわれが開発したCrSiを使用し、そのエッチングに $\text{HF-H}_2\text{SO}_4\text{-NH}_4\text{F-H}_2\text{O}$ を、Cu電極には過硫酸アンモンを使用し、Alの場合は $\text{H}_3\text{PO}_4\text{-HNO}_3\text{-H}_2\text{O}$ 系を使用した。一例として写真製版技術により、シート抵抗 $5\text{ k}\Omega/\square$ 、パターン幅 $40\mu\text{m}\times 40,000\mu\text{m}$ で $5\text{ M}\Omega$ もの高抵抗をもつ回路を製作したが、かかる精密なパターンを持つ高抵抗は他にあまりその例を見ないものである。

現在、われわれはこの方法で各種の通信機用回路を生産している。

UDC 621.372.2:621.382:621.374.3:681.142

DTLの布線雑音

壺井芳昭・梅田義明・松原 要

三菱電機技報 Vol.41・No.8・P1038~1042

オープンワイヤによる半導体集積回路(IC)化DTL論理素子に対する、短かい布線の布線雑音について検討している。

論理素子のIC化による高密度実装化は上のような短かい布線の占める比重を大きくすると同時に、IC化論理素子一般の低雑音裕度特性は短かい布線の雑音にも注意を払う必要を生じさせた。

ここでは、検討の結果に一般的な適応性を付与するため、布線の等価回路の中から雑音の種類別に選んだ単一の集中定数要素でもって雑音に関する布線条件を捕えることを考え、その妥当性を実験的に確かめている。これによれば、上の単一要素の値を介することによって種々の布線の雑音を検討することができる。

UDC 621.37/.38-181.4

薄膜トランジスタ

石井 悠

三菱電機技報 Vol.41・No.8・P1027~1030

薄膜トランジスタの現状と将来への発展の方向についてのべた。特性と製作工程との関連、gm、周波数特性、電力容量の上限について論じ、さらに薄膜トランジスタが多結晶薄膜で実用的特性をもって動作しう理由を説明した。その特質を生かした応用について考察し、印刷回路への発展性についてのべている。

UDC 681.142:621.37/.38.049.75

集積回路化電子計算機の自動設計

小島一男・三上晃一・蒲原捷行・田淵謹也

三菱電機技報 Vol.41・No.8・P1043~1047

電子計算機のIC化は急速に進められている。一方、電子計算機の設計、製作の過程において電子計算機を利用する、いわゆる自動設計技術の開発も最近とみにさかんになっており、当社においてもMELCOM3100の開発に際し、布線設計の自動化を中心にして、自動設計システムの開発と運用を行なった。その内容はすでに文献(1)、(2)で報告されている。ここではIC化にとまない、自動設計の分野ではどのようなサポートが必要であるかという分析と解決法についてのべる。

UDC 658.2:621.382.002.2

半導体工場の最近の傾向

渡辺春雄

三菱電機技報 Vol.41・No.8・P1031~1034

半導体工業の休まない進歩は、その製造設備に対しても種々の改善を要求する。そのため工場レイアウトの変更もしばしば行なわれる。

そこで、工場に対しても従来の固定観念を打破した新しい考え方が必要である。つまり建物や動力サービスにおいて高いフレキシビリティをもつ工場が要求されている。しかもこれは、将来の拡張性に対しても十分な考慮を必要とする。

この論文では、最近の半導体工場の特長についてのべ、さらに、現在当社が熊本市に建設中のIC工場について、その建設計画・ヤードプラン・建築構造・空調和システム・フィルタ・動力サービス・将来の拡張性などについて、その概要を紹介するものである。

UDC 621.37/.38.002.6

MELCOM3100電子計算機演算制御部の集積回路化

小島一男・織田博靖・浜田 勝・小笠原光孝

三菱電機技報 Vol.41・No.8・P1048~1051

MELCOM 3100電子計算機の論理演算部および制御部をDTL半導体集積回路を用いて試作したものに付き報告する。本文にのべる計算機には集積回路約2,000個を使用しており、こゝではそのスイッチ特性、パルスノイズマージンなどについて集積回路を評価し、ついで計算機論理ユニットカードの構成法などにふれる。最後に計算機を集積回路化したことの効果を同一機能の個別部品機と比較検討した結果について論じてある。

UDC 621.317.79:621.37/.38:181.4-40

簡易形IC機能試験装置

壺井芳昭・松原 要

三菱電機技報 Vol.41・No.8・P1035~1037

IC試験装置はすでに各種のものが市販されるに至っているが、簡便な機能試験装置はいまだ多くを見られない現状であり、これに対し、われわれは簡易形のIC機能試験装置を開発したので、その概要についてここでのべている。

この装置は三菱モロトロンTTL M5340Pの機能動作試験および出力電圧レベルの判定を行なうもので、試験は自動的に高速(0.3秒)に行なわれる。装置はIC化されており、小形軽量にまとめられている。表示はGO, NO-GO表示で判定が容易である。

UDC 681.142:621.37/.38.049.75

全集積回路化電子計算機MELCOM 350における集積回路の実装法

小島一男・阪尾正義・今村貞良・小笠原光孝

三菱電機技報 Vol.41・No.8・P1052~1056

集積回路の普及につれて集積回路の実装法が新しい技術として生れた。本文は全IC化電子計算機MELCOM 350に採用された集積回路の実装法の概要をのべるものである。

本計算機の設計に当って検討した事項は、高速演算機能を高信頼度かつ低価格で実現するにはいかなる方式がもっとも有利であるかということである。検討の結果、論理カードは $14\times 8.5\text{ cm}^2$ の比較的小さいカードに集積回路を積載し、これらのカード間の配線の一部は両面プリントのバックパネルによって実現した。また、配線法については種々な配線形式における諸条件を明らかにし、集積回路応用の一助とした。

UDC 621.375:621.376:621.395

4線式PAMスイッチ網の集積回路化

前田良雄・平沢茂一・後藤正彦

三菱電機技報 Vol.41・No.8・P1057～1061

情報処理の分野はもちろん、電力・輸送その他多くの分野においても総合機械化が進められており、多くの情報の多数の端末からの収集、逆に端末への分配、あるいは不特定多数の端末間での送受をすることが多くなった。このため高度の情報スイッチング回路網が必要で、経済化・高速化・高信頼化・小形化などの目的からは時分割多重方式が適している。この場合でも端末数に相当する変復調回路が必要で、その集積回路化設計およびそれによる機能化が要望されている。本文では、サンプル周波数20kC、タイムスロット幅500nS、共通線多重度100、伝送周波数帯域300～3,400%のモレクtron化変復調回路を主とする4線式PAM  スwitch網に関しのべる。

UDC 621.37/.38.002.6

三菱半導体集積回路の標準機種

田中禎一・平子征佳・鈴木壮夫

三菱電機技報 Vol.41・No.8・P1062～1081

現在、三菱電機で大量生産されているモノリシック半導体集積回路の標準品を紹介する。これらの標準品には、TTL M5300Pシリーズ、DTL M5930Pシリーズおよびニヤ回路シリーズがある。これらの特長、外形、電気的特性、動作説明、および信頼度確認データをのべ、これらの理解を助けるため、日本の超小形電子回路用語委員会でもとめた集積回路用語、MIL-STD-806Bによる論理回路記号およびカタログに用いられている記号の解説を付け加えた。



マイクロエレクトロニクス特集号に寄せて

東京大学工学部教授 柳 井 久 義

1. ま え が き

今日、半導体集積回路を主体とした集積回路、あるいはもっと広く言って電子回路、機器の集積化 (Integration) ということは、もはや議論の余地のない将来の電子系統機器のあり方として認められるようになってきた。この動向は私も学会誌その他にすでにしばしば指摘したとおり、電子機器がその進歩の過程において工業製品として育つために絶対に必要な経済性、信頼性、使いやすさの向上のために必然的に取らなければならない道であった。三菱電機においては、この動向の重要性にいち早く着眼され、早くからその研究開発に意をそそがれたことは、そのけい(慧)眼にまったく敬服する次第である。

しかし、一方軍事技術にささえられた米国におけるこの方向の進歩は予期していたこととは言え予想外に早く、今日わが国が世界第二の半導体素子の工業国になりながら、この点で大きなおくれをとったことは、まことに残念なことと言わなければならない。

このようなときに三菱電機がその重要性を再認識されて、この技報を“マイクロエレクトロニクス特集号”として発行され、その先端技術や研究成果の一端を披露され、その問題点や将来の動向を知る貴重な資料を提供してこの方面に貢献されるとともに、その応用分野の拡大のために積極的な努力をされたことはまことに喜ばしいことであり、たいへん有意義なことと言わなければならない。このような特集号に巻頭言を書かせていただけたことは、私としてまことに光栄の至りであるが、本文は大学と言う特殊な職場にいる一研究者が、その狭い窓からながめた冗弁をもてあそぶことともなりかねない。この点についてはあしからずご了承ください、この小文の中から何かをくみ取っていただければ筆者としてはまことに幸いである。

2. 集積回路と集積化 (Integration)

集積回路は多少見方を変えてこれをながめれば、電子回路の機械的構成法の進歩である。紙の上に設計した配線図を半導体表面あるいは絶縁基板の表面に作りつけたに過ぎない。情報をもった電気信号を扱う電子回路としては、そのうちのエネルギーは必要最少限でよく、そのために必要な電気現象を呈する電子部品のほんとうに動作している部分の容積なり面積はきわめて小部分でよい。しかもその内部で発生する雑音エネルギーも小さく、外部から受ける妨害に対しても十分しゃへい保護されているような形式なり現象の利用なりを行えば、扱うエネルギーもきわめて少なくできるはずのものである。このことは、わずかなエネルギーで活動する動物を見れば、生きた証拠としてうなずける。

今日の集積回路と30年前の電子回路を比較すると、部品自身が超小形化したことは別としても、当時の電子回路が空間的にも製造法的にも、機械的構成法に何とむだの多かったことかと今さらながら寒心させられる。もちろん当時としては部品の信頼度大いに問題があり、ことに真空管のように本質的に寿命の有限なものを用いていた以上、回路部品の交換修理という問題が常につきまとい、集積化というような考え方はとてもできなかったことは事実である。このことは電子回路の機械的構成法を回路理論面での高度な発達の割りには、長い間手工業的段階に置いてしまった有力な要因となったようである。中学生が趣味でやれるようなものでは、いかに申してもがん具の域であっていささか工業製品とはいいかねる。

信頼性の向上はこの点から今次大戦を契機として、欧米では電子機器の発達の重要命題として各方面から積極的に進められ、これとともにトランジスタをはじめとする新しい部品の発明や、多くの改良進歩、製造

技術の進歩発達を伴って集積化という考え方が芽ばえはじめた。今日の集積回路は電子計算機を導入して材料から製品まで全自動で設計、製造することまで考えられており、その製造は完全に近代工業的段階に育ちあがったと言えよう。これにより電子工業がよく言われるように鉄鋼産業、化学工業などと同様な性格をもった大規模な設備産業へと移行しはじめた。

元来電子回路なり電子機器はその系統を構成する部品を集め適当に組合せたものであって、入出力端子間を接続する、いわゆる配線なり結線なりの線やこれに付随した接続点は無用の長物である。ただ構成部品がある形なり大きさなりをもっているため、入出力端子を直結した形で回路や機器が構成できないだけである。集積回路なり最近問題となっている Large Scale Integration なりの方向は電子機器がこの方向に移行する傾向を示している。一方集積回路の普及に伴って、一般の電子機器や回路構成の考え方が集積化の方向に向っていると言えそうである。これはもちろん経済性、信頼性、使いやすさの向上に役だたねば無意味であるが、電子回路の上述のような本質から言って系統構成の考え方、製造技術および回路の機械的構成法の進歩が進むにつれてこのようになる可能性は強い。電気的性能の面からも、とくに信号をある距離だけ伝達することが必要でない限り配線などは無用の長物で、この意味から完全な集積化が行なわれているのがマイクロ波回路である。これについては集積化という考え方が表には出ておらず、むしろマイクロ波領域の固体素子を使ったストリップ線路の混成集積回路がマイクロ波集積回路などと言われてさえている。これなど集積化という考えがまだ十分は握されていないための過渡的現象とも見られ、マイクロ波技術の中に今後の集積化への進歩の一面が含まれていると言えよう。

回路、機器の構成技術については集積回路に絞って見ればまだしも、一般的にながめるとなお手工業的色彩が強く優秀な技術者、研究者の関心が薄い。昔から言われている接続点の研究、もう少しつまらないと思われるようなことばで言えばはんだ付の研究のようなものもその一つであり、今日ではさらにむずかしい高

級な多くの問題をかかえている。集積回路の時代を迎えるにあたって、このような見方からしたわが国電子工業および工学の厚い基盤を育て上げ、将来の創造性ある発展の礎を築きたいものである。

3. 総合技術としての集積回路

集積回路は材料から系統 (System) まできわめて広範囲に関連し、しかも工学分野としても電気はもちろん広く化学、機械、物理、や金などきわめて広い分野にまたがっている。そのうえ製造からその応用、さらにその新しい開発研究を行なうためには、現状における最高級の学問、技術を縦横に駆使しなければならない。したがって集積回路工業を発展させるためには各方面、各分野の高度な専門技術者とその積極的かつ有効適切な協力を必要とし、一方またこれらの協力を効果的たらしめる Coordinator を必要とする。

前者に対して今日わが国においても数ではかなりの専門技術者を確保しうる可能性はあるが、その能力を目的にかなった方向に伸ばし、しかもこれらの人々の成果を集約して大きな総合効果を上げるための協力態勢という問題となると、技術者の考え方、社会態勢、組織などの面で多くの問題点を残している。もちろんこのような新しい分野ではこれらの高度な技術者、研究者の養成や欠けている分野の専門家の養成も行なわなければならない。しかしこのような専門技術者の養成やそれらの協力態勢という問題は、その気になればそれほど長年月を要しなくとも逐次解決していく道はある。

ところがこれらの協力を効果的たらしめる後者の Coordinator となると、その人をうることは相当な難事と言わなければならない。このことは集積回路によって代表されるような電子工業の変革期にあって現われた世界的傾向であり、何もわが国だけの問題ではない。しかし何と言ってもまだ後進性を完全に脱却しきれないわが国の現状としては、真に独創性のある Coordinator を見つけだし、またこれを養成するという点では、先進国に対してハンディ・キャップをもっていることは事実である。だいたいわが国では大学の

教育ですら欧米に範をとり、これを改良（場合によっては改悪）して行なわれ、その本来の姿から考え出してつくり上げられ、行なわれているものでない。さらにこのような大学に奉職するわれわれのような教官陣にしても、現状ではみずからの創造的業績の成果として作りあげられた学問体系をもって教育していると自信をもって言える人々は、おそらくきわめて少ないであろう。広範な知識を整理し、学生にわかりやすい形に基礎的事項をまとめて教えていると言ったほうがよいような感じである。このようなふんい気で育った学生の思考形式の中には、勉強し習ったものをうまく組合せてじょうずに使いこなしていく能力は育つであろうが、事からの本質をは握してみずから考え、ある目的を達するための基本的な条件下で、その目的を達するためにはどのようにしなければならぬかを創造していく能力はなかなか養成されがたいであろう。わが国の学問、技術が先進国に追いつき、一部はしのぎつつある今日、若い教官陣の人々は一步先にでるため好むと好まざるとにかかわらず、みずからこのような状態を打破すべく努力しておられる。この次の世代に教育を受けた学生は、現状よりさらにみずから考え創造的仕事を進めうる人々となるであろう。現状では大学教育ですらこのような後進性を脱却し得ないでいるし、類似の現象は電子工業の社会全般に広く残っていると思われる。この点真に独創性のある Coordinator をうることは長年月の努力を必要とし、忍耐力のいる問題と考えなければならない。

しかしだからといってそれまでゆっくり待っていることは許されないし、現状でも何かできるだけのことはしていかなければならない。集積回路のような総合技術としての新しい工業的進歩を生み、これを育成していくのはたとえその着想は学者、研究者あるいは特定分野の専門家であったとしても、現状では企業、事業体あるいは研究開発面での管理者である。この管理者ということばは職階あるいは職制上のことばと混同して使用されその意味が不明確であるが、その業務自体はきわめて高度な専門的業務であり、その人は現在明確には定義づけられていないが特別の能力を要求さ

れた専門家である。この業務にもいくつかの段階があり、それぞれに応じて考えなければならない対象の種類や数も異なったものとなる。しかし一般的に言って、社会企業、技術の必要性に応じてその目的を達するために考えなければならない対象、たとえば基礎となる学問、技術から製造、材料、原価、製造価値、さらには関連した周辺技術水準、経済、社会心理などにまで及ぶきわめて広範な対象ちゅうの命題を本質的に理解し、これらを総合して目的を達するようなものを必要な時期に実現するためには最適のものはどのようなものであるかをみいだし、これを実現するため研究開発し、解決しなければならない問題点を摘出していけるような能力をもった人でなければならない。このような管理者が Coordinator としていれば、それぞれの対象分野の問題点は各分野の専門家が解決し、これらの人々の総合的協力の下に、新しい真に価値のある独創性に富んだものが実現されてくることになる。

多くの基本的問題点を総合的に判断して最適点をみいだしていく能力は、もちろん管理者に当然要求されるものであり、このこと自体は従来とも重視されてきたことである。したがってここでこのように広範な対象を本質的に理解、は握する能力とは何かという問題が生まれる。これは広範な対象に対する広い知識というものではない。これでは単なる博識に終わり、いわゆる物知り以上の何物でもない。これはその対象ちゅうの命題に対して専門家と同様な思考過程で、その命題の根本に横たわる本質的な点を理解し、これを自分の物としうる能力ということになるのではなかろうか。もちろんこれは専門家ではないから内容の詳細を逐一追い、あるいは思考しうるという意味ではなく、思考過程を取りうる能力とこれによりその本質的な点をは握しうるという意味である。これはことばをかえて言えば、専門家とその命題を話すことができて相互に本質的な点は理解できる能力ということになる。このような能力は人間の素質、性格にも依存するが、と同時に長年月の間これに適する方向でみずからをきたえあげた自分自身の努力の成果によることが多大であり、一朝一夕に養われるものではない。これは常に

みずから考えてその本質を理解しようと努力した勉強の成果や、対象によってはみずからその方面に率先して経験したことによって得られるものであり、その中にはいわゆる第六感といわれるものもある。これは単に本を読み人の話を聞いただけでつちかわれるものとは考えられない。したがって対象となるものの範囲の狭い分野、たとえば純粋学問の分野などでは若い人々によってこのような成果を期待できる面も多く、事実その事例も多い。しかし工業、技術の分野では上述のとおりその対象範囲はきわめて広く、このようなことを現状で若い人々に期待することはむずかしい。しかも工業、技術はますます高度複雑化しつつあることであるから、この問題はますますむずかしい問題となる傾向がある。近い将来のためには若い人々の中からこれに適した素質をもった人々を逐次見いだし、このような方向の人材の養成をして将来の管理者を育てることがたいせつである。一方当面の問題としては現在このような意味で管理者の立場にある人々が、過去の経験や勉強の成果をこの面から生かすとともに、さらに必要な対象となる分野に対して上述のような意味で勉強していくことがたいせつであろう。

このことはわが国だけのことではない。世界各国とも少しでも先に頭を出したいため、各方面で努力してこれらの難点を克服しようとしているし、事実その努力の成果のわずかな差が結果の優劣となっているに過ぎない。ただ社会環境的に一步進んだ欧米に比べ、わが国は前にも述べたとおりのハンディを背負っている点、今一段の努力と頭の切り換えを必要としているとみなければならない。

4. 集積回路と材料

集積回路は電子系統、機器がその機能的構成と構成部品の機能部品化へと進歩する端緒を開きはじめたも

のである。このてん、将来の機能部品はより工業的価値の高いものが現われれば、電子回路以外の電磁現象を利用したものへと変化してゆく可能性はある。ただし今日高度に発達した集積回路の現状とその情報処理能力からして、ここ当分これに代わりうるものは考えられないだろう。

しかし集積回路自身をとってみても、これを構成するには素子とこれらを絶縁してささえる構成材料の二つの機能を営む材料からできている Si という単元素材料を利用し、pn 接合で素子間絶縁をはかった現在の方法は、現段階の工学、技術水準からみてきわめて巧妙な方法であったと言わなければならないが、しかしこれとても上の二つの機能を営ませる方法としては電圧をかけたり、絶縁層が薄すぎたりして理想形になっているとはいえない。

単元素材料でこの二つの機能を同時に与えうる材料が現状の技術水準では得がたいとすれば、次の材料は二つの単純な材料 (Si と単純な絶縁材料) を組合せて構成するか、二元素化合物 (Ga As など) で二つの機能を簡単に与えうる材料を利用して構成するかの二つの方向となる。前者にはビーム・リードのような結線材料で素子間を機械的につなぎ合わせ、気体あるいは液体を絶縁物として浮かすような構造も考えられる。これらの形式に適した材料を見いだし、また組合せて集積回路の次の進歩を実現するには、なお多くの工学、技術上の基礎研究を必要とする。しかしこれは集積回路のあるべき姿に近づく本質的な発展方向であり、Si という単元素材料をものにしたわれわれが次の段階で手に入れることができる技術として近い将来何らかの形で実現する可能性は高いものと考えられる。以上の面から集積回路とその材料をもう一度見直してみることも忘れてはならないことではなかろうか。

マイクロエレクトロニクス特集号の発行に当たって

北伊丹製作所所長 小 原 敬 助

三菱モレクトロン〈MOLECTRON〉の名称によってつとに昭和36年(1961年)から知られてきた当社の集積回路が、本誌を通じてその経過の概要をご紹介しますことをたいへん喜びに思う。

超小形電子回路(Microminiature Electronic Circuit)の概念が生れて以来、当社はその有する技術概念の重要性を見通して、いち早くこの新しいデバイスの開発開始を昭和35年8月内外に宣言し、昭和36年2月には10種類にわたる機能ブロックの開発成果を公表して、わが国電子工業界に大衝動を与えたことは記憶に新しいところである。

ひきつづいて、わが国の一、二社が超小形電子回路の研究開発に着手し、当時の技術で実現可能と見られたRCAのマイクロモジュール方式に類した方向をとったが、当社はあくまで窮極の目標であるMonolithicなSemiconductor Integrated Circuitを目ざして苦しい開発を遂行してきた。開発技術には中央研究所、半導体工場である北伊丹製作所および電子機器の担当である通信機製作所が参加し、意欲的に進められた。

この途中で、MOS ICを目ざす研究開発の副産物としてMOS FETが生れ、薄膜および厚膜ハイブリッド回路の必要上、超小形シリコンダイオード、トランジスタや超小形抵抗—セミスターなどが他に率先して開発製造された。また三菱モレクトロンの応用機器として昭和36年8月にはマイクロラジオが発表された。さらに小形軽量および高信頼性の特長を発揮して鉄道用、放送機器用、小形通信機用あるいは防衛機器用として多数の機器に使用して好評を博し、需要の開拓につとめた。

しかしこの間、Monolithic ICの基本的製造技術はメサ技術よりPlanar法、さらにEpitaxial Planar技術へと変遷し、それにしたがって、機械設備・プロセス技術の根本的変更を余儀なくされた。これに加えて巨大な機械設備投資と開発費用を支持するに足る需要

の立ち上がりが見られず、先端をゆくパイオニアとして筆舌につくしがたい苦難の数年を経過した。

むくいられる期待の少なかった当社モレクトロンも開発・研究の時代からようやく実用化の暁をみることになった。昭和40年末ごろからようやくわが国にもICを実用する機運が動きはじめた。当社はこの機をつかみ、時代の要求に適する機種への転換およびこの製造に要する機械・設備の再整備を急ぎ完成した。さらに機種の増加、生産数量の増大を見越して根本的な増設工事を開始し、また熊本市に分工場の新設に着手した。これらはいずれも今年7月には全実働にはいり、製造能力ならびに新機種開発能力は著しく強化され、現在および近い将来に対するICの需要を完全に充足する威力をもつに至った。

この間、製造・開発能力を世界一流メーカーと肩を並べて一挙に高めることができたのは、もっぱら過去数カ年間にわたるパイオニア時代に苦心して研究開発した技術力のたまものであり、この長くかつ高価な技術経験は三菱モレクトロンの原動力であるとともに、他社にまったく追従を許さない最大の武器であると自負している次第である。このマイクロエレクトロニクス特集号には、三菱モレクトロンの保有する技術力の一端を紹介するとともに、現在量産しているロジックおよびリニアICの製品を説明している。そのほか量産準備中あるいは開発中の機種が多数あるが、これも近い機会にご紹介したいと考えている。

集積回路を電子機器に適用する場合、最も留意すべき点はIC製造メーカーの技術力が高く、その機種が安定した品質で信頼性が高く、他社品にまさる機能をもつかということであろう。三菱モレクトロンはここに述べたように、最も長く豊富な技術経験と、わが国で最も大きい開発および製造能力を具備した点で卓越しているものといえよう。これに対するご支援とごべんたつを願ってやまない次第である。

集積回路工業の問題点

山下 博典*・浅川 俊文**

Considerations on Integrated Circuit Industry

Kitaitami Works Hirosuke YAMASHITA・Toshifumi ASAKAWA

Much discussion has been made on a rapidly changing situation of the integrated circuit industry regarding its engineering and marketing and also its remarkable influence on other industries. But the contents are mostly conceptional and seem to miss the mark. In view of the above, historical aspect and present standing of the integrated circuit industry have been dealt with so as to bring the light to the problems posed on other productive industries and questions inherently arisen with the particular industry of integrated circuit. Expectation of coprosperity between it and other manufacturing industries has been commented on. The trend to be followed by the integrated circuit in future has been analyzed and countermeasures have been discussed.

1. ま え が き

電子工業がほとんどすべての産業界、さらに広く経済界の実務にまで支配的な影響力をもつことが予期される現状は、わずか2、3年前までは観念的にしか考えられなかったところである。またこれらの要求を充足するためには電子装置はますます大形化、複雑化の傾向をたどることは当然予想されるところであり、さらに必要数量も著増することは間違いないことが予測される。

しかし電子装置の複雑化、高性能化に対応するため、またこれを設計、製作するに必要な技術者、作業者の不足が世界的に深刻化してゆく傾向に対処するためには、集積回路の全面的採用に依存せざるを得ず、したがって集積回路の動向が今後の電子工業界、ひいては全産業界に本質的に重要な役割りを果してゆくことにはだれも異論なく賛同せざるを得ない。

集積回路がこの使命を負担し完遂してゆく能力をすでに保有していることは認められるが、必ずしもその生誕にあたって、つとに予期されたものではない。またその過去および現状より推断するとき、集積回路は、単に既知の電子装置の高性能化に利用される電子素子にとどまるものではなく、その出現は電子工業自体を従来とはまったく異質的なものに一変せしめる性格をもつものであることが認められる。

一部無責任なジャーナリズムにより必要以上にとりあげられ、集積回路のもつ使命、能力が過当に評価されているとの風評が最近世上に流れている。たしかにその一面は真実である。“現在”の集積回路は上述の使命を完全に負担するに足る万能の武器では決してない。しかし科学、技術の最高能力を結集して止むことのないその技術上の進歩の前には、それに要求される過大な期待は短時日の間に満足されることもまた確実である。

集積回路は従来のいわゆる半導体の分類にはいるものではない。存在するダイオード、サイリスタあるいはトランジスタは過去の整流管、リライトロンまたは三極管のイメージにアナログなものであり、またその発展性から見て、いかなる技術進歩をもってしても今後数年間に数倍の数量が要求され、また産業界に革新的変化をもたらす原動力となることはあり得ない。

集積回路のもつ恐るべき潜在能力を探知し、これを利用する今後の電子工業の推移を理解するためには、集積回路がいかなる背景の

もとに生れ、どのような経緯をたどって成長し、それが電子工業に対しいかなる影響を与えてきたかという履歴を認識することが最も有効な手段である。

本文はこれらの事実を帰納分析し、これに基づいて集積回路自体の今後のあり方について推論せんとするものである。

2. 集積回路の発生と成長

歴史的にみると、米国においては人工衛星、ミサイル用の電子装置として超小形化と高信頼度を目標として集積回路の開発が始まったが、主として半導体メーカーが素子の研究開発を分担した。このような関係から集積回路は半導体工業の延長として自然発生的に生れた工業であるかのように考えられやすいが、集積回路を現在の地位に持ちこした功績は半導体メーカーではなくして、人工衛星、ミサイルの製造業者にあったことは否定できない。たとえばミニットマンIIのプロジェクトに対して、オハイオ州デイトンのライトバスターン空軍技術研究所とオートネティックス社のけん引力がなければ、おそらく現在の集積回路はあり得なかったであろう。

これらの機器に積載することを目的に開発された集積回路は膨大な軍事予算に支持されてきた。過去6年間にわたり米政府が集積回路を含む微小回路に投じた研究開発費は、さすがの巨大な国防費予算においても問題にされたが、この見通しの困難な技術の遂行を、あくまで許容したその米政府技術行政の実行力には敬服のほかない次第である。

しかしこの過程をへて一応の成功を収めることのできた集積回路は、今まで予測されなかった事態をまき起こした。すなわち、集積回路の信頼度の向上によって、軍関係の電子機器の維持費を大幅に減少させ、当初予想されていたほどの市場が期待できなくなったことと集積回路化の進展に伴って、トランジスタその他の個別部品の膨大な消費がとまるという思わざる結果を招来した。すでに軍事予算を目標として集積回路の開発製造に巨額の投資を実施したメーカーにとっては、このことは大問題であり、ことに大部分のメーカーがトランジスタなどの個別半導体素子の製造を兼ねているためその打撃はますます深刻なものとなった。

したがって各メーカーが保有する巨大な集積回路の開発、製造能力は急ぎょ民需にその市場を求めざるを得なくなってきた。幸いにし

て機器製造メーカーも集積回路を使用することによる利益を確認した

ので、ここ一兩年の間に軍需、民需の使用比率は逆転し、本格的な集積回路時代を迎えることとなった。もちろん現在でも米国では軍事予算にささえられる巨額のプロジェクトは集積回路の大きいマーケットであり、今なおメーカーの確実なベースロードになっているが、獲得競争が激化したことと、継続性の点より集積回路の大手メーカーにとり魅力を失いつつある。

わが国においては当社を初めとし、各社が集積回路の将来性を見越して研究開発を開始したがそのスタートアップを支持するに足る需要が伴わず、民需の喚起に数年間をむなしく過し、相当な金額の開発費を空費する時代が長すぎたため、操業当初から苦しい経営に追込まれ、このため米国とわが国との間には約2年間に相当する技術格差を生じたといわれており、この格差の短縮が今後の大きい課題となっている。

集積回路開発の初期には超小形化と信頼性に重点が置かれたが、現時点における集積回路のもつ意義は本質的に変わってきている。すなわち集積回路使用の目的は電子機器の性能の向上、および機器の機能あたりの価格を下げるためである。この点だけについていえば電子管がトランジスタに置き換えられてきた過程と同じであるが、集積回路の本質的な特長、すなわち一つのパッケージ内に回路機能を集積するということは、今までの部品メーカーと機器メーカーとの関係を一変させ今後の電子工業のあり方を基本的に変えようとしている。

3. 集積回路の電子機器メーカーへの干涉

従来の電子産業では電子部品メーカーと機器メーカー間の仕事の分担は比較的明確であり、部品メーカーは機器メーカーの要求する仕様に従って部品を製造納入すれば十分であり、機器メーカーは部品の配列さえ間違えねば所定の機器の組立てができ、かくして電子工業は成立してきた。すなわち部品メーカーは使用機器に対する知識を欠除していても十分企業として成立し、機器メーカーも部品工業に対する知識なくして運営ができたのである。極端な表現をすれば、部品メーカーは独自に部品を製造し、機器メーカーはこれらの部品をじょうずに使いこなして良い機器を作ることが分業として成立した。この協力関係はあくまでも自然発生的であって、両者の分担において相互に干涉しあうことはほとんど必要とされなかった。

集積回路の出現は部品メーカーと機器メーカーの間の従来の関係に対し革命的な変化を与えようとしているのである。

一つのパッケージがすでにある機能を有し、あるいはサブシステムそのものである集積回路は、これを使用する機器メーカーの設計の自由度に大きい制限を加えるものであり、個別部品の場合のような使用上の融通性はまったくない。

集積回路はある特定の機器あるいは回路に使用されるために設計されたもので、これを機能的に異なる他の機器、回路には流用できない。集積回路の設計において、一つのパッケージ内に集積する回路機能をどの程度のものにすべきかを決定するに当たっては、使用機器の方式、仕様、集積回路の製造技術、価格、保守の難易など使用者側と部品メーカー側の両面より完全に検討されねばならない。端的に言えば最初からある特定の機器に限られた目的を完全に満たし、したがって他の用途に全然使用できないように設計製造された集積回路ほど、その機器に対して最適の集積回路ということができる。

このためには素子設計者は製造技術はもちろん、機器の方式、仕様に至る機器メーカーの範囲にわたる総合的な知識が必要とされる。たとえばトランジスタと抵抗を集積する場合、回路設計で指定された

抵抗値が非常に大きいと半導体集積回路では製造が不可能になるので、回路設計を変更するか、または薄膜混成回路方式を採用せねばならない。またたとえば卓上計算機などでは表示方式により、またクロック周波数により使用できる集積回路はまったく異なるので、計算機の仕様も集積回路設計の際、あわせて考えなければならない。

集積回路にはこのように集積回路自体を作成するに必要なプロセス技術その他の理解が必要であるとともに、“どのような目的に使用するか”という機器仕様を十分とり入れる総合的な知識、技術が必要である。もちろんこのような知識、技術が集約されなくとも集積回路は作成できるが、仕様に適合されるものを得るまでは何回も試作、修正を必要とし、経済的にも時間的にも企業として成立しない。

このような考え方が進展されてきた現在、集積回路メーカーの分担すべき仕事は著しく機器メーカーの分野を侵しはじめた。とくに従来機器メーカーとしての原動力であったシステム設計の分野は、集積回路自体の複雑化、高性能化への進展、さらに高集積化、LSIの展開に伴って集積回路メーカーの側に移転せざるを得ず、今後の事態の推移につれて機器設計のブラックボックス化の傾向はますます著しくなるであろう。

機器設計と部品の集合、組立、調整により成立していた在来の巨大な電子機器工業が、集積回路の出現により、その技術的機能の不要化、縮小化を強制され、最終的には既製の集積回路の組立作業に集約される傾向にあるといわれている今日、種々の新しい事態が出現した。

4. 集積回路メーカーと電子機器メーカーの相互侵略

このような情勢に対応して、わが国でも米国でも機器メーカーが集積回路の生産を行なうことの可否に論議が集中されはじめた。

電子工業の進展により巨大化された電子機器メーカーも集積回路の出現により前記のように、その主要機能を集積回路メーカーに奪われるという深刻な問題を招来した。また機器メーカーが集積回路を専業とするメーカーに作らせ購入すると、自社の機器の開発計画、生産計画が外部に漏れるおそれのあること、集積回路の価格が適当に操作される疑いのあること、集積回路の設計者と機器設計者との密接な共同研究がむずかしいこと、さらに自社の機器に特長をもたせるために必要な独自の集積回路を持つことの困難さなど、種々の懸念、苦悩が発生し、その対策についてさかんな論議が行なわれた。

この討論の途中において、見通しの困難さと将来への苦渋に耐えかねて機器メーカーで自社生産に踏み切る会社が現われはじめた。

また一方、半導体メーカー側でも、強力な機器設計能力がないと集積回路の設計ができないこと、集積回路の余剰生産能力および余剰在庫の処置、さらに集積回路そのものよりもこれを使用した機器のほうが付加価値が大きく利潤が見込まれること、などの理由から、機器部門を新設する傾向も現われた。

このために、従来の部品工業と機器メーカーの間の共存共栄的な関係は急変し、相互に競争相手として市場を争うという事態に進展してきた。

このような紛争に加えて、とくに米国では事態をますます混乱させる傾向に陥った。第1は個別部品、とくに抵抗、コンデンサ、コネクタ、プリント基板のメーカーが集積回路による市場圧迫を見越して集積回路工業を兼業しはじめたこと、第2にほとんどすべての半導体メーカーが明確な見通しのないままに集積回路の生産にふみ切ったこと、第3には電子工業に無縁であった巨大産業、たとえば化学工業、材料

メーカーが集積回路の将来性、またはこれを使用した機器の発展性を期待してこの分野に新しく参加したことがあげられる。

この混乱した様相は、とくに米国においてはまだ解決されてはいないが、時間の経過とともにこの分野の企業存立の再認識が行なわれ、次第に新しい平衡状態に移行しつつある傾向がある。

5. 集積回路、機器産業の新しい共存、協力

機器メーカーの集積回路生産、および集積回路メーカーの機器生産への進出は、その企業の体質、すなわち企業規模、完全な企画性を備えた技術力、および市場獲得能力によっては成功するであろうが、これらの条件を兼備した企業は世界中でも少なく、またこれらの優越企業といえども後述する要求を満足することはむずかしい。まして深い透察に基づく計画なしに開始した新分野への進出はいくばくの時日を経過しない間に種々の矛盾を露呈した。

半導体工業は一般に大規模な設備投資を必要とし、工場の構造自体および製造機械を含めて総合的な設備工業といわれている。しかしこの設備工業の名称の内容は石油化学、鉄鋼などにいわれる意義とはまったく異なることに注目すべきである。これら一次、ないし二次産業における設備工業はその設備投資の計画時点において生産規模、生産技術、製品の品質、採算性が決定しており、おおむね計画を逸脱した大規模の変更をひんぱんに行なうことは考慮されていない。

これに反し半導体工業、ことに集積回路はとどまるところを知らない技術革新の波に洗われ、生産規模、製造プロセス、製造設備の変更調節は日常の問題であり、企業の企画、製造、開発ならびに販売にわたってきわめて自由度に富んだフレキシビリティをもっておかねば、この困難な産業を統制することはできない。

集積回路の運営に中心をなすものは徹底した理解力をもつマーケティングと、その指示に基づいて開発、製造を負担するに足るきわめて高度の技術能力をもつことである。しかしこの条件を満足する原動力を形成するのは、多くの技術経験を積み重ねた多量の専門技術者である。この技術力の保有、育成こそ集積回路の中心であり、これなくして集積回路工業をもつことは不可能である。しかもこの技術力は学校教育はもちろん、短期間の訓練ではとうてい得られず、多数の実地経験を多額の経費をもって積み重ねることによってのみ確保できるのである。したがってこの推進を担当する技術中心の適、不適がこの工業の成否を決定することは確実である。

未経験の機器メーカーやその他の企業が集積回路の量産を計画することはしたがって一般にきわめて危険性が高く、この新しい産業を目的として適材を選定、集中してもスタートアップにすこぶる長期間を要することは予想にかたくない。また機器メーカーが自社消費だけで集積回路工場を維持できないことは一般に明白であり、未経験分野の市場獲得が問題となる。現在、機器メーカーで自社消費のみを目的として集積回路工業を維持できるのは世界的に見て、ただ一社に過ぎないともいわれている。

一方、集積回路メーカーが機器工業に進出することは、この反対の場合に比べ困難の度合は少ないことが一般に認められているが、機種ごとにすぐれた専業機器メーカーの多いこの分野では実際上多数の問題があり、ことに販売力、サービス能力を包含した市場獲得能力において大部分の場合、困難を伴う。

このように両分野の相互侵略は冷静に考慮するときわめて大きい問題点を有することが明白になるにつれて、次第にこれらの間に新

しい共存関係の成立を認め合う傾向に到達してきた。

すなわち、従来の会社間の関係を維持しつつ技術の集約を行ない、集積回路を企業として成立させようという動きである。これには二つの流れがある。

第1は、機器メーカーは適当な規模の集積回路研究開発部門をもち、標準機種を除く自社独自の要求に応じた集積回路の設計開発は自社で行ない、必要な標準機種と、自社開発の量産は専業の集積回路メーカーに依存しようという考え方である。この場合、交換可能な標準機種は2社以上に依存し、自社開発品は適当な専業との供給契約の下に依頼するような考え方もある。この場合、集積回路研究開発機能をもつことは専業メーカーとは規模は異にするが、設備・技術力の保有と維持に巨額の投資を要し、また専業メーカーでも最も大きい経費を要する開発を主たる目的とするため、これを維持し、かつ投資を回収するだけの規模の機器生産の能力をもつような特定の機器メーカーのみがこの方式を完遂し得よう。

しかしこの方法は機器メーカーにとっては相手とする集積回路メーカーをある程度選択できる能力をもち、したがって専業メーカーにより価格、数量ないし納期の点で支配をうけるというおそれはある程度減少する。また集積回路メーカーにとってはカスタムの要求に応ずるために保有せねばならない変動の大きい自社の開発ラインの規模をこれにより縮小、または有効に利用できることになる。したがって電子機器の集積回路化をより効率化するためには場合によりこのような分業もある程度望ましいことである。

第2には、機器メーカーが特定の集積回路専業メーカーと共同開発契約または長期供給、購入契約の下に供給を依存する場合である。米国ではストライク等の場合を考慮して2社以上のメーカーと契約することが多いが、わが国ではまだ不徹底である。

この場合、専業メーカーの選定に誤りがなく、また契約がすべての点において合理的なものであれば、機器メーカーにとっては開発、供給に心配がなく、集積回路開発部門の維持という困難かつ高価な防衛力をもつ必要はないし、集積回路メーカーにとっても安定した需要をもつことができ、双方にとりきわめて望ましい。

6. 機器メーカーの集積回路メーカーの選択

しかしここにのべた集積回路専業メーカーの選定が最も重要な問題で、これを誤るときは、機器メーカー側にとり致命的な結果を招来することになる。

従来、わが国の半導体メーカーは多くの場合、機器メーカーが兼業しており、したがって半導体を自製しない機器メーカーは兼業メーカーより供給をうけ、場合によっては一種の供給系列化と見られる関係も自然に生じている。これらの半導体メーカーの多くが集積回路の開発、製造を開始しているが、集積回路の固有性よりして事情は変化しつつある。すなわち、従来の半導体メーカーとして優秀であったものの、必ずしもよき集積回路専業メーカーになるとは限らないということである。

この点は米国の例を見ても明らかなように、集積回路時代にはいつてきわめて巨大な実力を発揮した会社があれば、著名な半導体メーカーで集積回路メーカーとしてほとんど能力の認められないメーカーもできた。これにはもちろん、防衛費用で育成されてきた初期における立遅れや種々の原因があるが、きわめて複雑な集積回路工業に参加する企業の決意、これを裏づける総合技術や市場確保の予想などが不足したためであって、現在の米国に乱立した集積回路メーカー

は今後はげしいとうたこそ予測されるが新規に割込むのははなはだ困難である。

わが国ではまだ草創期であるが集積回路メーカーとして予想される会社はほとんど立候補している。この立候補の中から自己の目的に最も理想に近いものに投票する権利を機器メーカーはもっている。

さきにのべたように、自社消費のみを目的として集積回路産業を企画することはほとんど不可能であり、したがって程度の差こそあれほとんどの集積回路メーカーは他の機器メーカーへの供給について意欲的である。この事態に対応して集積回路の供給をうける側の機器メーカーは従来の半導体や他の電子部品についてのもっていたと同様の漫然とした考え方を集積回路についても持つことは危険が多い。

集積回路はそれ自身機能をもっており、場合によってはサブシステムないし将来はシステムそのものでもあり、すでに機器メーカーの機能をもある程度侵害している。よって機器メーカーは集積回路専業メーカーの保有する開発および製造設備能力、製造プロセス技術陣容、デバイス開発にバランスのとれた技術力はもちろん、他の機器メーカーへの協力意欲、その集積回路の特長、さらにその企業の集積回路工業に対する積極性の程度など検討すべき多数の項目がある。

前記のように集積回路は使用にあたり融通性に乏しいので、これを使用する立場の機器メーカーでは供給者の開発、製造する集積回路の特長、製造能力、技術の程度、将来性について慎重に考慮すべきであろう。

7. 集積回路メーカーに与えられた問題点

わが国の集積回路メーカーは米国と異なり各種の制約の下で運営されなくてはならない。

まず最も大きい問題は特許問題である。トランジスタの場合と同様、数多くの基本特許を米国メーカーに押えられており、この特許料は関税障壁とほとんど同額である。

特許に対しては特許で対抗するのが最善の策であるが、集積回路の場合はトランジスタのような少数の原理的特許でなく数多くの特許群で構成されており、一日の長をもって作られたすぐれた特許はこれを基にして多数の特許のシリーズを発生するので単純な研究開発では対抗し得ない事情にある。

また、米国の一流メーカーがその優越した技術力と、極東、中南米あるいは欧州の後進国の低い賃金と組合わせて集積回路の製造を開始したことはわが国の集積回路メーカーおよび全電子工業にとり大きい脅威を与えつつある。

この点についてはわが国の現在の労働基準法などにも問題がある。過去のゲルマニウムトランジスタが、わが国の女子作業者の勤勉と米国に比べ低廉な賃金を要素の一つとして外国に飛躍したのは事実であるが、現在集積回路が同様の手法で発展することはこれに関係するものは考えてはいない。しかし在来の半導体工業に比べ数倍多い複雑な製造プロセスによる集積回路の歩どまりと品質を安定化させるためと、きわめて巨額の開発、製造設備の実働率を向上し生産性の増加による設備償却負担の軽減ならびに製造価格の減少の目的に対しては製造設備の24時間フル操作が望ましい。このためには賃金の高い米国はもちろん、世界中のほとんどすべての国では24時間連続の3交代制が簡単に行なうことが可能であるが、わが国ではこれに対する制限条件がきわめて厳格で、女子の場合は現在考えられる最高の施設をもってしても交代ができない。

集積回路を基本にした電子工業がわが国産業界の原動力となり、

集積回路工業の問題点・山下・浅川

また輸出の大きい部分を占めるべき使命を考えると、以上の点よりうける不利益はとうてい補てんすることができず、今後ますます香港、南朝鮮あるいは台湾製の集積回路の価格によりわが国のうける脅威ははなはだしくなるであろう。

そのほか、使用材料、機械設備におけるわが国工業レベルの不均一、逐年高騰する労賃、さらに当然予想されることは合理性を欠除した無策な過当競争が、集積回路メーカーおよびこれを使用する機器メーカーにひきおこされること——これらはすべて前記のハンディキャップに加え、さらに集積回路の進展に大きいブレーキとなるであろう。

これら現存し、かつ今後増加するであろう不利益な問題に対処し、米国製品の性能と価格に対抗して欧米への輸出に大きく寄与するためには集積回路メーカーとして決心すべき問題が多い。

この重要産業に対し合理化および助長策としてわが国政府のうつべき手は多数あるがこれを除いてメーカー自体で解決すべき点は、

- (1) 可能なかぎり合理的な投資を計画すること、
 - (2) 原価中に大きい比率を占める研究開発経費を有効に使用し、その総額を抑制できる賢明な技術計画を樹立すること、
 - (3) 米国に比べ割高の材料費を節減する技術設計を徹底的に行なうこと、
 - (4) 他の半導体に比べ工期、工数の多い集積回路に対し、プロセス、具具の工夫に努力し、その減少につとめること、
 - (5) 以上を総合して米国の同一機種レベルよりも高い生産歩どまりを維持するよう技術力を結集すること、
- などが根本的解決策である。

さらに生産機種の選定については慎重な考慮が必要である。大別してロジックおよびリニア回路に分類される集積回路には、さらに機能に応じてきわめて多機種にわかれており、集積回路メーカーはそれぞれその設備、技術および市場を異にするから得意の機種と不利益な品種が当然存在する。すでに上記のような大きいハンディキャップを負っているわが国の集積回路メーカーは、外国品に対抗し輸出能力をもつためには、従来この分野ではほとんど期待できなかった生産機種の分担、あるいは大きく水平分業に踏み切ることも考慮に値するものといえよう。

8. 電子工業へのインパクト

集積回路の電子工業に与える影響については、電子部品工業および機器工業に対してすでに論じつくされた感があるので改めてここではふれない。しかしこのおそるべきウイルスがいかなるたくらみを持っており、またそれを着実に実行しつつあることは認識せざるを得ない。ここには集積回路に最も近い関係にある低価格の小信号トランジスタとの交渉を例示しよう。

シリコンプレーナおよびエピタキシャル技術の完成はシリコントランジスタが一挙に進展する機会を作ったが、このときにあたってしばらく小康を保っていたゲルマニウム・トランジスタの頑強な抵抗に遭遇し、どの世界にも起こっている減り去るものの最後の防衛によって進撃はばまれた。これはゲルマニウム・トランジスタの出現により電子管が価格、性能の面で大幅に改良され久しい攻防戦のつづいたのとまったく同様である。しかし、すでにこの勝負は決せられ、ゲルマニウムの特長を生かす若干の面を除きシリコントランジスタの時代にとって代わった。

しかるにいくばくもなく集積回路の追撃が急となり、半導体業界はこの事態の取捨に苦慮している現状にある。

シリコントランジスタはたしかにゲルマニウム・トランジスタに比べ幾多の長

所を有し、使用する側でも応用技術知識に大きい変化はなく、しかもゲルマニウムに比べ多種類の仕様を要求できるので、シリコン・トランジスタはすでに集積回路の急迫を知りつつ量産化に突入した。

この低価格シリコン・トランジスタの量産化は確かに集積回路の発展にブレーキとなっている。これには使用者の側におけるシリコン・トランジスタ化した機器が完成後の浅いこと、複雑な集積回路化知識の不足に加えて、現在の集積回路が要求を十分満足する機種を完備していないことや、特許料が集積回路よりも少なく、見かけの価格が割安であることなども原因している。

今後集積回路の進展につれてシリコン・トランジスタも価格、性能の点で多くの改善が行なわれ、両者のバランスはここ当分の間継続されるであろう。しかしながら、トランジスタと集積回路の将来はせり合いするものではなく、集積回路に置換えすべきものは当然これに吸収され、以後は相補う関係で存続することが予想される。したがってシリコントランジスタ工業にとっては存続する機種の見通しさえ誤ることがなければ電子管やゲルマニウム半導体のように大きい問題を起こすことはないであろう。

このことは他の電子部品工業にもあてはまり、また、集積回路を応用する電子機器産業に対しても成立しよう。

9. 開発に必要な知識の集積

集積回路の出現は電子工業に多くの影響を与えるが、同時に集積回路を製造する側に対しさらに大きい問題を与えている。

電子産業構造の質的変化に伴って、集積回路工業にたずさわる人々にも質的な変化が要求されている。集積回路を発展せしめたのは半導体工場の技術者でもなければ機器工場の技術者でもない。これら技術者の総合的な知識と技術が今日の集積回路技術を形成したのであり、今なお進展しつつある。これらの質的な変化はベル研究所のモルトン氏の図表からよく知ることができる。

電子管の場合には材料、部品、回路、システムの各分野はそれぞれ完全に独立して開発、製造をすることができた。集積回路の場合には材料、部品の分野は一つに集約され、そのうえ回路やシステムの知識もある程度要求されるようになった。このことはシステム、回路の分野の仕事をする人々にとっても同様である。さらに集積回路に関係するものにとってきびしく要求されることは、知識の幅と量がけたはずれに大きいことと同時に、これらの知識をきわめて短時間のうちに獲得しなければならないことである。

このため集積回路の開発生産を行なうにあたっては無益な研究や開発は許されなくなり、各分野を担当する専門家はある目標を達成するための最低限の熟練度があればよいという状態にたち至っている。研究や開発にじゅうたん爆撃の許される場合があるが、これは目標を達成するに必要とされる技術段階が少なく、知識の幅と量が比較的小さい場合に限られているのであって、集積回路においては目標に向って最短距離を走ることが絶対的に要求される。

集積回路はこれら多数の技術と経験を集約してはじめて生れるものであるから、絶えず新しい技術を確立してゆくことと、これらを総合的にバランスをとって組み合わせるという相矛盾した仕事の管理が必要となってくる。このために従来の電子部品や半導体工業に比べてはるかに多数の専門家の間にすこぶる緊密な相互理解を必要条件とするのである。

集積回路が現在の段階より前進してゆくにつれて、おそらく回路、システム、部品材料の各分野の境界はなくなり、これらすべての知識をなんらかの方法で一つに集積しないと開発、製造が実行できないようになるであろう。

10. 集積回路の動向

前記のように集積回路の研究、開発を遂行するにはきわめて困難な問題が存在しており、まして将来の動向を推測するのは、またはるかにむづかしいことである。現時点で進行している技術の方向と需要の解析によれば、大別して二つの方向が示されているようである。

第1は大形集積回路化への道であって、これは電子機器の組立費、測定費などの節減のために必然的に要求される傾向である。とくに計算機などの大形機器では集積度の向上によりパッケージ費用と組立費用が大幅に減少できるので、デジタルの分野はこの方向に直行するものと思われる。

これを実現するためには数多くの問題を解決しなければならない。集積度を上げることによりその集積回路は逆に市場の融通性が極端に減るので、このような欠点をできるだけ避けながら集積度を上昇することが要求される。

このために、マスタスライス方式、選択結線方式、マルチチップ方式など種々の技術方式が考案されているが、最終的の結論を見出すには、なお相当長期間を要するであろう。また、現在の集積回路の設計は機能回路ないしサブシステムの設計であるが、大形集積回路はシステムそのものであるから、これを設計、開発するためにはこれに適した設計者の養成、設計手法の完成がすこぶる大きい課題である。

第2には、このような大形回路とは逆に、低価格で比較的集積度の低いものに対する要求も増大するであろう。これはとくに電子商品用機器の分野に要求され、わが国の電子工業の分野ではこの方面の占める比率が比較的大きく、輸出におけるウエイトも高いのでこの方面の要求を満足することは非常に重要となろう。

この分野の集積回路は個別部品の価格とせり合いすることが根本条件であり、また使用電圧、消費電力、周波数帯域、ピン数、パッケージその他多数の特別仕様をすべて満足することも絶対的に必要とされる。このような低価格のものを量産するためにはまた独得な製造、開発技術が要求され、大形化とはまったく異質で非常に困難な量産技術の進展が望まれる。

11. む す び

集積回路に対する巨視的または微視的考察は多数試みられているが、集積回路そのものの実態の変化がきわめてすみやかでかつ大きいので、これら考察の対象も大きく変化している。

われわれは集積回路のなりたちに基づいて現在電子工業に与えつつある問題点、とくに集積回路メーカーと機器メーカーの関係について考察し、その共存に向う過程とあり方について論じた。また集積回路メーカーがその発展のために必要とされる条件をのべたがすこぶるむづかしい問題の存在することがわかった。

集積回路の将来の動向として大形化と低価格化の二方向を推測したが、これの実現にはなお今後困難な技術問題がある。

半導体集積回路のチップ面積と価格解析

山 本 隆 一*

Chip Area and Cost Analysis of Semiconductor Integrated Circuits

Kitaitami Works

Takaichi YAMAMOTO

Economical advantages have come to be regarded as the most important factor for commercial and industrial use of integrated circuits. The cost of silicon monolithic form is primarily dependent on the silicon chip area and its production yield, because the processing cost per wafer is considered fixed.

Analysis have been made on the areas required by various circuit elements on the silicon substrate, the effect of chip areas on the circuit production yield on the assumption of the loss of yield being caused by random imperfections-pin holes of oxide-in the wafer, and the most economical chip area whose unit cost per circuit element integrated is minimized.

1. ま え が き

半導体集積回路は超小形回路の方式で、初期の段階では小形であることを特長として発達してきたが、最近、軍用では信頼性が、商用では経済性が重視されてきた。とくに市場のほとんどが商用で占められているわが国では経済性を無視したこの工業の発展は考えられない。集積回路の経済性について考察する場合、集積回路自身の価格がたとえ従来の部品より高価であっても、これを電子機器に使用した場合、その設計開発費、組立試験費、保守修理費など電子機器ライフタイム全部の経済性を勘案して有利であれば、集積回路化が妥当と考えられるが、最近では集積回路の価格自身も十分従来部品と対抗できるところまで進み、論理回路ではすでに集積回路を使用するのが常識になりつつある。

集積回路が安価になりうる要因の一つは、パッチ方式により物理的、化学的に一度に多数の電子部品の製作および配線ができるためであり、今後 LSI (Large Scale Integration) 化によりいっそうその特質が発揮されることであろう。集積回路の製造原価は非常に多くの要因に左右され、その正確な解析は困難であるので、ここでは、バイポーラ形半導体集積回路において、集積化される各電子素子がシリコン基板上に占める面積、欠陥をシリコン酸化膜のピンホールと考えた場合のチップ面積と歩留りの関係、それに最適経済チップ面積についての考察を主として行なった。

2. チップ面積

2.1 設計基準

従来のトランジスタ回路ではトランジスタの価格が他の抵抗、コンデンサなどの受動素子に比べ圧倒的に高価であったため、与えられた回路機能に対しトランジスタの数を最小にすることが経済的回路設計上の基本原則であった。しかし、半導体集積回路ではトランジスタも抵抗も同時にシリコン基板上に製作され、しかも抵抗などの受動素子の所要面積が一般にトランジスタより大きな面積を占有するため、従来の設計方針をそのまま踏襲すると非常に不経済なものとなる。したがって集積回路における設計基準は与えられた回路機能に対し、シリコンチップ面積を最小にするよう変更しなければならない。

チップ面積を縮小するには回路設計技術のほかに製造技術の精度を上げることが考えられる。しかし、写真乾板の精度、フォトリソの分解能、マスク合わせ精度、小形化による電気的特性のバラツキな

表 2.1 パターン設計寸法基準

Table 2.1 Standard dimensions in pattern design.

	電 極 幅 μ	接合間距離 μ	電極端接合 端間距離 μ	抵 抗 幅 μ
ト ラ ン ジ ス タ	(エミッタ) 10~15 (ベース) 10~20 (コレクタ) 10~40	5~10	5~15	—
ダ イ オード	10~15	5~10	5~10	—
抵 抗	10~15	5~10	10	10~20*
コ ン デ ン サ	(上 部) 10~500** (下 部) 10~15	5~10	10	—
分 離 帯***	分離帯幅…………… 10~15(μ) 分離帯端より接合または電極端までの距離…………… 20~25(μ)			

* 300 Ω 以上, 300 Ω 以下の場合には特殊な形になる

** コンデンサの容量による

*** 分離拡散前の酸化膜除去領域を指す

どによる各種の制限のため経済的な最小パターン寸法が存在する。表 2.1 は現在用いられているパターン設計寸法基準を示したものである。これは埋込層の上に厚さ約 10 μ のエピタキシャル層を積んだ構造に対するもので、最小幅は分離帯を除きパターン間で 5 μ 、抵抗幅で 10 μ である。分離では横方向拡散が 10 μ 以上起こるため素子までは 20 μ の余裕がとられている。なお、アルミ蒸着配線の最小幅も 10 μ である。

2.2 トランジスタ

トランジスタはその性能により、占有面積が大幅に変化する。図 2.1

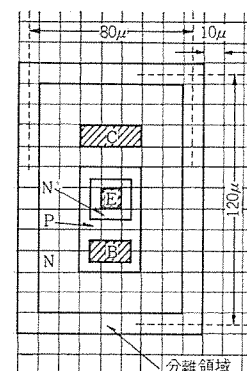


図 2.1 小形トランジスタ (DTL-A)
Fig. 2.1 Geometry of small transistor.

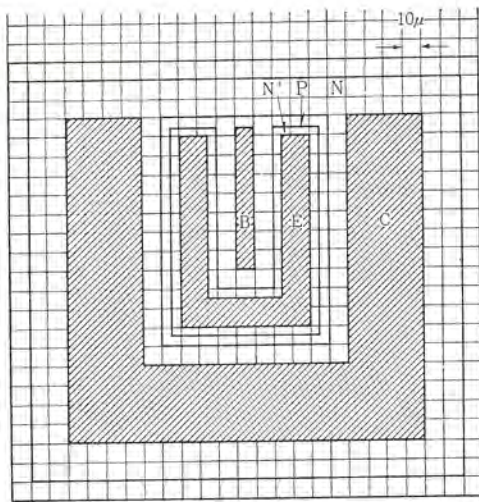


図 2.2 ラインドライブ出力用トランジスタ (DTL-C)
Fig. 2.2 Geometry of output transistor for line driver.

は現在の設計基準で最小のトランジスタのパターンであり、占有面積は分離帯の中央まで考慮して $80\mu \times 120\mu$ となる。図 2.2 は 50 mA までの駆動が可能なラインドライブ用トランジスタの一例であって、コレクタ電極幅が広いのはコレクタ飽和抵抗 R_S を減少させるためである。

図 2.3 は DTL, TTL に使用されている各種のトランジスタであり、A 小形 ($10^4\mu^2$)、B 出力用 ($2 \sim 5 \times 10^4\mu^2$)、C ラインドライブ用 ($5 \sim 6 \times 10^4\mu^2$) につき、面積、使用最大電流 I_{max} β が最大になる電流 $I_{\beta max}$ 、コレクタ飽和抵抗、エミッタ有効長 l_E の関係を示した。 l_E はベース電極の対抗側のみにかざると考えると $I_{\beta max}$ は l_E 10 μ につき約 1 mA であり、 I_{max} は $I_{\beta max}$ のほぼ 2 倍と考えられる。パワートランジスタの面積 S_1 は

$$S_1 = 30 + 0.46 I_{max} (\text{mA}) \quad (10^3\mu^2) \quad (2.1)$$

また、コレクタ飽和抵抗 R_S は埋込層上に 0.5 Ωcm , 10 μ のエピタキシャル層を持つ構造で、概略次式で与えられる。

$$R_S = \frac{100}{5 + 0.04 l_E (\mu)} (\Omega) \quad (l_E > 50\mu) \quad (2.2)$$

$$= \frac{750}{l_E (\mu)} (\Omega) \quad (l_E < 50\mu) \quad (2.3)$$

所要のトランジスタは回路特性の要求から使用電流値と飽和抵抗の両者を満足するものから選び出さなければならない。

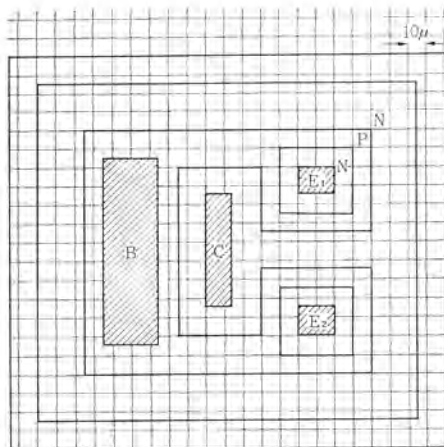


図 2.4 マルチエミッタトランジスタ (TTL 旧形)
Fig. 2.4 Geometry of multi-emitter transistor (prototype).

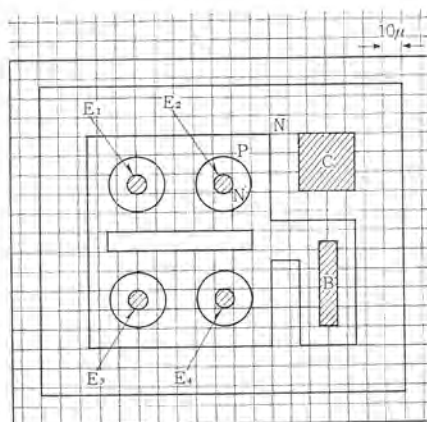


図 2.5 マルチエミッタトランジスタ (TTL 改良形)
Fig. 2.5 Geometry of multi-emitter transistor (revised).

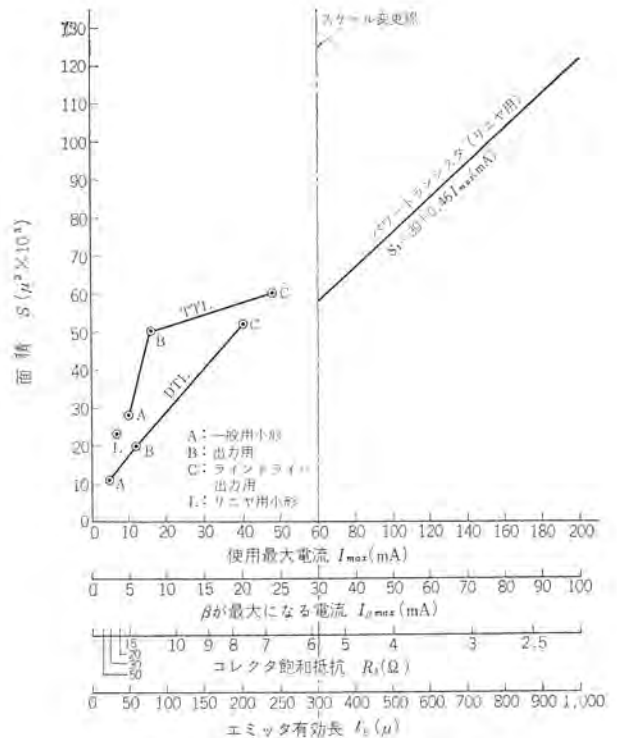


図 2.3 トランジスタ占有面積
Fig. 2.3 Required area of transistor.

TTL では入力ゲートとしてマルチエミッタ・トランジスタが必要であるが、これを図 2.4 に旧形、図 2.5 に改良形的设计例を示した。トランジスタの面積 (旧形 S_2 , 改良形 S_3) はエミッタ数 N とともに一次的に増加し

$$S_2 = 20 + 15N \quad (10^3\mu^2) \quad (2.4)$$

$$S_3 = 20 + 4N \quad (10^3\mu^2) \quad (2.5)$$

また、図 2.6 に増加の様子をグラフで示した。

2.3 ダイオード

ダイオードはトランジスタの 3 個の電極中、適当な 2 個を使用することによって得られるが、図 2.7 に P 形領域を共通にしたダイオードアレーの設計例を、図 2.6 にその面積のグラフを示した。この設計に対する面積の算定式は N 形領域の電極数を N として

$$S_4 = 7 + 2N \quad (10^3\mu^2) \quad (2.6)$$

上記のトランジスタのベース・エミッタ間を利用するダイオードでは逆耐

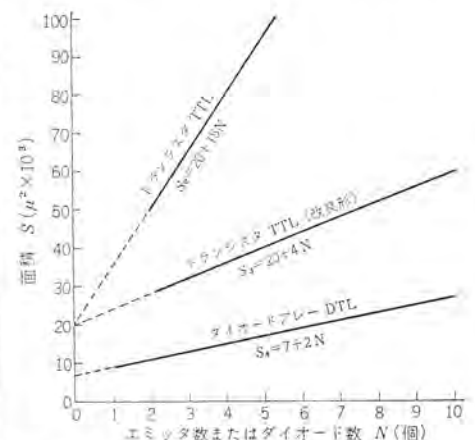


図 2.6 マルチエミッタトランジスタとダイオードアレーの占有面積
Fig. 2.6 Required area of multi-emitter transistors and diode array.

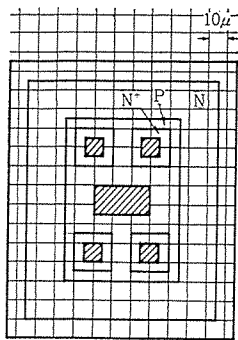


図 2.7 ダイオードアレー (DTL)
Fig. 2.7 Geometry of diode array.

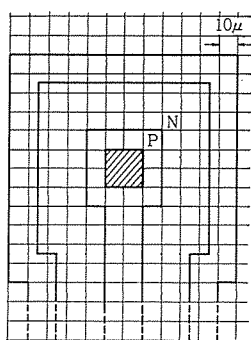


図 2.8 拡散抵抗 (20μ幅)
Fig. 2.8 Geometry of diffused resistor (20μ width).

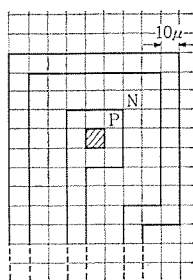


図 2.9 拡散抵抗 (10μ幅)
Fig. 2.9 Geometry of diffused resistor (10μ width).

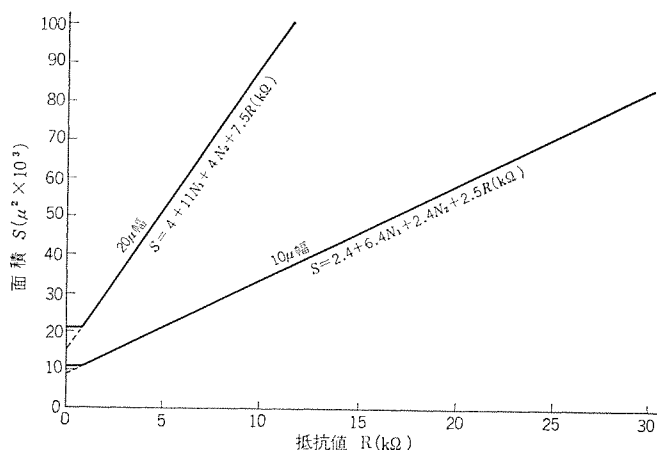


図 2.10 拡散抵抗の占有面積 (200Ω以上)
Fig. 2.10 Required area of diffused resistor (more than 200Ω).

圧が7~10Vであり、寄生的な接合容量が比較的大きい。この二つの欠点を避ける方法として、互いに分離したベース・コレクタ間のダイオードを利用することができるが、1個につき1~2×10⁴μ²の面積を必要とする。

2.4 抵抗

代表的な寸法として20μ幅の抵抗パターン例を図2.8に、10μ幅の抵抗パターン例を図2.9に示した。ベースおよび抵抗部のシート抵抗を200Ω/口としたとき、20μ幅で1kΩ以上の抵抗は次式で与えられる。

$$S = 4 + 11N_1 + 4N_2 + \alpha R (\text{k}\Omega) \quad (10^3 \mu^2) \quad \dots \dots \dots (2.7)$$

ここでN₁は一分離領域中の抵抗の数、N₂は中間電極数を示す。αは抵抗を直線に伸ばしたとき8.5、ほぼ正方形になるように折りたたんだ場合は6.0の値をとる。したがって、やや余裕をみた平均としてα=7.5を選べば式(2.7)は

$$S_0 = 4 + 11N_1 + 4N_2 + 7.5R (\text{k}\Omega) \quad (10^3 \mu^2) \quad \dots \dots \dots (2.8)$$

同様に、10μ幅で1kΩ以上の抵抗で上記のαに相当する値は直線の場合3、折りたたんだ場合2となるので、平均2.5をとり、

$$S_0 = 2.4 + 6.4N_1 + 2.4N_2 + 2.5R (\text{k}\Omega) \quad (10^3 \mu^2) \quad \dots \dots \dots (2.9)$$

となる。図2.10にこれらの抵抗値と面積の関係を示した。

60Ω~1kΩの間ではシート抵抗の200Ω/口の値に近いため、電極部の形状やエッジ効果を考慮する必要があり、1.1~2.1×10⁴μ²程度の面積が要求される。

60Ω以下では対抗電極部の長さが増加するため、図2.11に示すように、抵抗値の減小とともに面積が増加し、電極間距離Wが

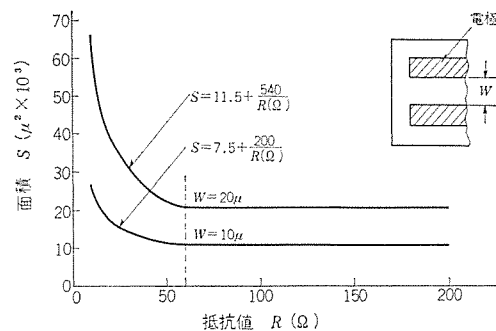


図 2.11 拡散抵抗の占有面積 (200Ω以下)
Fig. 2.11 Required area of resistors (less than 200Ω).

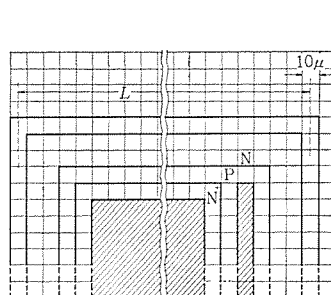


図 2.12 E-B 接合容量を利用したコンデンサ
Fig. 2.12 Geometry of E-B junction capacitor.

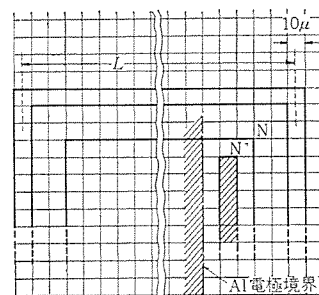


図 2.13 MOS構造によるコンデンサ
Fig. 2.13 Geometry of MOS capacitor.

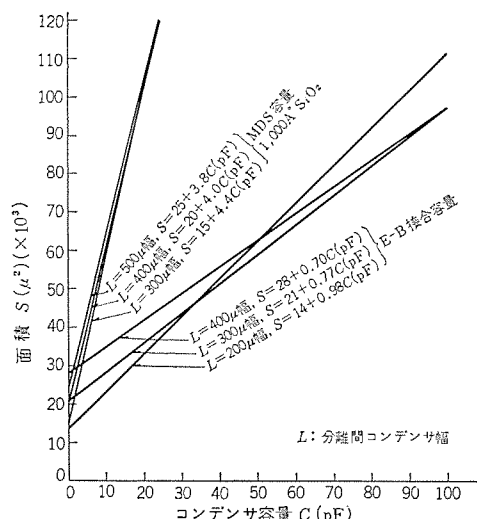


図 2.14 コンデンサ占有面積
Fig. 2.14 Required area of capacitors.

20μと10μの場合、それぞれ次式で与えられる。

$$W = 20\mu, \quad S_7 = 11.5 + 540/R (\Omega) \quad (10^3 \mu^2) \quad \dots \dots \dots (2.10)$$

$$W = 10\mu, \quad S_8 = 7.5 + 200/R (\Omega) \quad (10^3 \mu^2) \quad \dots \dots \dots (2.11)$$

10Ω以下の抵抗やクロスオーバーに用いる場合はシート抵抗が2~3Ω/口であるエミッタ拡散層の抵抗を利用することができる。クロスオーバーでは、十分低い抵抗が必要であるから通常2~4×10⁴μ²の面積となる。

2.5 コンデンサ

コンデンサには、トランジスタのエミッタ、ベース間の接合容量を利用したものと、MOS形構造にして、シリコン酸化膜を誘電体として利用する二つの方法があり、設計例をそれぞれ図2.12、2.13に示した。接合容量の場合はベースのシート抵抗による直列抵抗が問題になるので、図のコンデンサ幅Lをあまり広げないほうが望ましい。図2.14

に容量値と面積を示した。容量が 0~30 pF の間は $L=200\mu$ 、30~100 pF 間は $L=300\mu$ 、100 pF 以上は $L=400\mu$ が最小の面積を与えるが、顕著な差は認められない。面積の関係式は各 L の長さに対して次のようになる。

$$L=200\mu, S_9=14+0.98C(\text{pF}) \quad (10^3\mu^2) \quad \dots\dots\dots (2.12)$$

$$L=300\mu, S_{10}=21+0.77C(\text{pF}) \quad (10^3\mu^2) \quad \dots\dots\dots (2.13)$$

$$L=400\mu, S_{11}=28+0.70C(\text{pF}) \quad (10^3\mu^2) \quad \dots\dots\dots (2.14)$$

MOS 形の場合は酸化膜をあまり薄くすると、ピンホールにより耐圧不良の原因となるので通常 $1,000\text{\AA}$ 付近の厚さが用いられる。この構造の容量値は接合形に比べ、約 5 分の 1 であり、各コンデンサ幅 L に対する容量、面積の関係図を図 2.14 に、関係式を下に示す。 L が 300μ から 500μ に変化しても面積に対する影響は少なく、対抗電極として低抵抗のエミッタ拡散層を使用するので直列抵抗が増加するおそれもない。

$$L=300\mu, S_{12}=15+4.4C(\text{pF}) \quad (10^3\mu^2) \quad \dots\dots\dots (2.15)$$

$$L=400\mu, S_{13}=20+4.0C(\text{pF}) \quad (10^3\mu^2) \quad \dots\dots\dots (2.16)$$

$$L=500\mu, S_{14}=25+3.8C(\text{pF}) \quad (10^3\mu^2) \quad \dots\dots\dots (2.17)$$

コンデンサ幅を標準化するならば、図 2.14 から見て、 $L=300\mu$ が適当と思われる。ただし、EB 接合容量で 100 pF 以下、MOS 容量で 30 pF 以下の場合にかぎる。

2.6 チップ面積のまとめと概算例

前節までにのべた各電子素子の占有面積をまとめたものが表 2.2 である。実際のチップ寸法は、これらの素子占有面積に、リード接続のためのボンディングパッドとダイシングのための余裕寸法をとらなければ

表 2.2 各回路素子の占有面積

Fig. 2.2 Required area of each circuit element.

素子名	面積 ($10^3\mu^2$)	備考
最小形	10	
ト ロジック出力用	20—40	
ラ 列上・ラインドライバ用	50—60	
シ リニヤ小信号用	20—30	
ジ リニヤパワー用	$S_2=30+0.46I_{max}(\text{mA})$	I_{max} : 最大使用電流
ス 機 方 向 PNP	20—30	
タ マルチエミッタ(旧形)	$S_3=20+15N$	N : エミッタ数
同上(改良形)	$S_4=20+4N$	N : エミッタ数
ダイオード		
ベース・コレクタ間	10—20	N : ダイオード数 P形領域共通
ベース・エミッタ間	$S_5=7+2N$	
抵抗		
1 k Ω 以上	$S_6=4+11N_1+4N_2+7.5N(\text{k}\Omega)$	N_1 : 抵抗数
60 Ω —1 k Ω	21	N_2 : 中間電極数
60 Ω 以下	$S_7=11.5+540/R(\Omega)$	シード抵抗 300 Ω /コ
10 μ 幅		
1 k Ω 以上	$S_8=2.4+6.4N_1+2.4N_2+3.5R(\text{k}\Omega)$	
60 Ω —1 k Ω	11	
60 Ω 以下	$S_9=7.5+200/R(\Omega)$	
コンデンサ		
E・B接合容量	$S_{10}=21+0.77C(\text{pF})$	$L=300\mu$ 幅
MOS容量	$S_{12}=15+4.4C(\text{pF})$	$L=300\mu$ 幅 $\text{SiO}_2, 1,000\text{\AA}$
クロソーパー	20—40	
ボンディングパッド	素子領域の周り 120 μ	
ダイシングアリヤランス	パッド領域の周り 80 μ	

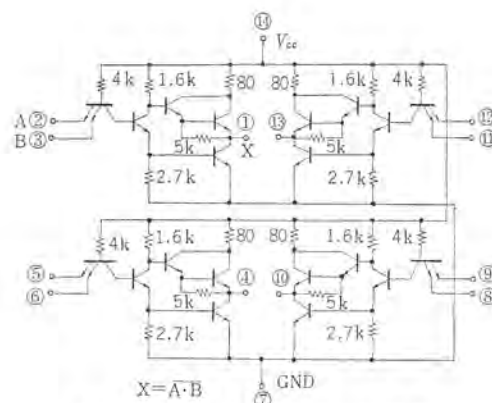


図 2.15 M5340 TTL Quad NAND

Fig. 2.15 Circuit of M5340 TTL Quad NAND.

表 2.3 TTL Quad NAND 面積概算表

Table 2.3 Approximation of TTL Quad NAND area.

素子	数量	1個当り面積 ($10^3\mu^2$)	合計面積 ($10^3\mu^2$)	参照式および図
マルチエミッタトランジスタ 旧形 2エミッタ	4	50	200	式(2.4)
小形トランジスタ	4	28	112	図 2.3
ダーリントントランジスタ	4	40	160	
出力トランジスタ	4	60	240	
抵抗	1 k Ω 以上 計 53.2 k (16個)	1	580	式(2.8)
20 μ 幅	1 k Ω 以下 計 160 Ω	2	42	図 2.11
総計			1,333	

素子領域 $1,333 \times 10^3 \mu^2$

正方形にした場合 1辺の長さ 1,150 μ

素子領域端よりチップ端まで + 400 μ (両側で)

計 1,550 μ

チップ面積 $(1,550 \mu)^2 = 240 \text{ mm}^2$

ばならない。これらの値はボンディングパッドで素子領域の周囲 120 μ 、ダイシングのための余裕寸法で 80 μ である。したがってチップの4辺にボンディングパッドを配置した場合、チップの一辺の長さは素子のみで計算した寸法に 400 μ を加える必要がある。なおアルミ配線のための面積を別に考慮しなければならない場合もある。

ここで一例として図 2.15 に示す TTL Quad NAND の面積を概算してみよう。この回路は 2 入力の NAND ゲートを 4 個含むもので、マルチエミッタトランジスタ、小形トランジスタ、ダーリントントランジスタ、出力トランジスタ 各 4 個、80 Ω から 5 k Ω までの抵抗 20 個より構成されている。概算結果は表 2.3 に示すようにチップが正方形として一辺 1,550 μ となるが、実際の設計では、1,500 μ でやや小さい。これは、実際のパッドレイアウトを示した図 2.16 で見られるように、ボンディングパッドを素子領域の間に配置して面積の節約をはかったためと思われる。

論理回路ではトランジスタも抵抗も比較的範囲の限られたものが使われるので、素子数と面積はある程度の相関が期待できる。図 2.17 は TTL, M5300 シリーズについて調べたもので、素子数を M 、チップ面積を A_c とすれば、M5373、デュアル JK フリップフロップを除きほぼ直線に乗り、次式のようになる。

$$A_c = 1.2 + 0.024M \quad (\text{mm}^2) \quad \dots\dots\dots (2.18)$$

したがって素子 1 個増加分の面積は $2.4 \times 10^4 \mu^2$ であり、これは、トランジスタでは小形と出力用の中間程度、抵抗では 1.3 k Ω に相当する。

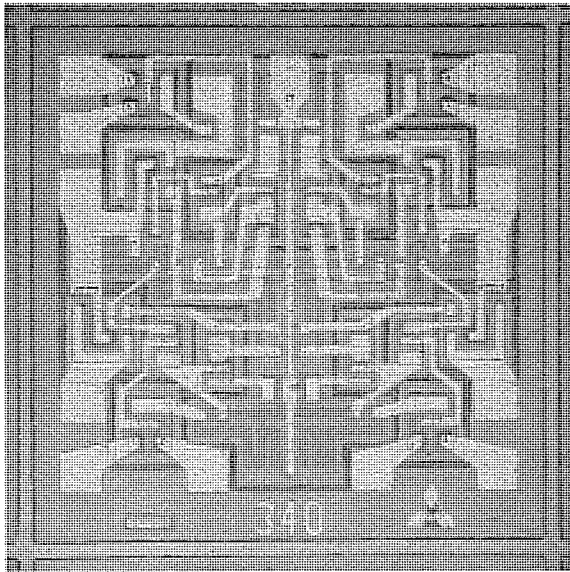


図 2.16 M5340 TTL Quad NAND のパターンレイアウト
Fig. 2.16 Circuit layout of M5340 TTL Quad NAND.

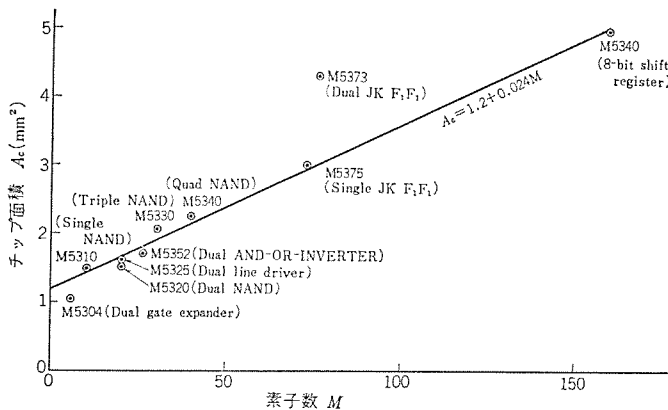


図 2.17 TTL M5300 シリーズのチップ面積と素子数
Fig. 2.17 Chip area vs. number of circuit elements integrated in TTL M5300 series.

なお、このシリーズ最小のものはゲートエクスパンダの6素子 1.1 mm²、最大のものは8ビットシフトレジスタ、160素子、5 mm²である。

3. チップの歩留りと経済設計

3.1 ピンホールによる歩留り⁽¹⁾

集積回路の歩留りが酸化膜のピンホールによる誤拡散によって決まると仮定し、ピンホールの分布はまったくランダムで Poisson 分布と考えられるとすれば、平均ピンホール密度 k の回路で j 個のピンホールを持つ回路が出る確率 $p(j:k)$ は

$$p(j:k) = e^{-k} k^j / j! \quad (3.1)$$

ピンホールが1個あっても良品を得る確率を p_1 とすれば、ピンホールが j 個ある場合の良品率 p_j は

$$p_j = p_1^j \quad (3.2)$$

したがって、 j のすべての値に対する良品率 P_m は

$$P_m = \sum_{j=0,1,\dots} p(j,k) p_1^j = e^{k(p_1-1)} \quad (3.3)$$

となる。ここで p_1-1 はピンホール1個の場合の不良率で、チップの全面積 A_c とピンホールのため回路が不良になる面積 A_m との比である。すなわち

$$1-p_1 = A_m/A_c \quad (3.4)$$

集積回路では数回の拡散が必要であるから、総合歩留り P は次式
半導体集積回路のチップ面積と価格解析・山本

で与えられる。

$$P = \prod_{m=1}^M P_m = \prod_{m=1}^M e^{-k A_m / A_c} = e^{-k (\sum_{m=1}^M A_m) / A_c} \quad (3.5)$$

いま、M5340, Quad NAND を例にとると、 $A_c = 2.25 \text{ mm}^2$ であり各拡散における A_m の値は

(a) 埋込層拡散でのピンホールは分離領域のエッジで耐圧不良の原因となり得る。エッジの全長は 18.8 mm におよび、ピンホールの直径を平均 3μ と仮定すると、ピンホールの影響を受ける領域は $A_1 = 0.056 \text{ mm}^2$ となる。

(b) 分離拡散でのピンホールは、抵抗およびトランジスタのベースとエミッタ領域を不良にする原因となり得る。実測ではトランジスタ領域 0.158 mm^2 、抵抗領域 0.138 mm^2 で合計 $A_2 = 0.296 \text{ mm}^2$ となる。

(c) ベース拡散でのピンホールは問題にならない。

(d) エミッタ拡散でのピンホールは分離領域、抵抗領域、ベース領域のエッジの耐圧不良の原因となり得る。実測では、分離領域 18.8 mm、抵抗領域 14.0 mm、ベース領域 8.5 mm であり、ピンホールの直径を 3μ として、 $A_3 = 0.124 \text{ mm}^2$ となる。

(e) アルミ蒸着配線でのピンホールは短絡の原因となり、電極部を除く全アルミ蒸着面積が問題の領域となる。実測では、 $A_4 = 0.564 \text{ mm}^2$ である。

したがって、 A_m の総計は 1.04 mm^2 となるから、M5340, Quad NAND の場合、式 (3.5) は

$$P = e^{-0.462k} \quad (3.6)$$

図 3.1 は1回路1マスクあたりの平均ピンホール密度 k と回路歩留りをグラフにしたもので、現在の平均技術レベルといわれているチップにおける回路歩留り 60% を維持するには、 k の値を 1.1 以下におさなければならないことがわかる。

次にピンホールの影響を受ける面積比 $(\sum_{m=1}^M A_m)/A_c$ が面積によらないと仮定し、単位面積 (1 mm^2)、1マスクあたりの平均ピンホール密度を d とすれば、チップ面積 A_c の集積回路の歩留り y_1 は

$$y_1 = e^{-0.462d A_c} \quad (3.7)$$

であらわされる。図 3.2 は $d = 0, 0.25, 0.50, 1.00$ の四つの場合のチップ面積と歩留りの関係を示したもので、上記 Quad NAND のチップ歩留り 60% を維持する d の値は 0.49 である。

ここでは酸化膜のピンホールについての歩留りのみを考慮したが、不良の原因はこの他にもウエハ割れ、表面のよごれ、アルミ配線のひっかきずり、など種々のものが考えられる。しかし、これらの原因でチップ面積によらず全体として生ずるものは、各チップの最終原価の計算の際、上記の計算による歩留りを各チップ面積につき一定の割合で落すか、または、ウエハ製造原価を引上げることにより修正

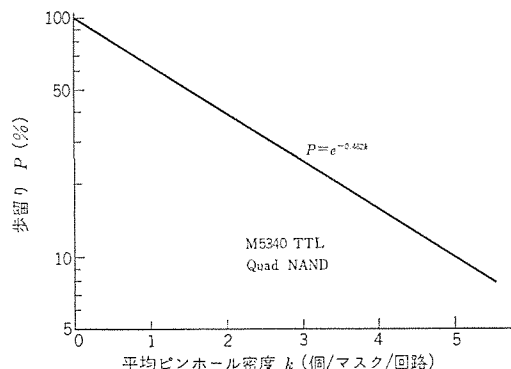


図 3.1 回路歩留りと平均ピンホール密度
Fig. 3.1 Circuit yield vs. pin hole density.

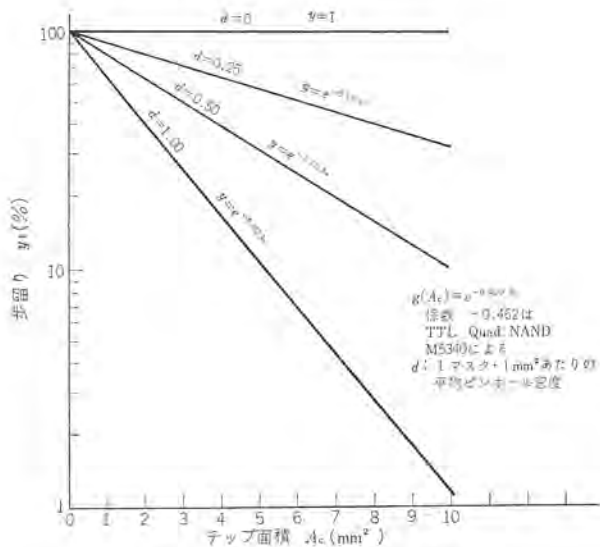


図 3.2 歩留りとチップ面積
Fig. 3.2 Yield vs. chip area.

することができる。

3.2 経済設計

集積回路を最も経済的に設計するには前の章でのべたように、与えられた回路機能に対し、チップ面積を最小にするような回路素子とその定数を選ばよ。しかし、一方集積回路のチップ以後の組立試験費が一定の値を有するため、一つのパッケージにどれだけの機能または回路素子を入れると最も経済的かという問題が生ずる。その目安となるものは回路素子1個あたりの単価 C_0 であり次式で示される。

$$C_0 = \frac{1}{My_2} \left(\frac{C_w}{A_w} A_w e^{\sum_{m=1}^M A_m d A_c} + C_p \right) \dots \dots \dots (3.8)$$

M : 回路素子数 y_2 : 組立試験歩留り C_w : ウエハ製造費

A_w : ウエハ面積 C_p : 組立試験費 (パッケージを含む)

図 3.3 は一例として式 (2.18) の A_c と M の関係式を用い、 $y_2 = 80\%$ 、 $C_w = 10^4$ 円、 $A_w = 700 \text{ mm}^2$ 、 $\sum_{m=1}^M A_m = 0.462$ と仮定し、 $C_p = 50$ 円、100 円、200 円、300 円、 $d = 0.25, 0.50, 1.0$ の場合におけるチップ面積と素子単価の関係を示したものである。この図より素子あたり単価が最小になる最も経済的なチップ面積が存在するが、 $d = 1$ の場合は単価が安いチップ面積の範囲が狭く、 4 mm^2 以上で単価が急上昇するのは、チップの歩留りがこの面積以上で極度に低下するた

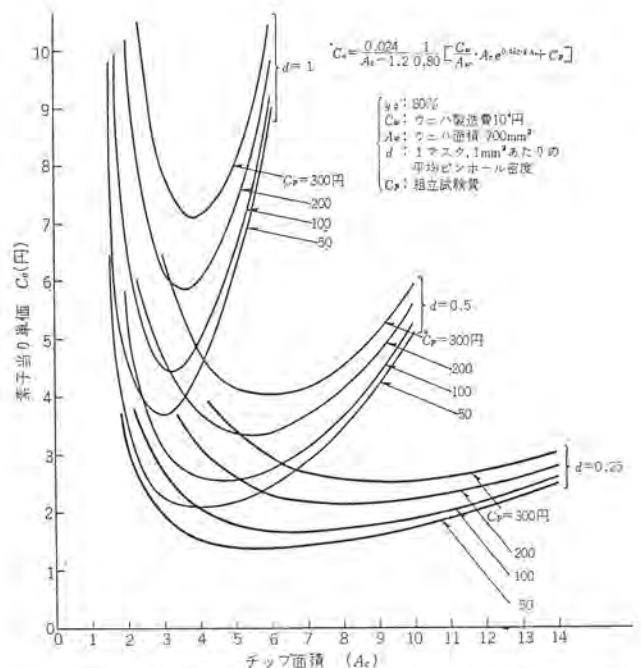


図 3.3 素子あたり単価とチップ面積
Fig. 3.3 Unit cost per circuit element integrated vs. chip area.
めである。一方 $d = 0.25$ では広いチップ面積にわたって低い単価を維持しており、製造コストを下げ、ある程度の LSI を可能にするためにはこの程度までの技術向上が不可欠であろう。

図 3.4 は最適経済チップ面積を使用した場合の素子あたり単価を図 3.3 より求めたもので、 $d = 0.25$ 、 $C_p = 50$ 円まで技術が進歩すれば、製造原価で 1.3 円近くまで下げ得ることがわかる。

図 3.5 は最適経済チップ面積を示したもので、 $d = 0.5$ で $4 \sim 6 \text{ mm}^2$ 、 $d = 0.25$ で 6 mm^2 以上が経済的である。

図 3.6 は最適経済素子数を示したもので、 $d = 0.5$ で 120 ~ 200 個の範囲にあり、素子数 200 個以上の LSI には $d = 0.25$ 以下を確保する必要がある。

実際の集積回路では図 2.17 に見られるように、チップ面積で $1 \sim 3 \text{ mm}^2$ 、素子数で $6 \sim 80$ のものがほとんどであり、ここで計算した最適値よりいずれも下回っている。これはウエハの製造歩留り、および製造原価の問題以上に、パッケージの引出線数の不足により、一つのパッケージに封入できる回路機能に制限を受けるためである。チップ価格 C_0 は一般に次式で表わされる。

$$C_0 = \frac{C_w A_w}{y_2 A_w} \sum_{m=1}^M A_m d A_c \dots \dots \dots (3.9)$$

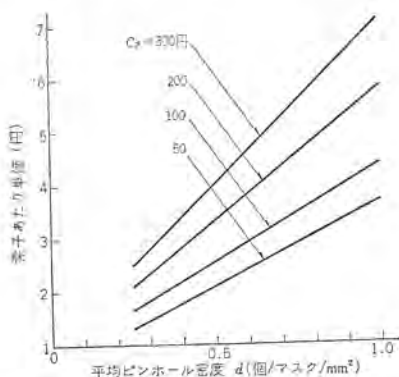


図 3.4 最適経済面積を用いた場合の素子あたり単価
Fig. 3.4 Unit cost per circuit element integrated with most economical chip area in use.

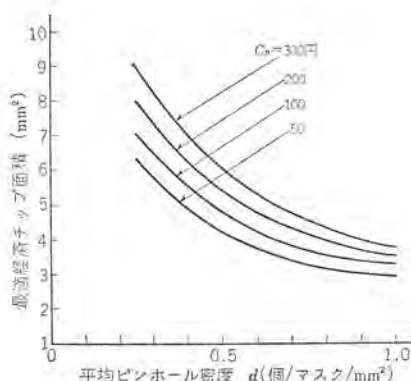


図 3.5 最適経済チップ面積
Fig. 3.5 Most economical chip area.

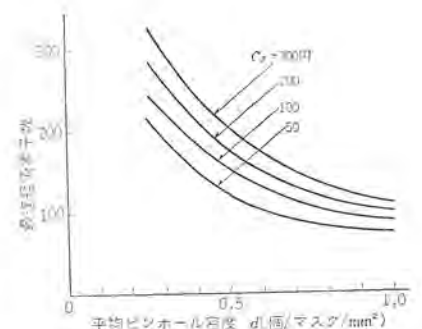


図 3.6 最適経済素子数
Fig. 3.6 Most economical number of circuit elements integrated.

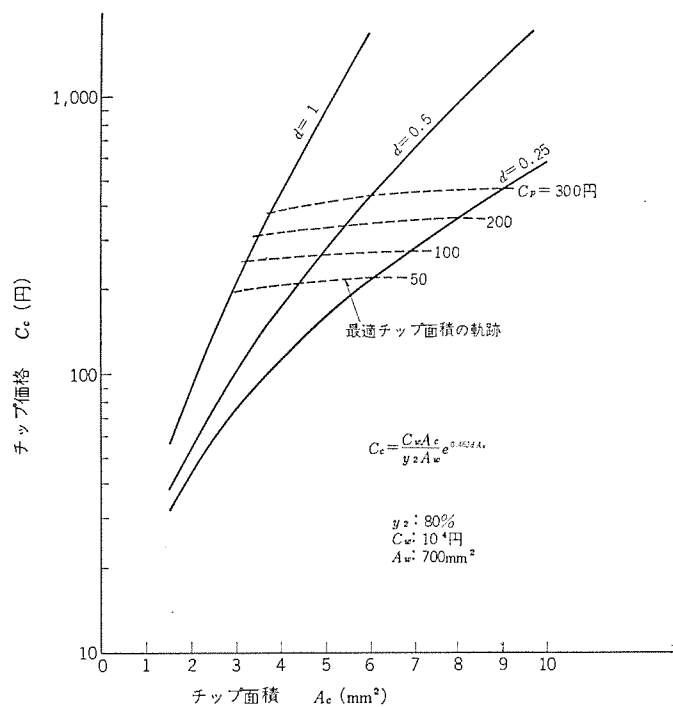


図 3.7 チップ価格とチップ面積
Fig. 3.7 Chip cost vs. chip area.

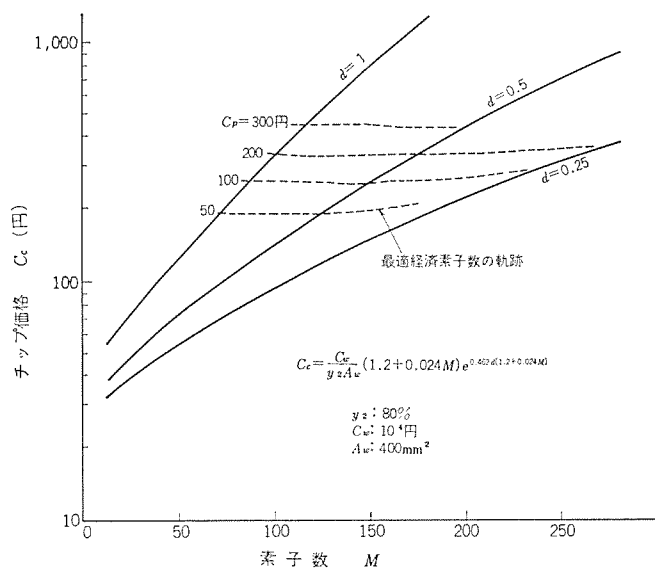


図 3.8 チップ価格と素子数
Fig. 3.8 Chip cost vs. number of circuit elements integrated.

図 3.7, 3.8 はそれぞれチップ価格とチップ面積, 素子数などとの関係を示したもので, 集積回路の原価計算の基礎資料となるものである。もちろん, この曲線は多くの要因によって大幅に変わる可

能性はあるが, いずれにせよ歩留りの関数である d の増加により急激にチップ価格が上昇することがわかる。

3.3 価格に影響を与える他の要因

前節ではおもに集積回路のチップ面積と歩留りに関しての考察を行ってきた。しかし, これにはあらかじめウエハあたりの製造価格とパッケージを含んだ組立試験費が仮定されているため, 実際の製造費用を知るためにはこれらの費用を別に計算しなければならない。しかし, これは一般に会社の機密事項に属することでもあり, それに各会社の技術レベルや方針に左右され, しかも時間的にも変化が激しく, 正確な値を算出するのはきわめて困難である。

価格に関連する項目を定性的に拾ってみても, 急速に変化する集積回路技術をキーアップするための年間数億円にも達する研究開発費, 製品化のための6ヵ月にも及ぶスタート・アップ・コスト, 新製品の信頼性確認のための膨大な費用, 生産量急増のための大きな投資と実動整備費, 同じく急膨張する技術者と作業者の訓練費, 販売網整備と応用技術開発のための費用, 10%をはるかに越えたと推定される特許使用料, 設備の陳腐化に対応するための短期間の減価償却, これらは当然, 直接製造原価に付加されるべきものであり, これらの費用を回収するためには直接製造原価の約3倍で販売する必要があるともいわれている。

一方販売価格はこれらの内部要因のみで定まるわけではなく, 国際的な巨大な先発メーカーが市場占有率を維持し, 後発メーカーの市場加入を防ぐため需要供給のバランスで定まる価格をさらに割ってまで販売する政策を打ち出している。しかしいずれにせよ市場競争力を持つためには, 技術の改良と大量生産によるコストダウンを図るほかなく, 技術上の改良点としては, クリッルームなどの使用によるじんあいの防止, ウエハ面積の大形化, パタン面積の縮小, マスク枚数の減小, フェイスボンディングおよびプラスチックモールドの採用などがそのおもなものであろう。もちろん, 外国特許に対抗できるような有力な特許の発明も重要であり, これなくしては販売活動, 販売価格に大きなハンディキャップを背負うことになるだろう。

4. む す び

パイポーラ形半導体集積回路に使用される回路素子がシリコン基板上に占める面積, 欠陥をPoisson分布によるシリコン酸化膜のピンホールと考えた場合のチップ面積と歩留り, ウエハ製造費とパッケージを含む組立試験費を仮定した場合の最適経済チップ面積などをTTL, M5340 Quad NANDを例にとりながら解析した。最後に価格に影響を与える他の要因についても簡単に触れた。

参 考 文 献

- (1) T. R. Lawson, JR.: Semiconductor Products and Solid State Technology, 7, 22 (1966)

TTL の設計

浅川 俊文*・土屋 鍊平**

Desing of TTL

Kitaitami Works

Toshifumi ASAKAWA・Renpei TSUCHIYA

TTL logic circuits demonstrate excellent switching and loading characteristics because of their multi-emitter transistor, current sinking output-transistor with enhanced base current and a low impedance current source capable of driving large capacitive loads.

Input leakage current caused by inverse beta of a multi-emitter transistor, a required current amplification factor as a function of fan-outs and an effect of current source on the driving capacitive loads are calculated to show the performance of this type of integrated circuits.

The latest tendency, in the integrated circuit design engineering of reducing the cost per circuit function by increasing the number of circuits in a single package, has been described herein by the illustration of TTL flip flop series.

1. ま え が き

デジタル集積回路には要求される性能と用途に従って数種の回路方式があるが、基本ゲート回路の1段あたりの伝達遅延時間 t_{pd} に注目すると、現状では次のように分類できよう。

t_{pd} が1~5 nsのものは超高速論理回路でCML (Current Mode Logic) が用いられ、5~10 nsのものは高速論理回路と呼ばれ、これには高速TTL (Transistor Transistor Logic) があてられている。また、 t_{pd} が10~20 nsのものは中速論理回路と呼ばれ、これもTTLが、20 ns以上のものは、いわゆる低速論理回路でおもにDTL (Diode Transistor Logic) が用いられる。

これらの分類で、計算機、制御機、計測器など各種デジタル装置に広く適用でき現在最も需要の多いと思われるのは中速のTTLであろう。この需要に応じ開発した工業用TTL M5300 Pシリーズは次の10品種からなっている。

- M5310 P Single 8-Input NAND Gate
- M5320 P Dual 4-Input NAND Gate
- M5330 P Triple 3-Input NAND Gate
- M5340 P Quadruple 2-Input NAND Gate
- M5325 P Dual 4-Input Line Driver
- M5352 P Dual 2-Input AND-OR-INVERT Gate
- M5304 P Dual 4-Input Gate Expander
- M5375 P Single J-K Master-Slave Flip Flop
- M5373 P Dual J-K Master-Slave Flip Flop
- M5391 P 8-Bit Shift Register

ここでは、これらTTL回路の設計上の諸問題について説明する。

2. 基本ゲート回路

TTLの基本ゲート回路を図2.1に示す。 Q_1 は入力ゲート・トランジスタで、ベースおよびコレクタ共通のマルチエミッタ・トランジスタになっており、この例では2入力であるが、必要に応じて8入力のものまである。ゲートがトランジスタとなっているため、ダイオード・ゲートを使っているものと異なり、ターン・オフ時に Q_1 が順方向に働いて Q_2 から大きなターン・オフ・ベース電流を引き、すぐれたターン・オフ特性を示す。

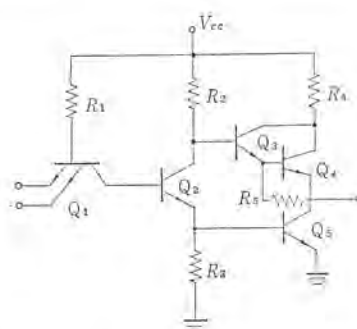


図 2.1 TTLの基本ゲート回路
Fig. 2.1 Basic gate circuit of TTL.

Q_5 は出力のインバータ・トランジスタで、そのベース駆動電流は Q_2 で増幅されているから、 Q_5 に要求される電流増幅率が比較的低くてもすぐれた負荷特性が得られファン・アウトが大きくとれる。 Q_3 、 Q_4 のダーリントン接続トランジスタは、負荷に電流を供給する電流源となっており、とくに容量負荷に対してインピーダンスの低い充電源となるため良好なターン・オフ特性が得られる。またこの電流源により、インバータ・トランジスタ Q_5 がオンのときも、オフのときも出力インピーダンスが低くなり、雑音に対する問題も軽減される。 Q_3 、 Q_4 と Q_5 は同時にオンとならないよう Q_2 がベース駆動電流の切り換えを行なっているから Q_2 はリニヤ回路のようにフェイズ・スプリッタと呼ばれることもある。

以上のように特長の多い回路であるが次のような問題がある。 Q_1 がトランジスタであるため、その逆電流利得に起因する入力漏えい電流の問題があるので、 Q_1 の逆電流利得を小さく押える設計が必要である。また、ゲートがオフになるときは Q_2 がオフになってから Q_5 がオフとなるため、 Q_5 の蓄積時間にオンとなった Q_3 、 Q_4 から大きな電流がパルス的に流れるため、 Q_5 の蓄積時間をできるだけ短くする一方、雑音の発生を防ぐため電源のインピーダンスを低く保つ必要がある。出力に低インピーダンス電流源がついているので他のゲートと出力端子を直結して使用する、いわゆるワイヤードANDが行なえない問題もある。

基本ゲートの規格値を表2.1に示す。電源電圧は $5V \pm 10\%$ ，“0”入力電流の最大値は $-1.5mA$ でファン・アウト10，“1”入力電流の最大値は $30\mu A$ ，平均消費電力は10mW，平均スイッチング時

表 2.1 基本ゲートの最悪条件での電気的特性 ($T_a=25^\circ\text{C}$)
Table 2.1 Electrical characteristics of basic gate at the worst condition.

項 目	記 号	条 件	規 格 値			単位
			最小	標準	最大	
"1" 入力電圧	$V_{IH(T)}$	$V_{CC}=4.5\text{ V}$ $I_{OL}=18\text{ mA}$ $V_O=0.4\text{ V}$	1.9			V
"0" 入力電圧	$V_{IL(T)}$	$V_{CC}=4.5\text{ V}$ $I_{OH}=-360\text{ }\mu\text{A}$ $V_O=2.4\text{ V}$			1.0	V
"1" 入力電流	I_{IH}	$V_{CC}=5.5\text{ V}$ $V_I=4.5\text{ V}$			30	μA
"0" 入力電流	I_{IL}	$V_{CC}=5.5\text{ V}$ $V_I=0.4\text{ V}$		-1.0	-1.5	mA
"1" 出力電圧	V_{OH}	$V_{CC}=4.5\text{ V}$ $I_{OH}=-360\text{ }\mu\text{A}$ $V_I=1.0\text{ V}$	2.4	2.9		V
"0" 出力電圧	V_{OL}	$V_{CC}=4.5\text{ V}$ $I_{OL}=18\text{ mA}$ $V_I=1.9\text{ V}$		0.25	0.4	V
"1" 消費電力	P_{DH}	$V_{CC}=5.0\text{ V}$ $V_I=0\text{ V}$		5		mW
"0" 消費電力	P_{DL}	$V_{CC}=5.0\text{ V}$ $V_I=5.0\text{ V}$		15		mW
出力短絡電流	I_{OGH}	$V_{CC}=5.0\text{ V}$ $V_O=0\text{ V}$ $V_I=0\text{ V}$	-20		-70	mA
入 力 容 量	C_I	$V_{CC}=5.0\text{ V}$ $f=1\text{ MHz}$ $V_I=2.0\text{ V}$		3		pF
ターン・オン時間	t_{on}	$V_{CC}=5.0\text{ V}$ $F_0=10$		10	20	ns
ターン・オフ時間	t_{off}	$V_{CC}=5.0\text{ V}$ $F_0=1$		20	35	ns

間の代表値は 15 nsec となっている。

2.1 ベース駆動電流の増幅

図 2.1 でインバータ・トランジスタ Q_5 のベース駆動電流は Q_2 で増幅されているから、 Q_5 に課せられる飽和条件が大きく緩和され比較的低い電流増幅率のトランジスタでも大きなファン・アウトがとれる。この様子を図 2.2 の DTL 回路との比較で示す。

飽和形ゲートで、出力トランジスタの電流増幅率 h_{FE} と許容されるファン・アウト数 F_0 の関係は一般に次式で表わせる。

$$F_0 = K \cdot h_{FE} \quad (2.1)$$

K は回路により決まる定数で、その回路の出力トランジスタのベース駆動電流とコレクタ電流の比で表せる。

今、比較を簡単にするために、オン時のベース・エミッタ間電圧 V_{BE} はどのトランジスタも同じで、同一チップ内での抵抗のばらつきを無視すると、TTL の場合の最小ベース駆動電流 I_b は、

$$I_b = \frac{V_{CC}-3V_{BE}}{R_1} + \frac{V_{CC}-V_{CES2}-V_{BE}}{R_2} - \frac{V_{BE}}{R_3} \quad (2.2)$$

となる。ここで、 V_{CC} は電源電圧、 R_1 は R_1 の最大値で他も同様、 V_{CES2} は Q_2 のコレクタ・エミッタ間飽和電圧である。また、 Q_1 のベース・コレクタ間電圧 V_{CB} も V_{BE} に等しいとした。

ファン・アウト 1 個あたりの最大のコレクタ電流 I_C は、

$$I_C = \frac{V_{CC}-V_{CES5}-V_{BE}}{R_1} \quad (2.3)$$

となる。ここで、 V_{CES5} は出力トランジスタの飽和電圧、 R_1 は R_1 の最小値、以下同様とする。出力トランジスタの飽和条件から h_{FE} と F_0

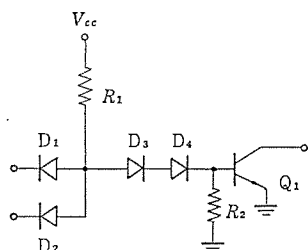


図 2.2 DTL の基本ゲート回路
Fig. 2.2 Basic gate circuit of DTL.

の関係は、

$$h_{FE} = F_0 \cdot \frac{I_C}{I_B} \quad (2.4)$$

となり K が求まる。

図 2.1 の TTL で基本ゲートの設計値を $R_1=4\text{ k}\Omega$ 、 $R_2=1.6\text{ k}\Omega$ 、 $R_3=2.7\text{ k}\Omega$ 、 $V_{BE}=0.7\text{ V}$ 、 $V_{CES2}=0.2\text{ V}$ 、 $V_{CES5}=0.4\text{ V}$ 、抵抗の公差を $\pm 20\%$ 、 $V_{CC}=5.0\text{ V}$ として計算すると $K=2.1$ となる。

先に示した M5325P の Line Driver は F_0 を 30 まで許せるように R_2 、 R_3 はそれぞれ 500Ω 、 $2\text{ k}\Omega$ に設計しており、この場合の K は 5.9 となる。

図 2.2 の DTL の場合、出力トランジスタ Q_1 のベース駆動電流の最小値は、

$$I_b = \frac{V_{CC}-3V_{BE}}{R_1} - \frac{V_{BE}}{R_3} \quad (2.5)$$

である。ここで、ダイオードの順方向電圧降下はトランジスタの V_{BE} に等しいとした。また、ファン・アウト 1 個あたりの最大コレクタ電流 I_C は、

$$I_C = \frac{V_{CC}-V_{BE}-V_{CES1}}{R_1} \quad (2.6)$$

となる。ただし、 V_{CES1} は図中 Q_1 のコレクタ・エミッタ間飽和電圧である。 $R_1=4\text{ k}\Omega$ 、 $R_2=6\text{ k}\Omega$ 、抵抗値の公差 $\pm 20\%$ 、 $V_{BE}=0.7\text{ V}$ 、 $V_{CC}=5.0\text{ V}$ を使って、式 (2.5)、(2.6) から DTL の場合の値を求めると $K=0.41$ となる。

これら K の値を式 (2.1) に入れて h_{FE} と F_0 の関係を表わすと図 2.3 のようになる。TTL の基本ゲートのファン・アウトの設計値は 10、Line Driver は 30 であるから、インバータ・トランジスタに要求される h_{FE} の下限をこの図から求めることにする。ただし、抵抗の温度特性、 V_{CES} 、 V_{CB} 、 V_{BE} などの温度変化を無視して、 h_{FE} は動作周囲温度の下限 -55°C で室温の値の 40% に低下するものとする。 $F_0=10$ と 30 に対して $h_{FE}=5$ であればよいことがわかるから、これを 2.5 倍すると室温では 12.5 以上あればよいことになる。これは飽和条件からのみの値で、イッチング特性などを考慮すると室温で 20 以上となり、これは最低温で $h_{FE}=8$ となる。図中、これを一点鎖

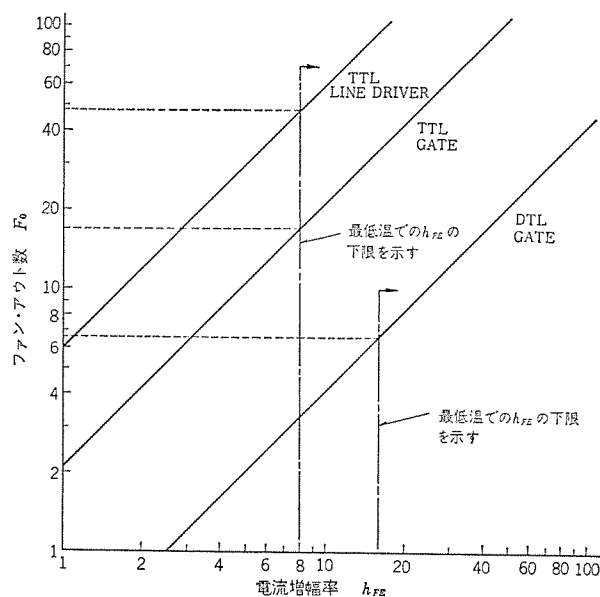


図 2.3 出力トランジスタの電流増幅率とファン・アウト
Fig. 2.3 Fan-out vs. current gain of output transistor.

線で示した。この線で F_0 を読むと ゲートと Line Driver でそれぞれ 17 と 48 まで許せることになる。実際には出力トランジスタの飽和電圧で押えられるから、 $F_0=10$ と 30 になるが、室温での h_{FE} が 20 以上あれば十分である。

DTL ゲートの場合 K の値が小さいから、室温での h_{FE} の下限を 40、すなわち最低温で 16 とにしても、図中 2 点鎖線で示すごとく F_0 が 6 までしか許せないことになる。

以上、集積回路を使用する側からも、作る側からもベース駆動電流を増幅したものが有利であるといえる。最近 DTL でも TTL 同様、電流をトランジスタで増幅したものが多く用いられるようになってきた。

2.2 マルチ・エミッタ・トランジスタ

入力ゲートがマルチ・エミッタ・トランジスタで構成されているため、ゲートの構成が簡単になり、また、このトランジスタ動作により、ターン・オフ時に大きなベース電流を引くことができるからすぐれたスイッチング特性を示すのが大きな特長であるが、一方、このトランジスタの逆電流利得に起因する入力電流が流れるので、これを最小にする必要がある。

図 2.1 でゲート・トランジスタ Q_1 の両入力に高いレベルの電圧が加えられている場合、各入力端子から流入する漏れ電流 I_{IH} は、

$$I_{IH} = h_{FEI} I_N \dots\dots\dots (2.7)$$

で表わされる⁽¹⁾。ここに、 h_{FEI} は Q_1 の逆電流利得、 I_N は R_1 を流れるノード電流である。また、入力的一端が低い電位にある場合で、他端が高い電位にあると、高い電位にある端子から、これも式(2.7)で表わされる電流が流れ込む。したがって、いずれの場合にも Q_1 の h_{FEI} の値を低く保つ必要があるが、通常のトランジスタ構造を用いると h_{FEI} が 0.1 程度となり、 I_N が 1 mA とすると I_{IH} が 0.1 mA 程度になってファン・アウトが多い場合問題となる。

そこで、 Q_1 のベース幅のみ厚く選んで h_{FEI} を小さく保つ方法もある⁽²⁾が、普通の作り方をしても図 2.4 に示すようなトランジスタ構造をとればこの入力漏れ電流を小さく保つことができる。

図 2.4 (a) は両エミッタのベースを共通にし、エミッタとベース電極間にベース層を使って抵抗を入れたものである。この構造の等価回路は図示のごとくベース電極から直接コレクタ電極にダイオードのはいつた形になり、コレクタからベースへ注入された電子はほとんどエミッタに到達しないから h_{FEI} を実効的に 0.01 以下に保てる。したがって、 $I_0=1$ mA とすると I_{IH} は 10 μ A 以下に保つことができる。ま

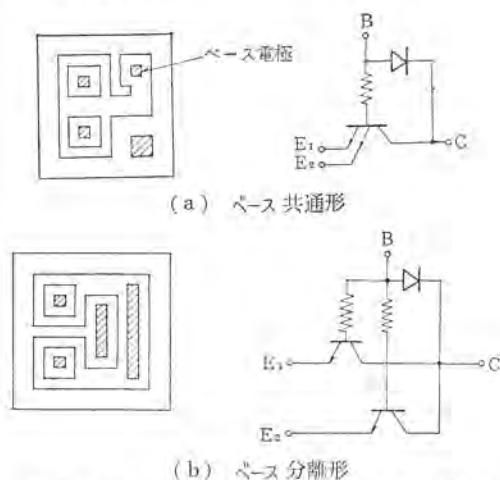


図 2.4 マルチ・エミッタ・トランジスタの基本形状
Fig. 2.4 Basic figures of multi-emitter transistor.

た、逆電流利得とは別に両エミッタ間で構成される横方向の NPN 作用も考えられるが、間隔が 20 μ 程度でもその電流利得を 0.001 以下に保てるから問題にはならない。

図 2.4 (b) はベースを電極の両側に分離した形であるが、これも同様に h_{FEI} は小さくなり、横方向の動作はない。

入力数が多い場合はこのままの形で入力数を増せばよいが面積をできるだけ小さくして次に説明するターン・オン時間の増加を最小にする必要がある。図 2.1 の回路で各素子の基板に対する浮遊容量で最も問題となるのは Q_1 のコレクタ、基板間容量 C_{TS} である。この C_{TS} によるターン・オン時間の遅れ Δt_{on} は、

$$\Delta t_{on} = C_{TS} R_1 \frac{V_{CE1} - V_{CB} - V_{C1}}{V_{CE1} - V_{CB} - V_{C2}} \dots\dots\dots (2.8)$$

となる。ここで、 V_{CB} は Q_1 のベース・コレクタ間電圧、 V_1 は前段がオンとなっているときの Q_1 のコレクタ電位、 V_2 はこのゲートがオンとなったときの Q_1 のコレクタ電位とする。いま、入力数が多い場合 C_{TS} が 10 pF あったとし、 $R_1=4$ k Ω 、 $V_1=0.6$ V、 $V_2=1.4$ V、 $V_{CE}=5.0$ V、 $V_{CB}=0.7$ V とすると、 $\Delta t_{on}=10$ nsec となりかなり大きな増加となる。

2.3 容量負荷駆動の電流源

図 2.5 に TTL と DTL の容量負荷の充電に対する電流路を示す。負荷容量 C_L は集中定数で表わしたが、これには出力トランジスタの寄生容量、配線の浮遊容量、負荷の入力容量などが含まれる。図 2.5 (a) に示すとおり、TTL の場合、インピーダンスの低い電流源がついているから容量負荷によるターン・オフ時間の増大が押えられる。この遅れを Δt_{off} とすると式(2.8)と同様に、

$$\Delta t_{off} = C_L R_C \ln \frac{V_{BE} - V_{CE} - V_{01}}{V_{BE} - V_{CE} - V_{02}} \dots\dots\dots (2.9)$$

で表わせる。ここで、 R_C は電流源直列抵抗の値、 V_{CE} は TTL で Q_1 のコレクタ・エミッタ間電圧、DTL では図 2.5 (b) ちゅう D_1 の降下電圧、 V_{01} 、 V_{02} は出力電圧である。

TTL で、 $R_C=R_1=80$ Ω 、 $V_{CE}=5.0$ V、 $V_{BE}=1.0$ V、 V_{01} は飽和時の出力電圧で 0.4 V、 V_{02} は 1.5 V に選ぶと $C_L=50$ pF に対して約 2 μ sec の遅れにとどまる。ただし、この場合負荷からの入力電流は無視した。DTL の場合、図 2.5 (b) で R_1 、 P_1 を通って供給される電流のみであるから、式(2.9)で $R_C=R_1=4$ k Ω 、 $V_{CE}=$

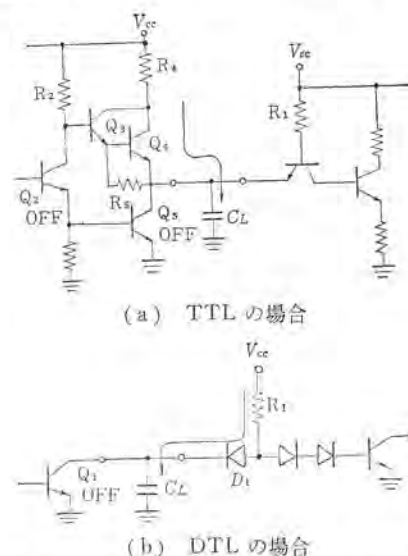


図 2.5 容量負荷を駆動する電流源
Fig. 2.5 Current source to drive capacitive load.

5.0 V, $V_{CE}=0.7$ V, V_{01} , V_{02} は同様にそれぞれ 0.4 V, 1.5 V で $C_L=50$ pF につき計算すると約 50 nsec とかなり長くなる。以上の比較でも電流源の t_{off} に及ぼす効果は大きいことがわかる。

3. 集積回路設計

図 2. 1 の回路図でトランジスタ Q_2 に使用される小電流容量のトランジスタの構造と寸法の例を図 3. 1 に示す。また、このトランジスタの各パラメータを表 3. 1 に、特性を表 3. 2 にまとめて示す。スイッチング特性を検討するうえで、トランジスタの f_T はとくに重要なパラメータであるから次式⁽³⁾で近似して検討する。

$$\frac{1}{f_T} \approx 2\pi \times 1.4 \left(r_e C_{TE} + \frac{x_b^3}{5D_{nb}} + \frac{x_m}{V_{SC}} + r_{SC} C_{TS} + \frac{r'_{SC} C_{TS}}{2} \right) \dots\dots (3. 1)$$

ここに、 r_e はエミッタ抵抗、 C_{TE} はエミッタ・ベース間順方向接合容量、 D_{nb} はベース・ちゅうでの電子の拡散定数、 x_m はコレクタ空乏層厚さ、 v_{SC} はコレクタ空乏層幅のキャリア速度、 r_{SC} はコレクタ飽和抵抗、 C_{TE} はベース・コレクタ接合容量、 C_{TS} はコレクタ・基板間接合容量、 r'_{SC} は

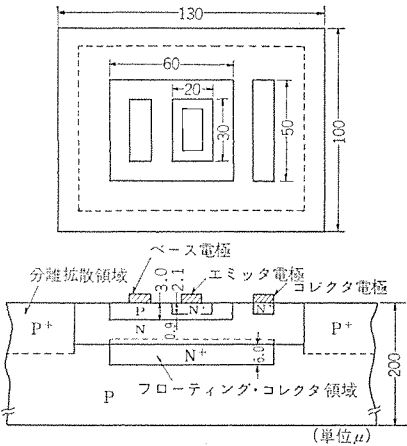


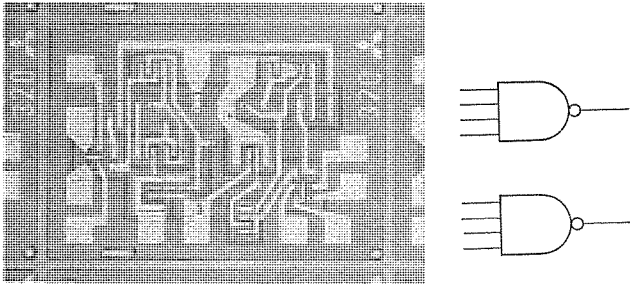
図 3. 1 集積トランジスタの形状と寸法
Fig. 3.1 Geometry and dimensions of integrated transistor.

表 3. 1 集積トランジスタの設計パラメータ例
Table 3.1 Example of the design parameters of integrated circuit.

P 形基板抵抗: $\rho_s=10 \Omega \cdot \text{cm}$ (不純物濃度 $1.3 \times 10^{15} \text{cm}^{-3}$)
N 型エピタキシャル層抵抗: $\rho_e=0.5 \Omega \cdot \text{cm}$ ($1.2 \times 10^{16} \text{cm}^{-3}$)
エピタキシャル層厚さ: $x_e=10 \mu$
N 形フローティング・コレクタ層シート抵抗: $\rho_{sf}=25 \Omega/\text{sq}$
フローティング・コレクタ接合深さ: $x_{jf}=6.0 \mu$
P 型ベース層シート抵抗: $\rho_{sb}=200 \Omega/\text{sq}$
コレクタ接合深さ: $x_{jc}=3.0 \mu$
N 型エミッタ層シート抵抗: $\rho_{se}=2.5 \Omega/\text{sq}$
エミッタ接合深さ: $x_{je}=2.1 \mu$
ベース幅: $x_b=0.9 \mu$

表 3. 2 集積トランジスタの電気的特性
Table 3.2 Electrical characteristics of integrated transistors.

BV_{CBO}	45 V
BV_{EBO}	7 V
BV_{CEO}	16 V
$C_{TC} (5 \text{ V})$	0.3 pF
$C_{TS} (5 \text{ V})$	0.8 pF
$h_{FE} (5 \text{ mA})$	60
r_{SC}	25 Ω
$f_T (5 \text{ V}, 5 \text{ mA})$	440 MHz



(a) パターン写真 (b) 機能ブロック線図
図 3. 2 M 5320 P dual NAND gate

コレクタ電極・基板容量間の抵抗である。

式 (3. 1) の第 1 項はエミッタ時定数、第 2 項はベース時定数、第 3 項はコレクタ空乏層ちゅうの走行時間、第 4 項はコレクタ時定数、第 5 項が集積回路トランジスタ固有のコレクタ・基板間の寄生容量に起因する時定数である。

図 3. 1 のトランジスタの $V_{CE}=5$ V, $I_E=5$ mA での値を表 3. 1 のパラメータを使って計算した結果を示す。

$$\begin{aligned} r_e C_{TE} &= 0.59 \times 10^{-10} \text{sec} \\ \frac{x_b^3}{5D_{nb}} &= 1.62 \times 10^{-10} \text{sec} \\ \frac{x_m}{V_{SC}} &= 0.13 \times 10^{-10} \text{sec} \\ r_{SC} C_{TS} &= 0.08 \times 10^{-10} \text{sec} \\ \frac{r'_{SC} C_{TS}}{2} &= 0.29 \times 10^{-10} \text{sec} \end{aligned}$$

これらの値を式 (3. 1) に入れると $f_T=440$ MHz をうる。この値は、トランジスタの寸法とバイアス条件から考えて最大値を示すものといえるが、実測では少し低く出るようである。

以上の諸問題を検討して設計した M 5320 P Dual NAND Gate のパターン写真と機能ブロック線図を図 3. 2 に示した。

4. ゲート回路の特性

直流の入出力伝達特性を図 4. 1 に示す。負荷はそれぞれ最悪の

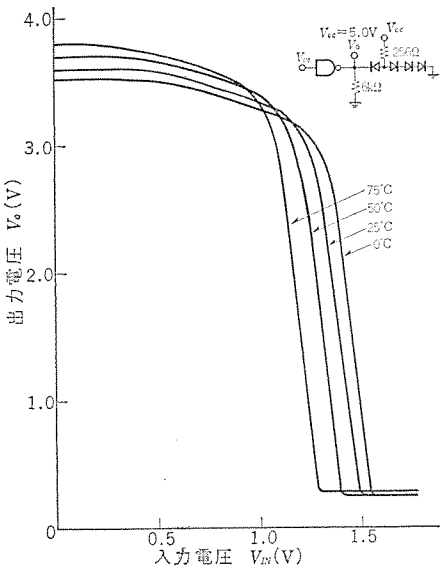


図 4. 1 入出力直流伝達特性
Fig. 4.1 DC transfer characteristics.

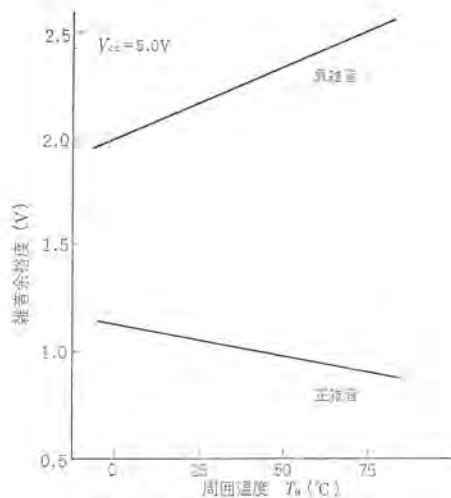


図 4.2 直流雑音余裕度
Fig. 4.2 DC noise margin.

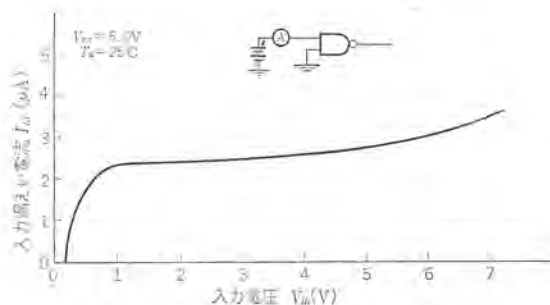


図 4.3 入力漏えい電流
Fig. 4.3 Input leakage current.

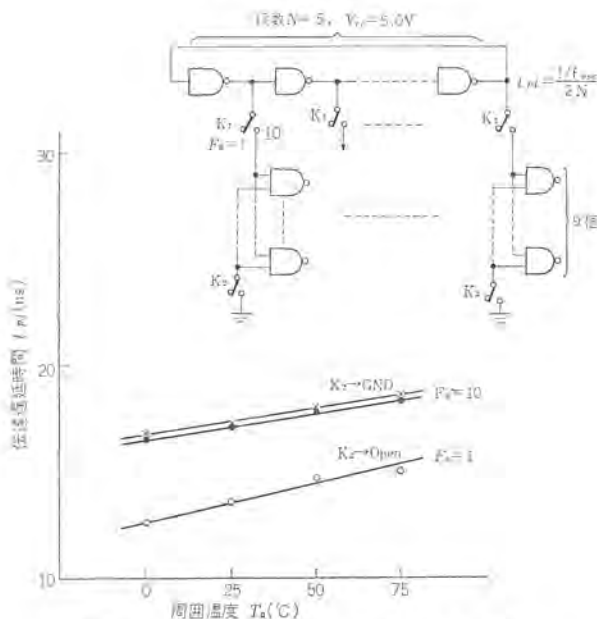


図 4.4 伝達遅延時間の周囲温度特性
Fig. 4.4 Temperature characteristics of propagation delay time.

場合に設定した。この図から直流雑音余裕度の代表値を求めたのが図 4.2 である。図中負雑音余裕度は入力が“1”レベルにあり、出力が“0”レベルにあるときのもので“1”レベルの電圧と出力電圧が 0.4 V を越える入力電圧の差で示した。正雑音余裕度は“1”出力電圧が 2.4 V を割る入力電圧から“0”出力電圧を引いた値とした。これらはいずれも、いわゆる信号ラインの直流雑音余裕度であるが、

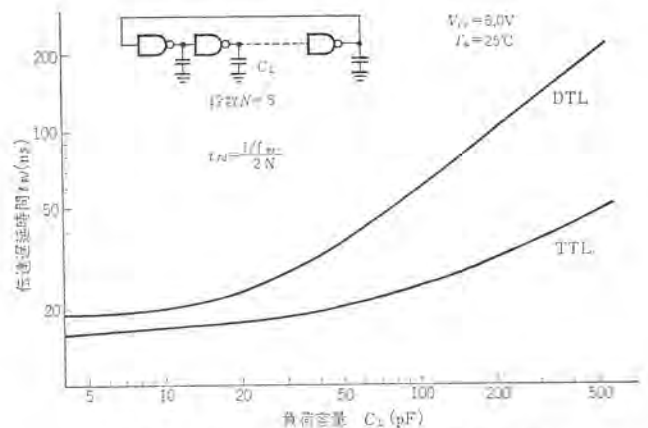


図 4.5 伝達遅延時間の容量負荷特性
Fig. 4.5 Capacitive load characteristics of propagation delay time.

交流雑音についても出力の電流源により各接続点のインピーダンスが低く保たれているから比較的強いものと思われる。ただ、先にも述べたとおり、ターン・オフ時に電流源と出力トランジスタに電流がパルス的に流れるから電源と接地ラインのインピーダンスを十分低く保つ必要がある。

図 4.3 は入力漏えい電流の特性を示す。ゲート・トランジスタの逆電流利得が低くなるよう設計されているから、十分小さな値となっている。

図 4.4 は伝達遅延時間の特性を示すものである。 $T_a=25^\circ\text{C}$ 、 $V_{cc}=5.0\text{V}$ で、 $F_0=1$ に対し 13.6 nsec、 $F_0=10$ で 17.2 nsec である。図の測定回路で K_2 は負荷ゲートの入力端子の一つを接地してスイッチングに対する最悪の負荷条件としたものであるが、出力電流源の効果でほとんど増加しない。このことは図 4.5 に示す伝達遅延時間の容量負荷特性にはっきり出ており、比較のため示した DTL との差がわかる。

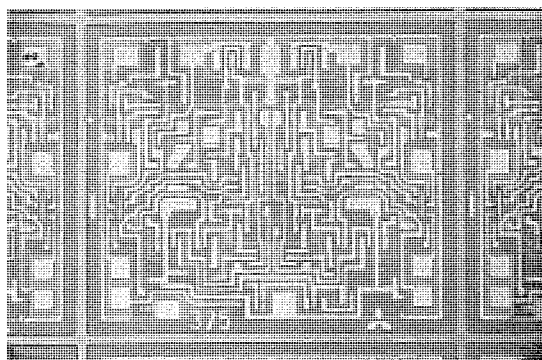
5. TTL のフリップ・フロップ類

TTL 5300 P シリーズのフリップ・フロップ類ははじめに述べたとおり、Single J-K、Dual J-K、8-Bit Shift Register の 3 品種があり、それぞれのパターン写真と機能ブロック線図を図 5.1、5.2、5.3 に掲げた。

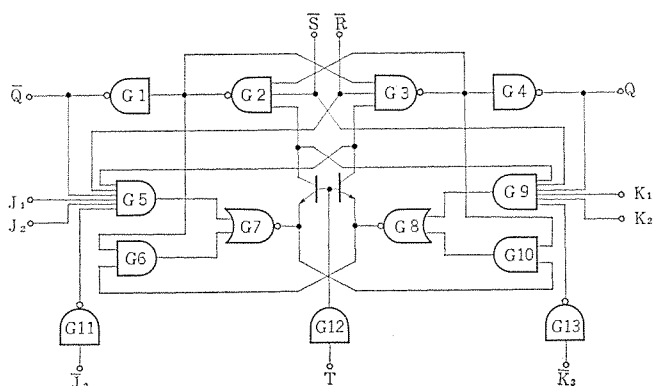
Single J-K は図 5.1 (b) のように直流結合のマスタ・スレーブ・フリップ・フロップで 13 個のゲートからなっている。J、K の入力には、コンプライメンタリ入力 J、K もあり多機能化をはかっている。スレーブのフリップ・フロップを構成する G_2 、 G_3 には直接負荷を接続せずに、 G_1 、 G_4 がバッファーとしてはいており、負荷の状態がスイッチング特性に及ぼす影響を軽減している。また、このフリップ・フロップはポジティブ・トリガリングとなっているのが大きな特長である。

Dual J-K は図 5.2 (b) に示すように、できるだけ素子数を抑えるため機能が最小になっている。すなわち入力は J、K 1 入力ずつでセット・リセットもリセット端子のみである。

8-Bit Shift Register は直列形のシフト・レジスタで、図 5.3 (b) のように 8 段のフリップ・フロップ、入力ゲート、クロック・ドライバからなっている。Dual J-K と 8-Bit Shift Register はいずれもパッケージあたりの機能を増して機能あたりのコスト・ダウンをはかったもので、1 チップ内の素子数はそれぞれ 80 個、160 個であるがチップ・コストも現在の製造技術で十分経済的である。

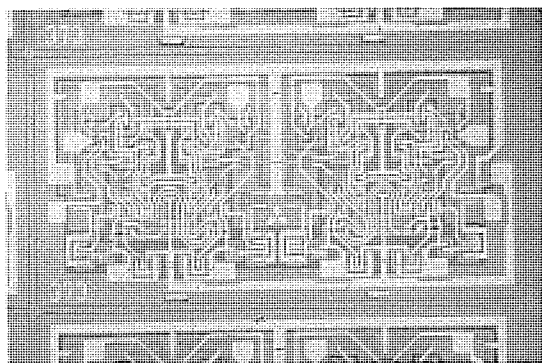


(a) パターン写真

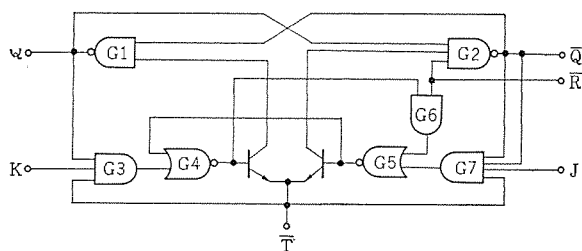


(b) 機能ブロック線図

図 5.1 M5375 P Single J-K flip flop

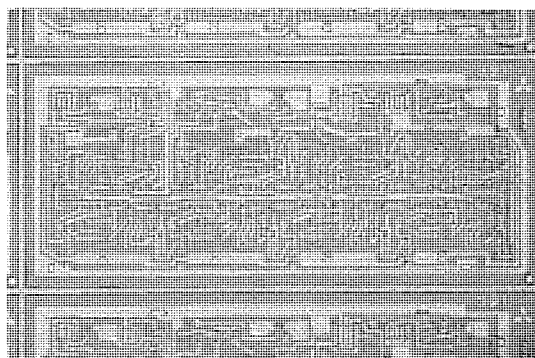


(a) パターン写真

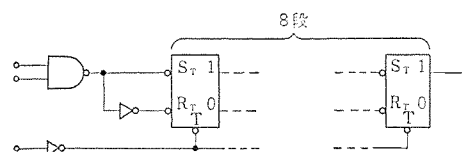


(b) 機能ブロック線図

図 5.2 M5373 P dual J-K flip flop



(a) パターン写真



(b) 機能ブロック線図

図 5.3 M5391 P 8-bit shift register

6. む す び

TTL のゲート回路は、入力にトランジスタを使ってターン・オフ特性をよくしており、出力トランジスタのベース駆動電流を増幅して比較的大きな部品公差でファン・アウトが十分にとれ、出力の電流源トランジスタで容量負荷によるターン・オフ時間の増加を押えているなど、スイッチング特性と負荷特性の面ですぐれた性能を持っている。これらの特性を集積回路で実現するうえで設計に関する問題につき計算例を示して説明し、実現された特性を示して確認した。

以上のような回路的な特長に加えて、マルチ・エミッタ構造をいかせば回路構成も比較的簡単になり、パターン設計においても機能密度をふやせるから、フリップ・フロップの3例に示したようにパッケージ当たりの機能を増して機能あたりのコストを下げることができる。

参 考 文 献

- (1) H. W. Ruegg and R. H. Beason : New Forms of All Transistor Logic, ISSCC, Feb., 1962.
- (2) 山本, 土屋 : 半導体集積回路 TTL, 三菱電機技報, 39, No. 10 (昭 40)
- (3) R. M. Warner and J. N. Fordenwalt : Integrated Circuits, McGraw-Hill, 1965, pp. 190.

リニヤ集積回路の設計技術

吉 富 正 夫*

Circuit Design Techniques of Linear Integrated Circuits

Kitaitami Works

Masao YOSHITOMI

Circuit design techniques of linear integrated circuits are relatively behind those of digital integrated circuits. Under the circumstances analysis of different amplifier and limiter circuits are made to bring the light to the subject. Parametric analysis of composite or cascade connected transistor are performed to obtain results which are readily applicable to computer aided design or linear integrated circuit.

Integrable circuits with a high input impedance are looked into to obtain examples. Several designing considerations and examples of audio power amplifiers are made available. Some characteristic examples of Mitsubishi linear integrated circuits are explained in closing the article.

1. ま え が き

リニヤ IC はデジタル IC に比べて IC の設計、応用、生産量、価格などの点でかなり遅れている。設計技術において、とくに、システム設計とデバイス設計の 2 点に遅れが目立つ。その理由はリニヤ回路の本質的なものに関係するが、前者においては、リニヤシステムの変更が直接、IC の設計に影響を及ぼして、しばしばリニヤ IC の変更まで必要となり、一方後者は、デジタル IC より狭い部品の許容公差、必要とされる IC 部品の多様性などがリニヤ IC の設計をむずかしくしているからである。しかし、いかに困難な点が多くても、デジタルとともに、リニヤ IC の今後の急速な発展は明らかである。IC 部品の持つすぐれた双対性、密な熱結合などはむしろリニヤ IC に有利な特性であり、設計にとり入れていかなければならない。

リニヤ IC の設計法はまだ確立されておらず、種々の方法が試みられている段階である。デジタル IC と基本的には同じであっても、リニヤ IC 独特の設計法が次第にできあがると思われる。

ここではリニヤ IC の回路設計の 2、3 の手法について述べ、若干の実施例にふれる。

2. リニヤ IC 回路設計技術

IC 設計とは、ある機能を実現するために最大の効果を上げうる能動、受動素子を最小の価格になるように選び組合せることである。IC と個別部品との比較は次のようなことでなされる。

- (a) 経済的な価値判断——IC においては能動素子はむしろ受動素子より安価である。トランジスタは抵抗や容量より簡単に作れる。
- (b) 利点——完全にそろった抵抗やトランジスタの対が得られる。
- (c) 制限——部品の公差が大きい。大容量のコンデンサや、インダクタンスができない。

良く設計された IC とはこれらの特質を最も効果的に利用した IC である。

2.1 差動増幅器

図 2.1 に基本回路構成を示す。回路は平衡動作を行なうので、IC のすぐれた双対性と、緊密な熱結合とによりすぐれた特性を示す。図 2.2 のトランジスタ等価回路を利用して図 2.3 の回路図が構成され次式が成立つ。

$$V_B = e_1 - R_{S1} I_{b1} \quad (2.1)$$

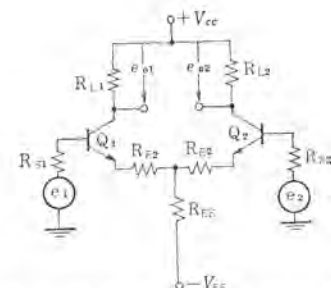


図 2.1 差動増幅器の基本構成
Fig. 2.1 Basic schematic of the differential amplifier.

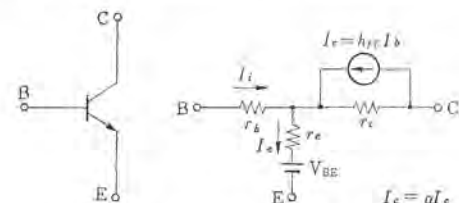


図 2.2 トランジスタ等価回路
Fig. 2.2 Transistor equivalent circuit.

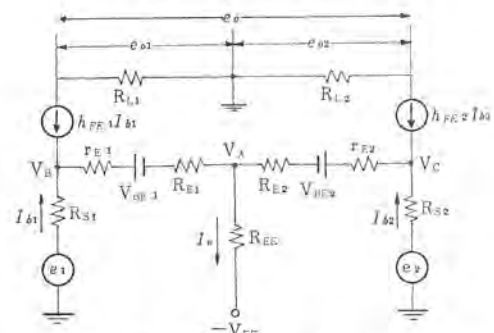


図 2.3 差動増幅器等価回路
Fig. 2.3 Equivalent circuit of differential amplifier circuit.

$$V_B = V_A + V_{BE1} + (h_{FE1} + 1)(r_{E1} + R_{E1})I_{b1} \quad (2.2)$$

$$V_C = e_2 - R_{S2} I_{b2} \quad (2.3)$$

$$V_C = V_A + (h_{FE2} + 1)(r_{E2} + R_{E2})I_{b2} \quad (2.4)$$

$$e_{01} = -R_{L1} h_{FE1} I_{b1} \quad (2.5)$$

$$e_{02} = -R_{L2} h_{FE2} I_{b2} \quad (2.6)$$

$$V_A = -V_{EE} + R_{EE} \{ (h_{FE1} + 1)I_{b1} + (h_{FE2} + 1)I_{b2} \} \quad (2.7)$$

これらの式をさらに次の条件の下に解いて出力電圧 e_0 を求める

$$\left. \begin{aligned} R_{S1} &= R_{S2} \equiv R_S, R_{L1} = R_{L2} \equiv R_L, R_{EE} \gg R_E + R_S, R_{E2}/2R_{EE} \ll 1 \\ R_E &= R_{E1} + R_{E2}, \Delta V_{BE} = V_{BE2} - V_{BE1}, h_{FE} + 1 \approx h_{FE} \\ r_{E1} + R_{E1}' &\equiv R_{E1} \end{aligned} \right\} \dots\dots\dots (2.8)$$

$$e_0 = e_{02} - e_{01} = \frac{-2R_L}{R_S \frac{h_{FE1} + h_{FE2}}{h_{FE1} \cdot h_{FE2}} + R_E} \left\{ -(e_1 - e_2) + \Delta V_{BE} + \frac{R_{E1}(e_2 - V_{BE2} + V_{EE}) - R_{E2}(e_1 - V_{BE1} + V_{EE})}{2R_{EE}} \right\} \dots\dots\dots (2.9)$$

$$\text{電圧利得 } G_V = \frac{e_0}{e_2 - e_1} = - \frac{2R_L}{R_S \frac{h_{FE1} + h_{FE2}}{h_{FE1} \cdot h_{FE2}} + R_E} \dots\dots\dots (2.10)$$

同相入力抑圧比 CMR は

$$C.M.R. = \frac{\Delta e_0}{e_i} \cdot \frac{1}{G_V} \bigg|_{e_2=e_1} = \frac{R_{E1} - R_{E2}}{2R_{EE}} + \frac{1}{e_i} \left\{ \Delta V_{BE} + \frac{V_{EE}(R_{E1} - R_{E2}) + R_{E2}V_{BE1} - R_{E1}V_{BE2}}{2R_{EE}} \right\} \dots\dots\dots (2.11)$$

入力に換算した誤差成分を表わす式(2.11)はICでは非常に小さい。すなわち、ICでは R_{EE} の代わりにトランジスタ定電流が用いられ、この場合交流的な R_{EE} は約100k Ω であり、式(2.11)の第1、第3項の R_{EE} の項は省略できる。さらにすぐれた双対性のために、両トランジスタの V_{BE} の差 ΔV_{BE} は普通1mV程度であるので、CMRは-40dB程度の値が得られる。また、差動増幅器を2段構成にすることによってこのCMRの値をさらに改善することができる。

さらにこの差動増幅器構成は良好な振幅制限動作を行なう。エミッタ電流 I_e とベースエミッタ電圧 V_{BE} の間に次式の関係が成立する。

$$I_e = I_S \left(\exp \frac{q}{KT} V_{BE} - 1 \right) \dots\dots\dots (2.12)$$

ここで I_S はトランジスタの飽和電流、 K はボルツマン定数、 q は電子の電荷、 T は絶対温度である。エミッタ電流 I_e が1nA以上では式(2.12)の第2項は省略できて次式の近似式が成立する。

$$I_e = I_S \exp \frac{q}{KT} V_{BE} \dots\dots\dots (2.13)$$

差動増幅器構成で $I_{S1} = I_{S2} \equiv I_S$, $\alpha_1 = \alpha_2 \equiv \alpha$, $T_1 = T_2 \equiv T$ の条件のもとに、各出力電流は

$$I_{C1} = \frac{\alpha I_0}{1 + \exp \frac{q}{KT} (V_{BE2} - V_{BE1})} \dots\dots\dots (2.14)$$

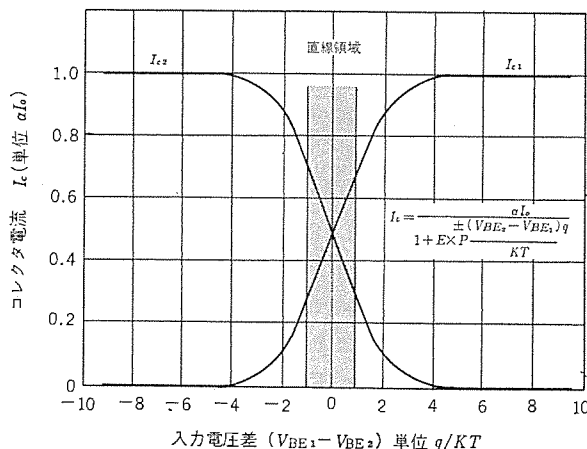


図 2.4 差動増幅器の伝達特性

Fig. 2.4 Transfer characteristics of differential amplifier circuit.

$$I_{C2} = \frac{\alpha I_0}{1 + \exp \frac{q}{KT} (V_{BE1} - V_{BE2})} \dots\dots\dots (2.15)$$

$$\text{ここで } I_0 = I_{C1} + I_{C2} \dots\dots\dots (2.16)$$

式(2.14)および(2.15)を図2.4に示す。

狭い直線領域を越えると、各出力電流は完全にしゃ断または導通状態に保たれる。すなわち、直線増幅範囲を越えた入力に対して、出力は完全に振幅制限動作を行なう。

2.2 パラメータによる解析

従来ICの特性を外部から規定するのに、ブラックボックスとしてパラメータによって規定することが行なわれてきた。IC内部の設計においてもパラメータ解析の手法を用いて、設計を簡略化し、また数学的な取り扱いを容易にする場合がある。

2.2.1 複合接続トランジスタ

ICにおいてはトランジスタが容易に得られる。トランジスタを複合接続することによってさらに特性を向上させることができる。さらにこの複合トランジスタをパラメータによって合成し、合成されたパラメータによって単体トランジスタとして規定すると解析が容易になるばかりでなく、定性的な意味が明らかになる。表2.1に次の3種類の複合トランジスタの合成パラメータを示す。

- (a) ダーリントン接続トランジスタ
- (b) コレクタ接地—エミッタ接地接続トランジスタ
- (c) PNP—NPN複合接続トランジスタ

いずれの接続も電流増幅率が增大している。また(a)および(b)は入力インピーダンスが大きい。(b)は(a)よりも逆帰還成分 h_{12} が小さく安定であることがわかる。

2.2.2 カスケード接続

2本のトランジスタをカスケード接続し、それを1本のトランジスタとしてとりあつかうと、順方向利得に対して逆帰還量を著しく減少する

表 2.1 複合接続トランジスタhパラメータ
Table 2.2 Comparison among audio power amplifiers.

$h_{ie0} = \frac{v_{i1}}{i_{i1=0}}$	$\frac{h_{ie1} + (1-h_{re1})(1+h_{re2})}{\Delta} \cdot h_{ie2}$ $\approx h_{ie1} + h_{ie1} h_{ie2}$	$\frac{h_{ie1} + (1+h_{re1})(1+h_{ie2})}{\Delta} \cdot h_{ie2}$ $\approx h_{ie1} + h_{ie1} \cdot h_{ie2}$	$\frac{h_{ie1} + h_{ie1}' \cdot h_{ie2}'}{\Delta} \cdot h_{ie2}$ $\approx h_{ie1}'$
$h_{re0} = \frac{v_{i1}}{v_{o2=0}}$	$\frac{h_{re1} + h_{re2} (1-h_{re1}) + h_{ie1}' \cdot h_{ie2}'}{\Delta}$ $\approx h_{re1}' + h_{re2}'$	$\frac{h_{re1} (1+h_{ie2})}{\Delta}$ $\approx h_{re1}'$	$\frac{h_{re1} (1-h_{re2}')}{\Delta}$ $\approx h_{re1}'$
$h_{fe0} = \frac{i_{i2}}{i_{i1=0}}$	$\frac{h_{fe1} (1+h_{ie2}) + h_{ie1} \cdot h_{ie2}'}{\Delta}$ $\approx h_{fe1}' \cdot h_{fe2}'$	$\frac{h_{fe1} (1+h_{ie2})}{\Delta}$ $\approx h_{fe1}' \cdot h_{fe2}$	$\frac{h_{fe1} (1+h_{ie2}')}{\Delta}$ $\approx h_{fe1}' \cdot h_{fe2}'$
$h_{oe0} = \frac{i_{i2}}{v_{o2=0}}$	$\frac{h_{oe1} + h_{oe2} (1+h_{re1}) (1+h_{ie2})}{\Delta}$ $\approx h_{oe1}' + h_{oe2}' \cdot h_{ie2}'$	$\frac{h_{oe1} - h_{ie1}' \cdot h_{re2} \cdot h_{ie2}'}{\Delta}$ $\approx h_{oe1}'$	$\frac{h_{oe1} (1+h_{ie2}') + (1+h_{ie1}') (1-h_{re2}') h_{ie2}'}{\Delta}$ $\approx h_{oe1}' + h_{ie1}' h_{ie2}'$

$\Delta = 1 + h_{ie1}' \cdot h_{oe2}'$ 近似条件 $h_{ie2} \gg 1, h_{ie1}' \cdot h_{oe2}' \approx 0, (1-h_{re2}) \approx 1$

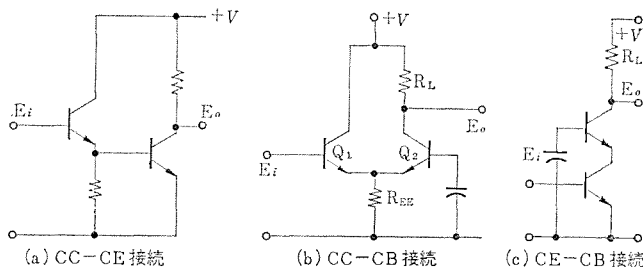


図 2.5 カスケード接続の回路図

Fig. 2.5 Circuit schematics of cascade configuration.

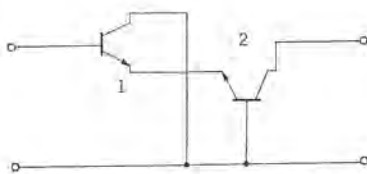


図 2.6 CC-CB カスケード接続近似交流回路
Fig. 2.6 Simplified AC model of CC-CB cascade amplifier.

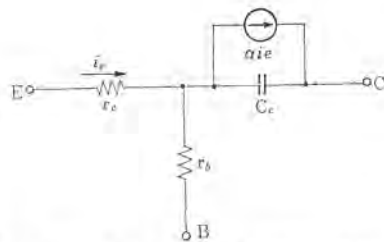


図 2.7 トランジスタの高周波近似等価回路
Fig. 2.7 Simplified high frequency equivalent circuit of transistors.

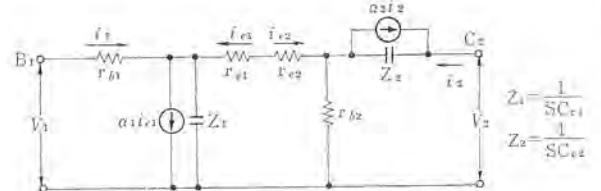


図 2.8 CC-CB カスケード増幅器の等価回路
Fig. 2.8 Equivalent circuit of CC-CB cascode amplifier.

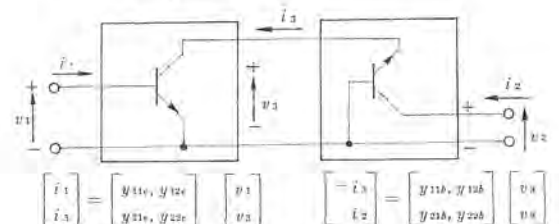


図 2.9 CE-CB カスケード接続近似交流回路
Fig. 2.9 Simplified AC model of CE-CB cascade connection.

ことができるので安定な動作が得られる。IF 増幅器に使用すると中和なしでも多段接続が可能となる。

図 2.5 にカスケード接続の例を示す。(a) はコレクタ接地—エミッタ接地接続, (b) はコレクタ接地—ベース接地接続, (c) はエミッタ接地—ベース接地接続である。(a) については 2.2.1 項 (b) 項で説明したのでここでは省略する。高周波でのパラメータ測定および解析方法は \$h\$ パラメータよりも \$y\$ パラメータで行なうほうが精度の良い測定結果と簡単な解析ができるので \$y\$ パラメータを用いる。なお \$y\$ パラメータによる合成パラメータを導くのに (b) に対しては等価回路から, (c) はパラメータの縦続接続で求めた。

(1) コレクタ接地—ベース接地接続

図 2.5 (b) において両トランジスタのエミッタ結合点のインピーダンスは低く, ほぼ \$Q_1\$ のコレクタ接地出力インピーダンスおよび \$Q_2\$ のベース接地入力インピーダンスによって規定されるので, 解析にあたって \$R_{BE}\$ は省略することができ交流的な接続図, 図 2.6 が得られる。図 2.7 のトランジスタ近似等価回路を用いて図 2.8 の等価回路が導かれる。

図 2.8 で初段のコレクタ容量を省略し, 出力 \$C_c\$ を短絡して合成した \$y_{11}\$ および \$y_{21}\$ を求めると,

$$y_{11} = \frac{i_1}{v_1} \bigg|_{v_2=0} = \frac{1}{r_{b1} + \frac{(r_{e1} + r_{e2}) + (1 - \alpha_2)r_{b2}}{1 - \alpha_1}} \quad (2.17)$$

$$y_{21} = \frac{i_2}{v_1} \bigg|_{v_2=0} = \frac{1}{\frac{1 - \alpha_1}{\alpha_2} r_{b1} + \frac{r_{e1} + r_{e2}}{\alpha_2} + \frac{1 - \alpha_2}{\alpha_2} r_{b2}} \quad (2.18)$$

入力を短絡して同様に, \$y_{12}\$, \$y_{22}\$ が得られる。

$$y_{12} = \frac{i_1}{v_2} \bigg|_{v_1=0} = \frac{r_{b2}(1 - \alpha_1)}{\{(1 - \alpha_2)r_{b2} + (1 - \alpha_1)r_{b1} + (r_{e1} + r_{e2})\}Z_2 + (r_{e1} + r_{e2})r_{b2} + (1 - \alpha_1)r_{b1}r_{b2}} \quad (2.19)$$

$$y_{22} = \frac{i_2}{v_2} \bigg|_{v_1=0} = \frac{r_{e1} + r_{e2} + r_{b2} + (1 - \alpha_1)r_{b1}}{\{(1 - \alpha_2)r_{b2} + (1 - \alpha_1)r_{b1} + (r_{e1} + r_{e2})\}Z_2 + (r_{e1} + r_{e2})r_{b2} + (1 - \alpha_1)r_{b1}r_{b2}} \quad (2.20)$$

この接続は差動増幅器接続であるので, 両トランジスタの特性は良くそろふ。したがって次の近似条件が成立つ。

$$r_{b1} = r_{b2} \equiv r_b', \quad \alpha_1 = \alpha_2 \equiv \alpha, \quad r_{e1} = r_{e2} \equiv r_e \quad (2.21)$$

このとき式 (2.17) から (2.20) は次式のように簡単化される。

$$y_{11} = \frac{1}{2\left\{r_b' + \frac{2r_e}{1 - \alpha}\right\}} \approx \frac{1}{2} y_{11e} \quad (2.22)$$

$$y_{12} = \frac{r_b'(1 - \alpha)}{2\{(1 - \alpha)r_b' + r_e\}Z_2 + 2r_e r_b' + (1 - \alpha)r_b'^2} \approx -\frac{r_b'sC_c(1 - \alpha)}{2r_e(1 + r_b'sC_c)} \approx \left(\frac{1 - \alpha}{2} \cdot \frac{r_b'}{r_e}\right) \times y_{12e} \quad (2.23)$$

$$y_{21} = \frac{\alpha}{2\{(1 - \alpha)r_b' + r_e\}} \approx \frac{1}{2} y_{21e}$$

$$y_{22} = \frac{2r_e + 2r_b' - \alpha r_b'}{2\{(1 - \alpha)r_b' + r_e\}Z_2 + 2r_e r_b' + (1 - \alpha)r_b'^2} \approx \frac{2r_e + r_b'}{2r_e} \cdot SC_c \approx \frac{2r_e + r_b'}{2(r_e + r_b')} \cdot y_{22e} \quad (2.24)$$

この結果入力アドミタンスおよび伝達アドミタンスはエミッタ接地の約 \$\frac{1}{2}\$ であるが, 帰還アドミタンスは著しく減少している。このため, 安定性がエミッタ接地に比較して非常に良いことがわかる。

(2) エミッタ接地—ベース接地接続

図 2.5 (c) の交流接続図を図 2.9 に示す。この場合には次式が成立する。

$$i_1 = y_{11e}v_1 + y_{12e}v_2 \quad (2.25)$$

$$i_2 = y_{21e}v_1 + y_{22e}v_2 \quad (2.26)$$

$$-i_3 = y_{11b}v_3 + y_{12b}v_2 \quad (2.27)$$

$$i_2 = y_{21b}v_3 + y_{22b}v_2 \quad (2.28)$$

これら 4 式から \$i_3\$, \$v_3\$ を消去して合成 \$y\$ パラメータを用いると

$$y_{11} = \frac{y_{11e}(y_{22e} + y_{11b}) - y_{21e} \cdot y_{12e}}{y_{22e} + y_{11b}} \approx y_{11e} \quad (2.29)$$

$$y_{12} = -\frac{y_{12e} \cdot y_{11b}}{y_{22e} + y_{11b}} \quad (2.30)$$

$$y_{21} = -\frac{y_{21e} \cdot y_{11b}}{y_{22e} + y_{11b}} \approx -y_{21e} \quad (2.31)$$

$$y_{22} = \frac{y_{22e}(y_{22e} + y_{11b}) - y_{12e} \cdot y_{21b}}{y_{22e} + y_{11b}} \approx y_{22e} \quad (2.32)$$

すなわちこの接続は, 入力アドミタンスおよび伝達アドミタンスはエミッタ接地のアドミタンスとほぼ同じであるが, 帰還アドミタンスは非常に小さく安定性がすぐれている。なお出力アドミタンスは, ベース接地の出力アドミタンスとほぼ同じである。

2.3 高入力インピーダンス回路

リニヤ回路においてしばしば高入力インピーダンス回路が必要な場合がある。高入力インピーダンス回路を IC 化する場合, 従来トランジスタ技術で行なわれている。高い \$h_{fe}\$ のトランジスタを選別して使用したり, バイアス電流を極端に小さくする方法は, IC には用いることが

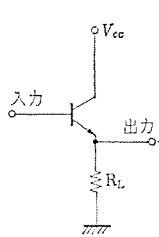


図 2.10 コレクタ接地回路
Fig. 2.10 Common collector circuit schematic.

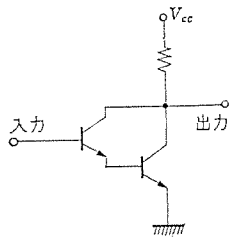


図 2.11 ダーリントン接続回路
Fig. 2.11 Darlington configuration.

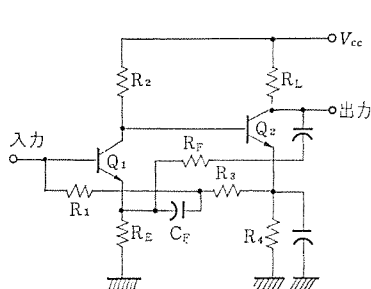


図 2.12 2段エミッタ接地増幅器
Fig. 2.12 Two stage common emitter amplifier.

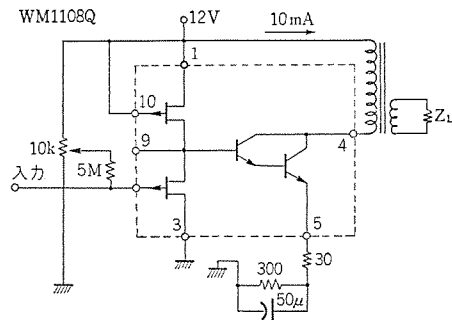


図 2.13 ユニバイ増幅器
Fig. 2.13 Unibi amplifier.

できない。なぜならば、IC トランジスタは h_{fe} が一般に低く、しかも選別がきかない。また小バイアス電流を実現するのに必要な高抵抗は IC では高価になるからである。次に述べる四つの方法は、IC においても用いることができる高入力インピーダンス回路であり、むしろ IC 化のほうが適しているものもある。

2.3.1 コレクタ接地回路

図 2.10 に基本回路を示す。入力インピーダンスは次式で与えられる。

$$R_{IN} = h_{ie} + h_{fe} R_L \quad (2.33)$$

2.3.2 ダーリントン接続トランジスタ

図 2.11 に示す回路により、表 2.2 のように入力インピーダンスを両トランジスタの積に上げることができる。IC ではコレクタ共通のトランジスタは非常に容易に得られるばかりか、トランジスタの電流容量に応じて自由にトランジスタの大きさを変化することができる。またインピーダンスの必要に応じて何段も積重ねることが可能であるので IC に適している。

2.3.3 帰還による高入力インピーダンス回路

図 2.12 に一例を示す。この回路では、 Q_1 のエミッタが Q_2 から R_F を通してかけられた帰還により入力と同相で持ち上げられ、さらに Q_1 のベースは C_F を通して Q_1 のエミッタと同電位にされるため入力インピーダンスは高くなる。実例では数 MΩ が得られている。 Q_2 が定電流駆動されているとすると ($R_3 \gg h_{ie2}$) 入力インピーダンスは次式で与えられる。

$$R_{IN} = R_{IN0} \times \frac{R_F + h_{fe2} R_L}{R_F + R_E + R_L} \quad (2.34)$$

表 2.2 音声出力回路の比較

	トランス 入力 出力		PNP トランジスタ	IC チップサイズ	出力電圧 V_o (Vpp)	トランジスタ Ic peak	トランジスタ BVce	出力インピー ダンス	無信号時電流	備 考
入力、出力トランス方式	○	○	—	小	2Vcc	小	2Vcc	中	小	回路が簡単 使用範囲が広い 無信号電流小
出力トランス方式	×	○	—	中	2Vcc	小	2Vcc	中	中	回路がやや不安定
入力トランス方式 (OTL)	○	×	—	大	Vcc	大	Vcc	高	大	パワートランジスタ面積大 出力インピーダンスを下げるため NF が 必要
フェーズ、スプリット方式	×	×	—	大	Vcc	大	Vcc	中	中	二つの出力トランジスタは C・C、C・E として動作するので、負荷は設計値に固 定される
CC コンプリメンタリ OTL 方式	×	×	1	大	Vcc	大	Vcc	低	大	エミッタフォロウによるオフセット 電圧のため出力振幅小 パワートランジスタ面積大 ひずみ小
CE コンプリメンタリ OTL 方式	×	×	2	大	Vcc	大	Vcc	高	大	h_{fe} の差による、波形の上下アンバラン スをなくし、出力インピーダンスを下 げるため NF 必要
バ ラ ン ス 方 式 (OTL)	×	×	—	大	2Vcc	小	Vcc	低	大	負荷は直結で、アースから浮く 出力トランジスタ 4 個必要 ドライブ回路複雑

ここで $R_{IN0} = h_{fe1} \times R_E$ (開回路入力 インピーダンス) …… (2.35)

2.3.4 FET を用いた高入力インピーダンス回路

図 2.13 に ウェスチングハウス社のリニア IC、WM 1108 Q ユニバイ増幅器を示す。FET を増幅および負荷抵抗に利用し、ダーリントン接続トランジスタでさらに増幅している。 R_{IN} 10 MΩ と、gm 20,000 μV が得られる。

2.4 音声出力 IC

音声出力回路は広い応用範囲のため IC にとって魅力ある分野である。ドライバ段およびパワー段を IC 化することにより、熱結合が密となり、温度補償は完全に行なわれる特長が生じる。設計において最も重要なことは、要求される性能をいかにして最小の価格の IC で実現できるかを検討し、決定することである。電力 IC において価格を決定している要因は第 1 にチップサイズであり、これはおもにパワートランジスタの電流容量によって決定される。第 2 に耐圧(電源電圧)や飽和抵抗の大きさ、第 3 に部品の許容公差に対する回路の安定性などである。また IC 化設計において、IC の内部のみならず外部接続部品や使用される状態(たとえば AC ラインまたは電池かなどの検討)も併わせて考慮しなければならない。

図 2.14 および表 2.2 に IC 化の可能性のある基本回路構成図およびそれらの比較を行なった。ただし IC 化のため容量結合および熱が 1 パッケージに集中するので、効率の悪い A 級増幅器は省略した。いずれの回路構成が IC に適するかは電源電圧、出力電力、無信号電流、使用方法などによって決定しなければならない。

図 2.15 に入力および出力トランスを用いた回路を示す。これは電力用 IC として当社が開発中のもので、出力 1 W ($V_{cc} = 7.5$ V

Table 2.2 Comparison among audio power amplifiers.

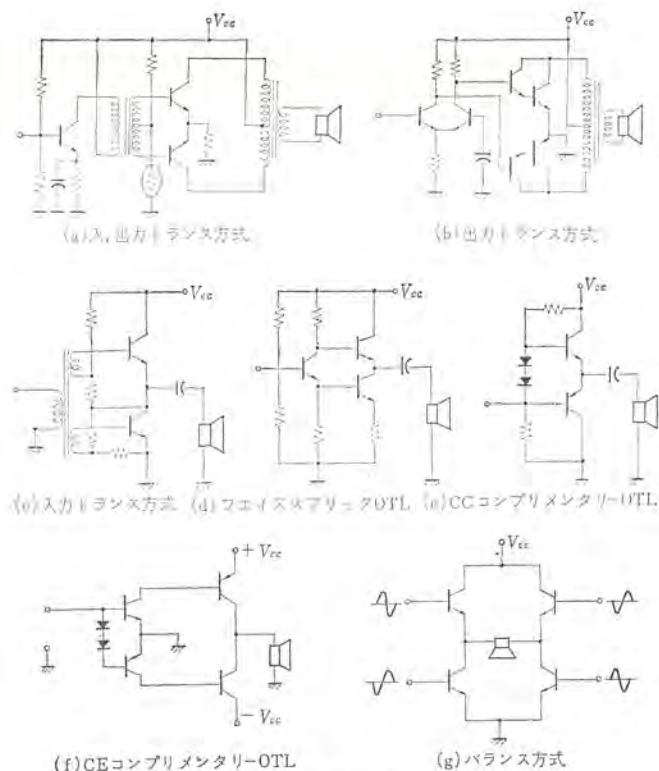


図 2.14 音声出力増幅器回路構成
Fig. 2.14 Circuit schematics of audio power amplifier.

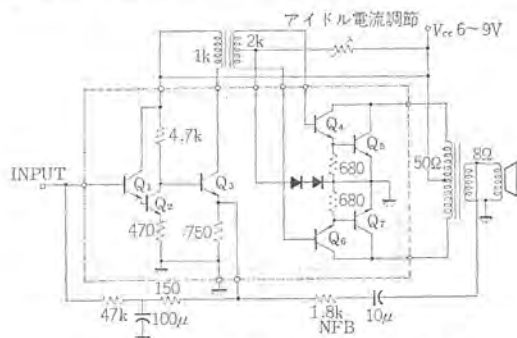


図 2.15 1W 音声電力増幅器
Fig. 2.15 One Watt audio power amplifier.

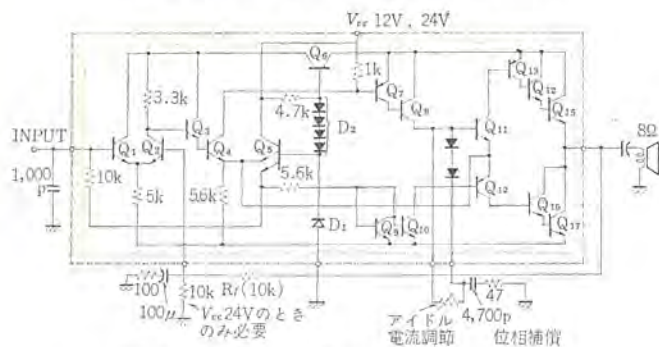


図 2.16 1W OTL 音声出力増幅器
Fig. 2.16 One Watt OTL audio power amplifier.

$K=10\%$), 電圧利得 40 dB (NFB 10 dB), 入力インピーダンス 40 k Ω , 無信号時電流 15 mA 以下, 効率 50%, 電源電圧 6~9 V で動作する。

図 2.16 は当社が IC 化を計画中の OTL 回路である。エミッタ接地コンプリメンタリー OTL 回路方式であり、 Q_7, Q_8 により Q_{11}, Q_{12} の B 級増幅段を定電流源駆動しクロスオーバーひずみを除いている。プリアンプは差動増幅段で IC による高性能化を得ている。また定電圧電源に

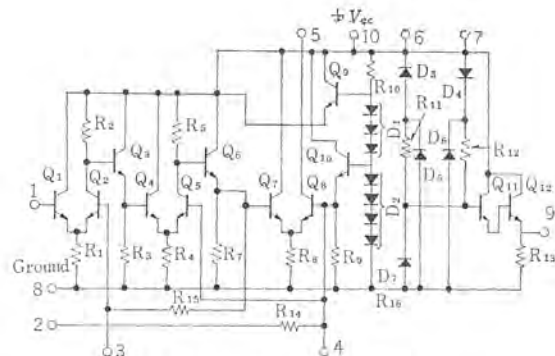


図 3.1 M5113 T 回路図
Fig. 3.1 Circuit schematic of M5113 T.

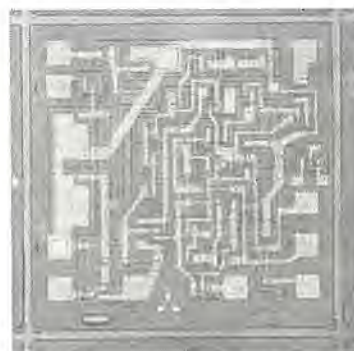


図 3.2 M5113 T 拡大図
Fig. 3.2 M5113 T die photograph.

より安定化されているので電源電圧変動による影響はない。また、 Q_7, Q_{12}, Q_{13} の PNP トランジスタは横方向 PNP が使用できるように設計されている。電源電圧は 12 V と 24 V に切換えられる。

出力 1 W ($V_{cc}=12$ V, $R_L=8 \Omega$), 電圧利得 40 dB (閉回路) および 76 dB (開回路), 入力インピーダンス 10 k Ω が得られる。

3. リニヤ IC 実例

図 3.1 に当社のテレビ用音声 IF 増幅器、弁別器 M5113 T の回路図を示す。増幅部分は差動増幅器構成を用いて IC による動作点の安定をうると同時にすぐれた振幅制限動作、カスケード接続による安定な増幅特性が実現できる。おもな特性は、電圧利得 70 dB, 入力インピーダンス 3 k Ω , 7 pF, AM 抑圧比 50 dB, ブロック電源電流 16 mA, 電源電圧 6~10 V, である。図 3.2 にチップの拡大写真を示す。

4. む す び

この論文ではリニヤ IC の回路設計において有効な手法のいくつかの例について述べたが、IC 設計においては回路設計のみならずさらに、システム解析、デバイス設計が密接に結びついていることがとくに要求される。今後これらの技術は一つのまとめられた技術となる方向に向うことはまちがいない。そしておのずからその中には計算機が導入されるが、ここに述べたパラメータの手法はその点で好都合な方法だと思われる。最後に実際の設計にあたってご協力いただいた方々に厚く感謝します。(昭 42-6-1 受付)

参 考 文 献

- (1) G. Harnden: h-Parameter Analysis of Darlington Amplifiers, p. 145~155 10, No. 1 EDN (1965)
- (2) Integrated circuits Engineering Section 12.
- (3) RCA linear integrated circuit fundamentals (RCA Technical Series IC-40 1966)

集積回路の拡散工程と拡散不純物源

青木 信夫*・天野 正勝*・嶋田 義行*

Diffusion Process and Diffusion Impurities for Integrated Circuits

Kitaitami Works

Nobuo AOKI・Masakatsu AMANO・Yoshiyuki SHIMADA

Diffusion principles in the diffusion technology used for the production of integrated circuits are to be explained with the impurity distribution, segregation phenomena and selectivity taken up as the centre of discussion. In the collector diffusion are used As atoms; in the base diffusion and isolation diffusion B atoms; and in the emitter diffusion As atoms. The reasons are to be explained from the viewpoint of uses. Various kinds of chemical compound of impurities containing various atoms have respectively merits and demerits.

1. ま え が き

半導体集積回路の製作においては、シリコン単結晶ちゅうに不純物原子を導入して所定の伝導形と抵抗率をささえる拡散技術が、素子の電気的特性を決定する主要な因子をなしている。拡散は粒子のブラウン運動から生ずる物理現象で、微視的には粒子が濃度こう配にしたがって広がっていく現象をいい、固体ちゅうへの拡散理論は相当古くから知られていた。拡散理論が半導体工業に最も巧みに取り入れられたのは、メサトランジスタの行き詰まりによるドリフトトランジスタの開発が最初であった。その後選択拡散の原理を応用したプレーナ形の各種のトランジスタが開発され、続いて集積回路の製作へと発展していった。

その間に写真製板、エピタキシャル技術の向上とともに、拡散技術自体も発展し、拡散技術の主要なパラメータの拡散不純物源は固体から液体さらに気体不純物へと変わりつつある。これらの不純物源は各用途に応じて一長一短があるので、これらのうち固体と液体不純物源を中心に比較して、集積回路製作の場合に最も適した不純物源を量産性・再現性を中心として実際に量産する立場からのべる。

2. 拡散の原理

拡散技術は集積回路だけではなくトランジスタ単体などの半導体素子の製造に应用されているが、とくに集積回路の製造には拡散原理を実に巧みに利用して精度のよい拡散をおこなっている。これらの拡散原理はFickの法則に基づいて一次元モデルの拡散方程式を所要の境界条件下で解くことによって表面濃度 (N_s) と接合深さ (x_j) の関係が得られる。シリコンちゅうに表面の不純物原子がはいり込む状態は直感的な表現をすれば、一つは表面に無限大の不純物原子が存在し、一定温度 (T) で加熱すると時間 (t) の経過に伴って不純物分布の表面濃度は減少せずに、外部より供給された原子がシリコン内部へ奥深くはいっていき全不純物量が増加し、伝導率および接合深さが大きくなるような変化をする。他の一つは表面には一定量の不純物が存在し、時間の経過につれ、表面および内部不純物原子がさらに奥深く浸入し、外部より不純物原子が供給されないために表面濃度が減少するが、接合深さは大きくなり全不純物量は一定である。前者を誤差関数 (erf) と称し、後者をガウス関数という。それぞれの形状を図 2.1 および図 2.2 に示す。図において D は不純物原子のその温度における拡散定数である。集積回路を製造する場合に

なうので、シリコンちゅうに不純物原子の固溶度にに応じて溶けこむのと同様に、酸化膜ちゅうにも溶けこむ。これを偏析現象といい偏析係数 k は、

$$k = \frac{n_{OX}}{n_{SI}} = e^{-\frac{\mu_{OX} - \mu_{SI}}{RT}} \dots\dots\dots (2.1)$$

で与えられる。 n_{OX} , n_{SI} は SiO_2 -Si 界面の不純物原子の数で、 R はボルツマン定数、 T は加熱温度、 μ_{OX} , μ_{SI} はおのこの化学ポテンシャルである。さらに酸化膜の成長は 0 原子が酸化膜ちゅうを通りぬけて

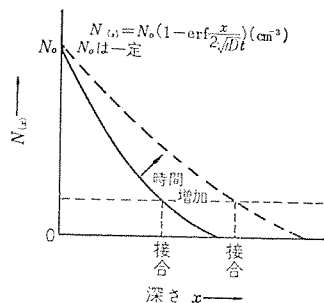


図 2.1 誤差関数分布 (表面濃度一定条件)

Fig. 2.1 Erfc distribution.

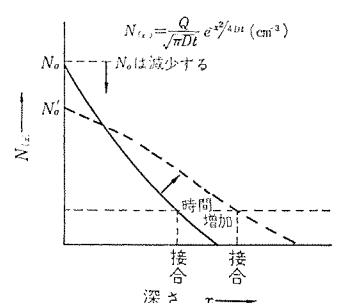


図 2.2 ガウス分布 (表面量一定条件)

Fig. 2.2 Gaussian distribution.

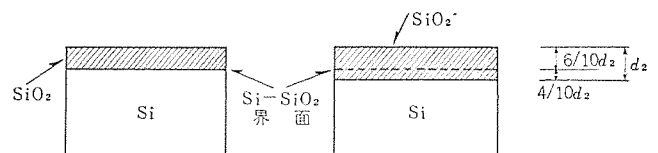


図 2.3 Si-SiO₂ 界面の移動

Fig. 2.3 Si-SiO₂ interface.

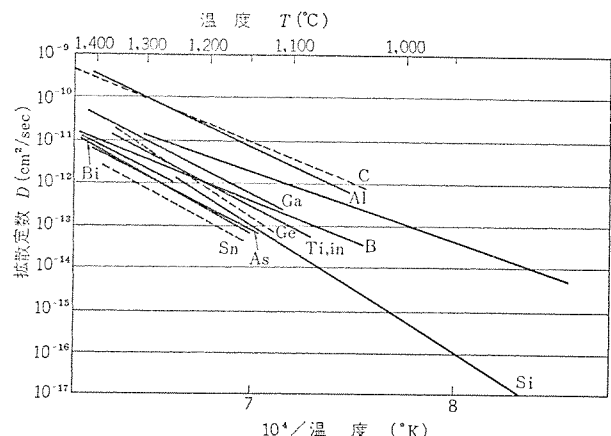


図 2.4 不純物拡散定数

Fig. 2.4 Diffusion constant of impurities.

表 2.1 Si および SiO₂ ちゅうへの拡散定数 ($\mu/\sqrt{nr}$)
Table. 2.1 Diffusion constants of impurities into Si and SiO₂.

原子伝導型	Si ちゅうの $\sqrt{D}$	SiO ₂ への $\sqrt{D}$
P (n)	1.3	0.15
B (P)	1.0	0.01
Ga (P)	1.2	12
Sb (n)	0.35	0.15
As (n)	0.25	(P と同程度以下)
Ac		

シリコン表面で $\text{Si} + \text{O}_2 = \text{SiO}_2$ の反応をおこない、Si-SiO₂ の界面が移動するから移動座標を用いなければならないので、数値解析はかなりやっかいであり、厳密には前述の二つのどちらとも一致しない。界面の移動を図 2.3 に示す。選択拡散とはシリコン ちゅうと酸化膜 ちゅうの拡散定数が異なり、ある不純物原子では SiO₂ ちゅうでの拡散定数が極端に小さくなるので、所定の拡散時間では SiO₂ にさえぎられて Si 表面に到達しないが、一方 SiO₂ が存在しない場所では Si ちゅうに拡散し、局所的に拡散することをいう。各不純物原子の拡散定数を図 2.4 および表 2.1 に示す。これらの原理を用いて拡散がおこなわれるが、拡散の用途および不純物源などにより採用される拡散装置・方法に若干の差があるのでつぎにそれを説明する。

3. 集積回路製造における拡散工程

集積回路の製造はトランジスタ、ダイオードなどの単体素子の製造に比

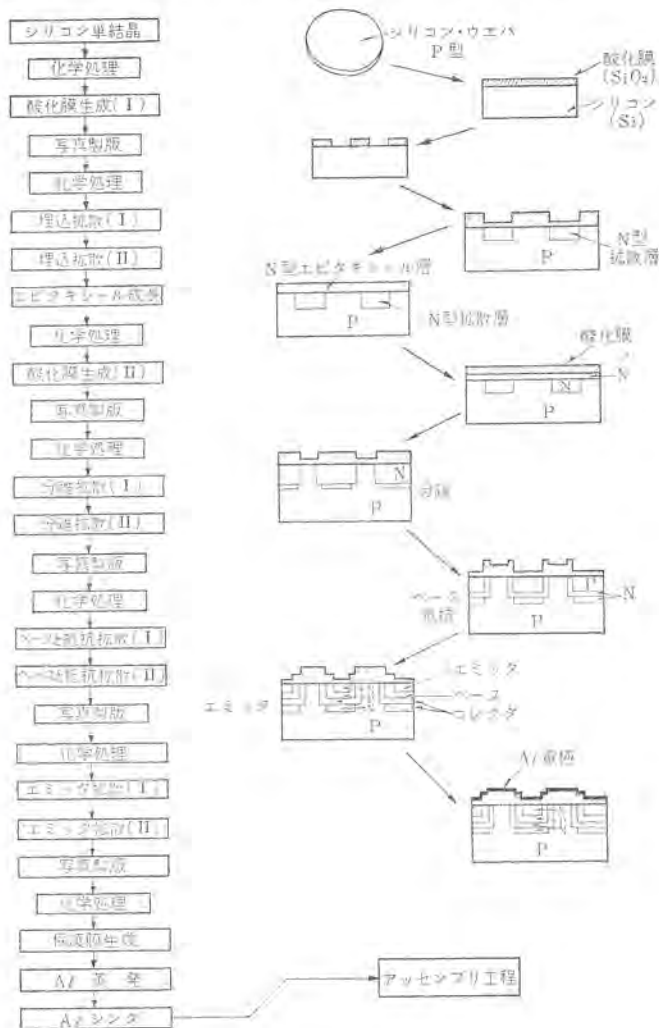


図 3.1 集積回路の製造工程
Fig. 3.1 Flow charts of processes.

較すれば、工程数は細かく分類すると百数十工程におよぶほど多くて、これに要する装置・時間・人員などもけたはずれに大規模である。また機種に応じて製造工程のパラメータ組合わせ方法や工程のパラメータも変わるので、その代表例として TTL 回路のウエハ製造工程の概略を図 3.1 に示す。これらの工程のうち、拡散工程においてとくに注意すべきことを列挙する。

3.1 コレクタ拡散 (埋込み拡散)

コレクタ領域はトランジスタの高周波特性の改善、飽和電圧の低下、寄生 PNP の h_{fe} の減少などの面からできるだけ低抵抗率のものが好ましい。一方集積回路中の NPN トランジスタの h_{fe} を大きくし、寄生容量を減少するためには高抵抗率領域が必要であるが、この両者は相反関係にあるので、低抵抗率の N⁺ 層を基板に埋込み拡散しておきそのうえに 0.5Ω-cm のエピタキシャル層を成長させて相反する条件を同時に満足させる方法をとる。エピタキシャル成長は高温で加熱するので、N⁺ 層が基板内部に拡散して初期の目的の N⁺ 層の濃度を減少させない拡散定数の小さい、しかもエピタキシャルの異常成長の原因となる転位を生じないようにシリコンと原子半径ができるだけ等しい不純物源を使用するのが望ましい。またこの不純物源はシリコン ちゅうの固溶度が十分大きい必要がある。これらの関係を図 2.4 と図 3.2 に示す。すべての条件を満足するものは As 原子だけである。

3.2 分離拡散

集積回路のみに使用される分離拡散は N 型エピタキシャル層 5~20 μ に局所的に P 型不純物を拡散して PN 接合をつくり、その PN 接合は常に逆バイアスがかかるようにして直流的に島と島を分離する。場合によっては絶縁物分離もおこなわれるが量産性に問題があるので除外すれば、PN 接合分離の不純物源として Al, Ga の不純物原子が考えられるが表 2.1 に示すように酸化膜 ちゅうの拡散定数が大きいために採用できないが、B は小さいので良好な選択拡散ができる。とくに分離拡散は表面濃度が大きくないと分離できないので、高濃度になる固溶度の高い不純物源が必要で、B は 5×10^{20} atom/cc であるから使用可能である。分離拡散で注意すべきことは縦方向と同時に横方向にも拡散するので、分離拡散前におこなったコレクタの N⁺ 層および後のコレクタの電極用の N⁺ 領域と、分離の P 層とが接触して分離耐圧が低下しないように、マスク図面では十分距離の余裕をとっておく必要がある。分離拡散時に接触していなくても、続いてベース、エミッタ拡散などの熱処理が加わるし、写真製版のマスク合せの精度も考慮に入れなければならない。

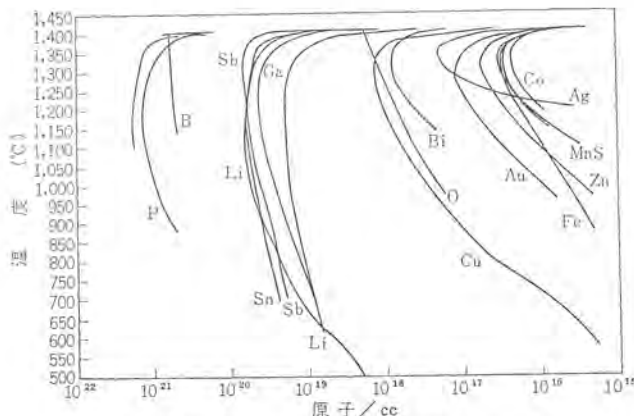


図 3.2 Si ちゅうの不純物の固溶度
Fig. 3.2 Solubility of impurities in silicon.

3.3 ベース拡散

ベース拡散は集積回路の抵抗およびトランジスタのベース領域を形成する重要な工程で、しかも技術的にも最も困難な工程である。分離拡散の項でのべたように集積回路に使用できる不純物原子はBだけであるためベース拡散にもBを使用する。しかしベース拡散は分離拡散ほど高濃度を必要とせず 5×10^{18} atom/cc 近辺である。ベース拡散のばらつきは集積回路の電気的特性に大きな影響を及ぼすので、ベース拡散と写真製版の両者のばらつきを加えて $\pm 20\%$ 以下の精度を要求されるから、拡散のみによるばらつきは $\pm 10\%$ 以下に保つように仕様をきめておかねばならない。

3.4 エミッタ拡散

エミッタ拡散ではエミッタ領域とコレクタ領域の N^+ 層を同時に拡散する。トランジスタの h_{fe} に影響するエミッタ注入効率を十分大きくするために高濃度拡散をし、既成の拡散領域がエミッタ拡散の熱処理により移動しないよう、しかも h_{fe} の伝達効率に影響するベース幅を精度よくコントロールできるようにベース不純物原子のBと同程度の拡散定数を有し、さらに酸化膜に対して良好な選択性を有する不純物原子であることを必要とする。オーミックコンタクトはN形領域にはN形金属、P形領域にはP形金属を用いるのが最適であるが集積回路の内部配線に2種の金属を用いるのは実際上不可能である。したがって一般にAlを真空ちゅうで蒸着し写真製版による配線がおこなわれるが、図3.3に示すようにNPNトランジスタのコレクタおよびエミッタ領域にP形のAlが接触する。Alはシリコンの濃度が 10^{20} atom/cc なら良好なオーミックコンタクトになり、 10^{19} atom/cc 以下なら整流性を示すのでコレクタ領域には N^+ 層をオーミックコンタクトのために拡散する。以上のように固溶度の大きいPを拡散不純物源として使用するのが最適であろう。

このように拡散定数・固溶度・選択性の面からコレクタ拡散にはAs、分離およびベース拡散にはB、エミッタ拡散にはPの各不純物原子を使用するのが最適であることが推定できたが、果して拡散に使用できるそれらの不純物原子を含む化合物が存在するかどうかの問題である。不純物源原子の化合物には普通固体、液体および気体化合物が存在するが、おのおのは固有の蒸気圧を示し固体は低温での蒸気圧が低いので拡散炉ちゅうで加熱し、液体は室温近辺でコントロールするが、気体化合物はもちろん固体・液体化合物も一度蒸発させ、気相にしてから各不純物原子を酸化物とし、固相のシリコンちゅうへ拡散する同一のメカニズムを利用しているので、でき上がった素子の電気的特性はほとんど同一であるが、再現性・処理能力・取扱いの難易・人体への有害度・歩どまりなどが異なる。これらの問題は集積回路の量産においては最大の問題で、これらをいかに解決す

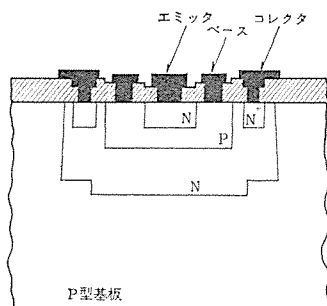


図 3.3 NPN トランジスタの電極
Fig. 3.3 Ohmic contact to NPN transistor.

るかで製品の品質・価格が大きく変動する。したがってわれわれはまず不純物を決定して、それに適した装置・治工具を用いねばならない。

4. 不純物の種類と拡散方法

4.1 拡散炉とガスおよび不純物添加装置

拡散炉は高温部 (900~1,300°C) だけからなる1ゾーン炉と、高温部および低温部 (100~900°C) からなる2ゾーン炉に大別される。各ゾーンは3セクションに分割され中心で温度を設定し、中心の温度と両端から検出された温度偏差を小さくして均熱帯をうる方法をマスタースレーブ方式と呼び、3セクションを独立にコントロールする方法との2種類があるが集積回路製造には均熱帯400mm以上、温度精度 $\pm 1/2^\circ\text{C}$ が要求されているので前者がよく用いられている。現在はこのような高性能の電気炉に図4.1に示すクリーンベンチを併用して作業の清浄性を保ち歩どまりの向上につとめ、さらに拡散炉からの放熱を防ぎ室内の温度を一定に保ち拡散精度を厳密にコントロールする場合もある。拡散炉の特性で重要なのはポートをチャージしたときの回復時間である。図4.2に示すようにある時間だけ急激に温度が低くなるのでポートおよびウエハが熱平衡に達してから拡散を開始するのが望ましい。したがってポートはできるだけ熱容量が小さくて、単位面積当たりにチャージできるウエハの枚数が多いように設計せねばならない。拡散にはキャリアガスとして O_2 または N_2 ガスを用いるが、これらの純度は露点 -70°C 以下の高純度のガスが要求されるので市販のポンプを使用する場合は純化装置を必要とする。ガスの純度が悪くて水分を多量に含んでいるときは、不純物源化合物が変態する場合があり再現性を著しく劣化する。不純物添加装置は固体不純物源ではとくに必要としないが、液体および気体不純物源では図4.3に示すような装置を必要とする。装置のブロックダイアグラムは用途およ

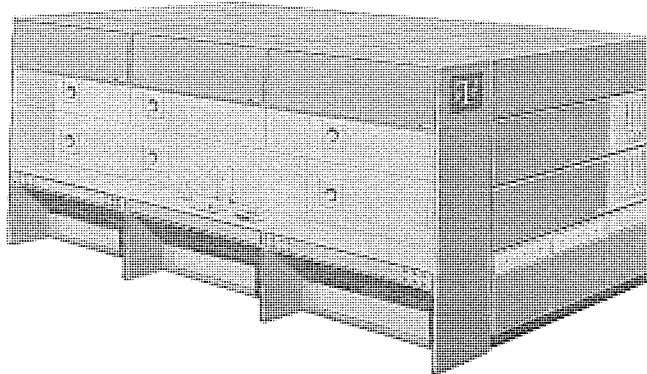


図 4.1 クリーンベンチ付きの拡散炉
Fig. 4.1 Furnace with clean bench.

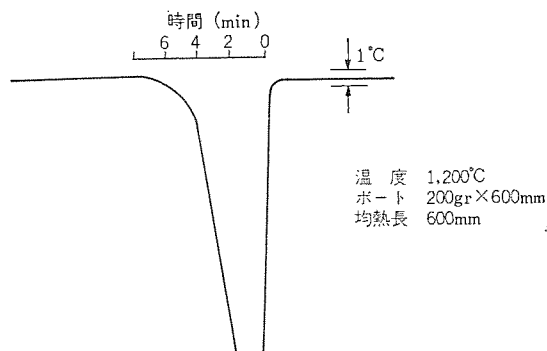


図 4.2 拡散炉の回復時間
Fig. 4.2 Recovery time of the furnace temperature.



図 4.3 不純物添加装置と拡散炉
Fig. 4.3 Furnace with doping system.

表 4.1 拡散不純物源の特性の一覧
Table 4.1 Characteristics of diffusion impurities.

Pの不純物源

不純物源	室温での状態	拡散ちゅうのソース温度	不純物濃度	利 点	欠 点
P (red phosphorus)	固体	200~300°C	low (<10 ⁻² %/cm ²)	表面濃度 小	組成および蒸気圧が変わる
P ₂ O ₅	固体	200~300°C	high (>10 ⁻² %/cm ²)	表面濃度 大	水蒸気に影響される。しばしば反応管の洗浄必要
NH ₄ H ₂ PO ₄	固体	450~1,200°C	high and low	水蒸気に影響されず	純化精製が問題
POCl ₃	液体	2~40°C	high and low	装置が清浄。不純物濃度の広範囲にわたる精密制御が可能	装置の構造が重要
PCl ₃	液体	170°C	high and low	POCl ₃ と同じ利点。酸化反応を伴わない拡散に用いられる	
PH ₃	気体	室 温	high and low	PCl ₃ と同じ利点。ガス流量により精密制御可能。装置簡単。操作容易	極度に有害

Bの不純物源

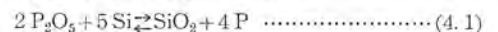
不純物源	室温での状態	拡散ちゅうのソース温度	不純物濃度	利 点	欠 点
B ₂ O ₃	固体	600~1,200°C	high and low	入手容易。不純物源として広く利用	不純物源が反応管を汚染。コントロール困難
BBr ₃	液体	10~30°C	high and low	装置が清浄。不純物濃度の広範囲にわたる精密制御が可能。酸化反応の伴わない拡散に用いる	装置の構造が重要
B(OCH ₃) ₃ Methyl Borate	液体	10~30°C	high	操作簡単	表面濃度大が得られない
BCl ₃	気体	室 温	high and low	BBr ₃ と同じ利点。ガス流量により精密制御装置が簡単操作が容易	
B ₂ H ₆	気体	室 温	high and low	BCl ₃ と同じ利点	極度に有害

び不純物の種類に応じて異なる。どちらの場合でも系のリークは絶対にきけなければ拡散精度が悪くなるし、人体にも有害であるので添加装置には排気系を付設して安全衛生に万全を期さなければならない。これらの拡散炉、装置およびガスを不純物源化合物といかに組合せて使用するかをN型不純物源としてP、P型不純物源としてBを代表的な例としてとり上げる。よく使用されるBとPの不純物源化合物の比較表を表4.1にあげておく。

4.2 N形固体不純物源化合物の拡散法

表4.1 ちゅうの P₂O₅ は従来最もよく用いられてきた化合物で図4.4に示す方法で拡散する。まず石英のソースポートにP₂O₅をチャージして、低温炉内で熱平衡に達してからシリコンウエハを高温炉に

そう入する。もし両者を同時にそう入するならウエハ表面にピット状のものを生じたり、表面に不純物の局所的な濃淡を生じパイプ現象が起こりPN接合の特性を劣化さす。エミッタ拡散のために最高濃度をうるには低温炉の温度は215~300°Cである。それより高い場合には短時間に蒸発してP₂O₅が枯渇する。逆にそれより低温の場合は低濃度が得られるが石英管からの汚染により再現性が悪い。これらの関係を図4.5に示す。P₂O₅の拡散で最も重要なのは吸湿の問題で、P₂O₅自体元来吸湿剤として使用されるくらいなので短時間に吸湿してリン酸に変わり蒸気圧が低下する。たとえばアンフルのような密封した容器に入れて拡散直前に開封してもソースポートに入れる間に吸湿する。それをさけるために約30分P₂O₅をから流ししてから拡散を開始する方法があるが、拡散時間が長いためP₂O₅の製造時に混入した水分でソースポート内のP₂O₅の表面をリン酸に変え、ポート内部のP₂O₅の蒸気をシールドするのでけっきょくP₂O₅を使用するかぎり吸湿の問題はさけられない。カリウムガスはP₂O₅をシリコンウエハ上に運ぶ役をし、N₂ガスを用いるとO₂ガスの場合よりいくぶん高濃度が得られる。それはP₂O₅がシリコンと



の反応をして酸化膜がリンのはいつたフォスフォリケートガラスとシリコン表面との界面に成長し、それ以上P₂O₅を供給してもPのSiO₂ちゅうの拡散定数が小さいのでSi表面に容易に到達しない。しかしO₂ガスを最初から過剰に流していた場合は、



の反応をして、式(4.1)の反応を左に押し進めるのでPが内部にはいり込めなくて表面濃度が減少する。しかしながらO₂が全然存在しない場合はピットを生じるので最低限のO₂ガスを流す必要がある。

他の化合物としてアンモニウムフォスフェート(NH₄H₂PO₄(NH₄)₂HPO₄)と赤りんがある。前者は低蒸気圧のため400~800°Cの低温炉が必

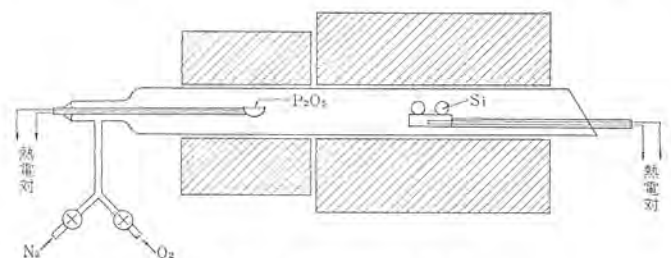


図 4.4 P₂O₅の拡散法
Fig. 4.4 Diffusion system of P₂O₅.

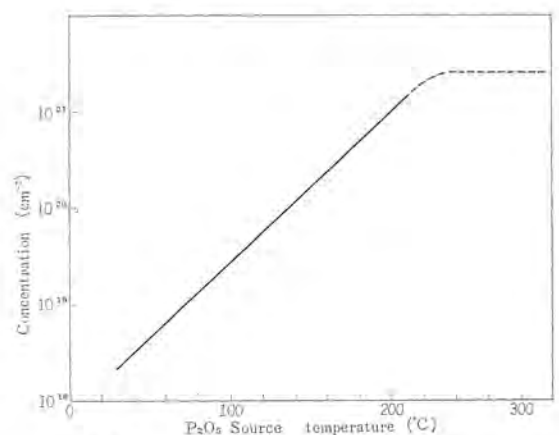


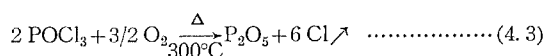
図 4.5 P₂O₅ソース温度と表面濃度
Fig. 4.5 Surface concentration as a function of P₂O₅ source temperature.

要で、他は P_2O_5 と同一のメカニズムで拡散する。赤りんは各種の異性体を有し蒸気圧が変動しやすく再現性に乏しい。さらに O_2 ガスを用いると激しく燃えるので実用上難点が多い。拡散メカニズムは P_2O_5 と同じである。

4.3 N形液体不純物源化合物の拡散法

液体不純物源の $POCl_3$ を用いると固体不純物源の P_2O_5 でさけられなかった吸湿の問題を解決し再現性のよい拡散ができる。図 4.6 に示すように拡散炉は 1 ゾーンでソース温度は室温を利用するが周囲の温度変化がある場合はウォーターバスによる水温または氷で $0 \sim 35^\circ C$ 近辺でコントロールする。ソースはガラス製の容器に入れて開閉はコックでおこなうので取扱いが非常に簡単である。ソースは P_2O_5 のように毎回取換える必要はなく、数百回の拡散に 1 回の取換えて十分である。したがって系にリークがなければ $POCl_3$ が吸湿することなく、かつ人体に悪影響を及ぼすことはない。リークが発生した場合には系全体を洗浄し直して十分から流しをして定常状態にしてから拡散作業にはいる。

キャリアガスは N_2 を 1,000 cc/min で石英管ちゅうに流し、系のパージアウトをおこなったのちソースキャリアガスを N_2 約 10 cc/min でガラス製容器ちゅうにはいつている $POCl_3$ の上を通過させる。ソースキャリアガスと同時に、 O_2 キャリアガスを約 15 cc/min 流して $POCl_3$ を分解すると同時にシリコン表面を保護する SiO_2 を成長させる。反応は



となり、これらの P_2O_5 が局所的な不純物源として働き Si 表面に付着してシリコンちゅうに拡散する。不純物濃度を決定する重要な因子は拡散炉の温度で、通常固溶度以上の不純物原子を石英管中に飽和させておき、その不純物で拡散炉ちゅうの均熱帯の温度の固溶度に

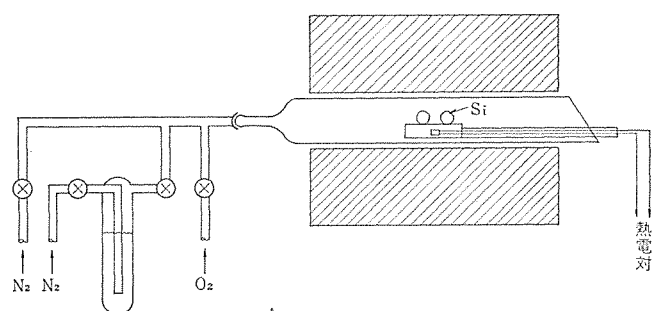


図 4.6 $POCl_3$ と BBr_3 の拡散法
Fig. 4.6 Diffusion system of $POCl_3$ or BBr_3 .

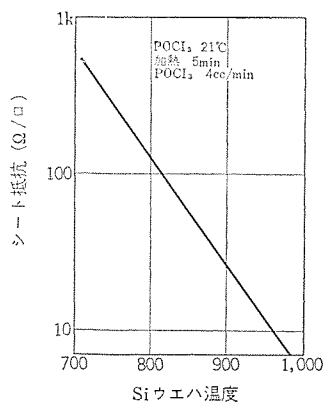


図 4.7 $POCl_3$ を用いたときのシート抵抗と Si 温度の関係
Fig. 4.7 Sheet resistivity vs. Si wafer temperature for $POCl_3$.

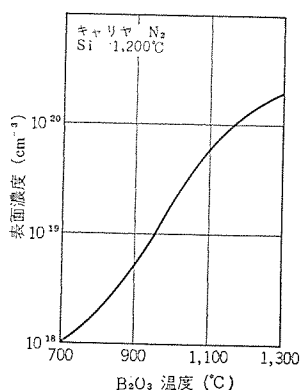


図 4.8 B_2O_3 温度による表面濃度の変化
Fig. 4.8 Surface concentration vs. B_2O_3 temperature.

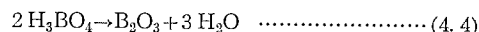
等しい表面濃度をうる。したがってシート抵抗および拡散深さには炉温が最もきくので、他のパラメータのソース温度・流量・時間・基板濃度などを一定にしたときの変化を図 4.7 に示す。このデータは添加装置の形状や石英管の内径が異なる系で行なうとちがった傾向を示す。

$POCl_3$ の拡散方法の有利な点は、ソースを流す前にウエハを石英管ちゅうに入れてウエハが熱平衡に達してから不純物がウエハの表面に付着するので、冷たいウエハ上で P_2O_5 の凝縮現象が生じないことである。

他の不純物源に $POCl_3$, PBr_3 がある。これらは O_2 ガスを供給せずに熱酸化膜を成長させないプロセスに適している。蒸気圧は $POCl_3$ よりも低いのでソース温度を上昇させる必要が生じ、取扱いは少しむずかしい。一般に液体不純物源を使用する場合に O_2 ガスを流して酸化ふんい気中で熱酸化膜を成長させてフォスフォシリケートガラスにすると、酸化膜中の酸素空位を埋めて反転層の防止に役立ち、さらにシリコン結晶内部の重金属をゲッタする作用がある。反面フォスフォシリケートガラスは吸湿しやすくてリークジェラントが増加する。熱酸化膜を成長させない場合は次の Al 配線工程の保護酸化膜を熱分解などで付着させることが必要になり工程上複雑になるので、拡散時に成長させるのが一般的である。ウエハ温度と表面濃度の関係を図 4.8 に示す。

4.4 P形固体不純物源化合物の拡散法

シリコン化合物の固体不純物源でよく使用されるのは B_2O_3 と H_3BO_4 である。 H_3BO_4 は加熱すると簡単に水分を遊離して



となり B_2O_3 となる。一方 B_2O_3 は市販の特級品でも 1% 前後の水分を含んでいるので、拡散メカニズムはほぼ同一である。 B_2O_3 の拡散方法には 1 ゾーン法と 2 ゾーン法があり、2 ゾーン法は P_2O_5 の 2 ゾーン法と同じである。おのおの場合を図 4.9 に示す。この方法では B_2O_3 と SiO_2 の粉末を 2:1 くらいの比で石英板にあらかじめ焼きつけて水分を十分蒸発させたのを、フラットソースポートとしてウエハポートと平行に石英管ちゅうに備えつける。この方法の欠点は B_2O_3 と SiO_2 の蒸気圧に差があるので長期間使用していると B_2O_3 成分が少なくなり拡散濃度が変化する。 B_2O_3 の拡散時に O_2 ガスまたは水分を加えると表面濃度が P_2O_5 の場合よりも極端に減少する。この理由の一つは、B が酸化膜ちゅうに非常に偏析しやすいことと、もう一つは B の SiO_2 ちゅうの拡散係数が非常に小さいために拡散初期にできた酸化膜を通りぬけられないので表面濃度がその温度における固溶度よりも小さくなる。これらの理由により B の拡散には 2 段

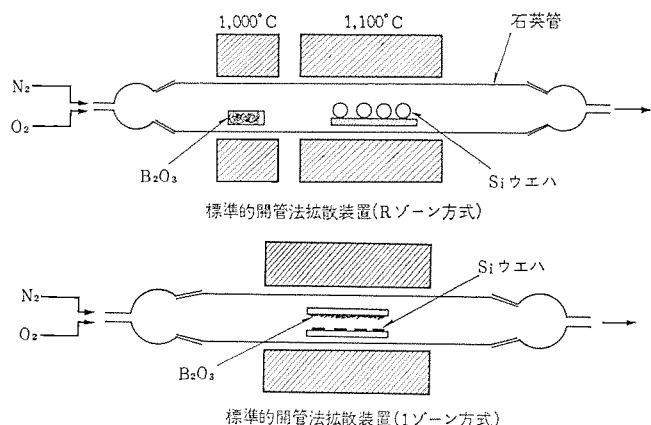


図 4.9 B_2O_3 の 1 ゾーンおよび 2 ゾーン拡散法
Fig. 4.9 One zone and two zone diffusion system for B_2O_3 .

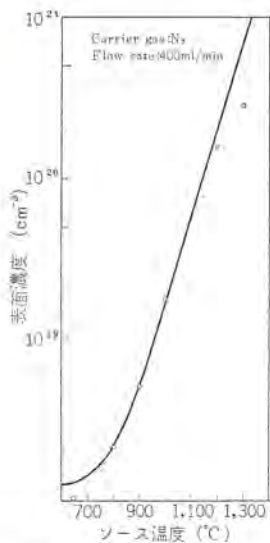


図 4.10 B₂O₃ プリデポジションの表面濃度とソース温度
Fig. 4.10 Surface concentration vs. source temperature for B₂O₃ predeposition.

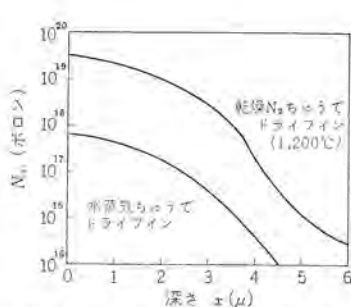
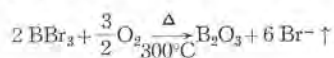


図 4.11 第2拡散(ドライブイン)におけるガスの影響
Fig. 4.11 Surface concentration dependence on gas at drive-in.

階拡散法が行なわれる。まず第一に不活性ガスちゅうで B₂O₃ を“プリデポジション”して、次に酸化ふんい気ちゅうで酸化膜をつくり、“ドライブイン”させる方法が最適である。プリデポジションはペース拡散では 900°C 前後、分離拡散では 1,000°C 前後でドライブインは両者とも 1,200°C 近辺である。図 4.10 にプリデポジション、図 4.11 にドライブインの表面濃度の変化を示す。図 4.11 は不活性ガスから酸化の強い水蒸気ちゅうまでの変化を示し実際の拡散ではその中間の酸化ふんい気を使用する。

4.5 P 形液体不純物源化合物の拡散法

BBr₃ は液体不純物源として広く使用されている。この使用法は POCl₃ の場合と同一である。B₂O₃ と同様に 2 段階拡散法を用いるがプリデポジションのときに少量の O₂ ガスを流して BBr₃ の分解を



の反応により容易にならしめる。N₂ ソースキャリアと O₂ ガスの比によりシート抵抗が変化する様子を図 4.12 に示す。これより N₂ キャリアガスの流量が異なれば分解の一番安定な N₂/O₂ の比も変化することがわかる。図ちゅうの①②③は均熱帯のポート上の 3 点に置いたウエハ番号で①がガスの入口側である。また拡散炉の温度特性がばらつきに大きな影響を及ぼす。炉の回復時間が図 4.2 のもので拡散をおこなうときには図 4.13 に示すように 5 分以上のプリヒートが必要である。N₂、O₂ ガスの最適流量を求めた後に拡散炉の温度を変えて濃度を任意に変化させた場合を図 4.14 に示す。これらより BBr₃ 拡散は非常にコントロールしやすく低濃度から高濃度までの拡散が可能である。さらに再現性もよく図 4.15 に示すように 15 日間にわたる変動は ±10% 以下で所望の値が得られている。

以上 P 形 N 形の各種不純物源化合物について検討したが、一般的には固体不純物よりも液体不純物のほうがすぐれている。とくに拡散技術のうちで最も困難なペース拡散の再現性は BBr₃ により画期的に改善された。

5. む す び

集積回路製造の拡散技術は、現在では固体不純物源はほとんど使

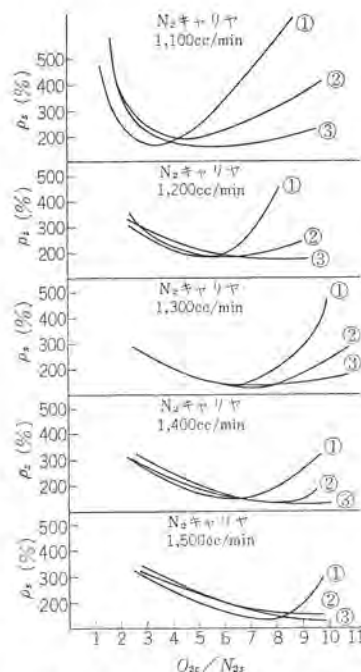


図 4.12 シート抵抗と O₂ ガス、N₂ ガスの比
Fig. 4.12 Sheet resistivity vs. O₂ and N₂ gas ratio.

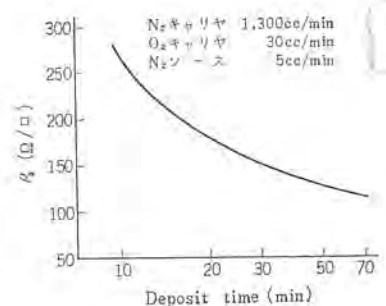


図 4.13 シート抵抗とプリヒート時間
Fig. 4.13 Sheet resistivity vs. preheat time.

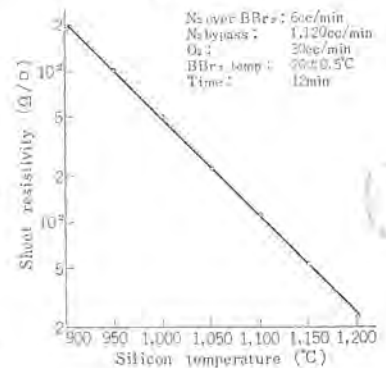


図 4.14 BBr₃ ソース拡散のシート抵抗とシリコンウエハ温度との関係
Fig. 4.14 The dependence of sheet resistivity upon the temperature of the silicon during diffusion from a BBr₃ source.

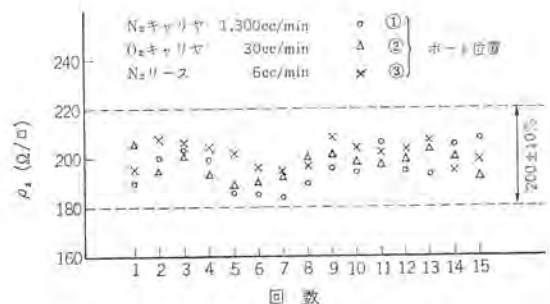


図 4.15 BBr₃ 拡散の 15 日間の再現性
Fig. 4.15 Reproducibility of BBr₃ diffusion for 15 days.

用されなくなり、液体不純物源、もしくは気体不純物源が用いられている。これは再現性のよさ、取扱いの簡便さ、量産性などによるものである。今回は紙面のつごうにより気体不純物源についてはふれなかったが、これは液体不純物源よりもさらにすぐれているが問題点もあり、次の機会に報告する。また拡散技術には酸化膜成長と表面の問題、保護膜の方法、新しい分離拡散など種々の問題点が存在するので機会をみて総合的に報告したい。

参 考 文 献

- (1) Integrated Silicon Device Technology (Diffusion), Feb, 1966
- (2) 伝田：不純物拡散，電子材料 11, p. 84~88 (昭 41)

感光性樹脂の不純物分離法

太田 基義*・山口久美子*・橋本雄二郎*

Purification of Photoresist

Central Research Laboratory

Motoyoshi ŌTA・Kumiko YAMAGUCHI・Yūzirō HASHIMOTO

The photoetching technique utilizing photosensitive resin (photoresist) plays a principal role in the modern semiconductor industry. It is exceptionally important for the process to purify the photosensitive substance.

A physical method of centrifugal separation with microfilters is taken up as the process of purifying the resin. Gelatinous materials contained in the resin are removed by the operation. The resin treated by one cycle of the above purification shows several advantages as follows : (1) Ash ingredient is reduced to about one-third of original contents, (2) heavy metal and alkali metal are decreased, (3) resolving power obtained by the treated resin is improved, and accordingly, (4) photoresist pattern becomes better.

1. ま え が き

高分子化合物は光の照射によって分子内に変化を生じ、いろいろな性能を低下し、劣化をおこす。普通は好ましくない現象として劣化防止の研究が進められている。しかし、この光化学反応を積極的に利用しているのが感光性樹脂である⁽¹⁾。複雑な形状の電子部品を製造する有力な手段として、感光性樹脂を応用したホトエッチング技術が以前より行なわれている⁽²⁾。このホトエッチング技術は半導体処理技術としてきわめて重要で、この技術の巧拙が製造上の歩どまりを大きく左右する因子となっている。

- (1) 良品率が向上する。
- (2) 1素子内でのシリコン基板のばらつきがなくなる。
- (3) 電気特性が向上する。
- (4) もれ電流が少なくなり、電氣的絶縁がよくなる。

などの利点により、部品の超小形化への要求がますます高まるにつれて、精度が良く精密に加工する技術の確立が必要となってきた。その一つとして、加工精度に影響する感光性樹脂ちゅうの不純物除去がホトエッチング工程に先行する一段階としてとり入れられはじめている。筆者らは物理的な精製手段を用いて感光性樹脂の純化を行ない、その効果が認められたのでここに報告する。

2. 写真製版工程と問題点

半導体工業において、ホトエッチング技術は選択拡散や電極とりを前提としたシリコン結晶上の SiO_2 膜の部分的除去、メサエッチングなどのシリコンの部分加工、相互結線のための金属デポジット膜の部分除去、蒸着用金属マスクの製作、パッケージの金属フレーム加工などに広く利用されている。半導体工業における代表的ホトレジスト工程の概要を図2.1に示す。

シリコン結晶上に成長した SiO_2 膜にレジスト膜(感光性樹脂)を塗り、乾燥する。ネガマスクを通して紫外光で焼付けたのち、現像すると光のあたった部分はレジストの二重結合部分の三次元的クロスリンクによって硬化して残り、他の部分は溶解除去されて、 SiO_2 膜が露出する。ふっ酸とふっ化アンモニウム混合液でエッチングすると、レジストのない部分の SiO_2 膜は除去される。レジスト膜をとり去り、次の工程に移行する。

加工精度に影響する因子は各工程において多数ある。加工基材の均一性・基材の前処理法・ネガマスク精度・照射光源の平行度・樹脂

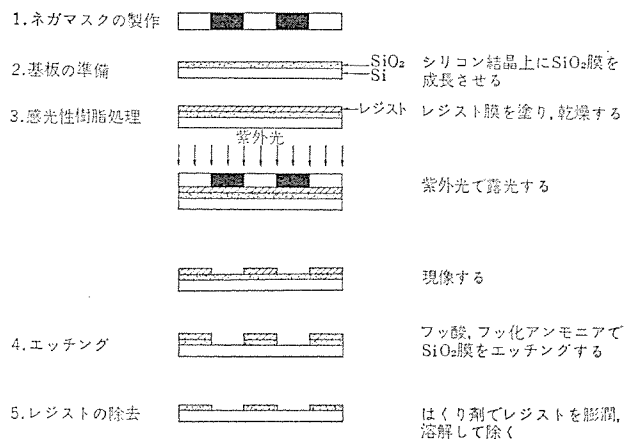


図 2.1 半導体工業におけるホトレジスト工程例
(SiO_2 膜のエッチング)

Fig. 2.1 Photo etching process of SiO_2 .

の使用条件・作業環境などがあげられるが、樹脂自体からおきるトラブルも大きな問題となる。ネガマスク・樹脂の処理条件がほとんどその技術的極限に近いと仮定すれば、強接着性・高解像力・耐薬品性などの性能のすぐれた感光性樹脂の出現が待たれる。

最近になって米国の半導体メーカは感光性樹脂の使用法の改善、不純物の分離、精製に力を入れ、その効果について2, 3の報告書を出している⁽³⁾⁽⁴⁾⁽⁵⁾⁽⁶⁾。市販されている樹脂を最高に利用するために画像の欠損、ピンホールの原因となり、また解像力を下げているような不純物、あるいは樹脂の灰化を除去する際の灰分量に関係する不純物をとり除かなければならない。樹脂ちゅうには製造工程ちゅうあるいは貯蔵期間ちゅうの暗反応などにより生成される有機質不純物と、外部や容器から混入すると考えられる無機質不純物とが含まれている。この除去方法としては物理的、電氣的あるいは化学的方法が考えられるが、これらの組合せによって高純度の樹脂がえられるものと考えられる。われわれはまずこのうち物理的手段を用いてその効果を検討した。

3. 感光性樹脂の精製操作

3.1 試料の調製

感光性樹脂としては市販されているネガティブレジストの中から、代表的なイーストマン・コダック社のKMER, KTFR, KPRの3種を選んだ。精製のダイアグラムを図3.1に示す。KMER, KTFRの原液

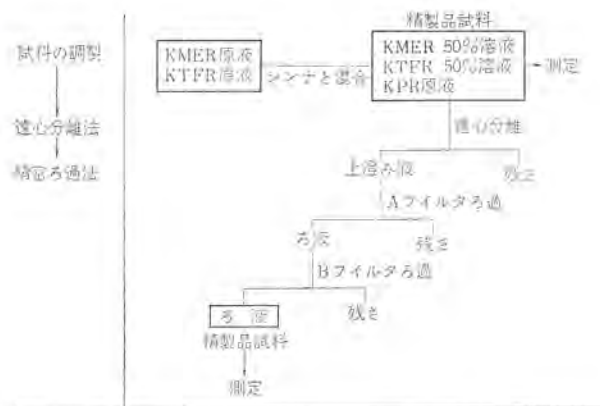


図 3.1 感光性樹脂精製のダイアグラム
Fig. 3.1 Purification diagram of photoresist.

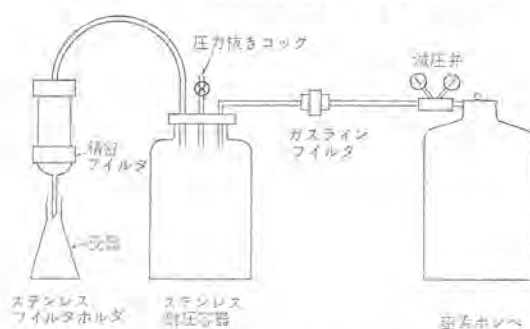


図 3.2 精密ろ過装置
Fig. 3.2 Apparatus of microfiltration.

とシソナを(1:1)の割合にマグネチクスターラでよく混合し、原液の50%溶液に調製した。KMER, KTFRはこの50%溶液、KPRは原液を粗製品試料とした。

3.2 遠心分離法による精製操作

粗製品試料を島津製作所製の遠心分離機で遠心分離し、上澄み液と沈殿物に分離した。

3.3 精密ろ過法による精製操作

上澄み液をミリポアフィルタ・コーポレーション製のメッシュが異なる2種のフィルタA・Bで処理した。Aフィルタは7μ前後のものをフィルタし、Bフィルタは1μ前後の大きさの物質を分離することができる。まず、Aフィルタを通し、ろ液をさらにBフィルタでろ過して、ろ液とろ過残さに分離した。ろ過は溶剤の蒸散を防ぐためにガスラインフィルタを通した窒素ガスで加圧しながら行なった。これを図3.2に示す。えられたろ液を感光性樹脂精製品とし、次の測定サンプルとした。

4. 精製効果の測定

4.1 全固形分の測定

JIS C 2103 および JIS K 6387「電気絶縁ウニス試験方法および合成ゴムSBRラテックスの試験方法」に従って測定した。溶剤蒸散による減量を考慮しながら正確にはかったサンプルを120±5°Cで恒量に達するまで乾燥し、不揮発分重量を求めた。

$$\text{全固形分(\%)} = \frac{\text{不揮発分重量 (g)}}{\text{試料重量 (g)}} \times 100$$

4.2 灰分の定量

透明石英ピーカにサンプリングし、真空乾燥して揮発分をとり除いたあと、電気炉内で灰化した。

$$\text{灰分量(\%)} = \frac{\text{灰分量 (g)}}{\text{樹脂固形分 (g)}} \times 100$$

4.3 灰分の分析

上記灰分の定量でえた灰分を濃塩酸で溶解し、発光分光分析で半定量を行ない、含有金属元素を検出した。分光器はSpec Lab形(Jarrell Ash 1.5 Meter Wodsworth Mounting)である。

4.4 感光度の測定

基板として鉄板を選び、脱脂洗浄、乾燥した基板の上にレジストを塗り、乾燥した。中庸灰色フィルタのコダック、ホットグラフィック、ステップ、タブレットNo. 2をネガフィルムとして空冷式超高圧水銀灯で焼付け、現像・染色・水洗の常法操作に従った。露光量は積算露出計でカウントした。感光して残ったステップ、タブレットの個数を感光度と定めた。

4.5 解像力の測定

それぞれのレジストの接着性を考えて、基板にアルミニウムはく、モリブデンはく、銅はくを選んだ。解像力テストチャートは高コントラスト画線5μと10μのガラスプレートを用い、真空密着させて比較的平行度の高い水冷式超高圧水銀灯で焼付けを行なった。画像は金属顕微鏡で検査した。

5. 測定結果および考察

表5.1に遠心分離効果を示す。粗製品(市販品)と遠心分離後の樹脂のろ過性を比較したところ、遠心分離を行なったものはろ過性が数段すぐれていることがわかる。KMER, KTFRは粗製品ではともにAフィルタでめずまりをおこしろ過不能であったのが、遠心分離によりAフィルタよりメッシュ数の大きいBフィルタでのろ過が可能になった。KPRについても粗製品ではBフィルタろ過の際、数kg/cm²の加圧下で行なう必要があったのが、1/3以下の圧力で容易にろ過できるようになった。

精製による固形分量の変化を表5.2に示す。精製操作ちゅううに溶剤が多少揮発するため精製品の値は少し高く出ていると思われる。KMERが他の樹脂に比べて、固形分量が減少度が大きいのは、ろ紙の目づまりの原因となるゲル状物質が遠心分離によって多量に分離除去されたためであると考えられる。

灰分量の測定値を表5.3、分析結果を表5.4に示す。一般に

表 5.1 遠心分離の効果
Table 5.1 Effectiveness of centrifugal separation method.

感光性樹脂	未処理の樹脂		遠心分離後の樹脂	
	Aフィルタろ過	Bフィルタろ過	Aフィルタろ過	Bフィルタろ過
KMER	×	—	○	○
KTFR	×	—	○	○
KPR	○	○	—	○

○：円滑なろ過が行われた
×：3紙の目づまりがおこり、ろ過不能

表 5.2 感光性樹脂ちゅううの全固形分量の変化
Table 5.2 Solid contents of photoresist.

感光性樹脂	粗製品全固形分量(%)	精製品全固形分量(%)
KMER	15.7	15.3
KTFR	14.2	14.2
KPR	6.2	6.7

表 5.3 感光性樹脂ちゅううの灰分量の変化
Table 5.3 Ash contents of photo resist.

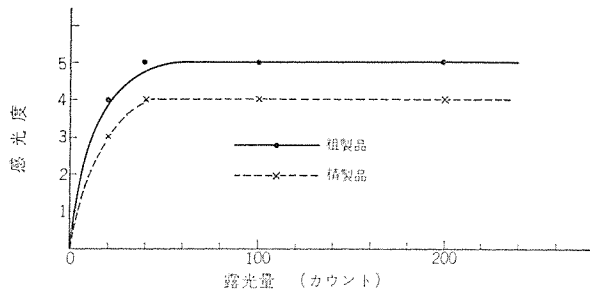
感光性樹脂	粗製品灰分量(%)	精製品灰分量(%)
KMER	3.09	1.12
KTFR	0.004	きわめて少ない
KPR	0.05	0.02

表 5.4 感光性樹脂ちゅうの無機質不純物の変化
Table 5.4 Metal impurity of photoresist.

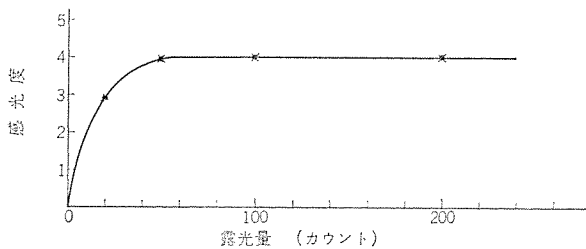
検出元素	KMER		KTFR		KPR	
	粗製品	精製品	粗製品	精製品	粗製品	精製品
Sn	主成分	主成分	+	/[+]	/[+]	/[+]
Fe	+	+	+	±'	+	+
Ca	+	+	+	/[+]	+	+
Pb	+	+	+	±	+	±'
Al	+	+	+	±'	+	+
B	+	±'	+	+		/[+]
Cu	+	+	±	±	+	+
Na	+	±'	+	±'	+	+
Mn	+	+	+	tr	+	±'
Ni	+	+		tr	±	±

主成分 1% 以上
+ 0.1~0.01 %
+ 0.01~0.001 %
± 0.001~0.0001 %

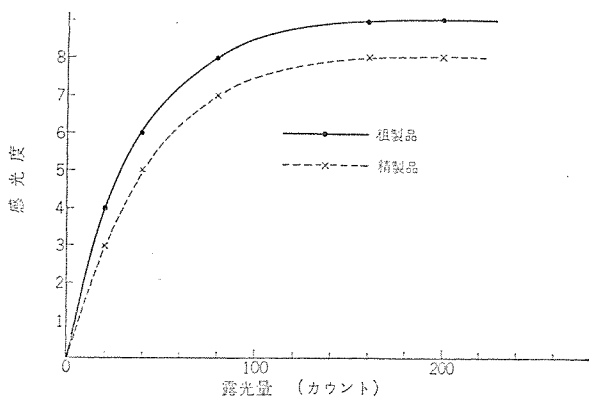
tr コンタ
' やや多い
/[] [] 内よりやや少ない



(a) KMERの感光度



(b) KTFRの感光度



(c) KPRの感光度

図 5.1 感光性樹脂の感光度

Fig. 5.1 Sensitivity of photoresist (KMER, KTFR, KPR)

表 5.5 感光性樹脂ちゅうの解像力の変化
Table 5.5 Resolving power of photoresist.

感光性樹脂	解像力測定 基 板	解 像 力		焼付け画像
		粗 製 品	精 製 品	
KMER	アルミニウムはく	10 μ 以上	5 μ	
KTFR	モリブデンはく	5 μ	5 μ	精製品のほうが
KPR	銅 は く	5 μ	5 μ	鮮明になった

“KTFR は KMER の精製品である”。として販売されているが、今回の実験で灰分量において 10^3 の違いが見出された。精製によって灰分量は皆無にはならないけれども、減少する傾向にある。樹脂ちゅうの無機質不純物として、KMER には主成分とし鉄・鉛・ニッケルなどの重金属類が多く含まれている。KTFR についても、その量は少ないが同じ傾向がみとめられる。KPR にはカルシウム、ナトリウムが比較的多く含まれている。KMER, KTFR, KPR のいずれの樹脂も遠心分離—精密ろ過の物理的手段によって重金属、アルカリ金属類を有機ゲル状物質といっしょに除去することができた。

図 5.1 は感光度測定の結果である。精製したことによってわずかに減少するが、これは感光性樹脂ちゅうに添加されている増感色素の一部が分離除去されたためと考えている。しかし、実用上ほとんど問題にならない。

上記の精製工程によって解像力が高くなることが期待されるが、測定の結果表 5.5 をえた。KTFR, KPR は粗製品・精製品ともに 5μ 以下であるが、焼付けた画像の解明さ、画線の切れのよさにおいて、精製品のほうが明らかにすぐれていた。KMER は 10μ 以上であったものが 5μ を十分解読できるまでになった。いずれの樹脂も 5μ 以下の解像力は十分期待される。

6. む す び

感光性樹脂 3 種 (KMER, KTFR, KPR) について遠心分離—精密 2 段ろ過を行なった結果を述べた。これらより次のような結論に達した。

- (1) 遠心分離操作によって 1μ 以上のゲル状物質が除去されたと思われる。
- (2) 灰分量は精製の結果、皆無にはならないが重金属類、アルカリ金属類が減少する傾向にある。
- (3) 解像力は高度化し (5μ 以下)、画像の向上が認められた。ことに KMER の解像力は精製によって 10μ が 5μ 以下になった。
- (4) 遠心分離—精密フィルタによる 2 段ろ過の物理的精製手段は有意義である。
- (5) 本文の概要は第 12 回化学系学協会連合講演会 (昭和 41 年 10 月 8 日) で発表した。(昭 42-6-8 受付)

参 考 文 献

- (1) 大河：感光性樹脂，化学と工業 16, p. 550-562 (昭 38)
- (2) 鈴木：最近のホトエッチング技術，エレクトロニクス 10, p. 1,029~1,039 (昭 40)
- (3) T. R. Lawson, Jr : A Prediction of the Photoresist Influence on Integrated Circuit Yield, SCP and Solid State Technology 9, 7, p. 22-25 (1966)
- (4) I. F. Barditch, C. Z. Leinkram : Wetting Agent Solves Photoetching Problem, electronics 36, 50, p. 54~56 (1963)
- (5) Hauw T. Go : Production Engineering Measure Contract No. DA-36-039-AMC-03617 (E), Second Quarterly Report for the Period October 1, 1963 to December 31, 1963.
- (6) Aghassi, Badri-Munir et al : Study and Investigation of Technique for Constructing Medium-Speed Random Access Mass Memory, Technical Report No. RADC-TR-64-538. March 1965.

Si 熱酸化膜の電子顕微鏡観察

杉岡 八十*・坂根 英生*

Electron Microscopic Studies of Thermally Grain Oxide Films on Silicon

Kitaitami Works Yasoichi SUGIOKA・Hideo SAKANE

Electron Microscopic studies have been adapted to the investigation of the structure and growth mechanism of silicon oxide and also of the effect of substrate silicon on the characteristics of thermally oxidized films in wet oxygen. The influence of heavy metal, such as copper and iron, upon silicon during thermal oxidation are also examined. In the initial stage of thermal oxidation, it is found that oxidation of silicon is not uniformly formed and differs locally in the degree, gradually proceeding afterwards to form a uniform layer. Sometimes it is observed that crystals of silicon oxide seems to form granular lamps of several micron in diameter, which may be caused by diffused phosphorous or iron deposits. Surface contamination by heavy metal may produce some precipitation of spot or of triangular shape through the thermal oxidation process.

1. ま え が き

Si 酸化膜はトランジスタや集積回路のような Si device に積極的に利用されている。Si 酸化膜の作成法には種々の方法があるが、とくに熱酸化膜はこれらの Si device の製作にはきわめて重要な役割を持っている。酸化膜の電気的安定性を得るためには、構造的に密性・均一性・密着性などが要求され、すでにこれらの問題については多くの報告がある。しかし電気的特性に関する報告に対し、構造的見地からの報告は少ないのが現状である。

われわれは電子線回折装置および電子顕微鏡（以下 EM と略称する）観察を手段として、Si 熱酸化膜の構造や成長機構を検討し、また熱酸化処理が下地 Si に及ぼす影響を、ふん囲気や表面汚染の問題も含めて検討した。

一般に熱酸化膜の構造^{(1)~(3)}としては、 α -クリストバライトの微細結晶の集まり（非晶質状）と考えられているが、その中に結晶化した酸化膜も観察されている。しかしその成因や性質については十分な解釈はなされておらず、また再現性についても問題がある。このような Si 酸化物結晶が酸化膜中に存在している場合には、結晶粒界近傍のひずみを通じての気体の拡散⁽⁴⁾が考えられ、酸化膜を利用した Si device の安定性に問題を生じ、拡散マスクや絶縁性の見地からも好ましくないと思われる。したがってこの結晶化の原因を追求し、結晶化を防ぐことはきわめて重要な意味を持つ。われわれは Si 酸化物結晶の構造を調べるとともに、その原因についても若干の見解を得た。

一方、熱酸化膜の成長機構としては、酸素の拡散によって酸化膜と下地 Si との界面で成長が行なわれていることは知られている⁽⁵⁾が、より詳しい成長機構についてはわかっていない。われわれは熱酸化膜を成長させた場合の下地 Si に生ずる変化や Si と酸化膜の界面のレプリカ観察などから、酸化膜成長初期の機構を明らかにすることができた。また熱酸化処理によって下地 Si 中に転位や析出物の発生が認められ、熱処理ふん囲気や表面汚染の問題を検討した結果、その成因や性質に関して考察を試みることもできた。

2. Si 酸化物の構造

Si 酸化物には図 2.1 に示すように多くの変態がある⁽⁶⁾。結晶形

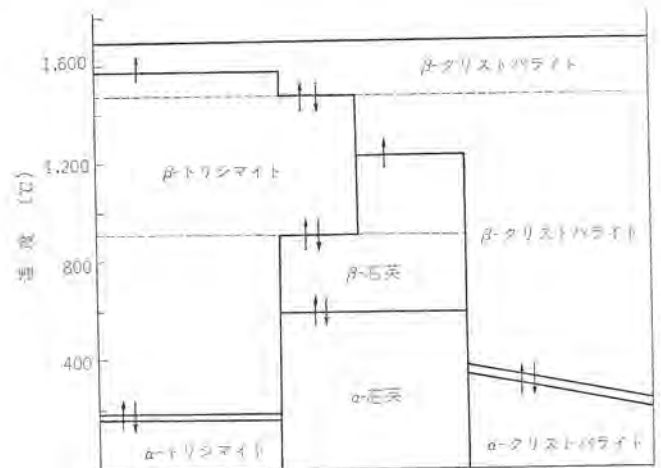


図 2.1 Si 酸化物の変態

Fig. 2.1 Phase diagram of silicon oxide.

表 2.1 Si 酸化物のおもな性質

Table 2.1 Physical properties of silicon oxides.

シリコン酸化物	密度 g/cm ³	屈折率	結晶系	生成熱 kcal
α-石英	2.65	1.55	三方	208.3
β-石英	—	—	六方	—
α-トリジマイト	2.26	1.48	斜方	—
β-トリジマイト	2.30	—	六方	—
α-クリストバライト	2.32	1.49	正方	205.6
β-クリストバライト	2.21	—	等軸	—

はトリジマイト、石英およびクリストバライトの3種で、それぞれαおよびβで示される低温形と高温形が存在する。一般に [SiO₄] の単位酸素四面体が、三次元的に相互に頂点の酸素だけを共有する構造を持って連なり、その連結方式と Si-O-Si の結合角の差によって、それぞれの変態を示す。α-β 間の変態は四面体連結方式を変えずに、Si-O-Si の結合角がわずかに変化するだけなので、比較的容易に変態するが、トリジマイト、石英、クリストバライト間の変態は連結方式の変更を伴うので一般にはかなりおそいといわれている⁽⁷⁾。

これらの結晶形のおもな性質を表 2.1 に示す。常温においては、石英の密度が最大で密性が一番良いのに比べて、クリストバライトは四面体の間に空けが多いために密度が小さく、したがって他の動

きやすい金属イオンなどが侵入しやすいと考えられる。この場合、酸化膜の性質を支配する一つの要素になるであろう。

3. 実験方法

3.1 熱酸化法

試料は(100)面P形Si(2.8~4.2Ωcm)を、化学研磨により加工ひずみを除去し鏡面に仕上げた厚さ300μmのウエハと、エピタキシャル法により(111)面Si上に成長したP形Si(0.7~0.9Ωcm)の2種である。

熱酸化はおもにwet O₂を用いて行なった。熱酸化装置を図3.1に示す。熱酸化条件として酸素流量は1 l/min, 恒温そう温度は45°C, 酸化温度は1,000°Cから1,200°Cとし、処理時間は目的に応じて数分から数時間とした。試料は石英板上に乗せて炉の端の450°Cのところで加熱、冷却時ともに10分間放置した。また熱酸化処理の影響を熱処理の影響と分離して考えるために、dry N₂中で熱処理を行ない比較した。その他熱酸化処理に及ぼす重金属の影響を調べるために、試料を乗せる石英板の端に微量のCuSO₄やFeCl₃の溶液を塗布して熱酸化処理を行なった。

酸化膜の厚みは酸化膜を部分的にエッチし、Alを蒸着し干渉顕微鏡によって測定した。膜厚と酸化時間との関係を図3.2に示す。干渉顕微鏡では測定できない薄い膜厚については外そうして決めたが、エリフソメータによる測定値と±10%の範囲内で一致した。

3.2 電子線回折および電子顕微鏡観察

反射電子線回折は試料準備が簡単であるため、でき上がった酸化膜を、ほとんど物理的、化学的变化を加えないですぐに観察できるという特長を有するが、得られる結果が間接的であり、結論づける範囲は限られている。反射回折の場合、電子線の波長が非常に短いためにSi酸化膜の試料の厚さ方向に侵入する電子線は数百Å程度の深さと推定される。一方透過電顕観察の場合には、SiおよびSi酸化膜を数千Å程度の薄い膜にしなければならぬために、試料の作成は反射電子線回折のように簡単ではない。しかし細部の形態や構造欠陥などを、直接観察することができるため多くの情報が得られ

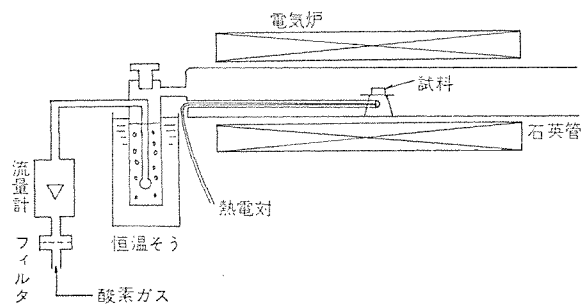


図 3.1 wet O₂ による熱酸化処理装置
Fig. 3.1 Apparatus of thermal oxidation wet O₂.

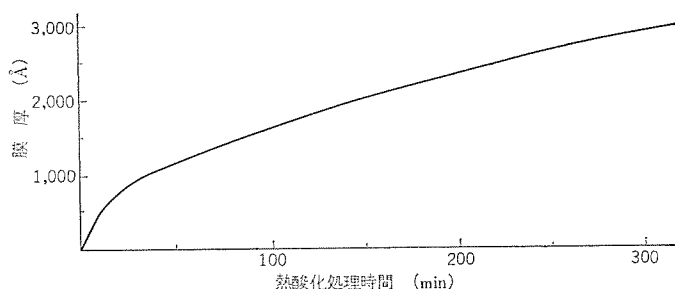


図 3.2 熱酸化処理時間と膜厚の関係 (1,020°C)
Fig. 3.2 Relation between oxidation time and film thickness. (at 1020°C)

る。

反射電子線回折の場合には、Siウエハを約5mm平方に切断し、このときに生じたひずみを除くためにふたたび化学研磨したのち、超音波洗浄を行ない予測される表面のよごれを除去し熱酸化処理を行なった。透過試料の作成は、2.5mm平方に切断した試料を、観察したい面を下にして透明接着剤を用いて、薄い合成樹脂板にはりつけた。下側より光をあてながら化学研磨を行なって試料の一部が薄くなるにつれて変化する色に注目し化学研磨を停止し、水洗の後接着剤を取り去りEM試料とした。観察法としては、所定の酸化膜を成長させた後に、EM試料用の薄膜にして観察する方法と、まずSiの薄膜を作成し、その後種々の熱処理を行なってEM観察する方法とを併用した。

4. 実験結果および考察

4.1 Si熱酸化膜の表面

図4.1(a)に化学研磨仕上げの試料の、図4.1(b)に同一試料

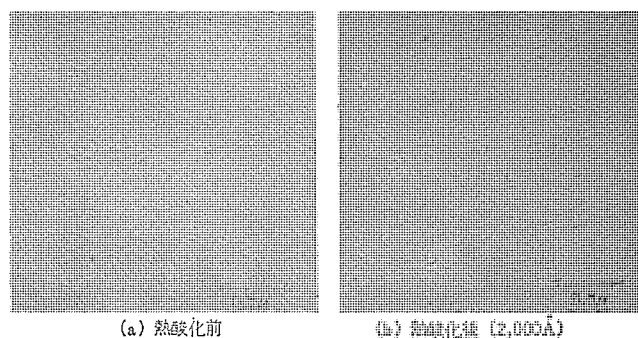


図 4.1 化学研磨面およびSi酸化膜の表面のEM写真
Fig. 4.1 Electron microphotographs of surface of chemical polished silicon and thermal oxidized silicon.

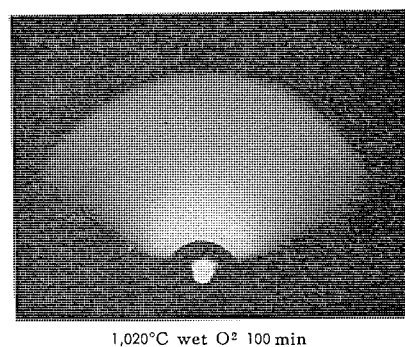


図 4.2 Si酸化膜の反射電子線回折像
Fig. 4.2 Reflective electron diffraction pattern of silicon oxide film.

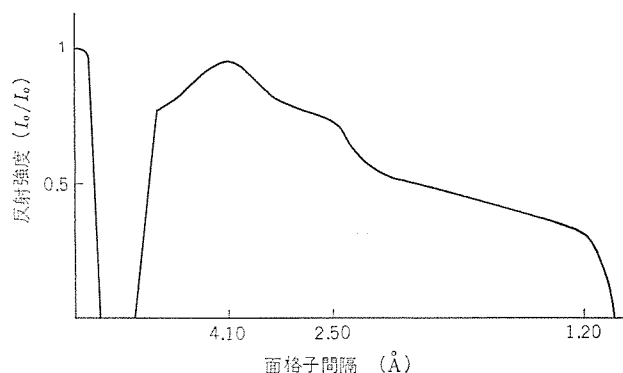


図 4.3 反射回折の強度分布
Fig. 4.3 Intensity distribution of electron diffraction pattern.

表 4.1 測定面指数と ASTM カードとの比較
Table 4.1 Comparison of d-values calculated from diffracted pattern with ASTM standard cards.

測定値	α -クリストバライト	α -トリジマイト	α -石英
		4.30 (100)	
4.10	4.05 (100)	4.08 (80)	4.26 (35)
	3.53 (3)	3.81 (80)	3.343 (100)
	3.135 (11)	3.25 (20)	
	2.841 (13)	2.96 (40)	
2.50	2.485 (20)	2.47 (60)	2.458 (12)
	2.465 (5)	2.37 (10)	2.282 (12)
	2.340 (1)	2.29 (20)	2.237 (6)
	2.118 (5)	2.07 (10)	2.128 (9)
	2.091 (3)	2.03 (10)	1.980 (6)
	1.929 (5)	1.97 (10)	1.817 (17)
	1.870 (7)	1.87 (10)	1.672 (7)
1.20	この間 26	この間 9	この間 28
	1.183 (1)	1.29 (10)	0.928 (<1)

単位 $\text{\AA}$. () 内は強度比

に $2,000 \text{ \AA}$ の熱酸化膜を成長させたときの、表面レプリカ写真を示す。酸化前に見られる約 $100 \text{ \AA}$ のおうつ (凹凸) は酸化後にも見られ、酸化前の Si の表面状態はそのまま酸化膜成長後の表面状態になることが明らかである。

熱酸化処理した試料の反射電子線回折像は、一般にハローパターンを示す。その代表例を図 4.2 に示す。このハローパターンの強度分布をホトメータで測定した結果は、図 4.3 のようになり、3本のピーク値は、それぞれ $4.10 \text{ \AA}$, $2.50 \text{ \AA}$, $1.20 \text{ \AA}$ の面間隔に相当することがわかった。

観測値と ASTM カードの値を表 4.1 に示す。 α -クリストバライトと α -トリジマイトは、ともに $4.10 \text{ \AA}$ の近傍に最強の回折線が存在し、第2のピークに相当する $2.50 \text{ \AA}$ の近傍に比較的強度の強い回折線が存在する。より高次になると弱い回折線が数多く存在し、第3の観測値である $1.20 \text{ \AA}$ 近傍まで連続している。電子線回折の立場からは、結晶粒子が微細になると回折環はブロードになるといえることと、前述の ASTM カードとの一致から考えて、Si 酸化膜の表面は非晶質状態というより微細な部分ではわずかに α -クリストバライトや α -トリジマイトの結晶形を有していると推定される。

4.2 Si 酸化膜の結晶化

図 4.4 に Si 熱酸化膜の透過 EM 写真およびその回折像を示す。EM 観察においては、図 4.4 に示すような均一な膜が再現性よく見られ、下地 Si の違いや処理温度の違いによる有意差も認められなかった。回折像は 4.1 節の反射回折によって得られたハローパターンとまったく一致した。したがって Si 熱酸化膜の一般的な構造は α -クリストバライトや α -トリジマイトの微細結晶の集合体であると思われる。しかし結論を下すには動径分布関数による詳細な解析を必要とする。

このような均一な膜中に種々の形態の Si 酸化物結晶の存在が認められることがある。Si 酸化物結晶の代表的な EM 写真を図 4.5 に示す。図 4.5 (a) の回折像は α -クリストバライトを、図 4.5 (b) の回折像は α -トリジマイトを示す。酸化物結晶の形状はさまざまであるが、数百 $\text{\AA}$ から $1,000 \text{ \AA}$ 程度の粒状の酸化物結晶が数 μ の円板状に集合している場合が最も多く観察された。この粒状の酸化物結晶には図 4.5 (b) の矢印で示すように、Bragg 反射による Contour line が認められることがあり結晶化していることが明らかである。このように酸化物結晶が生成した試料にさらに数十分間の熱酸化処理をしても変化は認められなかった。また酸化物結晶の結晶形は α -クリ



図 4.4 Si 酸化膜の透過 EM 写真および回折像
Fig. 4.4 Transmission electron microphotographs and electron diffraction pattern of silicon oxide film.

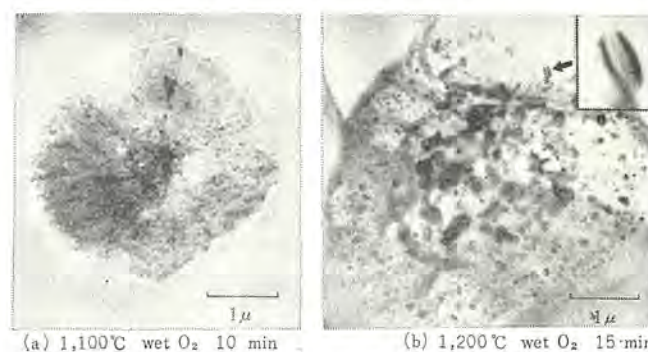


図 4.5 Si 酸化物結晶の EM 写真
Fig. 4.5 Electron microphotographs of crystallized silicon oxide.

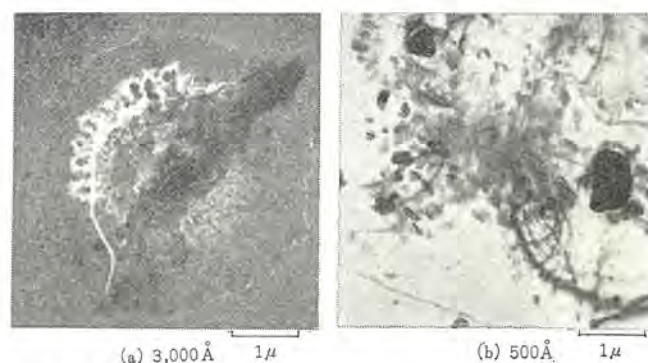


図 4.6 P の拡散 (a) および Fe の影響 (b) による Si 酸化物結晶の EM 写真
Fig. 4.6 Electron microphotographs of crystallized silicon oxide showing effects by phosphorous diffusion and iron deposit.

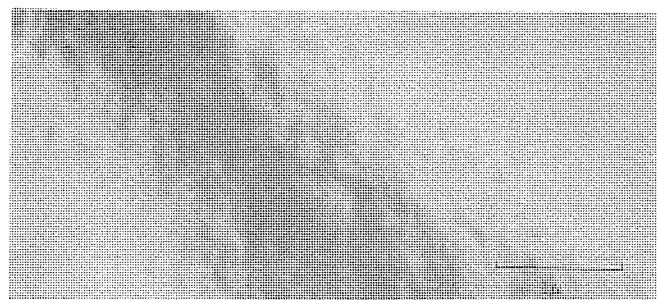
ストバライトと α -トリジマイトが多く、石英の結晶生成は認められなかった。

結晶化の原因を追求するために種々の実験を試みた。まず下地 Si 中の機械的損傷や構造欠陥が原因になるかどうかを確かめるために、酸化前に機械的損傷や転位や積層欠陥などが透過 EM 観察で認められた試料に熱酸化処理を行ない、同一場所の観察を行なった。しかし結晶化は見られず、Si 中の機械的損傷や転位や積層欠陥が Si 酸化物結晶の生成とくに関係しているとは思われない。

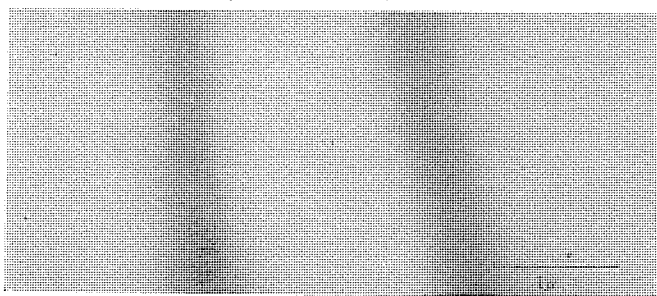
次に B (Boron) や P (Phosphorus) の拡散による効果⁽⁸⁾を調べた。P の拡散を行なった試料では、酸化物結晶の観察されるひん度は多くなった。図 4.6 (a) に約 $2,000 \text{ \AA}$ の酸化膜が成長した Si ウエハを

1,100°C に、 P_2O_5 を 300°C に保って P を拡散した場合に生成した α -トリジマイトの酸化物結晶の EM 写真を示す。菅野⁽⁹⁾は Si 酸化膜をステップエッチし反射電子線回折により B や P を拡散した場合の結晶化への影響を調べて、P の拡散が結晶化に寄与しているとしているが、われわれの結果もこれと一致した。

酸化工程中の表面汚染が、結晶化に及ぼす影響を確かめるために、比較的汚染されやすいと思われる Cu と Fe について、3.1 節で述べた方法により影響を調べた。図 4.6 (b) に Fe の影響によると思われる α -クリストパライトの酸化物結晶の EM 写真を示す。図 4.5



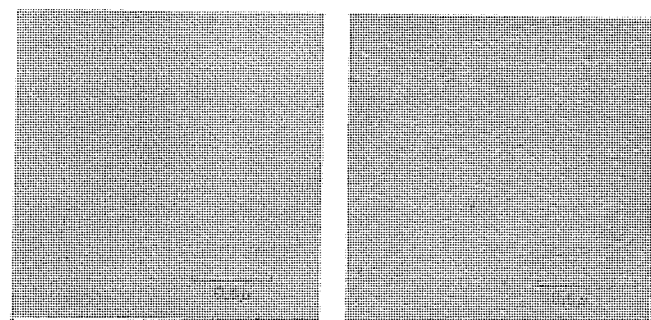
(a) 1,020°C wet O_2 8min



(b) 1,020°C dry N_2 8min

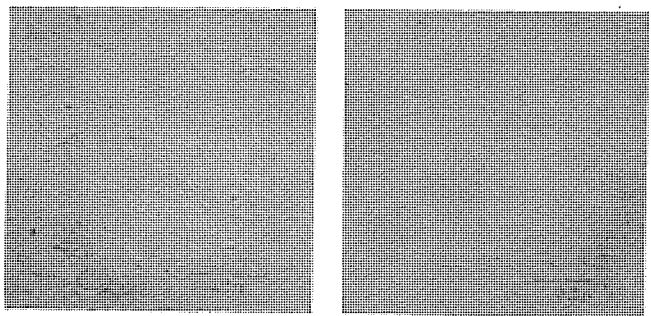
図 4.7 Si 薄膜を wet O_2 および dry N_2 中で加熱処理した場合の EM 写真

Fig. 4.7 Electron micro photographs of silicon thin film after heat treatment in wet oxygen and dry nitrogen.



(a) 0min

(b) 2 min



(c) 5 min

(d) 30 min

図 4.8 1,020°C wet O_2 中での処理時間の変化に伴う Si と Si 酸化膜界面のレプリカ写真

Fig. 4.8 Electron micrographs by replica method of silicon and silicon oxide film interface.

Si 熱酸化膜の電子顕微鏡観察・杉岡・坂根

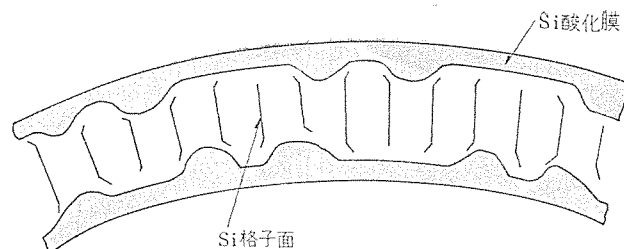


図 4.9 Si 酸化膜成長の初期状態のモデル

Fig. 4.9 Model showing initial state in growth of silicon oxide film.

(b)と同様に粒状結晶中に Bragg 反対による Contour line が認められている。酸化物結晶が観察されるひん度は、Fe の影響によって明らかに増加することから、Fe による表面汚染も酸化物結晶の生成に寄与していることがわかった。

以上の結果から結晶化の原因の一つとして P などの不純物拡散や Fe などによる表面汚染が考えられる。酸化物結晶の結晶形としては、石英は見られず α -トリジマイト や α -クリストパライトに結晶化している。これは一般の Si 酸化膜がこれらの微細結晶の集合体であると考えられることを裏付けるものといえる。

4.3 Si 酸化膜の成長機構

Si の薄膜を 1020°C で wet O_2 中と dry N_2 中で、8 分間加熱処理したときの透過 EM 写真を図 4.7 (a) と (b) に示す。(a) には Contour line の乱れが認められるが、(b) には認められない。したがってこの乱れは、酸化膜の成長により Si の格子に部分的にひずみが生じたために現われたと考えられる。なお Si に加わる応力は Si の厚さに依存しているため、EM 試料のように薄い場合には、バルクの Si に比べて著しく大きくなる。このことは、Si の薄膜を熱酸化して観察する場合とウエハの状態での熱酸化し、薄膜にして観察する場合を比べると前者のほうが明らかに、Contour line の乱れが著しいことからわかる。

図 4.8 に 1 枚のウエハを 4 分割し、酸化処理前と 1,020°C の wet O_2 中で 2 分間、5 分間、30 分間の加熱処理を行ない、ふつ(弗)酸によって酸化膜を除去した Si 表面のレプリカ写真を示す。2 分および 5 分間処理の (b) (c) には、酸化前の (a) には認められない直径数百 Å のくぼみが、ほぼ均一に分布している。(b) と (c) を比べた場合、処理時間が長くなるほどくぼみの直径は大きくなり、数は減少していることがわかる。なおレプリカ試料作成のシャドウイングの角度から計算されるくぼみの深さは数十 Å である。(d) は 30 分間の処理で、約 900 Å の酸化膜が成長した場合に相当するが、くぼみはまったく認められない。この程度に酸化膜が成長すると、酸化速度がおそくなり平滑な酸化膜の成長が可能になるためと考えられる。

以上の結果からわれわれは図 4.9 に示すような Si 酸化膜成長の初期の機構のモデルを考えた。すなわち酸化膜成長初期においては、酸素の供給が激しく、反応が局部的におこり、生成する酸化膜には、図 4.9 に示すようにとくに酸化の進んだ部分が島状になって生じる。したがって Si と Si 酸化膜との熱膨張係数の違いによって界面に加わる応力が均一でなくなり、Si の格子は部分的にひずみを受ける。酸化膜の増加とともに成長速度はおそくなり平滑な酸化膜の成長になる。界面で平滑な成長が始まる膜厚は、wet O_2 気流中での熱酸化の場合約 900 Å と考えられる。

4.4 下地 Si に及ぼす熱酸化の影響

熱酸化処理が下地 Si に及ぼす影響としては、おもに表面に加工

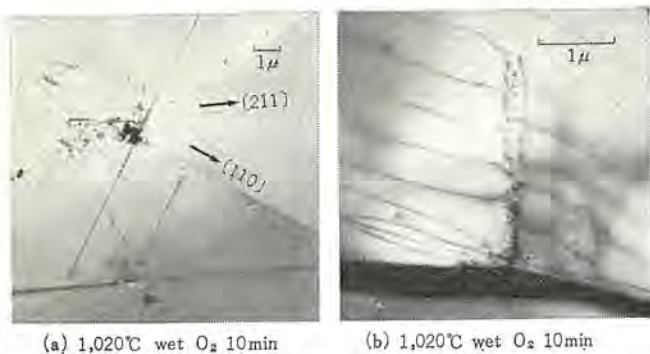


図 4.10 Si 熱酸化によって Si 中に発生する点状析出物の EM 写真
Fig. 4.10 Electron micrographs of point-like precipitates in silicon after thermal oxidation.

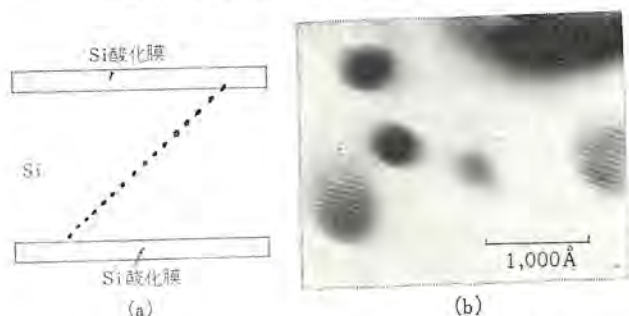


図 4.11 点状析出物の析出模様とモアレ像
Fig. 4.11 State of point-like precipitates and moiré pattern.

ひずみが残っている場合について報告されており^{(10)~(12)}、転位や積層欠陥などの発生が明らかにされている。われわれは加工ひずみが除去された試料やエピタキシャルの試料を用いて、dry N₂ 中での熱処理と対比させて熱酸化処理の影響を調べた。

EM 試料作成中に生じた Si 表面の傷や割れからは、熱酸化処理によって転位の発生が見られる。dry N₂ 中での熱処理でも同様な結果が得られるので、転位の発生は、熱酸化処理にかぎらず高温中で Si を処理することによるひずみの緩和のために起こると考えられる。

図 4.10 に熱酸化処理によって Si 中に発生した点状析出物の EM 写真を示す。図 4.10 (a) で帯状は [110] 方向に、線状は [211] 方向に配列している。試料傾斜による帯幅の変化から図 4.11 (a) に示すように帯状の析出物は Si の内部に侵入していることがわかった。図 4.11 (b) に転位に沿って析出している例を示す。このほかに積層欠陥の部分転位に関連して析出することもあった。これらの点状析出物からは、図 4.11 (b) に示すモアレによる干渉じま(縞)が認められることから、Si 中の析出物であることが明らかである。

このような点状析出物は、3.1 節で述べた CuSO₄ や FeCl₃ の溶液を試料台の端にぬって熱酸化処理を行なうと著しく発生した。したがって Cu や Fe のような重金属による表面汚染が原因となって点状の析出物が生ずると考えられる。このほかに三角形の析出物の発生も認められたが、同様に表面汚染が原因していることがわかった。一方 dry N₂ 中での熱処理の場合には、これらの析出物の発

生は認められなかった。

以上のことより熱酸化処理によってときどき発生する点状や三角形の析出物は、Cu⁽¹³⁾ や Fe のような重金属による Si 表面の汚染がとくに影響していると思われる。なお dry N₂ 中での熱処理の場合に認められないのは、酸化膜による表面保護がないために外部との反応が著しく、Si 中への残存は減少するからであろう。

5. む す び

Si の熱酸化現象を電子線回折および EM 観察により検討した結果を要約すると次のようになる。

(1) Si 酸化膜の表面状態は、酸化前の Si 表面の形態と同じである。

(2) 約 900 Å の酸化膜が成長するまでは、平滑な酸化膜の成長は見られず、とくに酸化の進んだ部分が島状に生じる。これ以上の膜厚になると、ほとんど平滑な酸化膜の成長になる。

(3) Si 酸化膜の構造は α-クリスタライトや α-トリジマイトの微細結晶の集合体であると推定できる。

(4) Si 酸化膜中には粒状の酸化物結晶が、数 μ の円板状に集まって存在することがある。P の拡散や Fe による表面汚染が、結晶の原因の一つになっている。

(5) 製造工程中に Cu や Fe などの重金属によって Si の表面が汚染されると、熱酸化処理によって Si 中に点状や三角形の析出物が発生することがある。

以上の結果は wet O₂ ふん囲気による限られた熱酸化条件での結果であるので、今後はさらに異なったふん囲気や広範囲の条件で観察する必要がある。この実験を遂行するにあたり、試料作成や結果の検討にご協力下さった諸氏に深く感謝の意を表します。

(昭 42-6-8 受付)

参 考 文 献

- (1) A. N. Knopp, R. Stickler : Electrochem Technology, 13, 37 (1967)
- (2) H. Edagawa, Y. Morita, S. Maekawa : J. J. A. P 2, 765 (1963)
- (3) 菅野, 岩沢 : 半導体専門講習会予稿集, 121 (昭 40)
- (4) S. W. Img : Jour. Electrochem. Soc. 109, 221 (1962)
- (5) P. Balk, C. F. Aliotta, L. V. Gregor : Tran. Metall. Soc. AIME 233, 563 (1965)
- (6) 吉木 : 鉱物工学, 牧報堂, 141 (昭 35)
- (7) 水島, 荒田 : 電子材料, 7, 28 (昭 40)
- (8) H. Edagawa, E. Sugata et al : Jour Electronmicroscopy 10, 20 (1961)
- (9) 菅野, 鳳 : 通信学会講演 (昭 41)
- (10) H. J. Queisser, P. G. G van Loon : J. A. P 35, 3066 (1964)
- (11) G. R. Booker, R. Stickler : Phil. Mag. 12, 1303 (1965)
- (12) G. R. Booker, V. Valdré : Phil. Mag. 13, 421 (1966)
- (13) D. J. D. Thomas : Phys. Stat. Sol. 3, 2261 (1963)

サファイア上シリコン結晶とその応用

伊藤 昭子*・石井 孝*

Silicon Crystals on Sapphire and Their Applications

Kitaitami Works Akiko ITŌ・Takashi ISHII

Single crystal silicon films on the surface of single crystal sapphire substrates (silicon on sapphire-SOS) have been obtained by pyrolysis of silane. The quality of SOS dependent on deposition conditions-such as substrate orientations, growth temperatures, gas compositions and gas flow rates-has been inspected by an electron diffraction method and an electron microscopic method by the use of replica technique. Characteristics of SOS films themselves are measured in their conduction type, resistivity and Hall mobility. The mobility of silicon films grown on (1012) sapphire surface under an optimum condition has shown about 95 % of that of bulky silicon.

MOS field effect transistors and TTL integrated circuits are fabricated with the SOS films. Some other applications of SOS films are also among the description.

1. ま え が き

IC の特長には、(a) 小形軽量、(b) 高速動作、(c) 高信頼性があげられる。信頼性と高速動作に関連して製作上とくに重要な問題に、集積された各素子の絶縁分離がある。現在一般に製作されている IC は、モノリシック形であり、各素子は逆バイアスされた P-N 接合によって分離されている。この P-N 接合部の寄生容量、逆方向漏えい (洩) の存在、あるいは分離のための P-N 接合が素子の接合と合成されて形成される寄生トランジスタ作用のために、十分な分離が行なわれず、高周波特性の劣化、動作速度の低下をもたらす、回路設計の自由度が制限されている。今一つの IC の方式としてハイブリッド形 IC がある。素子の分離は容易であるが、能動素子の性能に問題がある。これら二つの方式の IC のおのおのの特長を生かし、良好な能動素子・受動素子を含み、かつ素子分離の完全なものという要求によって登場したのが、以下に述べる絶縁物を基板とする IC への試みである。従来のハイブリッド形 IC と根本的に異なる点は、能動素子が単結晶材料で構成されていることである。素子の分離は素子材料をエッチング除去することによって行なわれる。このため寄生容量・電流漏えいはほとんど無視できる。

このような試みの歴史は古く、基板の種類、素子材料の組合せも多岐にわたっている。基板に着目して分類すれば、大略次のようになる。

- 非晶質—石英 (SiO_2), ガラス被覆アルミナ
- 多結晶質—アルミナ ($\alpha\text{-Al}_2\text{O}_3$), ペリリヤ (BeO),
マグネシア (MgO)
- 単結晶質—サファイア ($\alpha\text{-Al}_2\text{O}_3$), ペリリヤ, マグネシア,
ほたる石 (CaF_2), 炭化けい素 (SiC), スピネル,
水晶 (SiO_2)

現在最も成功しているのは、サファイアを基板とし、Si を成長させた場合で⁽¹⁾⁽²⁾, 単独の素子とし、また IC として⁽³⁾実用に近い線まで検討が進められてきている。当所でも上述の意図の下に、絶縁物基板上 Si 結晶の製作、検討を進めているが、以下にサファイアを基板とし、エピタキシャルに成長させた Si 結晶 (Silicon on Sapphire, 以下 SOS と略す) の製作法・結晶構造・特性などについて述べる。SOS の特長を生かした機能素子については、まだ十分検討されて

いないが、試作した素子特性についても簡単に紹介する。

2. 基 板

2.1 基板サファイア

基板として使用しているサファイアは、 $\alpha\text{-Al}_2\text{O}_3$ の単結晶で、りょう (菱) 面体構造の結晶形をもつが、通常は便宜的に六方こう (格) 子の結晶表示を使用する。 O^{2-} イオンが六方最密充てん (填) 配置をとり、 O^{2-} イオンの形成する八面体空間の (2/3) を Al^{3+} イオンが満たし、全体として静電エネルギーが最小になるよう配列している。図 2.1 はサファイアのこう子模型図である。サファイアは人工的に、比較的容易に均質な単結晶を作ることができる。不純物をとくに添加しない場合は無色透明である。製法としては、

(a) 火炎熔融法

(b) 水熱合成法

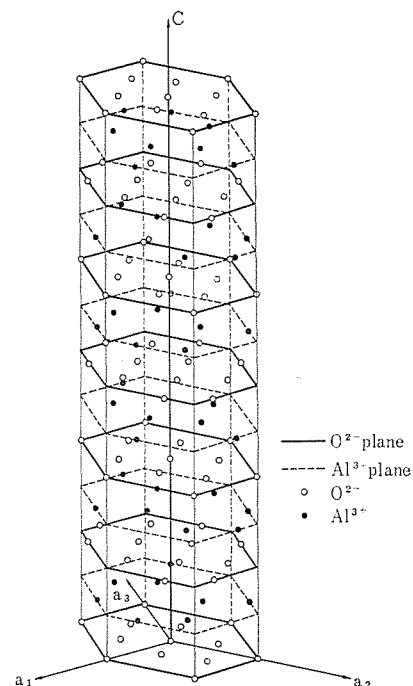


図 2.1 サファイア格子模型
Fig. 2.1 Model of sapphire lattice.

表 2.1 サファイア、シリコンのおもな物性の比較
Table 2.1 Material constants of sapphire and silicon.

	サファイア	シリコン
化学組成	$\alpha\text{-Al}_2\text{O}_3$	Si
結晶構造	六方晶構造	ダイヤモンド構造
格子定数 Å	(c 軸) 12.95 (a 軸) 4.75 c/a=2.73	3.57
融点 °C	2040	1420
線膨張係数 25°C~1000°C(deg ⁻¹)	(c 軸) $6.66\sim9.03\times 10^{-6}$ (a 軸) $5.0\sim8.31\times 10^{-6}$	$2.3\sim4.6\times 10^{-6}$
電気固有抵抗率 Ω-cm	10^{11} (500°C) 10^8 (1000°C) 10^4 (1500°C)	
圧縮応力限界 psi	3×10^5 (25°C)	
引張応力限界 psi	5.8×10^4 (25°C)	
破壊応力限界 psi	$6.5\sim 10\times 10^4$ (25°C)	
密度 g/cm ³	3.96	2.33

(c) 融液成長法 (チョクラルスドール法)

(d) 電子ビームによる帯域熔融法

があり、ロッド状の結晶が得られる。これを適当な方位、寸法に切断し、研磨して基板とする。サファイアの結晶性の良否が、成長 Si 膜の結晶性・電気特性に大きく影響するので、基板の選定には十分考慮する必要がある。サファイア結晶に付随する欠陥には、うろこ状の結晶不整、副結晶粒(subgrain)、ガスボイド、ポイド、転位などがある。また内部に熱ひずみによる残留応力が存在し、結晶全体が変形している場合もある。(a)(b)の方法で製作されたサファイアは、このような欠陥も多く、残留応力も大きい。転位密度は $10^8\sim 10^9$ 個/cm² に達する。(c)(d)によるサファイアは比較的均質で、転位密度も $10^2\sim 10^3$ 個/cm² のものができており、残留応力も小さい。とくに(d)は結晶性もよく、純度も高いが、大きな寸法のものが得られない欠点があり、実験室的成果の域を出ていない。

2.2 サファイアと Si の物性の比較

表 2.1 にサファイアと Si の化学組成・結晶構造・物性定数の比較を示す。結晶構造・格子定数が互いに異なるので、サファイア上に Si をエピタキシャル成長させるには適当な方位の面に基板を切断する必要がある。サファイアの融点は 2,040°C で、Si の気相成長に必要な温度において十分安定である。一方室温から 1,000°C の温度域で、両者の熱膨張係数にかなりの差がある。この相異により、Si 成長後冷却するにつれて残留応力が発生し、これによって安定に付着できる成長膜の厚さの限界が規制される。50 μ が Si 膜の成長限界といわれ、成長 Si には $10^9\sim 10^{10}$ dyne/cm² の圧縮応力が作用している。サファイアは室温で 10^{11} Ω-cm の固有抵抗をもち、したがって基板を通じての電流漏れはまったく無視してよい。化学組成から明らかに、サファイアは Al の酸化物であり、この Al は成長 Si 膜中に拡散し、アクセプタ準位を形成することになる。

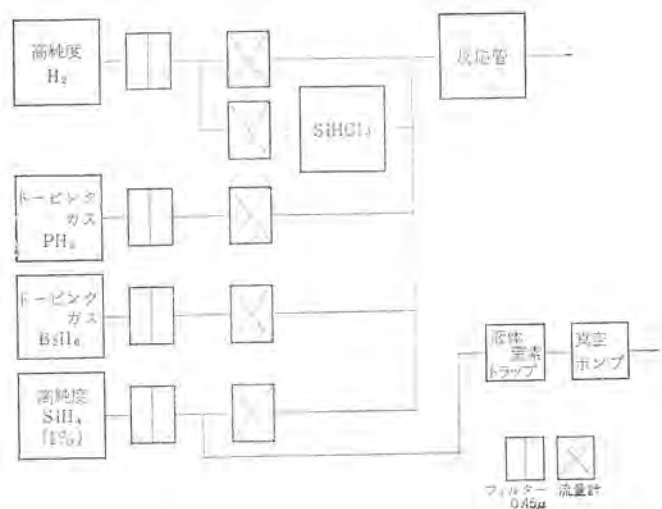


図 3.1 反応装置の構成
Fig. 3.1 Flow diagram of the reaction system.

表 3.1 実験条件
Table 3.1 Experimental conditions.

基板方位	(0001), (1012), (1123)
成長温度 °C	1,000~1300
供給ガス組成 $\frac{\text{SiH}_4}{\text{H}_2+\text{Ar}}$	$5\times 10^{-4}\sim 5\times 10^{-5}$
供給ガス流速 線速度 cm/min	40~300

3. Si 結晶

3.1 成長装置ならびに成長法

Si の成長方法として、SOS においても種々の方法が試みられていたが、おもなものとしては、

真空蒸着法
気相成長法 { SiH_4 の熱分解法
 Si ハロゲン化物の水素還元法

がある。いずれの方法によっても Si 単結晶の成長が可能であるが、結晶性・電気特性の点で、 SiH_4 の熱分解による方法が最もよく、われわれはこの方式を採用した。装置の構成は従来から行なわれている Si 気相成長装置と類似で、縦形成長炉を用いた。図 3.1 は装置の構成を示したものである。 SiH_4 は Ar で 1% に希釈したもので、日本酸素 K. K. より市販されているものを使用した。基板は超音波洗浄により十分脱脂洗浄の後、白金のつぼみゅうで昇温リン酸により数分間エッチングする。エッチング温度は基板の方位により、350°C~500°C の温度域に及ぶ。基板面に垂直な軸（以下、基板の切断軸と略す）がサファイア格子の C 軸となす角度が小さいほど、最適エッチング温度は低くなる傾向がある。エッチング面の仕上がり状態は、機械研磨による鏡面仕上げと同程度の平滑さになるが、周辺部で少し粗が生じる。Si の成長条件の検討は表 3.1 に示す範囲で行ない、成長後の Si 結晶の評価は、反射電子線回折法（以下、ED 法と略す）と電気特性によって比較検討した。

3.2 成長 Si 膜の結晶性

成長 Si 膜の結晶性は、基板サファイアの良否、成長温度の影響で大幅に変わる。欠陥の多い基板、表面仕上げの悪い基板に成長させ

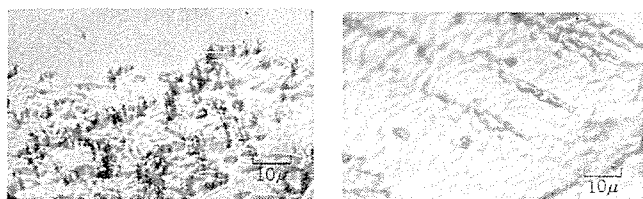
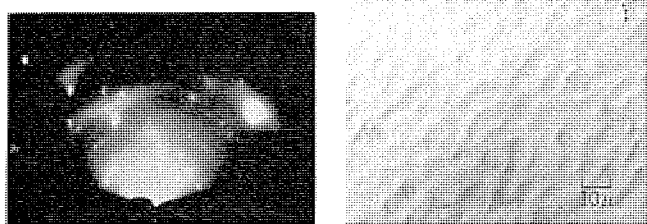
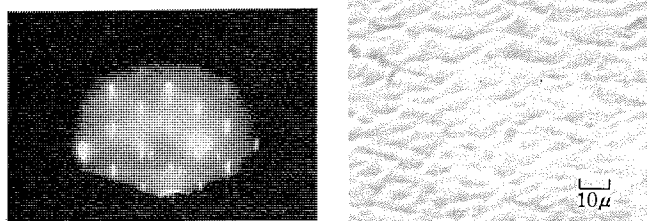


図 3.2 基板の欠陥による SOS 膜の異状
Fig. 3.2 Irregularities of SOS film due to substrate disorder.



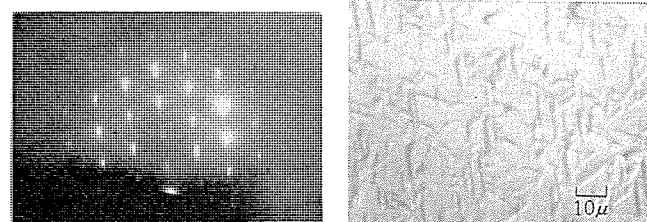
(a) 1,050°C

(a) Si on (1012) substrate



(b) 1,100°C

(b) Si on (1123) substrate

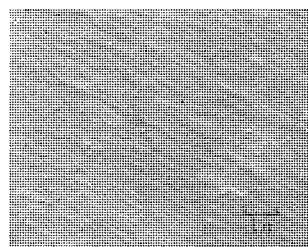


(c) 1,180°C

(c) Si on (0001) substrate

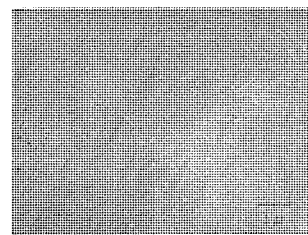
図 3.3 成長温度の違いによる
反射電子線回折像の変化
Fig. 3.3 Reflection electron
diffraction patterns of SOS
films grown at various te-
mperatures.

図 3.4 成長表面の顕微鏡写真
Fig. 3.4 Photomicrographs of
grown film surface.

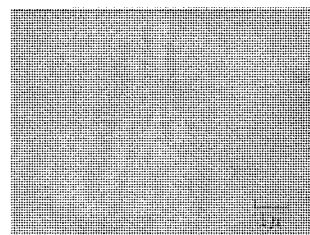


基板方位 (1123)
成長膜の厚さ 15 μ

図 3.5 SOS 膜表面のレプリカ
像
Fig. 3.5 Replica photomicro-
graph of SOS film
surface.



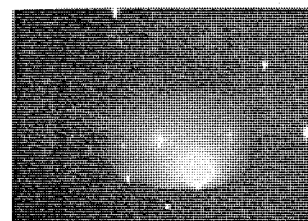
(a) 膜厚 3 μ



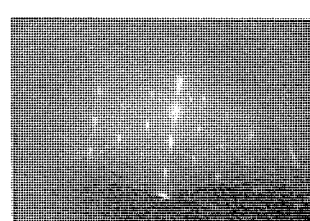
(b) 膜厚 15 μ

基板方位 (1012)

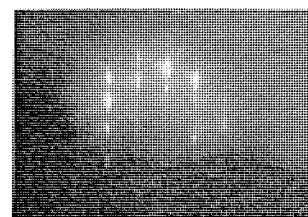
図 3.6 成長膜の厚さの違いによる表面状態の相違
Fig. 3.6 Replica photomicrographs of SOS films having
different grown film thickness.



(a) (100) Si on (1012)
substrate



(b) (111) Si on (1123)
substrate



(c) (111) Si on (0001)
substrate

図 3.7 基板方位と SOS 膜の
方位の関係(反射電子
線回折像)
Fig. 3.7 Reflection electron
diffraction patterns of SOS
films on various substrates
having different orientations.

た Si 結晶は、多くの欠陥、不均一成長を含み、著しい場合には多結晶となる。図 3.2 は基板の欠陥が、成長 Si 膜の不均質の原因となった例である。このような結晶は双晶構造・多結晶構造となり、その ED 像は図 3.3 (a) または (b) に類似している。図 3.3 (a)~(c) は種々の成長温度において得られた Si 結晶の ED 像である。成長温度 1,100°C 以下では、Si 結晶は方向性多結晶(図 3.3 (a)), 1,100°C~1,150°C では双晶構造(図 3.3 (b))で、単結晶の成長は 1,150°C~1,250°C において得られる(図 3.3 (c))。1,250°C 以上では、Si の成長は島状となり、均一な成長膜が得られない。供給ガス流速の影響、その組成比の影響は顕著でなく、ED 像から結晶性の有意差を認めることは困難である。ただし流速が大きいくほど、また SiH₄ ガス濃度が高いほど、成長結晶の表面はステップ状で、おうとつが激しい。成長膜の表面状態は基板の方位により、かなり特長ある様相を示す。図 3.4 は Si 膜を 15 μ の厚さに成長させた場合の表面状態の顕微鏡写真である。基板として (1012), (1123) 方位を使用した場合は比較的良好な表面状態を示すが、(0001) 方位

を使用した場合、少し特長ある様相を呈している。(1012), (1123) 方位の基板はともに C 軸に対し 60° の切断軸を持っているのに対し、(0001) 方位の基板は C 軸に対し 0° の切断軸を持つためであろう。

図 3.5 は電顕レプリカ像により、成長表面の微視的なおうとつを観察した例で、基板方位 (1123) に Si を成長させた場合である。微細なステップ状のおうとつを除いて、表面はきわめて平滑であるとみなされ、レプリカ像にほとんどコントラストの観察されないものもある(図 3.6 (b) 参照)。図 3.6 は成長膜の厚さが異なる場合のレプリカ像で、基板方位 (1012) の場合である。(a) は成長膜の厚さ 3 μ, (b) は 15 μ の場合で、(a) では成長初期の島状析出のなごりがみられるが、(b) では表面状態はきわめて平滑で、コントラストはほとんど観察されない。基板として (1012) 方位を使用した場合は (100) Si が、(1123), (0001) 方位を使用した場合は (111) Si がそれぞれ成長する。図 3.7 は各方位の基板を使用した場合の成長 Si 結晶の ED 像である。斑点の伸びもよく、鋭い菊池ラインも観察されて、結晶性のよい Si が成長していることを示している。図 3.8

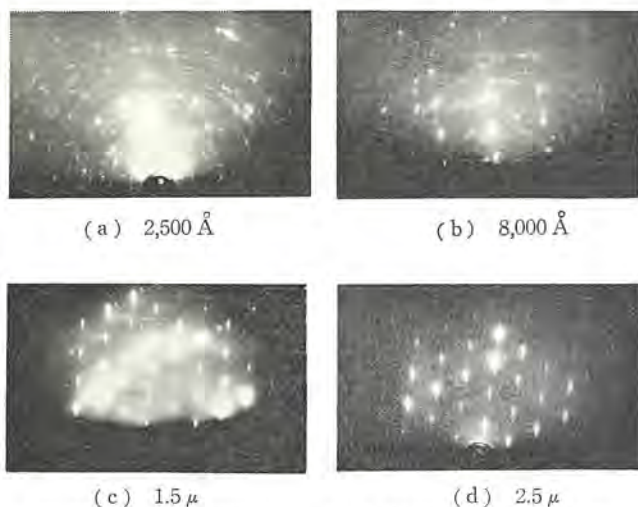


図 3.8 SOS の膜厚の違いによる反射電子線回折像の変化
Fig. 3.8 Reflection electron diffraction patterns at various SOS film thickness.

は成長 Si 膜の厚さを変えた場合の ED 像の変化の様子を示している。厚さ 1μ 以下では方向性の強い多結晶、 $1\sim 2\mu$ で双晶構造、 2.5μ 以上の厚さに成長した場合は完全な単結晶になっていることがわかる。サファイア, Si の結晶構造の相違, 格子定数の相違によって, 成長初期の Si 結晶は相当のひずみを受けているものと思われる。2 $\sim$ 3 μ の成長を通して, 格子の不適合, 結晶構造の相違の補償, 緩衝が行なわれ, その後正常な成長に移るものと考えられよう。

3.3 成長 Si 結晶の電気特性

とくに不純物を添加しない限り, AS grown Si 結晶は P 形の電気伝導性を示す。これは基板から Si ちゅうに Al がオートドーパされるためである。表 3.2 に各基板方位別に AS grown Si 結晶の電気特性を統括する。成長条件, 成長 Si の膜厚 (15μ) はいずれも同一である。

または図 3.9 は SOS のホール易動度を Si ちゅうの Al 濃度の関数として表わしたものである。実線は同濃度に対応するバルク Si のホール易動度⁽⁴⁾を示している。両者を比較した場合, SOS の電気特性はバルク Si のそれにほぼ匹敵するものもあることがわかる。基板方位に着目すれば, ($\bar{1}012$) 方位の基板を使った場合に最も高いホール易動度を示し, 同じ不純物濃度のバルク Si のホール易動度の 90% 以上に達するものもある。(0001) ($11\bar{2}3$) 基板を使用した場合にも, 平均してバルク Si の 60% 以上のホール易動度を示す結晶が得られる。オートドーパされる Al 濃度は $3\times 10^{16}\sim 2\times 10^{17}$ atoms/cm³ で, ($11\bar{2}3$) 基板を使用した場合にややばらつきが大きい。このように基板から相当量の Al がオートドーパされるが, 不純物濃度を成長 Si の膜厚の関数として求めたものが図 3.10 である。測定は Pauw の方法によった。

表 3.2 Non doped SOS の電気特性
Table 3.2 Electrical characteristics of undoped SOS films.

基板方位	比抵抗 (ρ_{SOS}) ($\Omega\cdot\text{cm}$)	ホール易動度 (μ_{SOS}) ($\text{cm}^2/\text{volt}\cdot\text{sec}$)	$\mu_{SOS}/\mu_{Si}(\%)$	オートドーパによる SOS 中の不純物濃度
(0001)	0.4 $\sim$ 0.9	150 $\sim$ 260	50 $\sim$ 83	$3.5\sim 7.5\times 10^{16}$
($\bar{1}012$)	0.3 $\sim$ 0.7	245 $\sim$ 285	80 $\sim$ 95	$4\sim 7.5\times 10^{16}$
($11\bar{2}3$)	0.2 $\sim$ 2	150 $\sim$ 235	60 $\sim$ 70	$3\sim 15\times 10^{16}$

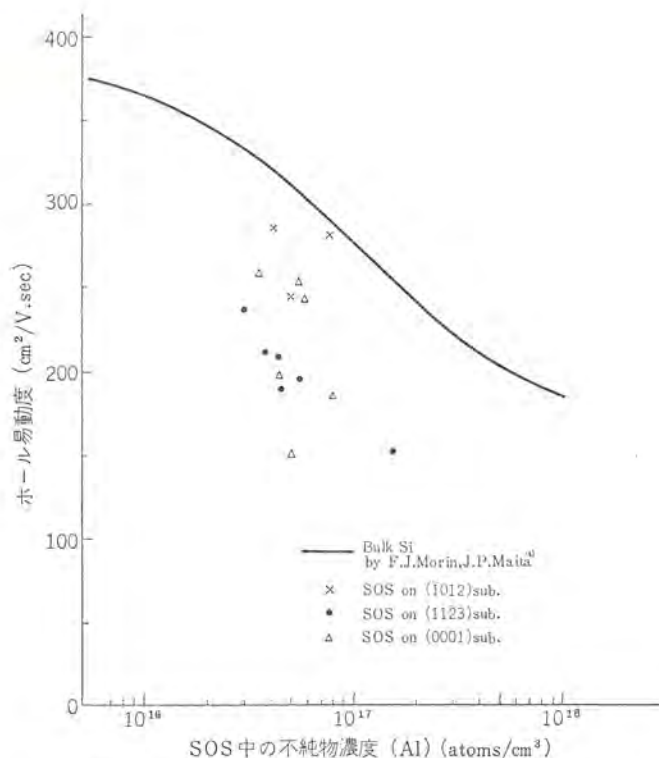


図 3.9 SOS のホール易動度と不純物濃度の関係
Fig. 3.9 Hall mobility of SOS films as a function of impurity concentration.

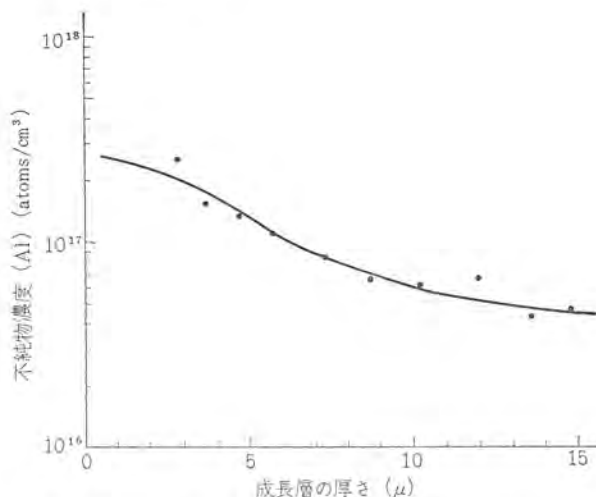


図 3.10 SOS ちゅうにオートドーパされた不純物 Al の分布
Fig. 3.10 Impurity distribution in SOS films.

すなわち Si 膜を表面から順次ラッピング除去し, そのつど Pauw の方法を適用して除去された部分の平均の比抵抗を求め, これから平均濃度を算出した。この場合ホール易動度は膜厚によらず一定と仮定したが, 実際には不純物濃度に依存し変化するので, 実際の濃度分布は図 3.9 に示したもののより幾分立ち上がったものになるであろう。

Al は Si 中で速い拡散速度をもち, 熱処理による速い拡散が予想されるが, $1,220^\circ\text{C}$ 以下で Al の拡散現象はほとんどみられない。

4. SOS のエピタキシ⁽⁵⁾

ここで簡単に SOS のエピタキシについてのべておこう。2 章で述べたように, サファイアはりょう面体構造, Si はダイヤモンド構造をも

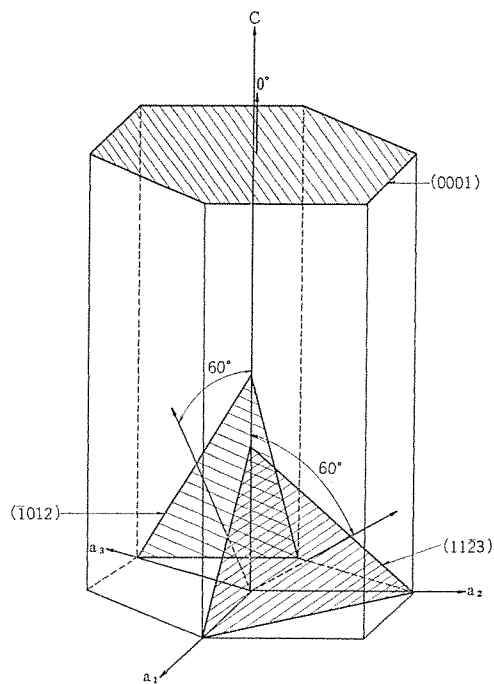


図 4.1 基板の面方位の概念図
Fig. 4.1 Schematic diagram of crystallographic orientation of substrates.

つため、エピタキシが満足されるためには、基板の方位を適当に選ぶ必要がある。この際考慮すべき要素としては、

- (a) 格子間隔の一致
- (b) 回転対称要素の一致
- (c) サファイア-Si 界面における格子点密度の一致

があるが、とくに (a) が重要である。以上の諸要素を考慮したうえ、基板の方位として $(\bar{1}012)$ 、 (0001) 、 $(11\bar{2}3)$ が選ばれるわけである。

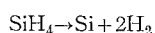
図 4.1 に示すように、その面方位は $(\bar{1}012)$ 、 $(11\bar{2}3)$ はともに切断軸が C 軸に対し 60° であるが、 (0001) は C 軸 0° となる。

こう子間隔に着目した場合、 $(\bar{1}012)$ サファイア基板に (001) Si が成長した場合に最もよく格子間隔が一致し、その不適合は数%以内である。次いで (0001) 基板に (111) Si の成長した場合の一致がよく、 $(11\bar{2}3)$ 基板に (111) Si の成長した場合が最も悪い。

一方対称要素に着目すれば、 (0001) サファイアと (111) Si の組合せが最もよく、次いで $(\bar{1}012)$ サファイアと (100) Si の組合せ、 $(11\bar{2}3)$ サファイアと (111) Si の組合せの順で対称性の合致がずれてくる。

結晶構造の違いに起因して、成長 Si 結晶は多少とも欠陥の多いものとなる。副結晶粒・転位などは基板サファイアの結晶の良否によるものであり、微視的な双晶 (Micro Twin) などは格子の不適合、Si 成長法によるところが大きい。成長 Si ちゅうに含有される微視双晶の密度は、 $(11\bar{2}3)$ 基板を使用した場合に最も高く、 (0001) 基板、 $(\bar{1}012)$ 基板の順にその密度は低くなる。これを 3 章で述べた電気特性と比較してみた場合、傾向としてよく一致していることがわかる。

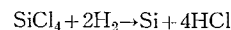
また微視双晶の密度は Si のハロゲン化物を使用した場合のほうが、 SiH_4 を使用した場合より高くなる。 SiH_4 から Si が析出する反応は、単純な熱分解反応であって、次のように表わされる。



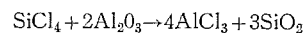
一方ハロゲン化物を使用した場合には、 SiCl_4 を例にとると最終的

サファイア上シリコン結晶とその応用・伊藤・石井

な反応は次式のようなになる。



HCl の発生に伴い、成長表面では成長と同時に常に若干のエッチング反応が起こっているであろうし、また基板とハロゲンガスの反応によって



のようにアルミナが侵食され、 SiO_2 ガスを発生し、これが Si の正常な成長を阻害する。このほか SiO 、 Al_2O を触媒とするような種々の副反応が付随して、成長機構は複雑である。これらのことが、微視双晶の発生率を高めている原因と考えられる。

5. 機能素子への応用

5.1 MOS-トランジスタの試作

以上に述べたように SOS の結晶性はバルク Si の結晶性に近似し、素子検討に十分値するものと思われる。

最近、半導体表面の研究が非常に進み、とくに Si 酸化膜については、その安定性、表面準位、イオンの挙動などの種々の物性が究明された。MOS-トランジスタはこのような半導体表面を利用した素子であり、最近では十分安定し、実用に供しうようになった。また MOS-トランジスタは通常のパイポーラトランジスタと異なり、電圧制御形の素子であって、多数キャリアで動作するため、結晶性の多少の欠陥は動作特性にそれほど敏感でないという利点がある。したがって SO S の検討機種として適したものといえる。MOS-トランジスタの構造を単純化して図 5.1 の構造をもつものとするれば、

ソース、ドレイン間の飽和電流 I_{DS} は

$$I_{DS} = \frac{\bar{\mu} C_g}{2L^2} (V_g - V_P)^2$$

で表わされ、飽和領域における相互コンダクタンス g_m は

$$g_m = \frac{dI_{DS}}{dV_g} = \frac{\bar{\mu} C_g}{L^2} (V_g - V_P) = \frac{\varepsilon \bar{\mu} W}{tL} (V_g - V_P)$$

で与えられる。ここに ε : 絶縁膜の誘電率

$\bar{\mu}$: Si ちゅうの電子の平均移動度

V_g : ゲート電圧

V_P : ピンチオフ電圧

各種方位の基板に成長させた SOS、ならびにバルク Si に MOS トランジスタを作成し、電気特性を測ることによって、 g_m から素材ちゅうの電子の平均移動度が比較できる。また $V_g = 0$ の場合のドレイン電流の飽和値 I_{DSS} は表面準位の密度に関連し、この値は結晶のよさを示す一つのパラメータとみることができる。

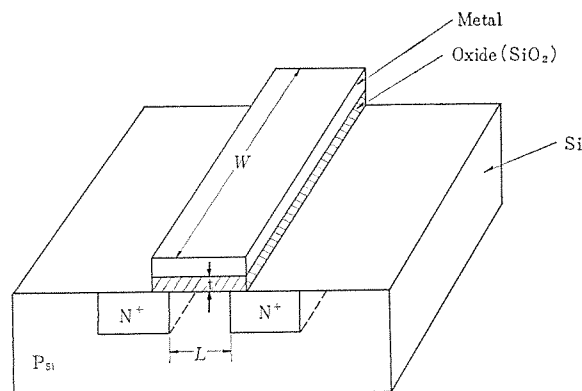
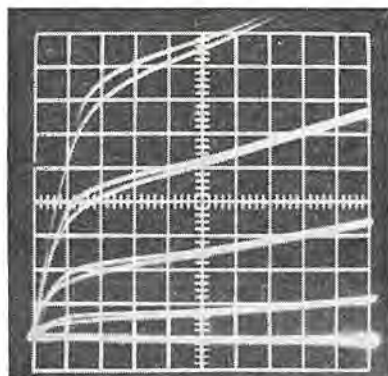


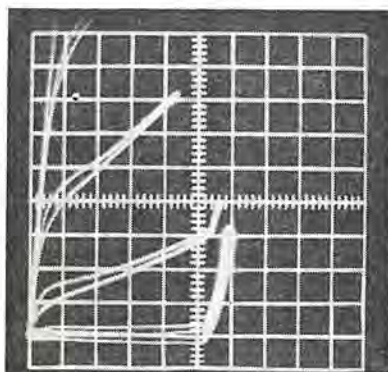
図 5.1 MOS トランジスタの構造
Fig. 5.1 Structure of MOS transistor.



図 5.2 MOS トランジスタのパターン
Fig. 5.2 MOS-transistor pattern applied to SOS.



(a) Horizontal : $V_{DS}=2\text{ V/div}$
Vertical : $I_{DS}=0.2\text{ mA/div}$
 $V_G=-1\text{ V/step}$



(b) Horizontal : $V_{DS}=5\text{ V/div}$
Vertical : $I_{DS}=0.1\text{ mA/div}$
 $V_G=-1\text{ V/step}$

図 5.3 MOS トランジスタの動作特性
Fig. 5.3 Typical characteristics of MOS transistor.

図 5.2 に試作した MOS-トランジスタの形状を示す。Si 素材の濃度は、ボロン添加により、P 形 $5 \times 10^{15} \text{ atoms/cm}^3$ に制御してある。したがって n チャネルの MOS-トランジスタである。

図 5.3 は方位 (1123) の基板に作成した SOS-MOS-トランジスタの動作特性である。同図 (a) は $V_{DS}-I_{DS}$ 特性、(b) はソース、ドレインの耐圧特性を示している。また表 5.1 に各方位の基板での SOS-MOS-トランジスタの特性をまとめてみた。 g_m は $400 \sim 1,200 \mu\text{S}$ で、同じ不純物濃度のバルク Si 素材に作成した MOS-トランジスタにほぼ匹敵した特性のものが得られる。(0001) 基板上的の SOS-MOS-トランジスタが、動作特性の点で他の 2 種の基板のものに劣るようである。マスクかぶれによるゲートの広がりか原因で、実際にはそれほど差はないものと思われるが、この点を考慮しても、 g_m 、 I_{DSS} などを比較した場合、傾向として切斷軸が C 軸 60° の (1012)、あるいは

表 5.1 SOS-MOS トランジスタの動作特性ならびに Bulk MOS トランジスタとの比較

Table 5.1 Comparison of MOS transistor characteristics fabricated with SOS films and bulky silicon.

基板方位	$g_m (\mu\text{S})$ $V_{SD}=6\text{ V}$ $I_{SD}=1\text{ mA}$	$V_G \text{ cut off (V)}$ $I_{SD}<10\text{ }\mu\text{A}$	S-D 耐圧 (V)	$I_{DSS} (\text{mA})$ $V_G=0$ $V_{SD}=6\text{ V}$
(0001)	300~400	9~14	22~25	0.7~6
(1012)	500~600	5~6	20~25	1~2
(1123)	600~1200	5~8	16~28	2~8
Bulk Si	~1000	~5		~2~3

表 5.2 SOS-ブレナ接合の逆方向特性
Table 5.2 Reverse characteristics of planar junctions fabricated with SOS films.

	逆耐圧 (V_B) (V)	V_B におけるリーク電流 (μA)
(0001)	17~23	5~10
(1012)	20~25	5~8
(1123)	20~30	5~8
Bulk Si	~40	

(1123) 基板上的の SOS-MOS-トランジスタのほうが、切斷軸が C 軸 0° の (0001) 基板のものよりまさっているようである。

同じ膜面内のそれぞれ別個の素子のソース、ドレイン間の耐圧を測定して、ブレナ接合逆方向特性を調べた結果を表 5.2 に示す。同じ不純物濃度のバルク Si を素材とした MOS-トランジスタの逆方向耐圧は $\sim 40\text{ V}$ であり、SOS-MOS-トランジスタにおいて、ほぼこれに近い値を示すものもある。逆方向特性はいずれもシアーで漏れ電流は数 μA 程度である。

5.2 SOS-IC の試作

MOS-トランジスタ、ブレナダイオードと実用に供しうる素子が、SOS を素材として作りうるということが明らかになった。SOS 本来の要求として当然 IC への応用を考えるべきであろう。

IC に使用するための SOS 構造としては、前記の MOS 構造のほかに、比較的厚く Si 層を累積し、通常のブレナ技術により基板に平行な接合面を作り能動素子を構成する方法、また薄い Si 層を用い、不純物をマスク拡散して、基板に垂直な接合面を作り、能動素子を構成する方法がある。SOS を使って上述の構造の IC を試作した例が、Autonetics などから発表されているが⁽³⁾、今回は通常のパイプライン IC パターンをマスクにして、IC への応用の可能性を検討した。試作に供した試料はダブルエピタキシャル仕様によるもので、成長層の構成は図 5.4 のとおりである。図 5.5 (a) は試作した IC の回路構成を、(b) は SOS に作成した IC のパターンを示している。試作品では絶縁分離は通常の P-N 接合によっており、したがって SOS 本来の特長がまったく生かされていないことになる。

断面を角度研磨し、ステンエッチした結果、400 倍の倍率で観察した場合、平滑な接合を示していた。しかし今回の実験では、組込まれたトランジスタの電流漏れが大きく、特性がソフトで、機能素子としては実用に供しがたいが、ベース、エミッタの耐圧 (V_{EB0}) は 8 V 、ベース、コレクタの耐圧 (V_{CB0}) は 30 V を示した。

SOS には副結晶粒界 (sub grainboundary) や、微視双晶が多く

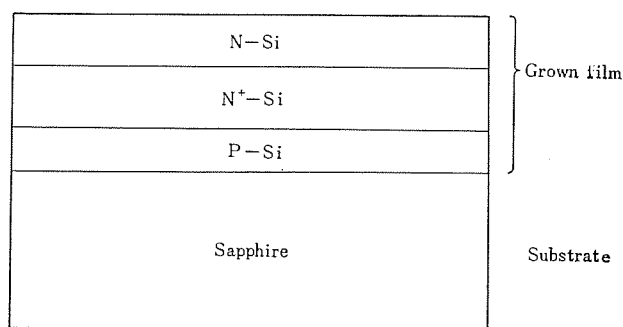
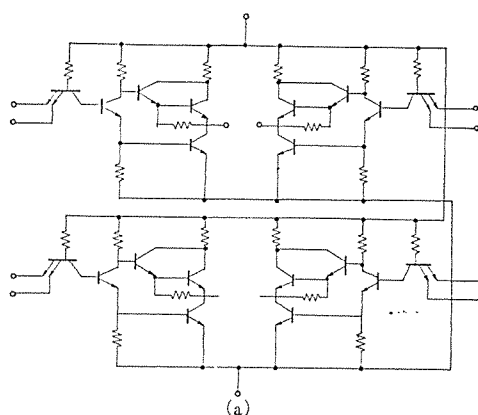
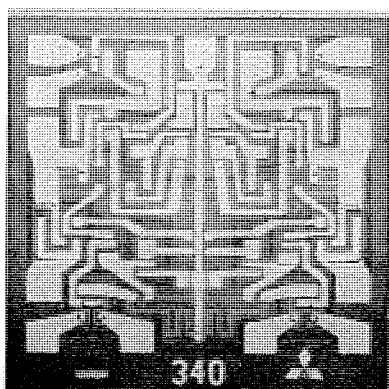


図 5.4 IC 試作用 SOS 構造
Fig. 5.4 SOS structure for IC.



(a) 回路構成



(b) SOS IC パターン

図 5.5 SOS に適用した IC Fig. 5.5 IC applied to SOS.

含まれているため、この部分を通して不純物が異常拡散しているためとみられる。

以上のようなわけで、SOS を通常のバイポーラ IC に応用するには少々無理があり、MOS-IC を目標とするのが妥当であろう。

5.3 SOS-IC の見通し

SOS にどのような回路構成の IC を適用するか、回路の選択、設

計が最も重要な問題であるが、ここでは SOS-IC の将来のあり方、可能性について述べてみたい。

最近 MOS-IC の実用化が論ぜられているが、MOS-IC の特長は、その集積度が著しく高いこと、分離の不必要なため製作工程が非常に簡単で、経済的に有利なことがあげられる。

一方 SOS は、ダイシング、メタライジングが困難であり、通常の IC のようにチップに切断し、マウントすることがむずかしい。したがって一つの行き方として、MOS-トランジスタとその他の素子で、メモリアレイ (Memory Array) を構成し、基板全体で一つの完成されたシステムを形成することが考えられる。この場合集積度を多少犠牲にし、素子間をエッチングにより分離するなら信頼性はいっそう向上するであろう。

また基板が絶縁物であるので、薄膜混成回路にみられるハイブリッド技術を活用することができる。SOS でまず能動素子を形成し、不必要な部分はエッチング除去する。この部分にハイブリッド技術に応用し受動素子を形成する。すぐれた能動素子、受動素子で回路が構成でき、リニア回路として期待できる。

さらに写真製版技術の進歩と、基板 サファイア の高周波特性の良好な点に着目し、マイクロ波用 IC⁽⁶⁾ としての将来性も有望である。

6. む す び

IC の信頼性・回路設計の自由度が重視されるにつれ、素子分離の問題はいっそう重要なテーマとして取り上げられるであろうし、そのかぎりでは SOS にみられるような絶縁物を基板としてすぐれた能動素子を形成する試みが、今後も飽くことなく続けられるであろう。また基板、素子材料の種類、組合せもいっそう多岐にわたるであろうが、今後はそれ以上に回路構成、適当な機能素子の選択、設計を検討する必要がある。いずれにしろこの種の試みは、単に結晶成長の本質を探るという問題にとどまらず、設計・製作技術の検討という、理論・実践の両面にわたる幅広い課題をわれわれに提供してくれるものとして興味深い。

終わりに結晶解析、MOS-トランジスタの試作、IC の試作に協力していただいたかたがたに感謝します。 (昭 42-6-8 受付)

参 考 文 献

- (1) H. M. Manasevit, A. Miller, F. L. Morritz & R. Nolder : Trans. AIME, 233, 3, 540 (1965)
- (2) P. H. Robinson & C. W. Mueller : Trans. AIME, 236, 3, 268 (1966)
- (3) A. Miller Electronics, Feb. 20, 171 (1967)
- (4) F. J. Morin & J. P. Maita : Phys. Rev., 96, 1, 28 (1954)
- (5) R. Nolder & I. Cadoff : Trans. AIME, 233, 3, 549 (1965)
- (6) Z. Znleeg : Electronics Mar. 20, 106 (1967)

薄膜抵抗直接エッチング方式

忍 足 博*・福見 勝彦*・山崎 照彦*

“Direct Etching Method” of Thin Film Resistor

Kitaitami Works

Hiroshi OSHITARI・Katsuhiko FUKUMI・Teruhiko YAMAZAKI

A direct etching method of evaporated silicon-chromium film resistor has been successfully developed by photoengraving techniques applied to IC fabrication.

The new etching techniques permit the reduction of process in thin film circuit fabrication, and in combination with face bonding technique it helps to produce more miniaturization and cost reduction on thin film hybrid circuits. Through the techniques Mitsubishi has developed thin film micro-circuits, which have total resistance of 15 M Ω , sheet resistivity of 5 k Ω /square mm and resistance pattern width of 40 μ . These are products of the kind unparalleled by others.

1. ま え が き

超小形電子回路の製造方式には、大別して半導体集積回路方式と薄膜および厚膜混成回路方式とがあり、当社のモロトロンもこれらを開発、生産してきた。薄膜混成回路はトランジスタ、ダイオードのような個別の超小形能動素子を、平滑なガラスまたはセラミック基板上に集積化し、薄膜受動素子に接続して、ブロック化したもので、各社の技術レベルによりその使用材料、構造、製法に大きな特長が見られる。

一般に薄膜抵抗としては Ni Cr, Ta を用いることが多いが、当社の薄膜混成回路は Cr Si 高抵抗材料と、写真製版技術による精密な回路パターンおよびフリップチップ方式と呼ばれる組立方式の採用により、半導体集積回路に比べても見劣りのない実装密度と低価格が得られることを特長としている。

本論文ではこの Cr Si 薄膜抵抗を製作するためわれわれが開発した直接エッチング方式と 2, 3 の応用例につき報告し、あわせてその他の抵抗体製造方法についても簡単に紹介する。

2. 各種抵抗体製造方法

薄膜素子 (C, R) の製造方法には各種あるが、その選択にあたっては素子材料、基板材料およびそれら相互の影響を考慮して決定する必要がある、そのためには薄膜の物理的あるいは化学的性質を十分理解しなければならない。薄膜素子製造方法を大別すると次の三つに分けることができる。実際にはこのいずれかの組合せで行なっているところが多い。

2.1 “In contact” method

ネガ法とも呼ばれ図 2.1 に示すようなプロセスで薄膜体を形成する。ここで使用するネガ metal は簡単に蒸着装置内で蒸着が可能であり、またエッチングが容易にかつ精度よくできるものでなければならない。当所ではネガ metal として Al を使用しそのエッチング精度も $\pm 3 \mu$ 以内に制御している。一般には Cu が選ばれている。

2.2 “Out of contact” method

薄膜素子製造の初期に使用されていた方法で、金属マスクを使用して抵抗パターンを形成するものである。ここで使用する金属マスクの材料は、銅合金、ステンレス、モリブデンなどが使用されるが、蒸着時の温度上昇の際に膨張が比較的少なく、高温においても強度や柔軟

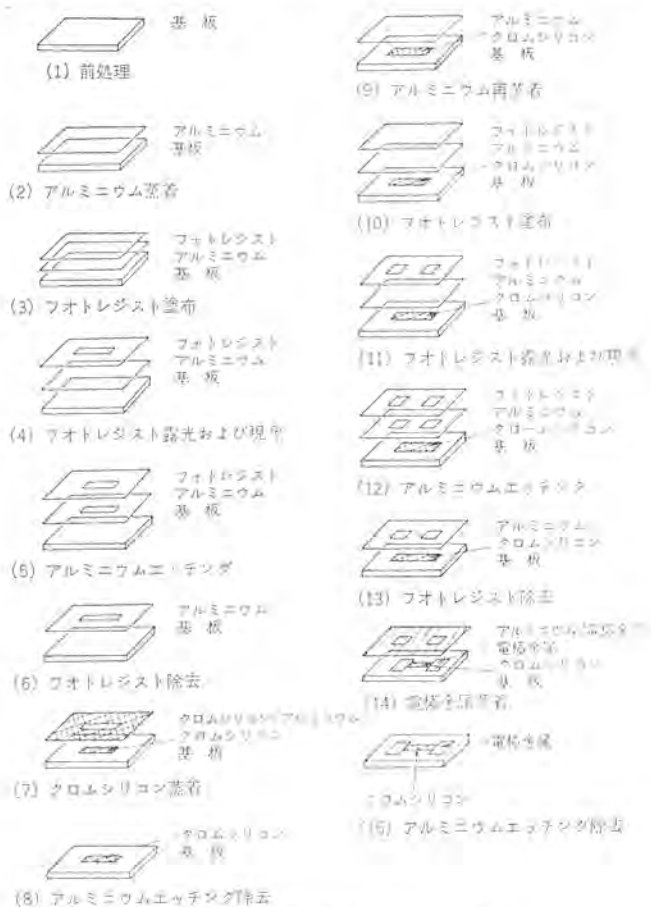


図 2.1 “ネガ”マスクング方法
Fig. 2.1 “In contact” method.

性を失わないという利点から現在ではモリブデンが一般に広く使用されている。この方法ではできあがった素子の精度が使用した金属マスクの精度に左右される。したがって精度のよい金属マスクの製造技術が必要となる。現在では専門メーカーに注文した場合その精度は metal の厚さにもよるが 50 μ 厚 Mo foil の場合、エッチング精度は $\pm 10 \mu$ といわれている。一般に金属マスクのコストが高いこととその精度が悪い点で特別な場合以外はこの方法を生産に使用することはさける方向へ進んでいる。

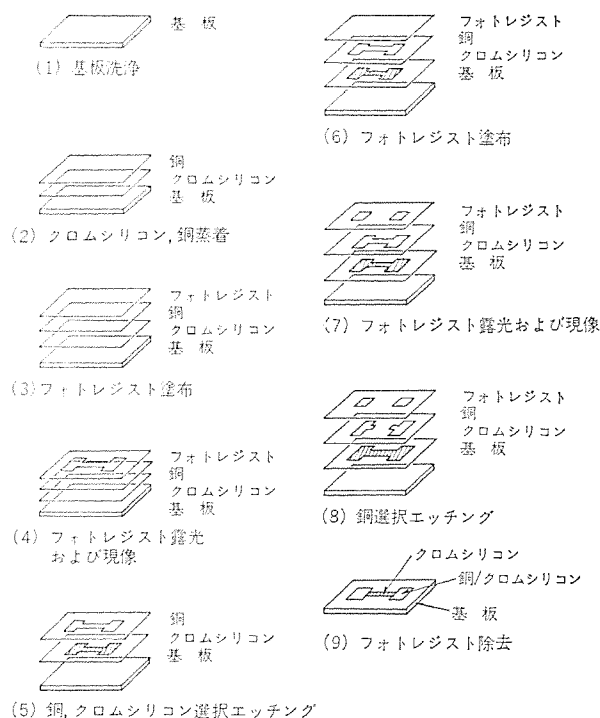


図 2.2 直接エッチング法
Fig. 2.2 Direct etching method.

2.3 Direct etching method (直接エッチング法)

あるいは Selective etching method ともいわれる。(図 2.2 参照) この方法は図に示すように製造工程がきわめて短縮され、蒸着装置も少なくてよいので製造コストを下げるができる。抵抗のエッチング精度は “In contact” method と同じであるが抵抗材料のエッチング液の開発が必要となる。この目的に使用するエッチング液の条件は次のとおりである。

- (1) フォトレジストが侵されないこと。
- (2) 基板が侵されないこと。
- (3) サイドエッチが少なく精度よくエッチングできること。
- (4) 処理時間が短いこと。
- (5) 電極材料と抵抗材料の選択的エッチングが可能な液であること。

したがってこの条件に適するエッチング液が見出されなければ適用することができない。今まで述べた “In contact” あるいは “Out of contact” の方法に比較して、

(1) 抵抗、電極蒸着後図 2.2 の (2) の段階において作りだめができる。

(2) したがって客先の要求に応じて任意のパターンをただちに製作できる。

(3) 製造工程が少なく、歩どまりの向上が期待でき製造コストを下げるができる。

などの利点を有し、写真製版技術を使用する場合には薄膜製造の理想的工程といえよう。

3. Cr-Si 直接エッチング

3.1 Cr-Si 蒸着膜

Cr-Si 薄膜抵抗については Edwards High Vacuum Ltd で Cr 75%, Si 25% wt の混合物で抵抗膜を作っているが、当所においてはシート抵抗を上げるために Cr 40%, Si 60% wt の混合物の蒸着を行

なっている。Cr-Si の利点としては蒸着時に液体状態を経て蒸発するので、粉末状態より昇華する Cermet に比べソース温度が均一になること、蒸着面積が一定になることなどから蒸気圧および蒸着速度が制御しやすい点がある。

一般に混合物や合金などを蒸着する際には成分物質の蒸気圧が異なるから、通常行なわれている単体を蒸着する方法では得られた蒸着膜の組成とものと蒸発源の組成とは異なる。Cr-Si の場合、Cr 25%, Si 75% wt は共晶合金で約 1320°C で溶ける。したがって蒸着が容易に行なわれる。蒸発源の組成が Cr 40%, Si 60% wt の場合蒸着膜の組成の定量分析を行なった結果、Si の量は 73~84%, 平均 80% である。また蒸着膜の赤外吸収スペクトル法による分析では一部に SiO₂ および Si₃O₄ の存在が推定される。

抵抗温度係数は Cr 40%, Si 60% wt の蒸発源組成においてはシート抵抗 5 kΩ/□ の場合、平均値 -118 ppm/°C に対し ±20 ppm/°C であり、またシート抵抗 10 kΩ/□ の場合温度係数は -200 ppm/°C である。

3.2 エッチング液および電極材料の選定

薄膜抵抗素子製造法には種々の方法があることを述べたが、蒸着抵抗膜を直接エッチングして製造する “Direct etching method” がコスト面からきわめて有利である。すでに発表しているように当所においては Al によるネガ法を採用してきたが、さらにコスト面の低下をはかるために “Direct etching method” を試みた。

われわれはまず Cr-Si 抵抗膜のエッチング液開発を行ない HF-H₂SO₄-NH₄F-H₂O 系が良好であることを見出した。この場合液系からわかるように、基板にガラスを使用しているため HF-NH₄F によって基板が腐食される。そのために基板へのエッチングスピードがおそく、また Cr-Si 抵抗のエッチングスピードが早い組成であり、さらにエッチング温度も室温になるような組成での最適条件を求めた。またこのエッチング液調合は系組成より発熱反応である。エッチングスピードはエッチング液温により大きく左右されるので ±1°C 以内にコントロールしてエッチングを行なった。

精度の点からは抵抗膜のエッチング状態は上部電極の材料に大きく支配される。電極として使用できる材料は次の条件を満足していなければならない。

- (1) Cr-Si 抵抗膜との接着強度が大きいこと。
- (2) エッチングが精度よくできること。
- (3) 外的ふんい気に対して安定であること。
- (4) エッチング液が抵抗膜を侵さないこと。
- (5) ハンダ付けが可能な金属であること。

これらの条件を満足する金属は少ない。われわれは Fe, Ni, Al, Au, Cu, パーモロイなど各種の金属を検討したがその中で Cu および Al を選定して実験を行なった。

3.2.1 Cu 電極直接エッチング法

図 2.2 よりわかるように、Cr-Si のエッチングの際に上部電極によりすでにパターンが形成されているので、Cr-Si のエッチングにおけるサイドエッチ量(図 3.1)は使用した寸法測定器(オリンパス光学, Tool-maker's Microscope STM)では誤差範囲内(0.5 μm 以下)のサイドエッチしか起こらなかった。したがってこの場合薄膜回路の R ブロックの抵抗値精度には Cu のエッチング精度が大きくひびき、Cu のエッチングが大きな課題となる。代表的な R ブロックパターンを図 3.5 に示す。

Cu のエッチング液にはかなりの種類があるが、その中で一般によ

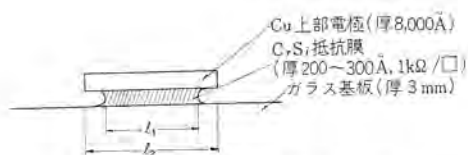


図 3.1 サイドエッチ量 $= L_2 - L_1$
Fig. 3.1 Side etching.

表 3.1 Cu エッチング液とサイドエッチ量
Table 3.1 Cu etchant and its effect to side etching.

エッチング液組成	エッチング温度	エッチング方式	サイドエッチ量 μ
1. FeCl_3 3 mol soln.	室温	静置	30
2. FeCl_3 1 mol soln.	室温	静置	25
3. FeCl_3 1 mol soln.	室温	攪拌 (かくはん)	25
4. FeCl_3 (1 mol) + (エチレンジオキサンイソプロピルアミン過硫酸アンモニウム)	室温	静置	10
5. 過硫酸アンモニウム 5% soln.	室温	静置	1~2
6. リン酸 800 ml 硝酸 40 ml 酢酸 160 ml	60°C	スプレー	1~2

く知られ使用されている液は FeCl_3 系水溶液である。この液で Cu 薄膜をエッチングした場合サイドエッチは 20~30 μ 起り、その再現性もきわめて悪かった。次にこの液に各種反対抑制剤を加えたが、10 μ のサイドエッチが起り 50 μ 設計幅の場合 20% のシフトになり使用不可能であった。このため検鏡腐食液として知られている過硫酸アンモニウム単独のエッチング液を使用した。この場合サイドエッチは 1~2 μ 以内におさえることができた。

またリン酸-硝酸系のエッチング液で 60°C でスプレーエッチングを試みた。静止エッチングとスプレーエッチングの差はかなり大きいと思われるが Cu 薄膜の場合 1~2 μ であった。その結果を表 3.1 に示す。これらのエッチング液の中では 5. と 6. がサイドエッチ量が少ないが、温度をあげる点とスプレー方式にすることは製造工程上の複雑さを生じるため 5. の過硫酸アンモニウムによるエッチング液に決定した。

3.2.2 Al 電極直接エッチング法

Al 電極の場合、Cu と比較して工程上にはあまり差がないが、Al のエッチング液が Cu とは異なり、また後の回路構成でハンダ付けするため Al 上にさらにハンダ付け可能な金属を蒸着する必要がある。

Al のエッチング液は Cu と同様かなりの量が知られているが、ここでは Cr-Si 抵抗膜への影響を考え $\text{H}_3\text{PO}_4\text{-HNO}_3\text{-H}_2\text{O}$ 系エッチング液を使用した。エッチング精度は $\pm 3 \sim 5 \mu$ であり Cu の場合の過硫酸アンモニウムより悪い。Al 電極直接エッチング法は、半導体集積回路上に薄膜受動素子を集積したいいわゆるハイブリッド IC の製造にきわめて有利な方法である。

3.3 製造方法

3.2 節で述べたエッチング液を使用した場合の直接エッチング法による製造フローチャートの概略を図 3.2 および図 3.3 に示す。

3.4 製作結果

3.4.1 抵抗パターン

RUEH の一例として広帯域増幅器の RUEH について示す。回路は図 3.4 に示し、その RUEH のパターンを図 3.5 に示す。

使用した基板はコーニング社のマイクロシートで寸法は $37 \times 37 \times 0.3$ mm で 1 個の RUEH の寸法は 3×3 mm である。パターン内の各抵抗の寸法を表 3.2 に示す。

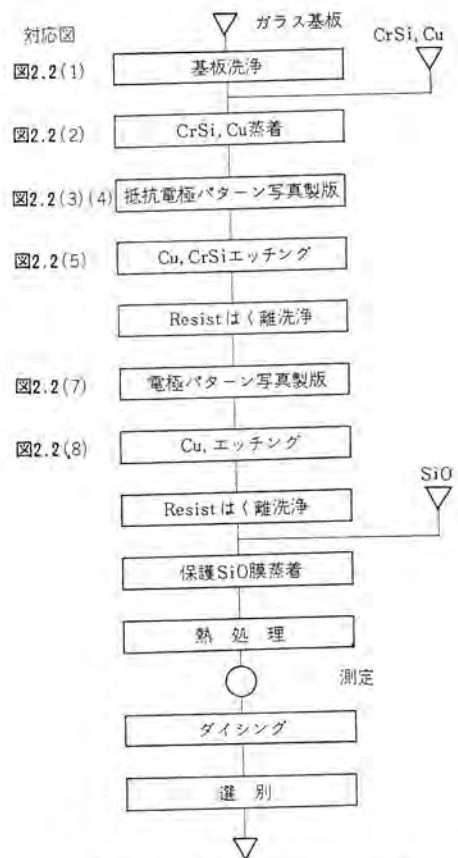


図 3.2 Cu 電極直接エッチ法
Fig. 3.2 Cu-conductor direct etching method.

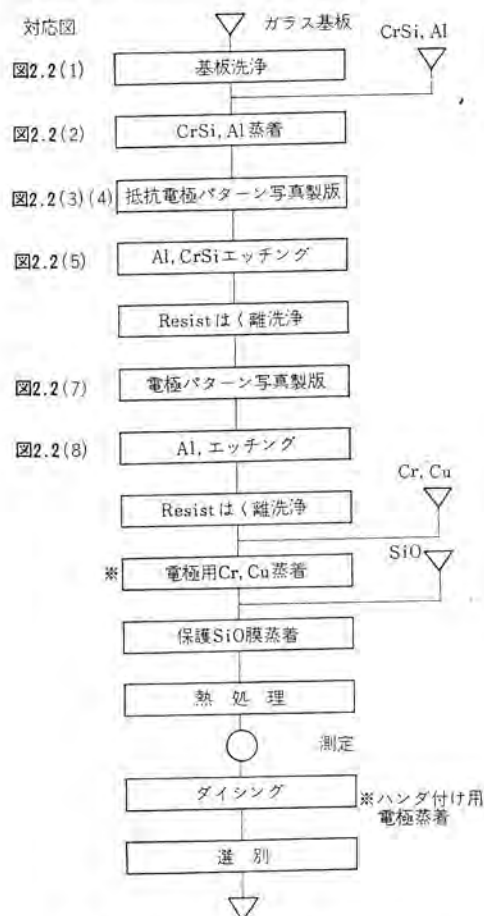


図 3.3 Al 電極直接エッチ法
Fig. 3.3 Al-conductor direct etching method.

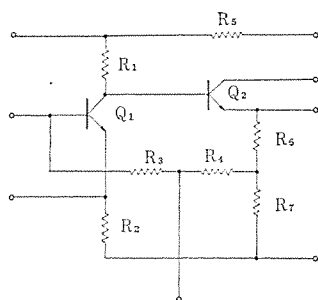


図 3.4 広帯域増幅器回路図
Fig. 3.4 Wide-band amplifier.

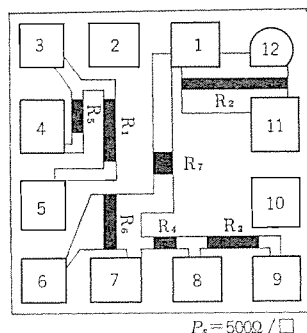


図 3.5 広帯域増幅器 R ウエハパターン図
Fig. 3.5 R wafer pattern of wide band amplifier.

表 3.2 広帯域増幅器抵抗値および寸法
Table 3.2 Resistor size of wide band amplifier.

	抵抗値寸法 (設計値)	$P_1=500 \Omega/\square$ のときの抵抗値
R_1	100×660 (μ) (μ)	$3.3(k\Omega) \pm 10(\%)$
R_2	1000×200	$100(\Omega) \pm 20$
R_3	100×600	$3(k\Omega) \pm 10$
R_4	100×200	$1(k\Omega) \pm 10$
R_5	100×360	$R_7 \times 3.2 \pm 5$
R_6	200×556	$180(\Omega) \pm 20$
R_7	200×224	$560(\Omega) \pm 10$

表 3.3 Cu 電極 Cr-Si 薄膜抵抗の熱処理効果
Table 3.3 Annealing effect of Cr-Si thin film resistors with Cu conductor.

設計抵抗値	熱処理前抵抗値	熱処理後	100V パルス印加後
R_1 3.3 k Ω	3.67 k Ω	8.29 k Ω	3.84 k Ω
R_2 100 Ω	115.3 Ω	234.6 Ω	112.6 Ω
R_3 1 k Ω	1,125 k Ω	25.32 k Ω	1,175 k Ω
R_4 560 Ω	613.2 Ω	1.23 k Ω	625.6 k Ω

3.4.2 歩どまりおよびパターン精度

すでに報告されているように、Al 蒸着法による抵抗パターン形成法では写真製版は $\pm 2 \mu$ の精度であるが、実際にはエッチング精度が加わり抵抗パターン精度はさらに低下する。

直接エッチング法では写真製版でフォトリソを設計値より $0 \sim +2 \mu$ の精度におさえ、エッチング工程において $-2 \sim 0 \mu$ の精度にし total では $\pm 1.5 \mu$ 以下の精度になるような方法で、きわめて精度のよい抵抗パターンを形成することに成功した。またウエハ間の抵抗のばらつきは標準偏差 1.0 以下であった。

歩どまりは Al 蒸着法に比較し工程数が減少しているため、Cu 電極直接エッチング法では $10 \sim 30\%$ の歩どまりの向上があり、Al 電極直

薄膜抵抗直接エッチング方式・忍足・福見・山崎

接エッチング法では $0 \sim 20\%$ の歩どまりの向上がみとめられた。

3.4.3 熱処理効果

Cr-Si の場合、ウエハプロセス中で蒸着工程がすべて完了した後、温度 $370 \sim 390^\circ\text{C}$ で窒素ガス中で熱処理すると、アニーリング効果によって抵抗値は処理時間とともに低下し、約 90 分で飽和値に達する。この性質を利用し抵抗値のトリミング方法と抵抗値安定化の目的で熱処理工程が加わる。

Al 電極および Cu 電極では、前者では通常の熱処理効果が現われるのに対して後者では熱処理後ランダムに 1 ～ 数倍の抵抗値を示した。またこれに約 100 V 前後のパルスを瞬間的に加えると熱処理以前の抵抗値まで低下する現象が見られた (表 3.3 参照)。なお Cr-Si を蒸着後蒸着装置からいったん出した後、改めて Cu 電極を蒸着したウエハに対してはこの現象は現われなかった。

Cr-Si の熱処理の反応機構は明らかでないが、Al 電極では起こらず Cu 電極においてのみこの現象が現われることから、抵抗体と電極金属間の相互作用による現象と思われる。この原因を正確に説明することは容易ではないが、おそらく同一蒸着装置内で Cr-Si および Cu を蒸着したこと、および熱処理を行なったことから抵抗金属間に異質金属層を生じたためか、あるいは grain boundary が発生したためであろうと思われる。

このため電極として Cu を使用する場合、熱処理効果を利用することができず、Al 電極ウエハのみに熱処理効果を採用した。

3.4.4 高抵抗素子の製造

高抵抗材料の Cr-Si を使用し、直接エッチング方式により高抵抗薄膜素子の製造を試みた。すでに報告しているように、当所で開発した Cr-Si 抵抗の最高シート抵抗は安定な状態において $10 \text{ k}\Omega/\square$ である⁽¹⁾。ここではシート抵抗 $5 \text{ k}\Omega/\square$ で幅 40μ で $5 \text{ M}\Omega$ および $2.5 \text{ M}\Omega$ の高抵抗ウエハの製作を行なった。製作した R ウエハの写真を示す (図 3.6)。抵抗部のパターン幅は $40 \mu \times 40,000 \mu$ および $40 \mu \times 20,000 \mu$ が、それぞれ 2 個ずつ配置されている。このようなパターン幅が長く、パターン長の大きい抵抗を写真製版技術で行なう場合、1 個所のゴミ、あるいはピンホール、キズが生じた場合抵抗は断線となる。そのため写真製版工程はとくに注意をはらいすべて無塵室内で行なった。この結果抵抗値のばらつき、歩どまりもよく高抵抗素子の製造は直接エッチング法により可能となった。薄膜素子による高抵抗の実現はおそらくこれが世界でも有数のものである。この高抵抗の利用により微小電力回路への応用が実現される。

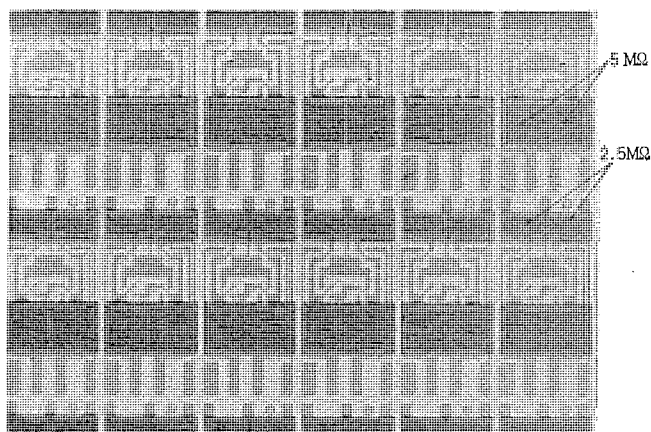


図 3.6 高抵抗 R ウエハ写真
Fig. 3.6 R wafer pattern with high resistivity.

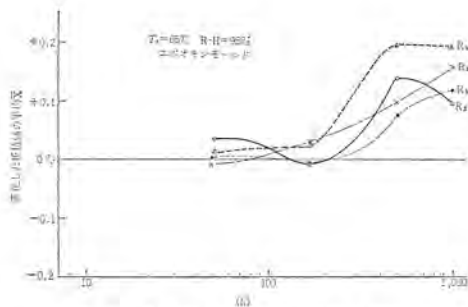


図 3.7 Al 電極直接 エッチ 恒温恒湿試験

Fig. 3.7 Temperature-humidity test of Al-conductor wafer.

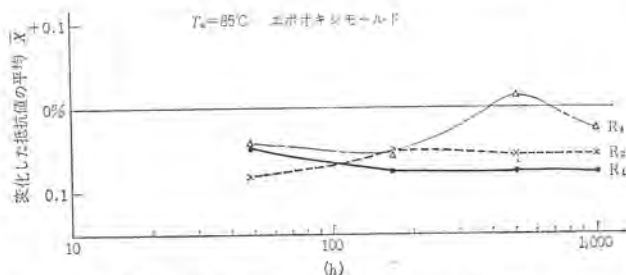


図 3.8 Al 電極直接 エッチウエハ 高温電流 エーシング

Fig. 3.8 High temperature aging test of Al conductor R wafer.

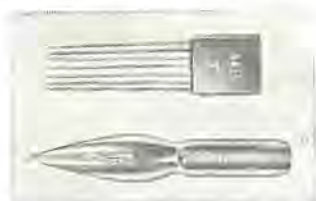


図 3.9 薄膜混成回路外形 (エポキシモールドタイプ)

Fig. 3.9 The outline of thin film hybrid circuit (epoxy resin mold type).

3.4.5 抵抗素子の信頼性

直接 エッチング 方式による薄膜抵抗素子の信頼性確認として、恒温恒湿試験および高温動作寿命試験結果を図 3.7 および図 3.8 に示す。両試験結果とも抵抗値のドリフトは±0.2% 以下であり、信頼性

については問題ないと思われる。

3.4.6 薄膜素子による回路構成

薄膜抵抗素子を利用したいわゆる薄膜混成回路の製作結果を写真に示す (図 3.9)。外形は $10 \times 11.2 \times 5$ でパッケージはエポキシトランスファーマールドタイプにシールドケースをはめたもので、現在製作されているものには標準機種として、

AFO 1 E

AFO 2 D

RFO 4 D

RFO 3 D

RFO 5 D

DTO 3 Z

の 6 機種がある。

4. む す び

現在マイクロエレクトロニクスの主流が半導体集積回路であることはいまさらいうまでもないが、IBM-360 電子計算機、その他混成回路方式も依然として内外市場の話題をにぎわしており、とくに通信機回路、微小電力回路などにはその利点を生かして混成回路方式がさかんに実用化されつつある現状である。

生産数量が少ない場合は納期、価格面でも混成回路方式のほうが有利であり、今後も用途によっては大きな需要が予想される。

ここに報告した直接 エッチング 方式は、薄膜混成回路の製造にきわめて有効な技術であるとわれわれは確信しており、この一文がこの方面に関心を寄せられる諸兄に参考になれば幸いである。

参 考 文 献

- (1) 小林, 榎本: 電気通信学会誌 49, 702 (昭 36)
- (2) 神山, 菅田: 薄膜工学ハンドブック
- (3) L. Holland, et al: Thin Film microelectronic.
- (4) A. Duthie et al: Electronic Engrg 35, 430 (1963)
- (5) C. M. Charman and E. H. Layer: WADC, TR 58-468.



特許と新案

直流電圧変換回路

考案者 河野実則

この考案は直流電圧を n 倍する直流電圧変換回路に関するものである。図1はこの考案の原理構成図である。今、ベース入力端子(4)(4')および(5)(5')にトランジスタ(2)および(3)を交互に導通させる電圧を印加すると、トランジスタ(3)には図2(a)に示すような電流が、トランジスタ(2)には図2(b)に示すような電流が流れる。トランジスタ(3)が導通となると直流電源(1)→ダイオード(6)→コンデンサ(8)→トランジスタ(3)→直流電源(1)の閉回路ができ、コンデンサ(8)および(9)に直流電源電圧 E_0 とほとんど等しい電圧 E_1 が図2(c)図に示すように図2(a)と同期して充電される。次の半サイクルでトランジスタ(2)が導通となると、ダイオード(6)はコンデンサ(8)に充電されている電圧 E_1 によりほとんど不導通状態となり、直流電源(1)→トランジスタ(2)→コンデンサ(8)→ダイオード(7)→コンデンサ(9)→直流電源(1)の閉回路を電流が流れ、コンデンサ(8)に充電されていた電圧 E_1 は図2(c)に示すように図2(b)と同期して放電し、コンデンサ(9)には直流電圧 E_0 のほぼ2倍の電圧 E_2 が図2(b)に示すように図2(b)と同期して充電される。次の半サイクルでトランジスタ

タ(3)が導通となった場合、同様にしてコンデンサ(8)に電圧 E_1 が図2(c)に示すように図2(a)と同期して充電されるが、この場合コンデンサ(9)に充電されていた電圧 E_2 が図2(d)に示すように図2(a)と同期して放電するため、負荷(10)に直流電源(1)の電圧 E_0 のほぼ2倍の電圧 E_2 を印加することができる。

(実用新案第803652号) (岡上記)

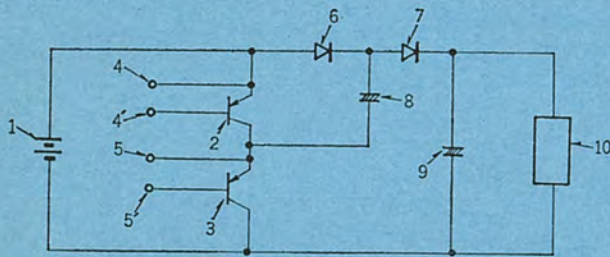


図1

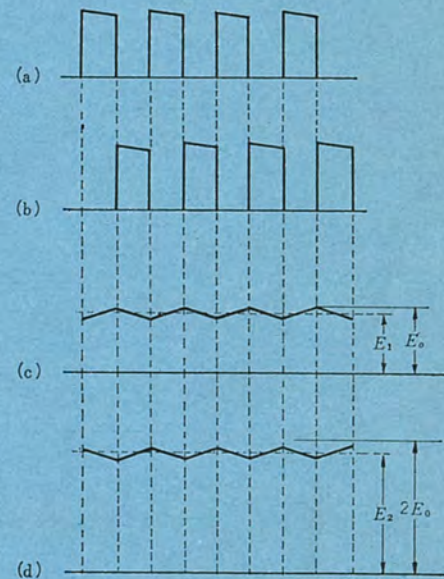


図2

選択呼出装置

考案者 大塚明・桂川弘

この考案は選択呼出装置に関するものである。従来の装置では親局と複数の子局がある場合、この複数の子局から1局を呼出すには、一度呼出信号により全子局を呼出し、全子局で通話回線を形成した後初めて目的の子局が判明していた。このため非常に操作が面倒となった。この考案はこの欠点を改良したものである。

すなわち、親局(1)側では開閉器(5)(5')を閉じて、呼出し信号

を送信するとともに音声信号を送信することにより、子局(8)側では呼出信号により継電器(12)がONとなり開閉器(13)を閉じるため、スピーカ(15)から呼出し信号と音声信号とを同時に聞き、呼出しされた子局のみ開閉器(14)を閉じて通信回線を形成する。

このようにすれば、子局側の操作を必要とせず目的の子局を呼出すことができる。

(実用新案第803654号) (岡上記)

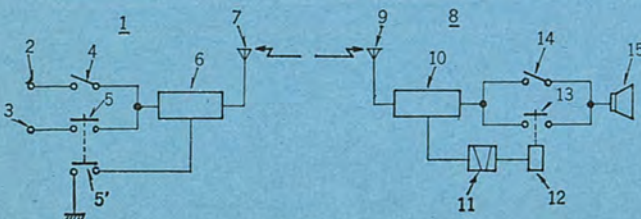


図1

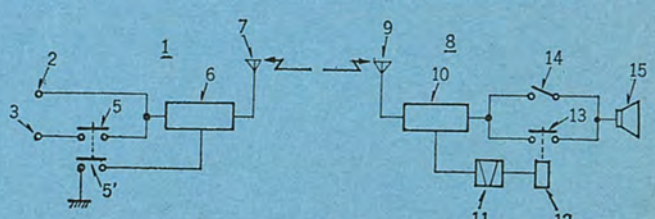


図2

スケルチ装置

考案者 東 勇

この考案はスケルチ装置に関するものである。図1は従来のスケルチ装置を示す。今、信号を受信しない場合は受信機の固有雑音により第1の雑音整流器(7a)に出力が生じるため、第1のスイッチング回路(9a)が付勢されて第2の低周波増幅器(3b)を不動作状態とし、一方信号を受信した場合、第1第2の信号整流器(8a)(8b)の合成出力が第1の雑音整流器(7a)の出力に対して大となるため、第1のスイッチング回路(9a)が付勢されて第2の低周波増幅器(3b)を動作状態としていた。

しかしこの従来の装置では、大きな外部雑音を受信すると第1の

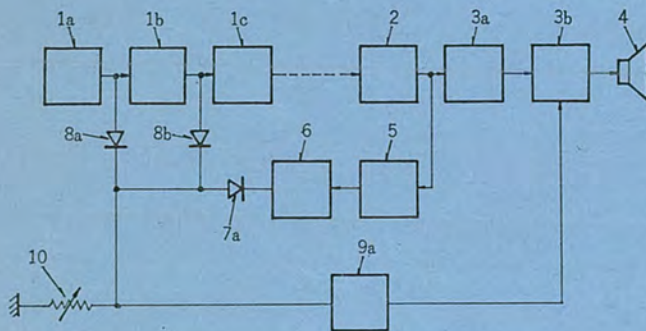


図 1

雑音整流器(7a)の出力も増加するが、第1第2の信号整流器(8a)(8b)の合成出力の方がはるかに大きく増加するため、信号受信として誤動作をする欠点がある。この考案はこの欠点を改良したものである。

図2はこの考案のスケルチ装置を示す。今、受信機が外部雑音を受信した場合、第2の雑音整流器(7a)の出力が増加して所定値以上となると、第2のスイッチング回路(9b)が付勢されて第1の低周波増幅器(3a)を不動作状態とし誤動作を防止する。

(実用新案第810841号) (岡上記)

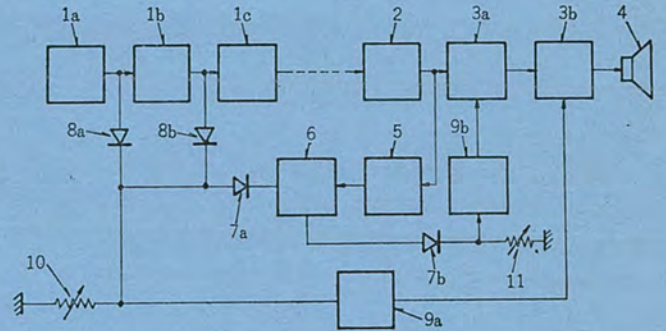


図 2

周波数変調波復調回路

考案者 横山 保憲・嶋田 寿一

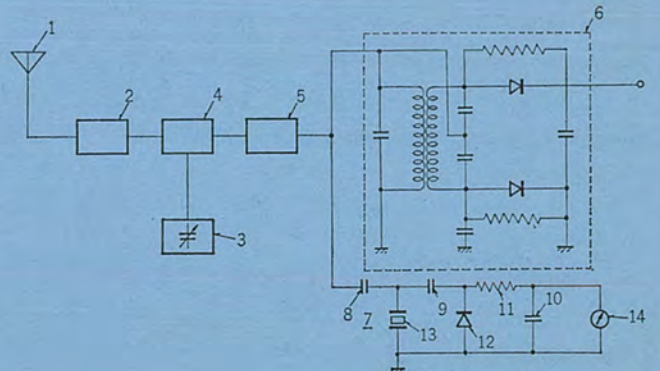
この考案は周波数変調波復調回路に関するものである。図はこの考案の回路構成を示し、水晶振動子(13)はその共振周波数を周波数弁別器(6)の中間周波数に一致するように選ぶ。したがって中間周波増幅器(5)の出力信号の中心周波数が水晶振動子(13)の共振周波数と一致すると、水晶振動子(13)の内部インピーダンスがほとんどゼロとなり電流計(14)には電流が流れないが、一致しないと水晶振動子(13)の内部インピーダンスはコンデンサ(8)に比べて大きく、水晶振動子(13)の電圧降下が大きくなるための抵抗(11)を通じて電流計(14)に電流が流れるゆえ、中心周波数を検出できる。

このように周波数弁別器(6)の入力周波数変調波の中心周波数が所望の弁別器の中心周波数と一致しなければ、中心周波数検出器(7)が中心周波数を検出しないから検出するまで局部発振器(3)の出力周波数を調整する。

この考案では周波数変調波の復調はLC共振回路を使用した周波数弁別器によって行ない、復調直線性のよい復調出力を得、周波数変調波の中心周波数の検出は水晶振動子を使用した高安定度の中心

周波数検出器によって行なっているから、おのおのの回路でおのおのの特性について最適の条件を選択でき、簡単かつ安価に高度の要求性能を満足することができる。

(実用新案第784169号) (岡上記)



薄膜トランジスタ

石井 悠*

Thin Film Transistor

Kitaitami Works Hiroshi ISHII

Thin film transistors have not yet reached the practical application. This is chiefly because of doubts on the stability of the products, though they are epochal active elements in the electronics. For the present what is made known the development and study on the TFT (thin film transistor) is that active elements good for practical use are available by the evaporation method or in the form of combination of the polycrystalline films. This paper describes electrical characteristics of TFT relative to several conditions of manufacturing process. The upper limit of the performance is discussed in terms of G_m , gain bandwidth product and power handling capability. The reason why polycrystalline films can be used for TFT fabrication is viewed from trap effects.

1. ま え が き

薄膜トランジスタ (TFT)⁽¹⁾ は現在実用されるまでには至っていない。そのおもな理由は、TFT そのものの安定性に対する疑問点にあると思われる。しかし TFT そのものが次のマイクロエレクトロニクスにおける画期的な能動素子である理由は減少しておらず、かえって最近の IC 発展の動向より TFT への期待は増大しつつある。

今日までの TFT の開発研究により明らかにされたことは、蒸着またはその他の形式での多結晶薄膜の組み合わせにより十分実用的な能動素子が (すなわち十分高い相互コンダクタンス、使用できる電圧・電流範囲の適切さなどの観点から) 得られるということである。この事実をさらに発展させ、印刷形式によるトランジスタの製法を開発することは夢ではなからう。現状では経済性の点で十分満足のゆく段階ではないにしろ、抵抗・容量などについての印刷形式による製造はすでに thick film circuit として用いられており、最近ではその自動式印刷方式が一段と進んできている。これに、印刷によるトランジスタをつけ加えることができれば、印刷形式による安価で高速なマイクロサーキットの大量生産が可能となろう。実際、印刷形式でのトランジスタ試みは、すでにある程度すすめられている。

TFT の示唆するもう一つの方向は、単結晶を使用していないことから、広面積にわたり素子をつくることができ、したがって、広面積の scan を行なうような独特の機能を安価に実現できることであろう。すなわち、いわゆる平らなブラウン管——壁かけテレビジョンの実現の一つのかけ橋となり得る可能性を、TFT は保有しているといえよう。

本文は、上記のような TFT の将来への発展性を検討するために、現在の TFT の特性や問題点、その製作工程との関連性、また TFT の応用形式についてのべ、今後の TFT の発展の指針とするものである。

2. TFT の諸特性と製造工程との関連⁽²⁾⁽³⁾

TFT の静特性の一例を図 2.1 に示す。(a) は CdSe-SiO₂ を用いたエンハンスモード、(b) は CdS-MgF₂ を用いたデプレッションモードの TFT の出力特性である。図 2.2 には、図 2.1 の特性を得た TFT の構造を示してある。TFT の静特性は、次式の形で表わされる。ただし、式 (2.1) の W はソース電極の幅、 L はソース・ドレイン間の距離、 t_I は絶縁膜の厚さ、 ϵ_I は絶縁膜の誘電率、 V_g はゲート印加電

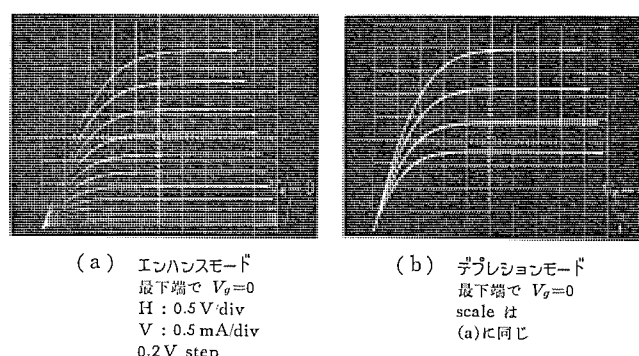


図 2.1 TFT 特性 Fig. 2.1 Output characteristics of TFT.

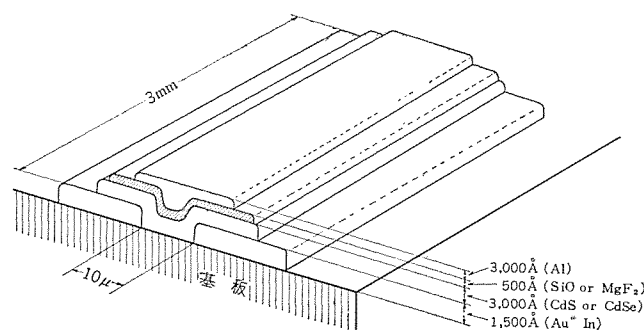


図 2.2 図 2.1 の特性を示す TFT の構造
Fig. 2.2 Structure of TFT whose output characteristics is shown in Fig. 2.1.

$$I_d = \begin{cases} \frac{W\mu\epsilon_I}{t_I L} \left[(V_g - V_{g0}) - \frac{V_d}{2} \right] V_d & \text{ただし } V_d < V_g - V_{g0} \\ \frac{W\mu\epsilon_I}{2t_I L} (V_g - V_{g0})^2 + \frac{W\{V_d - (V_g - V_{g0})\}}{r_d} & \text{ただし } V_d \geq V_g - V_{g0} \end{cases} \quad (2.1)$$

圧、 V_d はドレイン印加電圧、 r_d はコレクタ飽和抵抗である。

式 (2.1) で、 μ と V_{g0} はそれぞれキャリア移動度とゲートしきい(閾)値電圧で、この二つの値が製作工程により左右される。 μ の値は、半導体薄膜の製作法に依存し、蒸着→酸素パークの工程で半導体薄膜を製作するような場合には、たとえば蒸着源温度によって図 2.3 のような影響を受ける。図 2.3 は、蒸着源温度—トランスコンダクタンス (g_m) の関係を示しているが、 g_m は

$$g_m = \frac{W\epsilon_I}{Lt_I} \mu (V_g - V_{g0}) = \left(2 \frac{W\epsilon_I}{Lt_I} \mu \right)^{\frac{1}{2}} I_d^{\frac{1}{2}} \quad (2.2)$$

によって示されるように、 g_m の μ の関係があり、したがって図 2.3

* 北伊丹製作所

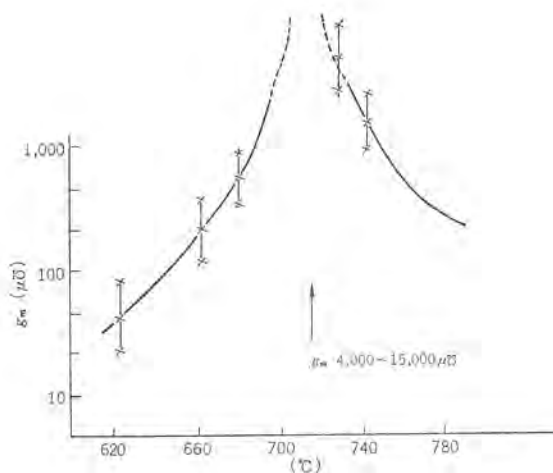


図 2.3 蒸着源温度—トランスコンダクタンスの関係
Fig. 2.3 Source temperature vs. transconductance.

は蒸着源温度— μ の関係とみることができる。

図 2.1 の (a) (b) における著しい差は、 $V_g=0$ での I_d の値 (I_{d0}) の違いである。エンハンスモードでは、 I_{d0} は数 $10 \mu A$ ~ 数 100 mA 、デプレションモードでは数 mA の値になるように製作することができる。式 (2.1) を用いると、 I_{d0} の値は $V_g=0$ として次式のように表現され、

$$I_{d0} \sim \begin{cases} \frac{W\mu\epsilon_f V_{g0}^2}{2L\epsilon_f} & V_{g0} \geq 0 \\ 0 & V_{g0} < 0 \end{cases} \quad (2.3)$$

V_{g0} の正負とその大きさが TFT の性格を決めることがわかる。

すでにのべたように、図 2.1 (a) は CdSe-SiO の組み合わせで、(b) は CdS-MgF₂ の組み合わせで得られたものである。このように、 V_{g0} の値は、半導体膜と絶縁膜の組み合わせによって左右される。もちろん製作の形式・方法も大きな影響を持っている。たとえば、CdS-MgF₂ の組み合わせの場合では、デプレションモードにするには、CdS 膜の処理に特定の条件が必要であり、さらに MgF₂ の蒸着はタングステンヒータによる輻射加熱を用いる必要がある。SiO を誘電体を用いる場合、SiO の蒸着条件により、——正確には、アルミニウムによるゲート蒸着条件も含んで——CdS-SiO または CdSe-SiO 境界に生成するドナーの量が異なり、したがって異なった TFT 特性が得られる。表 2.1 はこの様子を示したものである。通常、エンハンスモードやデプレションモードの制御は半導体不純物濃度を制御することにより得られるように考えられやすいが、TFT の場合には上にのべたように、誘電体の種類と蒸着条件によりこれを制御することができるのである。

V_{g0} を制御するには、上記のように誘電体の蒸着条件がまず考慮されなくてはならない。しかし、TFT の全製作工程を通じて特性制御への配慮が必要であることはもちろんであり、一例として図 2.4 には、ゲート電極蒸着時の (TFT 素子のついている) 基板加熱温度と I_{d0} の相関性を示してある。

現在までのところ、TFT 用の半導体材料として試みられたのは、CdS、CdSe、InAs、Te などである。これらを蒸着する場合には、分解に伴う成分比の変化——蒸着膜の比抵抗の低下の現象がある。CdS の場合には、蒸着源を口の比較的狭いルツボを用い、温度を 720°C 以下に押える一方、基板温度を $150 \sim 250^\circ\text{C}$ (蒸着源—基板間距離により調節する) に保つことにより蒸着膜比抵抗を $10^3 \sim 10^5 \Omega \text{ cm}$ に保つ。CdSe についても同様の注意が必要である。InAs の場合には、蒸着源を 2 個使用するようなくふうが必要であり、Te の

表 2.1 SiO 蒸着による CdSe 膜暗電流増加とこれに対応する TFT 特性 (熱処理は CdSe 膜と O₂ と N₂ の混合ガス中で 350°C 30 min)

Table 2.1 Increment dark current of CdSe film by SiO evaporation and corresponding TFT characteristics.

	熱処理前の暗電流	熱処理後	SiO 蒸着	TFT 特性
a	$2 \times 10^{-8} \text{ A}$	$\leq 10^{-7} \text{ A}$	$2 \times 10^{-2} \text{ A}$	
b	$4 \times 10^{-8} \text{ A}$	$\leq 10^{-7} \text{ A}$	$1 \times 10^{-2} \text{ A}$	
c	$4 \times 10^{-8} \text{ A}$	$\leq 10^{-7} \text{ A}$	$1 \times 10^{-2} \text{ A}$	

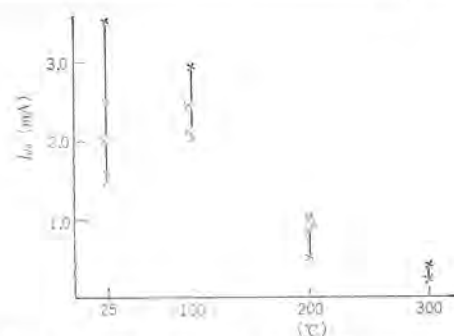


図 2.4 AL 蒸着時の基板温度と TFT の I_{d0} との関係
Fig. 2.4 Substrate temperature of AL evaporation vs. I_{d0} of TFT.

場合には、膜厚自体の制御も正確でなければならない。

このように、TFT の製作にあたっては、まず (結晶性の) 良好な半導体膜を得ることに第 1 の重点がおかれる。しかし、TFT の特性自体は、半導体膜が一定の条件をみたしておれば、誘電体蒸着—ゲート蒸着のプロセスにより決定される。

3. 性能指数について

TFT は入力抵抗 $10^8 \Omega$ 以上の電界効果形トランジスタである。その性能に関するパラメータとしては、最大ドレイン耐圧、トランスコンダクタンス、利得帯域積、最大ドレイン電流を考えることができよう。次にこれらのパラメータの上限についてのべる。

(1) 最大ドレイン耐圧、ドレイン電流

ドレイン耐圧は、ドレイン電流が大きくなるにつれ減少するが、ソース幅 3 mm でドレイン電流 5 mA 程度までは $10 \sim 15 \text{ V}$ くらいの範囲になる。ドレイン電流は、筆者の実験例では CdS-TFT で 7 mA/mm 、CdS-TFT で 3 mA/mm (単位ソース幅あたり) が得られている。これから、TFT の出力容量はソース幅を 3 mm とした場合、およそ $150 \sim 200 \text{ mW}$ になる。Te を用い、基板にアルミナまたはリチアなどの熱伝導率のよい材料を選び 1 W の出力容量をもった TFT の例も報告されている⁽⁴⁾。

(2) トランスコンダクタンス (g_m)

式 (2.2) に示されるように、 g_m は $V_g - V_{g0}$ または $I_d^{1/2}$ に比例する。 $I_d = 1 \text{ mA}$ 、 $W = 3 \text{ mm}$ で g_m は $1,000 \sim 4,000 \mu\text{S}$ になる。

図 3.1 は $g_m - V_g$ の実測例であって、式 (2.2) の関係がよく成立していることがわかる。そこで、式 (2.2) を用いて μ の値を求める

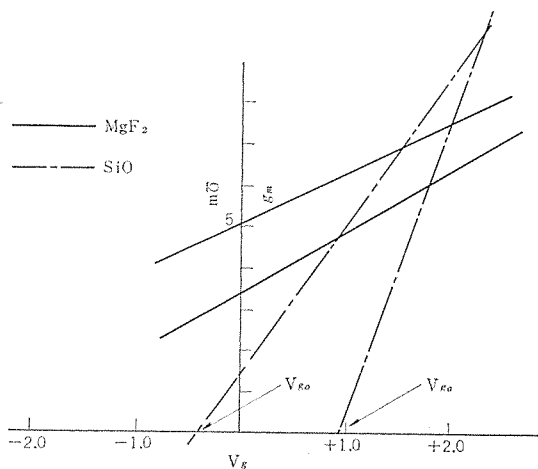


図 3.1 g_m と V_g の関係 (絶縁膜が MgF_2 の場合と SiO_2 の場合)
Fig. 3.1 Relation between g_m and V_g .

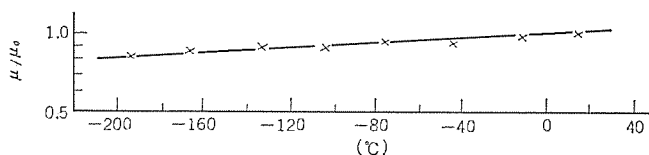


図 3.2 μ の温度特性 (μ_0 は 20°C における値)
Fig. 3.2 Temperature dependence of μ ; normalized by the value at 20°C .

と、 $\mu = 50 \sim 100 \text{ cm}^2/\text{sec} \cdot \text{volt}$ の値が得られる。これは、多結晶膜の半導体蒸膜着だけで測定されるものよりはるかに大きく、この違いが、多結晶膜でも実用的な g_m をもった TFT 素子が得られるという重要な原因になっている。

なぜ多結晶膜で TFT が成功するか、すなわち単結晶のそれに匹敵するような μ が得られるかについては次のように考えられる。すでにのべたような半導体材料では、製法と処理法によりトラップ密度を $10^{17}/\text{cm}^3$ より十分低い値に下げることができる。TFT ではチャネル ちゅうに誘起される電荷密度はおおよそ $10^{17}/\text{cm}^3$ のオーダーになるので、トラップの効果は無視できるようになる。このような高密度のチャネル中の自由電荷は縮退した状態に近く、(図 3.2 μ の温度特性を参照) したがって多結晶の各グレイン境界は電荷の移動に対してバリアとして働かなくなる。これらの結果の総合的效果として高い μ の値が TFT では実現されることになる。

(3) 利得帯域積

理論的には、TFT 利得帯域積 $G \cdot B$ は

$$G \cdot B \approx \frac{1}{2\pi} \frac{g_m}{C_g} = \frac{1}{2\pi} \frac{\mu (V_g - V_{g0})}{L^2} \dots\dots\dots (3.1)$$

で求められる。式 (3.1) は、 $L = 5 \mu$ 、 $\mu = 100 \text{ cm}^2/\text{sec} \cdot \text{volt}$ 、 $(V_g - V_{g0}) = 2 \text{ V}$ に対し $G \cdot B \approx 100 \text{ Mc}$ を与え、この程度が TFT の $G \cdot B$ の上限かと思われる。実際には、 CdS 、 Te の場合に $G \cdot B \approx 100 \text{ Mc}$ が測定されている。

4. 安定性と寿命の問題

TFT の実用化を遅らせている問題の一つは、その安定性・信頼性・寿命に対する不安感であろう。実際、特別な注意を払わずに製

作した TFT は、いわゆるカーブトレサ上ではすぐれた静特性を示しても、実際には著しい不安定性をもつものがある。その一つの例は、図 4.1 のように、ゲートに直流電圧を印加した場合、ドレイン電流が著しく減少するかまたは増加しつづける現象である。後者の現象は、半導体膜-絶縁膜境界において高電界の下に非可逆的にイオン化するような不純物が存在する場合に起こると考えられるが、使用する半導体材料にも関係し、筆者の経験では CdSe に起こりやすい。

ドレイン電流が減少するほうの効果は、とくに SiO_2 において起こりやすく、 SiO_2 の蒸着条件と密接な関係がある。タンタルボートで直接加熱によって蒸着を行なうような場合には、蒸着時の真空度が $1 \times 10^{-5} \text{ mm Hg}$ よりよいと著しい弛張効果をもたらし、 $4 \times 10^{-5} \sim 10^{-4} \text{ mm Hg}$ の酸素分圧では TFT のドレイン電流弛張効果をほぼなくすることができる。この現象は、チャネル ちゅうに誘起された電荷が絶縁膜中トラップに次々に落ち込んでいく、いわゆる誘電体吸収現象により説明できるものと考えられる。一般に、蒸着プロセスにより良好な絶縁膜を作成することはきわめて困難な仕事である。TFT の場合にも、半導体膜に対し十分均一で高い障壁をもつような形で絶縁皮膜をつくるのがむずかしいことから、上記のような問題が発生するわけである。

なお、上にのべた真空度に関する条件は、蒸着方法が異なり、たとえば電子ビームを用いるような場合にはまた異なったものになることはいうまでもなからう。

TFT の長時間にわたる安定性は、保護皮膜を被せることにより達成される。図 4.2 に、保護被膜のない素子と Se-Az 1350 を被せた素子の V_{g0} の変化の測定例を示しておく。今後、ゲート絶縁膜と保護被膜にさらに良質のものが開発されれば、TFT はハメティックシールされた Ge や Si の素子になんら見劣りのないものになるであろう。

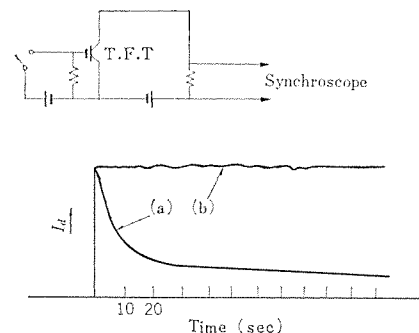


図 4.1 (a) ゲート絶縁膜に誘電体吸収現象がある場合、とない場合 (b) の直流ゲート電圧に対するドレイン電流応答
Fig. 4.1 (a) Drain-current relaxation caused by dielectric absorption of gate-insulator film and (b) non-absorption case.

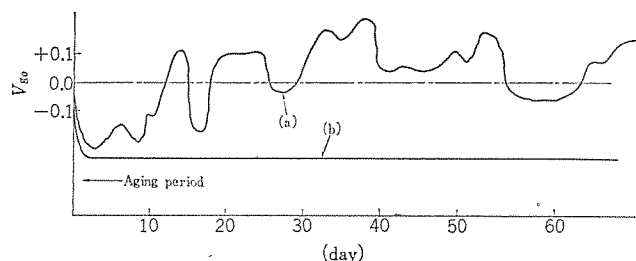


図 4.2 TFT V_{g0} の経時変化 (a) 保護被膜なし (b) $\text{Se} + \text{Az 1350}$
Fig. 4.2 Long-term drift of V_{g0} with and without protection film.

5. TFT の応用と将来性

TFT の開発を遅らせている一つの原因は、薄膜の組合せということから蒸着工程を主体とし、そのために各プロセスの制御条件が非常に微妙なものの組合せになっているということであろう。一定のレベルの素子を作製するには、それらの微妙な条件の組合せが実験的に精密に定められねばならない。蒸着プロセス自体が量産性がわるく高価なものなので、このような製造条件は TFT の広範囲な応用に対する経済的制約にもなるわけである。

しかしながら、これまでの TFT の開発経過を通じて TFT の動作機構・製作条件はかなり明白になってきている。この理解を基にして、量産性にすぐれた製作工程を確立する努力が今後の問題点と考えられる。TFT の構成要件をまとめると次のようになる。

(1) 半導体膜は多結晶質で十分であり、比抵抗は $10^3 \sim 10^4 \Omega \text{cm}$ 程度まで下げてもしつかえない。相当する単結晶の μ は 50 以上。

(2) ドレイン・ソース用の電極は、オーミックな結合を形成する必要があるが、(そのためには適当な不純物を混入する) 長期にわたり素子の動作温度範囲で変質しないものであること。

(3) 絶縁膜は無定形質であってよい。しかし半導体膜に対し十分パリアの高い形で均一に作る必要がある。TFT の V_{g0} の制御は絶縁膜の種類と半導体膜への付着方法により行なわれる。

これらの要件は、必ずしも蒸着工程によらなくても実現できる。抵抗や容量については、すでに印刷的な方法での製作が自動機械を使用する規模で行なわれるようになってきている。しかし、これまでの薄膜回路では、適合した能動素子がないことが最大の難点になっている。はるかに大きな回路上の自由度があるにもかかわらず、トランジスタ・ダイオードの各素子はフリップチップ方式ではりつけを行なうため経済性をそこなう結果になっている。したがって、印刷形式による TFT の開発はきわめて重要である⁽⁵⁾⁽⁶⁾。現在すでに、この方向への開発研究が行なわれており、シルクスクリーンによる CdSe 膜の作製法⁽⁶⁾——このような方法では、ストイキオメトリに対する心配がいらぬ点が蒸着よりすぐれている——などが報告されている。

現在の印刷形薄膜回路では、抵抗と容量はそれぞれに異なる材料を用いている。しかし、薄膜トランジスタも同時に印刷されるような回路では、図 5.1 に示すようにほぼ同一の材料の組み合わせで回路を構成することができるかもしれない。

一般的に、このような薄膜回路の製造方法では、量産に必要な設備投資は現在の半導体集積回路のそれに比べはるかに少額で済むと予想される。その意味で、印刷できる TFT (printable thin film transistor) の成功は一つの経済的革新を引き起こすであろう。

さて、TFT を回路に適用する場合には、n 形、p 形両方のタイプを使用し得ること、デプレションモード・エンハンスモード両方を作り得ることが利用されよう。たとえば、小信号増幅回路は、図 5.2 (a) のようにデプレションモードを用いてゲートバイアス回路なしで構成されるし、論理回路は同図 (b) のように構成される。

TFT の一つの特長は、多結晶膜でよいということに助けられて大面積に広がって均一に多数の素子をつくり得ることである。この特長から、テレビ用の平らなブラウン管などにこれを応用することが考えられる。実際、RCA のワイマー等は、平らなビデオ管を TFT を用いて試作しているようである。図 5.3 はこのような目的のための走査発振器の回路構成を示すもので、p 形のエンハンスモードを使用することにより、回路は著しく簡単になっている。

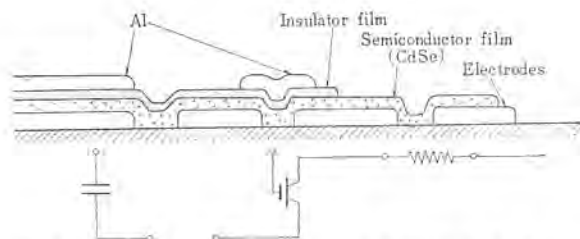


図 5.1 TFT と同一材料による印刷回路の形成
Fig. 5.1 Printable circuit utilizing the same material as TFT.

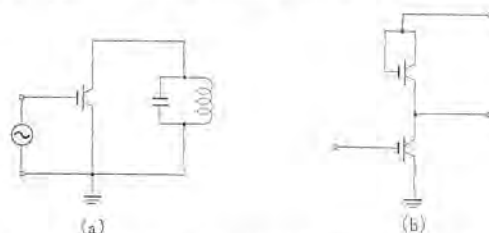


図 5.2 デプレションモード (a) はリニア回路にエンハンスモード (b) は論理回路に使用する。いずれもゲートバイアス回路を必要としない

Fig. 5.2 (a) Depletion mode TFT for linear circuits and (b) Enhancement mode TFT for digital circuits.

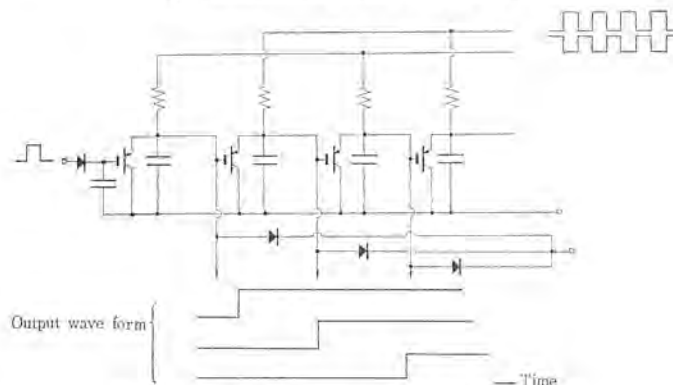


図 5.3 P 形エンハンスモードによる走査発振器
Fig. 5.3 Scanning generator constructed by P-type Enhancement mode.

6. む す び

TFT は未完の素子である。しかし、それは多くの可能性と発展の余地を包含している。TFT が次の世代をになうためには、今一つの技術的突破口が必要なることも確かであるが、TFT が出現した当時に持たれた期待はいささかも失われておらず、その実用化には大きい希望をかけることができるであろう。(昭 42-6-8 受付)

参 考 文 献

- (1) P. K. Weimer : Thin Film Transistor, Proc. IRE, 50, 1402
- (2) 石井ほか : 電気通信学会誌 発表予定
- (3) 藤林, 石井 : TFT の諸特性と実用化の試み, 電子回路部品材料研究会資料, 1967 年 3 月 22 日
- (4) H. L. Wilson, W. A. Gutierrez : Tellurium TFT Exceed 100 MHz and One Watt Capabilities, Proc. IEEE, 55, 415
- (5) Y. T. Shivonen et al : Printable Insulated Gate Field Effect Transistor, J. Electrochem. Soc., 114, 1, 96
- (6) W. Witt et al : Field Effect Transistors Based on Silk Screen CdS Layers, Proc. IEEE, 54, 6, 897

半導体工場の最近の傾向

渡 辺 春 雄*

Modern Trend of Semiconductor Plants

Kitaitami Works Haruo WATANABA

Semiconductor industry is young in age and taking great strides in progress to turn out newer and higher performance devices, which is attained by improvement of manufacturing process, material treatment or production facilities. New semiconductor devices demand higher engineering in the production. Accordingly the manufacturing area in the plant is frequently required to alter the layout of the equipment. Hence the plant and its power arrangements must be designed with high flexibilities. At the same time, it is also necessary to take into consideration the possibilities of future expansions in the plant.

This article describes factors to be considered in the planning of semiconductor plants, quoting examples of the Kumamoto Works newly built by the Company for the IC plant.

1. ま え が き

半導体工業は、きわめて若い製造工業であり、今なお半導体の性能、製造技術その他において大きく、かつすみやかな進歩が行なわれている。数年前全盛をほこった機種で、今や市場から姿を消してしまったものも少なくなく、またこつぜんと革新的な機種が出現している。製造工程もまた激しい変革を要求され、昨日までの設備はもう明日の使用に耐えないといった例も多くある。現在の工業製品のほとんどすべてが、日夜の休みなき進歩発展により改良が加えられ、それに応じて製造技術も進歩しているが、半導体工業はそのうちの最も進展のはなはだしいものであろう。したがって、工場自体にも生産方式、生産計画の変化に応じうる高いフレキシビリティが要求される。新製品の開発により、新しい製造工程が計画され、そのため製造設備の入れ換え、レイアウトの変更が必要になったとき、生産性を落とすことなくその工程が組めるような工場が是非とも必要なのである。

当社では、このような要求に対して、従来種々検討を加えてきたが、新しく熊本工場の建設を計画するに当たり最新の技術的考察を加えて設計施工を行なった。

ここでは、半導体工場を機能面から見て、いくつかの特長をとりあげ、さらに建設中の熊本工場について、その概要を報告するものである。

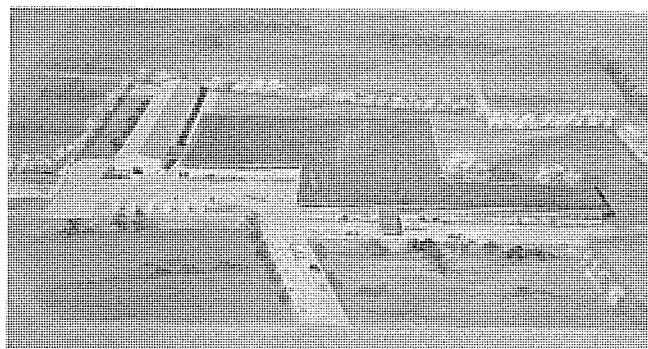


図 1.1 熊本工場完成予想図
Fig. 1.1 Bird-eye view of scheduled plant.

2. 半導体工場の特性

工場の性格はそこで作られる製品およびその製造工程から決定される。半導体工場では、とくに製造工程におけるふんい気の問題が重視される。一般には温度、湿度およびじんあい濃度の制御が必要であるとされているが、さらに最近のより微細化精密化された製品に対しては、さらに特別な環境〈クリーンルーム〉に対する考慮が必要となった。次に半導体工場の諸特性を示す。

2.1 温湿度調整

半導体工場における温湿度調整は

(1) 作業者に快適な作業条件を提供し、作業能率の向上をはかる。

(2) 精密さを必要とする部材の物理的・化学的変化を防ぐために必要である。

温度のコントロールに関して重要なことは、その変化率をいかに小さくできるかである。急激な温度変化は、清浄であるべき部品の表面に空気中に浮遊するじんあいの沈着を引き起こす可能性もある。湿度の極端に高い場合には、部品の表面に水分が吸着されたり、ときには結露することもあり、また、低すぎる場合は人体に対する影響もあり、また静電気が発生しやすくなり、帯電したじんあい粒子の付着や、作業衣の帯電による電撃およびその放電エネルギーによる引火性物質の発火なども起こる。

半導体工場の温度は、半導体の特性試験を通常 25°C で行なうことになっているので、たいていの場合、この温度を基準に設計される。一方湿度は、快感、静電気の問題から、35~60% RH. が標準とされている。

2.2 じんあい制御

じんあい制御の要求は、製品の小型化精密化がすすむにつれますきびしくなっている。たとえば、初期のトランジスタ工場では空気調和系統に簡単なフィルタをつけ、単に糸くず、綿ほこりなどを除去するだけで目的を達していたが、現在の集積回路や高周波トランジスタ素子に対しては、クリーンルームが必要とされ、ミクロンまたはサブミクロン程度の粒子径のじんあいが問題となっている。半導体素子の製造工程において、じんあいの影響は単に物理的あるいは機械的障害を与えるだけでなく、取り扱われる物質そのものがすべて高純度で

* 北伊丹製作所

あることから、不純物として化学的な障害となることも考えなければならぬ。

2.3 レイアウトの変更と拡張性

半導体新製品の開発は、新しい技術を要求し、それに伴って工程および設備の更新を必要とする。半導体工業は、設備工業であるといわれているが、しかし従来の固定的な設備工場とはその意味が異なっている。一定の設備投資に対して、少くとも数年間の一定した生産が保証される例は半導体工業においては少ない。極端に言えば、昨日最新鋭をほった設備も、明日には時代遅れの設備となるのである。したがって工場レイアウトもしばしば変更される。

半導体工場においては、生産設備やそのレイアウトの変更は、計画の失敗ではなく、必然的な現象であり、常態なのである。

この意味で、変更に対する高度のフレキシビリティは工場設計にとってきわめて重要な要素である。

さらに、工場の将来の拡張性に対する考慮も必要である。工場が将来どのように成長変化していくかを予測することは簡単ではない。しかし、将来の拡張増設が、既設工場との機能的なつながりをくずさないようにするための配慮はぜひとも必要である。

2.4 動力サービス

動力（電力を含め、工場用水・蒸気・圧縮空気・各種ガス・その他を総称する）は、工場を人間にたとえると、血液に相当する。半導体工場では、動力として少なくとも10種類は必要である。しかもそれぞれが厳密に管理され、精製されたものでなければならない。したがって、これらを運ぶ配線配管の設計および工事の管理は重要な問題の一つである。とくに配管による高純度ガスの汚染は、長期にわたり製品の品質、歩どまりに影響する。

工場の心臓部に相当する動力室もまた重要である。その位置は、工場に近いほどよく、多種類の動力を必要とする作業を行なう場所に近いほど有利である。なぜなら、汚染の機会が少なくなり、したがってエネルギーロスも少なくなるからである。平面上では、動力室の工場への接近に限度があるので、これを地下室に設け、立体的な接続をねらった例もある。

工場のレイアウト変更に対してフレキシビリティが重要であったと同様、動力サービスについても十分なフレキシビリティが必要であることはいうまでもない。

2.5 建築構造と建築材料

半導体工場に対する建築構造の決定的な結論を見出すことは困難であるが、大要の考え方を示すことはできる。たとえば、作業性を高めるためには、工場内の美観を重視し、いつもレイアウトのじゃまをする柱と、天井下の空間を縦横にくもの巣のごとくたれ下がる配線配管類を完全に除去した例がある。これの実現については、建築構造的には大スパンを採用し、壁、床または床下に配管用スペースを設けなければならない。

建物の階数については、土地の利用度、建築コストなどの制約がある。しかし、作業上の要求を満たすためには、平家建が望ましい。なぜならば、大スパンの無柱工場、および動力サービスの配管を最短距離で行なうという条件を満たしやすいからである。

建築材料、とくに内装材は、発じん（塵）性が少なく、吸音性のよい材質が望ましい。一般に発じん性と吸音性は、本質的に相反する性質で、これらを満たす材質を求めること自体矛盾しているが、できるだけ必要条件に近いものを選定する必要がある。

構造材については、現在の建築界の常識として建物の耐久性、安

全性の点からどうしても鉄筋コンクリートが有利とされているが、長大スパンを必要とする場合は、建築コスト的に問題となる。

3. 熊本工場建設計画

昭和41年末、新しく熊本市に半導体集積回路専門工場を建設することが決定された。敷地は、面積約15,000m²。熊本市の東端国道57号線に面した畑作地帯の中にあり、きわめて健康的な環境に恵まれている。当初第一期工事として、1,800m²の工場棟、500m²の動力機械棟、および800m²の事務所食堂棟の建設が予定されている。次に当工場の概要を紹介する。

3.1 工場建設計画

工場建設に際して、当面要求される仕様は、製造工程その他の要求により必然的に決定される。しかしながら工場の将来を適確に推定し、将来計画を確立するということは、ことに半導体工業のしかも最も進歩のはげしい分野になると簡単ではない。そこでわれわれは、今回の計画そのものにフレキシビリティを持たせ、将来の増設を考え、しかも第一期工事として機能的な工場とするよう努力した。この場合、将来の計画に対し、与える制約の可能な限り少ないようにとくに注意をはらったが、なお問題を完全に解決することは困難である。

将来の見通しははっきりしない場合、モジュール設計の考え方もかなり有効であった。工場を単位モジュールの集合体と考え、各モジュールそれ自体、機能的にも、構造的にも、独立したものとする。したがって工場の増設は、このモジュール単位で考えればよく、工期の短縮および構造的に独立していることから既設モジュールに障害を与えることなく工事を進めることができる。しかし、最初のモジュールの規模を決めることが重要であり、建築コスト、機能の面から十分検討しなければならない。

動力設備に関しても、同様の事情が生じた。変電室・ボイラ・各種の送水ポンプ室・冷水装置・コンプレッサ・各種高圧ガスなどについて、それぞれ設備能力をいかに決定すべきかが問題となったが、工場全般における同じように、第一期工事分は必要最少限にとどめた。ただし、さく泉・重油貯蔵タンク・クーリングタワーなど将来増設を行なうとしてもあまり各所に点在させたくない固定的な設備については、増設分の用地を確保したうえで、それぞれの配置を決定した。

3.2 建築構造

工場は地下に動力配管用のスペースをもつ二重スラブ構造とした。二重スラブを採用した最大の理由は、配管配線の分類である。従来工場内の機器に対する動力サービスは、天井つりさげ、床埋込み、あるいはトレンチなどの方式が採用されていたが、いずれも満足すべき結果が得られなかった。天井つりさげは視界をさえぎり、床埋込みは大変な手数を必要とするし、トレンチ配管はその収容数および方向性に限度がある。けっきょく配線配管を天井固定分と変動部に分類し、後者は方向性、増設、変更の容易さから床下に設置することにした。空気調和給気ダクト・照明・放送・火災感知など、一定の床面積に対し、一定の割合で固定的な供給が可能なものを天井固定とし、その他の動力は、床下から床面に一定の間隔で設けられたスリーブを通して供給する。このため、作業場内の各機器に対する配管はきわめて短くなり、また各機器の配置換えなど変更に対するフレキシビリティも高いものと予想される。

二重スラブをさらに進めて地下室とし、ここに動力室を設けることも考えられるが、動力機器の技術的な問題、建築コストなどの点

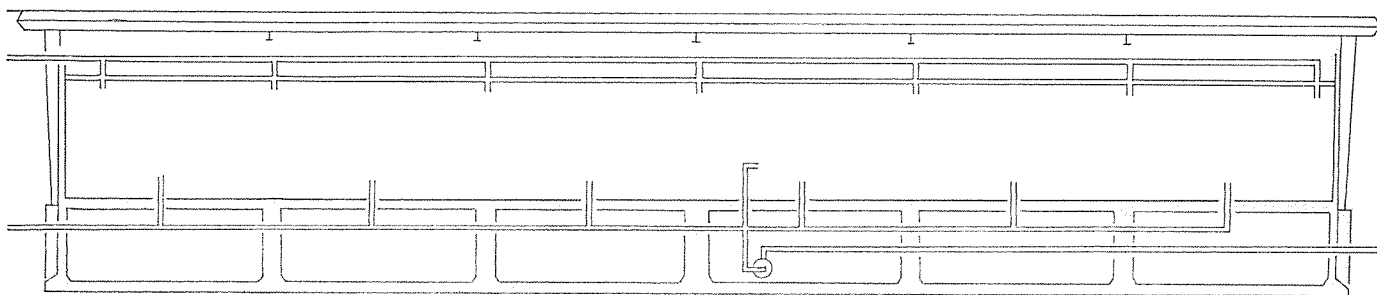


図 3.1 工場断面とダクト配置
Fig. 3.1 Cross section and duct plan of the plant.

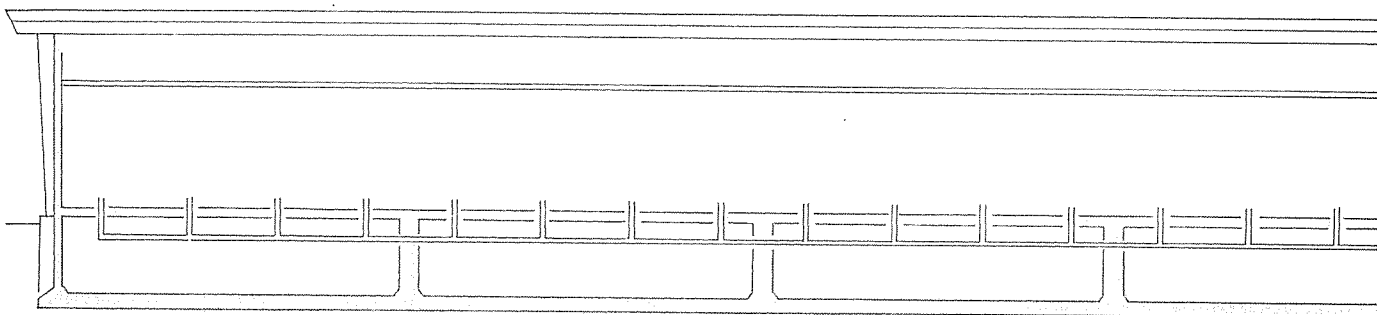


図 3.2 工場断面と配管計画
Fig. 3.2 Cross section and piping plan of the plant.

で不利であるとの結論を得た。

二重スラブは、また作業場の床面積効率を高める効果もある。従来、作業場に持ち込まれていた真空ポンプ、超音波および高周波装置の電源部など、騒音・熱・じんあい・ヒューム・振動を発生する装置を床下に分離することにより、既設工場に比べ30%以上も効率よく床面積を利用できる見通しである。

一階部分は鉄骨造りとした。壁は断熱効果の大きな材料として最近広く使用されている軽量発泡コンクリートとしたが、屋根は長尺鉄板ぶきとし内面にグラスウールを使用した。

工場内作業には、じんあい・熱・騒音の発生が避けられず、他の工程との分離を必要とする部分があり、どうしても間仕切りが必要になった。そこでこの間仕切りと構造上必要な柱の組み合わせを考え、できるだけ間仕切り内に柱をとり入れることにした。この間仕切りは固定されるので、将来あまり変動の考えられない部分、すなわち便所、出入口につけ、他はスクリーンとした。スクリーンはレイアウト変更のとき、可動壁と考えてよいものとし、またできるだけ大きなガラス窓をとって各部屋間の見通しをよくした。スクリーンにはまた人の出入口とは別にパスルーを取り付け物品の出し入れはこの部分を通して行なうことにした。両方の部屋にとって、人の出入り回数を減らすことは、室内ふんい気維持の点からも望ましいからである。

次に出入口ドアに対する考え方であるが、ドアの機能をより高めるため、どうしても必要な非常口を大形装置の搬入口と兼用させることにした。このため非常口は比較的大きなものとなった。

ドアの構造は、すべてエアタイト形を採用した。じんあいの侵入を防ぐことはもちろんであるが、とくに直接外部に面したドアでは、すき間風による空調負荷の増加も著しい。

3.3 空気調和とじんあい制御

空気調和は、工程上の必要から2系統にわけて行なうことにした。第一系統は、温度・湿度・じんあい・静圧について厳密にコントロールされたきわめて厳密なふんい気を必要とする部屋を対象としている。第二系統は、製品の特性試験、信頼性試験を行なうへやを基準

半導体工場の最近の傾向・渡辺

としたため温度条件をとくにきびしくした。

空気調和系は二つにわけたが、工場全体としての静圧コントロールは、基本的なキープランに基き、全体的バランスを考慮した。すなわち、第一系統の対象である特定室を最高静圧3mm aqとし、次に試験室関係をやや低くし、廊下、出入口室は、地下の配管用ピットを外気圧と考え常にこの値を基準にわずかに正圧とした。しかし便所は負圧を常態とした。

空気調和系のコントロールはすべて自動とし、機械室のコントロールパネルに集約した。

じんあいの制御は、数種のフィルタを組み合わせた空気清浄計画に基いて行なう。外部からとり入れられた空気は、

- (1) カーテンタイプフィルタ
- (2) 電気集じん機
- (3) プレフィルタ
- (4) 最終段高性能フィルタ

の順でろ過される。最終段高性能フィルタは、HEPAフィルタと呼ばれるもので0.3 μ の粒子を99.97%除去する能力が認められている。このフィルタの使用にあたっては慎重な配慮が必要で、たとえば高価であることからできるだけその寿命を伸ばすよう、またフィルタ通過後の清浄空気に再汚染の機会を与えないようにしなければならない。このため、フィルタを制御すべき部屋の天井に直接取り付けることにした。

じんあい制御室では、室内のじんあい発生を極力抑えなければならないと同時に、外部からの侵入も注意しなければならない。空気調和装置の運転を停止したとき、それまで維持されていた静圧のバランスがくずれるとともに換気ダクト、および排気ダクトから汚染空気の侵入を予想しなければならない。したがってこれら排気系ダクトにもフィルタが必要である。ただしこのフィルタは、平常運転中は、空気抵抗を与えるし、また排気されるヒュームに耐えうる材質を選定することに注意しなければならない。

空気分布も重要である。室内の温度分布を中心に考え、作業台上

の温度コントロールを第一義とする場合、問題となる個所に最も近い吹出し口という意味で、床または壁に吹出し口を設ける場合もある。また温度、湿度の様な分布を考えると、吹出し口の位置よりもむしろ吹出し風速が問題となる。この場合、一定の風速により室内をできるだけかき混ぜることが望ましいのであるが、これは床その他に沈降しているじんあいを浮遊させることにもなる。

1960年頃、米国で空気分布に関する新しい考えが提示された。今日のクリーンルームの必須条件となっているラミネアロ方式である。この方式は、天井または壁全面にフィルタを並べ、対面する床または壁を吸込みグリルとし、部屋全体に垂直または水平方向の層流を流すのである。このため、設計上の制約も多くあり、またきわめて高価な建築費になる。

今回の工場では、天井にフィルタを取り付け、床に吸込みグリルを設けた。そして水平下向気流の中で作業が行なえるよう天井吹出し風速を抑え、二次気流または乱流の発生を防いだ。天井のフィルタの個数が限られているので部屋全体のラミネアロは期待できない。一方床吸込みの風速は、天井吹出し風速よりやや大きくし、作業台レベル以下の上向気流をできるだけ防ぐことにした。

3.4 動力設備計画

工場に対する動力サービスはすべて床から行なうことが決定された。床に一定の間隔でスリーブを入れておき、必要に応じて床下ピットの主配管から各動力を取り出すのである。床スラブのスリーブ管は配筋の終わった形わくの上に並べ、上部5cm程度を残して砂を入れておく。コンクリート打ちが終わり形わくを解体すると、スリーブ内の砂も同時に除かれ、上部に5cmのコンクリート層をもったスリーブが得られる。床上の機器のレイアウトが決まり、動力の供給が必要になると、このコンクリートを打ち抜き、配管を貫通させる。もちろん、パイプを通したのち、取はずし可能なふたを付け、また適当なコーキング材を使ってエアタイトとすることはいうまでもない。

動力は、作業上の要求から、4種類の電力・2種の工場用水・3種の工業用ガス・2種の圧縮空気・真空などを中央供給方式とする。その他特定の装置に必要な特殊な動力は原則としては床下設備ピットに発生装置を置き、部分的にサービスする。

室内に発生したじんあいを除去する方法として、真空掃除配管を採用した。各部屋の要所に掃除用ホースの接続口を設け、一定のス

ケジュールに従って室内の除じんを行なうのである。これはまた工場の特設室にはいる人、または物品に対しても、その表面に付着したじんあいを除くため使用された。

工場で発生したヒューム・ミストあるいは熱を捕そく（捉）除去するために、排気系が必要である。原則として、その発生源にできるだけ近い位置でこれを排気の吸込み気流に乗せ排出すべきである。今回の工場では、吸込み気流を水平または垂直下向き方向とした。これは、工場建築構造上の必然性よりもむしろ天井つりさげダクトをなくする目的から決定されたことで、ダクトに捕そくされたヒュームはすべて、地下ピット内排気系を通して屋外に放出される。下方排気でとくに問題となるのは、局所排気を必要とする場所で熱放散作業が行なわれる場合の上昇気流の発生および熱的静圧効果である。上方へ逃げようとするペクトルを打ち負かして水平方向に排気しなければならない。

地下ピットに排気ダクトを通すことによる特長は、排気部分から排風機にいたるサクショ部を短くすることができる点である。排気を必要とする装置のすぐ下に排風機を設置すると外部への長いダクト部分はすべて吐出側となり、効率的にも有効である。また複雑な多岐ダクト系のフィードバックを必要とするめんどろな計算を省略することもできる。材質的に許されるならば、この吐出側ダクトは、各装置の排気を一本にまとめてもよいわけである。

4. む す び

めざましい発展を続ける半導体工業にふさわしい工場の特長として、フレキシビリティを考慮することは是非とも必要である。しかしコスト的にはかなり高価になる。その他未解決の問題も多々ある。

工場の管理上、分電盤やスイッチ、あるいは配管のバルブなどが柱や壁のない広い場所であるため、手近かなところは取り付けられず、将来、多少とも問題となる可能性もある。

動力サービス用スリーブの個数および設置場所も、将来の生産方式変更に対して十分有効であり得るかという点も心配になる。

このような問題は、なお未解決に終わっている。しかしわれわれは、当工場に投じられた建築費が、生産上あるいは管理上の多くの改善に役立ち、生産性の向上に寄与するものと確信している。

簡易形IC機能試験装置

壺井 芳昭*・松原 要*

Simplified IC Function Tester

Central Research Laboratory

Yoshiaki TSUBOI・Kaname MATSUBARA

With regard to electronic apparatus, the world is changing from the transistor age to an integrated circuit era. As the demand for the integrated circuit increases rapidly, the test on it is becoming a vital problem. Under the circumstances, simplified function testers for the integrated circuits are seldom found, though various types of complicated test equipment are on the market. Outline of simple function tester for the purposes developed in the Mitsubishi Electric Corporation is worthy of introduction. This tester is mainly used for the function test and output voltage level test of Mitsubishi "Moletron" TTL M 5340 P, Quadruple 2-Input NAND Gate. The operation is made automatically in 0.3 sec. The tester is provided with integrated circuits and assembled in small size and lightweight.

1. ま え が き

電子装置は、今や、トランジスタの時代からICの時代へと進み、ICの需要は著しく増大しつつある。このため、ICの供給者にとっても使用者にとっても、ICの試験ということがきわめて重要な問題となっている。とくに、ICは従来の真空管やトランジスタのように単体素子でないために、その特性ないし機能の試験には従来にない考慮が必要であり、それだけ困難性を伴い、また試験に要する経費も方法によっては大きい金額に達する。

このような事情にもかかわらず、その試験装置の必要性は従来の素子に対するもの以上に大きい。こういった要求から最近IC試験装置が世に出はじめているが、この試験装置には二つのタイプがある。その一つは、ICの電気的諸パラメータを測定、試験しようとするものであり、この種に属するものはすでに大形高性能のものが市販されている。もう一つのタイプは、ICの固有の動作機能を試験しようというもので、このタイプのものはまだ多くの発表が見られないがICの試験装置としてはきわめて重要な領域で、このタイプの試験装置で簡便なものがあればきわめて有益度が高い。

このような理由からわれわれは簡易形のIC機能試験装置を開発したので、その概要をここに報告する。

2. 装置の概要

この簡易形IC機能試験装置は、三菱モレクトロン(TTL), M5340 P (Quadruple 2-input NAND gate) の機能試験を行なうものであるが、出力電圧の測定というパラメータ試験機能も一部かね備えている。

この装置は、つぎのような特長を有している。

- (1) 測定が簡単で、短時間に自動的に行なわれる。
- (2) 測定の条件が外部から任意に設定できる。
- (3) 測定結果の表示はGO, NO-GOであるため判定が容易であり、さらに不良の種類も表示も備えている。
- (4) 装置自身がIC化されているので、小形・軽量である。

この装置の仕様の大要はつぎのとおりである。

- (1) 測定対象品種 : TTL, M 5340 P
- (2) 測定時間 : 約 0.3 秒
- (3) 表示方式 : ランプ表示 (GO, NO-GO, FUNCTION ERROR, LEVEL ERROR)

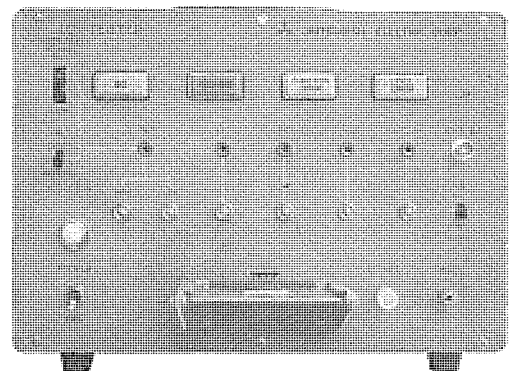


図 2.1 簡易形IC機能試験装置
Fig. 2.1 Simplified IC function tester.

- (4) 測定条件電圧設定 : 外部設定
- (5) 電 源 : AC 100 V ($\pm 10\%$), 50 c/s, 60 c/s, 50 VA
- (6) 測定周囲温度 : $25^{\circ}\text{C} \pm 3^{\circ}\text{C}$
- (7) 外形寸法 : (W)320 $\times$ (H)220 $\times$ (D)205 (mm)
- (8) 重 量 : 約 9 kg

3. 測定原理

試験内容は、ICの動作機能を試験する機能試験と各出力電圧を測定(判定)するレベル試験とにわかれる。

3.1 機能試験

M 5340 P は 2 入力 NAND ゲートが 4 個はいっているので、個々の NAND ゲートについて、その論理動作機能を確認するのが一般的なやり方であるが、ここでは、図 3.1 に示すように被測定素子内の 4 ゲートのうち、特定の 2 ゲートにより外部にコンデンサと抵抗を取付け、T-フリップフロップを構成して試験を行なう。

試験は、被測定素子と同じ構成の標準素子による T-フリップフロップの対応出力との比較により行なう。手順はつぎのとおりである。はじめにリセットパルス R で被測定素子で組んだ T-フリップフロップと、標準素子で組んだ T-フリップフロップとの位相をそろえる。つぎに、相互に同期のとれた被測定素子用クロックパルス CL と、標準素子用クロックパルス CLO とをそれぞれ双方に加え、カウンタ動作をさせる。そして両方の出力端子の信号の不一致があれば、これを検出し、不良品(NO-GO)として判定する。

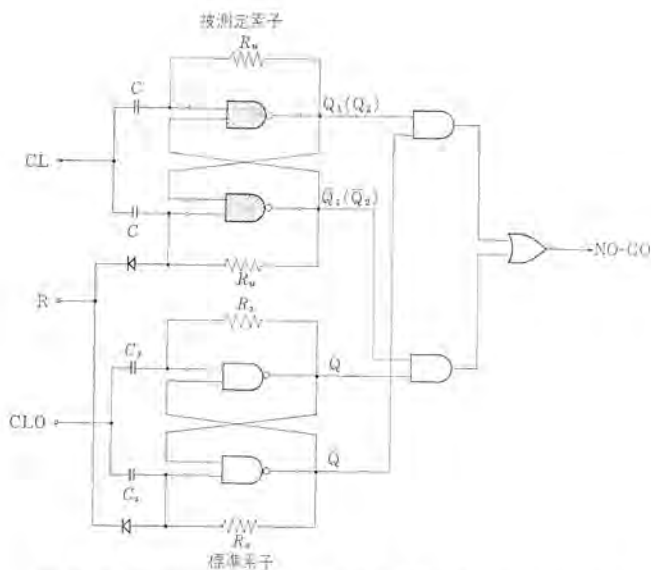


図 3.1 機能試験回路 Fig. 3.1 Function test circuit.

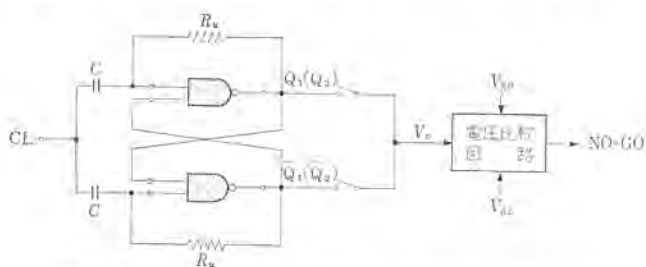


図 3.2 レベル試験回路 Fig. 3.2 Level test circuit.

3.2 レベル試験

図 3.2 に示すように、機能試験と同じく T-フリップフロップを構成し、クロックパルス CL によって順次、反転させながら測定を行なう。

測定は各出力電圧 V_0 と、あらかじめ与えられている限界基準電圧とを、電圧比較回路で比較し判定することによって行なう。

高電位側限界基準電圧 V_{RH} 、低電位側限界基準電圧 V_{RL} が与えられているときに、

$$V_{RH} > V_0 > V_{RL}$$

であれば、NO-GO と判定する。

各出力電圧は、順次リレーで切換えられ、高電位 (“1”) のときと低電位 (“0”) のときについて、交互に測定する。

4. 構成および各部の動作

図 4.1 はこの装置の全体の構成を示すブロック線図である。

この装置は、図 4.2 に示すシーケンスで動作する。まず、スタート信号により、システム全体が測定準備状態に復帰する。それから 0.04 秒後に機能試験のための条件設定 (クロックパルス CL, CLO を 250 kc にし、被測定素子電源電圧 V_{CC} を 5.5 V にする。)を行ない、被測定素子と標準素子とを信号 R でリセットし、両方の位相をそろえる。この間、0.04 秒で、位相がそろったら機能試験を行ない、結果を記憶回路に逐次記憶させる。こうしてさらに 0.04 秒たつて、機能試験が終わったら条件設定を復帰させて、0.04 秒休止する。休止期間が終わったらレベル試験のための条件設定 (CL, CLO を 100 c/s, V_{CC} を 4.5 V にする。)を行なってレベル試験にかかる。レベル試験の結果は、機能試験と同様に、記憶回路に記憶される。0.16 秒たつてレベル試験が終わると、全部の結果がランプ表示され、つぎにスタート信号が

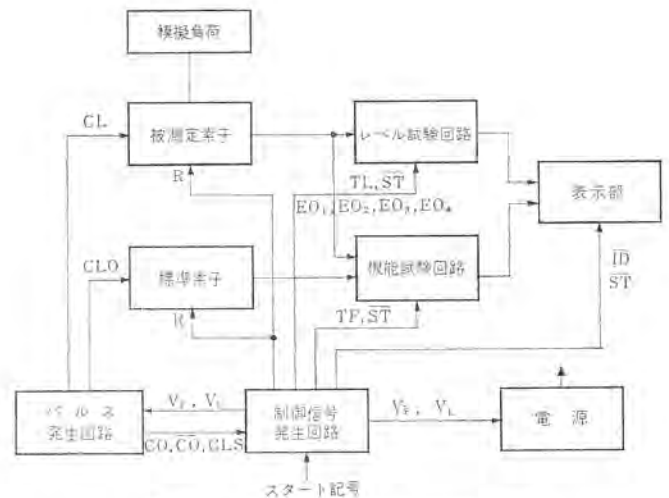


図 4.1 簡易形 IC 機能試験装置の構成
Fig. 4.1 Block diagram of simplified IC functional tester.

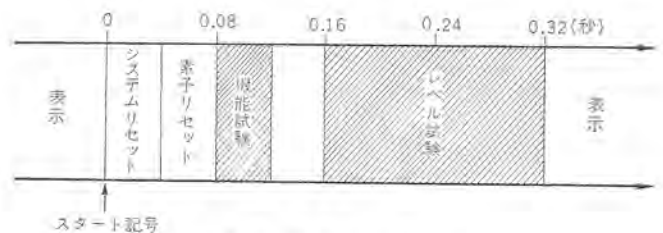


図 4.2 動作シーケンス
Fig. 4.2 Sequence of operation.

くるまでその状態を続ける。

4.1 パルス発生回路

被測定素子用クロックパルス CL, 標準素子用クロックパルス CLO, 制御用クロックパルス CO, および検出用原クロックパルス CLS を発生する。被測定素子用クロックパルス CL は、機能試験のとき 250 kc, パルス幅 2 μ s, 立ち上がり時間 100 ns/V, 振幅 1.5 V に規定する。レベル試験のときは 100 c/s, 振幅約 4 V, パルス幅約 200 ns である。標準素子用クロックパルス CLO は、振幅はつねに約 4 V, パルス幅約 200 ns であるが、周波数は機能試験時 250 kc, レベル試験時 100 c/s である。

制御用クロックパルス CO は各種の制御信号を発生させるための 6 ビットバイナリカウンタの駆動に用いるクロックパルスで、周波数 100 c/s, 振幅約 4 V, パルス幅約 200 ns である。

検出用クロックパルス CLS は各試験時のサンプリングパルス TF, TL および R を作るための原クロックパルスで CLO に対して、機能試験時のサンプリングパルス TF は 0.9 μ s, レベル試験時のサンプリングパルス TL は 4 ms 遅延された CLO と同じ形状のパルスである。

図 4.3 に各クロックパルスの関係を示す。

4.2 機能試験回路

被測定素子の各出力と、それに対応する標準素子の各出力との不一致を Exclusive OR で検出することにより測定を行なう。各出力端子のいずれか一つにでも不一致があれば、その結果を記憶するセトリセットフリップフロップをセットする。この記憶された結果はつぎにスタート信号がくるまで保持されていて、表示回路を駆動し続ける。

4.3 レベル試験回路

入力電圧 (被測定素子の出力電圧) V_0 を、高電位側限界基準電圧 V_{RH} と比較して、 $V_0 > V_{RH}$ のとき出力が “1” となるいわゆる電圧比較回路と、低電位側限界基準電圧 V_{RL} と比較して、 $V_0 > V_{RL}$

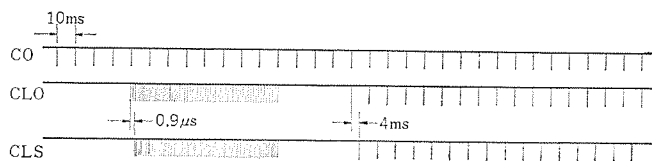


図 4.3 各クロックパルスの関係
Fig. 4.3 Clock pulses.

のとき出力が“1”になる電圧比較回路との二つを設け、両方の出力の論理和 (OR) をとって不良としての判定を行なっている。

結果はセトリセットフリップフロップに記憶され、つぎにスタート信号がくるまで保持され、表示回路を駆動し続ける。

4.4 模擬負荷

被測定素子の各出力端子には図 4.4 に示す模擬負荷を常に接続しておく。この模擬負荷の条件はユーザーの指定である。

4.5 表示部

表示部は、測定結果をランプ表示する部分である。機能試験およびレベル試験の結果はそれぞれの記憶回路で記憶されており、すべての測定が約 0.3 秒で終わったのち、表示信号 $\overline{ID}$ によっていっせいにランプ表示される。

表示は機能試験、またはレベル試験のいずれかが不良であれば NO-GO と表示され、両方が良のときだけ GO と表示される。

NO-GO のときは機能試験で不良であれば FUNCTION ERROR、レベル試験で不良であれば LEVEL ERROR と不良の種類の表示も同時に行なわれる。

4.6 制御信号発生回路

機能試験、レベル試験の切換え信号 VF, VL, 素子リセット信号 R,

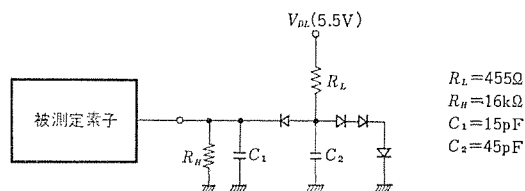


図 4.4 模擬負荷 Fig. 4.4 Dummy load.

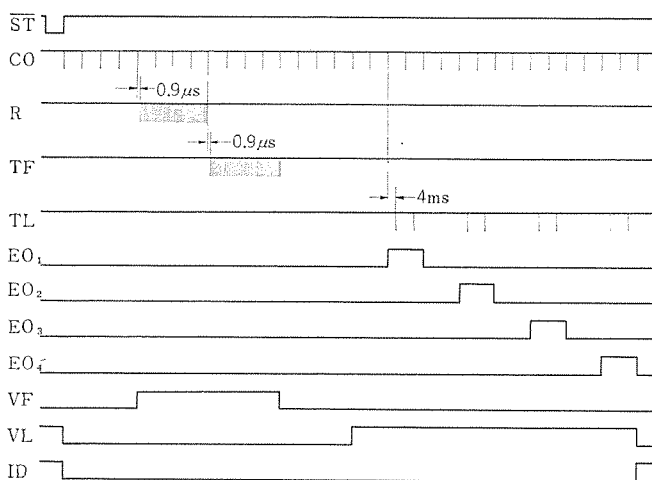


図 4.5 各制御信号の関係 Fig. 4.5 Control signals.

検出用 サンプリングパルス TF, TL, レベル試験時の各出力端子切換え信号 EO_1 , EO_2 , EO_3 , EO_4 , 表示信号 $\overline{ID}$ および システムリセット信号 ST を発生する回路である。

この回路は、パルス発生回路からの CO を受けて、時間をカウントする 6 ビットバイナリカウンタと、その出力をデコードしてそれぞれ所望の信号を作るゲート回路群からなっている。

各信号の相互関係を図 4.5 に示す。ここで TF と R は CLO から $0.9\mu s$ 遅延されている。また、TL は CLO から 4 ms 遅延されている。

5. 性能および判定例

機能試験では、使用している回路構成のつごう上、被測定素子の出力電圧 V_0 の“1”および“0”の判定の境界電圧 (スレシホド電圧) は約 1.5 V 付近にある。

一方、レベル試験のときは V_{RH} が 2.4 V 付近に設定され、 V_{RL} が 0.4 V 付近に設定されている。

$$V_{RH} > V_0 > V_{RL} \rightarrow \text{NO-GO}$$

と判定される。このときの判定精度は“1”のときで約 $\pm 20\text{ mV}$ 、“0”のときで約 $\pm 5\text{ mV}$ 程度であり、いずれも約 $\pm 1\%$ の精度で判定が可能である。

不良の場合の判定結果には、つぎの 3 種類の場合が存在し、それぞれについてつぎのような情報が得られる。

(1) FUNCTION ERROR だけのとき

“1”または“0”の状態になったままで、T-フリップフロップとしての動作をしていない。すなわち、いずれかの NAND が NAND としての機能をしないことを示す。

(2) FUNCTION ERROR, LEVEL ERROR の両方のとき

出力電圧 V_0 が $V_{RH} > V_0 > V_{RL}$ となり、しかも T-フリップフロップとしての動作をしていないことを示す。この場合は、電源端子の断線不良のことが多い。

(3) LEVEL ERROR だけのとき

出力電圧 V_0 が $V_{RH} > V_0 > V_{RL}$ になっているが、機能試験回路のスレシホド電圧に対しては“1”、“0”の動作をし、しかも T-フリップフロップとしての動作はしていることを示す。すなわち、出力電圧のレベルは多少ずれているが、一応ゲートとしての動作をしていることを示す。

6. む す び

この装置はあくまで三菱モロトロン、M5340P という一品種の IC の機能試験を簡便に行なうために開発されたものであり、その意味では十分に要求を満足した性能のものが得られた。

今後、ますます IC が一般に使用され、同時にこの種の IC の機能試験装置への要求はいっそう増大することが考えられる。われわれはこのような時代の要求を考慮し、さらにより万能に近いデジタル IC 機能試験装置を開発中であり、やがて、完全に近い形での IC 機能試験装置への要求にこたえられることに努力したい。

(昭 42-6-8 受付)

DTL の布線雑音

壺井 芳昭*・梅田 義明*・松原 要*

Considerations on Noise in Interconnections of DTL

Central Research Laboratory Yoshiaki TSUBOI・Yoshiaki UMEDA・Kaname MATSUBARA

Noise generated on interconnection of short wiring has been investigated regarding DTL logic elements that are composed of semiconductor integrated circuits with open wires in use. High density system packaging by making use of these logic elements increases the weight of short wiring as mentioned above. Simultaneously it becomes necessary to pay attention to low noise immunity characteristics of logic elements made of integrated circuits in general. To impart general adaptability to the results of study, it has been attempted to find wiring conditions relative to noises with single lumped constant elements selected according to the classified noise from the equivalent circuit of wiring and its appropriateness has been confirmed. This indicates that via the value of the above single element noises of various wirings can be investigated.

1. ま え が き

半導体集積回路(IC)化された論理素子の実用に際して考えられるいくつかの問題点とその対策を明らかにするよう努めてきたが、ここではこれらの検討のうち、DTL形の論理素子に対する短いオープンワイヤによる論理布線の布線雑音の検討とその結果について報告する。

布線雑音を検討する場合、まず布線とそれによる雑音発生量との関係を明らかにする必要がある。このため、ここでは布線をきわめて簡単な集中定数等価回路としては握し、この等価回路定数を介して一般の布線の雑音を検討することを試みている。

そのための代償として検討の対象を短い布線に限っているが、これは装置のIC化に伴って実装密度が向上し、比較的短い布線の比重が増すと考えられること、短い布線ではオープンワイヤの信号伝送特性は問題にならず、逆にその簡便さが重用されると思われること、一般にIC論理素子は比較的低レベルで動作するために雑音裕度も小さく、短い布線の雑音にも十分注意を払う必要が考えられること、などによる。

IC論理素子として図1.1に示す三菱50シリーズDTLを使って行なった検討の結果、実験時にサンプルとして使った布線(内容は後の表3.1を参照)では、検討の対象とした3m程度までの布線長ではとくに雑音の影響は考える必要がないこと、並行布線間の静電結合による雑音が最も優勢であること、などが明らかとなった。

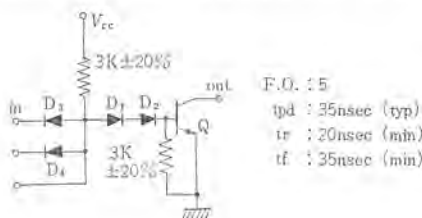


図 1.1 三菱 50 シリーズ DTL
Fig. 1.1 Mitsubishi DTL 50 series.

2. 考 え 方

論理装置を正しく動作させるための布線基準は、布線による雑音発生量と布線条件(長さ、線材、布線法など)との間の関係、およびこのような雑音を受けた素子の振舞いの二つから作ることができ

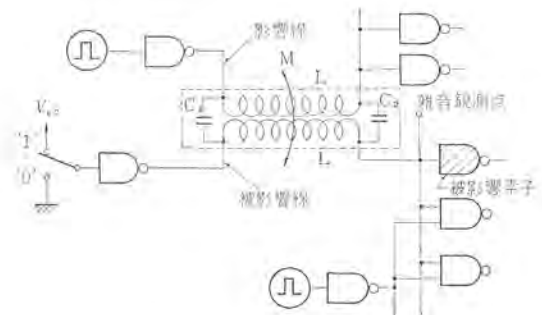


図 2.1 布線等価回路
Fig. 2.1 Equivalent circuit of short wiring.

る。以下ではこの両者を調べる方法について述べる。

2.1 雑音発生量と布線条件との関係

普通一般に採用されている布線では、布線々材、結束状態など種々のものが用いられており、これに伴って布線のとる電気定数も複雑に変化する。このため、これらの定数で表現される“布線条件”と、それによる雑音発生量との関係を単純な形で求めることは困難である。

したがって、ある形式の論理素子を使用するにあたって必要とされる実用的な布線基準をうるためには、問題自体を単純化することが必要でこのためには普通、各場合ごとの線材、布線法などの特殊性を利用する。当然のことながら、このような方法で得られた布線基準は、その特殊性のうちでだけ有効で広く一般の布線を対象とすることはできない。

そこでわれわれの検討にあたっては、対象を短い布線長に限る、ということを前提に、問題の単純化に大きな効果を持つと考えられる次のような仮説を設けた。

(1) 布線はその電気的取扱いがすべて集中定数の形で行なえるものとする。

(2) ある種類の布線雑音について効果を持つ電気定数の種類は常の一つであるとする。

最初の(1)の仮説は“短い布線”なる前提に対して設けたもので、これによって布線を図2.1に示すような簡単な等価回路の形で捕えることを可能にする。(2)は従来から短い布線で観測されている雑音の性状、図2.1の布線等価回路、DTLの回路構成の特殊性な

どを考え合わせて設けたもので、検討とその結果の利用の単純化にきわめて大きな効果を持つ。

すなわち、一般に布線は各種の電気定数による等価回路で表現されるが、布線が変わると等価回路を構成する各要素の値が変化すると同時に各定数間の比率も変化する。したがってそのおのおの場合について雑音発生状況を明らかにし、この結果を利用して現実の布線の雑音を検討することは事実上非常に困難である。(2)の仮定はこの問題を解決するのに有力な手段を提供する。

問題は、これらの仮定の当否で、適当な方法でその正当さを証明することが必要である。

われわれはこの証明の方法として、実際の布線例と、この布線を表わす等価回路の構成要素のうちの最も注目すべきものと等値の単一集中回路素子による模擬線路とについて、それぞれの雑音発生状況を実験的に比較する方法を用いた。

なお、ここで短い布線と称するものは、論理素子によって発生される信号の立上がり立下がり時間のうち、最小の時間内に信号が往復できる最大布線長より短いものをいう。50シリーズ DTL の場合はこの時間は約 20 n sec となり、検討の対象とされる布線長の最大値はしたがって約 3 m となる。

2.2 論理素子の雑音応答特性と雑音伝ば(播)特性

論理素子の動作に悪影響を及ぼさない雑音入力 の最大値を、簡単に直流入出力特性から決定することは適当でない。それは布線雑音のような細いパルス状入力に対しては、素子の高周波特性に制限されて、直流入力に対するよりも応答しにくくなることによる。

このため、すでにカタログなどで与えられている直流入出力特性とは別に、布線雑音に似た波形のパルスに対する応答特性を調べる。

この結果を利用して素子が応答を示さない最大の雑音量をもって許容値の限度を定めることができるが、さらに進んである程度の雑音応答を許すことも考えられる。というのは一つの論理素子の出力は通常次に位置する同様の論理素子に与えられるが、先の素子の応答出力が一定のレベルに達しないような微小のものであれば、2 段め以降の素子は応答を示さないことによる。同じようなことが3 段め以降についてもいえる。そして装置全体として考える場合、最終段に位置する論理素子が誤動作しなければまったく問題はない。

これらの点についての検討を行なうための資料をうることを目的として、論理素子チェーンの雑音伝ば状況を調べる。

3. 実 験

3.1 発生機構による雑音の分類

布線雑音を種類別に分類し、各種類ごとにその雑音を発生するのに最も寄与していると考えられる等価回路構成要素を図 2.1 の中から一つずつ選び出して対応させる。そして、一般的には図 2.1 で表現される等価回路が、ここで分類した各種類ごとの雑音を考えるときは、各対応する構成要素ただ一つで表わすことができるものとする。このとき、各雑音の特長、各雑音が最も大きくあらわれる外部条件、すなわち布線に連なる各論理素子の動作状態などを考えると以下ようになる。

(1) C 結合雑音

互いに接近した位置にある 2 線間の静電容量結合によるもので、雑音発生機構は図 3.1 に示すようである。この雑音を考えるかぎりにおいては、図 2.1 の布線等価回路は図 3.1 の形で置き換えて考えることができる。

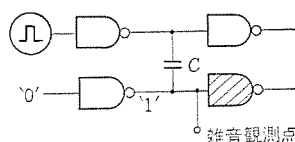


図 3.1 C 結合雑音等価回路
Fig. 3.1 Equivalent circuit for capacitive coupling noise.

図 3.2 M 結合雑音

Fig. 3.2 Equivalent circuit for inductive coupling noise.

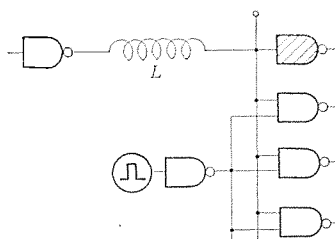
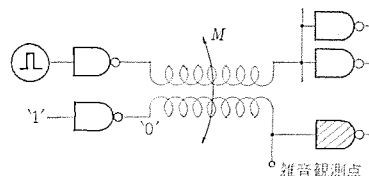


図 3.3 ゲート電流切換雑音等価回路
Fig. 3.3 Equivalent circuit for gating noise.

C の値は図 2.1 の C_1 と C_2 の値の和に等しい。被影響線の送・受両端に同じように現われ、被影響線が“1”のとき問題となる。したがって“1”から“0”に向う負極性雑音を考える。

(2) M 結合雑音

互いに接近した 2 線間の電磁結合によるもので、被影響線が“0”のとき問題となる。雑音は被影響線の受端側に現われる。雑音発生機構は図 3.2 のようで、図中の M の値は図 2.1 の M のそれに等しい。被影響線が“0”のときに問題となるから、“0”レベルから“1”レベルに向う正極性雑音を考える。

(3) ゲート切換雑音

配線の論理レベルは変わらないまま、布線を通る信号電流の量に急な変化を生じたときに発生するものである。この雑音に関する布線等価回路としては図 3.3 に示すものが考えられる。布線に電流が流れているときに問題となるものであるから、布線の論理レベルが“0”であるときに限って考えればよく、したがって正極性雑音だけが考慮の対象となる。

(4) L 遅延

布線が存在するために伝送すべき信号の変化が妨げられ、実効的に信号の伝ば遅延をきたし、これが問題となることがある。2 種類の遅延機構が考えられ、一つは信号が“1”から“0”に変わる時の遅延で、図 3.4 に示すように布線の自己インダクタンス L と負荷抵抗からなる LR 遅延回路によるもので L 遅延と呼ぶ。

(5) C 遅延

いま一つの信号が“0”から“1”に変わる時の遅延で、この場合は布線とその周囲の固定電位との間の静電容量によっており、C 遅延と呼ぶ。遅延機構は図 3.5 のとおりである。

3.2 雑音量の測定

実験は 3.1 節で行なった雑音の分類にしたがって、表 3.1 にその諸定数を示す布線サンプルと、それに対して想定された等価回路についてそれぞれ発生する雑音量を観測することによって実施した。

実験にあたって一般的に注意したことがらは次のようである。

(1) 布線とこれに対比すべき模擬線路に連なる論理素子は、素子の制限の範囲内で、最大の雑音量を発生するような組合わせを行なう。

(2) 布線を駆動する試験信号はパルス発生器からうるが、その

パルス波形の影響を受けないように考慮する。このため、パルス発生器の出力を2～3段の供試素子と同形の論理素子を通した後、布線を駆動するようにする。

(3) 布線サンプルを使う実験では布線を円形に設置し、かつ周囲の物体からの電気的な影響に留意する。これは表3.1に示す布線サンプルの諸定数の測定について行なった留意事項と同じである。

その他、個々の雑音に対する実験の際、とくに考慮を払った事項をまとめると次のようである。

(1) C結合雑音の測定

影響を与える側の布線の論理電圧振幅をできるだけ大きくとるために、影響側布線の負荷数は1とする。

また被影響側の論理レベルが、雑音が到来する前に静的な“1”レベルに十分復帰するように影響線を駆動するパルス信号の繰返しをおそくする。

(2) M結合雑音の測定

影響側布線の負荷数を最大許容値の5として、影響線の電流振幅を大きくとる。

模擬線路では図3.6(a)のような理想的な形でMを実現できないため、同図(b)のような自己インダクタンスで代用させる。雑音出力はこのインダクタンスの両端の電圧とする。このため、模擬線路による実験にあたっては実際の負荷はかけられないので、図3.7に示すように等価抵抗を負荷とした変形回路を用いた。

(3) ゲート切換雑音の測定

切換え電流量を大きくとるために、布線の負荷数は許容最大値の

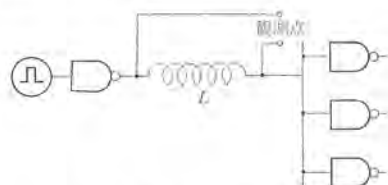


図 3.4 L 遅延等価回路

Fig. 3.4 Equivalent circuit for propagation delay caused by inductance.

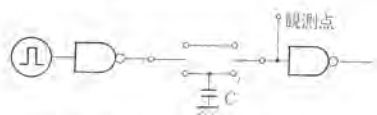


図 3.5 C 遅延等価回路

Fig. 3.5 Equivalent circuit for propagation delay caused by capacitance.

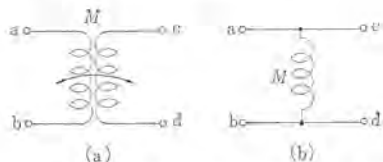


図 3.6 M 結合素子の実現

Fig. 3.6 Realization of mutual inductance.

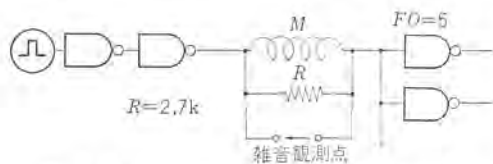


図 3.7 模擬線路によるM結合雑音の測定

Fig. 3.7 Measuring circuit for M coupling noise with lumped constant.

表 3.1 サンプル布線の諸定数
Table 3.1 Characteristics of sample wiring interconnections.

電 気 量	長 さ m	0.5	1.0	2.0	3.0
自己インダクタンス L μH		0.64	1.45	2.95	4.77
相互インダクタンス M μH		0.40	0.95	2.10	3.42
容 量 C pF		12	23.5	47	70

注) 1. 2本の布線間の定数は、それぞれを40回mのピッチで隣り合わせたときの値を示す。

2. 線材は免治ポリエチレン線で、外径は1.02φ、心線は0.32φの30%導電率CP線である。

5とする。また、各負荷素子のパルス駆動側の入力タームの“0”レベルが浮き上って切換え電流量が減少するのを防ぐため、各パルス駆動側の入力タームは、それぞれ1個の素子で駆動する。

(4) L遅延の測定

布線のLと負荷抵抗Rによって形成されるLR遅延回路の時定数を大きくとり、布線の遅延効果を大きくするために負荷数を5とする。

(5) C遅延の測定

布線が他との間に有する静電容量と負荷によるCR時定数を大きくとるために負荷数を1とする。

以上のような注意を払って行なった実験の結果得られた布線と雑音の関係を図3.8から図3.12に示す。図中実線はいずれも実布線のサンプルによるもの、破線は模擬線路によるものである。また、この実験にあたって観測された雑音波形の一部を図3.13～3.17に示す。

3.3 雑音応答とその伝は特性の測定

素子の雑音応答特性の測定は図3.18に示すように、素子に等価雑音パルスを与えて、そのときの応答出力の観測を行なうことによって実施される。このような単体論理素子の応答特性のほか、ここでは図のように5段までの論理チェーンの雑音伝は特性をも求めた。

等価雑音パルスとしては、3.2節の雑音量の測定のおりに見られた、実際の雑音波形を参考に図3.19に示すような、立上がり立下がりともに33nsec/Vの一定こう配を持つ三角波形を選んだ。なお、別に行なった、素子のパルス応答の波形依存性の調査結果によれば、問題とする波形の前後では著しい波形依存性は見られないこと、したがって等価雑音パルス波形の選定にあたってあまり神経を必要のないこと、が明らかにされている。

測定結果を図3.20に示す。

4. 検 討

3章で得られた図3.8～3.12の実験結果によれば、各種類の雑音とも、実際の布線サンプルで観測された雑音量と、注目すべき電気定数の値においてこのサンプルと等価な模擬線路の上で見られた雑音量との間に、きわめてよい一致が認められる。

さらに図3.13～3.17に示すように、布線のサンプルと模擬線路によって発生された雑音の波形にもきわめてよい相似性が見られる。この結果、「ある種類の布線雑音について効果を有する定数は布線を示す一般的な等価回路の中から選んだ、ただ1種類の集中定数であり、各種類の雑音はこの集中定数一つを介することによって検討できる」とするわれわれの仮説の正当性が立証されたと考えてよい、と思われる。

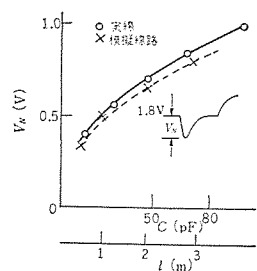


図 3.8 C 結合雑音
Fig. 3.8 Capacitive coupling noise.

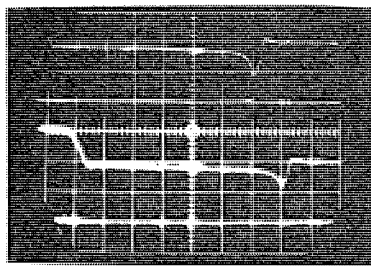


図 3.13 C 結合雑音
Fig. 3.13 Capacitive coupling noise.

Y 軸 0.5 V/div.,
X 軸右から左へ
100 nsec/div
上: 模擬線路で
C=30 pF
(1.3 m 相当)
下: 実線 1 m

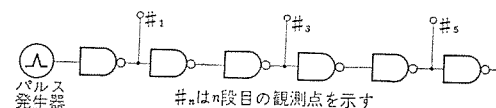


図 3.18 素子の雑音応答特性の測定
Fig. 3.18 Noise margin test setup.

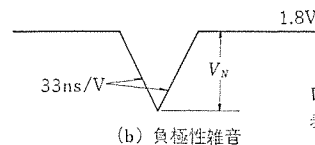
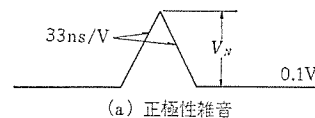


図 3.19 等価雑音波形
Fig. 3.19 Wave form of equivalent pulse for noise.

Y 軸 0.2 V/div.,
X 軸右から左へ
100 nsec/div
上: 実線 1 m
下: 模擬線路で
M=0.95 μH
(1 m 相当)

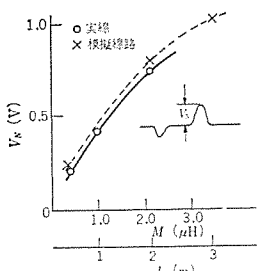


図 3.9 M 結合雑音
Fig. 3.9 Inductive coupling noise.

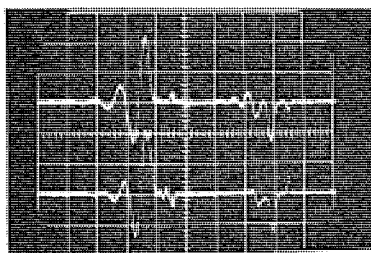


図 3.14 M 結合雑音
Fig. 3.14 Inductive coupling noise.

Y 軸 0.2 V/div.,
X 軸右から左へ
100 nsec/div
上: 実線 1 m
下: 模擬線路で
L=1.45 μH
(1 m 相当)

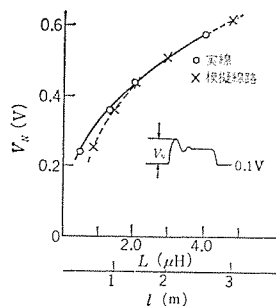


図 3.10 ゲート電流切換雑音
Fig. 3.10 Gating noise.

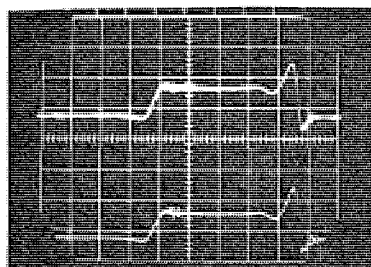


図 3.15 ゲート電流切換雑音
Fig. 3.15 Gating noise.

Y 軸 1 V/div.,
X 軸右から左へ
50 nsec/div
上: 実線 2 m
下: 模擬線路で
L=2.95 μH
(2 m 相当)

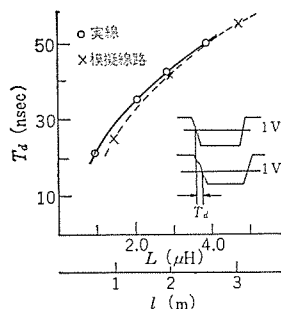


図 3.11 L 遅延
Fig. 3.11 Propagation delay caused by inductance.

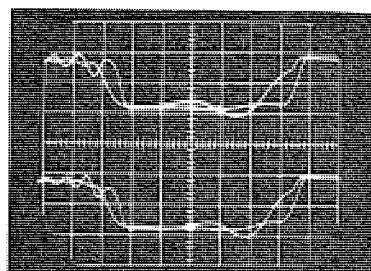


図 3.16 L 遅延
Fig. 3.16 Propagation delay caused by inductance.

Y 軸 1 V/div.,
X 軸右から左へ
20 nsec/div
上: 実線 1 m
下: 模擬線路で
C=23.5 pF
(1 m 相当)

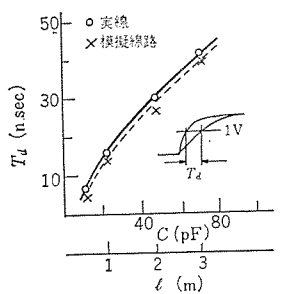


図 3.12 C 遅延
Fig. 3.12 Propagation delay caused by capacitance.

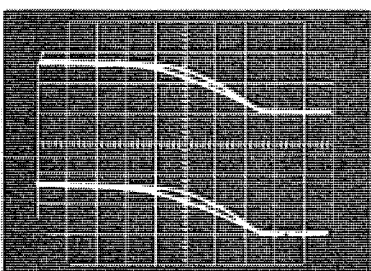


図 3.17 C 遅延
Fig. 3.17 Propagation delay caused by capacitance.

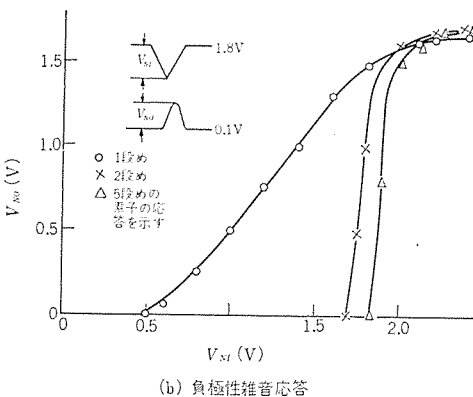
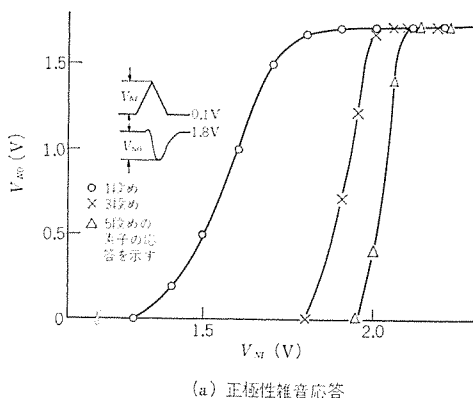


図 3.20 素子の雑音応答
Fig. 3.20 Input output characteristics of noise pulse.

一方、50 シリーズ DTL の雑音応答特性を示す図 3.20 によれば、正極性雑音については 1.3 V、負極性のものについては 0.5 V まで、まったく問題なく許されることがわかる。

以上の結果を利用して試みに、サンプルとして用いた布線を布線雑音の見地から検討してみると次のようになる。

(1) 50 シリーズ DTL では約 1 m までの布線長では雑音の影響は皆無である。

(2) この制限を作っている雑音の種類は C 結

合雑音である。したがって、雑音の影響をさらに小さくするための方策としては、布線間の静電容量結合を小さくすること、すなわち、

(1) 布線R材として、心線径を一定にするときは絶縁層のより厚いもの、線径(外径)を一定とするときは心線径のより細いものを使う。

(2) 布線にあたって多数の線を集めて強く結束することは避ける。

などが効果的である。

この検討例に見られるように、本文の結果によれば、単純なパラメータを介することによって布線状態からこれに対応する発生雑音量が予測できることになり、布線雑音対策を考えやすいものとなることができる。すなわち、最も有害な雑音の種類に対抗するための布線の設定や、布線条件の一部、たとえば布線長さが決まっているときに他の条件、たとえば使用線材などを適当に選定することによって雑音量を一定のレベル以下に押えるなど、実用上の大きな効果が期待できる。

ところで、上の検討例では許容できる雑音量の限度を直接雑音を受けた素子がまったく応答を示さない最大値として定めているが、これにはやや問題があることは先に触れたとおりである。これは、一般に論理素子の出力は次段の同様の論理素子に供給され、最終的にはこのような論理チェーンの最後の段にあたる論理素子の出力をもって論理装置全体の出力とされるが、この最後段の素子が誤った出力を出さない限りにおいては、途中段の素子がある程度の雑音応答を示しても実害とはならないことによる。

したがって、ある段数以上はその作用が伝ばしない限度をもって雑音量の許容値を定めることの妥当性が考えられる。

図3.20は従属接続された論理素子中の雑音伝ば状況を示しているが、これより

(1) 2段の論理素子を伝ばする雑音量とそれ以上の段数を伝ばする雑音量との間に大きな差はない。

(2) 2段以上の論理素子を伝ばする雑音と考えたときは、雑音の極性による応答性の差は小さい、ことがわかる。

このことは許容雑音を“ n 段以上の論理素子は伝ばしないもの”。といった形で定めるとき、 n の値の選定の問題を軽くする。それは一般には n の選定はむずかしい問題であると思われるが、一応 $n=2$ と定めても、 $n>2$ の適当な値を定めたときに比べて、許容雑音量の値に大差を生じないことによる。

そこで、先に行なったサンプル布線に対する検討例で許容雑音量を2段以上の論理素子を伝ばしないこと、をもって限度とすることにより、正・負各極性とも、約1.5Vの雑音までが許されることとなり、検討の対象とした布線長(サンプルでは3mまで)の範囲内では布線雑音はまったく問題とはならないことになる。

以上、布線雑音量の予測、許容できる雑音の限度、およびこれらによるサンプル布線の検討について述べた。おわりに以上では取扱わなかった問題点のうち、おもなものを挙げてそれぞれに対するわれわれの考え方を述べると次のようである。

(1) 布線のL、R、布線間のM、Cなど、各定数相互間の関係の適用限界の検討。

(2) 論理布線以外の布線の雑音の検討。

(3) 短くない布線の検討。

まず、(1)は、検討の対象とした布線の特殊性によって、ある等価回路中の構成要素が2種類以上の雑音に対して有効であるような場合が考えられることによる。このため、先の検討結果が適用できる、各定数間の比率の限界を知る必要があるわけであるが、実用的には次のような理由で問題は小さいと考えている。

(a) 等価回路中のある構成要素の勢力が強大である場合は、本来その要素による雑音も強大で、一般には他の要素による雑音量はもはや問題にはならないと思われること。

(b) 実用される布線にはかなりせまい幅の限界があること。

次に(2)は、おもに電源、アースの布線が問題となるが、これらは普通十分厳重に施されていること、問題が生じたときも比較的容易に対策がたてられることを考えて対象から除外した。

最後の(3)については、オープンワイヤの簡便さを考えるとき、より長いほうへの適用範囲の拡張が望まれ、これはまったく今後に残された問題であると言える。

検討は、とくに十分長いとは言えない、分布定数の取扱いだけでは不十分な、中間領域の長さについて進められる必要が考えられる。

5. む す び

IC論理素子を使うことによって論理装置を非常に小さく作ることができるが、このような装置においてとくに利用価値が高いと思われる、短いオープンワイヤによる論理布線の雑音を検討した。

短い布線は電氣的に集中定数の取扱いができると思われること、DTLの回路構成の特殊性、などを利用して一般にはその複雑さのために困難な、雑音に関する布線条件のは握を極度に単純化することを考えた。そして、布線を表わす集中定数等価回路の中から雑音の種類別に選り出した一構成要素をもって、布線条件を表わすことの妥当性を実験的に確かめた。この結果、短い布線(50シリーズDTLでは3m以下)についての布線線材や布線法の選択、発生する雑音量の予測、雑音による誤動作の対策など、雑音に関する布線の検討を容易かつ確実にできることになった。

残された問題点としては、ここでの検討結果の適用可能な布線条件の限界の確認、電源やアースなどの論理布線以外の布線雑音とその影響の検討、より長い布線への適用可能布線長の拡張、ここでの基本的な考え方のDTL以外の他の形式の論理素子への適用の検討、などが考えられる。これらについてはさらに検討を進め、より有意な布線基準が作成できるよう努めたいと考えている。

終わりに、本研究にあたってご討論いただいた当社北伊丹製作所ならびに鎌倉製作所の関係者に謝意を表します。

(昭42-6-8受付)

参 考 文 献

- (1) Gerald Luecke : Noise Margins in Digital Integrated Circuits, Proc. of IEEE, Dec. pp.1565~1571 (1964)
- (2) F. C. Yao : Analysis of Signal Transmission in Ultra High Speed Transistorized Digital Computers, IEEE Trans. on EC, Aug. pp.372~382 (1963)
- (3) D. B. Jarvis : The Effect of Interconnections on High-Speed Logic Circuits, IEEE Trans. on EC, Oct. pp.476~487 (1963)

全集積回路化電子計算機の自動設計

小島 一男*・三上 晃一*・蒲原 捷行*・田淵 謹也*

Automated Design of Electronic Computers with Integrated Circuit

Kamakura Works Kazuo KOJIMA・Koichi MIKAMI・Toshiyuki KAMOHARA・Kinya TABUCHI

Integrated circuitry techniques are finding their way into the electronic computers with great strides. On the other hand utilization of electronic computers in the process of designing and building electronic computers is extensively developing of late. On the part of Mitsubishi the development and operation of an automatic design systems has been going on with automatization of wiring design taken up as the central subject on the occasion of developing MELCOM 3100. The contents of the matter have been made public in the Journal of Electric Communication Society, April 1967 and in the Mitsubishi Denki Giho, 41, No. 8, 1967. In this article, however, mention is made on the analysis and solution as to what support is necessary in the field of automatic design with the prevalence of integrated circuits.

1. ま え が き

電子計算機の IC 化は急速に進められている。一方、電子計算機の設計、製作の過程において電子計算機を利用する、いわゆる自動設計の技術の開発も最近とみにさかんになっており、当社においても MELCOM-3100 の開発に際し、布線設計の自動化を中心にして自動設計システムの開発と運用を行なった⁽¹⁾⁽²⁾。ここでは IC 化に伴い、自動設計の分野ではどのようなサポートが必要であるかという分析と、その解決法を考察する。

本文では、まず IC 化に伴う自動設計上の問題を分析し、その中でとくに論理回路の NAND 化と、パターン設計に関して詳述するものである。また本文で述べる自動設計は MELCOM-350 の論理設計に全面的に適用している。

2. IC 化と自動設計

IC 化は使用論理素子の変更を意味しており、そのため実装上の問題点が多い。他に大きな問題としては、論理設計、保守などの面にみられるがこれらは独立しているものではなく、相互に関連性をもっている。

2.1 パッケージング

パッケージングの決定は多数の要素がからみあっているが、それに必要な次の資料の作成に電子計算機はフルに利用される。

- カード寸法、端子数、IC 実装数の決定
- はん用カードを使用する場合はカードの種類とその機能の決定
- ロジックの分割（大形機能カードを用いる場合、プリント板への論理ブロックの割付けを行なう）

2.2 プリントパターンの作成

- プリント板上の IC の配置の決定（この良否は後の工程に影響する）
- パターン設計
- 自動作図用データの作成

2.3 その他の実装上の問題

- マザーボードのプリント化（パターン設計に準ずる）
- 配線設計（演算速度の向上などにより、布線条件は複雑になる）

2.4 保守

大形機能カードを使用する場合、カード単位の故障診断能力が高くなければならない。そのためにカード検査機を作成するが、効果を上げるには必要でかつ十分な検査データが必要である。

2.5 論理設計

- ロジックの NAND 化（次章参照）

- 論理シミュレーション（IC 計算機にかぎったことではないが、大形カードの使用や、マザーボードのプリント化のため、論理ミスは極力少なくしなければならない）

3. NAND 論理回路の合成

一般に IC は NAND 論理のものが多く、一方、論理設計には、AND-OR-NOT 論理のほうが扱いやすい。したがって、AND-OR で記述された論理構成を NAND 系へ矛盾なく、冗長性を加えることなく変換することが必要となる。

3.1 NAND 回路の特性

入力 $x_1 \cdots x_n$ があるとき、その NAND とは次のように定義される。

$$f = \overline{x_1 \cdot x_2 \cdot \cdots \cdot x_n}$$

NAND 回路では一段ごとに論理が反転するのが取扱いを困難にする大きな原因になっている。

NAND を用いて、AND、OR、NOT を構成するのは図 3.1 のように容易である。したがって、AND-OR 論理を NAND 化する

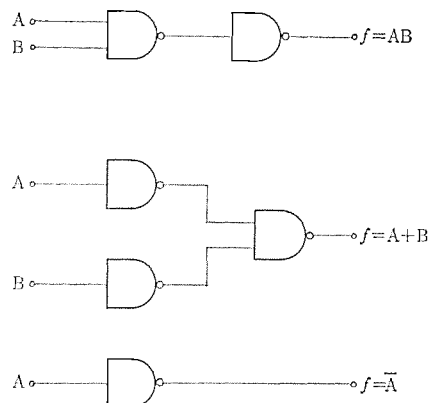


図 3.1 NAND による AND, OR, NOT の合成
Fig. 3.1 Synthesis of AND, OR, NOT by NAND.

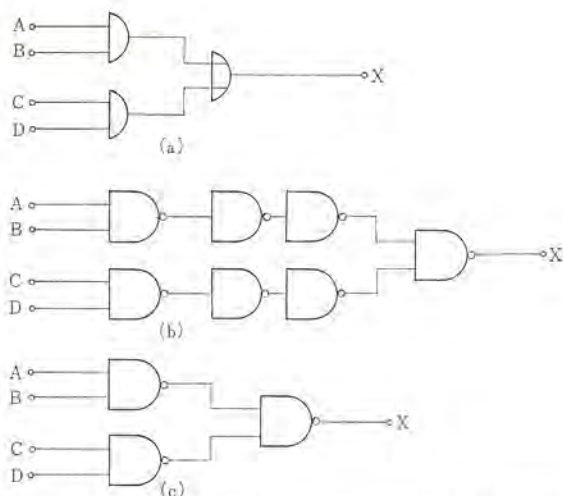


図 3.2 AND-OR と NAND への変換例
Fig. 3.2 Conversion examples from AND-OR to NAND logic.

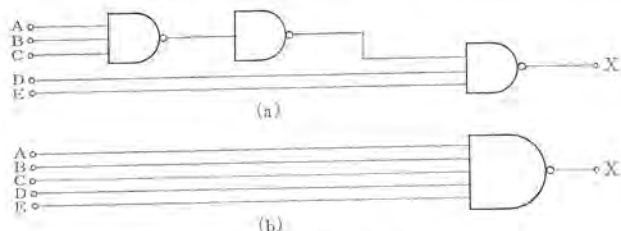


図 3.3 Bundling

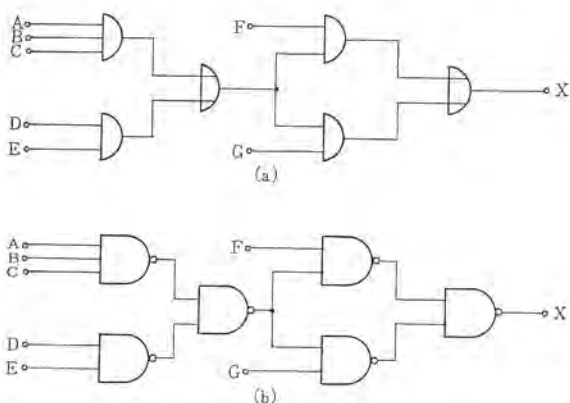


図 3.4 変換規則 1 の例
Fig. 3.4 Example of conversion rule 1.

こと自体は可能である。たとえば、図 3.2 (a) の回路を図 3.1 を利用して NAND に置き換えれば、図 3.2 (b) のようになる。この二つは論理的には等価であるが、素子の数は 3 個から 7 個に増し、冗長性があるといえる。これを簡略化すると図 3.2 (c) のようになる。問題は NAND で構成された論理回路の簡略化にあるといえる。

簡略化には bundling テクニックがよく利用される。図 3.3 はその例である。この bundling を有効に使えば、かなりの簡略化が可能になる。実際にはこのテクニックを内部的な含みとして、図 3.2 (a) から (c) への変換を機械的に行なう。

基本的な変換規則としては次のようなものが考えられる。

(1) すべての AND, OR ゲートを NAND に置きかえる (図 3.4)。

(2) AND-AND, OR-OR のように同じ機能のゲートが 2 段続いているときは、その間にゲートを入れる (図 3.5)。

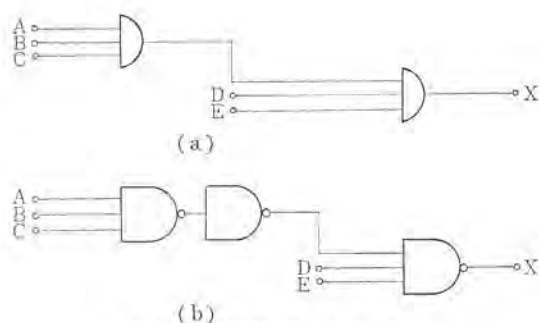


図 3.5 変換規則 2 の例
Fig. 3.5 Example of conversion rule 2.

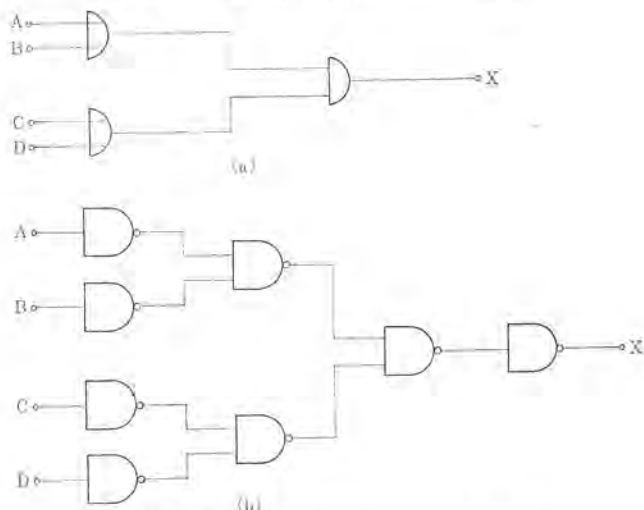


図 3.6 変換規則 3, 4 の例
Fig. 3.6 Example of conversion rules 3 and 4.

(3) 最終段が AND のときは、その後にゲートを入れる。
(図 3.6)

(4) 第 1 段が OR のときはその前にゲートを入れる (図 3.6)。

3.2 NAND 回路合成の実験例

NAND 回路合成に関する研究は内外で活発であるが、論理ブロックの構成や変数の数が大きい場合、プログラム量、計算機容量、時間などについて、実用性のあるものはみられない。さらに簡約化といっても何を基準に簡約化するかは複雑な要素がからんでいて、単に素子数最小を目標にするのでは実用的に不十分である。また、論理素子の中には normal, complement の 2 出力を持つものがあるのにそれを無視しているものが多く、この点も十分でない。

実際的な仮定として、対象とする AND-OR 論理ブロックは、そのかぎりにおいて簡約化、最適化されているとしても支障はない。それを機械的に NAND に置き換えができ、とくに冗長性が出る部分についてのみ簡単なルールの簡約化を行なえば、多少不満は残るとしても、プログラムその他の作業量の軽減、開発速度の向上を考えれば合理的であるといえる。

われわれはこのような考え方で、上に述べた四つの変換規則と bundling テクニックを用いて、既存の AND-OR 系計算機システムの NAND 化を行なってみたので、その結果をここに報告する。

3.2.1 使用 IC

表 3.1 に示す。フリップフロップ、レベルコンバータ関係は NAND 化しても変化ないので、ここでは取上げない。なおここで使用する IC は HL-TTL M 5300 P シリーズで wired AND/OR がとれない。

表 3.1 使用 IC
Table 3.1 List of ICs used.

形 名	機 能	FAN-OUT
M 5320 P	Dual 4-Input NAND Gate	10
M 5325 P	Dual 4-Input NAND Line Driver	30
M 5330 P	Triple 3-Input NAND Gate	10
M 5340 P	Quadruple 2-Input NAND Gate	10
M 5310 P	Single 8-Input NAND Gate	10

3. 2. 2 変換規則細目

a. 多入力素子

表 3.1 によると最大 8 入力のゲートであるので、それ以上の入力数では図 3.7 のような処理をする。このとき expand される部分はゲートが 2 段増加するため、論理の遅延を防ぐには各入力の論理段数を求めて、小さいものを使うようにした。論理段数とは記憶素子からのゲートの段数を求めたものである⁽²⁾。

b. 多出力素子

Fan-Out の制限値は表 3.1 に示されている。超過したものに対する処理は図 3.8 のようにした。ここでも論理段数の増加する部分については出力線の逆の論理段数を求めて、小さいものを使うようにした。

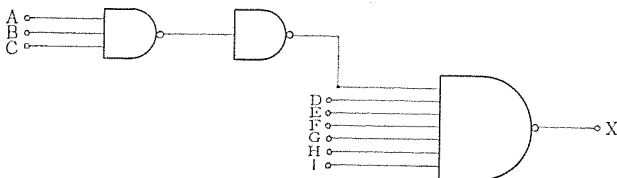


図 3.7 多入力ゲートの例
Fig. 3.7 Example of multi-input gate.

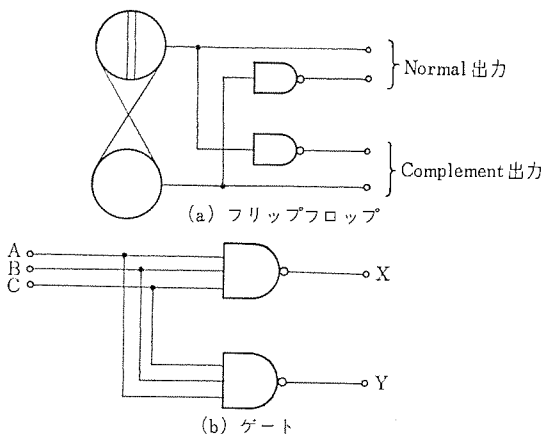


図 3.8 Fan-Out の増設
Fig. 3.8 Expansion of Fan-Out.

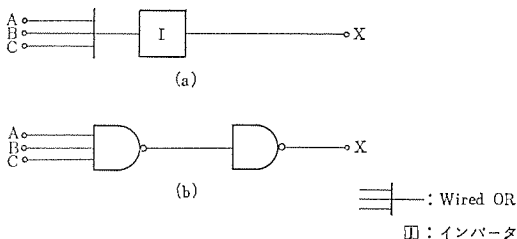


図 3.9 インバータ Fig. 3.9 Inverter.

表 3.2 実験モデル
Table 3.2 Model of the experiment.

Fan-in	1	2	3	4	5~8	9 以上
AND ゲート	65	143	53	18	5	1
インバータ	41	0	0	0	1	2
RS フリップフロップ R 入力	15	9	2	0	0	1
S 入力	9	8	6	3	1	0
ディレイドフリップフロップ	0	18	1	1	4	0

表 3.3 実験結果
Table 3.3 Result of the experiment.

	人 手	計 算 機
2 入力 NAND	296	303
3 入力 NAND	61	62
4 入力 NAND	14	24
8 入力 NAND	15	18
合 計	386	407

c. インバータ

Fan-In 1 のインバータは bundling テクニックにより消去できる。Fan-In 2 以上の場合には図 3.9 のように単に NAND で置き換えた。

d. AND 2 段ゲート

図 3.5 のように間にゲートを入れた。

c, d の変換は bundling テクニックをうまく利用すれば、さらに簡約化可能である。

e. その他

特殊な素子に対しては特殊な処理を行なっている。量的には少なく、ここでは省略する。

3. 3 実験例

表 3.2 のような構成の論理ブロックについて実験した結果を示す。電子計算機による上記の変換と並行して、NAND 論理設計に習熟した作業員ができるだけ簡約化した。結果は表 3.3 に示すように、21 個ゲートが多くなっただけである。その原因を分析すると、bundling テクニックの利用の不備と、図 3.6 のようなケースには対策を施す必要があったことである。このような事例をもう少し分析して、処理可能にすれば、かなりよい結果が得られる。

使用計算機は MELCOM-1530、プログラムは SIA マクロアセンブラ言語で約 2,500 ステップ、プログラム作業時間は 1.5 人/月、計算時間は上記モデルで 1.5 時間であった。

3. 4 考 察

上記モデルは設計者がテクニックを駆使するのに適当であったかは問題はあるが、現在実動中の計算機の一部であり、とくに作為的に選んだものではない。この結果から考えて、すでに AND-OR 系で簡単化の行なわれているロジックを NAND 化する際に、その簡単化はそれほど意識しなくてよい。

4. 印刷回路板のプリントパターン設計

4. 1 IC 化に伴う実装設計思想の変化

プリント基板のパターン設計は一般的にいえば、論理図を金物化する過程、すなわち実装設計の一部であり、他の論理素子の実装位置の決定、論理布線表の作成などの一連な仕事と密接に関連している。

計算機の設計業務への応用の一つとしてパターン設計が最近重視されてきたのは、次のような事情によると考えられる。

(1) IC化

ICを用いると実装密度が高まり、1枚のプリント板にかなり大きな機能ブロックを実装できるようになり、配線密度を上昇させようとすると、配線パターンはきわめて複雑なものとなる。

IC化部品をプリント板に積載し、これをコネクタにプラグインする通常用いられるICの実装法を考えると、配線パターンにはICチップ上の配線、プリント板(カード)上の配線、コネクタ端子間の配線の三つのレベルが考えられる。したがって、プリント板の実装効率(Package Efficiency)(実装された回路1回路あたりのコネクタ端子へ出る入出力線数であらわし、この比が小さいほど実装効率は高い)を上げることが、裏面配線(コネクタ端子間の配線)の密度を相対的に下げることになり、これを多層印刷配線板に置き換えやすくと同時にシステムの信頼度を高めることができる。

(2) 高速化

回路が高速になればなるほど、信号伝送路となる配線パターンは、分布定数線路として、取扱われなければならないので、その配線規則は、立体的構造をも考慮したきびしいものとなる。このようなきびしい配線規則に基づくパターン設計は、人の能力には限界があるし、入手による誤りを避ける意味からも、計算機による自動化が有効である。

以上に述べたカードの機能ブロック化をおしすすめ、論理配線の手段として、多層プリント板の印刷配線が使用されるようになってくると、製造組立て後は、論理の変更が事実上不可能となる。したがって計算機を利用して、製造組立てに移る前に、新しい計算機が確実に動くことを確かめておくことが必要であり、設計作業の過程で生ずる人手による誤りはできるだけ少なくし、誤りはチェックできるとが必要である。

パターン設計に関連して、カード上への論理機能の分割の方法、カード上の回路素子の最適レイアウトの方法など自動化の対象となる問題は多い。これらの問題は、最適化のアルゴリズムが必ずしも明確ではないことが多く、設計者の判断材料を計算機が提供するという使い方も必要であり、人と機械の間の情報交換の手段が十分でなければならない。

本文ではとくにパターン設計の自動化を行なおうとするとき、考えなければならない問題点、パターン設計の実際的やり方について述べる。

4.2 プリントパターン設計の問題点

4.2.1 実装上の制限条件

(1) 雑音

超小形化により信号伝搬遅れや結合雑音は減少するが、その反面、ほぼ幾何学的寸法に比例して回路動作が速くなるので、結局それらは相殺され、基本回路素子と信号伝送路の遅れの割当て、結合雑音の評価などは従来と同様に考えなければならない。

パターン設計を自動化する場合に、まず問題となるのは、逐次生成されてゆく配線パターンによって生ずる結合雑音を、どのように評価するかということである。使用するICの雑音に対する強さ(noise immunity)、パターン幅が決まると、通常は平行して走る信号線長が制限条件となる。

また雑音については信号伝搬遅れも考慮して、安全側にみて、素子間の最大線長を制限条件とすることも、カードの大きさがあまり大

きくない場合には有効である。

プリント板を両面プリント板ですませるか、多層プリント板を使用するかは、回路素子の速度と密接に関連している。

パターン作成上からは、スルーホールを用いることにより、相当複雑なものでも、両面プリント板で目的をはたすことができる。ただし電源ラインのインピーダンスを下げることができず、さらに結合雑音を少なくする点からも、GRD面と信号配線を対向させるため、もしくは基板全面にわたって、交流的に大地電位にある導体を持たせるために、多層基板の使用が好ましい。

数ナノ秒でオンオフするICを使用すると、十数cmの電源ラインに1~2Vの雑音が誘導されるのはめずらしくない。

反射雑音が無視できなくなると、伝送路のインピーダンスを均一に保つために、終端(loading)を施す必要がある。終端抵抗は混成集積回路を使用するときは、ICチップ内へ実装し、終端はパッケージ外の配線の有無によって決める⁽⁴⁾こともあり、抵抗用カードを設けて、裏面配線を施すか、back panelの印刷配線板に終端用抵抗を作りつけるなどの方法がある。パターンを作成してゆく過程で、終端用配線も自動的に行なうことが望ましい。

4.2.2 実装方式に対する経済性の考慮

これはパターン設計そのものに関係しているわけではない。しかし、ICを実装するとき、カードの構造、相互接続の方式、バックパネルの構造などの実装方式が、システムのコストに大きく影響するし、それらに配線の密度をいかに分配するかに関係している。

カード単位に論理を分割する程度(どの程度の機能別ブロックわけをするか)によって、製造コストのほかには検査試験コスト、保守のコストなどが大幅に変化する。

たとえば、サイズの大きい機能カードを使用するとすれば、信頼性は向上するが、検査試験のための手間は増大し、検査手段の自動化のためのコストがあがる。保守については、修理のための手間と予備品費を考えなければならず、保守のしやすいように技術的な手段を講じておく必要がある。

その他両面プリント板、または多層プリント板を使用してパターン設計を行なうとき、スルーホールの数をできるだけ少なくすること、信号配線用の層の数を少なくすることなどはコストを下げるために重要である。

4.3 パターン設計の実際的やり方

二次元平面上のパターンに含まれる情報を処理し、各種の制限条件下で最適なパスを見出す問題は、本質的には広義のパターン認識の課題であるが、モデルが設定され、それに対する解法の手順が見つかれば計算機にかけることができる。ただ、実際問題としては、前節で述べたように制限条件が複雑多岐にわたり、すべての条件を満足する解は求められない現状である。したがってまず一義的に考えなければならない配線条件(結合雑音、反射雑音などの電気的特性による制限条件)に基づいてパターンを求め、あとで設計者が修正もしくは追加する妥協を計らなければならない。

4.3.1 X-Yマトリクス法⁽⁵⁾

これは両面プリント板にパターンを作る場合に、表はX軸方向、裏はY軸方向にのみ配線し、相互接続はスルーホールによって行なう方法である。この方法はスルーホールが増すためにコスト高であるが、パターンが単純であるからN/C製図機で作図させやすく、大きな機能カードのパターン設計⁽⁶⁾にむく方法であるといえる。しかし、最適なパターンを求めるための手順がまだ確立されているとはいえないので、

パターン設計は設計者が行ない設計の結果を論理と照合し、配線条件のチェックを計算機に行なわせるのが普通である。

4. 3. 2 迷路通行問題 (Maze-Running-Approach) の応用

この方法は、一つの平面内で複雑にいくんだ部品、パターンの障壁があるとき、それらの間を通してある制限条件に関して最適なパスを見つけだしてゆく方法である。IBM 360 のバックパネル上の配線パターンを設計する際に使用されたこの方法は、Lee の Algorithm⁽⁷⁾ として知られており、次のようなモデルを取扱っている。

(1) Minimum-Crossing Problem

すでに存在するパスと交差する回数が、最少となる2点間を結ぶパスを求める問題。

(2) Minimum-Edge-Effect Problem

2点間を結ぶパスのうちで、前もって定められた区画に接近する度合が最小のパスを求める問題。

(3) Joint Minimization

考えなければならない制限条件が二つ以上の場合の(たとえば(2)を満足してできるだけ最短であるような)パスを求める問題などがある。Leeの手順にしたがえば、一応上に述べた問題はプログラミングすることができるが、次のような点が問題となる。二次元平面を網目状の小区画に分割して、その「場」のもつ特性(既存のパスとの近接の度合、パスの通路などの情報)をおのおのの小区画に付加する必要があるので、膨大なメモリがいることになる。一例として図4.1のA点からB点に至る最短のパスを探索する場合を考えてみる。道のりを L (この例では8)とすると、1小区画あたりの最低必要な情報として道のり L 、あいているのかふさがっているかの区別が必要であるから、 $\log(L+2)$ ビットはいることになる。パスの長さを30cm程度まで許すとすれば L は200以上となり、1小区画あたり7~8ビットは必要である。したがって、必要なデータエリ

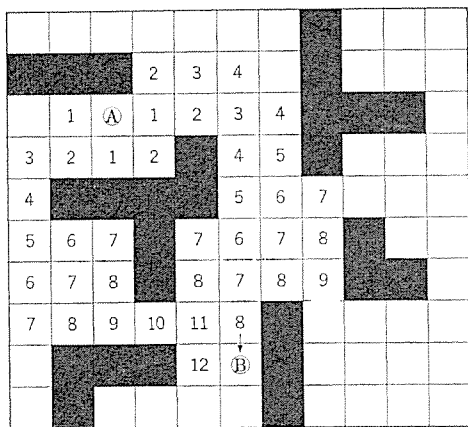


図 4.1 パターン探索の一例

Fig. 4.1 Example of pattern search mechanism.

アは、小区画数を5万とすれば400Kビットということになる。

容量の大きな記憶装置が必要であるばかりでなく、計算機の使用時間もばくだいなものとなるので、今後各種の手法の改善ということが重要な課題となる。

5. む す び

以上、電子計算機の応用の例として論理式の NAND 論理への自動変換、印刷回路板のプリントパターン設計の概略を述べた。

トランジスタの出現がプリント基板を用いた新しい形態のエレクトロニクス技術を育てたように、IC、さらにLSIの実用化が進むにつれて、実装形態が従来と異なる思想に基づく装置を生んでゆくものと思われる。当社においても、MELCOM-3100の開発設計に際し、布線設計の自動化システムを中心に開発、運用を行なったが、IC化に伴う環境の変化に対応して自動化システムの拡張を行なっている。

設計業務を機械化する効果は、繰り返しの多い単純作業は計算機がやってくれるため、設計者が真にシステム設計、論理設計に専念できるばかりでなく、従来人手では処理不可能であったような複雑な内容も計算機に処理させるため、精度の高いそしてきめの細かい設計を可能にする。

今後、各産業における設計面への電子計算機の利用はますますさかんとなり、単に計算尺として使用されるのではなく、高度の処理能力を備えた設計の道具として活用されるであろう。

参 考 文 献

- (1) 小島, 三上, 山下, 蒲原, 溝口: 電子計算機布線設計の自動化, 電気通信学会雑誌, (昭42-4)
- (2) 小島, 三上, 山下, 蒲原, 溝口: 電子計算機による設計自動化, 三菱電機技報 41, No. 7 (昭42)
- (3) G. A. Maley, J. Earle: The Logic Design of Transistor Digital Computers, Prentice-Hall (1963)
- (4) P. W. Case, H. H. Graff: Solid Logic Design Automation, IBM Journal, (April 1964)
- (5) T. Pomentale: An Algorithm for Minimizing Backward Wiring Functions, Com. ACM 8, No. 11 (1965)
- (6) R. Rice: Electronics Feb. 7, (1966)
- (7) C. Y. Lee: An Algorithm for Path Connections and Its Application, IRE Trans. on EC, EC-10, No. 3 (1961)
- (8) 三上: 電子計算機の自動設計, 昭41電気四学会連大 1981
- (9) 三上, 蒲原, 溝口, 田淵: デザイン・オートメーションとは, エレクトロニクス (昭41-10)
- (11) 三上, 蒲原: 計算機論理のシミュレーション, 昭42電気四学会連大, 2893

MELCOM 3100 電子計算機演算制御部の集積回路化

小島 一男*・織田 博靖*・浜田 勝*・小笠原光孝*

Integrate Circuited Arithmetic and Logical Units
of Mitsubishi Electronic Computer, MELCOM 3100

Kamakura Works Kazuo KOJIMA・Hiroyasu ODA・Masaru HAMADA・Mitsutaka OGASAWARA

Commercial electronic computers employing integrated circuits have been now reported one after another. In 1964 Mitsubishi built ahead of others a pilot computer in this construction, making thorough reports to the circles.

This article describes brief information on a MELCOM-3100 unit, in which about 2000 integrated circuits are in use at a logical unit and a control unit. In connection with its switching performance and pulse noise margin, the integrated circuits evaluated are explained together with the construction of logical unit cards of computer. Study has been made on the effectiveness of employing the integrated circuits for the computer in comparison with the one built of discrete component for the same function.

1. ま え が き

昨年来国内においても集積回路を用いた商用電子計算機がつぎつぎに発表され、この分野も今や集積回路化ブームを迎えた観がある。本文は昭和39年、当時国内には集積回路を用いた製品としての商用計算機はもちろん、具体的な試作データもまったくないときに計画され、昭和40年度の通産省鉱工業技術試験補助金を得て試作研究を行なったパイロット計算機に関する報告である。成果の詳細はすでに各文献に報告されているが、その後の経験をも加えて概要を報告する。

このプロジェクトはMELCOM 3100の論理演算部および制御部に1,910個(3,860回路)の集積回路を導入することにより、下記のような基本的な問題に関し、具体的資料をうるのが目的で実施した。

- (1) 国産の半導体集積回路多数を中形計算機に導入して素子自体の評価を行なう。
- (2) 保守度が高く商用機に適した集積回路実装方式を検討する。
- (3) 従来個別部品で構成されていた機器を集積回路化することによる効果および新たに発生する問題点を把握する。

2. 集積回路の特性

採用した素子(Diode Transistor Logic)の基本構成とその一般的な特性を図2.1に示す。

2.1 入出力伝達特性

図2.2に示す測定系を用いた。FAN OUTはノイズマージンにきびしい条件を与えるFAN OUT=5(許容最大値)としてある。図2.2は3ロット112個にわたる測定データであって周囲温度25°Cにおけるバラツキの様子と周囲温度-10°Cおよび85°Cにおける特性のバラツキ限界を合わせ示した。これより定常電圧値、DCノイズマージンなどを知ることができる。

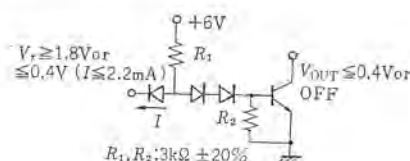


図 2.1 DTL 基本ゲート
Fig. 2.1 DTL logic gate.

2.2 スイッチング特性

素子のスイッチング特性は立上がり時間 t_r 、立下がり時間 t_f 、伝達遅延時間 t_{pd} としては握できる。電算機を構成する場合

- (1) 最長論理チェーンを決めるために t_{pd} の最大値をおさえる。
- (2) 布線検討資料として t_r 、 t_f の最小値を知ることが必要である。

システム内では素子はそれぞれ FAN IN, FAN OUT, Wired AND により相互連結が行なわれ、また連結布線は分布容量をもつことになる。これらの効果も含めた素子のスイッチング特性を、図2.3に示す5段のリングオシレータを構成して測定した。オシレータは全遅延時間の倍の2周期Tで発振するから、1段当りの遅延時間 t_{pd}

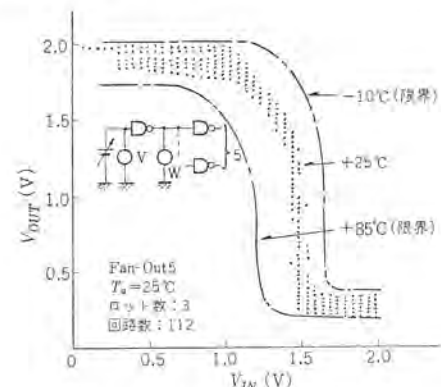


図 2.2 入出力伝達特性
Fig. 2.2 Transfer characteristics.

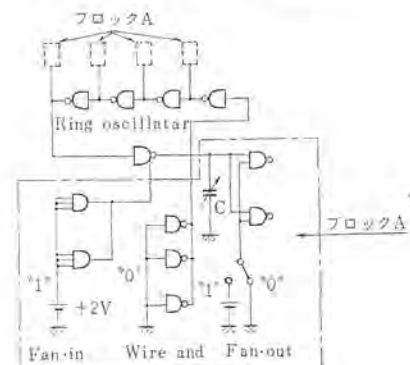


図 2.3 スイッチング特性測定回路
Fig. 2.3 Switching time test circuit set up.

表 2.1 遅延定数表 Table 2.1 List of delay constants.

t_{pd}	α	β	γ	δ
35 ns	5.0 ns/個	4.5 ns/個	8.4 ns/個	0.56 ns/pF

は $T/2 \times 1/5$ 段 $= T/10$ として求まる。その結果は次式で表わせる。
すなわち、これらの効果は独立で線形とみなすことができた。

$$T_{pd} = T_{pd0} + \alpha(FO-1) + \beta(FI-1) + \gamma(WA) + \delta(C) \dots\dots\dots (2.1)$$

ここに (FO), (FI), (WA), (C) はそれぞれ FAN OUT 数(個), FAN IN 数(個), Wired AND 数(個) および容量 (pF) を表わし, $\alpha, \beta, \gamma, \delta$ はこれらの遅延効果を示す係数である。 T_{pd0} はいわゆるデバイスの固有遅延時間であって (FO) = (FI) = 1, (WA) = C = 0 のリングオシレータを構成して求めた遅延時間である。表 2.1 は ロット、素子のパラッキをも考慮して求めた各遅延係数の最大値を示すものである。式 (2.1) と表 2.1 より任意の接続を行なった場合の最大遅延時間を算定できる。

この DTL 素子では t_r の最小値は 17 ns であった。

2.3 ノイズマージン

集積回路は普通論理振幅が小さく、電算機などのように互いに密な関連のもとに多数の集積回路が密集して用いられるものでは、とくにノイズマージンに留意を要する。電算機などで混入するノイズは、パルス状ノイズであるから、これに対するマージンを考えるのが実際的である⁽⁴⁾。目下の電算機で発生すると思われるノイズを予備実験セットで検討した結果、ノイズ波形はこう配 30 ns/V の三角形パルスでシミュレートして良いことを確かめた。そこでパルス発生器より 30 ns/V の三角形パルスを発生し、この振幅を変えてマージンを測定することにした。

115 ユニットについて入力電圧 V_{in} 対出電圧 V_{out} の関係を求めたのが図 2.4 (a), (b) である。負ノイズに対する特性は、最もきびしい条件を与える FO=5 として測定したものである。 V_{in}, V_{out} は図 2.4 に示すように MAX "0" (=0.4 V), MIN "1" (=1.8 V) よりノイズとして障害のある向きに逸脱した電圧値を読んである。これらの値は直流規格として製品に定められているものである。ここで図 2.4 (a), (b) の入力電圧軸において、 V_{CP}, V_{CN} をそれぞれ正および負の臨界じょう乱電圧と名付ける。DTL の構成上 V_{CN} は V_{CP} に比べ、不つり合いに小さい。しかし、デジタル情報はこのような特性をもつ素子の縦続接続系を伝搬するので、素子入力端子にノイズが混入しても、その出力電圧が次段の臨界じょう乱電圧以下であれば、ノイズは 2 段の伝搬で消滅し、システムには何等影響を与えない。DTL NAND のような反転形論理素子では負ノイズの出力は次段入力に対し正ノイズとなり、正ノイズの出力は次段の負ノイズの入力になる。このような観点から図 2.4 (a), (b) を照合して同図中の V_{MP}, V_{MN} をそれぞれ求め、これをパルスノイズマージンと定義す

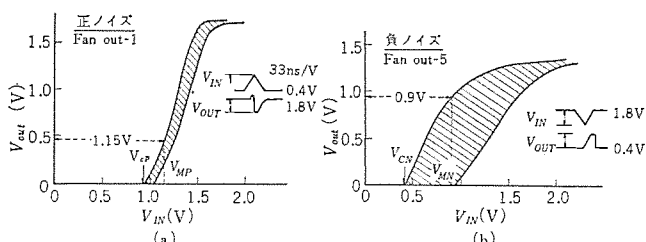


図 2.4 パルスに対する入出力電圧特性
Fig. 2.4 Transfer characteristics for pulsed noise.

る。すなわち、素子をスイッチ・オンさせる方向に働く正ノイズに対するマージンは 1.5 V であり、素子をスイッチ・オフさせる方向に働く負ノイズに対するマージンは 0.9 V である。

3. 実 装

3.1 使用集積回路の決定

素子の量産性、電算機の保守性等を考慮してできるだけ回路の種類を少なくする方針を採り、双 2 入力 NAND (ノード付), 双 3 入力 NAND, Gate Expander の 3 種に限った。これらはすべて同一マスクで製作され、引出し線の処置のみが異なる。

3.2 ユニットカード

従来は NAND, Flip-Flop 等のような論理的最小要素がそのままカードになると考えてよかった。今回は集積回路技術により、これらが従来のトランジスタ・ケース JEDEC TO-5 (EIAJ TC-5) 形内に収まる。したがって、カード内には従来より機能レベルが一つ高い集合体をまとめる必要がある。これは集積回路導入により新たに提起された基本的問題であり、この点の十分な研究を欠くと集積回路製造技術が進歩しても、素子の相互結線問題で行き詰まることになる。試作電算機はストアドロジック式の並列二進計算機であって (クロック 1 Mc, 主メモリ 4,096 語 2 μ s サイクル, 18 ビット加算 20 μ s), 18 ビットからなる 6 種のレジスタが用意され、L レジスタ (命令レジスタ) の制御のもとに、情報はレジスタ間を並列にしかも同時に 2 チャンネルにわたって授受交換されつつ処理が行なわれる。これを構造的な見地からみるとつぎの 6 種の論理系にわかれる

- (1) レジスタ (入力にゲートを含む)
- (2) レジスタ転送指令ゲート
- (3) L レジスタ 解説ゲート
- (4) (タイミングおよび命令) 制御ゲート
- (5) 演算系
- (6) その他

これらはそれぞれ固有の論理パターンを持っており、ユニットカードを割り出す足場にできた。最初これを端子数 100 ピン程度のカードに納めるべくユニット化の検討を進め、つぎにそのユニットの分割、小形化の検討を加えた。一般論理部 (加算機等を除く) での結果を表 3.1 に示す。

いま総数 s 個の集積回路をピン数 P を有するカードに平均 x 個ずつ載せたときのカード総ピン数 y は

$$y = \frac{s}{x} \cdot P \dots\dots\dots (2.2)$$

で与えられる。 P をパラメータとして $y-x$ の関係を図 3.1 に破線で示す。これによりパッケージング規模が総ピン数に及ぼす効果が容易に読める。同図中に表 3.2 の結果を重ねて実線で示す。

表 3.1 ユニットカード検討結果
Table 3.1 Result of unit card investigation.

ピン数 /カード	IC 個数 /カード	パター ン種類	カード 枚数	備 考
100	20~60	14	40	現在するコネクタの最大ピン数を 100 PIN とし、この PIN で可能なぎり多くの I/C をカードにのせる方法
40	10~20	6	153	カードに若干はん用性をもたせカードの種類を減らせた
22	3~7	4	370	ユニバーサル・カードとして他のシステムにも流用可能な形をとっている

注: Full Adder, Parity Generator

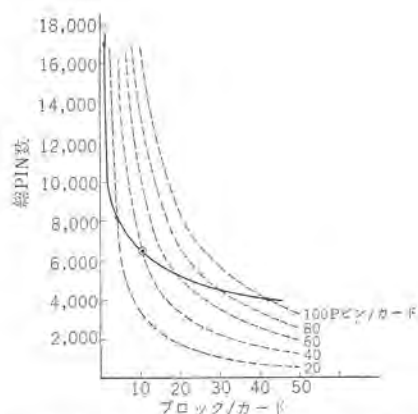


図 3.1 パッケージと総ピン数の関係
Fig. 3.1 Card size vs. total number relationship.

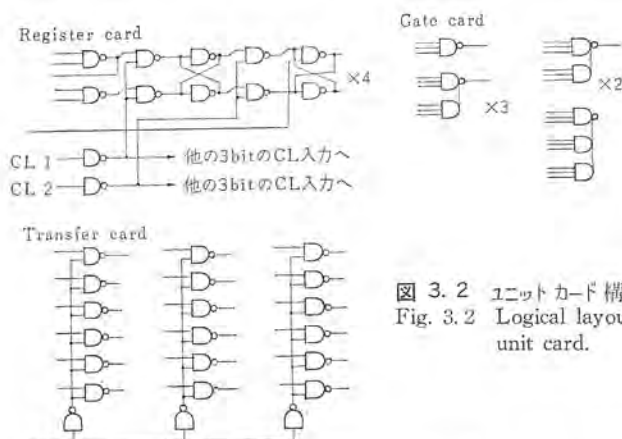


図 3.2 ユニットカード構成
Fig. 3.2 Logical layout of unit card.

ユニット・カードサイズはシステムの開発、設計、製造、試験、実動中の保守等、システムが生まれて廃棄されるまでの総経費を最小にするという観点から決定される⁽⁵⁾。ここでは汎用商用電算機を対象として得たわれわれの結論（現時点での）を略記するにとどめる。

- (1) 両面プリント基板で結線可能なものとする（総合的にみてこの場合多層基板は経済性がない）。
- (2) カードの種類を可及的に小にする。
- (3) 保守に必要な予備カード費（少なくとも全種類1枚ずつは必要）を小にするため、1枚のカードに20個以上の集積回路はなるべく載せない。
- (4) 故障カードの発見、分離、試験の容易さの点から機能カードには独立性をもたせる。
- (5) 総ピン数を可及的に小にする。
- (6) カードコネクタのピン間隔は2.5mm程度のものとする（下記にのべるカードパターン走行法と同じ手法でバックパネルをプリント配線化する準備として）。

われわれは図3.1二重丸で示すカードピン数40、平均ブロックマウント数11余（回路数はこの2倍）のものを採用した。図3.2に一般論理部分のユニットカード例を示す。

カードへの集積回路の取付けはプリント配線技術の現状を考えたうえで相互結線効率⁽⁴⁾を最大にできる手法を導く。プリント配線はパターン幅0.5mm、パターン間隔0.5mm程度のものならば、現在すでに安定した歩留りと特性が得られている。そこで図3.3のような関係でパターン幅、パターン間隔、ランド幅をとり、TO-5ケースより出た10本のリードは図3.4（写真）に示すように2例（Dual-in-line）に拡げて取り付ける。これは

- (1) リード間をプリントパターンが走行できるので相互結線効率が向

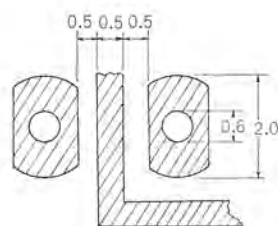


図 3.3 プリント・パターン
Fig. 3.3 Printed pattern.

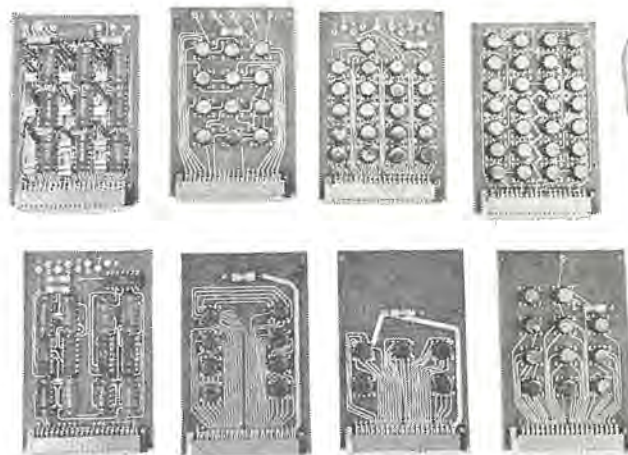


図 3.4 各種ユニットカード
Fig. 3.4 Unit cards.

上でき、多層基板採用の必要をなくした。

- (2) Rex Rice⁽⁶⁾の提案しているIN-LINE方式よりもカードへのマウントが強固にでき、リードの曲げも容易である。

- (3) デイプソルダリングにより大量同時取付けも可能である。

- (4) 将来、このような間隔でリードの出た自動差込み可能な集積回路が広く普及する勢にある。
などの観点から実施したもので、カードはこれまでに実績の多いガラスエポキシ基板を採用した。

3.3 布線

集積回路の採用により最大布線長を0.5m以下におさえることができopen wire方式で特別の制約なしに布線ができた⁽⁷⁾。

4. そ の 他

4.1 放熱

自然空冷にてケース・周囲温度間の温度上昇は約6°Cであり個別部品の場合より問題は少ない状態にある。

4.2 クロック

DTLゲート2個でフリップフロップを構成したのでracingを起こすおそれがあったので、対策として2相クロック方式を採用した。

4.3 DTLの速度

このDTLはコレクタ出力に負荷抵抗がないので式(2.1)に示すように相互接続による付加遅延時間が大きい。負荷抵抗を付加するとFAN IN, Wired AND接続による遅延をなくすることができる。TTL形では出力はカスコード・トランジスタ構成により、電流供給源と吸収源を持ち、布線容量等があっても付加遅延時間がきわめて小さくなるよう工夫されている。TTL形集積回路を使えば設計はしやすくなる。本機では高速性を要求される部分にCTL (Fairchild社CTL 952, 953)を導入し表4.1のような良い結果を得た。このように直結可能な異種形式の集積回路を組み合わせ、それぞれの特長を生かしつつシステムとしての総合特性を向上することは興味ある問題である。

表 4.1 CTL による高速化
Table 4.1 High speed ratio according to CTL.

用途	集積回路	DTL 系 ns	CTL 系 ns
18 ビット 2 進並列加算器 (2 段キャリールック・アヘッド式)		977	106
18 ビット・バリティ発生器		240	22

4.4 バックパネル

電子計算機全体が複雑かつ緊密な連結のもとに処理される目下の並列形の機械では“Computer on A Card”としない限り、少々の機能カード化では大幅なピンアウト総数の減少は困難であった(図 3.1 参照)。一方集積回路の導入により機構部は大幅に小形化されるのでいきおいバックパネルのピン密度が大になる。ここにバックパネルのプリント基板化という問題が発生する。3 層 4 面のバックパネルを評価試験したがスルホールの信頼性がやや不足の感があり、経済性を伴わないので採用しなかった。本機では論理布線は通常の open wire によるラッピングによった。電源とアースは厚銅はくで一面をおおった両面プリント基板を採用した。これにより、電源、アースの布線インピーダンスが下がったことはもちろん、アースプレートに近接する論理布線のシールド効果をも発揮できた。なお採用したコネクタは ELCO 社の 8218 形でピン間隔は 100 mil である。

5. 集積回路導入の効果

本機と同一仕様の個別部品で製作しているものと比較することにより効果を具体的に示す。表 5.1 は集積回路化した演算制御部について両者を比較したものである。集積回路化による機構寸法の小形化、これに伴う布線効果(遅延およびノイズ)の軽減には注目すべきものがあり、消費電力の大幅な低減も見のがせない。集積回路化の最大の利点とみられる製造費の低減、信頼度の向上についても非常に良い結果を得ている。3 カ月間調整運転期間中に不良になった集積回路は 0 個であり、20°C~60°C の温度試験においても安定に動作することを確認できた。図 5.1 に本機の全体写真を示す。

6. む す び

この検討により、集積回路自体を使用経験に基づき評価し得た。

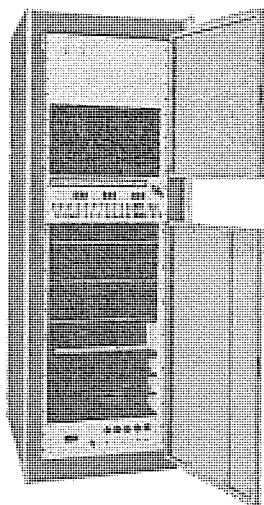


図 5.1 試作機概観

Fig. 5.1 Exterior view of integrated circuited computer.

表 5.1 集積回路化の効果
Fig. 5.1 Result of integrated circuit applied.

項目	機種	集積回路	個別部品
バックパネルピン数		6,600	8,350
容積 m ³		0.0136 (0.44×0.31×0.10 m)	0.0597 (0.44×0.99×0.137 m)
カード数枚		190	222
カード種類		9	12
消費電力 W		36	250

この DTL 素子は相互接続に制約がなく、出力を接地しても破損せず、電源も一種で良いなど、非常に使いやすいものであった。信頼度も予想どおり高く、今後の電子機器の集積回路化に明るい見通しを与えた。実装問題とりわけ論理のユニットカード化は集積回路導入により新たに提起された問題であり、今後ともいっそうの研究を必要とする。この研究により集積回路向きの計算機論理、あるいは逆に真に計算機に適した高いレベルの機能集積回路が得られるものと思われる。

プリント基板については、ユニットカードは単層両面、バックパネルは多層を採るのが経済性を考える場合有利であろう。基板のスルホールの信頼度を上げること、論理設計およびその照査上のミスを排除するために、これら一連の作業を計算機を用いて自動化することが、バックパネルをプリントカード化するときには必要になる。

信頼性、経済性を初めとする計算機集積回路化の効果は今後ますます大きく評価されるだろう。集積回路の導入を計算機の自動設計により計算機の開発期間も短縮されて、計算機メカの生産形態も大きく変わりつつある点にも注目しなくてはなるまい。

本文でとりあげた DTL 素子の製造・試験は当社北伊丹製作所で行なわれ、素子単体の評価は中央研究所で行なわれた。また中央研究所および北伊丹製作所の関係各位には全般にわたりご指導、ご討論いただいた。しるして謝意を表する。

参 考 文 献

- (1) 馬場, 小島, 福永, 織田: 電気通信学会誌, 49, 4 (昭 41)
- (2) 福永, 織田, 浜田, 小笠原: 電子計算機研究会資料, 電計 66, 4-2 (昭 41)
- (3) 小島, 壺井: 超小形電子回路(国内集積回路の応用), 電子協 (昭 41-11)
- (4) G. Luecke: Proc IEEE 52, 12 (Dec. 1964)
- (5) A. S. Goldman et al: Maintainability, John Wiley (1964)
- (6) Rex Rice: Proc. IEEE 52, 12 (Dec. 1964)
- (7) 壺井, 梅田, 松原: DTL の布線雑音, 三菱電機技報, 41, 8 (昭 42)
- (8) 小島, 小笠原: DTL 形半導体集積回路の中形電子計算機への応用, 電子科学, 17, 4 (昭 44)
- (9) 小島, 織田: 集積回路の電子計算機への応用, 電子材料, 6, 1 (昭 42)

全集積回路化電子計算機 MELCOM 350 における集積回路の実装法

小島 一男*・阪尾 正義*・今村 貞良*・小笠原光孝*

IC Assembling Techniques used for all IC Computer, MELCOM 350

Kamakura Works Kazuo KOJIMA・Masayoshi SAKAO・Sadayoshi IMAMURA・Mitsutaka OGASAWARA

With the prevalence of integrated circuits, the method of assembling them has come out as a new technique. Outline of the assembling method employed for all IC computers, MELCOM 350 is introduced herein. Matters studied into in designing the computer is the most advantageous to realize the high speed operating function with high reliability yet low cost. As a result of thorough examination, it has been concluded that on logic cards of relatively small size such as $14 \times 8.5 \text{ cm}^2$ are assembled integrated circuits and a part of wiring between these cards is realized with a back panel of both sides printed. As to the wiring method, various types have been studied to help application of integrated circuits.

1. ま え が き

集積回路出現の初期には集積回路は超小形と高信頼性を達成する目的で軍用の電子機器に利用されたが、この時期には集積回路の価格はきわめて高く、装置の経済性についてはほとんど度外視されていた。しかし最近の集積回路は価格の低減がすすみ、一般民生用電子機器においても集積回路化されるのでなければ経済的に成立しないまでに普及しつつある。

電子計算機においては集積回路化はとくに著しいが、これは次のように説明される。

(1) 計算機を構成する部品は比較的均一であり、集積回路の量産性とよく合致する。

(2) 計算機の性能を高めるために演算速度を速めようとする、好むと好まざるとにかかわらず部品の小形化が要求される。

(3) 計算機の大形化に伴って使用する部品の点数が増大し、より信頼度の高い部品でなければ計算機の実動率を著しく低下させる。すなわち、計算機にとっては集積回路化は必然の動向であり、さらに集積回路の価格低減はその普及によりいっそうの拍車を加えることになった。

このように集積回路は計算機の発達過程で必要不可欠な部品となったことは事実であるが、集積回路によってもたらされる特長は当然のこととして、その実装技術の発達がなければ効果を十分に発揮し得ない。集積回路による利益を有効に活用するには、まず集積回路にかなった計算機システムおよび論理構成であることが必要であるが、同時に論理カードの構成や布線の技術も計算機の価値を決める重要な要素となるに至った。集積回路の普及はまた高級なプリント基板や、その他新しい付属部品や工具の開発を必要とした。

本文で当社の電子計算機 MELCOM 350 における集積回路 M5300 P の実装法を述べた。本計算機は商用製品であるので信頼性および経済的な制約が大きい、許容される範囲内で集積回路の効果を最大に発揮することが考慮され、また開発技術の進歩に伴って逐次新しい部品に移行できるように設計が考慮されている。

2. MELCOM 350 の概要

MELCOM 350-30 はプロセスの計算機制御システムを対象として開発された計算機で、リアルタイム処理の要求に対して迅速かつ効果的な応答ができるようにマルチプログラミングで使用することを前提とし、また能率的な利用のためにタイムシェアリングでの使用も可能としている。これらの技術が効果的に行なわれるように、ハードウェアによるダイナミックリロケーション、ページ方式のメモリ保護、多レベルの優先割込みなどが行なわれるほか、プログラムの切換えによる作業交換の迅速化を可能とするプログラム作業状態の管理を集中化している。

この計算機の主演算装置は8個のレジスタと65K語までのメモリからなり、加算演算速度は $2.4 \mu\text{s}$ の性能を有している。集積回路は主演算装置、各種入出力チャンネル、割込制御部および一部のコントローラなどに採用され、その使用数は合計で3,500個となる。設計に際しては高速性、信頼性、経済性などが重点的に考慮されたが、小形化については高速性を失なわない範囲において第二義的なものとされた。

本計算機のキャビネットは幅70cm、高さ200cm、奥行80cmであり、論理カードの実装は中央部の固定架と前面および裏面の可動架の3面に実装される。論理カードは幅26cm、高さ30cmのバックパネルごとに1単位のブロックを構成しており、1枚のバックパネルには36枚のカードが配列される。また架の一面には最大10枚のバックパネルが配置される構造になっている。図2.1にMELCOM 350計算機



図 2.1 プロセス制御計算機システム MELCOM 350
Fig. 2.1 Process computer control system MELCOM 350.

システムの外観を示す。

3. 集積回路の特性

MELCOM 350 計算機は当社製集積回路 M 5300 P シリーズを採用している。この集積回路の品種と特性の概要を表 3. 1～3. 3 に示す。

M 5300 P シリーズは High Level TTL に属する集積回路であるが、この形式の集積回路は高速の計算機用論理素子として性能が高く、かつ使いやすという利点を有している。以下にこの集積回路を計算機に使用した場合の特長について述べる。

(1) ノイズマージン

論理動作の高速化に伴って信号の立上り時間が短くなり、その結果、布線間の cross talk による雑音の問題となってくる。この雑音による誤動作を防止するために後述のように種々な雑音対策が講じられるが、素子自体のノイズマージンの大きいことが最も直接的な対策であることはいうまでもない。

表 3. 1 MELCOM-350 に使用の M 5300 P シリーズ
Table 3.1 M 5300 P series used for MELCOM-350.

形 名	機 能
M 5310 P	Single 8 in put NAND Gate
M 5320 P	Dual 4 in put NANP Gate
M 5325 P	Dual 4 in put NAND Power Gate
M 5330 P	Triple 3 in put NAND Gate
M 5340 P	Quad 2 in put NAND Gate
M 5375 P	Master-Slave JK Flip Flop

表 3. 2 M 5310, M 5320, M 5325, M 5330, M 5340 の特性
Table 3.2 Characteristics of M 5310, M 5320, M 5325, M 5330 adn M 5340.

項 目	種 別	規 格	条 件
論 理 1		MIN 2.4 V	$V_{CC}=4.5 V$ $V_{IN}=1.0 V$
論 理 0		MAX 0.4 V	$V_{CC}=4.5 V$ $V_{IN}=1.9 V$
消費電力 “1”	M 5310, M 5320 M 5330, M 5340	TYP 5 mW	$V_{CC}=5.0 V$ $V_{IN}=0 V$
“0”	M 5325	TYP 10 mW	$V_{CC}=5.0 V$ $V_{IN}=0 V$
	M 5310, M 5320	TYP 15 mW	$V_{CC}=5.0 V$ $V_{IN}=1.9 V$
	M 5330, M 5340	TYP 43 mW	$V_{CC}=5.0 V$ $V_{IN}=1.9 V$
FAN OUT	M 5325	10	
	M 5310, M 5320	30	
スイッチング時間	M 5330, M 5340		
TON	M 5325	TYP 10 ns	$V_{CC}=5.0 V$ F.O.=10
TOFF		TYP 20 ns	$V_{CC}=5.0 V$ F.O.=1

表 3. 3 M 5375 の 特 性
Table 3.3 Characteristics of M 5375

項 目	種 別	規 格	条 件
論 理 “1”		MIN 2.4 V	$V_{CC}=4.5 V$ $V_{IN}=1.0 V$
“0”		MAX 0.4 V	$V_{CC}=4.5 V$ $V_{IN}=1.9 V$
消 費 電 力		TYP 70 mW	$V_{CC}=5.0 V$
FAN OUT		10	
セットアップタイム	M 5375 P	TYP 15 ns	
ホールドタイム		TYP 10 ns	
スイッチング時間			
TON		TYP 30 ns	$V_{CC}=5.0 V$ F.C.=10
TOFF		TYP 30 ns	$V_{CC}=5.0 V$ F.O.=1

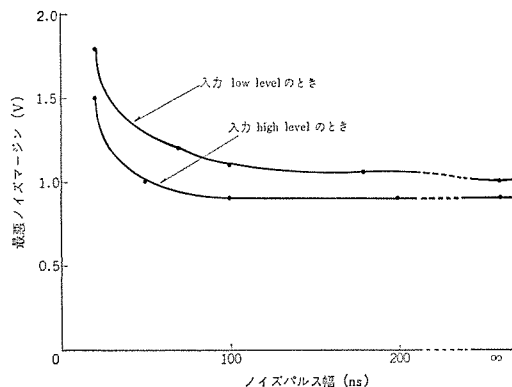


図 3. 1 ノイズパルス幅と最悪ノイズマージン
Fig. 3.1 Worst case noise margin vs. noise pulse width.

M 5300 P シリーズは電流供給源、電流吸収源を持っているため論理振幅が大きく、また出力インピーダンスも ON 時 15 Ω 、OFF 時 75 Ω と小さい。その結果、素子としてのノイズマージンが大きくかつ外部からの誘導の影響も小さい。図 3. 1 は集積回路 M 5320 P が誤動作するときのノイズの振幅とその時間幅を定格常温状態での最悪条件で測定した結果である。

(2) FAN OUT

並列演算制御の計算機では論理回路の FAN OUT 数の大きいことが要求される。M 5300 P シリーズの基本回路は 3 段のトランジスタによって構成されているので電流増幅率に余裕があり大きな FAN OUT を取り得る利点がある。本集積回路では通常のゲートで FAN OUT が 10、またパワーゲートでは 30 の FAN OUT が得られる。

(3) 容量性負荷の駆動

論理素子のスイッチング速度が速くなってくると 1 段当りの信号伝ば遅延時間は素子の出力インピーダンスとその出力回路の浮遊容量とによる時定数によって大きい影響を受ける。M 5300 P では (1) 項で述べたように出力インピーダンスが非常に低いので容量負荷駆動の点では非常に有利となる。実測によると負荷容量 10pF 当たりの遅延時間の増大は約 1 ns である。

(4) 高速性

計算機の処理能力は演算速度に比例するので、論理素子としても高速のものが要求されることはいうまでもない。M 5300 P の平均伝ば遅延時間は 13 ns であるが (3) で述べたように容量性負荷の駆動に有利である点を考慮すると比較的高速の論理回路と見なすことができよう。

(5) 消費電力

M 5300 P の標準ゲート 1 回路あたりの消費電力は ON 時 15 mW、OFF 時 5 mW である。この値は他の形式による集積回路、たとえば CTL や CML に比較すると、1/3～1/6 以下であり比較的消費電力は少ない。消費電力は実装密度を高めようとするときにとくに障害となるので装置を小形にする必要がある場合に大きい問題点となる。

(6) WIRED LOGIC

WIRED LOGIC とは出力端どうしを直接接続することによって論理を取ることであるが、この方式は素子の減少および布線数の減少などのためには便利な手法である。しかし、M 5300 P では出力インピーダンスが低いために WIRED LOGIC を行なうことは許されていない。TTL 集積回路は WIRED LOGIC の点では不便をもたら

している。

(7) パッケージ

M5300PのパッケージはDUAL IN LINE形式であるのでカードの組立には特殊な治工を必要とせず、従来の形式のハンダディップが可能である。この取扱いの容易さのために工作が容易となり経費が軽減される理由の一つともなっている。

4. 集積回路の実装

4.1 論理カードの構成

計算機においては故障の修理を迅速に行なって実効率を向上するとともに保守の経費を軽減することが必要であり、このためには、カードの種類はできるだけ少ないことが望ましい。MELCOM 350では計算機の高速度および信頼性をそこなわない範囲においてできるだけカードの種類を減らすことを計った。

一般には基本的な論理単位をカードに配列したはん用カード形式は、カードの種類を減らせるもっとも効果的な方法であるが、この形式ではカード接せん(栓)のピン使用効率が低下するほかカード間の布線数が増大するので工作性および信頼性の点で好ましくない。

一方特定の機能ブロックを特定のカードに構成する機能カード形式は、工作性および信頼性は良くてもカードの種類が増大し保守性およびカードの試験などの面では複雑となる。このためはん用または機能化カードの両極端は好ましくないとして、MELCOM 350ではこれらの中間的な形式を採用した。すなわち、カードの種類を減少するために一連のはん用カードを製作し、別途、機能カードとすることによって著しく実装効率が向上する部分は、積極的に機能化を進めた。しかし、機能化カードにおいてもカードのrepeatabilityを失なうことのないように配慮され、また基板の形式寸法などははん用カードと共通であることを前提とした。

4.2 IC積載数とカードの種類

MELCOM 350の主演算装置には約1,500個の集積回路を使用するが、このとき1枚のカードにとう載される集積回路の最大数 x とカードの種類 A との関係を検討した結果、図4.1の曲線となることが推定された。同図の曲線Bは $1,500/x$ の曲線であり、すべてのカードに x 個の集積回路を積載したときのカード全使用枚数を与える。実際には平均 $(0.6 \sim 0.7)x$ 個の集積回路が積載されると仮定すると、全使用枚数は図のC曲線となる。 x の大きいところではAとCの曲線が一致することは容易に理解される。 x が小さくなってくるとカード相互間で交換が可能となるので、必要なカードの種類 A は x のある値以下では次第に減少する。前述のとおり MELCOM 350ではカードのrepeatabilityを尊重したので $x \leq 20$ とした。

その結果、主演算装置を構成するカードとしてははん用カード10種、機能化カード7種、その他特殊目的カード6種となった。各種カードの集積回路積載数とカードの使用枚数を表4.1に示す。

4.3 機能カード

主演算装置の機能カードは並列演算の論理回路を縦割りとし、ビット単位で構成している。すなわち、8個のレジスタとその他のフリップフロップ群の各1ビットを2枚のカードに構成し、各レジスタ間の転送、その他の付属するゲート群を同一カードに収容しプリントによって結合した。本計算機は1語が16ビットであるから、このレジスタカードを32枚配列するだけで必要なレジスタは全部構成されることになる。

図4.2はレジスタカードの1枚の内容をブロック図で示したものである。

この方式によるとカードの機能化が相当高度であるにもかかわらず

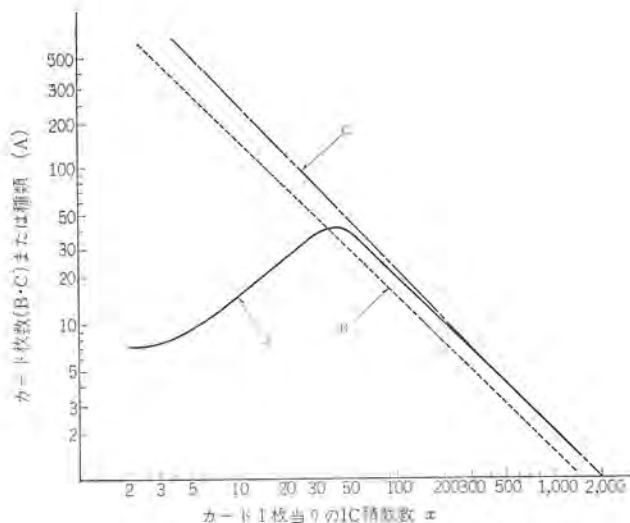


図 4.1 IC積載数とカードの種類
Fig. 4.1 Case study of card specification.

表 4.1 主演算装置におけるカードの種類とその枚数
Table 4.1 Kinds and numbers of cards in use with main operator.

	カード種類	IC搭載個数	使用枚数
1. はん用カード	10	5~12	79
2. 機能カード	7	10~18	71
3. 特殊カード	6	0	21

ず、カードのrepeatabilityを低下させることはない。また、このカードに内蔵される多数のゲートの制御信号は各ビットで共通であることが多く、カード間の配線はきわめて単純なプリントボード(バックパネル)によっても必要配線数の40~50%を吸収し得た。

4.4 プリント基板と接せん(栓)

最大20個の集積回路を積載するに必要なプリント基板の寸法は、基板の層数、プリントの幅および間隔によって異なる。本計算機では基板の経済性および信頼性の点から両面プリント板とし、プリントの幅は0.5mmとされた。このためカード基板の寸法は140×85mmとした。図4.3にははん用カードの外観を示す。

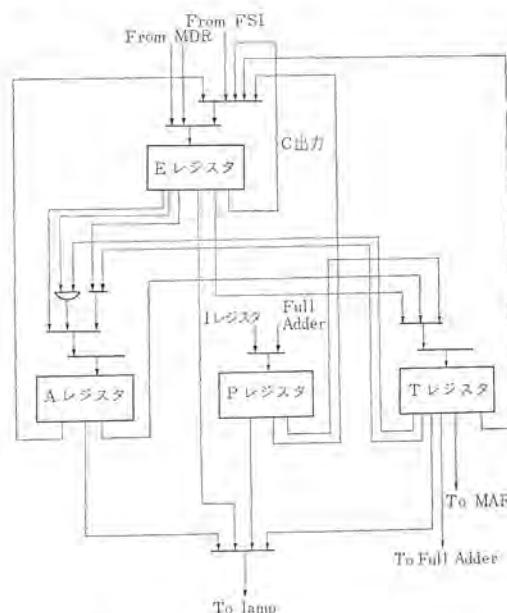


図 4.2 機能化カードの1例
Fig. 4.2 Block diagram of a functional logic card.

5. 論理布線法

テフロン線 3本より線
(各線間 40pF/m)

25mA

誘導ノイズ測定点

ノイズ源 { 立上り時間 8ns
電圧振幅 5.0V

線長 (m)	単線 (V)	Twist pair (V)	Twist pair 終端 (V)
0	0.0	0.0	0.0
0.5	1.8	0.5	0.6
1.0	3.2	1.0	1.0
1.5	3.6	1.2	1.2
2.0	3.8	1.3	1.2
3.0	4.2	1.5	1.3
4.0	4.4	2.2	1.3
5.0	4.5	2.8	1.3

Figure 1 is a line graph showing the relationship between Print Length (cm) on the x-axis and Noise Peak Value (V) on the y-axis. The x-axis ranges from 0 to 40 cm, and the y-axis ranges from 0 to 2.0 V. Two lines originate from (0,0). The upper line, labeled '片面プリントなし' (No single-sided printing), shows a steeper increase in noise. The lower line, labeled '片面を全面グラウンドにした場合' (When the single-sided is fully grounded), shows a more gradual increase. Both lines are linear.

プリント長 (cm)	片面プリントなし (V)	片面を全面グラウンドにした場合 (V)
0	0.0	0.0
10	0.45	0.30
20	0.85	0.50
30	1.30	0.75
40	1.75	1.00

Figure 1 is a line graph with the following data points estimated from the plot:

プリント間隔 (mm)	片面プリントなし (V)	片面を全面グランドにした場合 (V)
0.5	1.6	0.8
1.5	1.25	0.45
2.5	1.05	0.35
3.5	0.9	0.3
4.5	0.8	0.28
5.5	0.75	0.28
9.0	0.65	0.3

1055

30×25 cm²である。片面は全面グラウンド板であり各カードのグラウンドピンに接続される。他の片面は論理配線であるが、一面のみであるから1方向に直線状に走行する配線のみ適用された。しかし、機能化されたカードにおいては一方のプリント配線を前提としてピン配列が決められるので、配線のプリント化率が40～50%に達することは前述のとおりである。

採用したプリント板は厚さが1.6 mm、プリント導体幅が0.5 mm、プリント導体の最小間隔は0.4 mmである。この状態で最悪時の許容プリント導体長は表5.1に示すとおりである。

表 5.1 プリント配線の最大線長 (M 5300 P の場合)
Table 5.1 Maximum lengths of lines used in print wiring.

プリント間隔	最 大 線 長	
	裏面グラウンドの場合	裏面導体なし
0.5 mm	60 cm	30 cm
1.0 mm	80 cm	40 cm
4.0 mm 以上	* 200 cm	50 cm

* ただし終端する

5.3 論理布線法

集積回路が誘導ノイズにより誤動作しないように、配線材、配線法、配線長に注意する必要がある。前述したように静電容量結合による誘導ノイズが最も支配的であるので線間の容量結合を小さくする必要があり、このため配線材には誘電率の小さいものを使用し、またすべての論理配線が許容最大線長を越えないように制限が付けられる。

MELCOM 350 では論理配線材として導体 0.4 mm、外径 0.9 mm のナイロンジャケットテフロン線 ($\epsilon=1.8\sim2.0$) を使用した。この線を使用した場合、集積回路 M 5300 P シリーズの最大論理布線長は表 5.2 に示す値となる。表中、終端というのは、集積回路の入力を約 200 Ω の等価抵抗で終端した場合の値を示す。終端抵抗は 1 枚のカードに集中して取付けられ、このカードは論理ブロックの随所に配置されている。twisted pair 線は、線長が 50 cm 以上になる場合に使用する。おもにモジュール間の接続に用いているが、大部分は、リボン状にまとめた twisted pair 線を使用した。モジュール内およびバックパネル内はおもに前述のテフロン単線を使用し、最短結線法を採用した。

配線法がプリント導体、単線ラッピングおよび twisted pair 線と混在する場合は注目する 1 本の論理配線が種々な方式の組合せとなることがある。このような場合には各方式におけるノイズの誘導の程度を係数として表現し、すべて単線ラッピングの状態に換算することによって許容線長の制限を定めた。各方式における係数の値を表 5.3 に示す。いま各種の配線法における線長を l_i 、またノイズ係数を a_i で表わすことにすると線長許容限界は次式で示される。

$$\sum_i a_i l_i \leq 50 (\text{cm})$$

線長の計算、単線線長への換算および配線法の区分などはすべて自動設計プログラムによって処理した。

表 5.2 最大線長
Table 5.1 Maximum lengths of lines.

線 種	最 大 線 長	線長制限要素
単 線	50 cm	ノイズによる誤動作
単 線 終 端	200 cm	ノイズによる誤動作
Twist Pair	200 cm	ノイズによる誤動作および入力 Break Down
Twist Pair 終 端	800 cm	ノイズによる誤動作

線材：ナイロンジャケットテフロン線
(導体 0.4 外径 0.9)

表 5.3 各種配線法におけるノイズ係数
Table 5.3 Noise factors in various wiring.

配 線 法	終 端	係 数
1. 単 線	なし	1.0
2. 単 線	あり	0.5
3. Twisted Pair	なし	0.4
4. Twisted Pair	あり	0.3
5. プ リ ン ト (片面グラウンド無し)		1.7
6. プ リ ン ト (片面グラウンド有り)		0.85

ただし、プリントは 0.5 mm 間隔の場合を示す

6. む す び

以上、集積回路 M 5300 P の応用の一端として、全 IC 化計算機システム MELCOM 350 に適用した実装法の概要について述べた。商用電子計算機は、ますます大形化、高速化、低価格が要求されているが、この要求を満たすには、より高性能な集積回路と、これを駆使する技術が必要なのはいうまでもない。

本文で述べた実装法においては、種々の制約のために必ずしも満足なものでなく、さらに検討を加えるべき点もある。

しかし、集積回路技術は発展途上にあり、これらの諸問題も間もなく解決され、より理想に近づいた全 IC 化計算機システムが実現できるものと期待している。

(昭 42-6-8 受付)

参 考 文 献

- (1) 馬場, 小島, 織田: 電子計算機用集積回路, 信学誌, 40, 4, p. 689 (昭 41)
- (2) J. J. Staller: The Packaging revolution, Part I; form and function interact, Electronics, Oct. 18, p. 72. (1965)
- (3) E. U. Cohler: The Packaging revolution, Part III; Computer design the layout, Electronics, Nov. 1, p. 88. (1965)
- (4) 壺井, 梅田, 松原: DTL 布線による雑音, 電気通信学会, 電子計算機研究会資料 (昭 41-6)

4 線式 PAM スイッチ網の集積回路化

前田 良雄*・平沢 茂一*・後藤 正彦*

Molelectronization of Four Wire PAM Switching Circuits

Central Research Laboratory Yoshio MAEDA・Shigeichi HIRASAWA・Masahiko GOTÔ

Not only in the field of data processing but also in the sphere of electric power, transportation control and many others, an integrated data processing system is extensively taken up, and there are many cases where many data are gathered from stations or inversely data are distributed to them, also data exchanging being made among a good number of indefinite stations. This needs data switching networks of high grade, and the time division multiplex system is considered suitable from the points of economy, high speed, high reliability and small size. Even in this case modulator and demodulator circuits corresponding to the number of stations are necessary. Their molelectronization and functionalizing with it are demanded.

This article deals with four wire PAM switching circuits comprising, as the main component, a molelectronized modulator and demodulator circuits of sampling frequency ; 20 kc, time slot width ; 500 ns, 100 ; highway multiplexing and transmitting frequency bandwidth ; 300—3,400 cycles.

1. ま え が き

情報処理の分野はもちろんのこと、電力・輸送その他多くの分野においても盛んに総合機械化が進められており、情報（信号）の伝送に必要なスイッチング回路網に関する技術の実用化が要求されている。これらの技術は従来、電磁継電器などを中心に発達してきたが、端末諸装置の電子化とともに、高速化・高信頼化・経済化・機能の多様化・小形化が期待され、全電子化ひいては集積回路化が強く要望されるようになった。ここではパルス振幅変調（PAM）による時分割スイッチ回路網の小形化について述べる。いうまでもなく、時分割方式は多重通信技術から発展してきたものであり、近時の半導体技術の進歩に伴い、電子素子がますます高速スイッチ化されることを考えれば、時分割で多重利用しようとすることは、システム的に所要素子数の減少、小形化などが期待でき、きわめて望ましいものである。

今、スイッチ回路網の小形化を考えた場合

- (1) 使用素子自身の小形化
- (2) 素子の実装面における高密度化

を考慮して回路設計されねばならない。(1)についてはスイッチ回路網を構成する回路を機能的に数個のブロックにわけ、これを超小形回路化するわけであるが、この超小形回路化が回路設計に与える制約は大きく、設計の自由度をかなり減じているといわねばならない。

一方、(2)の実装面における問題については、信号伝ば（播）の速度や波形・雑音・漏話などの影響のほか、機内の温度上昇に伴う冷却条件、あるいは保守・試験の容易さなどを考慮した回路設計が要求される。

本文では、以上のような点を考慮して、4線式 PAM スイッチ回路網を集積回路化したときの回路設計、素子定数のばらつきなどに対する対策・問題点および特性などを述べる。なお、ここでは、おもに小形化に注目し、通信品質などの総合特性については稿を改めることにした。

2. 4 線式 PAM スイッチ回路網の構成

4線式 PAM スイッチ回路網のスイッチ動作は、多重通信における

場合と同様、変復調器のゲート開閉の搬送パルス位相を制御することにより、任意の加入者間の接続を行なわせる。すなわち変調器でサンプルされた PAM 信号は共通線（ハイウェイ）で時分割的に多重化され、必要なチャネルを復調器の分離パルスで選択し元の信号に復調される。これらのパルス位相は、制御回路および記憶装置により選択・制御される。制御部を含めたブロック線図を図 2. 1 に示した。スイ

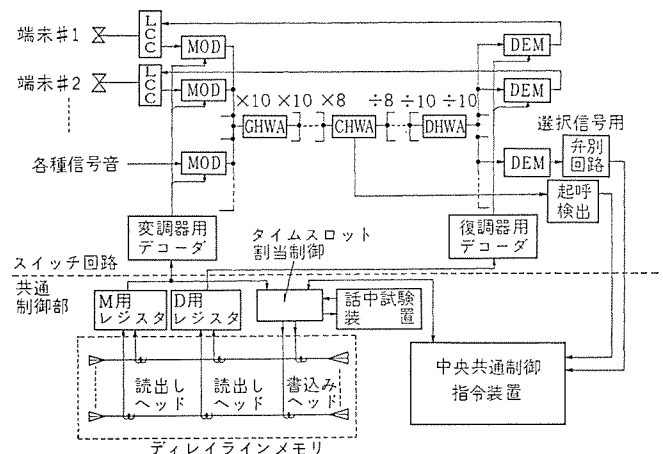


図 2.1 PAM スイッチ網の構成
Fig. 2.1 Block diagram of PAM switching system.

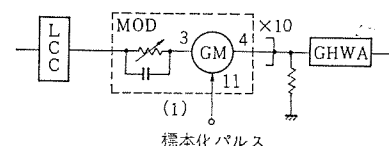


図 2.2 (a) 変調回路 (MOD)
Fig. 2.2 (a) Modulator block diagram.

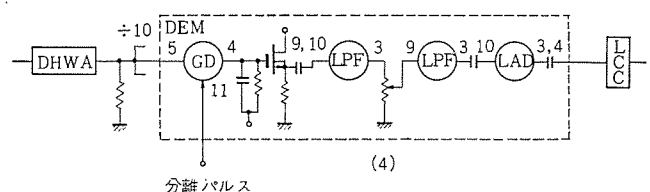


図 2.2 (b) 復調回路 (DEM)
Fig. 2.2 (b) Demodulator block diagram.

表 2.1 スイッチ 網 概 略 仕 様
Table 2.1 Specifications of switching system.

全 電 子 式 4 線 式 PAM 多 重 方 式 おもに半導体、モレトロンを使用	
サ ン プ ル 周 波 数	20 kc
多 重 度	100
1 タイムスロット幅	500 ns
タイムスロット割当	逆位相法
線 路	600 Ω 平衡形

表 2.2 スイッチ 回 路 網 の 設 計 仕 様
Table 2.2 Objective value of switching circuit design.

項 目	測 定 点	規 定 量	備 考
伝 送 損 失	800 c/s	0 dB	無 評 価 値
周 波 数 特 性		300~3400 c/s	
雑 音		0.5 mV 以下	
側 話 減 衰 量		0.5 mV 以下	
全 通 漏 話		82 dB 以上	
隣 接 漏 話		65 dB 以上	
高 調 び ず み 減 衰 量	0 dBm 入力	{ $KF_2 \geq 30$ dB $KF_3 \geq 40$ dB	
	+6 dBm 入力	{ $KF_2 \geq 25$ dB $KF_3 \geq 30$ dB	
過 負 荷 点		+6 dBm	800 c/s より
位 相 び ず み		4~2 ms	

ッ チ 回 路 部 より 制 御 部 へ は 選 択 信 号 や、端 末 状 態 監 視 信 号 (HW 利 用) な ど が 送 ら れ、制 御 部 は こ れ ら を 弁 別 し て、タ イ ム ス ロ ッ ト を 割 り 当 て たり、起 呼 検 出・話 中 試 験 を 行 な う。逆 に 制 御 部 か ら ス イ ッ チ 回 路 部 へ は、発 信 音 や 話 中 音 を 送 り 出 す ほか、変 復 調 回 路 に 交 換 動 作 を 行 な わ せ る 標 本 化 パ ル ス・分 離 パ ル ス を 分 配 す る。こ れ ら の パ ル ス 位 相 は、た と え ば、端 末 ごと の 変 復 調 回 路 の 番 号 を BCD 3 け た と し て、12 本 の 遅 延 線 メモリ に 記 憶 し、サイ ク リ ッ ク に 読 み 出 し、デ コー ド し て 得 ら れ る。

次 に、端 末 ごと に 設 け ら れ た 変 復 調 回 路 を 機 能 的 に、図 2.2 (a)、(b) の よう に ブ ロ ッ ク に わ け、こ れ ら を そ れ ぞ れ 集 積 回 路 化 す る。ケ ー ス は MO-5 形 を 用 い、図 中 () の 中 に そ の 個 数 を 示 し た。1 端 末 当 た り 5 個 (MO-5) の 集 積 回 路 と 若 干 の 外 付 け 部 品 と か ら 構 成 さ れ て い る。

こ こ で 述 べ る 4 線 式 PAM ス イ ッ チ 網 の 概 略 仕 様 は 表 2.1 の と お り で あ り、復 調 器 (LPF) の 設 計 を 容 易 に す る た め に、サ ム プ ル 周 波 数 は 20 kc に 選 ば れ て い る。

ス イ ッ チ 回 路 に 要 求 さ れ る 特 性 を 表 2.2 に ま と め た。3 章 以 下 に 述 べ る 回 路 は、も ち ろ ん こ れ ら の 値 を 目 標 に 設 計 さ れ て い る。

3. 4 線 式 PAM ス イ ッ チ 回 路 の 回 路 設 計 お よ び 検 討

PAM ス イ ッ チ 回 路 の 回 路 設 計 を 行 な う と き、前 述 の と お り

- (1) スイッチ 回路の所要特性を得るための制約
- (2) 半導体化、とくに集積回路化するための制約
- (3) その他、周辺回路との整合、実装面で考慮すべき制約などの制限を受ける。(1)については説明するまでもない。とくに(2)については、温度特性、消費電力、素子の製造可能な定数範囲およびそのばらつき、トランジスタの特性およびそのばらつき、直流結合化などの制約であり、(3)については、布線方法の差、論理素子の Fan out 数の差、論理段数の差、論理素子自身などによるスイッチ

グ 特 性 の ば ら つ き、共 通 線 部 の 信 号 伝 ば 時 間 の ば ら つ き、そ の ほか、論 理 回 路 部 な ど か ら の 雑 音 の 多 い 時 間 帯 な ど を 考 慮 し な け れ ば な ら ない。以 下 に、図 2.2 に 示 し た 各 ブ ロ ッ ク の 集 積 回 路 化 に 関 す る 回 路 設 計 お よ び お も に ば ら つ き に 関 す る 検 討 結 果 を ま と め る。な お、デ コーダ に 用 い た 論 理 素 子 の 例 を、図 3.1 に 示 し た。

3.1 変 調 器 (GM)

3.1.1 設 計 条 件 お よ び 回 路

GM の 設 計 に 与 え る 制 約 の お も な も の は、周 辺 回 路 (デ コーダ 部) の ス イ ッ チ ン グ 特 性 (立 ち 上 が り 約 30 ns、立 ち 下 が り 約 100 ns、伝 ば 時 間 の ば ら つ き 約 ± 10 ns)、お よ び 端 末 状 態 (通 信 時 DC レベル 約 13 V、信 号 平 均 -6 dBm、非 通 信 時 DC レベル 約 0 V) を、PAM の ベ ー ス タ ル 信 号 と し て 導 入 し、か つ、適 当 な 変 調 度 を も つ PAM 出 力 を 必 要 と す る こ と で あ る。こ の ほか、漏 話 を 少 な く す る た め に、隣 接 チ ャ ネ ル へ 漏 れ る 信 号 成 分 を 十 分 減 衰 さ せ る よ う な ス イ ッ チ ン グ 特 性 が 要 求 さ れ る。

な お、前 述 の よう に タ イ ム ス ロ ッ ト 幅 は 500 ns で あ る が、実 際 に ゲ ー ト す る の に 用 い ら れ る 時 間 は、漏 話・雑 音 な ど より 約 200 ns で あ る。

具 体 的 な 変 調 器 回 路 は デ コーダ 部 と の 結 合 の た め に、こ こ で は 緩 衝 増 幅 器 を 用 い、ゲ ー ト 回 路 に は、OFF 時 に 音 声 信 号 を エ ミ ッ タ、コ レ ク タ 間 の 高 抵 抗 で 分 離 す る 分 離 形 を 用 い た。GM の 回 路 図 を 図 3.2 に 示 す。ス イ ッ チ ン グ 特 性 は 緩 衝 増 幅 器 で 若 干 改 善 さ れ、図 3.3 の よう な PAM 出 力 信 号 を 得 て い る。な お PAM 信 号 の 変 調 度 は、ラ イ ン 結 合 回 路 (LCC) と GM の 結 合 ポ テ ン シ ョ メ タ に よ っ て 可 変 で あ る。

3.1.2 GM の 特 性 検 討

GM の 代 表 的 な 特 性 は 図 3.3 に 示 し た と お り で あ る が、温 度 変

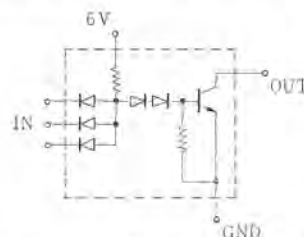


図 3.1 DTL NAND 回路 Fig. 3.1 DTL NAND gate circuit.

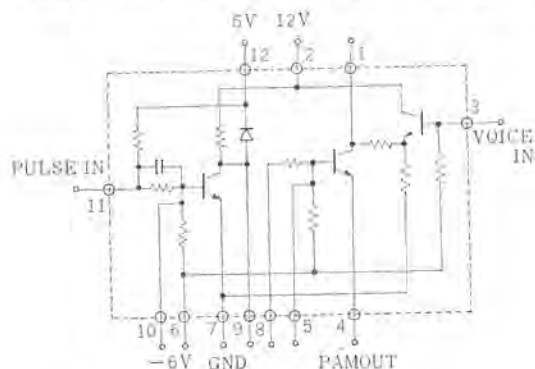
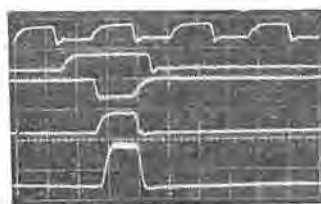


図 3.2 変 調 器 (GM) 回 路
Fig. 3.2 Modulator gate (GM) block circuit.



Y₁: OSP(M) (10V/div)
Y₂: デ コーダ 出 力 パ ル ス (10V/div)
Y₃: GM 入 力 パ ル ス (5V/div)
Y₄: ゲ ー ト (M) 入 力 (10V/div)
Y₅: GMPAM 出 力 (2V/div)
X: 0.2 μ s/div

図 3.3 変 調 器 (GM) の 特 性
Fig. 3.3 GM characteristics.

化に対する特性は、温度上昇に従って、出力 PAM 信号 パルス 幅が狭くなる傾向にあり、その減少量は $T=60^{\circ}\text{C}$ のとき、 $T=20^{\circ}\text{C}$ に対して、前縁後縁それぞれ約 5 ns および約 10 ns であった。また、多重化の第 1 段目は、GM を 10 ブロック、出力端子を $300\ \Omega$ で共通に結んでいるが、 $C_n=60\ \text{pF}$ の浮遊容量を仮定しても波形の変化はほとんど認められない。

最後に、おもに緩衝増幅器のトランジスタのスイッチング特性のばらつきによって生ずる PAM 信号出力の立ち上がり時間のばらつきは図 3.4 に示したとおりであり、立ち下がり時間のばらつきはほとんど無視できる程度に小さい。

3.2 復調器 (GD)

3.2.1 設計条件および回路

GD については、復調信号を平頂伸張するためにコンデンサ 負荷であること、分離 パルス が約 90 ns 程度しかないこと、などを除いて、ほとんど GD の場合と同様である。

設計回路は緩衝増幅器を用いたことと分離形 ゲートを用いたことは GM と同じであるが、コンデンサが負荷であるため、ゲートベース電流も考慮して図 3.5 のような両方向性のゲートを用いた。

3.2.2 GD の特性検討

GD の復調動作を図 3.6 に示す。ほぼ電圧の平頂保持が行なわれている。このときの DC バイアスは、GD の PAM 信号の無変調

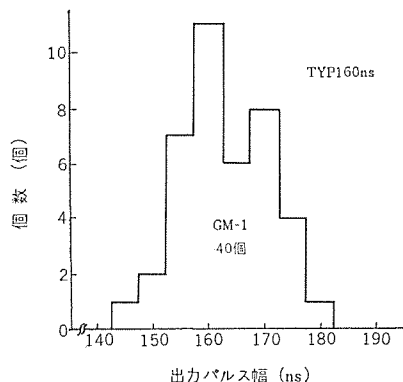


図 3.4 GM スイッチング特性のばらつき
Fig. 3.4 Distribution of GM switching characteristics.

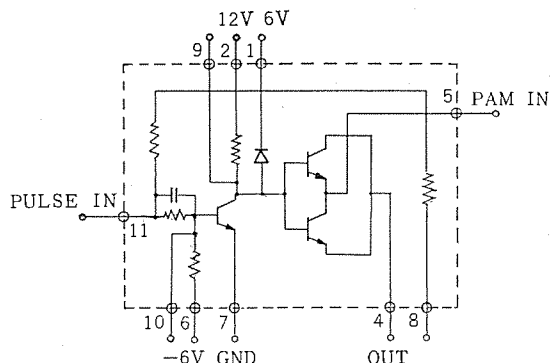


図 3.5 復調器 (GD) 回路
Fig. 3.5 Demodulator gate (GD) circuit.

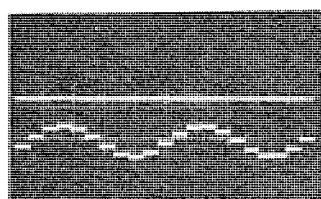


図 3.6 復調器 (GD) の特性
Fig. 3.6 GD characteristics.

時のパルス振幅に等しく設定されている。

なお、GD のスイッチング特性 (立ち上がり時間のばらつき) も、GM とほぼ同様と考えてさしつかえなく、ここでは復調信号振幅のばらつきを図 3.7 に示した。このばらつきは各端末によって補正しなければならないが、復調増幅器 (LAMD) の可変利得をきめる要素の一つである。

3.3 復調器 (LPE)

3.3.1 設計条件および回路

LPF に要求される特性としては、サンプリング定理に従ってサンプル周波数 (20 kc) の 1/2 すなわち 10 kc において十分な減衰をうることのほかに、変復調動作を通してその残留周波数損失が一定の品質 (ここでは 2/5 CCITT とした) を満足しなければならない。一方、復調信号は MOST によるインピーダンス変換をうけた後、LPF に加えられるが、このときの平頂伸張された信号の周波数スペクトラムは、

$$M_2'(t) = A_v \sum_{-\infty}^{\infty} \frac{\sin(m+n)\pi}{(m+n)\pi} \cos\left\{(m\omega_c + \omega_v)\left(t - \frac{T}{2}\right) + \theta_v\right\}$$

$$\text{ただし } n = \frac{\omega_v}{\omega_c}$$

T : 保持時間

$$\omega_c: \text{サンプル角周波数} \left(= \frac{2\pi}{T} \right)$$

ω_v : 信号の角周波数

与えられる。この式より明らかなように、角周波数 ω_v の正弦波信号の周期 $T=2\pi/\omega_c$ の標本値を T だけ保持するときの復調出力は、 $T/2$ の遅延を生じ、振幅は $m=0$ において、

$\sin(\omega_v T/2)/(\omega_v T/2)$ 倍となり、 ω_v の影響を受ける。これをアパーチャ効果 (Aperture Effect) と呼び、この値はサンプル周波数の 1/2 において約 4 dB である。さらにこの式より上記アパーチャ効果さへ補正すれば、サンプル周波数およびその高調波成分の含まれないこと、サンプル周波数の上下側帯波成分の減少があり、これらはろ波器の設計につごうがよい。以上を考慮すると、所要周波数特性は図 3.8 の斜線を除く部分である。従来の LC を用いたろ波器では、空間占有容積が大きく、これが小形化の限度をきめるものと考えられている。ここでは、とくに集積回路化をはかるため、素子定数の若干のばらつきに耐えられる L 形 RC 能動ろ波器を構成した。図 3.9 のとおりであり、1 段では十分な減衰が得られないのでこれをカスケードに 2 段接続して用いている。

3.3.2 LPF の特性検討

LPF の周波数特性は図 3.8 に示したとおりである。素子定数の

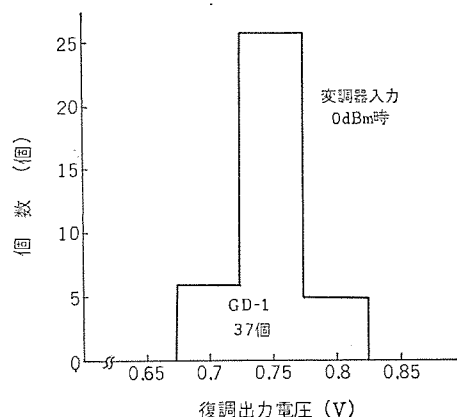


図 3.7 GD 復調出力電圧のばらつき
Fig. 3.7 Distribution of GD output voltage.

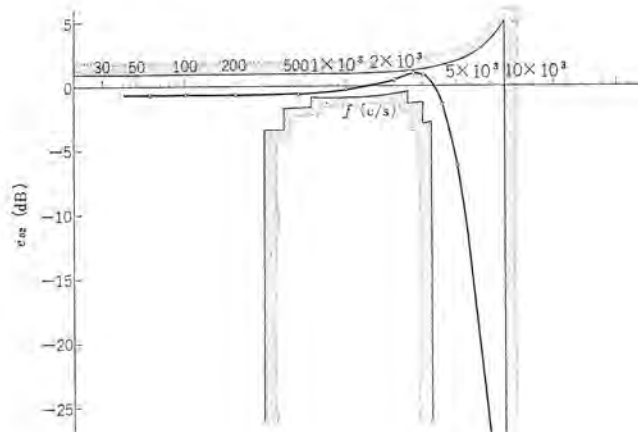


図 3.8 LPF の周波数特性
Fig. 3.8 Frequency characteristics of LPF

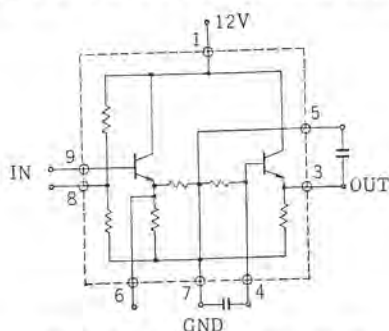


図 3.9 ろ波器 (LPF) 回路
Fig. 3.9 Low pass filter (LPF) circuit.

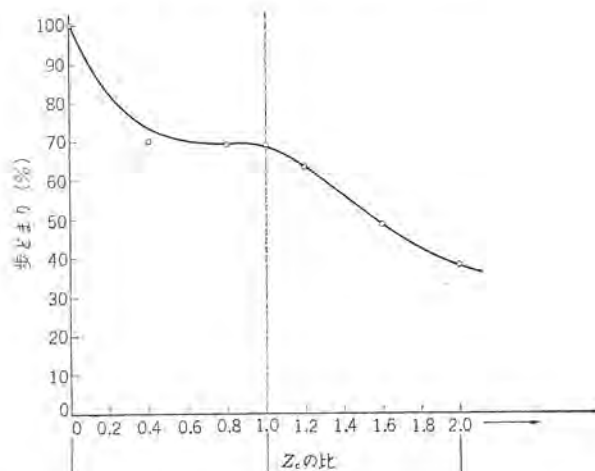


図 3.10 LPF の計算機シミュレーションによる歩どまり
Fig. 3.10 Yield of LPF by Computer simulation.

ばらつきに対しては、トランジスタの r 定数による等価回路を求め、定数 ($r_1, r_2, C_1, C_2, r_L, B, r_b$) のばらつきを正規分布と仮定し計算機によるシミュレーションを行なった。図 3. 10 は各定数の標準偏差を変化させたときの歩どまりを求めた例である。

この図によると、ばらつきを大きく仮定すれば歩どまりが悪化するが、次段の増幅器より減衰軸方向に移動し補正すると約90%近い歩どまりが得られることがわかっている。なお、このろ波器のひ

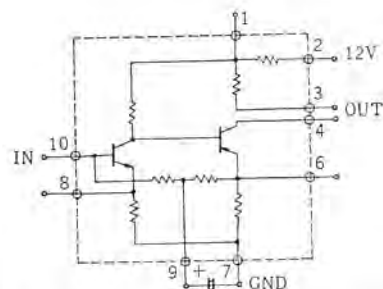


图 3.11 (a) 增幅器 (LAMD-1) 回路
Fig. 3.11 (a) Audio amplifier (LAMD-1) circuit.

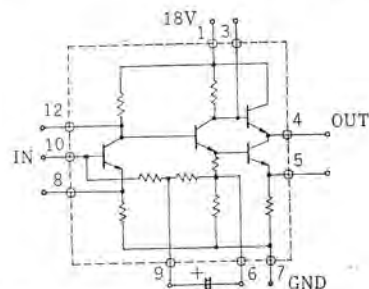


圖 3.11 (b) 增幅器 (LAMD-2) 回路
Fig. 3.11 (b) Audio amplifier (LAMD-2) circuit.

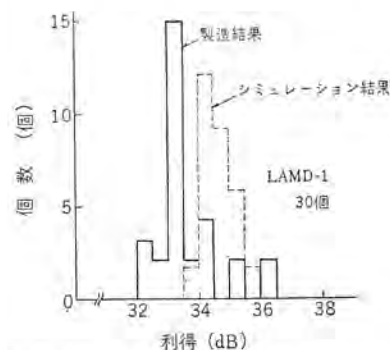


図 3.12 LAMD-1 利得のばらつき
Fig. 3.12 Distribution of LAMD-1 gain.

ずみ率は 0.35 % 以下 (0 dBm 入力) である。

3.4 復調增幅器 (LAMD)

3.4.1 設計条件および回路

伝送すべき信号成分について注目すると、変復調動作の過程において損失を生ずる。一方伝送損失は表 2.1 のとおり 800 c/s において 0 dB と定められており、共通線増幅器で若干の補償をしたうえ、各端末ごとの利得調整も可能にするため、約 30 dB の復調音声増幅器が必要である。このほか、ラインと整合すること、低雑音、低ひずみ率が要求される。

増幅器の設計に当たっては、使用できる電源電圧と、過負荷点・ひずみ率などを十分考慮しなければならない。ここでは、当社のはん用モロトロンアンプ5AFOIEと同様な回路構成のLAMD-1と、とくにスイッチ網用に低ひずみ率(ただし電源電圧18V)低消費電力のLAMD-2を設計した。その回路が図3.11(a),(b)である。

3.4.2 LAMD の特性検討

LAMD-1, LAMD-2 の特性のおもなものは、それぞれ消費電流 10mA, 3.8mA, ひずみ率 1%, 0.35% であり、ともに 30dB 以上の利得を持ち、温度範囲 -20~+55°C (とくに LAMD-2 は +85°C

Cまで)で正常に動作する。

また、LPFの場合と同様、素子定数のばらつきに対する総合特性の影響を考慮する必要があるが、ここでは、実際に5個の抵抗値

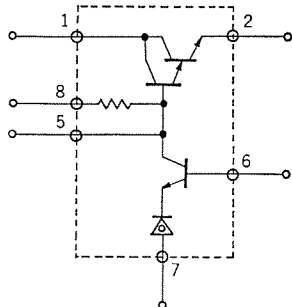


図 3.13 安定化電源 (WC 110) 回路
Fig. 3.13 Voltage regulator (WC 110) circuit.

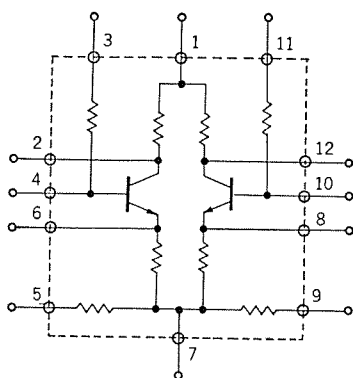


図 3.14 差動増幅器 (SAF 03 E-2) 回路
Fig. 3.14 Differential amplifier (SAFO 3 E-2) circuit.

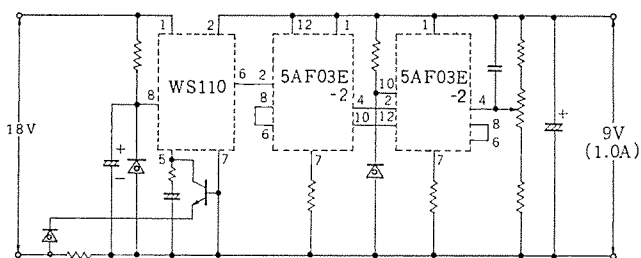


図 3.15 安定化電源の回路例
Fig. 3.15 Voltage regulator circuit.

に、+10%、0%、-10%のばらつきを与えて、製品のばらつきのシミュレートを行なった。図 3.12 は利得のばらつきの例である (LAMD-1 の場合)。

3.5 安定化電源 (VREG)

スイッチ回路の品質に最も大きな影響を与えるものの一つとして電源回路がある。詳述はさけるが、ここでは、図 3.13 と図 3.14 (当社のはん用差動増幅器)を用いて、図 3.15 のような安定化電源回路を構成している。この例では、9V/1.0A 用で、出力直流抵抗 10mΩ 以下、変動率 0.1% 以下という良好なものである。

すべて変復調回路の電源は、100 端末単位に上記のような電源を使用している。

4. む す び

以上、4線式 PAM スイッチ網の集積回路化について述べた。集積回路化していない共通線増幅器部、および総合特性などについては次の機会に述べる。

図 4.1 にこれらの集積回路を用いて実装したカードの一例を示した。このカードは復調回路パッケージで、写真左上がデコーダ用 DTL-NAND 素子、左下が電源用波器部、右側が 10 端末分の (図 2.2 (b) に示した復調回路 5 端末分のみ実装) 復調回路である。PAM などの時分割通信伝送に関する技術は、従来通信技術とはあまり関係のなかった電力・輸送その他の分野においても必須のものとなりつつあり、電子化の傾向とあいまって、集積回路化は大いに検討されなければならない。

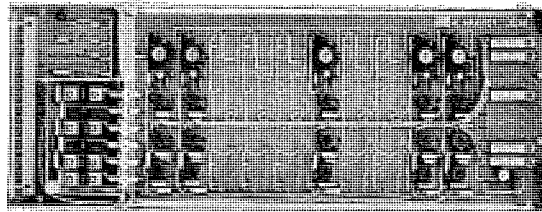


図 4.1 復調回路 (DEM) の実装カード
Fig. 4.1 DEM card.

最後に各回路の集積回路化に当たり、終始協力をうけた北伊丹製作所モロクトロン部設計関係者に謝意を表する。

(昭和 42-6-8 受付)



技術講座

三菱半導体集積回路の標準機種

田中 禎一*・平子 征佳*・鈴木 壮夫*

1. ま え が き

三菱電機では、超小形電子回路を「モレクトロン」なる登録商標で総称している。現在生産されているモレクトロンには、モノリシック半導体集積回路と薄膜混成回路とがある。このモノリシック半導体集積回路は、多くの回路素子が一つのシリコン基板上に結合されて電子回路を形成しているもので、大量生産に適している。また、薄膜混成回路は、受動素子のみを薄膜化し、能動素子は従来のシリコントランジスタおよびダイオードを用いたもので、特殊仕様のカスタム要求に適している。

ここでは、現在量産されているモノリシック半導体集積回路の標準品に限って紹介する。これらの標準品には、

- (1) TTL M 5300 P シリーズ
- (2) DTL M 5930 P シリーズ
- (3) リニヤ回路シリーズ

がある。これらの特長、外形、電気的特性、動作説明、応用回路、および信頼度確認データをのべ、これらの理解を助けるため、集積回路の用語、論理回路記号およびカタログに用いられている記号の解説を付け加えた。

2. 三菱モレクトロンの特長

2.1 機種の特長

(1) デジタル回路には、TTLおよびDTLがあり、これらは互換性があるので、それぞれの特長を生かした使い方ができる。

(2) デジタル回路は、14ピンのデュアルインライン形パッケージを採用しているので、素子当たりの機能が大きく、実装密度があげられ、しかも機能当たりの価格が安い。

(3) TTL M 5300 P シリーズは、中速低電力で高集積度をねらったもので、電力および寸法を増加することなく、多機能の装置を構成するのに適している。また、このシリーズは、集積度が高い品種および直流結合トリップフロップがそろっている。大きい容量負荷を駆動するのに適している。

(4) DTL M 5930 P シリーズは、低速低電力のゲート回路をねらったもので、集積回路以外の回路を駆動する場合や制御機器用に適している。

(5) リニヤ回路の集積回路化は、回路の選定、標準化および価格の問題がむづかしい。そのため集積化する装置システムの解析および価格解析を行ない、大量需要のある十分実用化できるリニヤ集積回路を手がけている。

2.2 パッケージの特長

- (1) デュアルインラインパッケージは、ピン数が多く、1パッケージ当

たりの機能が大きい。手動および自動の実装がしやすい、プリント基板の設計が容易であるなどの特長をもっている。三菱モレクトロンには、このパッケージを全面的に採用している。

(2) デュアルインラインパッケージには、モールド形とメタルシール形の2種類がある。

(3) モールド形デュアルインラインパッケージは、国内で初めて量産化に成功したもので、工業用および民生用に十分な温度範囲に使用し、集積回路の価格の大きい部分を占めるパッケージ原価を低減して、安価な集積回路を実現したものである。また、リード線には予備はんだがしてあるので、ディップソールディングをするとき、はんだがなじみやすい。

(4) メタルシール形デュアルインラインパッケージは、温度範囲が広く、熱抵抗が低く、完全ハーメチックシールが必要な用途に適する。

(5) TO-5 類似パッケージは、ピン数が少なく、電気的シールドが必要なリニヤ回路に適している。熱抵抗が少なく、完全ハーメチックシールドであり、安価な特長をもっている。

2.3 集積回路の採用に適している場合

(1) デジタル回路に対しては集積回路の使用が安価である。部品代が高くて、部品試験費、組立費、プリント基板代、アフタサービス費および一般事務管理費を総合すると安くなる。

(2) 現有の機器量産ラインを、作業者および床面積を増加することなく、生産数量を増加した場合。

(3) 装置を無接点化、トランジスタ化またはシリコントランジスタ化しようとしている場合。

(4) 新製品を企画している場合。

(5) 装置を、寸法、重量および電力を増加することなく、多機能化しようとしている場合。

(6) 電子回路技術者が十分でない場合。

(7) 購買業務、資材管理などの事務の合理化の効果を上げたい場合。

(8) アフタサービスの合理化を行ないたい場合。

2.4 集積回路を用いたシステム設計で考慮すべき事項

(1) 集積回路は、量産されている標準品を用いるのが最も経済的である。

(2) 市販の集積回路の標準品に適したシステム設計をするのが望ましい。

(3) 集積回路をブラックボックスとみなし、その機能に着目してシステム設計を行なう。

(4) 集積回路のパッケージ数を最少にする設計を行なう。

(5) 集積回路の新製品およびLSI (Large Scale Integration) の技術動向に注目する。

(6) システム設計者は、集積回路の製造技術および市場動向を十分研究し、システムに最も適した集積回路を選ぶために必要な知識を習得する必要がある。

3. 集積回路の用語および記号解説

3.1 集積回路の分類

超小形電子回路の分類を図3.1に示す。これは、日本電子工業

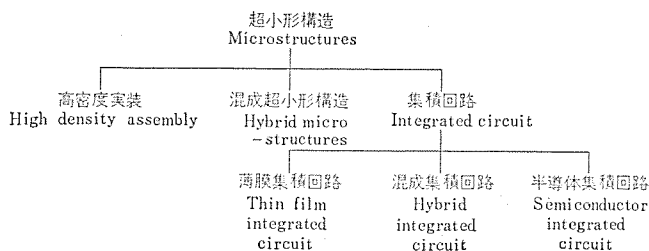


図 3.1 超小形電子回路の分類

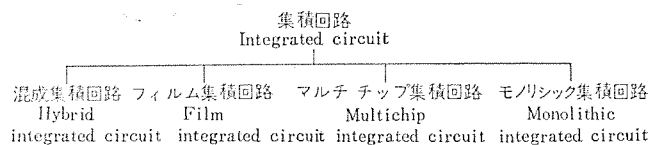


図 3.2 集積回路の分類

振興協会の超小形回路技術委員会の下部組織である超小形電子回路用語委員会がまとめたもので、国際電気標準会議 IEC TC 47 に提出された日本案である。これは、超小形電子技術に注目して分類したもので、集積回路とは多くの回路素子が一つの基板上または基板内に分離不能の状態に結合されている超小形構造をいい、たとえば、薄膜で受動素子を構成し、半導体で能動素子を構成し、これを組合わせたものは、混成超小形構造に属する。薄膜集積回路は受動素子および能動素子ともに薄膜技術で作った集積回路である。混成集積回路は、薄膜技術および半導体技術を併用した集積回路である。

アメリカの電気電子学会 IEEE が定義した集積回路の分類を図3.2に示す。モノリシック集積回路は、素子が1個の半導体基板に作られた集積回路である。マルチチップ集積回路は、素子が複数の半導体チップで作られた集積回路である。フィルム集積回路は、素子が薄膜で絶縁基板上に作られた集積回路である。混成集積回路は、一つ以上の集積回路の組合わせにより構成された集積回路または一つの集積回路と個別部品の組合わせにより構成された集積回路である。

3.2 集積回路の用語

3.1 節でのべた超小形回路用語委員会で決めた「超小形電子技術」関係用語の中から、まぎらわしいものおよびよく用いられるものを次項に示す。

3.2.1 超小形電子技術関係用語

日本語	英語	意味
デバイス「超小形電子回路における」	device	一個以上の機能およびまたは非直線性素子を含む部分を構成するための素材の結合(例 トランジスタ ダイオード) 注) 広義の場合は受動素子を含む。

素子	element	一つの機能ちゅうにあって電磁現象を示す最小単位としての部分。
部品	part	1個または数個の材料あるいは領域で構成されたもので、それ以上分解すれば所要の電氣的または機能的特性が失われるもの。
構成部分	component	一つの機能体を構成している部分。
回路	circuit	1個以上の単独および、または接合した部品、または素子を結合して所要の電氣的機能をもたせたものの。
組立	assembly	いくつかの構成部分を用いて機能体を組み立てること、または組み立てたもの。
サブシステム	subsystem	系の一部分であって機成部分の集合体であり回路機能を有するものの。
方式, 系, システム	system	所要の機能を果たすことのできるようなサブシステム数個のまたは回路の組合せならびにそのやり方。
超小形電子技術 超小形電子工学	microelect- ronics	超小形化技術を用いて一般に得られるよりもさらに小形化の程度が進んだ電子回路の実現に関連した技術の全体。 注) 1 cm^3 当たり3個以上すなわち 1 in^3 当たり50個以上の実装密度を有するものはこの部類にはいる。
高密度組立	high density assembly	組み立てたり、組み込んだりする前に、構成部分を個々に作ったり試験することのできる超小形構造。
集積化する	integrate	多くの素子を一つの基板上または基板内に分離不能の状態に結合すること。
集積回路	integrated circuit	多くの回路素子が一つの基板上または基板内に分離不能の状態に結合されている超小形構造。 注) この意味は一つまたはそれ以上の半導体片によるもの、または被着薄膜によって得られたもの、あるいはそれらの両者の組み合わせの技術によって得られる回路を含む。
薄膜集積回路	thin film inte- grated circ- uit	基板上に構成された回路素子および相互接続の全部が被着された薄膜よりなる集積回路。

日 本 語	英 語	意 味
半導体集積回路	semiconductor integrated circuit	一つまたはそれ以上の半導体材料片中に完全に実現された回路素子と相互接続から成り立った集積回路。
混成集積回路	hybrid integrated circuit	半導体技術と薄膜技術とを併用した集積回路。
モレキュラエレクトロニクス	molecular electronics	単に電子現象のみならず熱、光その他あらゆる物性現象を利用して対応する電子回路と入出力特性のみ等価であって、もはや各部分が空間的にはもちろん電子回路の各部機能にも対応しない機能ブロックを実現するための技術または工学で、現状では半導体表面および内部の物性に着目したものが多い。
チップ	chip	受動素子、能動素子、デバイスまたは集積回路が作り付けられた半導体あるいは絶縁物の細片。
モノリシック	monolithic	1個の半導体*のチップに作られたという意味の形容詞。 注*) たとえばシリコンの単結晶。
マルチチップ回路	multichip circuit	複数個のチップを含んだ回路。 注) 略して multichip ともいう。
個別部品	discrete component part	固有の形態を有し、単独で一つあるいは複数の素子あるいはデバイスの機能を果たし、分離すると電気的特性を失なうもの。
基板	substrate	その上あるいはその内部に任意回路素子を構成し、または構成する物体。 注 i) 熱放散や電気的機能に寄与することもある。 ii) 能動あるいは受動のものが使用されることもある。
ウエーハ	wafer	「薄片」参考(基板となる物質の薄片、ならびにその上の薄膜状の回路素子を有するもの)
絶縁層分離	dielectric isolation	半導体集積回路の各素子を絶縁層、たとえば SiO ₂ などによって分離させること。
相互接続	interconnection	一つの回路機能をもたせるために構成部分同士をその内部でまたは表面でもしくはそのおのおのにおいて相互に接続すること。
実装する(動詞)	package	(動) 構成部分を配置し、接続し

パッケージ(名詞)

実装密度	packaging density
エピタキシャル成長	epitaxial growth

たうえて保護すること。

(名) 構成部分を配置し、接続したうえて保護する容器。

単位体積中に実装される部品あるいは素子の数。

注) component density と言うこともある。

気相または液相で基板結晶と同一結晶軸方向に結晶成長を行なうこと。

3.3 論理回路の用語

論理回路の動作および特性を理解するために必要な用語を 3.3.1 項に示す。論理回路の用語は、いまだはっきりと定義されたものがないので、権威あるものではないが、理解を助けるためにあいまいさをなくすための解説とした。

3.3.1 論理回路の用語

(1) 論理演算

ビット	Binary digit (2進数字) の省略語で一般に2値表示に含まれる情報量を表わす。
bool 代数	ディジタル回路の解析に適している数学の一形式で、異なった二つの“値”だけをとることが許される変数を取り扱う代数をいう。
Boolean algebra	2進信号入力のすべての組合わせに対して出力がどうなるかを示す表をいう。
真理値表	2値のディジタル量を信号電圧に対応させ、高レベルを“1”、低レベルを“0”と定義した論理方式をいう。
truth table	正論理
positive logic	負論理
negative logic	正論理の逆で、低レベルを“1”、高レベルを“0”と定義した論理方式をいう。

(2) 論理回路の特性

クロック・パルス	同期方式の装置の、同期をとるためのタイミング信号を作るためのパルスをいう。フリップフロップのクロック入力またはゲートの入力に印加する。
clock pulse	最悪条件
worst-case condition	理論回路が十分に動作するために、回路素子の特性値、回路の負荷条件および電源電圧、周囲温度などの条件がすべて同時に許容範囲内にはいっていなければならない。この場合の、限界条件をいう。
雑音余裕度	論理振幅に対するノイズマージンの比、一般に%で表示する。
noise immunity	シンク電流
sink current	素子に流れ込む方向に流れる電流。
セット時間	フリップフロップのセット入力端子にセット信号を加えてから、回路がセットを完了するまでの時間をいう。
set time	セット・アップ時間
set up time	記憶回路に情報を入れる場合、クロックパルスに対して先行して加えられる情報信号と、ク

ソース電流 source current	ロックパルスとの時間間隔をいう。 素子から流れ出す方向に流れる電流。	ORゲート	“1”になるゲート。 入力の少なくとも1つが“1”のとき、出力が“1”となるゲート。
ノイズ・マージン noise margin	出力が“OFF”(入力“L”)状態にある回路を“ON”にするような入力側の雑音電圧(正極性雑音) V_{NIL} と、出力が“ON”(入力“H”)状態にある回路を“OFF”にするような入力側の雑音電圧(負極性雑音) V_{NIH} とで定義される。すなわち、最悪条件のもとでは、 $V_{NIL} = V_{IL}(T) - \overline{V_{OL}} $ $V_{NIH} = \overline{V_{OH}} - V_{IH}(T) $ となる。ここで、 $\overline{V_{OL}}$ = “ON” 状態の出力電圧の最大値、 $\overline{V_{OH}}$ = “OFF” 状態の出力電圧の最小値、 $V_{IL}(T)$ = 回路が“OFF”状態を維持する限界の入力電圧の最小値、および $V_{IH}(T)$ = 回路が“ON”状態を維持する限界の入力電圧の最大値を表わす。	NANDゲート	すべての入力が“1”のときのみ、出力が“0”になるゲート。
パルス繰返し周波数 pulse repetition frequency	パルス波形の繰返し周波数、クロックパルスの繰返し周波数をさすことが多い。	NORゲート	入力の少なくとも一つが“1”のとき、出力が“0”になるゲート。
パルス振幅 pulse amplitude	パルス信号の“1”レベルおよび“0”レベルとの振幅をいう。	シフト・レジスタ shift register	レジスタ(多ビットの情報を記憶する素子)内に記憶されている内容を、指定されたビット数だけ、情報を保ちながら左または右へ移動させる機能をもったレジスタ。
パルス幅 pulse width	一般に、パルスの立上りおよび立下り波形の振幅が、パルス振幅の50%のレベルを通過する時間間隔をいう。	ノット回路 NOT or inverter	入力に加える論理状態の逆の状態が出力に得られる回路。すなわち、入力に“1”(“0”)を加えると、出力は“0”(“1”)になる。
パルス立上り時間 pulse rise time	パルス波形が波形立上り部分で、パルス振幅の10%の値から、90%の値になるまでの時間。	バッファ buffer	ある論理回路と他の論理回路を結合する場合、その直接結合による悪影響を避けるために段間に入れる回路で、一般に増幅回路が用いられる。
パルス立下がり時間 pulse fall time	パルス波形が波形立下がり部分で、パルス振幅の90%の値から、10%の値になるまでの時間。	フリップ・フロップ flip flop	二つの安定した論理状態をもった回路で、次に述べる機能に従がい、入力信号を加えることにより、論理状態を変えることができる回路。
ファン・アウト fan out	ある論理回路の出力端子に接続可能な外部論理回路数。	D flip flop	遅延記憶素子で、一つの入力をもち、出力が1ビット前の入力と等しい回路。すなわち、入力に“1”を加えると、1ビットタイム後出力は“1”になる。
ファン・イン fan in	ある論理回路の入力端子として接続可能な外部論理回路数。	J-K flip flop	二つの入力“J”および“K”をもったフリップフロップで、クロック入力にクロックパルスを加えると、入力“J”に“1”を加えたとき、フリップフロップを“1”にセットし、入力“K”に“1”を加えたとき、“0”にリセットし、“1”を“J”および“K”に同時に加えたとき、前の状態に関係なく状態が反転する。二つの入力に同時に“1”を加えても動作をするのが、J-K フリップフロップの特長である。
平均伝ば遅延時間 average propagation delay time	($t_{ON} + t_{OFF}$)/2 で定義する。ここで、 t_{ON} (t_{OFF}) は回路が“ON”(“OFF”)から“OFF”(“ON”)になる伝ば遅延時間を示す。	R-S flip flop	二つの入力“R”および“S”をもったフリップフロップで、入力“R”に“1”を加えたとき、フリップフロップを“0”にリセットし、入力“S”に“1”を加えたとき、“1”にセットする。
ホールド時間 hold time	記憶回路に情報を入れる場合、クロックパルスが加えられてから、情報が完全に記憶されるために必要な情報信号の保持時間。	R-S-T flip flop	三つの入力、“R”、“S”および“T”をもったフリップフロップで、クロック入力“T”にクロックパルスを加えると、入力“R”に“1”を加えたとき、フリップフロップを“0”にリセットし、入力“S”に“1”を加えたとき、“1”にセットする。入力“R”および“S”に同時に“1”が加えられると、フリップフロップの状態を予測することができなくなるので、二つの入力に同時に“1”が加えられないように
(3) 論理回路			
カウンタ counter	ある情報が記憶されていて、ここに入力信号がはいると、前の情報に逐次新しい情報を加えて記憶していく機能をもった回路をいう。		
ゲート gate	複数個の入力と、1個の出力とをもった回路で、出力の状態は、入力の論理状態の組み合わせで決定される。		
ANDゲート	すべての入力が“1”のときのみ、出力が		

T flip flop

しなければならない。

一つの入力“T”をもったフリップフロップで、入力“T”に“1”が加えられると、フリップフロップの状態が反転し、“0”が加えられると、前の状態を保っている。

3.4 論理記号

論理記号は各社種々のものが使用されており、互いに互換性がないばかりか、とくに装置の回路図に用いられている論理記号は、従来の慣習を変えることは誤まりの生ずる恐れがあるなどの理由で、それを一つにすることが困難とされている。国内では、いまだ電子回路用論理記号で統一されたものがない現状である。しかし、集積回路の論理回路が市場を支配し始めると、集積回路を説明するための、はん用性のある論理記号が必要になってくる。

アメリカでは、論理記号は、米軍規格 MIL-STD-806 B “Graphic Symbols for Logic Diagram” で、1962年2月に制定され、以後集積回路に全面的に採用されている。この MIL-STD-806 B の論理記号は、次のような特長をもっている。

- (1) 集積回路の論理記号に適している。
- (2) アメリカの集積回路メーカーが全面的に使用している。
- (3) 2値のデジタル量の定義を、電位の相対的な高(High; H)および低(Low; L)で区別し、OR および AND 機能を H および

L で定義しているの、普遍性に富んでいる。

(4) 状態表示記号(State indicator; 小さい円の記号)の思想の導入で、論理記号のみを用いた図面上で、

- a. 論理式の簡単化
- b. 素子の論理動作の表示(たとえば、NAND を OR として使っているか、AND として使っているかの表示)
- c. 入出力条件のレベルの一致
- d. 各接続点のレベルの表示
- e. 正論理および負論理の区別

などが自動的に行なえる。これは、NOR および NAND 素子を用いるとき最も有効である。

(5) フリップフロップの入力および出力を、すべて記号で指定しているので、非常に理論的である。

(6) 結線するのみで、OR または AND 機能を実現する論理記号としての、Dot OR (wired OR) または Dot AND (wired AND) の記号も理論的で、論理素子の構成が明確になる。

(7) 論理記号はフリーハンドでは書きにくい形状だが、論理記号のわくの中に、

- a. 論理記号の図面上のアドレス
- b. 論理記号の形名または部品番号
- c. 記号の機械的な位置

を指定できるので、システムの確実な図面がかかる。

以上の特長および国内に統一された記号がないことに注目して、われわれは、集積回路の論理記号に MIL-STD-806 B の論理記号を採用することにした。図 3.3 にゲートおよびフリップフロップの MIL-STD-806 B の論理記号とその説明を示す。

これによると、すべての論理素子は、すべて“H”の信号で“能動”となり、状態表示記号(小さい円の記号)が入力側または出力側にあるときは、“L”の信号で能動となるものと考ええる。“能動”とは、たとえば、3入力 NAND を考えると、入出力の組合わせの場合の数が9とありあるが、そのうち3入力とも“H”で、出力が“L”の場合のことをいう。“H”および“L”は、電位の相対的な大ききで定義しているの、たとえば、論理レベルに0Vおよび-6Vを用いているとき、“H”=0V、“L”=-6Vとなる。この記号は、“H”=“1”、“L”=“0”と定義すれば正論理、“H”=“0”、“L”=“1”と定義すれば、負論理として用いられるが、一般に現在市販されている集積回路に適用する場合、正論理のほうが理解しやすい。NOR および NAND の名称の定義は、正論理の考え方に従っている。

MIL-STD-806 B には、他の各種の論理記号を定めているので、詳しくは、原文を参照されたい。

3.5 カタログに用いている記号

カタログに用いている記号は、その定義を明確にし、理解しやすくするために工夫された独得のものを使用している。電気的特性を示すパラメタの記号の定義を3.5.1項に、論理回路図を理解するために、MIL-STD-806 B に示されている論理記号に用いる記号および論理信号の記号の定義を3.5.2項に示す。MIL-STD-806 B の論理記号の内部に用いられている記号は、すべて“H”のとき“能動”となるよう定義されている。

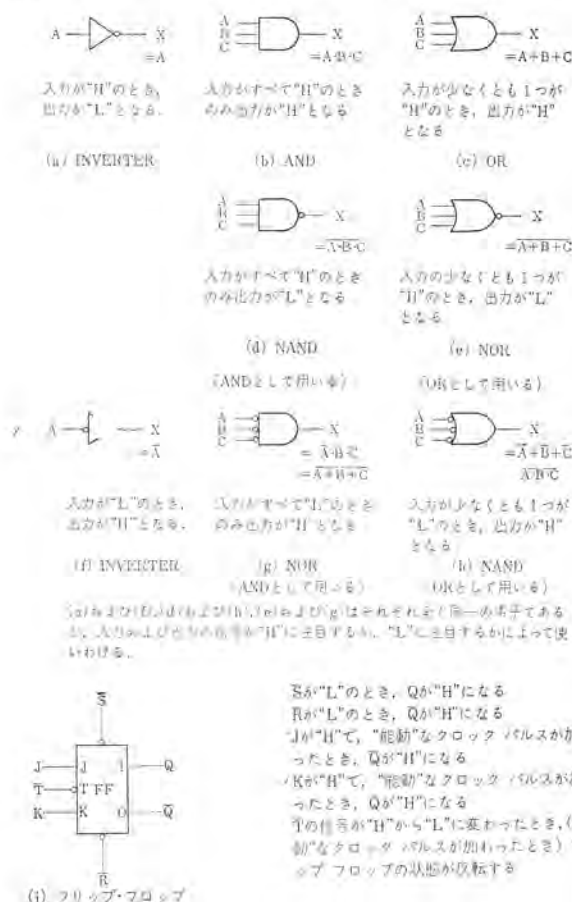


図 3.3 MIL-STD-806 B の論理記号とその説明

3. 5. 1 カタログに用いている電気的特性を示す記号の定義

(1) デジタル 回路用の記号

C_I	$V_{IH}(T)$ を印加したときの入力容量。
F_I	ファン イン。入力端子に接続可能な外部論理回路数。
F_O	ファン アウト。出力端子に接続可能な外部論理回路数。
f_r	パルス 波形の繰返し周波数をいう。
H	高い論理 レベルを示す。サフィックスとして示されているときは、その個所のレベルが高レベルであることを示す。
I_{CC}	V_{CC} 電源から、回路に流入する全回路電流。
I_{IH}	入力端子に V_{IH} を印加したとき、回路に流入するシンク電流 (Sink Current)。負荷電流になる。
I_{IL}	入力端子に V_{IL} を印加したとき、回路から流出するソース電流 (Source Current)。負荷電流になる。
I_{OH}	出力レベルが“H”のとき、すなわち回路が“OFF”のとき、出力端子から負荷に向かって流れ出すソース電流。
I_{OL}	出力レベルが“L”のとき、すなわち回路が“ON”のとき、出力端子に流入するシンク電流。
I_{OHH}	出力レベルが“H”のとき、すなわち回路が“OFF”のとき、出力端子を GND に短絡したときに流出する電流。これは過渡的に容量負荷を充電する電流なので、原則的に DC 測定は短期間に行ない、1 パッケージ内で2出力以上は同時に短絡してはいけない。
L	低い論理 レベルを示す。サフィックスとして示されているときは、その個所のレベルが低レベルであることを示す。
P_d	回路が消費する平均電力。($P_{dIH} + P_{dIL}$) / 2 と定義する。
P_{dIH}	出力レベルが“H”のとき、すなわち、回路が“OFF”のときに回路が消費する電力、 V_{CC} と I_{CCH} の積で定義する。
P_{dIL}	出力レベルが“L”のとき、すなわち、回路が“ON”のときに、回路が消費する電力、 V_{CC} と I_{CCL} の積で定義する。
P_w	パルス 幅。とくに指定がない場合には、パルス 振幅の 50 % のレベルを通過する時間間隔をいう。
T_a	周囲温度をいう。
t_r	パルス の立下がり時間。とくに指定がない場合には、パルス 振幅の 90 % から 10 % の値になるまでの時間をいう。
t_{hold}	ホールド 時間。記憶回路 (フリップ フロップ または シフト レジスタ) に情報を入れる場合、クロック パルス が加えられてから、情報が完全に記憶されるために必要な情報信号の保持時間をいう。
t_{off}	ターン オフ 時間。回路が“OFF”から“ON”になる伝ば遅延時間。とくに指定がない場合には、入力、および出力レベルの 1.5 V を通過する時間間隔をいう。
t_{on}	ターン オン 時間。回路が“OFF”から“ON”になる伝ば遅延時間。とくに指定がない場合には、入力および出力レベルの 1.5 V を通過する時間間隔をいう。
T_{opg}	回路の動作周囲温度をいう。
t_{pd}	平均伝ば遅延時間。($t_{on} + t_{off}$) / 2 で定義する。
t_r	パルス の立上がり時間。とくに指定がない場合には、パルス

t_{reset}	リセット 時間。記憶回路 (フリップ フロップ) のリセット入力端子にリセット信号を加えてから、回路がリセットを完了するまでの時間をいう。
t_{set}	セット 時間。記憶回路 (フリップ フロップ) のセット入力端子にセット信号を加えてから、回路がセットを完了するまでの時間をいう。
t_{set-up}	セット アップ 時間。記憶回路 (フリップ フロップ または シフト レジスタ) に情報を入れる場合、クロック パルス に対して先行して加えられる情報信号と、クロック パルス との時間間隔をいう。
T_{stg}	保存周囲温度をいう。原則として、急激な温度変化および機械的外力は加えないものとする。
V_{CC}	回路つ出力 トランジスタ のコレクタ 側に印加される電源電圧。
V_{IH}	高レベルの入力電圧をいう。
$V_{IH}(T)$	回路を“ON”にするような入力立上がり電圧 (スレッシユホールド 電圧)。
V_{IL}	低レベルの入力電圧をいう。
$V_{IL}(T)$	回路を“OFF”にするような入力立上がり電圧 (スレッシユホールド 電圧)。
V_{INH}	出力が“ON”状態にある回路を“OFF”にするような入力側の雑音電圧 (負極性)。
V_{INL}	出力が“OFF”状態にある回路を“ON”にするような入力側の雑音電圧 (正極性)。
V_{OH}	回路が“OFF”のときの高レベルの出力電圧。
V_{OL}	回路が“ON”のときの、低レベルの出力電圧。
V_P	パルス 振幅。別に、論理振幅 (Logic swing) ともいう。
X	サフィックスとして用い、“H”レベルおよび“L”レベル以外の特異な バイアス 条件で測定する場合を示す。

(2) リニア 回路用の記号

AMR	AM 抑圧比。規定量だけ FM 変調された入力に対する低周波出力電圧と、同一の搬送周波数を規定量だけ AM 変調した入力に対する低周波出力電圧の比を dB 単位で表わしたものの。
C_{in}	並列入力容量。入力端子からみた接地電位に対するインピーダンスの容量分。
C_{out}	並列出力容量。出力端子からみた接地電位に対するインピーダンスの容量分。
G_v	電圧利得。入力に加えられる電圧と負荷抵抗に現われる電圧の比を dB 単位で表わしたものの。
P_T	全消費電力。無負荷、無入力時の消費電力。
R_{in}	並列入力抵抗。入力端子からみた接地電位に対するインピーダンスの抵抗分。
$R_O(disc)$	弁別器出力抵抗。出力端子と接地電位の間で、低周波出力電圧の変化の出力電流の変化に対する比。
R_{out}	並列出力抵抗。出力端子からみた接地電位に対するインピーダンスの抵抗分。
THD	全高調波ひずみ。出力端子と接地電位の間で測定する。全高調波成分の基本波成分に対する比を%で表わしたも

	の。
$V_{i(lim)}$	入力リミッティング電圧。出力信号が最大値から3dBだけ下がるときの入力信号電圧。
$V_0(af)$	復調AF電圧。規定量だけFM変調された入力に対して、出力に現われる低周波電圧の実効値。
3. 5. 2 カタログに用いている論理信号を示す記号の定義	
1	フリップフロップの論理記号の内部に用いて、セット入力に“能動”な信号を加えたとき、“能動”な信号が得られる出力端子。
0	フリップフロップの論理記号の内部に用いて、リセット入力に“能動”な信号を加えたとき、“能動”な信号が得られる出力端子。普通1出力端子と極性が逆である。
E	ゲートの論理記号の近くに記入して用い、入力数の増加を、そのゲートの正常な入力を用いなくて、他の回路を接続して行なう場合の入力増加端子 (extention of the input) を示す。
GND	Ground の略。接地のことをいう。
J	フリップフロップの論理記号の内部に用いて、J-Kフリップフロップの“J”入力端子を示す。
$\bar{J}$	フリップフロップの“J”入力信号に用いて、入力が“H”($\bar{J}$ のときは“L”)のとき、“能動”となる。
K	フリップフロップの論理記号の内部に用いて、J-Kフリップフロップの“K”入力端子を示す。
$\bar{K}$	フリップフロップの“K”入力信号に用いて、入力が“H”($\bar{K}$ のときは“L”)のとき、“能動”となる。
n	入力または出力信号の記号の右背に用いて、ビット時間nを表わす。たとえば、 Q^{n+1} は、ビット時間nのQ出力 Q^n が1ビット時間後、 Q^{n+1} になることを意味する。
NC	No Connection の略で、その端子は素子内部で接続されていないことを示す。
Q, $\bar{Q}$	フリップフロップの出力信号に用い、フリップフロップの1出力はQに、0出力は $\bar{Q}$ に対応する。
R	フリップフロップの論理記号の内部に用いて、R-Sフリップフロップの“R”入力端子を示す。クロック・パルスが加わってから、リセットがかかる入力はサフィックスTをつけて区別する (“ R_T ”)。
$\bar{R}$	フリップフロップの“R”入力信号に用いて、入力が“H”($\bar{R}$ のときは“L”)のとき、“能動”となる。クロックパルスが加わってから、リセットがかかる入力を“ R_T ”, リセット入力が加わると、直接リセットがかかる入力を“ R_D ”として区別する。
S	フリップフロップの論理記号の内部に用いて、R-Sフリップフロップが“S”入力端子を示す。クロックパルスが加わってから、セットがかかる入力はサフィックスTをつけて区別する (“ S_T ”)。
$\bar{S}$	フリップフロップの“S”入力信号に用いて、入力が“H”($\bar{S}$ のときは“L”)のとき、“能動”となる。クロックパルスが加わってから、リセットがかかる入力を“ S_T ”, リセット入力が加わると、直接セットがかかる入力を S_D として区

	別する。
T	フリップフロップの論理記号の内部に用いて、フリップフロップのクロック入力端子を示す。
$\bar{T}$	フリップフロップのクロック入力信号に用いて、入力が“L”から“H”($\bar{T}$ のときは“H”から“L”)に変わったとき、“能動”となる。
$T_J, \bar{T}_J$	パルス入力に加えたときに動作するJ-KフリップフロップのJ入力信号を示す。すなわち、入力が“L”から“H”($\bar{T}_J$ のときは“H”から“L”)に変わったとき、出力1が“H”になる。
$T_K, \bar{T}_K$	パルス入力に加えたときに動作するJ-KフリップフロップのK入力信号を示す。すなわち、入力が“L”から“H”($\bar{T}_K$ のときは“H”から“L”)に変わったとき、出力0が“H”になる。
V_{CC}	回路の出力トランジスタのコレクタ側に印加される電源電圧端子を示す。

4. 三菱モレクトロンの外形と形名

4. 1 三菱モレクトロンの外形

現在量産中の三菱モレクトロンに採用されているパッケージには、図4.1に示したプラスチックモールド形デュアルインラインパッケージ、メタルシール形デュアルインラインパッケージおよび図4.2に示したTO-5類似パッケージの3種類がある。

このデュアルインラインパッケージ(略称DILパッケージ)は、一般工業機器用の集積回路に適した形状に設計されたものである。集積回路の歴史からいみると、初めアメリカにおいて、軍用、とくに航空宇宙機器用として発達したので、小形軽量である必要性から、フラットパッケージが用いられていた。ところが、集積回路の用途が、地上用、静止機器用、一般民生用と広がるにつれ、実装時に、スポット溶接とか、スタックマウントなどの高価で特殊な技術を要するフラットパッケージを用いて、小形化する必要がなくなってきた。

DILパッケージは、フラットパッケージと同一のリード端子数をもち、この実装上の不便さを取り除いたものである。DILパッケージは、外形が適当に大きく、取り扱いが便利で、プリント基板への取り付けは、プラグイン式に行なうことができ、手動および自動双方のそう入方法に適しており、かつリード線のすきまが2.54mmピッチであるので、必要により、リード線とリード線の間に、プリント配線を通すことができ、プリント基板設計の自由度が増加する。これらの利点に加え、三菱電機では、国内で最初にDILパッケージのプラスチックモールド形の量

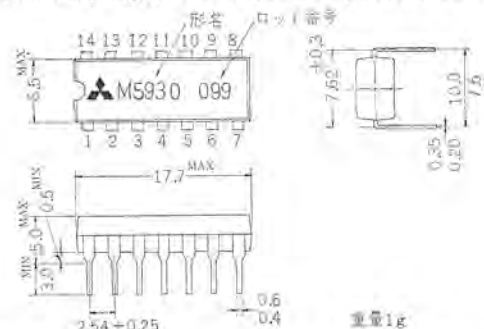


図 4.1 プラスチックモールド形デュアルインラインパッケージ

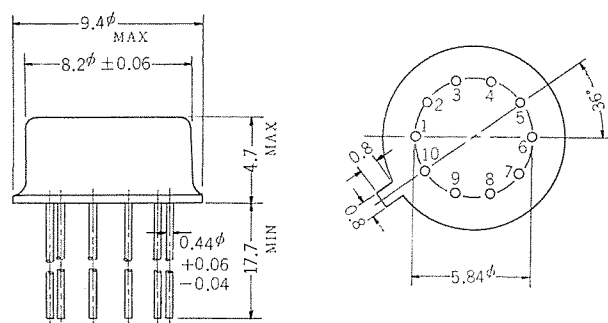


図 4.2 TO-5 類似 パッケージ

産に成功しているの、低価格のDILパッケージの集積回路が実現されている。

メタルシール形デュアルインラインパッケージは、金属製の底とふたの間にリード線をハーメチックシールした構造のものである。おもな構成材料が金属なので熱抵抗が小さく、消費電力が大きい集積回路のパッケージに適している。また使用周囲温度範囲の広い（たとえば、 $-55 \sim +125^{\circ}\text{C}$ ）ものに用いられ、しかも完全ハーメチックシールとなっているので、とくに高信頼度が要求される集積回路用に適している。

TO-5 類似パッケージは、トランジスタ用として広く用いられているTO-5形で、リード線が、8、10および12本とし、キャップの高さを低くしたものである。これは、トランジスタで経験した封じ技術および実装技術がそのまま採用できるという強味をもっている。ただし、リード端子数が最大12本であるので、入出力端子数が多く必要となるデジタル回路では、1パッケージ当たりの機能数が少なくなり、機能当たりの価格が割高になって適していない。一方、リード端子数が少なく、電気的シールドが必要なリニア回路には適している。

4.2 集積回路の端子番号

集積回路のピン番号の呼び方は、図4.1および図4.2にも示したとおり、底面からみて時計回りに基準線を考慮して設定されている機械的指標または視覚的指標のつぎに位置する端子から数えて、1、2、3……と番号をつける。

4.3 三菱モレクトロンの形名

三菱モレクトロン半導体集積回路の標準品の形名は、下記に示す方法でつけられている。

三菱モレクトロン形名(例) $\overbrace{\text{M} \ 5 \ 3 \ 4 \ 0 \ \text{P}}^{(1)(2)(3)(4)(5)}$

(1) M: Mitsubishi Molelectron の標準品を示す。

(2) 5: 動作周囲温度範囲を示す。

5: $0 \sim +75^{\circ}\text{C}$

9: $-55 \sim +125^{\circ}\text{C}$

(3) 3: シリーズ名を示す。

1: リニア回路

3: TTL

9: DTL

(4) 40: 回路名を示す。ランニング番号を用いる。

(5) P: 外形を示す。

P: プラスチックモールド形デュアルインラインパッケージ

S: メタルシール形デュアルインラインパッケージ

T: TO-5 類似パッケージ

5. TTL M5300 P シリーズ

5.1 特長

M5300 P シリーズは、HLTTL (High Level Transistor Transistor Logic) 回路である。

(1) 平均伝ば遅延時間が13 ns である。

(2) ノイズマージンが高く、DC雑音に対し、標準値1 V、さらに素子の“ON”および“OFF”の両状態において出力インピーダンスが低いので容量性の負荷や、AC雑音にも強く設計されている。

(3) 平均消費電力がゲート当たり10 mW である。

(4) 基本ゲートは、 $T_{\text{opg}} = 0 \sim +75^{\circ}\text{C}$ 、 $V_{\text{CC}} = 4.5 \sim 5.5 \text{ V}$ において、ファンアウト $F_0 = 10$ を保証している。

(5) フリップフロップおよびシフトレジスタは、完全なDC結合であり、回路的には基本ゲートと同様な構成となっているのでゲート類との入出力の結合が容易である。

(6) 品種が多いのでほとんどの論理システムを構成することができる。

(7) 8ビットシフトレジスタなどの集積度の高い素子もありL.S.Iの線に沿いやすい。

(8) わが国最初のプラスチックモールド方式による量産化に成功しているため安価で一般工業用、民生用機器に向いている。

図5.1にはM5340 P Quadruple 2-input NAND gateの、また図5.2にはM5391 P 8-bit shift registerのパターン写真を示す。

5.2 ブロック図

M5300 P シリーズのブロック図を図5.3に示す。これらの10品種はすべて14番ピンが電源端子、7番ピンがアース端子に統一されている。

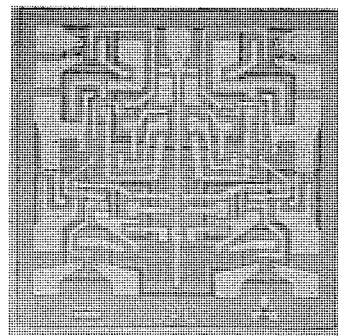


図 5.1 M5340 P Quadruple 2-input NAND gate のパターン写真

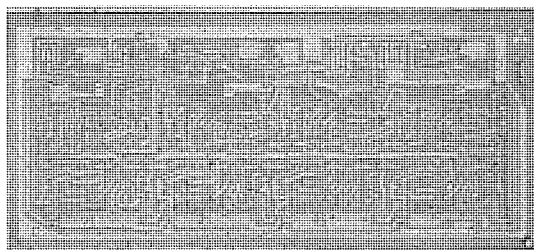


図 5.2 M5391 P 8-bit shift register のパターン写真

5.3 回路図 (図 5.4~5.13)

5.4 電気的特性

M5300 P シリーズの電気的特性を表 5.1~5.7 に示す。電圧の定義は回路の GND 端子⑦を基準 (0 V) とし、電流は回路に流入する方向を“正” (無記号) とし、流出する方向を“負” (一記号) とし、表わす。

5.5 動作

(1) ゲート

基本ゲート回路はの入力数および、1ブロック内のゲート数により分けられ、現在、M5310 P、M5320 P、M5330 P および、M5340 P の4品種がある。これらはそれぞれゲート当たりの入力数が異なるのみで、他の回路諸元は同一である。

図 5.14 (a) によりその動作を説明すると、すべての入力に“1”信号 (“H”) がはいると、 R_1 を流れる電流は、 Q_1 のベースコレクタを通して Q_2 のベース電流となり、 Q_2 、 Q_3 は“ON”状態となる。したがって Q_4 、 Q_5 は“OFF”状態になり、出力 X には“0”信号 (“L”) が現われる。

一つ以上の入力に“0”信号 (“L”) がはいると、 R_1 を流れる電流は、 Q_1 のベースエミッタを通して入力側に流れ出る。したがって Q_2 、 Q_3 は“OFF”、 Q_4 、 Q_5 は“ON”状態となり、出力 X には“1”信号 (“H”) が現われる。

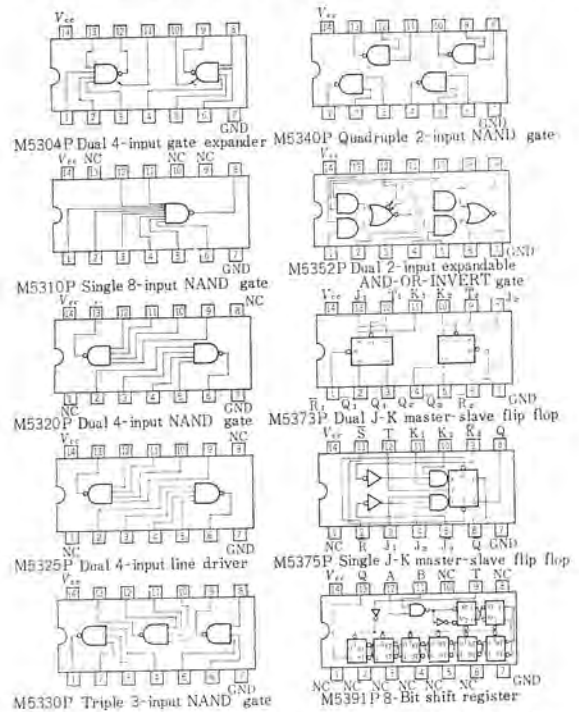


図 5.3 DTL M5300 P シリーズのブロック図 (上面図)

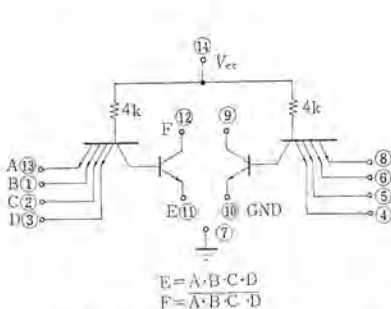


図 5.4 M5304 P Dual 4-input gate expander.

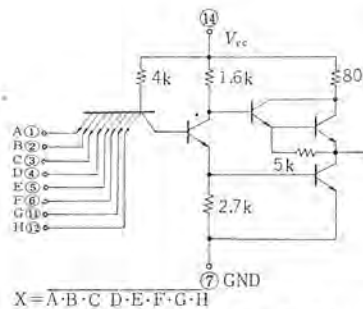


図 5.5 M5310 P Single 8-input NAND gate.

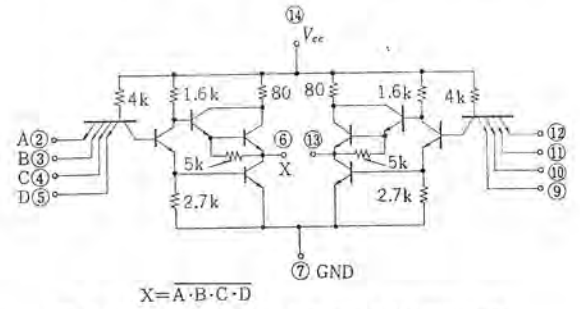


図 5.6 M5320 P Dual 4-input NAND gate.

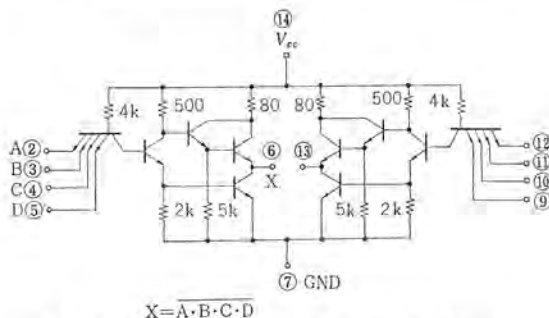


図 5.7 M5325 P Dual 4-input line driver.

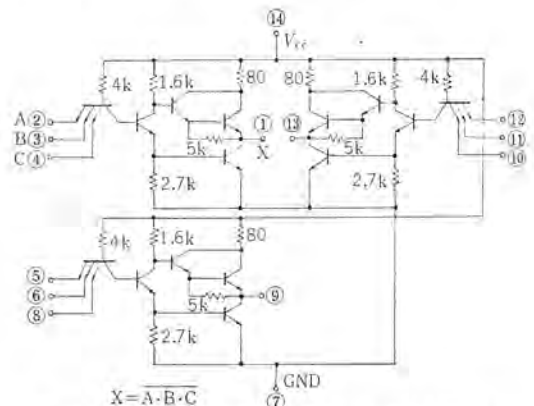


図 5.8 M5330 P Triple 3-input NAND gate.

以上の2つの状態を論理記号で示すと、図 5.14 (b) のようになり、正論理で NAND 機能を持つことがわかる。

このように出力が“L”、“H”いずれのときにも、 Q_3 か Q_5 が“ON”状態になっているので、出力インピーダンスは常に低くなっている。このことは、配線による浮遊容量や回路の入力容量などの、容量負荷の充放電時間を早め、高速動作を行なうとともに、AC 雑音に対しても強い要因となっている。またゲートトランジスタ Q_1 (マルチエミッタトランジスタ) は DTL の入力ダイオードと同様の AND 回路を

構成しているが、DTL と異なるのは Q_1 のトランジスタ動作によって、入力の1つが“0”信号 (“L”) となったとき Q_2 の蓄積電荷を急速に取去ることができ、回路の高速動作を可能にしている。

(2) M5352 P

2入力の AND 回路2個が OR 接続され、その出力に inverter が接続された形のゲートが、2回路はいっている。そのうちの1回路

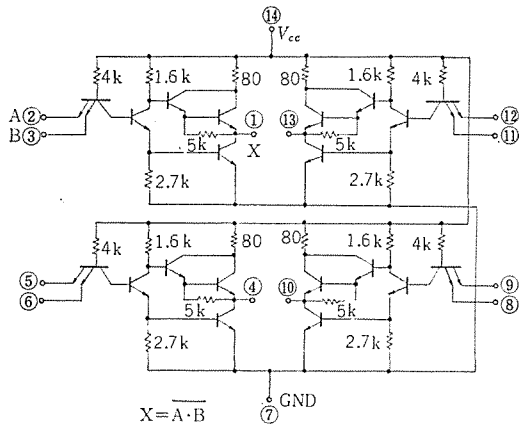


図 5.9 M 5340 P Quadruple 2-input NAND gate.

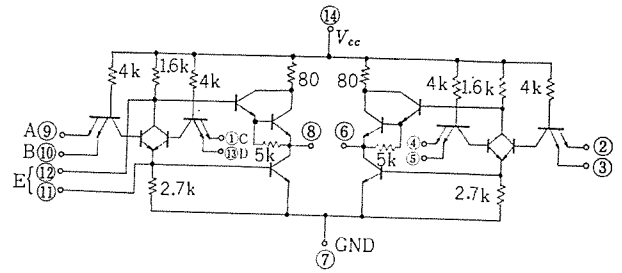
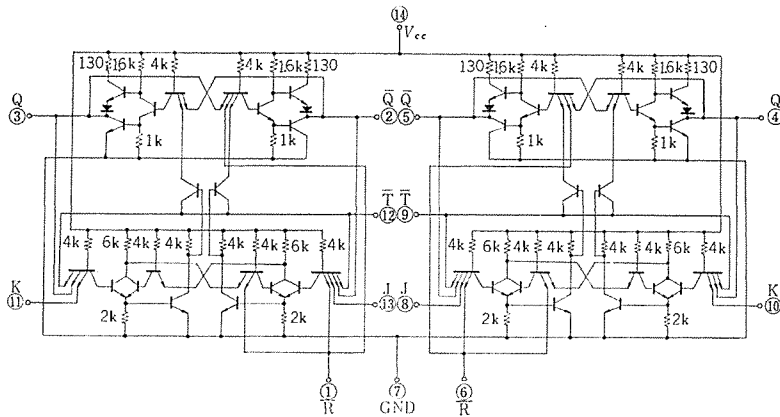


図 5.10 M 5352 P Dual 2-input expandable AND-OR-INVERT gate.



真 理 値 表		
tn	tn+1	
J	K	Q
0	0	Qn
0	1	0
1	0	1
1	1	$\overline{Qn}$

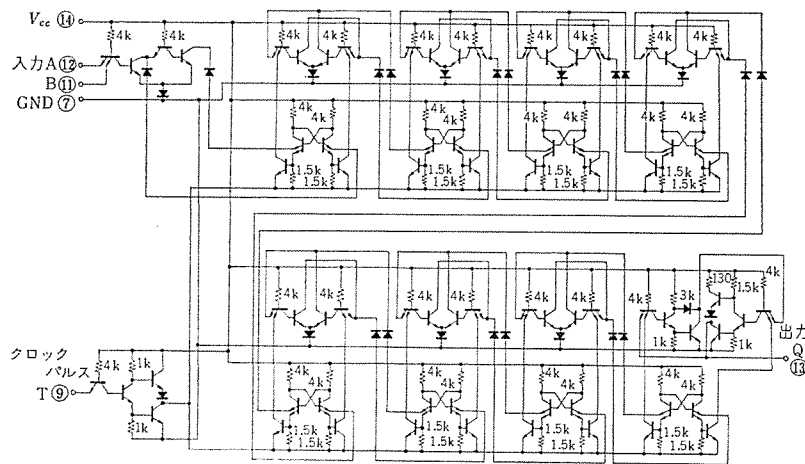
- 注) 1 tn: クロック パルス前のビット時間
2 tn+1: クロック パルス後のビット時間
3 R: "0" のとき出力 Q は "0" になる

図 5.11 M 5373 P Dual J-K Master-slave flip flop.

真 理 値 表		
tn	tn+1	
J	H	Q
0	0	Qn
0	1	0
1	0	1
1	1	$\overline{Qn}$

- 注)
1 J: $J_1 \cdot J_2 \cdot J_3$
2 K: $K_1 \cdot K_2 \cdot K_3$
3 tn: クロック。パルス前のビット時間
4 tn+1: クロック。パルス後のビット時間
5 $\overline{J_3}$ および $\overline{K_3}$ を用いない場合 GND に接続しなければならない。
6 S: "0" のとき、出力 Q は "1" になる。
7 R: "0" のとき、出力 Q は "0" になる。

図 5.12 M 5375 P Single J-K Master-slave flip flop.



真 理 値 表		
tn	tn+8	
A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

- 注) 1 tn: クロック。パルス前のビット時間
2 tn+8: クロック。パルス 8 の後のビット時間

図 5.13 M 5391 P 8-bit shift register.

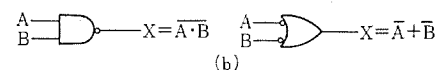
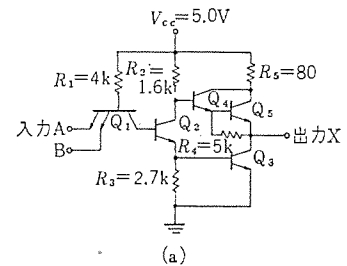


図 5.14 TTL M 5300 P シリーズの基本回路とその論理記号

表 5.1 M5304 P Dual 4-input gate expander.

(1) 直流特性

項 目	記 号	条 件	周囲温度 °C	規 格 値			
				最 小	標 準	最 大	単 位
“1” 入力電圧	$V_{IH}(T)$	$V_{CC}=4.5\text{ V}$	0	2.0			VDC
		$V_{CC}=4.5\text{ V}$	+25	1.9			VDC
		$V_{CC}=4.5\text{ V}$	+75	1.7			VDC
“0” 入力電圧	$V_{IL}(T)$	$V_{CC}=4.5\text{ V}$	0			1.1	VDC
		$V_{CC}=4.5\text{ V}$	+25			1.0	VDC
		$V_{CC}=4.5\text{ V}$	+75			0.8	VDC
“1” 入力電流	I_{IH}	$V_{CC}=5.5\text{ V}$ $V_I=4.5\text{ V}$	0			25	μADC
		$V_{CC}=5.5\text{ V}$ $V_I=4.5\text{ V}$	+25			30	μADC
		$V_{CC}=5.5\text{ V}$ $V_I=4.5\text{ V}$	+75			40	μADC
“0” 入力電流	I_{IL}	$V_{CC}=5.5\text{ V}$ $V_I=0.4\text{ V}$	0			-1.6	mADC
		$V_{CC}=5.5\text{ V}$ $V_I=0.4\text{ V}$	+25			-1.5	mADC
		$V_{CC}=5.5\text{ V}$ $V_I=0.4\text{ V}$	+75			-1.3	mADC
“0” 出力電圧	V_{OL}	$V_{CC}=4.5\text{ V}$ $V_I=1.9\text{ V}$ $I_{OL}=3.6\text{ mA}$, (R=900 Ω) $V_{\text{⑩}}$ or $V_{\text{⑪}}=0.85\text{ V}$	+25			1.25	VDC
“1” 出力電流	I_{OH}	$V_{CC}=4.5\text{ V}$ $V_I=1.0\text{ V}$ $V_{\text{⑩}}$ or $V_{\text{⑪}}=6.0\text{ V}$ V_{CC} =と⑩ or ⑪ 間ic 910 Ω を接続	+25			200	μADC
消費電力	P_d	$V_{CC}=5.0\text{ V}$ (各ゲート) $V_I=0\text{ V}$ および 5.0 V の平均	+25		4.5		mW
入力容量	C_i	$V_{CC}=5.0\text{ V}$ $V_I=2.0\text{ V}$ (1 MHz, 2.5 mV rms) $V_{\text{⑩}}$ or $V_{\text{⑪}}=0.85\text{ V}$	+25		3		pF

(2) スイッチング特性

ターン・オン時間	t on	$V_{CC}=5.0\text{ V}$ $F_0=10$	+25			20	ns
ターン・オフ時間	t off	$V_{CC}=5.0\text{ V}$ $F_0=1$	+25			35	ns

表 5.2 M5310 P Single 8-input NAND gate M5320 P Dual 4-input NAND gate
M5330 P Triple 3-input NAND gate M5340 P Quadruple 2-input NAND gate

(1) 直流特性

項 目	記 号	条 件	周囲温度 °C	規 格 値			
				最 小	標 準	最 大	単 位
“1” 入力電圧	$V_{IH}(T)$	$V_{CC}=4.5\text{ V}$ $V_O=0.4\text{ V}$ $I_{OL}=16\text{ mA}$ (R=256 Ω)	0	2.0			VDC
		$V_{CC}=4.5\text{ V}$ $V_O=0.4\text{ V}$ $I_{OL}=18\text{ mA}$ (R=228 Ω)	+25	1.9			VDC
		$V_{CC}=4.5\text{ V}$ $V_O=0.4\text{ V}$ $I_{OL}=13\text{ mA}$ (R=315 Ω)	+75	1.7			VDC
“0” 入力電圧	$V_{IL}(T)$	$V_{CC}=4.5\text{ V}$ $V_O=2.4\text{ V}$ $I_{OH}=-250\text{ }\mu\text{A}$ (R=9.6 k Ω)	0			1.1	VDC
		$V_{CC}=4.5\text{ V}$ $V_O=2.4\text{ V}$ $I_{OH}=-360\text{ }\mu\text{A}$ (R=6.7 k Ω)	+25			1.0	VDC
		$V_{CC}=4.5\text{ V}$ $V_O=2.4\text{ V}$ $I_{OH}=-400\text{ }\mu\text{A}$ (R=6.0 k Ω)	+75			0.8	VDC
“1” 入力電流	I_{IH}	$V_{CC}=5.5\text{ V}$ $V_I=4.5\text{ V}$	0			25	μADC
		$V_{CC}=5.5\text{ V}$ $V_I=4.5\text{ V}$	+25			30	μADC
		$V_{CC}=5.5\text{ V}$ $V_I=4.5\text{ V}$	+75			40	μADC
“0” 入力電流	I_{IL}	$V_{CC}=5.5\text{ V}$ $V_I=0.4\text{ V}$	0			-1.6	mADC
		$V_{CC}=5.5\text{ V}$ $V_I=0.4\text{ V}$	+25			-1.5	mADC
		$V_{CC}=5.5\text{ V}$ $V_I=0.4\text{ V}$	+75			-1.3	mADC
“1” 出力電圧	V_{OH}	$V_{CC}=4.5\text{ V}$ $V_I=1.1\text{ V}$ $I_{OH}=-250\text{ }\mu\text{A}$ (R=9.6 k Ω)	0	2.4			VDC
		$V_{CC}=4.5\text{ V}$ $V_I=1.0\text{ V}$ $I_{OH}=-360\text{ }\mu\text{A}$ (R=6.7 k Ω)	+25	2.4	2.9		VDC
		$V_{CC}=4.5\text{ V}$ $V_I=0.8\text{ V}$ $I_{OH}=-400\text{ }\mu\text{A}$ (R=6.0 k Ω)	+75	2.4			VDC
“0” 出力電圧	V_{OL}	$V_{CC}=4.5\text{ V}$ $V_I=2.0\text{ V}$ $I_{OL}=16\text{ mA}$ (R=256 Ω)	0			0.4	VDC
		$V_{CC}=4.5\text{ V}$ $V_I=1.9\text{ V}$ $I_{OL}=18\text{ mA}$ (R=228 Ω)	+25		0.25	0.4	VDC
		$V_{CC}=4.5\text{ V}$ $V_I=1.7\text{ V}$ $I_{OL}=13\text{ mA}$ (R=315 Ω)	+75			0.4	VDC
“1” 消費電力	P_{dH}	$V_{CC}=5.0\text{ V}$ $V_I=0\text{ V}$ (各ゲート)	+25		5		mW
“0” 消費電力	P_{dL}	$V_{CC}=5.0\text{ V}$ $V_I=5.0\text{ V}$ (各ゲート)	+25		15		mW
出力短絡電流 (注)	I_{OGH}	$V_{CC}=5.0\text{ V}$ $V_I=0\text{ V}$ $V_O=0\text{ V}$	+25	-20		-70	mADC
入力容量	C_i	$V_{CC}=5.0\text{ V}$ $V_I=2.0\text{ V}$ (1 MHz, 25 mV rms)	+25		3		pF

注) 同時に2ゲート以上は短絡しないこと。

(2) スイッチング特性

ターン・オン時間	t on	$V_{CC}=5.0\text{ V}$ $F_0=10$ (R=300 Ω , C=45 pF)	+25		10	20	ns
ターン・オフ時間	t off	$V_{CC}=5.0\text{ V}$ $F_0=1$	+25		20	35	ns

表 5.3 M5325 P Dual 4-input line driver

(1) 直流特性

項 目	記 号	条 件	周囲温度 °C	規 格 値			
				最 小	標 準	最 大	単 位
“1” 入力電圧	VIH(T)	VCC=4.5 V VO=0.4 V IOL=48 mA (R=85 Ω)	0	2.0			VDC
		VCC=4.5 V VO=0.4 V IOL=54 mA (R=76 Ω)	+25	1.9			VDC
		VCC=4.5 V VO=0.4 V IOL=39 mA (R=105 Ω)	+75	1.7			VDC
“0” 入力電圧	VIL(T)	VCC=4.5 V VO=2.4 V IOH=-750 μA (R=3.2 kΩ)	0			1.1	VDC
		VCC=4.5 V VO=2.4 V IOH=-1,080 μA (R=2.2 kΩ)	+25			1.0	VDC
		VCC=4.5 V VO=2.4 V IOH=-1,200 μA (R=2.0 kΩ)	+75			0.8	VDC
“1” 入力電流	IIH	VCC=5.5 V VI=4.5 V	0			25	μADC
		VCC=5.5 V VI=4.5 V	+25			30	μADC
		VCC=5.5 V VI=4.5 V	+75			40	μADC
“0” 入力電流	IIL	VCC=5.5 V VI=0.4 V	0			-1.6	mADC
		VCC=5.5 V VI=0.4 V	+25			-1.5	mADC
		VCC=5.5 V VI=0.4 V	+75			-1.3	mADC
“1” 出力電圧	VOH	VCC=5.5 V VI=1.1 V IOH=-750 μA (R=3.2 kΩ)	0	2.4			VDC
		VCC=4.5 V VI=1.0 V IOH=-1,080 μA (R=2.2 kΩ)	+25	2.4	2.9		VDC
		VCC=4.5 V VI=0.8 V IOH=-1,200 μA (R=2.0 kΩ)	+75	2.4			VDC
“0” 出力電圧	VOL	VCC=4.5 V VI=2.0 V IOL=48 mA (R=85 Ω)	0			0.4	VDC
		VCC=4.5 V VI=1.9 V IOL=54 mA (R=76 Ω)	+25		0.25	0.4	VDC
		VCC=4.5 V VI=1.7 V IOL=39 mA (R=105 Ω)	+75			0.4	VDC
“1” 消費電力	PdH	VCC=5.0 V VI=0 V (各ゲート)	+25		10		mW
“0” 消費電力	PdL	VCC=5.0 V VI=5.0 V (各ゲート)	+25		43		mW
出力短絡電流 (注)	IOGH	VCC=5.0 V VI=0 V VO=0 V	+25	-20		-70	mADC
入 力 容 量	CI	VCC=5.0 V VI=2.0 V (1 MHz, 25 mV rms)	+25		3		pF

注) 同時に2ゲートは短絡しないこと。

(2) スイッチング特性

ターンオン・時間	t on	VCC=5.0 V FO=10 (R=100 Ω, C=145 pF)	+25		10	20	ns
ターンオフ・時間	t off	VCC=5.0 V FO=1	+25		20	35	ns

表 5.4 M5352 P Dual 2-input expandable AND-OR-INVERT gate

(1) 直流特性

項 目	記 号	条 件	周囲温度 °C	規 格 値			
				最 小	標 準	最 大	単 位
“1” 入力電圧	VIH(T)	VCC=4.5 V VO=0.4 V IOL=16 mA (R=256 Ω)	0	2.0			VDC
		VCC=4.5 V VO=0.4 V IOL=18 mA (R=228 Ω)	+25	1.9			VDC
		VCC=4.5 V VO=0.4 V IOL=13 mA (R=315 Ω)	+75	1.7			VDC
“0” 入力電圧	VIL(T)	VCC=4.5 V VO=2.4 V IOH=-250 μA (R=9.6 kΩ)	0			1.1	VDC
		VCC=4.5 V VO=2.4 V IOH=-360 μA (R=6.7 kΩ)	+25			1.0	VDC
		VCC=4.5 V VO=2.4 V IOH=-400 μA (R=6.0 kΩ)	+75			0.8	VDC
“1” 入力電流	IIH	VCC=5.5 V VI=4.5 V	0			25	μADC
		VCC=5.5 V VI=4.5 V	+25			30	μADC
		VCC=5.5 V VI=4.5 V	+75			40	μADC
“0” 入力電流	IIL	VCC=5.5 V VI=0.4 V	0			-1.6	mADC
		VCC=5.5 V VI=0.4 V	+25			-1.5	mADC
		VCC=5.5 V VI=0.4 V	+75			-1.3	mADC
“0” 出力電圧	VOLX	VCC=4.5 V VI=0 V IOL=18 mA (R=228 Ω) ⑩⑪を短絡する	+25			0.4	VDC
“1” 出力電圧	VOH	VCC=4.5 V VI=1.1 V IOH=-250 μA (R=9.6 kΩ)	0	2.4			VDC
		VCC=4.5 V VI=1.0 V IOH=-360 μA (R=6.7 kΩ)	+25	2.4	2.9		VDC
		VCC=4.5 V VI=0.8 V IOH=-400 μA (R=6.0 kΩ)	+75	2.4			VDC
“0” 出力電圧	VOL	VCC=4.5 V VI=2.0 V IOL=16 mA (R=256 Ω)	0			0.4	VDC
		VCC=4.5 V VI=1.9 V IOL=18 mA (R=228 Ω)	+25		0.25	0.4	VDC
		VCC=4.5 V VI=1.7 V IOL=13 mA (R=315 Ω)	+75			0.4	VDC
“1” 消費電力	PdH	VCC=5.0 V VI=0 V (各ゲート)	+25		10		mW
“0” 消費電力	PdL	VCC=5.0 V VI=5.0 V (各ゲート)	+25		19		mW
出力短絡電流 (注)	IOGH	VCC=5.0 V VI=0 V VO=0 V	+25	-20		-70	mADC
入 力 容 量	CI	VCC=5.0 V VI=0 V (1 MHz, 25 mV rms)	+25		3		pF

注) 同時にゲートは短絡しないこと。

(2) スイッチング特性

ターンオン・時間	t on	VCC=5.0 V FO=10	+25		10	20	ns
ターンオフ・時間	t off	VCC=5.0 V FO=1	+25		20	35	ns

表 5.5 M 5373 P Dual J-K master-slave flip flop.

(1) 直流特性

項 目	記 号	条 件	周囲温度 °C	規 格 値			
				最 小	標 準	最 大	単 位
“1” 入力電圧	V _{IH} (T)	V _{CC} =4.5 V	0	2.0			V _{DC}
		V _{CC} =4.5 V	+25	1.9			V _{DC}
		V _{CC} =4.5 V	+75	1.7			V _{DC}
“0” 入力電圧	T _{IH} (T)	V _{CC} =5.5 V	0			1.1	V _{DC}
		V _{CC} =5.5 V	+25			1.0	V _{DC}
		V _{CC} =5.5 V	+75			0.8	V _{DC}
“1” 入力電流 (J, K)	I _{IH}	V _{CC} =5.5 V V _I =4.5 V	0			25	μADC
		V _{CC} =5.5 V V _I =4.5 V	+25			30	μADC
		V _{CC} =5.5 V V _I =4.5 V	+75			40	μADC
“1” 入力電流 (R, T)	I _{IH}	V _{CC} =5.5 V V _I =4.5 V	0			75	μADC
		V _{CC} =5.5 V V _I =4.5 V	+25			90	μADC
		V _{CC} =5.5 V V _I =4.5 V	+75			120	μADC
“0” 入力電流 (J, K)	I _{IL}	V _{CC} =5.5 V V _I =0.4 V	0			-1.6	mADC
		V _{CC} =5.5 V V _I =0.4 V	+25			-1.5	mADC
		V _{CC} =5.5 V V _I =0.4 V	+75			-1.3	mADC
“0” 入力電流 (R, T)	I _{IL}	V _{CC} =5.5 V V _I =0.4 V	0			-4.8	mADC
		V _{CC} =5.5 V V _I =0.4 V	+25			-4.5	mADC
		V _{CC} =5.5 V V _I =0.4 V	+75			-3.9	mADC
“1” 出力電圧	V _{OH}	V _{CC} =4.5 V I _{OH} =-250 μA (R=9.6 kΩ)	0	2.4			V _{DC}
		V _{CC} =4.5 V I _{OH} =-360 μA (R=6.7 kΩ)	+25	2.4	3.2		V _{DC}
		V _{CC} =4.5 V I _{OH} =-400 μA (R=6.0 kΩ)	+75	2.4			V _{DC}
“0” 出力電圧	V _{OL}	V _{CC} =4.5 V I _{OL} =16 mA (R=256 Ω)	0		0.25	0.4	V _{DC}
		V _{CC} =4.5 V I _{OL} =18 mA (R=228 Ω)	+25		0.25	0.4	V _{DC}
		V _{CC} =4.5 V I _{OL} =13 mA (R=315 Ω)	+75		0.4		V _{DC}
消費電力	P _d	V _{CC} =5.0 V (フリップ・フロップ)	+25		40		mW
出力短絡電流 注)	I _{OGH}	V _{CC} =5.0 V V _O =0	+25	-20		-70	mADC
入力容量 (J, K)	C _I	V _{CC} =5.0 V V _I =2.0 V (1 MHz, 25 mV rms)	+25		3		pF
入力容量 (R, T)	C _I	V _{CC} =5.0 V V _I =2.0 V (1 MHz, 25 mV rms)	+25		9		pF

注) 同時に2出力以上は短絡しないこと。

(2) スイッチング特性

最小リセット時間	t _{reset}	V _{CC} =5.0 V V _I =2.0 V (負極性)	+25		15		ns
ターン・オン時間	t _{on}	V _{CC} =5.0 V F _O =10	+25		34	50	ns
ターン・オフ時間	t _{off}	V _{CC} =5.0 V F _O =1	+25		26	50	ns

表 5.6 M 5375 P Single J-K master-slave flip flop.

(1) 直流特性

項 目	記 号	条 件	周囲温度 °C	規 格 値			
				最 小	標 準	最 大	単 位
“1” 入力電圧	V _{IH} (T)	V _{CC} =4.5 V	0	2.0			V _{DC}
		V _{CC} =4.5 V	+25	1.9			V _{DC}
		V _{CC} =4.5 V	+75	1.7			V _{DC}
“0” 入力電圧	V _{IL} (T)	V _{CC} =5.5 V	0			1.1	V _{DC}
		V _{CC} =5.5 V	+25			1.0	V _{DC}
		V _{CC} =5.5 V	+75			0.8	V _{DC}
“1” 入力電流 (J ₁ , J ₂ , J ₃ , K ₁ , K ₂ , K ₃ および T)	I _{IH}	V _{CC} =5.5 V V _I =4.5 V	0			25	μADC
		V _{CC} =5.5 V V _I =4.5 V	+25			30	μADC
		V _{CC} =5.5 V V _I =4.5 V	+75			40	μADC
“1” 入力電流 (S, R)	I _{IH}	V _{CC} =5.5 V V _I =4.5 V	0			50	μADC
		V _{CC} =5.5 V V _I =4.5 V	+25			60	μADC
		V _{CC} =5.5 V V _I =4.5 V	+75			80	μADC
“0” 入力電流 (J ₁ , J ₂ , J ₃ , K ₁ , K ₂ , K ₃ および T)	I _{IL}	V _{CC} =5.5 V V _I =0.4 V	0			-1.6	mADC
		V _{CC} =5.5 V V _I =0.4 V	+25			-1.5	mADC
		V _{CC} =5.5 V V _I =0.4 V	+75			-1.3	mADC
“0” 入力電流 (S, R)	I _{IL}	V _{CC} =5.5 V V _I =0.4 V	0			-3.2	mADC
		V _{CC} =5.5 V V _I =0.4 V	+25			-3.0	mADC
		V _{CC} =5.5 V V _I =0.4 V	+75			-2.6	mADC
“1” 出力電圧	V _{OH}	V _{CC} =4.5 V I _{OH} =-250 μA (R=9.6 kΩ)	0	2.4			V _{DC}
		V _{CC} =4.5 V I _{OH} =-360 μA (R=6.7 kΩ)	+25	2.4	3.2		V _{DC}
		V _{CC} =4.5 V I _{OH} =-400 μA (R=6.0 kΩ)	+75	2.4			V _{DC}
“0” 出力電圧	V _{OL}	V _{CC} =4.5 V I _{OL} =16 mA (R=256 Ω)	0		0.25	0.4	V _{DC}
		V _{CC} =4.5 V I _{OL} =18 mA (R=228 Ω)	+25		0.25	0.4	V _{DC}
		V _{CC} =4.5 V I _{OL} =13 mA (R=315 Ω)	+75		0.4		V _{DC}
消費電力	P _d	V _{CC} =5.0 V	+25		70		mW
出力短絡電流 注)	I _{OGH}	V _{CC} =5.0 V V _I =0 V V _O =0 V	+25	-20		-70	mADC
入 力 容 量 (J ₁ , J ₂ , J ₃ , K ₁ , K ₂ , K ₃ および T)	C _I	V _{CC} =5.0 V V _I =2.0 V (1 MHz, 25 mV rms)	+25		3		pF
入 力 容 量 (S, R)	C _I	V _{CC} =5.0 V V _I =2.0 V (1 MHz, 25 mV rms)	+25		6		pF

注) 同時に2出力以上短絡しないこと。

(2) スイッチング特性

ターン・オン時間	t _{on}	V _{CC} =5.0 V F _O =10	+25		30	50	ns
ターン・オフ時間	t _{off}	V _{CC} =5.0 V F _O =1	+25		30	50	ns
セット・アップ時間	t _{set-up}	V _{CC} =5.0 V	+25		15		ns
ホールド時間	t _{hold}	V _{CC} =5.0 V	+25		10		ns

表 5.7 M 5391 P 8-bit shift register.

(1) 直流特性

項 目	記 号	条 件	周囲温度 °C	規 格 値			
				最 小	標 準	最 大	単 位
“1” 入力電圧	V _{IH} (T)	V _{CC} =4.5 V	0	2.0			V _{DC}
		V _{CC} =4.5 V	+25	1.9			V _{DC}
		V _{CC} =4.5 V	+75	1.7			V _{DC}
“0” 入力電圧	V _{IL} (T)	V _{CC} =5.5 V	0			1.1	V _{DC}
		V _{CC} =5.5 V	+25			1.0	V _{DC}
		V _{CC} =5.5 V	+75			0.8	V _{DC}
“1” 入力電流	I _{IH}	V _{CC} =5.5 V V _I =4.5 V	0			25	μADC
		V _{CC} =5.5 V V _I =4.5 V	+25			30	μADC
		V _{CC} =5.5 V V _I =4.5 V	+75			40	μADC
“0” 入力電流	I _{IL}	V _{CC} =5.5 V V _I =0.4 V	0			-1.6	μADC
		V _{CC} =5.5 V V _I =0.4 V	+25			-1.5	μADC
		V _{CC} =5.5 V V _I =0.4 V	+75			-1.3	μADC
“1” 出力電圧	V _{OH}	V _{CC} =4.5 V I _{OH} =-250 μA (R=9.6 kΩ)	0	2.4			V _{DC}
		V _{CC} =4.5 V I _{OH} =-360 μA (R=6.7 kΩ)	+25	2.4	3.2		V _{DC}
		V _{CC} =4.5 V I _{OH} =-400 μA (R=6.0 kΩ)	+75	2.4			V _{DC}
“0” 出力電圧	V _{OL}	V _{CC} =4.5 V I _{OL} =16 mA (R=228 Ω)	0			0.4	V _{DC}
		V _{CC} =4.5 V I _{OL} =18 mA (R=228 Ω)	+25		0.25	0.4	V _{DC}
		V _{CC} =4.5 V I _{OL} =13 mA (R=315 Ω)	+75			0.4	V _{DC}
消費電力	P _d	V _{CC} =5.0 V	+25		165	300	mW
出力短絡電流	I _{OGH}	V _{CC} =5.0 V V _O =0 V	+25	-20		-70	mADC
入 力 容 量	G _I	V _{CC} =5.0 V V _I =2.0 V	+25		3		pF

(2) スイッチング特性

ターン・オン時間	t _{on}	V _{CC} =5.0 V F _O =10	+25		27	40	ns
ターン・オフ時間	t _{off}	V _{CC} =5.0 V F _O =1	+25		24	40	ns
“1” セット・アップ時間	t _{set-upH}	V _{CC} =5.0 V	+25	-25	-15		ns
“0” セット・アップ時間	t _{set-upL}	V _{CC} =5.0 V	+25	-25	-12		ns
“1” ホールド時間	t _{holdH}	V _{CC} =5.0 V	+25		-12	0	ns
“0” ホールド時間	t _{holdL}	V _{CC} =5.0 V	+25		-15	0	ns

はゲートエキスパンダ M 5304 P を用いて、4 入力の AND 回路をさらに 4 回路まで、OR 接続できる。回路諸元はほとんど基本ゲート回路と同一である。AND 回路の 1 入力のみを用いると、2 入力 NOR 回路となる。AND-OR 構成の論理回路に用いると、素子数を減少することができる。

(3) M 5325 P

4 入力 AND 回路が 2 ゲートはいつているが、基本ゲート素子に比べ、3 倍の直流負荷 (ファンアウト=30) および、容量負荷が駆動できる。カウンタのクロック駆動回路とか、シフトレジスタのクロック回路など、ファンアウトの大きな回路に使用すれば、素子数を減少することができる。

(4) M 5373 P

これは直流結合のマスタースレイブ方式のデュアル J-K フリップフロップで、はん用性はピン数から多少の制限を受けるが、低価格フリップフロップを提供しようとするものである。このフリップフロップには、各 1 個の J および K 入力端子と、直結リセット入力端子、クロックの入力端子がつき、Q および $\bar{Q}$ の出力端子がある。直結リセット入力 $\bar{R}$ はこれを“L”としたとき、他の入力条件に無関係に、出力 Q が“L”となる。

J 入力、K 入力と、クロック入力 $\bar{T}$ の関係は図 5.11 にも真理値表で示したが、ことばでいえば、J K 両入力共に“L”のときに、 $\bar{T}$ に正極性のパルスを入れても、出力、Q、 $\bar{Q}$ の状態は変わらない。

J 入力を“L”に、K 入力を“H”にして、 $\bar{T}$ に正極性パルスを加えれば、パルスを加える前の状態に関係なく、出力 Q は“L”に、 $\bar{Q}$ は“H”になることを示している。

J 入力、K 入力ともに“H”として、 $\bar{T}$ に正極性パルスを加えれば、出力は、パルスを加える前の状態から反転する。

クロック入力波形と、JK 入力の関係は、正極性パルスの立ち上がり部分で、そのときの J 入力、K 入力の条件によりこれにつながるマスターフリップフロップが動作する。次にパルスの立ち下がり部分で、このマスターフリップフロップの状態が、出力端子 Q、 $\bar{Q}$ に接続されるスレイブフリップフロップに移り、Q、 $\bar{Q}$ に出力となって表われる。

なおこのフリップフロップの直結リセット入力、およびクロック入力は、それぞれ、ゲート 3 個分の負荷に相当する。

(5) M 5375 P

M 5373 P と同様の、直流結合の J-K マスタースレイブフリップフロップであるが、その J、K 入力数を増加しはん用性を持たせるとともに、動作が高速となっている。J、K 入力にはそれぞれ INVERT 回路が 1 個ずつはいつているので、コンプリメンタリな入力が必要となき、および NAND ゲートを用いて、J または K の AND 入力を増加したいときに便利である。そのようなことが必要でないときには、これらの $\bar{J}_3$ 、および $\bar{K}_3$ 端子は接地しておく必要がある。

このフリップフロップは、クロック入力端子 T が“L”のときの J、K 入力端子の状態により、T が“H”となった瞬間に、出力 Q および $\bar{Q}$ の状態が決まる。M 5373 P は、クロックの立ち上がりでマスターフリップフロップが記憶を行ない、次の立ち下がりでスレイブフリップフロップが動作して出力 $\bar{Q}$ 、Q に現われたが、M 5375 P では、立ち上がりのときに、すぐ出力 Q、 $\bar{Q}$ に現われる。この点が大きな特長である。

(6) M 5391 P

この素子は8ビットSerial In Serial Outシフトレジスタで、2入力のAND入力と、それに対応した8ビットめの出力Q、そしてクロック入力の端子がある。入力信号はABのAND回路を通して、クロックパルスの立ち上がりで、1ビット右へシフトされていく。2つの入力の一方を接地しておけば、他方の入力への信号には無関係に、クロックパルスのたびに“L”が1ビットずつ右へシフトされていく。

6. DTL M 5930 P シリーズ

6.1 特長

M 5930 P シリーズは、DTL (Diode Transistor Logic) である。

- (1) 平均伝ば遅延時間が 25 ns である。
- (2) 平均消費電力がゲートあたり 8 mW である。
- (3) 基本ゲートは、 $T_{\text{opg}}=0\sim+75^{\circ}\text{C}$ 、 $V_{\text{CC}}=4.5\sim 5.5\text{ V}$ において、ファンアウト $F_0=8$ を保証している。
- (4) 論理レベルの値が、TTL M 5300 P シリーズと互換性がある。
- (5) 2つ以上のゲートの出力を結ぶのみで、AND 結合 (Wired AND, AND tie) ができ、ゲート数を減らせる。
- (6) M 5930 P を用いれば、簡単に入力数の増加が可能である。

図 6. 1 には、M 5346 P Quadruple 2-input NAND gate のパターン写真を示す。

6.2 ブロック図

M 5930 P シリーズのブロック図を、図 6. 2 に示す。これらの5品種



図 6. 1 M 5346 P Quadruple 2-input NAND gate のパターン写真

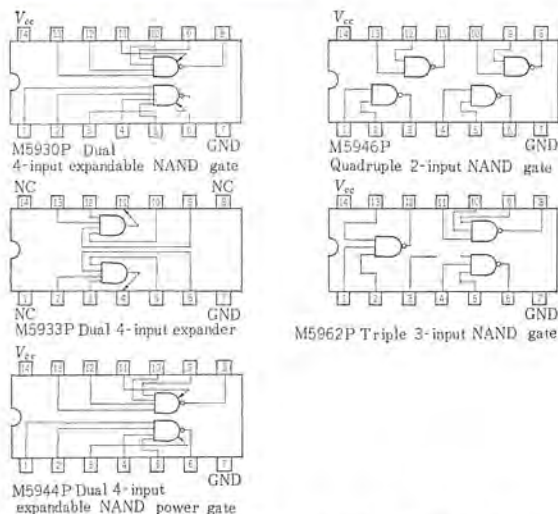


図 6. 2 DTL M 5930 P シリーズのブロック図 (上面図)

は、7番ピンがアース端子に、そしてエキスパンダのほかに14番ピンが電源端子に統一されている。

6.3 回路図 (図 6. 3~6. 7)

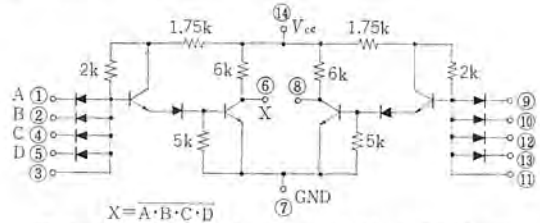


図 6. 3 M 5930 P dual expandable NAND gate.

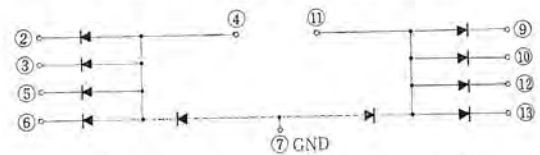


図 6. 4 M 5933 P Dual 4-input expander.

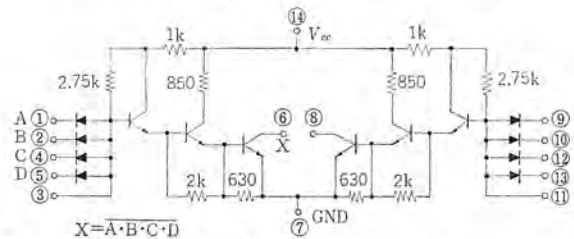


図 6. 5 M 5944 P Dual 4-input expandable NAND power gate.

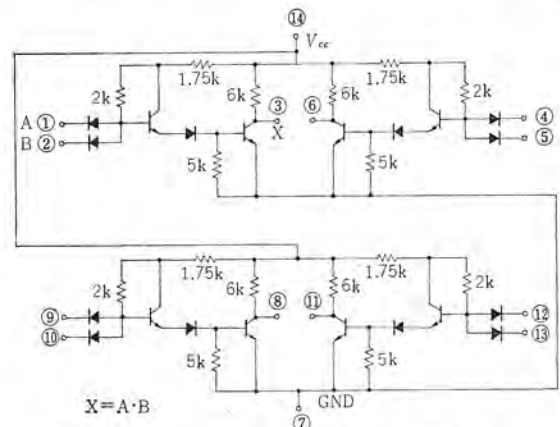


図 6. 6 M 5946 P Quadruple 2-input NAND gate.

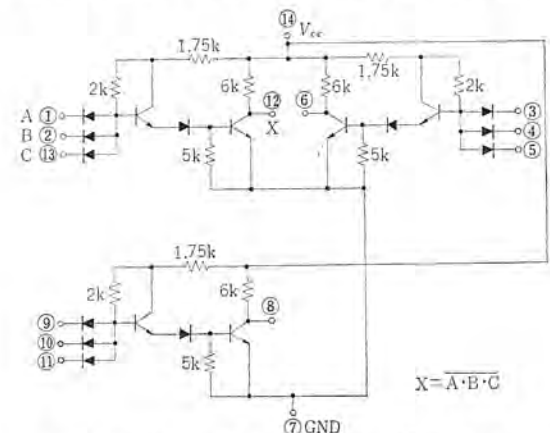


図 6. 7 M 5962 P Triple 3-input NAND gate.

6.4 電気的特性

M 5930 P シリーズの電気的特性を表 6. 1～6. 3 に示す。

6.5 動作

(1) ゲート

M 5300 P シリーズと同様に、ゲートの入力数および1ブロック内のゲート数により分けられ、M 5930 P、M 5946 P、そして M 5962 P の3品種がある。

図 6. 8 によりその動作を述べると、すべての入力に“1”信号(“H”)がはいると、 R_1 を流れる電流は Q_1 のベース電流となり、 D_3 には Q_1 のベース電流とコレクタ電流が流れ、 Q_2 がバイアスされて“ON”状態となる。すなわち出力Xには“0”信号(“L”)が現われる。

1つ以上の入力に“0”信号(“L”)がはいると、 Q_1 のベース電流は入力のダイオードの方に流れるので、 Q_1 は“OFF”状態となる。従って Q_2 のベース電流もなくなり“OFF”となる。すなわち出力Xには“1”信号(“H”)が現われる。

以上の2つの状態を論理記号で示すと図 6. 8 (b) のようになり、正論理で NAND 機能を持つことがわかる。この回路は“OFF”状態の出力電圧を電源電圧近くまで上昇させることもでき、電圧のスイングを大きくとることができる。

M 5930 P は入力数増加用の端子が付いているため、ここに、M 5933 P を接続して、AND ゲートの入力を増加することができる。またこの端子を用いて、ワンショットマルチバイブレータとかシュミットトリガー

などを構成する特殊な応用も考えられる。

(2) M 5933 P

共通アノードのダイオード4個を、2組集積したもので、M 5930 P とともに用いて、ゲートの入力数を増加することができる。またダイオードマトリックスを構成することも可能である。

(3) M 5944 P

4入力 NAND 回路が2ゲートはいつているが、基本ゲート素子に比べ、約3倍の直流負荷(ファンアウト=27)の駆動が可能である。感度の高いリレーとか、豆球などを点灯することもでき、各種の制御用機器への用途は広い。

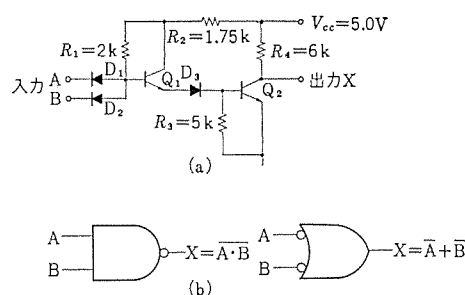


図 6. 8 DTL M 5930 P シリーズの基本ゲート回路とその論理記号

表 6. 1 M 5930 P Dual 4-input expandable NAND gate M 5946 P Quadruple 2-input NAND gate.
M 5962 P Triple 3-input NAND gate.

(1) 直流特性

項 目	記 号	条 件	周囲温度 $^{\circ}\text{C}$	規 格 値		
				最 小	最 大	単 位
“1” 入 力 電 流	I _{IH}	V _{CC} =5.5 V V _I =4 V	0		5	μA
		V _{CC} =5.5 V V _I =4 V	25		5	μA
		V _{CC} =5.5 V V _I =4 V	75		10	μA
“0” 入 力 電 流	I _{IL}	V _{CC} =5.5 V V _I =0.4 V V _R =4 V	0		1.5	mA
		V _{CC} =5.5 V V _I =0.4 V V _R =4 V	25		1.5	mA
		V _{CC} =5.5 V V _I =0.4 V V _R =4 V	75		1.4	mA
“1” 出 力 電 圧	V _{OIH}	V _{CC} =4.5 V V _I =1.2 V I _{OH} =-0.12 mA	0	2.6		V
		V _{CC} =4.5 V V _I =1.1 V I _{OH} =-0.12 mA	25	2.6		V
		V _{CC} =4.5 V V _I =0.95 V I _{OH} =-0.12 mA	75	2.5		V
“0” 出 力 電 圧	V _{OL}	V _{CC} =4.5 V V _I =2 V I _{OL} =12 mA	0		0.4	V
		V _{CC} =4.5 V V _I =1.9 V I _{OL} =12 mA	25		0.4	V
		V _{CC} =4.5 V V _I =1.8 V I _{OL} =11.4 mA	75		0.45	V
“1” 電 源 電 流	I _{CCH}	V _{CC} =8 V	25		2.75	mA/Gate
“0” 電 源 電 流	I _{CCL}	V _{CC} =5 V	25		3.25	mA/Gate
出 力 短 絡 電 流	I _{OS}	V _{CC} =5.5 V V _I =0 V V _O =0 V	0		1.3	mA
		V _{CC} =5.5 V V _I =0 V V _O =0 V	25		1.3	mA
		V _{CC} =5.5 V V _I =0 V V _O =0 V	75		1.25	mA
出 力 逆 電 流	I _{OH}	V _{CC} =V _O =4.5 V	25		50	μA
“1” 出 力 電 圧※ (エキスパンダー端子に対し)	I _{OHE}	V _{CC} =4.5 V V _{I(x)} =1.8 V I _{OH} =-0.12 mA	25	2.6		V

※ M 5930 P にのみ適用する

(2) スイッチング特性

タ ー ン ・ オ ン 時 間	t _{on}	V _{CC} =5 V R=400 Ω C=50 pF	25		30	ns
タ ー ン ・ オ フ 時 間	t _{off}	V _{CC} =5 V R=3.9 k Ω C=30 pF	25		80	ns

表 6.2 M 5933 P Dual 4-input expander.

(1) 直流特性

項 目	記 号	条 件	周囲 温度 °C	規 格 値		
				最小	最大	単 位
入力ダイオード 順方向電圧	V _F	I _O =2 mA	0	0.75	0.90	V
		I _O =2 mA	25	0.68	0.82	V
		I _O =2 mA	75	0.60	0.75	V
入力ダイオード 逆方向電流	I _{IR}	V _I =4 V	0		5	μA
		V _I =4 V	25		5	μA
		V _I =4 V	75		10	μA
基板逆方向電流	I _{OR}	V _O =4 V	25		10	μA

表 6.3 M 5944 P Dual 4-input expandable NAND gate.

(1) 直流特性

項 目	記 号	条 件	周囲 温度 °C	規 格 値		
				最小	最大	単 位
“1” 入力電流	I _{IH}	V _{CC} =5.5 V V _I =4 V	0		5	μA
		V _{CC} =5.5 V V _I =4 V	25		5	μA
		V _{CC} =5.5 V V _I =4 V	75		10	μA
“0” 入力電流	I _{IL}	V _{CC} =5.5 V V _I =0.4 V V _R =4 V	0		1.5	mA
		V _{CC} =5.5 V V _I =0.4 V V _R =4 V	25		1.5	mA
		V _{CC} =5.5 V V _I =0.4 V V _R =4 V	75		1.4	mA
“1” 出力電圧	V _{OL}	V _{CC} =5.5 V V _I =0 V I _{sink} =5 mA	25	6		V
“0” 出力電圧	V _{OL}	V _{CC} =4.5 V V _I =2 V I _{OL} =40 mA	0		0.4	V
		V _{CC} =4.5 V V _I =1.9 V I _{OL} =40 mA	25		0.4	V
		V _{CC} =4.5 V V _I =1.8 V I _{OL} =38 mA	75		0.45	V
“1” 電源電流	I _{CCH}	V _{CC} =8 V	25		3	mA/Gate
“0” 電源電流	I _{CCL}	V _{CC} =5 V	25		10	mA/Gate
出力 逆電流	I _{OH}	V _{CC} =5.5 V V _I =1.1 V V _O =4.5 V	25		100	μA
出力 逆電流 (エキスパンダー 端子に対し)	I _{OHE}	V _{CC} =5.5 V V _{I(X)} =1.8 V V _O =4.5 V	25		100	μA

(2) スイッチング特性

ターン・オン時間	t _{on}	V _{CC} =5 V R=150 Ω C=100 pF	25		35	ns
ターン・オフ時間	t _{off}	V _{CC} =5 V R=510 Ω C=20 pF	25		50	ns

7. リニア IC M 5113 T (Wide-band Amplifier-Discriminators)

7.1 M 5113 T の特長

M 5113 T は、テレビの音声回路や FM 受信機に最適な広帯域増幅器と FM 復調器を有するリニア IC である。

テレビの音声回路では、映像検波ののちに取り出された FM 4.5 MHz の音声中間周波信号を、雑音その他の AM 変調成分を除去するために十分に増幅し、振幅制限を行なったのち FM 復調し、音声信号に変換することが必要である。M 5113 T は、以上にのべたよ

うな音声中間周波増幅、振幅制限、FM 復調および低周波前置増幅という 4 つの機能に加えて周囲温度や電源電圧の変動による特性の変化を補償するために安定化電源を内蔵している。

M 5113 T の特長は、

- (1) 4.5 MHz で 64 dB の高い電圧利得
- (2) 入力リミッティング電圧 500 μV (4.5 MHz) の良好なリミッタ特性
- (3) 高い AM 抑圧比 50 dB (4.5 MHz)
- (4) 高能率の AF 復調、4.5 MHz で 25 kHz 偏移で 160 mV
- (5) 広い周波数範囲への応用 100 kHz~20 MHz

となっていて、FM 受信機やテレビの音声系のフリンジ受信が大幅に向上する。

7.2 M 5113 T の回路図

M 5113 T の等価回路を図 7.1 に示す。トランジスタ 12 個、ダイオード 12 個、抵抗 14 個、計 38 個の素子から構成される回路が微小なシリコン基板 (チップの大きさ 1.5 mm×1.5 mm) 上に集積されて、TO-5 類似のケースに収められている。

7.3 M 5113 T の動作

M 5113 T の動作解析図は図 7.2 のようである。入力 V_i は映像搬送波 58.75 MHz と音声搬送波 54.15 MHz とのビートによる 4.5 MHz の FM 変調 インターキャリア 中間周波信号である。入力側の Q の高いトランスは 4.5 MHz 以外のビート成分を除去し、雑音帯域幅を制限する。

リミッタを経た FM 信号は、移相トランスによって周波数変移に応じて二次電圧の移相がずれる。平衡形検波部はダーリントン接続されたエミッタフォロアの終段に連なり、終段は電流増幅すると同時に低インピーダンスで AF 出力を送り出す。

IF アンプ部とリミッタ部は、3 段の直結カスケードより成り、最初の 2 段はエミッタフォロアベース、接地、エミッタフォロアの 3 石直結接続で、入出力端での直流電位が同じになるよう、ベース電位を安定化電源出力 E (=4.2 V) の半分 E/2 に選び、またエミッタ結合増幅のエミッタ負荷抵抗を R/2、すなわちコレクタ負荷抵抗 R の半分にとっている。したがって、エミッタおよびコレクタ両負荷の電圧降下は等しくなる。エミッタ結合のコレクタは、ベース電位より V_{BE} だけ高くなるので、エミッタフォロアの出力電位もやはり E/2 となる。これが繰返されている。

したがって、トランジスタや抵抗の温度変化にかかわらず各段の出力

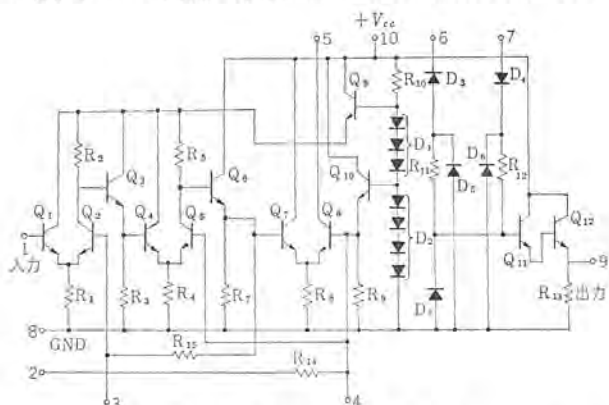


図 7.1 M 5113 T の等価回路

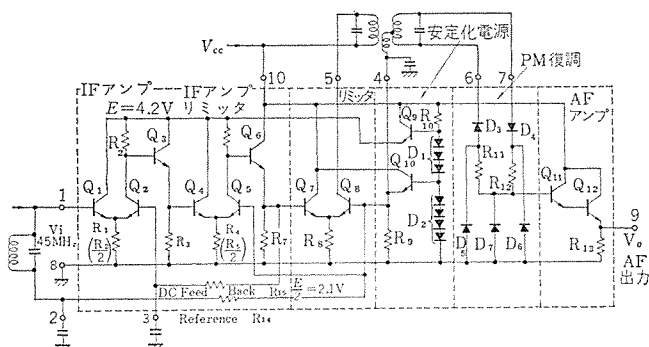


図 7.2 M5113T の動作解析図

電位は次の入力電位に等しくなる。とくに V_{BE} の変化はエミッタ結合の方の利得が下がると、逆にエミッタフォロア側の利得が上昇するように補償されている。

アンプの利得は負荷抵抗の絶対値に無関係であり、増幅の動作はエミッタ、コレクタ両負荷抵抗の値の比で決まる。半導体 IC では、抵抗値のバラツキを $\pm 20\%$ 以内におさめることは非常に困難であるが、抵抗比は比較的一定に保つことが容易である。

差動増幅器は本質的に、ある一定レベル上の入力に対しては、出力レベルを飽和させるリミッタ効果を有する。リミッタの差動増幅器は、入力信号半サイクルごとに2個のトランジスタが交互にカットオフとなり、全電流は一定に保たれて良好なリミッタの働きをする。コレクタ電圧が 4.2V (6V_{BE}) に保たれれば、リミッタの出力波形の正負は対称性が良好である。

最初の2段の直流動作点は直流帰還によって保持される。この帰還によって第3段のベース電位は $E/2$ に保たれるので、第3段も自動的に適当な動作点に保持され、帰還ループに含めなくてすむ。したがって帰還ループに含まれる段数が少なくなるので発振の可能性も減少する。

安定化電源部では、直列ダイオード回路で駆動される二つのエミッタフォロアが、 $E=4.2\text{V}$ および $E/2=2.1\text{V}$ の低インピーダンス安定化電圧を供給し、電源電圧の変動に対して動作を一定に保っている。

第1および第2増幅段は安定化電圧による駆動であるが、第2段のエミッタフォロアのコレクタのみは、非安定の外部電源に接続され、 4.2V 電源の出力インピーダンス両端に帰還信号が形成されるのを防止している。

FM 復調部は移相トランスを除き、すべて IC 化されている。フォスターシーレやラジオ検波では負荷に大きな容量を接続するが、大容量の IC 化はむづかしいので、ここでは負荷が本質的には抵抗性の、位相検波形 FM 復調が用いられている。

移相トランス2次出力は1次電圧に対して 90° の位相差であるが、FM 信号がはいると FM 変調に応じて次電圧の位相が変化するので、平衡形検波器でこの変化を検出する。信号周波数とその高調波成分は、負荷抵抗の分布容量と逆バイアスされるダイオード D_5 、 D_6 、 D_7 の接合容量で波される。

負荷が容量性の検波接続では RF 妨害が出力にパルス性ノイズ（スパイク）を形成するが、この回路のような抵抗性負荷の位相検波では、容量のノイズによる電圧変動がなく、RF 妨害を軽減できる。通常の FM 復調回路では抵抗値が $\pm 20\%$ も変動すると、出力レベルや

復調特性の直線性に変化を及ぼすが、この IC では抵抗性負荷のため影響がきわめて少ない。また平衡形であることと拡散抵抗ゆえその値は互いに一致し合うことにより、抵抗値そのものが変動しても、AM 除去が良好に行なわれる。

トランスの三次巻線を通して、FM 復調部の入出力にも、AF アンプ部にも 2.1V のバイアスがかかる。復調ダイオードを基板（接地）から正電位で動作させることは、信号電圧入力時にも基板に対し、 D_3 、 D_4 を逆バイアスとする。信号時には、 R_{11} 、 R_{12} の接続点がこの 2.1V にクランプされて、 D_5 、 D_6 、 D_7 は常に逆バイアスとなり、おおよそ 7pF の小容量として作用する。中心周波数では R_{11} 、 R_{12} の接続点は 2.1V で、これは続くエミッタフォロア出力段への正バイアスとなる。中心周波数から上下への偏移で、電圧は正負に振れ、復調 AF 電圧が形成される。

7.4 M5113T の特性

M5113T の最大定格と主要な電気的特性を表 7.1 と表 7.2 に示す。

図 7.3 に電圧利得の周波数依存性を、図 7.4 にリミッティング特性を示す。

7.5 M5113T の応用

(1) テレビ 45MHz 音声回路への応用

M5113T をテレビの音声回路に採用することにより、部品数の減少と製造工程の簡略化が行なわれて低コスト化ができると同時に、リミッタ作用と FM 復調作用が本質的に改善され、フリッジエリアでのテレビの音声受信が向上する。図 7.5 は、12 インチ 白黒テレビに応用した例である。

(2) 10.7MHz ラジオ 中間周波増幅段への応用

M5113T は FM 受信機にももちろん利用できる。とくに flat で位相変調のない広帯域リミッタ特性を要求する受信機にも使用できる。

図 7.6 は、M5113T を2個使用した 10.7MHz 中間周波増幅回路であり、前段は広帯域増幅器の部分のみを利用し、段間に 10.7MHz のフィルタを使用している。

8. 三菱モロクトロンの信頼度確認

集積回路の信頼度は、適当な設計、厳格な製造工程の管理および適切な製品の評価によって得られるものである。信頼度を向上するためには、設計および製造工程の管理が主要な役割を演ずるが、できあがった製品の信頼度を維持するために、製品の評価を行なって信頼度の確認を行なうことが主要となる。ここでは、プラスチックモールド形パッケージの半導体集積回路 TTL M5300P シリーズおよび DTL M5930P シリーズの信頼度確認試験および信頼度データに関して述べる。

表 7.1 最大定格 (周囲温度 $T_a=25^\circ\text{C}$)

項 目	記 号	定 格 値	単 位
電 源 電 圧	V_{CC}	10	V
動 作 温 度	T_{opg}	$-20 \sim +75$	$^\circ\text{C}$
保 存 温 度	T_{stg}	$-65 \sim +125$	$^\circ\text{C}$
入 力 信 号 電 圧	V_i	± 3	V
消 費 電 力	P_T	300	mW
最 小 動 作 電 源 電 圧	$V_{CC}(\min)$	5.5	V

表 7.2 電気的特性 (周囲温度 $T_a=25^\circ\text{C}$)

項 目	記 号	測定条件		規 格			単 位
		周波数 f	DC 電 源電圧 V_{CC}	最小値	標準値	最大値	
		MHz	V				
全消費電力	PT	—	6	60	90	133	mW
		—	7.5	87	120	183	
電圧利得	GV	1	7.5	65	70	—	dB
		4.5	7.5	56	64	—	
		10.7	7.5	50	55	—	
並列入力抵抗	Rin	4.5	7.5	—	3	—	k Ω
並列入力容量	Cin	4.5	7.5	—	7	—	pF
並列出力抵抗	Rout	4.5	7.5	—	75	—	k Ω
並列出力容量	Cout	4.5	7.5	—	6	—	pF
入力リミッティング 電圧 (肩電圧)	Vi(lim)	4.5	7.5	—	500	750	μV
復調 AM 電圧	Vo(af)	4.5	6 7.5	100	130 160	—	mV
AM 抑圧比	AMR	4.5	7.5	—	50	—	dB
弁別器出力抵抗	Ro(disc)	4.5	7.5	—	60	—	Ω
全高調波ひずみ	THD	4.5	7.5	—	1.4	—	%

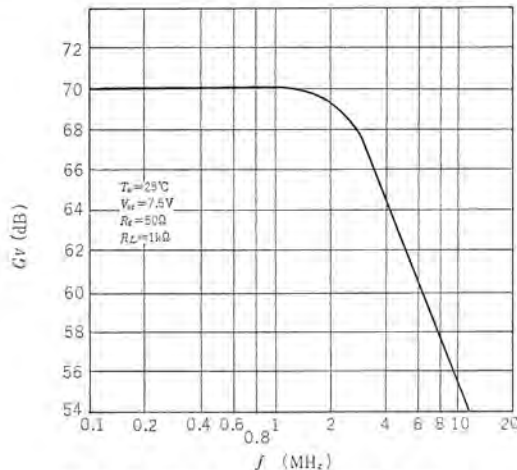


図 7.3 電圧利得 (G_V) の周波数依存性

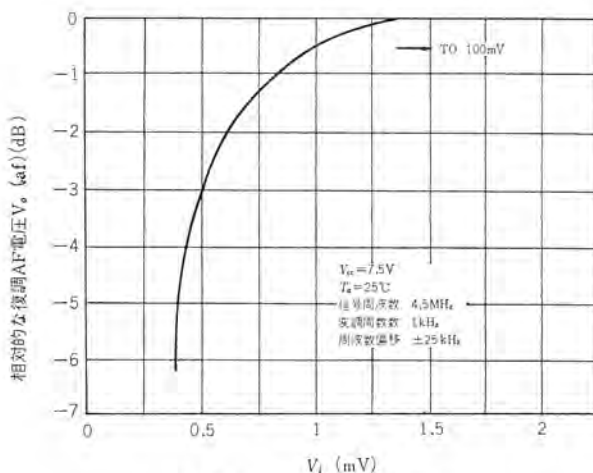


図 7.4 リミッティング特性

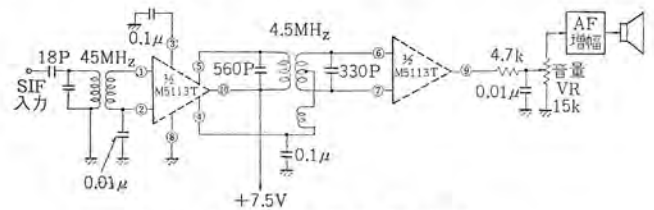


図 7.5 テレビ音声回路例

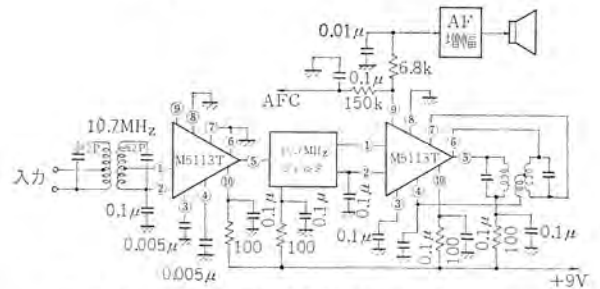


図 7.6 FM ラジオ 10.7 MHz 中間周波増幅回路例

表 8.1 プラスチック モールド 形集積回路の信頼度確認試験

全数試験

サブグループ	試験項目	条 件	方 法
1	熱エージング	100°C, 15~24 時間	
	温度サイクル	-20°C ↔ 100°C, 各 1 時間, 5 サイクル	

ロット保証試験

サブグループ	試験項目	条 件	方 法
1	熱 衝 撃	0°C ↔ 100°C, 各 1 時間, 5 サイクル 移転時間 3 秒以下	MIL-STD-750, 1056.1
	耐 湿	65°C, 95%RH, 96 時間	MIL-STD-202, 103 B

型式試験および定期的抜取り試験

サブグループ	試験項目	条 件	方 法
1	ハンダ浸し	260°C, 10 秒間, 全端子同時	MIL-STD-750, 2031.1
	温度サイクル	最低保存温度 30 分間 ↔ 最高保存温度 30 分間, 5 サイクル, 移転時間 10 分	MIL-STD-750, 1051.1
	熱 衝 撃	0°C ↔ 100°C, 各 1 時間, 移転時間 3 秒以下	MIL-STD-750, 1056.1
2	落 下	2m, 3 回, かえて製木板上へ自然落下, Y ₁ 軸方向	JIS-C-7030, 5.4
	振 動 疲 勞	10 G, Y 軸方向, 32 時間	MIL-STD-750, 2046
	可変周波振動	10 G, 100~2,000 Hz, Y 軸方向 4 回往復, 1 往復 4 分間	MIL-STD-750, 2056
	定 加 速 度	20,000 G, Y ₁ 軸方向, 1 分間	MIL-STD-750, 2006
3	耐 湿	65°C, 95% RH, 240 時間	MIL-STD-202, 103 B
4	動 作 寿 命	75°C, 定格電源電圧印加 1,000 時間 (リンク発振)	MIL-STD-750, 1026.1
5	高温保存寿命	100°C, 1,000 時間	MIL-STD-750, 1031.1

表 8.2 TTL M 5300 P シリーズ 信頼度確認試験の判定基準
品名 M 5340 P

試験項目	判定限界値	
	上限	下限
VCC	U	—
ITL	U×1.05	—
BVI	—	L
I _{HH}	U×1.05	—
VOH	—	L×0.95
VoL	U×1.05	—
IOGH	U	L×0.90

注：U は製品規格最大値
L は製品規格最小値

表 8.3 プラスチック・モールド形集積回路の形式試験結果
品名 M 5340 P

サブグループ	試験項目	条件	試料数(個)	不良数(個)
1	ハンダ浸し	260°C、10 秒間、全端子同時	100	1
	温度サイクル	最低保存温度 30 分間↔最高保存温度 30 分間、5 サイクル、移転時間 10 分		
	熱衝撃	0°C↔100°C、各 1 分間、移転時間 3 秒以下		
2	落下	2 m、3 回、かえで製木板上へ自然落下、Y ₁ 軸方向	25	0
	振動疲労	10 G、Y 軸方向、32 時間		
	可変周波振動	10 G、100～2,000 Hz、Y 軸方向 4 回往復、1 往復 4 分間		
	定加速度	20,000 G、Y ₁ 軸方向、1 分間		

表 8.4 プラスチックモールド形集積回路の動作寿命試験結果
品名 M 5340 P

ロット番号	試料数個	試験時間時間	不良数個	延寿命試験時間・時間	周囲温度°C	故障率 信頼限界60% %/1,000時間
A	30	2,110	0	63,330	55	1.4 以下
B	33	1,559	0	244,371	85	0.38 以下
C	25	2,128	0			
D	33	2,119	0			
E	22	2,128	0	960,000	75	0.95 以下
E	36	520	0			
G	63	1 000	0			

注：各数値は、昭和 42 年 5 月 3 日現在の値を示す。

表 8.5 プラスチック・モールド形集積回路の耐湿寿命試験結果
品名 M 5340 P ロット番号 No. 2

試験時間時間	不良数個	残存数個
250	0	46
500	0	46
1,000	0	46
2,000	2	44
5,000	0	44

表 8.1 に、プラスチックモールド形集積回路の信頼度確認試験項目およびその条件を示す。全数試験とは、初期故障を除去（デバッキング）するため、全製品に対して行なう試験である。ロット保証試験は、全ロットに対して試験を行ない、その結果そのロットを合格とするか、ロット不良とするかを決定する。型式試験は、新しい製品を開発したとき、その製品が仕様を満足しているかどうかを確認する試験で、それ以後は、設計または製造プロセスに変更があったたびごとおよび定期的に信頼度の確認のために抜き取り試験を行なう。以上の環境試験を行なったのち、電気的特性をチェックして製品の良否を判定する。表 8.2 に、TTL M 5300 P シリーズの基本ゲートの電気的特性試験項目およびその判定基準を示す。

表 8.1 の条件で環境試験を行なったのち、表 8.2 の判定基準で判定した、プラスチックモールド形パッケージの半導体集積回路 TTL M 5340 P の、形式試験結果を表 8.3 に、動作寿命試験結果を表 8.4 に、耐湿寿命試験結果を表 8.5 に示す。動作寿命試験は、定格電源電圧を印加し、リング発振器として動作させた状態で寿命試験したものである。その故障率は、表 8.4 に示した周囲温度での値であり、実際の使用状態に近い 25°C に換算すれば、数倍よい結果となる。また、この動作寿命試験は現在続行中であるので、さらにより結果が期待される。耐湿寿命試験の結果は、トランジスタ単体とほぼ同じ結果を示している。

9. む す び

現在量産されている三菱モロトロン半導体集積回路について、今後多数のかたがたにご使用願えるよう、主として製品紹介の目的で記述した。開発中の機種についてはまったくふれなかったが、現在進行中の MOS IC を含む各種新プロセスによる機種、低価格多機能のリニヤ回路、LSI 機種などについては近く機会をとらえて紹介したい。なお用語説明には定義のほかに、解説的にのべたものもあるので注意されたい。

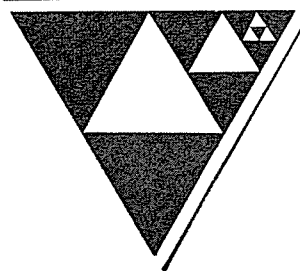
最近登録された当社の特許

名 称	登 録 日	特 許 番 号	発 明 者	関 係 場 所
しゃ断器の油圧操作 シリンダ	41- 9-20	481598	富永正太郎	伊 丹
熱電素子の電極固着方法	41- 9-20	481599	藤林 肇次・三木秀二郎	中央研究所
熱電装置	41- 9-20	481600	藤林 肇次・杉岡八十一	中央研究所
誘導加熱装置	41- 9-21	481601	田中一美	伊 丹
誘導加熱装置	41- 9-21	481602	早瀬通明・中村謙三	伊 丹
避雷器	41- 9-21	481603	新田東平・川根 清 山田直也	中央研究所
恒温装置の温度制御装置	41- 9-26	481847	木下忠男	静 岡
ラピッドスタート形けい光灯の ガラス 管球内壁に電導を形成する方法	41-10- 7	482476	大田重吉	大 船
爆圧成形法	41-10- 7	482390	前田祐雄・福家 章 石橋 勝・斎藤長男	名古屋
送信機の出力切換装置	41-10- 7	482541	笹田雅昭・一の瀬友次	無線 機
内燃機関点火装置	41-10-11	482603	三木隆雄	姫 路
内燃機関点火装置	41-10-11	482684	日野利之・多田靖夫	姫 路
放電加工装置	41-10-14	482730	斎藤長男・岡 久雄	名古屋
回転電機の回転子を製造する方法	41-10-20	483239	伊藤公男・前川善六	中央研究所
耐熱回転子の製造方法	41-10-20	483281	豊川準三・伊藤公男 前川善六	中央研究所
鉄鋼用電解加工液	41-11- 2	483863	前田祐雄・斎藤長男	名古屋
WC+TiC+CO 系超硬合金用電解加工液	41-11- 4	483904	前田裕雄・斎藤長男	名古屋
自動車駐車用エレベータの操作方式	41-11- 4	483967	三浦允之	稲 沢
電動タイプライタ	41-11- 7	484023	菟原 智・大野栄一	中央研究所
自吸水ポンプ	41-11- 7	484109	土居誠二・幸島邦茂	福 岡
方向短路距離継電装置	41-11-11	484529	三上一郎	神 戸
高インピーダンス 接地系統用パイロット 継電装置	41-11-11	484597	三上一郎・森 健	神 戸
高インピーダンス 接地系統用パイロット 継電装置	41-11-11	484598	三上一郎・森 健	神 戸
高インピーダンス 接地系統用パイロット 継電装置	41-11-11	484599	三上一郎・森 健	神 戸
切換式距離継電器用静止形時限装置	41-11-14	484628	古谷昭雄	神 戸
マイクロ 波立体回路	41-11-14	484638	竹内政和・別段信一	京都(無線機)
電解積分器	41-11-14	484652	秦 卓也・松岡宏昌	中央研究所
トルク 制御装置	41-11-18	484926	浅野哲正	姫 路
回路しゃ断器	41-11-18	484938	潮 恒郎・田辺俊雄	伊 丹
半導体装置	41-11-18	484941	土佐雅宣・竹中 功	北 伊 丹
自動板厚制御装置	41-11-18	484961	斎藤 豊	神 戸
大電流用回路しゃ断装置	41-12-13	486404	潮 恒郎・伊藤利朗 大倉敏幹	中央研究所
電解加工装置	41-12-13	486405	吉田太郎・篠原宇一	名古屋
電解加工装置	41-12-13	486406	吉田太郎・篠原宇一	名古屋
電流補償型距離継電器の補償電流導出装置	41-12-13	486407	北浦孝一	神 戸
三相故障検出継電装置	41-12-13	486408	古谷昭雄	神 戸
故障検出継電装置	41-12-13	486409	三上一郎	神 戸
並行2回線用地絡方向距離継電装置	41-12-13	486410	三上一郎	神 戸
限時距離継電装置	41-12-13	486411	北浦孝一	神 戸
タンク形しゃ断器	41-12-13	486412	潮 恒郎	伊 丹
時限装置	41-12-13	486413	古谷昭雄・高田信治	神 戸
方向距離継電器	41-12-13	486414	北浦孝一・中村勝己	神 戸
パイロット線継電装置	41-12-13	486415	三上一郎・森 健	神 戸
ブロッキング 発振器	41-12-13	486416	大久保永造	通 信 機
アンテナリフレクタ 検査および工作法	41-12-13	486417	渡辺 優	通 信 機
圧延機 ロール 自動圧下装置	41-12-13	486418	斎藤 豊	神 戸

お わ び

前月号(第41巻7号)のNEWS FLASHの標題に次のような誤りがありましたので、つつしんで訂正しおわび申し上げます。

ページ	行	誤	正
967	1 行 目	東海製鉄經由中外炉工業向け強圧送風機完成	中外炉工業經由東海製鉄向け強圧送風機完成



新製品紹介

LSH 形 高 圧 気 中 配 電 箱

最近の各種産業の発展に伴い、工場設備が大形化し高圧電動機が数多く使用され、これを集中制御する傾向が強くなってきた。

ここに紹介する新形の LSH 形高圧気中配电箱は JEM-1097 の交流配电箱を十分満足する性能を有しており、集中制御に便利なよう互換性のあるユニット方式を採用したもので、高圧電動機のあらゆる制御方式に即応することができる。

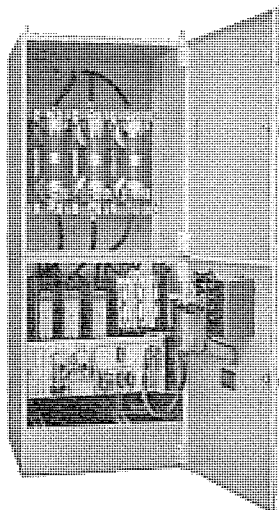
■ 特 長

(1) 据え付け面積の節減

ユニットを3段まで積み重ねることができるので据付け床面積が節減できる。

(2) 各種の起動方式が容易にできる

各種ユニットの箱寸法が統一されているため、種々の起動器が容易に組立てできる。



LSH 形高圧気中配电箱 (コンピネーションスタータ)

(3) 高ひん度・長寿命

コイル・鉄心その他機構部分は開閉ひん繁度 600 回/時に耐え、接点を取り換えることなく 50 万回以上の寿命がある。

(4) 確実な保護ができ安全

過負荷・短絡保護装置は他の器具と十分な協調がとってあり、常に安全で確実な保護ができる。

(5) 保守・点検が容易

すべての器具は前面より点検できるので保守が容易である。

(6) 小形・軽量

(実用新案申請中)

■ 仕様一覧

ユニットの種類 仕 様		開閉器ユニット 気 中 配 電 箱		電力ヒューズ ユ ニ ッ ト	断 路 器 ユ ニ ッ ト	リアクトル ユ ニ ッ ト
定 格 電 圧 (V)		3,300		3,600	6,900	3,300
定 格 電 流 (A)		100	200	200	100 200	
定格しゃ断容量 (MVA)		25		250		
最大適 用容量	電動機 (kW)	370	750	800		500
	変圧器 (kVA)	500	1,000	1,000		
そ の 他		性能 開閉容量 A 級 開閉ひん繁度 2 号 寿 命 1 E 種		ヒューズ定格 5, 10, 20, 30 50, 100 A 50 S, 100 S, 200 SA		リアクトル適 用容量 100, 200, 300 400, 500 kW モータ用
外 形 寸 法 (mm)		幅 600×高さ 750×奥行 600				

[名古屋製作所]

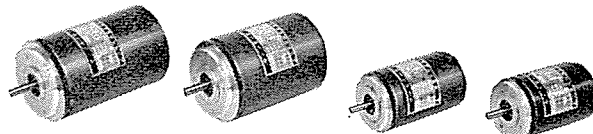
HM シ リ ー ズ・サ ー ボ モ ー タ

HM シリーズ・サーボモータは、各種工業計器・指示計器などのサーボ機構の小形化にとともに、その駆動源としてのモータの小形化・高精度化の要望が高まり、ここに出力 5 W 3 W 1 W 0.5 W を標準系列として開発したものである。

■ 特 長

(1) 小形軽量であり外径寸法・重量とも市場品の 60~80 % である。

(2) 起動トルクが大で慣性モーメントが小さいため、速応性がきわめてすぐれている。

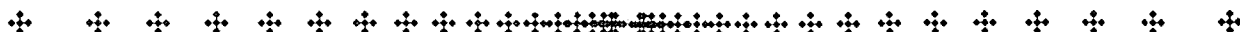


HM-502

HM-302

HM-102A

HM-54A



NEWS FLASH

■ 輝く照明学会賞を受賞

当社大船製作所（本社駐在）小堀照明技術部長（工博）は、本年5月9日に開かれた社団法人照明学会総会の席上で名誉ある照明学会賞を受賞した。この照明学会賞は照明に密接な関係ある学術または照明技術の開発など、わが国の照明工学の進歩・発達に寄与し、その功績の顕著なものに贈呈される賞で、同氏の場合は長年にわたる「照明経済に関する研究」などの照明技術が照明界に貢献し、その業績が学会で認められたものである。

なお、同氏は現在照明学会本部監事の要職にあり、また同学会編集理事・総務理事などの役員を歴任し、同照明普及会主査なども兼任し、わが国の照明界のため活躍している。照明関係の論文・資料は照明学会誌および本誌に数多く発表している。



照明学会賞を受賞した小堀博士と学会賞楯

■ IC 専門工場—三菱電機熊本工場完成！—

現代の花形製品として脚光を浴びている半導体集積回路 IC について、三菱電機では、昭和 35 年秋、わが国で初めて「三菱モエクトロン」の商品名で IC を発表し、当時の電子工業界に大きな反響を与えた。以来研究・開発・量産化を強力に進め成果をあげているが、



熊 本 工 場

今後 IC の応用化は急速に進むことが予想されるので、従来の兵庫県北伊丹製作所に加え、熊本市竜田町弓削に IC 組立専門の熊本工場を建設中であったが、このほど完成、7月5日に開所式を行なった。

熊本工場では、北伊丹製作所から部品を空輸、薄い基板（チップ）にトランジスタ、ダイオードなどを植えて最終製品を製造する。

工場規模は、敷地面積 14,600 m²、建物面積 3,150 m² で鉄骨軽量コンクリート建て、工場・事務所・機械室など3棟である。

〔北伊丹製作所〕

■ ED 77 形交流電気機関車完成

国鉄磨越西線電化用として、ED 77 形交流電気機関車が量産、投入されることになり、当社ではこのうち4両を受注、鋭意製作中であったがこのほど完成し、納入された。

当社ではさらに国鉄北海道交流電化用として、サイリスタ制御の ED 75501 号電気機関車を製作納入し好調に運転されているが、その電気品および機関車としてのすぐれた性能が認められ、軽軸重線区である亜幹線用のこの標準形機関車にもこれと同一なサイリスタ制御の主回路および制御方式が採用された。このようにこの機関車の電気品は、ED 75501 号のものを量産形として一部改良したものであるが、軸配置は B₀-2-B₀ の中間台車付で、この中間台車の軸重を空気圧の制御により切換えて 14t から 16.8t の線区にも使用できるようにしてある。

この機関車の主要目および主要電気品は次のとおりである。

電気方式	単相交流 50 c/s
機関車方式	サイリスタ および シリコン 整流器式
運転整備重量	75.0 t
軸配置	B ₀ -2-B ₀
機関車形状	箱形両運転台
機関車寸法	



ED 77 形交流電気機関車



長さ×幅×高さ 15,000×2,800×3,600 mm
 パンタ折りたたみ高さ 4,270 mm
 台車中心間距離 8,900 mm
 連結面長さ 15,800 mm

機関車性能

1時間定格出力 1,900 kW
 1時間定格引張力 14,100 kg
 1時間定格速度 49.1 km/h
 最高速度 100 km/h

台車 両端台車 DT 129, 中間台車 TR 103

固定軸距 " 2,500 mm, " 1,600 mm
 動輪径 " 1,120 mm, " 860 mm

動力伝達方式 1 段歯車減速つりかけ式

歯車比 16 : 71 = 1 : 4.44

モジュール 12

主電動機 MT-52 丸形他力通風形

1時間定格 475 kW 900 V 570 A (脈流)

主変圧器 TM-12 A 形 外鉄送油風冷式 フォームフィット

連続定格 2,290 kVA 低圧 4 分割式

主整流装置 RS 27 形 单相ブリッジサイリスタ逆並列結線

連続定格 2,200 kW 1,100 V 2,000 A

主平滑リアクトル IC 23 形 オープンコア F 種 他力通風形

制御方式 重連結括制御, サイリスタによる連続制御, 弱界磁制御, AVR 装置付

ブレーキ方式 EL 14 AS 空気ブレーキ, 手ブレーキ

補機方式 相変換方式 单相 400 V/三相 400 V

[伊丹製作所]

る経済的なシステムである。用途は鉄鋼プロセスの自動化、火力プラントの自動運転、化学プロセスの最適化制御、その他各種プロセスの自動化および制御のほか直接デジタル制御も可能とする広範囲な適用分野をもっている。

(1) 特長

- (a) 本体に全面的に集積回路を使用しているほか、周辺部はすべてシリコン半導体を使用して高信頼度を実現し、さらに緊急時対策のフェイルセーフ機構が完備されている。
- (b) サイクルタイム 0.8 μ s の高速コアメモリの使用により演算処理能力を高めており、また多レベルの優先割込み機構によるマルチオペレーションが可能である。
- (c) 動的なプログラムのメモリへの番地割付けと切換えを行ない、プロセスからの信号に対して常に効果的な実時間制御を行なう。
- (d) 標準化された豊富な入出力チャンネルと同時に、選択可能な各種のプロセス入出力ユニットが完備しており、プロセスとの結合を完全にしている。また遠隔プロセスの多重制御・データ伝送を通じての計測制御も可能である。
- (e) ビルディングブロック式のシステム構成をとっているので、計算機設置後も必要に応じてシステムの拡張が容易である。
- (f) オンラインでのプロセス制御と同時に、あき時間を積極的に利用してプロセス解析・OR 計算・生産管理業務を併行処理するリアルタイムオペレーションが可能である。
- (g) リアルタイム FORTRAN, プロセス用コンパイラ、各種サブルーチンライブラリなどの豊富なソフトウェアシステムが完備しており、プログラムの作成がきわめて容易である。

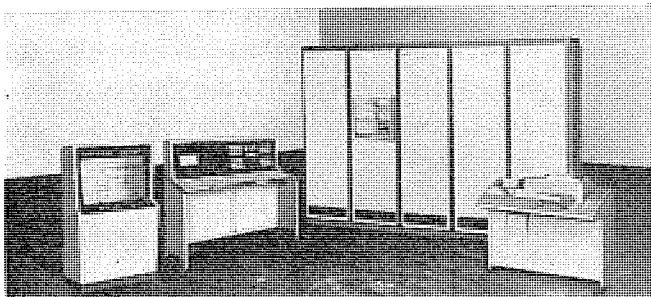
(2) 仕様

語長	16 ビット
メモリサイクルタイム	0.8 μ s
メモリ容量	4 k 語 - 65 k 語
レジスタ	5 + (3) オプション
命令数	基本 93 種
アドレス方式	直接、間接アドレス、インデックスおよび相対アドレス
演算速度	加減算 1.6 μ s 2.4 μ s 乗算 9 μ s 除算 10 μ s
割込レベル	最大 16 レベル
システムタイマ	50 または 60 c/s
ダイナミックアドレスマッピング機構	
メモリプロテクション機構	
カウンタグループ	高速 最大 16 カウンタ 標準 最大 256 カウンタ
外部記憶装置	高速磁気ディスク (ドラム) 平均アクセスタイム 8.3 ms 容量 65 k 語, 131 k 語, 262 k 語
入出力チャンネル	ダイレクトコントロールチャンネル 最大 8 マルチプレクサチャンネル 最大 64 セレクトチャンネル 最大 3

■ 全 IC 化工業用三菱電子計算機 MELCOM-350 システム完成

三菱電機では、このほど IC (集積回路) を全面的に採用した工業用電子計算機 MELCOM-350 システムを開発した。これは、さきにアメリカ・ウェスチングハウス社との間に広範囲なソフトウェアを含む工業用電子計算機制御システム (PCCS) の技術提携を結び、工業用電子計算機部門の強化を計っていたが、MELCOM-350 の開発により積極的にマーケットシェアの拡大を計るものである。

MELCOM-350 は、全面的に集積回路を使用し、プロセス制御用として要求される高信頼性・高速性を備え、かつコンパクトな構成によ



MELCOM-350 三菱工業用電子計算機

周辺装置

基本入出力 タイプライタ
 ロギングタイプライタ、紙 テーブリーダ・パンチ
 カードリーダ・パンチ、ラインプリンタ
 磁気 テープ 装置、データ 通信制御装置
 アナログ入力、デジタル入力最大 2048 点
 デジタル 出力最大 2048 点
 アナログ 出力 最大 128 点
 パルス 入力 高速 16 点、標準 最大 256 点
 パルス 幅出力 最大 256 点
 プロセスインタラクト 入力最大 496 点
 オペレータコンソール、デジタル 設定器、
 表示器、リクエストスイッチ など
 (鎌倉製作所)

プロセス 入出力

(iv) 中性子回折による固体物性の研究

——パルス 中性子と飛行時間分析による

結晶解析、磁気的 ミクロ 構造の解析——

(c) 生物学の研究およびアイソトープ 利用

(i) 生物・微生物に対する大線量照射、瞬間照射

——放射基礎医学、生理学の進展——

(ii) 広範な分野にわたる アイソトープ の利用

——たとえば Ca^{47} (半減期 4 日) による骨の

基礎代謝の研究——

(iii) その他

(2) 全体としての特長と構成

(a) 電子 リニアック は高周波を利用して電子を直線的に加速する もので、

(i) 加速管を直線的に延長することにより、エネルギーを高く とることができる。

(ii) ビーム 取出しが容易であり、ビーム 電流出力を大きくと ることができる。

などの特長をもっている。この特長を生かし、この装置の前半
は長さ 1 m の加速管 8 本を利用して大電流加速に、後半は長さ
2 m の加速管 12 本で構成し 高エネルギー 加速にと 使いわけられ
る。また前半で加速した電子線により陽電子線を発生させ、後
半では陽電子の加速も行なわれる。

最高加速 エネルギー 300 MeV、最大 ビーム 出力 50 kW、加速管
有効長 32 m、加速部全長 60 m、装置全長 100 m あまりという
国内でも群を抜いた最大規模のものであり、これと同等以上の
ものはアメリカのスタンフォード大学、フランスのオルセイ研究所など
数えるほどしかなく、とくに ビーム 出力の大きい点では世界で
も 1、2 位にランクされている。

(b) はじめに述べたような各種実験を可能にするために各種の 電磁石装置、測定装置を備えている。

(i) 加速電子線をそれぞれの実験室に導くために、30 個あま りの電磁石からなる 3 系統のビーム 取出し電磁石装置(偏 向集束電磁石系)をそなえており、5 方向にビーム を取 出して実験に使用する。

(ii) 高 エネルギー 電子線散乱による原子核構造研究のための高 分解能電子線 スペクトロメータ、ガンマ 線による核反応研究の ための広帯域 スペクトロメータ、医学・生物学研究のための 偏向照射用電磁石、発散照射用電磁石、さらに気送管で 送られてくる試料に照射してアイソトープ を作る偏向 集束 電磁石などがある。

(iii) 分析測定用には半導体放射線検出器、その測定回路があ り、データ は電子計算機と直結されて時々刻々処理記録さ れる。そのほか 陽電子線、ガンマ 線発生用ターゲット もそな えられ、また全系統の測定制御が集中管理できるよう構成 されている。

(c) 加速部分は地下室に配置され最大しゃへい厚さ 4 m のコン クリートシールド 壁で安全を期しているが、さらに建物内部お よび周辺地域に 13 系統の放射線監視装置をおいて、放射 線の強さを測定、指示しており、その警報によりいつでも

■ 東北大学納め電子リニアック完成

かねてから東北大学に建設ちゅうであつた最高ビーム出力 50 kW、
最高加速 エネルギー 300 MeV、装置主部の長さ 100 m の、わが国では
最大であり世界にも例の少ない大規模な電子 リニアック がこのほど完
成した。この装置は昭和 38 年度年から 42 年度にかけて足かけ 5 年の
日子を費し、東北大学を中心に三菱電機ならびに三菱グループ各社の
原子力技術の粋を集めて完成されたものである。先月 ビーム 加速に
成功し、所期の性能を実現する見通しを得た。

(1) おもな研究目標

(a) 原子核の研究および原子力の研究

(i) 原子核による電子線の弾性および非弾性散乱

——いわば巨大な電子顕微鏡による核構造の解明——

(ii) 単色または連続 ガンマ 線による核反応粒子の分析

——サイクロトロン などでは解明でない分野がある——

(iii) 核散乱に対する電子線と陽電子線の比較測定

——原子核のさらに精密な構造の研究に寄与する——

(iv) 中性子の飛行時間分析

——原子核 エネルギー 準位の精密な分析——

(v) 陽電子放射 アイソトープ の核分光学的研究

——これらは電子 リニアック で作ることができるので
大きく研究領域を広げることができる——

(vi) 原子核集合体の特性研究

——電子 リニアック は強力な パルス 中性子源なので
それを巧妙に利用できる——

(b) 化学の研究および物性物理の研究

(i) 迅速分析法、微量分析法の開発

——γ 線による核反応の分析化学への寄与——

(ii) ホットアトム 化学の開発

——放射化学の飛躍的進展が期待される——

(iii) 陽電子放射 アイソトープ を利用した固体物性の研究

——陽電子消滅反応により、固体内電子の
運動量分析ができる——



全装置を停止させることができる。

(3) 各部の特長

東北大学を中心として三菱グループ各社の技術を結集して、基本設計・試作研究・工作技術の検討を十分に行なった結果、完成したもので、各部に次のような特長が生かされている。

(a) エネルギーの点では世界で4～5位、ビーム電流の点では世界で1、2位にランクされる。

(b) マイクロ波電力源として、世界最大級のクライストロン

5本を用いて全ピーク出力100MW以上を得ている。

(c) 加速管は工作精度 ± 2 ミクロン、位相精度 $\pm 2^\circ$ という高精度のものであり、加速管の単位長さ2mのものは日本では最長のものである。

(d) 電子銃として最大放射電流8A、10ns(1億分の1秒)の短いパルス幅が得られることは世界にも例がない。またこれに使用するIカソードは真空度の変化に強く、酸化物陰極に匹敵する放射電流密度が得られる点、世界的な特長といえることができる。

(e) 排気装置は全金属製ガスケットとバルブが用いられ、排気・ガス出し処理に十分の予備操作をほどこして高真空を得ている。

(f) クライストロンパルスは水素サイラトロンを除いてすべて固体化されており、画期的な特長となっている。

(g) ビーム取出し電磁石系、スペクトロメーター電磁石装置ともに十分な設計計算と精密工作、測定実験を行なって高性能を得ている。

(4) 主要性能

電子加速エネルギー：

A部 最高90MeV、最低10MeV

A+B部 最高350MeV、最低50MeV

陽電子加速エネルギー： 200MeV

出力電子電流： 600mA(せん頭値)

500 μ A(平均値)

パルス時間幅： 0.01～3 μ sec

繰り返し： 単パルス～1250pps

ビームトランスポート系の性能：

第1偏向系(A部ビーム)

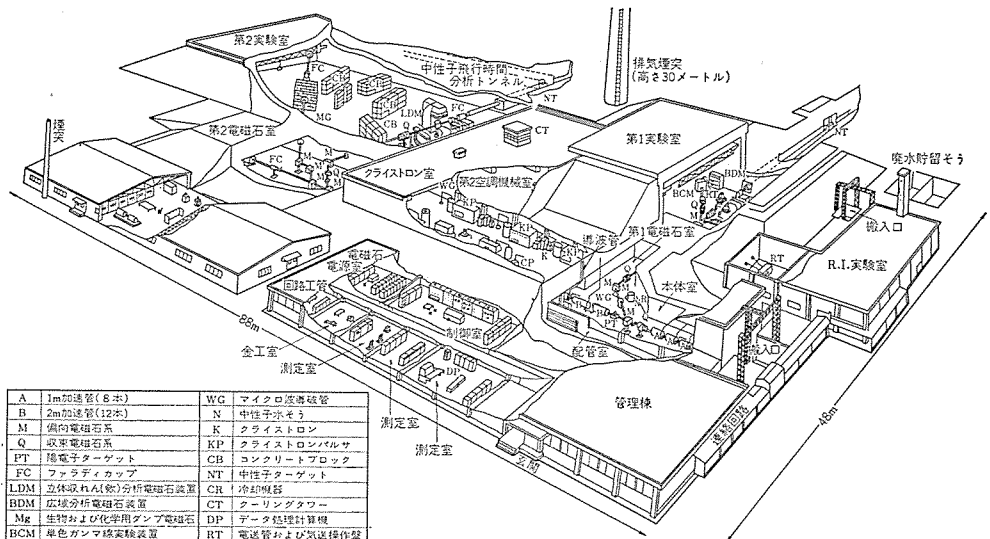
分解能0.15%、透過幅 $\pm 7.5\%$

第2、第3偏向系(A+B部ビーム)

分解能0.1%、透過幅 $\pm 5\%$

放射ガンマ線強度： 6×10^9 レントゲン/sec、単位立体角

一次中性子線強度： 2×10^{10} 個/sec(せん頭値)



東北大学電子ライナック施設展望断面図(建家および設備機器)

(5) 主要構成

加速管：A部1m $\times$ 8本、B部2m $\times$ 12本

入射系：電子銃、パンチャ、電子銃パルサーからなっている

クライストロン系：

TV-2014(フランス・トムソンバリアン社製)5本と、それを駆動するクライストロンパルサー5台からなっている。

発振器：

クライストロンの励振入力用として二つの水晶発振器とバラクタダイオードを用いた周波数テリ倍器からなっている。

立体回路系：

方向性結合器・移相器・RF窓・電力分割器・各種導波管などからなり、導波管の延全長は280mに及ぶ。

排気系：

全金属製バルブ、ガスケットを使用しており、イオンポンプで排気して 10^{-7} Torrの高真空を得ている。

冷却系：

放射化を防ぐため純水を使用しており、加速管や導波管などは $40 \pm 0.2^\circ\text{C}$ に温度制御されている。

ビーム取出し系：

30個あまりの電磁石からなる総重量80トン強の3系統のアクロマティックトランスポート系である。

研究装置：

重量67トンの電子スペクトロメーター、23トンの広帯域スペクトロメーターおよび医学・生物照射用電磁石装置などがあり、反応粒子の検出には半導体検出器が使われ、この出力信号は電子計算機でデータ処理される。

放射線監視装置：

建家内部および周辺地域の放射線レベルを測定監視する13系統の放射線モニタをそなえている。

[中央研究所]

次号予定

三菱電機技報 Vol. 41 No. 9

計算機制御特集

特集論文

- 神戸製鋼所における転炉製鋼工程の計算機制御 システム
- 神戸製鋼所ペレット製造プラント向け MELDAP-8000 制御用計算機システム
- 関西電力堺港発電所 3・4号機向け MELCOM-330 制御用計算機システム
- 関西電力大阪発電所 2号機向け火力発電所起動停止 シーケンスモニタシステム
- 火力発電所運転訓練用 シミュレータ
- MELCOM-1600 による相模川水系計算機制御システム の方式設計
- 国鉄郡山操車場自動化 システム
- パワーステートメント
- 電力系統の計算機制御
- 日間電力負荷予測方式
- 制御用電子計算機 MELCOM-350 I/O システム

普通論文

- 7.2kV CL 形限流 ヒューズ
- Gunn ダイオードのマイクロ波発振特性
- 空気調和用誘導体 フィルタ
- 電子計算機の自動設計

三菱電機技報編集委員会

委員長	小倉弘毅
副委員長	片岡高示
常任委員	明石精一
"	石川理一
"	上田重夫
"	宇佐見重夫
"	大野寛孝
"	神崎遼
"	北川和人
"	小堀富次雄
"	鈴木正材
"	祖父江晴秋
"	山田栄一
"	横山茂
委員	尾畑喜行
"	片山仁八郎
"	黒田忠光
"	南日達郎
"	林昇寿
"	松元雄蔵
	(以上 50 音順)

昭和 42 年 8 月 22 日印刷 昭和 42 年 8 月 25 日発行
「禁無断転載」定価 1 部 金 100 円(送料別)

編集兼発行人

東京都千代田区丸の内 2 丁目 12 番地 小倉弘毅

印刷所

東京新宿区市谷加賀町 1 丁目 大日本印刷株式会社

印刷者

東京都新宿区市谷加賀町 1 丁目 高橋武夫

発行所

三菱電機株式会社内 「三菱電機技報社」
東京都千代田区丸の内 2 丁目 12 番地 (三菱電機ビル内)
(電) 東京 (212) 大代表 6111

発売元

東京都千代田区神田錦町 3 の 1 株式会社オーム社書店
電話 (291) 0912 振替東京 20018

本社・営業所・研究所・製作所・工場所在地

本 社 東京都千代田区丸の内 2 丁目 12 番地
・三菱電機ビル (電) 03-212-6111

大阪営業所	大阪市北区梅田町 8・西阪神ビル (電) 06-312-1231
名古屋営業所	名古屋市中村区広井町 3-88・大名古屋ビル (電) 052-561-5311
福岡営業所	福岡市天神 2 丁目 12 番地 1 号・天神ビル (電) 092-75-6231
札幌営業所	札幌市北二条西 4 の 1・北海道ビル (電) 0122-26-9111
仙台営業所	仙台市大町 4 の 175・新仙台ビル (電) 0222-21-1211
富山営業所	富山市桜木町 1 番 29 号・明治生命館 (電) 0764-31-3151
広島営業所	広島市中町 7 番 32 号・日本生命ビル (電) 0822-47-5111
高松営業所	高松市鶴屋町 5 番地 1 (電) 0878-51-0001
東京商品営業所	東京都千代田区丸の内 2 丁目 12 番地・三菱電機ビル (電) 03-212-6111
大阪商品営業所	大阪市北区堂島北町 8 の 1 (電) 06-312-2131
名古屋商品営業所	名古屋市中村区広井町 3-88・大名古屋ビル (電) 052-561-5311
福岡商品営業所	福岡市天神 2 丁目 12 番地 1 号・天神ビル (電) 092-75-6231
札幌商品営業所	札幌市北二条西 4 の 1・北海道ビル (電) 0122-26-9111
仙台商品営業所	仙台市大町 4 の 175・新仙台ビル (電) 0222-21-1211
富山商品営業所	富山市桜木町 1 番 29 号・明治生命館 (電) 0764-31-3151
広島商品営業所	広島市中町 7 番 32 号・日本生命ビル (電) 0822-47-5111
高松商品営業所	高松市鶴屋町 5 番地 1 (電) 0878-51-0001
新潟営業所	新潟市東大通 1 丁目 12 番地・北陸ビル (電) 0252-45-2151
中央家電営業所	東京都文京区大塚 3 丁目 3 番 1 号・新茗溪ビル (電) 03-944-6311
城北家電営業所	東京都世田谷区池尻 3 丁目 10 番 3 号・三菱電機世田谷ビル (電) 03-411-8181
城西家電営業所	東京都杉並区清水 1 丁目 10 番 1 号 (電) 03-392-6823
横浜家電営業所	横浜市中区富士見町 3 番地 4 (電) 045-251-2226
大宮家電営業所	大宮市寿能町 1 丁目 37 番地・大宮公園ビル (電) 0486-41-5324 43-4116・0156
千葉家電営業所	千葉市新宿町 2 丁目 49 番地 三菱電機千葉ビル (電) 0472-27-5486~8
静岡出張所	静岡市七間町 9 番地の 10・池田ビル (電) 0542-53-9186
長崎出張所	長崎市大黒町 3 番 1 号・長崎産業交通ビル (電) 0958-23-6101
岡山出張所	岡山市西長瀬字村北 122 番地の 1・三菱電機岡山ビル (電) 0862-24-0331
船橋出張所	船橋市山手 1 丁目 1 番 1 号・日本建鉄内 (電) 0474-31-1111
中央研究所	尼崎市南清水字中野 80 番地 (電) 06-481-8021
商品研究所	鎌倉市大船 2 丁目 14 番 40 号 (電) 0467-6-6111
神戸製作所	神戸市和田崎町 3 丁目 10 番地の 1 (電) 078-67-5041
伊丹製作所	尼崎市南清水字中野 80 番地 (電) 06-481-8021
三田工場	三田市三輪町字父々部 85 (電) 07956-4371
長崎製作所	長崎市丸尾町 6 番 14 号 (電) 09582-23-6211
稲沢製作所	稲沢市井之口 1100 番地 (電) 0587-32-4121
和歌山製作所	和歌山市岡町 91 番地 (電) 0734-23-7231
鎌倉製作所	鎌倉市上町屋 325 番地 (電) 0467-6-1111
通信機製作所	尼崎市南清水字中野 80 番地 (電) 06-481-8021
北伊丹製作所	伊丹市大鹿字主ヶ池 1 番地 (電) 0727-72-5131
熊本工場	熊本市竜田町弓削 720 番地の 3 (電) 052-721-2111
名古屋製作所	名古屋市東区矢田町 18 丁目 1 番地 (電) 052-721-2111
福岡製作所	福岡市今宿青木 690 番地 (電) 092-88-0431
福山製作所	福山市緑町 1 番 8 号 (電) 0849-2-2800
姫路製作所	姫路市千代田町 840 番地 (電) 0792-23-1251
相模製作所	相模原市小山字久保 224 (電) 0427-72-5131
世田谷工場	東京都世田谷区池尻 3 丁目 1 番 15 号 (電) 03-414-8111
静岡製作所	静岡市小鹿 110 番地 (電) 0542-85-1111
中津川製作所	中津川市駒場町 1 番 3 号 (電) 05736-5-2121
大船製作所	鎌倉市大船 5 丁目 1 番 1 号 (電) 0467-6-6111
郡山製作所	郡山市栄町 2 番 25 号 (電) 02492-2-1220
群馬製作所	群馬県新田郡尾島町大字岩松 800 番地 (電) 027652-4311
藤岡工場	藤岡市市本郷学別所 (電) 02742-2-1185
京都製作所	京都府乙訓郡長岡町大字馬場小字園所 1 (電) 075-92-4171
ラジオ工場	尼崎市南清水字中野 80 番地 (電) 06-481-8021
札幌営業所	札幌市北二条東 12 丁目 98 番地 (電) 0122-22-3976
札幌工場	